

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 389 946**

51 Int. Cl.:
G06F 9/38

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **10192125 .2**

96 Fecha de presentación: **25.05.2006**

97 Número de publicación de la solicitud: **2290527**

97 Fecha de publicación de la solicitud: **02.03.2011**

54 Título: **Microprocesador con selección automática de paralelismo SIMD**

30 Prioridad:
09.06.2005 US 150729

45 Fecha de publicación de la mención BOPI:
05.11.2012

45 Fecha de la publicación del folleto de la patente:
05.11.2012

73 Titular/es:
**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive, R-132 D
San Diego, CA 92121-1714, US**

72 Inventor/es:
DOCKSER, KENNETH ALAN

74 Agente/Representante:
CARPINTERO LÓPEZ, Mario

ES 2 389 946 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Microprocesador con selección automática de paralelismo SIMD

Campo técnico

5 La presente materia versa sobre técnicas y equipos para controlar automáticamente el estado de actividad (activo o inactivo) de uno o varios elementos de procesamiento de datos paralelos, por ejemplo de un procesador de instrucción única y datos múltiples (SIMD) o similar, para igualar el grado de paralelismo operativo con una condición relativa a las operaciones de procesamiento del procesador.

Antecedentes

10 Muchos dispositivos utilizan procesadores integrados, como microprocesadores y procesadores de señales digitales, con complejas disposiciones de lógico para realizar funciones de procesamiento de datos según instrucciones de programa. Las aplicaciones que requieren un procesamiento digital de datos multimedia, tales como vídeo, audio o gráficos, se están volviendo crecientemente populares entre los consumidores. Sin embargo, el procesamiento de tal información es muy exigente y ha llevado a arquitecturas de procesador que son particularmente aptas para el procesamiento de tales datos.

15 Típicamente, los datos multimedia incluyen una cantidad considerable de datos “paralelos”. Los datos son “paralelos” cuando las unidades individuales de datos no dependen entre sí. De aquí que el procesamiento de una unidad de datos sea independiente del procesamiento de otra unidad, es decir, no es preciso que aguarde que se complete el procesamiento de ninguna otra unidad. En consecuencia, es posible realizar a la vez varias de tales operaciones de procesamiento de datos independientes en paralelo. Esta característica de ciertos tipos de datos,
20 particularmente las formas comunes de datos multimedia, ha llevado a la creación de procesadores paralelos, que pueden manipular simultáneamente unidades de datos en paralelo. El procesamiento paralelo de datos multimedia, por ejemplo, contribuye a menudo a aumentar sustancialmente la velocidad total de procesamiento.

25 Se han desarrollado varias arquitecturas diferentes y varios tipos de instrucciones para el procesamiento de datos paralelos, particularmente para operaciones multimedia. Por ejemplo, los procesadores de instrucción única y datos múltiples (SIMD) procesan los datos en paralelo. El procesamiento multimedia usando instrucciones SIMD reduce el número total de instrucciones que se requieren para ejecutar una tarea particular de programa y acelera el rendimiento al operar en múltiples elementos de datos en paralelo. Aunque el procesador puede ejecutar un único flujo de instrucciones, la ejecución SIMD de esas instrucciones de manera concurrente procesa múltiples flujos de datos en paralelo.

30 Muchas aplicaciones de procesadores, incluyendo dispositivos de tipos de procesamiento altamente paralelo de datos, como los procesadores SIMD, imponen grandes limitaciones a la potencia y la energía que la circuitería del procesador puede consumir. Por ejemplo, los dispositivos portátiles, como los teléfonos móviles, las agendas electrónicas (asistentes digitales portátiles) y videojuegos de mano utilizan suministros de energía en batería. Sin embargo, estos dispositivos incluyen microprocesadores sofisticados y en algunos casos usan coprocesadores para
35 el procesamiento relacionado con los datos multimedia. Los diseños de procesadores para tales aplicaciones garantizan un control meticuloso del consumo de potencia y energía, típicamente para extender la vida de una carga en el suministro de energía de la batería, así como la vida del chip que los engloba.

40 La arquitectura de un procesador establece una “anchura” de la vía de los datos a través del procesador, es decir, el máximo tamaño de los datos que puede ser procesado. Típicamente, los diseños de procesamiento paralelo, tales como las arquitecturas de procesadores SIMD, están dimensionados para proporcionar una anchura de la vía de los datos que corresponde a la cantidad máximo de datos paralelos que el dispositivo puede procesar durante un ciclo dado. Hay disponibles en la actualidad procesadores SIMD que pueden procesar hasta 128 bits de datos a la vez, lo que significa que la anchura total de la vía de los datos es de 128 bits. Sin embargo, en cualquier momento dado, las porciones paralelas del procesador pueden estar procesando unidades menores de datos.

45 Aunque se conocen otros tamaños, los procesadores paralelos comunes ofrecen hoy una vía de datos de 64 bits o una vía de datos de 128 bits. La vía de datos se construye de elementos de procesamiento paralelo, aunque las vías pueden estar configuradas para gestionar datos de diferentes anchuras. Por ejemplo, una vía de datos de 128 bits puede dividirse en tamaños menores, es decir, el procesador puede procesar secciones de los datos de 128 bits que tengan una longitud de 8 bits, una longitud de 16 bits, una longitud de 32 bits o una longitud de 64 bits, tal como especifican las instrucciones de SIMD escritas para la aplicación particular. Por ejemplo, usando instrucciones de 8 bits, un procesador con una vía de datos con una anchura de 128 bits puede procesar en paralelo dieciséis unidades de datos de 8 bits. Por otro lado, con una vía de datos de 64 bits, si una instrucción requiere 128 bits, entonces los datos puede ser divididos en dos secciones de 64 bits y la instrucción es ejecutada secuencialmente en ambas secciones de 64 bits. El procesamiento de cada sección de 64 bits puede conllevar, por supuesto, procesamiento
50 paralelo; por ejemplo, de ocho unidades de datos de 8 bits. Dividiendo el procesamiento para la instrucción de 128 bits, la vía de datos con anchura de 64 bits puede gestionar la instrucción de 128 bits, aunque el tiempo para el procesamiento dividido sea mayor.

Estas operaciones permiten una utilización óptima de los recursos paralelos del procesador. No obstante, sigue habiendo momentos en los que no se necesitan todos los recursos de procesamiento para aplicaciones particulares de procesamiento o momentos en los que puede ser deseable la operación plena. Por ejemplo, muchas funciones o aplicaciones del procesador simplemente no requieren la plena capacidad de procesamiento del dispositivo procesador o requieren la plena capacidad de procesamiento solamente durante un tiempo muy limitado. En el ejemplo del procesador de una vía de datos de 128 bits, una aplicación o una porción de la misma puede requerir solamente un procesamiento de datos de 64 bits durante cierto(s) periodo(s) sustancial(es) de tiempo, por ejemplo porque haya una cantidad limitada de paralelismo de datos, la cantidad de datos que debe procesarse es baja o no hay tan gran necesidad de velocidad. Sin embargo, si los elementos que proporcionan la vía de datos de 128 bits de anchura están alimentados plenamente de manera continua, los elementos paralelos no usados están consumiendo energía innecesariamente.

Como ejemplo adicional, las operaciones de procesamiento totalmente paralelo implican actividades intensas de todos los elementos paralelos. De ahí que todos los elementos paralelos estén generando calor. Algunos diseños de procesadores, por ejemplo encapsulados en un embalaje de plástico para aplicaciones de bajo coste, pueden no ser capaces de soportar el calor por encima de cierta temperatura. Las operaciones continuas de alta velocidad de todo el conjunto de elementos paralelos a lo largo de un periodo prolongado pueden generar demasiado calor.

Podría diseñarse un procesador paralelo con un menor grado de paralelismo que el requerido para algunas aplicaciones, para que fuera más eficiente para aplicaciones que no requieran el grado mayor de paralelismo. Aunque esta solución de compromiso puede reducir el consumo de energía y, por lo tanto, la generación de calor, da como resultado un desperdicio de energía y un rendimiento deficiente cuando se requiere más paralelismo.

De aquí que exista la necesidad de una técnica para ajustar automáticamente el paralelismo de tal procesador con base en la tarea de procesamiento y/o en condiciones ambientales.

El documento US 2004/254965 A1 da a conocer una unidad de cálculo que comprende una pluralidad de elementos de procesamiento, teniendo cada una unidad aritmética lógica, y un controlador para controlar los elementos del procesador. El procesador puede proporcionar un bit respectivo de una palabra de múltiples bits a cada uno de los elementos del procesador y permitir que se transmitan señales entre unidades aritméticas lógicas para permitir que las unidades lleven a cabo una operación paralela en los bits de la palabra de múltiples bits. Se proporciona una circuitería de extensión para acoplar entre sí de manera selectiva una o más unidades de cálculo para combinar su capacidad de procesamiento paralelo.

El documento US 2002/0188828 da a conocer un procesador superescalar para un procesamiento de datos mayor. El procesador ejecuta grupos plurales de instrucciones con unidades plurales de ejecución.

El documento US2003/0088799 A1 da a conocer un sistema para la regulación de la temperatura y la tasa de consumo de energía de componentes eléctricos mediante la reconfiguración entre diferentes anchuras del bus de interconexión.

Resumen

Las enseñanzas del presente documento proporcionan la activación/desactivación automática de uno o más elementos de un procesador programable de datos paralelos con base en una condición detectada de procesamiento. Esencialmente, el control hace corresponder el grado operativo de paralelismo con los requisitos de una tarea que deba ser realizada por el procesador de datos paralelos y/o con una condición ambiental del procesador. Por ejemplo, un elemento de procesamiento paralelo puede ser desactivado cuando no se necesite, para conservar energía, o cuando la temperatura del procesador sea demasiado elevada, para permitir que el procesador se enfríe. Los aspectos de estas enseñanzas abarcan diversos procedimientos de operación, así como dispositivos de procesamiento paralelo.

Por ejemplo, un procedimiento de control del paralelismo de las operaciones de un procesador de datos paralelos implica la monitorización de una o más condiciones relacionadas con el procesamiento realizado por medio del procesador de datos paralelos. Cuando la condición o las condiciones monitorizadas se correlacionan con un primer estado de procesamiento, se ejecutan en paralelo una o más instrucciones en dos elementos de procesamiento paralelo del procesador de datos que proporcionan una vía de datos de una primera anchura. Cuando la condición o las condiciones monitorizadas se correlacionan con un segundo estado de procesamiento, se ejecutan una o más instrucciones en un primer elemento de los dos elementos de procesamiento paralelo. En esta circunstancia, los datos de una segunda anchura menor son procesados por medio del primer elemento, mientras que un segundo elemento de los dos elementos de procesamiento paralelo está inactivo. En una implementación típica, la desactivación del segundo elemento conserva energía y/o reduce la generación de calor (es decir, el consumo de energía) por el procesador.

Se dan a conocer ejemplos que controlan automáticamente el paralelismo (activan y desactivan al menos un elemento de procesamiento paralelo) con base en los requisitos de procesamiento detectados o en el historial. Este enfoque puede hacer corresponder el grado de paralelismo con los requisitos de la tarea, como podría estar indicado

por la frecuencia de los requisitos del procesamiento de datos de la mayor anchura de datos en un nuevo conjunto entrante de instrucciones o en instrucciones procesadas recientemente. Otros ejemplos controlan automáticamente el paralelismo con base en una condición ambiental detectada, tal como la temperatura del dispositivo.

5 En un ejemplo de un coprocesador paralelo de 128 bits de tipo de instrucción única y datos múltiples (SIMD), los elementos de procesamiento paralelo podría ser dos unidades aritméticas lógicas (UAL) SIMD de 64 bits. Cuando ambas unidades están operativas, las UAL proporcionan una vida de datos de 128 bits de anchura y el coprocesador opera en un modo de procesamiento de datos de 128 bits. La lógica de control monitoriza una condición de procesamiento y detecta un estado de la misma que justifique un cambio a una operación de 64 bits. En respuesta, se desactiva automáticamente una de las UAL, y la otra UAL ejecuta subsiguientemente instrucciones para un
10 procesamiento de datos con una anchura de 64 bits. Sin embargo, aun en el modo de 64 bits, el procesador puede gestionar instrucciones para procesar datos de 128 bits. Por ejemplo, la metodología puede implicar, además, la recepción de una instrucción SIMD que demande el procesamiento de datos de 128 bits y la expansión de esa instrucción SIMD en dos instrucciones que demanden el procesamiento de los datos de la anchura de datos de 64 bits. El procedimiento implica entonces la ejecución en secuencia de las dos instrucciones resultantes de la
15 expansión por medio de la UAL operativa de 64 bits.

De aquí que otro procedimiento de control del paralelismo de las operaciones de un procesador de datos paralelos podría implicar la ejecución de una o más instrucciones en paralelo en dos elementos de procesamiento paralelo del procesador de datos para procesar datos de una primera anchura, detectar una condición relacionada con el
20 procesamiento a través del procesador de datos paralelos y desactivar el segundo elemento de procesamiento paralelo al detectar un estado de la condición detectada. En este procedimiento, mientras el segundo elemento de procesamiento paralelo esté desactivado, una instrucción que demande un procesamiento de datos paralelos de datos de la anchura mayor es expandida en una pluralidad de instrucciones. Por ejemplo, dos de tales instrucciones demandan un procesamiento de datos paralelos de datos de la segunda anchura menor. El primer elemento de procesamiento paralelo ejecuta las dos instrucciones secuencialmente, mientras el segundo elemento de
25 procesamiento paralelo está desactivada.

Según se ha hecho notar, las presentes enseñanzas también abarcan procesadores de datos paralelos adaptados para controlar el grado de paralelismo en respuesta a una o más condiciones monitorizadas. Un ejemplo de un dispositivo tal comprende un primer elemento de procesamiento sensible a instrucciones de programa para el
30 procesamiento de datos de una primera anchura, por ejemplo 64 bits en una implementación. El procesador de datos también incluye un segundo elemento de procesamiento sensible a instrucciones de programa conectado para operar en paralelo con la primera unidad de procesamiento. La operación paralela de los dos elementos de procesamiento proporciona un procesamiento paralelo de datos de una segunda anchura mayor (por ejemplo, 128 bits). El procesador también incluye lógica de control para monitorizar una condición relacionada con operaciones de procesamiento del procesador de datos. Según se ha hecho notar en lo que antecede, ejemplos de condiciones
35 monitorizadas incluyen condiciones ambientales tales como la temperatura del procesador, así como condiciones relacionadas con tareas tales como con cuánta frecuencia el procesamiento está relacionado con la segunda anchura (por ejemplo, 128 bits de datos). La lógica activa y desactiva selectivamente el segundo elemento de procesamiento con base en la relación de la condición monitorizada con un umbral.

La lógica puede estar adaptada para controlar la activación y la desactivación del segundo elemento de
40 procesamiento para mitigar el potencial de hiperpaginación. Se dan ejemplos en los que se usan diferentes umbrales (relativos a la temperatura y/o relativos a la frecuencia de las instrucciones de 128 bits) para activar y desactivar la segunda UAL para proporcionar histéresis. Como ejemplo adicional, uno o más de los umbrales usados pueden ser regulados dinámicamente, por ejemplo en respuesta a una medición de temporizaciones que pudiera indicar problemas potenciales de hiperpaginación. Por ejemplo, si el umbral de la condición relacionada con tareas es
45 demasiado sensible y la segunda UAL está siendo reanunciada demasiado a menudo después de la desactivación más reciente, la lógica podría aumentar el valor umbral relevante.

Objetos, ventajas y características novedosas adicionales se expondrán, en parte, en la descripción que sigue, y en parte resultarán evidentes para los expertos en la técnica tras el examen de lo que sigue y de los dibujos adjuntos, o pueden ser aprendidas por la producción o la operación de los ejemplos. Los objetos y las ventajas de las presentes
50 enseñanzas pueden ser realizados y obtenidos mediante la práctica o el uso de las metodologías, las dependencias y las combinaciones señaladas en particular en las reivindicaciones adjuntas.

Breve descripción de los dibujos

Las figuras de los dibujos representan una o más implementaciones según las presentes enseñanzas, a título de
55 ejemplo únicamente, no con carácter de limitación. En las figuras, números de referencia semejantes se refieren a elementos iguales o similares.

La Fig. 1 es un diagrama funcional de bloques, útil en la comprensión del control automático de potencia y energía de un elemento de procesamiento paralelo, por ejemplo en un coprocesador SIMD.

La Fig. 2 es un diagrama simplificado de flujo útil en la comprensión de un ejemplo de operaciones de control implicadas en la conmutación automática entre dos niveles diferentes de paralelismo en el coprocesador.

Descripción detallada

5 En la siguiente descripción detallada, se presentan numerosos detalles específicos a modo de ejemplos para proporcionar una comprensión cabal de las enseñanzas relevantes. Sin embargo, debería ser evidente para los expertos en la técnica que las presentes enseñanzas pueden ser practicadas sin tales detalles. En otros casos, métodos, procedimientos, componentes y circuitería bien conocidos han sido descritos con un nivel relativamente elevado, sin detalle, para evitar complicar innecesariamente aspectos de las presentes enseñanzas.

10 Las diversas técnicas dadas a conocer en el presente documento están relacionadas con el control selectivo automático de la potencia y la energía de uno o más elementos de procesamiento paralelo en un procesador programable altamente paralelo de datos. Tal como se expone con mayor detalle en lo que sigue, la lógica del procesador paralelo detecta cuándo las operaciones de programa (por ejemplo, para una tarea particular o debido a una temperatura detectada) requieren menos que al anchura total de la vía de datos. En respuesta, la lógica de control establece automáticamente un modo de operación que requiere un subconjunto de la capacidad de procesamiento paralelo. Al menos puede desactivarse un elemento de procesamiento paralelo, que no se necesita, para conservar energía y/o reducir el consumo de energía. En un momento posterior, cuando la operación de la capacidad añadida sea apropiada, la lógica detecta el cambio en las condiciones de proceso y establece automáticamente el modo de operación al de la vía de datos más ancha, típicamente la anchura total. El cambio de modo reactiva al elemento de procesamiento previamente desactivado.

20 Las presentes enseñanzas son aplicables a arquitecturas de procesador que tienen elementos paralelos de procesamiento de datos. Se exponen ejemplos con respecto a una arquitectura de un procesador paralelo de tipo SIMD. Ahora se hace referencia en detalle a los ejemplos ilustrados en los dibujos adjuntos y expuestos más abajo. Tal como se ha hecho notar, los diseños de SIMD actualmente disponibles en el mercado proporcionan típicamente vías de datos de 64 bits y 128 bits de anchura. Sin embargo, las presentes enseñanzas son aplicables a procesadores paralelos que tengan vías de datos más estrechas o más anchas. El diagrama funcional de bloques de la Fig. 1 ilustra componentes de un dispositivo SIMD que son útiles en la explicación del control automático de potencia y energía de un elemento paralelo. Los expertos en la técnica reconocerán que en un procesador SIMD real se incluirían otros elementos. En el ejemplo, el dispositivo de procesamiento paralelo está implementado como un coprocesador SIMD 11, por ejemplo para llevar a cabo operaciones de procesamientos de datos multimedia bajo el control de un núcleo principal asociado 13 del procesador.

30 Aunque no se muestra, puede proporcionar un control para desactivar todo el coprocesador 11 cuando no esté siendo usado por la aplicación que se ejecuta en el núcleo principal 13 del procesador, por ejemplo cuando no hay necesidad alguna de procesamiento multimedia. La exposición aquí se centrará, en vez de ello, en casos en los que al menos se demanda algún procesamiento por medio del dispositivo SIMD 11, aunque diferentes modos operativos utilizarán diferentes niveles de capacidades de procesamiento paralelo del dispositivo 11.

35 En operación, el núcleo principal 13 del procesador ejecutará uno o más programas, que demandarán el procesamiento multimedia de al menos algunos datos. El conjunto de instrucciones ejecutadas incluirá una extensión de SIMD, es decir, varias de las instrucciones serán instrucciones de procesamiento de tipo SIMD. El núcleo principal 13 del procesador emite estas instrucciones SIMD al coprocesador 11, en el que son puestas inicialmente en una cola 15 de emisión (CE). La cola de emisión es esencialmente un dispositivo de memoria tampón en el que lo primero que entra es lo primero que sale para almacenar varias instrucciones SIMD en secuencia antes de su ejecución.

40 La etapa 15 de CE suministra instrucciones, en secuencia, a una etapa 17 de expansión de instrucciones. El coprocesador SIMD 11 puede proporcionar procesamiento paralelo de varios modos de anchuras diferentes de datos. Aunque puede haber más modos o variaciones en las anchuras de los datos soportadas en cada modo, el ejemplo muestra una configuración del coprocesador 11 que soporta una operación de 64 bits y una operación de 128 bits.

45 Un bit 19 de bandera (M) indica el modo operativo actual. El valor del bit puede estar contenido en un biestable o como un bit en un registro mayor, por ejemplo en un registro de condición. Un ejemplo típico del procesador 11 incluir un registro de control de 32 bits (no mostrado por separado), y la bandera 19 de modo puede ser un bit en una posición designada en ese registro. Tal como se discute adicionalmente más tarde, la bandera 19 se pone automáticamente en respuesta a una condición detectada del procesador, por ejemplo el nivel requerido de paralelismo para una tarea particular de procesamiento o la temperatura detectada del dispositivo. la etapa 17 de expansión es sensible al estado de la bandera 19 de modo.

50 El coprocesador SIMD también incluye un fichero 21 de registros para mantener datos de operandos antes del procesamiento, y una etapa de ejecución. En este ejemplo simple, la etapa de ejecución consiste en dos unidades aritméticas lógicas (UAL) 23, 25 de tipo SIMD. En el modo de 128 bits, están activas tanto la UAL 23 como la 25, mientras que en el modo de 64 bits solo está activa la primera UAL 23 (nº 1).

En el modo de 64 bits, el coprocesador 11 puede seguir gestionando una instrucción SIMD de 128 bits. Para ese fin, la etapa 17 “expande” la instrucción de 128 bits dividiéndola en dos instrucciones, estando cada una estructurada para el procesamiento de 64 bits de datos. En el modo de 64 bits, la etapa 17 despacha todas las instrucciones a la UAL 23, incluyendo las instrucciones que originalmente demandaban un procesamiento de datos de 64 bits de anchura, así como pares de instrucciones de 64 bits derivadas de la expansión de cualquier instrucción de 128 bits en el flujo de instrucciones SIMD procedente de la etapa 15 de CE. En el modo de 128 bits, la etapa 17 despacha instrucciones tanto a la primera UAL 23 como a la segunda 25 para que las unidades 23 y 25 operen en paralelo para proporcionar una vía de procesamiento de datos SIMD de 128 bits de anchura.

Aunque el procesador 11 ejecuta un solo flujo de instrucciones, la ejecución SIMD de esas instrucciones de forma concurrente procesa múltiples datos en paralelo. Cada UAL 23 o 25, por ejemplo, puede operar de manera concurrente en dos palabras de datos de 32 bits o en cuatro palabras de datos de 16 bits. Cuando ambas unidades 23 y 25 están operando en paralelo, la capacidad combinada de procesamiento de datos puede gestionar cuatro palabras de datos de 32 bits u ocho palabras de datos de 16 bits. También son posibles otras combinaciones de procesamiento paralelo.

En un ejemplo simple, el fichero 21 de registros puede comprender dos registros de 128 bits de anchura para datos, aunque pueden proporcionarse registros adicionales. Los expertos en la técnica entenderán que el fichero de registros podría comprender registros adicionales, por ejemplo dieciséis registros, cada uno de 128 bits de anchura. El control del fichero 21 de registros divide cada uno de los 128 bits de datos y envía las cantidades apropiadas a cada una de las UAL 23 y 25. El puerto D del fichero 21 es un puerto de escritura. A través del puerto D, pueden escribirse datos de 128 bits de anchura en un registro del fichero 21, por ejemplo procedentes de un origen (no mostrado) o de la salida de resultados de las UAL. El puerto S del fichero 21 es un puerto de lectura. A través del puerto S, pueden leerse datos de 128 bits de anchura de un registro del fichero 21, por ejemplo en un colector (no mostrado), tal como memoria. Los puertos A y B del fichero 29 de registros son puertos de lectura para suministrar datos divididos (de 64 bits cada uno) a las UAL 23 y 25.

Para las instrucciones de procesamiento de datos de 128 bits, el fichero 21 de registros suministra la mitad inferior (menos significativa) de los 128 de datos a la segunda UAL 25 y envía la mitad superior (más significativa) de los datos a la primera UAL 23. Para una instrucción de 64 bits, el procesador puede seleccionar ya sea la mitad inferior o la mitad superior de los 128 bits de datos del fichero de registros para suministrar a la primera UAL 23. En el modo de 128 bits, cualquier instrucción de 64 bits va a la primera UAL 23 (nº 1), y las instrucciones de 128 bits van tanto a la UAL SIMD 23 como a la 25. En el modo de 64 bits, todas las instrucciones de 64 bits van a la primera UAL SIMD 23. Cualquier instrucción de 128 bits se convierte en dos instrucciones de 64 bits, que son suministradas secuencialmente a la primera UAL SIMD 23.

Las técnicas dadas a conocer aquí controlan automáticamente el paralelismo de las operaciones de un procesador de datos paralelos con base en una o más condiciones detectadas relacionadas con el procesamiento llevado a cabo por medio del procesador de datos paralelos. En el ejemplo, el control automático activo y desactiva selectivamente la segunda UAL 25 (nº 2).

El estado operativo del elemento de procesamiento paralelo controlado, es decir, la segunda UAL 25 (nº 2) en el ejemplo de la Fig. 1, puede ser controlado por medio de una o más puertas o circuitos de conmutación, representados genéricamente por las puertas lógicas 27 y 29. Tal puerta o conmutador suministra y retira selectivamente una señal de habilitación necesitada por el elemento particular. Las puertas 27 y 29 aparecen como puertas AND en el dibujo, pero están pensadas como representaciones genéricas de circuitos para acoplar selectivamente señales a los elementos de la UAL 25. Tal circuito 27 o 29 puede ser una puerta lógica de cualquier tipo, un conmutador, una combinación de los mismos, o cualquier otro circuito configurado para suministrar el tipo apropiado de señal a los elementos funcionales de la UAL 25 en respuesta a las señales de selección apropiadas procedentes del control 31 del modo.

De esta manera, el control 31 del modo controla el estado activo de la segunda UAL 25 (nº 2) en el ejemplo de la Fig. 1. La propia bandera de modo podría proporcionar un control directo de la activación y la desactivación selectivas de la o las puertas 27, 29 y, así, de la UAL 25. Sin embargo, en tal caso, la UAL se activaría y se desactivaría inmediatamente después de cada transición del modo de operación, según lo indicado por cambios de estado de la bandera 19 de modo. En la mayoría de las implementaciones, las UAL 23 y 25 comprenderán unidades de procesamiento en cadena en etapas múltiples, y puede haber varias instrucciones en curso en la UAL 25 cuando cambie la bandera 19. La lógica de control de potencia y energía es sensible a la bandera 19 de modo, pero puede proporcionar un tiempo de demora después de un cambio de estado para permitir una transición suave en el procesamiento. Por ejemplo, la lógica 31 de control puede monitorizar las operaciones de la UAL 25 para que, con la detección de una transición a un bit de 1 (paso del modo de 128 bits al modo de 64 bits), el control 31 demore la desactivación de la UAL 25 hasta que cualquier instrucción restante en curso de 128 bits haya sido procesada y salida de esa UAL. Aunque no se muestra, la lógica del control 31 del modo también puede proporcionar señales a otros elementos del procesador para controlar la aplicación inicial de las instrucciones de 128 bits después de una transición al modo de 128 bits, por ejemplo para dar lugar al tiempo necesario para activar la UAL 25.

El control 31 del modo puede estar implementado para controlar selectivamente el estado de la segunda UAL 25 (nº 2) en cualquier de una variedad de maneras conocidas, habilitando o deshabilitando selectivamente cualquier señal necesaria para la operación de la unidad mediante la operación de una puerta o circuito 27 o 29 de conmutación apropiados. Por ejemplo, la UAL 25 puede ser habilitada o deshabilitada selectivamente mediante la activación periódica controlada de la señal de reloj (CLK), usada para controlar las funciones internas de conmutación de circuitos hacia la unidad 25. La UAL 25 es deshabilitada en tal implementación cortando el flujo de la señal de reloj (CLK) a través de la puerta 27 hacia la UAL 25, de modo que la circuitería de la unidad 25 no se conmute en absoluto en respuesta a las señales de reloj. Esto reduce el consumo dinámico de potencia. Para reducir las fugas en tal implementación, los transistores de la UAL 25 pueden ser diseñados con tensiones umbral de puerta relativamente elevadas. Sin embargo, el control basado únicamente en la activación periódica de la señal de reloj puede permitir reinicios de la UAL relativamente rápidos.

Alternativamente o además (como se muestra), el estado de la UAL puede ser controlado por medio de la aplicación o la retirada selectivas de una conexión con un borne del suministro de energía. Aunque la conexión efectuada podría ser a tierra o a una tensión de suministro negativa, de cara al ejemplo, la puerta 29 controla el suministro de la tensión V a la segunda UAL SIMD 25 (nº 2). La operación de la puerta 29 por el control 31 del modo activa y desactiva la UAL 25 según el modo de operación actual del coprocesador 11. En tal implementación, cuando la bandera de modo pasa a 1 (operación de 64 bits), el control 31 del modo inhabilita la UAL 25 después de que se haya procesado cualquier instrucción restante de 128 bits. En ese momento, el control 31 provoca que la puerta 29 corte una conexión con el borne de alimentación de la tensión V de suministro con respecto a la circuitería de la UAL 25. Este tipo de corte elimina el consumo dinámico de energía y las fugas por la circuitería de esa unidad.

La primera UAL SIMD 23 (nº 1) está activa en ambos modo. De ahí que se muestre a la UAL conectada directamente a la señal de reloj (Clk) y a la tensión (V) de suministro, sin un control de activación periódica. Sin embargo, la potencia y/o las señales de reloj a ese elemento 23 de procesamiento también pueden estar controladas, por ejemplo para permitir la desactivación del mismo cuando no se necesite el coprocesador 11.

El ejemplo de la Fig. 1 muestra un único elemento de procesamiento paralelo, la UAL 25, controlado con base en el modo activo de operación. Los expertos en la técnica reconocerán que un procesador dado puede incluir varios controles similares para varios elementos paralelos que pueden estar inactivos mientras el procesador 11 opere con datos más estrechos durante periodos de tiempo considerables. Suponiendo una anchura máxima de 128 bits, en otro ejemplo, la primera UAL podría ser implementada como dos UAL de 32 bits. En ese caso, un sistema adicional de control similar a 27, 29 y 31 podría controlar la segunda UAL de 32 bits para proporcionar una desactivación selectiva adicional de una UAL SIMD de 32 bits, dejando solo una unidad activa para la operación de 32 bits únicamente.

La operación del control 31 del modo controla el paralelismo del coprocesador 11 en respuesta a un estado de al menos una condición detectada. Cuando la condición monitorizada está en un primer estado, se ejecutan instrucciones SIMD en paralelo en dos elementos 23 y 25 de procesamiento paralelo del procesador de datos, lo que proporciona una vía de datos de 128 de anchura. Cuando la condición monitorizada está en un segundo estado, las instrucciones son ejecutadas en el primer elemento 23 (nº 1) de procesamiento paralelo. En esta circunstancia, los datos de 64 bits de anchura son procesados por medio del primer elemento, mientras el segundo elemento 25 de procesamiento paralelo está inactivo. El control 31 del modo también pone la bandera 19 de modo para controlar la operación de la etapa 17 de expansión de instrucciones.

El estado del modo indicado por la bandera 19 controla operaciones selectivas de las funciones de despacho y expansión de la etapa 17. Por ejemplo, el procesador podría ser configurado para procesar todas las instrucciones en forma de instrucciones de 64 bits con la condición de que el bit de la bandera 19 sea un 1. Si el flujo de instrucciones SIMD incluye ocasionalmente una instrucción de 128 bits, el procesador de la etapa 17 de expansión de instrucciones la dividirá en dos instrucciones de 64 bits y las enviará, una tras otra, a la UAL 23. Cuando el bit de la bandera 19 es un 0, la etapa 17 conmuta al modo de 128 bits, en el cual dirige las instrucciones para operaciones de 128 bits de anchura tanto a la UAL 23 como a la 25 sin expansión. En este modo, si hay una instrucción ocasional de 64 bits en el flujo desde el procesador principal 13, la etapa 17 puede despachar la instrucción de 64 bits a la primera UAL 23.

El estado del modo del coprocesador 11 establecido por el control 31 del modo controla la activación y la desactivación selectivas de al menos un elemento de procesamiento paralelo; en el ejemplo, de la segunda UAL 25. La UAL 25 está activa (alimentada) en el modo de 128 bits, mientras que es innecesaria en el modo de 64 bits y no está alimentada (está desactivada) en ese modo.

En la implementación ilustrada, el control 31 del modo es sensible a una condición relacionada con una tarea de procesamiento: con cuánta frecuencia el procesador gestiona instrucciones de un tipo particular. En esta implementación, el control 31 del modo también es sensible a una condición ambiental: la temperatura. Por ejemplo, la lógica de la máquina de estado o del dispositivo programable que sirve como control 31 del modo identifican el número de instrucciones de 128 bits entre las instrucciones de la etapa 15 de la cola. Si la proporción o la frecuencia de las instrucciones de 128 bits están en cierto nivel predefinido, o por encima de él, el control 31 del modo pone la

bandera 19 de modo a 0 (modo de 128 bits) y activa la segunda UAL 25. En cambio, si la proporción o la frecuencia están en cierto nivel predefinido, o por debajo de él, el control 31 del modo pone la bandera 19 de modo a 1 (modo de 64 bits) e inicia un procedimiento para desactivar la segunda UAL 25. Los expertos en la técnica reconocerán que esta función de control sensible a la tarea podría usar otros parámetros monitorizados, tales como la frecuencia o la proporción de las instrucciones de 64 bits o la frecuencia de cualquiera de los dos tipos de instrucciones en el historial reciente (con base en algún número de instrucciones que se están procesando o que acaban de procesarse por medio del dispositivo 11).

Para la monitorización ambiental, el procesador ejemplar 11 incluye un sensor 33 de temperatura. El sensor 33 proporciona una señal al control 31 del modo. El control 31 activa y desactiva la UAL 25 y pone la bandera 19 de modo, con base en el nivel de la señal del sensor de temperatura, esencialmente con base en la relación de la temperatura con uno o más valores umbral. Si la temperatura detectada se vuelve demasiado elevada mientras se opera en el modo de 128 bits, el control 31 puede desactivar la UAL 25 para permitir que el dispositivo 11 se enfríe. En un momento posterior (por ejemplo, cuando haya una lectura de temperatura menor) y la tarea demande un procesamiento de datos de 128 bits de anchura, el control 31 puede reactivar la UAL 25 y volver a poner la bandera 19 en el modo de 128 bits. Los expertos en la técnica reconocerán que, en lugar de la temperatura o además de la misma, pueden detectarse otras condiciones ambientales.

Además, la ejecución de una instrucción puede derogar esencialmente la operación automática del control 31 del modo, permitiendo que el programador establezca el modo en un nivel deseado de paralelismo. El control del modo recibe una instrucción de derogación de una de las UAL, 25, o del núcleo principal 13 del procesador. En respuesta, el control 31 del modo pondrá la bandera 19 de modo, indicando si la etapa 17 debería o no operar en el modo de 64 bits y proporcionará una configuración correspondiente del estado operativo (DESACTIVADA o ACTIVADA) de la UAL 25.

Si se usa la derogación, se escribe el programa para que establezca el modo de operación en puntos apropiados del flujo de procesamiento. Las instrucciones del establecimiento del modo pueden ser incluidas por el programador, o un compilador puede insertar las instrucciones del establecimiento del modo cuando el programa es compilado a código de lenguaje máquina. El coprocesador 11 puede estar diseñado para establecer un modo como derogación en respuesta a instrucciones de modo ejecutadas por una o ambas de las UAL 23, 25, en cuyo caso las instrucciones son escritas de tal forma que el núcleo 13 emita esas instrucciones hacia el coprocesador 11 para su ejecución. Alternativamente, el coprocesador 11 podría estar acoplado al núcleo principal 13 del procesador, para que el núcleo 13 establezca el modo en respuesta a instrucciones de modo ejecutadas por el núcleo principal 13 del procesador. También es posible que cualquiera de los dos procesadores 11 o 13 pueda establecer el modo con base en tal instrucción de derogación.

También son posibles otras variaciones de la derogación. Por ejemplo, la orden de derogación del núcleo principal 13 del procesador o las UAL 23, 25 en respuesta a una instrucción específica podría derogar el establecimiento automático basado en la condición relacionada con la tarea, pero no derogar el control basado en una condición ambiental crítica, para que, por ejemplo, el control 31 del modo pueda reducir el paralelismo en respuesta a una temperatura excesiva, aunque sea contrario a la configuración proporcionada por la derogación basada en una instrucción explícita.

A partir de la exposición anterior, debería resultar evidente que el control del modo puede responder automáticamente a estados de varias condiciones monitorizadas relacionadas con el procesador o sus operaciones de procesamiento. Además, pueden diseñarse varios algoritmos diferentes para implementar la función de control del paralelismo deseado. Para apreciar plenamente las ventajas de las presentes enseñanzas, puede ser útil considerar un ejemplo.

La Fig. 2 es un diagrama de flujo que muestra un posible flujo de la ejecución implicada en conmutar automáticamente entre dos niveles diferentes de paralelismo en el coprocesador 11 de la Fig. 1 con base en la frecuencia (o la proporción) de instrucciones de la cola y en la temperatura detectada del procesador. De cara a la exposición, supongamos que, inicialmente (en S1), el procesador está ejecutando instrucciones en paralelo en las dos unidades aritméticas lógicas paralelas 23 y 25. En este modo, los datos procesados pueden tener una anchura de hasta 128 bits, es decir, ser de la misma anchura que toda la vía de datos proporcionada por las unidades 23 y 25 funcionando a la vez. En este estado, el control 31 del modo compara el valor T de la señal de temperatura con una valor umbral T_h de temperatura (etapa S2). Si la temperatura es suficientemente baja (el valor T no es mayor que el valor umbral T_h de temperatura elevada), el procesamiento pasa de S2 a S3.

La etapa S3 representa una determinación de una condición de procesamiento relacionada con la tarea, en este caso el número de instrucciones de 128 bits de la cola. Si la cola puede contener, por ejemplo, ocho instrucciones, cuando la etapa 15 de CE esté llena, la frecuencia o la proporción f sería el número de instrucciones de 128 bits dividido por 8. Por supuesto, pueden usarse otras medidas de una condición relacionada con la tarea para determinar cuándo una tarea demanda predominantemente procesamiento de datos de 128 bits de anchura. Por ejemplo, si la longitud de la cola es constante, puede usarse el número de instrucciones de 128 bits en la cola en vez de la frecuencia. Pueden desarrollarse las medidas del historial con base en análisis similares de algún número de

instrucciones ya en curso y/o procesadas por medio de las UAL, o tal medida del historial puede conminarse con el análisis de las instrucciones en la etapa 15 de CE.

- De cara a esta exposición, supongamos que la lógica monitorice cuán frecuencias (f) son las instrucciones de 128 bits en la etapa 15 de CE. En la etapa S3. Si el valor actual f está en un valor umbral bajo f_1 , o por encima del mismo, el procesamiento vuelve a pasar de S3 a S1, para que el coprocesador 11 siga en el modo de operación de 128 bits. Suponiendo una longitud máxima de cola de ocho instrucciones, el umbral de frecuencia baja f_1 podría fijarse en torno a $1/8$, de modo que, para mantener el coprocesador en un modo en curso de 128 bits con la condición de que 1 de cada 8 instrucciones sea una instrucción de 128 bits. El umbral para quedarse en el modo de 128 bits sería típicamente bajo. Incluso $1/16$ podría ser un criterio eficiente para mantenerse en el modo de 128 bits.
- Por supuesto, el umbral también podría ser dependiente del tiempo, por ejemplo requerir 2 o más instrucciones de 128 bits cada 8 instrucciones durante cierto número de ciclos de procesamiento. En el flujo ilustrado, continuará el procesamiento representado por las etapas S1 a S3, es decir, con el procesador operando en el modo de procesamiento de datos de 128 bits de anchura, con la condición de que la temperatura permanezca en el umbral T_h o por debajo del mismo y de que la frecuencia de las instrucciones de 128 bits permanezca por encima del umbral f_1 .
- Si la lógica que forma el control 31 del modo detecta que la temperatura T supera el umbral T_h , el procesamiento pasa de la etapa S2 a la etapa S4 de procesamiento. De modo similar, si la lógica que forma el control 31 del modo detecta que la frecuencia f de las instrucciones de 128 cae hasta el umbral f_1 , o por debajo del mismo, el procesamiento pasa de la etapa S3 a la etapa S4. En cualquiera de los dos casos, en S4, el bloque 17 de expansión de instrucciones comienza la conversión de las instrucciones subsiguientes de 128 bits, si las hay, en pares de instrucciones de 64 bits. En la etapa S5, el control 31 del modo comprueba la segunda unidad aritmética lógica 25 (UAL nº 2) para determinar si hay alguna instrucción restante de 128 en curso que necesite ser procesada y sacada de esa unidad aritmética lógica 25. Si la hay, la lógica espera (S6) y vuelve a comprobar. Esta monitorización (S5-S6) continúa hasta que ya no haya ninguna instrucción restante de 128 bits en curso pendiente de proceso por parte de la segunda unidad aritmética lógica 25 (UAL nº 2), momento en el que el procesamiento pasa a la etapa S7.
- En la etapa S7, el control 31 del modo desactiva o desconecta el segundo elemento 25 de procesamiento de tipo UAL para conservar energía y/o reducir la generación de calor. El procesamiento ulterior se realiza en el modo de 64 bits (S8), tal como se expone en lo que antecede. Por ejemplo, mientras la segunda unidad aritmética lógica 25 está inactiva, el procesador 11 ejecuta una o más instrucciones en la primera unidad aritmética lógica 23 para procesar 64 bits de datos. Cualquier instrucción de 128 bits recibida en este modo es expandida y procesada secuencialmente como dos instrucciones de 64 bits (según se inició en S4).

Aunque el coprocesador opere en el modo de 64 bits, en la etapa 15 de CE el control 31 del modo sigue comprobando la temperatura y la frecuencia con la que se reciben instrucciones de 128 bits. En la etapa S9 se compara la temperatura medida con un umbral, y en la etapa S10 se compara la frecuencia detectada de instrucciones de 128 bits con un umbral. En S8 podría usarse el mismo umbral que el que se usó en S2; y/o en S10 podría usarse el mismo umbral que el que se usó en S3. Sin embargo, el uso de los mismos umbrales puede llevar a activar y desactivar la UAL 25 en respuesta a cada pequeño cambio en uno o ambos de los parámetros monitorizados, lo que resultaría en una conmutación excesiva, a menudo de duraciones breves.

Despertar o activar la UAL 25 desde un estado de desactivación lleva tiempo y consume energía. En algunos casos, podría requerir más energía activar el elemento 25 que simplemente mantenerlo activado durante algún periodo de tiempo breve. Además, volver a alimentar un componente lleva tiempo. La demora o latencia resultante en el rearranque de la UAL podría dar como resultado paradas del procesador, lo que degrada el rendimiento. De ahí que resulte deseable garantizar que el elemento de procesamiento paralelo controlado, la UAL 25 en nuestro ejemplo, no sea desactivada de forma reiterada para ser despertada poco después. La desactivación y la activación reiteradas pueden denominarse "hiperpaginación". Los ejemplos ilustrados usan diferentes umbrales para las comparaciones en los diferentes modos de operación para proporcionar cierta histéresis en las operaciones de conmutación, para reducir los eventos de conmutación y el potencial de hiperpaginación. Tal como se expone adicionalmente en lo que sigue, la lógica del control 31 del modo puede implementar estrategias diferentes o adicionales contra la hiperpaginación.

Volviendo al ejemplo específico, en la etapa S9, el control 31 del modo compara la medición T de la temperatura actual con el umbral T_1 , que es algo menor que el umbral T_h . Si la temperatura medida T está aún por encima del umbral inferior frío T_1 , el procesamiento continúa en el modo de 64 bits (S8). Típicamente, la temperatura seguirá cayendo en este modo. Cuando el procesador se haya enfriado lo suficiente, el control 31 del modo determina que la temperatura medida T está en el umbral inferior T_1 o por debajo del mismo (ya no es mayor que el mismo), y el procesamiento pasa de S9 a S10.

Dado que el procesador está ahora lo bastante frío como para permitir volver a la operación de 128 bits, el control del modo determina a continuación (en S10) si la tarea de procesamiento justifica operaciones de 128 bits. De aquí que, en S10 en nuestro ejemplo, el control del modo compare la frecuencia o proporción (f) de las instrucciones de tipo de 128 bits en la etapa 15 CE con el valor umbral superior f_h . Suponiendo de nuevo una longitud máxima de ocho instrucciones para la cola, podría fijarse el umbral de alta frecuencia en torno a $3/8$ para mantener al

coprocesador en un modo en curso de 64 bits con la condición de que no haya más de 3 instrucciones de 128 bits cada 8 instrucciones. Por supuesto, el umbral podría depender también del tiempo, por ejemplo requerir 4 o más instrucciones de 128 bits cada 8 instrucciones en algún número de ciclos de procesamiento para desencadenar la transición a la operación de 128 bits.

- 5 Si f es menor o igual al valor umbral f_h (aún no mayor que el mismo), no hay suficiente demanda como para justificar operaciones de 128 bits, aunque la temperatura del procesador sea segura. De aquí que el procesamiento vuelva a pasar de S10 a S8, para que el coprocesador 11 siga en el modo de operación de 64 bits. Seguirá el procesamiento representado por las etapas S8 a S10, es decir, con el procesador operando en el modo de procesamiento de datos de 64 bits de anchura, con la condición de que ninguno de los umbrales se satisfaga, es decir, hasta que la temperatura sea lo suficientemente baja y la frecuencia de las instrucciones de 128 bits sea lo bastante elevada como para justificar la transición al modo de operación de 128 bits.

- 10 Cuando la temperatura está en el umbral T_1 o por debajo del mismo y la frecuencia de las instrucciones de 128 bits supera el umbral f_h , el procesamiento pasa por S9 y S10 hasta la etapa S11. En la etapa S11, la lógica 31 de control activa la segunda unidad aritmética lógica 25 (UAL nº 2). En ese momento (S12), las instrucciones de 128 bits pasarán a las UAL sin modificación (ya no es necesaria la recodificación ulterior en dos instrucciones de 64 bits). En este estado, el procesamiento vuelve a la etapa S1, en la que las operaciones posteriores utilizan el modo de instrucciones de 128 bits.

- 15 Tal como se ha hecho notar en lo que antecede, la lógica del control 31 del modo puede implementar otras estrategias contrarias a la hiperpaginación en lugar o en combinación con la histéresis proporcionada por las diferencias en los valores umbral. Por ejemplo, los valores umbral pueden ser ajustados en respuesta a medidas que podrían indicar hiperpaginación; por ejemplo, el intervalo de tiempo durante el cual la UAL está desactivada en respuesta a una tasa de baja incidencia de instrucciones de 128 bits.

- 20 Las presentes enseñanzas tienen una amplia gama de aplicaciones. Por ejemplo, el control de potencia y energía puede ser implementado en otros procesadores paralelos y en procesadores que tengan diferentes anchuras de la vía de datos. Además, el ejemplo del procesador paralelo expuesto en lo que antecede proporcionaba un coprocesador asociado con un núcleo principal del procesador. Sin embargo, los expertos en la técnica entenderán que las técnicas de control del paralelismo expuestas en el presente documento no están limitadas a las implementaciones de coprocesadores.

- 25 Aunque lo anterior ha descrito lo que se considera que es el mejor modo y/u otros ejemplos, se entiende que pueden efectuarse en los mismos diversas modificaciones y que la materia dada a conocer en el presente documento puede ser implementada de diversas formas y en diversos ejemplos, y que las enseñanzas pueden ser aplicadas en numerosas aplicaciones, habiendo sido descritas en el presente documento únicamente algunas de ellas. Con las reivindicaciones adjuntas, se pretende reivindicar cualquier aplicación, modificación y variación, y todas ellas, que se encuentre dentro del auténtico alcance de las presentes enseñanzas.

35 **Realizaciones adicionales**

- Una primera realización de la presente invención incluye un procedimiento de control del paralelismo de las operaciones de un procesador de datos paralelos que comprende: monitorizar una o más condiciones relacionadas con el procesamiento efectuado por medio del procesador de datos paralelos; cuando las una o más condiciones monitorizadas corresponden a un primer estado, ejecutar una o más instrucciones en paralelo en dos elementos de procesamiento paralelo del procesador de datos que proporciona una vía de datos de una primera anchura; y cuando las una o más condiciones monitorizadas corresponden a un segundo estado, ejecutar una o más instrucciones en un primer elemento de los dos elementos de procesamiento paralelo para procesar datos de una segunda anchura menor que la primera anchura mientras un segundo elemento de los dos elementos de procesamiento paralelo está inactivo.

- 40 La etapa de ejecución de una o más instrucciones en el primer elemento de procesamiento paralelo mientras el segundo elemento de procesamiento paralelo está inactivo puede comprender: expandir una instrucción que demanda el procesamiento de datos paralelos de datos de la primera anchura en una pluralidad de instrucciones que comprenden dos instrucciones que demandan el procesamiento de datos paralelos de datos de la segunda anchura; y ejecutar las dos instrucciones secuencialmente en el primer elemento de procesamiento paralelo.

- 45 La ejecución de instrucciones de procesamiento por medio del primer elemento de procesamiento paralelo puede proporcionar un procesamiento de datos de 64 bits de anchura basado en las instrucciones ejecutadas; y la ejecución de instrucciones de procesamiento por medio de los elementos de procesamiento paralelo primero y segundo en paralelo puede proporcionar un procesamiento de datos de 128 bits de anchura basado en las instrucciones ejecutadas.

- 55 Cada uno de los elementos de procesamiento primero y segundo puede comprender una unidad aritmética lógica.

Las instrucciones ejecutadas en los elementos de procesamiento paralelo primero y segundo pueden ser instrucciones de tipo de instrucción única y datos múltiples (SIMD).

5 Los elementos de procesamiento paralelo primero y segundo pueden ser elementos de un coprocesador SIMD. La ejecución de las instrucciones en los elementos de procesamiento paralelo puede comprender el procesamiento de datos multimedia. Puede cortarse el suministro al segundo elemento de procesamiento paralelo cuando el segundo elemento de procesamiento paralelo esté inactivo.

La señal de reloj puede cortarse del segundo elemento de procesamiento paralelo cuando el segundo elemento de procesamiento paralelo esté inactivo.

10 La monitorización de la condición puede comprender la monitorización de la temperatura del procesador; el primer estado puede estar relacionado con una temperatura monitorizada en un umbral o por debajo del mismo, y el segundo estado puede estar relacionado con una temperatura monitorizada en un umbral o por encima del mismo. La monitorización de la condición puede comprender la monitorización de una tarea llevada a cabo mediante la ejecución de las instrucciones, y el primer estado puede ser cuando la tarea demande frecuentemente el procesamiento de datos de la primera anchura.

15 La monitorización de una tarea puede comprender determinar con cuánta frecuencia demandan las instrucciones el procesamiento de datos de la primera anchura.

20 La primera realización puede comprender, además: detectar, a partir de la monitorización de la condición, una transición del primer estado al segundo estado; desactivar el segundo elemento de procesamiento paralelo en respuesta a la transición detectada del primer estado al segundo estado; detectar, a partir de la monitorización de la condición, una transición del segundo estado al primer estado; y activar el segundo elemento de procesamiento paralelo en respuesta a la transición detectada del segundo estado al primer estado.

Las etapas de desactivación y activación pueden estar adaptadas para mitigar el potencial de hiperpaginación.

25 Una realización adicional de la presente invención incluye un procedimiento de control del paralelismo de las operaciones de un procesador de datos paralelos que comprende: ejecutar una o más instrucciones en paralelo en unidades aritméticas lógicas primera y segunda del procesador de datos para procesar datos de una primera anchura; detectar una condición relacionada con el procesamiento por medio del procesador de datos paralelos; en respuesta a un estado de la condición detectada, desactivar la segunda unidad aritmética lógica paralela; y, mientras la segunda unidad aritmética lógica esté inactiva, ejecutar una o más instrucciones en la primera unidad aritmética lógica paralela para procesar datos de una segunda anchura menor que la primera anchura.

30 La etapa de ejecución de una o más instrucciones en la primera unidad aritmética lógica mientras la segunda unidad aritmética lógica está inactiva puede comprender: expandir una instrucción que demande el procesamiento de datos paralelos de datos de la primera anchura en una pluralidad de instrucciones, que comprenden dos instrucciones que demandan el procesamiento de datos paralelos de la segunda anchura; y ejecutar las dos instrucciones secuencialmente en la primera unidad aritmética lógica. La condición detectada puede comprender que la temperatura del procesador alcance un umbral.

35 La condición detectada puede estar relacionada con que la frecuencia de procesamiento que requiere el procesamiento de datos de la primera anchura caiga por debajo de un nivel umbral.

40 Una realización adicional de la presente invención incluye un procedimiento de control del paralelismo de las operaciones de un procesador de datos paralelos que comprende: ejecutar una o más instrucciones en paralelo en elementos de procesamiento paralelo primero y segundo del procesador de datos para procesar datos de una primera anchura; detectar una condición relacionada con el procesamiento por medio del procesador de datos paralelos; en respuesta a un estado de la condición detectada, desactivar el segundo elemento de procesamiento paralelo; mientras el segundo elemento de procesamiento paralelo esté desactivado, expandir una instrucción que demande el procesamiento de datos paralelos de datos de la primera anchura en una pluralidad de instrucciones que comprende dos instrucciones que demandan el procesamiento de datos paralelos de datos de una segunda anchura menor que la primera anchura; y ejecutar las dos instrucciones secuencialmente en el primer elemento de procesamiento paralelo mientras el segundo elemento de procesamiento paralelo esté desactivado.

45 Las instrucciones pueden ser instrucciones de tipo de instrucción única y datos múltiples (SIMD); la instrucción que demanda un procesamiento de datos paralelos de datos de la primera anchura puede ser una instrucción SIMD de 128 bits; y cada una de las dos instrucciones puede ser una instrucción SIMD de 64 bits. La condición detectada puede ser o bien la temperatura del procesador de datos o la frecuencia de procesamiento que requiera el procesamiento de datos de la primera anchura.

50 Una realización adicional de la presente invención incluye un procesador de datos paralelos que comprende: un primer elemento de procesamiento sensible a instrucciones de programa para procesar datos de una anchura; un segundo elemento de procesamiento sensible a instrucciones de programa conectado para operar en paralelo con la

55

5 primera unidad de procesamiento, proporcionando la operación paralela de los elementos de procesamiento primero y segundo el procesamiento paralelo de datos de una segunda anchura mayor que la primera anchura; y lógica para monitorizar una condición relacionada con las operaciones de procesamiento del procesador de datos y activar y desactivar selectivamente el segundo elemento de procesamiento con base en la relación entre la condición monitorizada y un umbral.

Las instrucciones pueden incluir una etapa de expansión de instrucciones para convertir una instrucción que demanda el procesamiento de datos de la segunda anchura en una pluralidad de instrucciones que demandan el procesamiento de datos de la primera anchura y para suministrar la pluralidad de instrucciones secuencialmente al primer elemento de procesamiento para su ejecución.

10 El procesador de datos paralelos puede comprender, además, un sensor de temperatura para detectar la temperatura del procesador de datos; en el que el umbral es un umbral de temperatura, y la lógica desactiva el segundo elemento de procesamiento si la temperatura detectada del procesador de datos satisface o supera el umbral de temperatura. Si la temperatura detectada del procesador de datos está por debajo de un umbral de temperatura, la lógica puede activar y desactivar el elemento de procesamiento en función de con cuánta frecuencia las instrucciones demandan el procesamiento de datos de la segunda anchura. La lógica puede monitorizar con
15 cuánta frecuencia las instrucciones demandan el procesamiento de datos de la segunda anchura; la lógica puede desactivar el segundo elemento de procesamiento si la frecuencia está por debajo del umbral; y la lógica puede activar el segundo elemento de procesamiento si la frecuencia está por encima de un umbral.

20 Los elementos de procesamiento primero y segundo pueden estar configurados para procesar datos en respuesta a instrucciones de tipo de instrucción única y datos múltiples (SIMD). Cada uno de los elementos de procesamiento primero y segundo puede comprender una unidad aritmética lógica de tipo SIMD. El procesador puede comprender, además, una etapa de expansión de instrucciones para convertir una instrucción SIMD que demande el procesamiento de datos de la segunda anchura en una pluralidad de instrucciones SIMD que demanden el procesamiento de datos de la primera anchura y para suministrar la pluralidad expandida de instrucciones SIMD
25 secuencialmente al primer elemento de procesamiento para su ejecución cuando el segundo elemento de procesamiento ha sido desactivado. La lógica puede ser adaptada para controlar la activación y la desactivación del segundo elemento de procesamiento para mitigar el potencial de hiperpaginación.

REIVINDICACIONES

1. Un procedimiento que comprende:

monitorizar una pluralidad de instrucciones en una cola de instrucciones de un procesador (11) que comprende una pluralidad de unidades de ejecución de instrucciones, soportando el procesador (11) un primer modo de procesamiento para procesar datos de una primera anchura y un segundo modo de procesamiento para procesar datos de una segunda anchura, superando la primera anchura a la segunda anchura;

determinar si la pluralidad de instrucciones comprende una primera pluralidad de instrucciones correspondiente a la primera anchura de los datos que satisface un nivel;
 en respuesta a que la primera pluralidad de instrucciones satisfaga el nivel:
 seleccionar el primer modo de procesamiento; y
 continuar en el primer modo de procesamiento hasta que se determine que la primera pluralidad de instrucciones no satisface el nivel; y
 en respuesta a que la primera pluralidad de instrucciones no satisfaga el nivel:
 seleccionar el segundo modo de procesamiento;
 desactivar selectivamente al menos una unidad de ejecución de instrucciones usada para soportar el procesamiento de datos de la primera anchura en el primer modo de procesamiento;
 expandir las instrucciones que corresponden a la primera anchura de datos en múltiples instrucciones correspondientes a la segunda anchura de datos; y
 continuar en el segundo modo de procesamiento hasta que se determine que la primera pluralidad de instrucciones satisface el nivel,
 alcanzando el nivel la primera pluralidad de instrucciones cuando un primer recuento de la primera pluralidad de instrucciones iguala o supera una proporción con respecto a un segundo recuento de una segunda pluralidad de instrucciones que corresponde a la segunda anchura de datos en la cola de instrucciones.

2. El procedimiento de la reivindicación 1 que, además, comprende seleccionar el segundo modo de procesamiento en respuesta a que la temperatura operativa del procesador (11) supere un umbral.

3. El procedimiento de la reivindicación 1 que, además, comprende seleccionar uno del primer modo de procesamiento y del segundo modo de procesamiento en respuesta a la recepción de una instrucción de derogación que especifique una selección del primer modo de procesamiento o del segundo modo de procesamiento.

4. El procedimiento de la reivindicación 1 en el que desactivar selectivamente la al menos una unidad de ejecución de instrucciones comprende monitorizar la al menos una unidad de ejecución de instrucciones para determinar cuándo no queda ninguna instrucción en curso correspondiente a la primera anchura de datos pendiente de ser procesada en la al menos una unidad de ejecución de instrucciones y desactivar selectivamente la al menos una unidad de ejecución de instrucciones con base en la determinación.

5. El procedimiento de la reivindicación 1 en el que la primera anchura de datos es de 128 bits y la segunda anchura de datos es de 64 bits.

6. El procedimiento de la reivindicación 1 en el que el primer modo de procesamiento comprende usar al menos el doble de unidades de ejecución que el segundo modo de procesamiento.

7. El procedimiento de la reivindicación 1 que, además, comprende poner una bandera (19) de modo cuando se detecta la pluralidad de condiciones percibidas, en el que la bandera de modo identifica cuándo el procesador opera en el primer modo de procesamiento u opera en el segundo modo de procesamiento.

8. El procedimiento de la reivindicación 7 que, además, comprende la recepción de una instrucción de derogación que sobrescribe la configuración de la bandera (19) de modo.

9. Un procesador que comprende:

una pluralidad de unidades de ejecución de instrucciones;
 una cola de instrucciones configurada para poner en cola instrucciones que comprenden primeras instrucciones correspondientes a una primera anchura de datos y segundas instrucciones correspondientes a una segunda anchura de datos, siendo la segunda anchura de datos menor que la primera anchura de datos;
 un elemento (17) de expansión de instrucciones configurado para expandir selectivamente las primeras instrucciones en múltiples instrucciones correspondientes a la segunda anchura de datos; y
 lógica de control acoplada a la cola de instrucciones, a la pluralidad de unidades de ejecución de instrucciones y al elemento de expansión de instrucciones, estando la lógica de control configurada para:

cuando una pluralidad de las primeras instrucciones alcanza un nivel, seleccionar un primer modo de procesamiento que comprende el uso de una primera pluralidad de unidades de ejecución de instrucciones; y

5 cuando la pluralidad de las primeras instrucciones no llega a alcanzar el nivel, seleccionar un segundo modo de procesamiento, en el que:

el elemento (17) de expansión de instrucciones expande cada una de las primeras instrucciones de la cola de instrucciones; y

10 se usa una segunda pluralidad de unidades de ejecución de instrucciones, siendo la segunda pluralidad de unidades de ejecución de instrucciones menor que la primera pluralidad de unidades de ejecución de instrucciones;

se desactivan una o más de la pluralidad de unidades de ejecución de instrucciones no usadas para procesar las instrucciones correspondientes a la segunda anchura de datos; y

15 la una o más de la pluralidad de unidades de ejecución de instrucciones son reactivadas cuando la pluralidad de las primeras instrucciones alcanza el nivel, alcanzando el nivel la primera pluralidad de instrucciones cuando un primer recuento de la primera pluralidad de instrucciones iguala o supera una proporción con respecto a un segundo recuento de una segunda pluralidad de instrucciones que corresponde a la segunda anchura de datos en la cola de instrucciones.

20 **10.** El procesador de la reivindicación 9 en el que la lógica de control está configurada, además, para monitorizar la temperatura operativa de un procesador (11), estando activa la primera pluralidad de unidades de ejecución de instrucciones cuando la pluralidad de las primeras instrucciones alcanza el nivel y cuando la temperatura operativa del procesador no alcanza un umbral.

11. El procesador de la reivindicación 10 que, además, comprende una bandera (19) de modo, en el que:

25 la bandera (19) de modo está configurada en un primer estado para activar la primera pluralidad de unidades de ejecución de instrucciones cuando la pluralidad de las primeras instrucciones alcanza el nivel y cuando la temperatura operativa del procesador no alcanza el umbral; y

la bandera (19) de modo está configurada en un segundo estado para desactivar las una o más de la pluralidad de unidades de ejecución de instrucciones cuando la pluralidad de las primeras instrucciones no llega a alcanzar el nivel o cuando la temperatura operativa del procesador supera el umbral.

30 **12.** El procesador de la reivindicación 11 en el que la bandera (19) de modo está configurada para responder a una instrucción de derogación que pone la bandera (19) de modo en uno del primer estado y del segundo estado de forma independiente de al menos uno de si la pluralidad de las primeras instrucciones alcanza el nivel y si la temperatura operativa del procesador alcanza el umbral.

35 **13.** El procesador de la reivindicación 10 en el que al menos uno del nivel de la pluralidad de las primeras instrucciones y el umbral de la temperatura operativa del procesador (11) se determina con base en si el procesador opera en el primer modo de procesamiento o en el segundo modo de procesamiento.

14. El procesador de la reivindicación 9 en el que la lógica de control está configurada para desactivar al menos una unidad de ejecución de instrucciones que no se use para procesar las instrucciones correspondientes a la segunda anchura de datos cuando no queda ninguna instrucción en curso correspondiente a la primera anchura de datos pendiente de ser procesada.

40

Fig. 1



