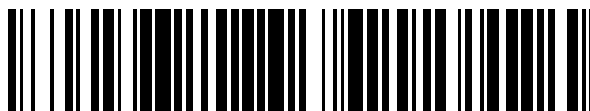


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 390 756**

51 Int. Cl.:
H04L 1/00 (2006.01)
H04L 27/26 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **10167428 .1**
96 Fecha de presentación: **29.09.2008**
97 Número de publicación de la solicitud: **2242199**
97 Fecha de publicación de la solicitud: **20.10.2010**

54 Título: **Aparato y método para recibir una señal OFDM**

30 Prioridad:
28.09.2007 US 976410 P
09.10.2007 US 978725 P
18.10.2007 US 980799 P

45 Fecha de publicación de la mención BOPI:
16.11.2012

45 Fecha de la publicación del folleto de la patente:
16.11.2012

73 Titular/es:
LG ELECTRONICS INC. (100.0%)
20, Yeouido-Dong Yeongdeungpo-Gu
Seoul 150-721, KR

72 Inventor/es:
KO, WOO SUK y
MOON, SANG CHUL

74 Agente/Representante:
DE ELZABURU MÁRQUEZ, Alberto

ES 2 390 756 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato y método para recibir una señal OFDM

5 La presente invención se refiere a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, y más particularmente, a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, que son capaces de mejorar la eficacia de transmisión de datos.

10 A medida que se ha desarrollado una tecnología de difusión digital, los usuarios han recibido una imagen en movimiento de alta definición (HD). Con el desarrollo continuo de un algoritmo de compresión y alto rendimiento de hardware, se proporcionará un mejor entorno a los usuarios en el futuro. Un sistema de televisión digital (DTV) puede recibir una señal de difusión digital y proporcionar una variedad de servicios suplementarios a los usuarios así como una señal de vídeo y una señal de audio.

El documento de referencia US 2005/047514 revela un dispositivo transmisor- receptor para transferencia de datos mejorada en un sistema multiportadora, junto con un método asociado.

15 Con el desarrollo de la tecnología de difusión digital, se aumenta un requisito de un servicio tal como una señal de vídeo y una señal de audio y se aumenta gradualmente el tamaño de datos deseado por un usuario o el número de canales de difusión.

Por consiguiente, la presente invención está dirigida a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal que sustancialmente obvian uno o más problemas debidos a las limitaciones y desventajas de la técnica relacionada.

20 Un objeto de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que son capaces de mejorar la eficacia de transmisión de datos.

Otro objeto de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que son capaces de mejorar la capacidad de corrección de errores de bits que configura un servicio.

25 Ventajas, objetos, y características adicionales de la invención se expondrán en parte en la descripción que sigue y en parte llegarán a ser evidentes a aquellos que tienen experiencia habitual en la técnica tras el examen de lo siguiente o se pueden aprender a partir de la práctica de la invención. Los objetivos y otras ventajas de la invención se pueden realizar y lograr mediante la estructura señalada particularmente en la descripción por escrito y en sus reivindicaciones así como en los dibujos adjuntos.

30 Para lograr estos objetos y otras ventajas y de acuerdo con el propósito de la invención, según se realiza y describe ampliamente en el presente documento, se propone un método para recibir una señal de difusión de acuerdo con la reivindicación 1.

En otro aspecto de la presente invención, se propone un aparato para recibir una señal de difusión de acuerdo con la reivindicación 8.

35 Se tiene que entender que tanto la descripción general anteriormente mencionada como la siguiente descripción detallada de la presente invención son ejemplares y explicativas y no se prevé que proporcionen explicaciones adicionales de la invención según se reivindica.

Los dibujos anexos, que se incluyen para proporcionar un entendimiento adicional de la invención y se incorporan en y constituyen una parte de esta solicitud, ilustran la(s) realización(es) de la invención y junto con la descripción sirven para explicar el principio de la invención. En los dibujos:

40 La FIG. 1 es una vista que muestra una trama de señal para transmitir un servicio;

La FIG. 2 es una vista que muestra la estructura de una primera señal piloto P1 de la trama de señal;

La FIG. 3 es una vista que muestra una ventana de señalización;

La FIG. 4 es una vista esquemática que muestra un ejemplo de un aparato para transmitir una señal;

La FIG. 5 es una vista que muestra un ejemplo de un procesador de entrada 110;

45 La FIG. 6 es una vista que muestra un ejemplo de una unidad de codificación y modulación;

La FIG. 7 es una vista que muestra un ejemplo de un constructor de tramas;

- La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan correlación híbrida de símbolos;
- La FIG. 9 es una vista que muestra un segundo ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan correlación híbrida de símbolos;
- 5 La FIG. 10 es una vista que muestra un ejemplo de cada uno de los correlacionadores 131a y 131b de símbolos mostrados en La FIG. 7;
- La FIG. 11 es una vista que muestra otro ejemplo del correlacionador de símbolos;
- La FIG. 12 es una vista que muestra el concepto de intercalado de bits mediante los intercaladores de bits 1312a y 1312b de la FIG. 11;
- 10 La FIG. 13 es una vista que muestra un primer ejemplo del número de filas y columnas de memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de correlacionadores de símbolos 1315a y 1315b;
- La FIG. 14 es una vista que muestra un segundo ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de los correlacionadores de símbolos 1315a y 1315b;
- 15 La FIG. 15 es una vista que muestra el concepto de demultiplexación de bits de entrada de los demultiplexores 1313a y 1313b;
- La FIG. 16 es una vista que muestra un ejemplo de demultiplexar un flujo de entrada mediante el demultiplexor;
- La FIG. 17 es una vista que muestra un ejemplo de un tipo de demultiplexación de acuerdo con un método de correlación de símbolos;
- 20 La FIG. 18 es una vista que muestra un ejemplo de demultiplexar un flujo de bits de entrada de acuerdo con un tipo de demultiplexación;
- La FIG. 19 es una vista que muestra un tipo de demultiplexación que se determina de acuerdo con una tasa de código de un método de codificación con corrección de errores y de correlación de símbolos;
- La FIG. 20 es una vista que muestra un ejemplo de expresar el método de demultiplexación mediante una ecuación;
- 25 La FIG. 21 es una vista que muestra un ejemplo de correlación de un símbolo mediante un correlacionador de símbolos;
- La FIG. 22 es una vista que muestra un ejemplo de un codificador de señal de múltiples trayectos;
- La FIG. 23 es una vista que muestra un ejemplo de un modulador;
- La FIG. 24 es una vista que muestra un ejemplo de un procesador analógico 160;
- 30 La FIG. 25 es una vista que muestra una realización de un aparato de recepción de señales capaz de recibir una trama de señal;
- La FIG. 26 es una vista que muestra una realización de un receptor de señales;
- La FIG. 27 es una vista que muestra una realización de un demodulador;
- La FIG. 28 es una vista que muestra un descodificador de señales de múltiples trayectos;
- La FIG. 29 es una vista que muestra una realización de un analizador sintáctico de tramas;
- 35 La FIG. 30 es una vista que muestra una realización de cada uno de los descorrelacionadores de símbolos 247a y 247p;
- La FIG. 31 es una vista que muestra otro ejemplo de cada uno de los descorrelacionadores de símbolos 247a y 247p;
- La FIG. 32 es una vista que muestra un ejemplo de multiplexación de un subflujo demultiplexado;
- 40 La FIG. 33 es una vista que muestra un ejemplo de una unidad de descodificación y demodulación;
- La FIG. 34 es una vista que muestra un ejemplo de un procesador de salida;
- La FIG. 35 es una vista que muestra otro ejemplo de un aparato de transmisión de señales para transmitir una trama de señal;

La FIG. 36 es una vista que muestra otra realización de un aparato de recepción de señales para recibir una trama de señal;

La FIG. 37 es una vista que muestra un ejemplo de un método para transmitir una señal; y

La FIG. 38 es una vista que muestra una realización de un método para recibir una señal.

- 5 Ahora se hará referencia en detalle a las realizaciones preferidas de la presente invención, ejemplos de las cuales se ilustran en los dibujos anexos. Siempre que sea posible, se usarán los mismos números de referencia a lo largo de los dibujos para referirse a las mismas partes o similares.

En la siguiente descripción, el término "servicio" es indicativo o bien de contenidos de difusión que se pueden transmitir/recibir por el aparato de transmisión/recepción de señales, o bien de provisión de contenido.

- 10 Anterior a la descripción de un aparato para transmitir y recibir una señal de acuerdo con una realización de la presente invención, se describirá una trama de señal que se transmite y recibe por el aparato para transmitir y recibir la señal de acuerdo con la realización de la presente invención.

La FIG. 1 muestra una trama de señal para transmitir un servicio de acuerdo con la presente invención.

- 15 La trama de señal mostrada en la FIG. 1 muestra una trama de señal ejemplar para transmitir un servicio de difusión que incluye flujos de audio/vídeo (A/V). En este caso, un único servicio se multiplexa en canales de tiempo y de frecuencia, y el servicio multiplexado se transmite. El esquema de transmisión de señales mencionado anteriormente se denomina un esquema de segmentación en tiempo-frecuencia (TFS). Comparado con el caso en el que un único servicio se transmite sólo a una banda de radiofrecuencia (RF), el aparato de transmisión de señales de acuerdo con la presente invención transmite el servicio de señales a través de al menos una banda RF (posiblemente varias bandas RF), de modo que puede adquirir una ganancia de multiplexación estadística que capaz de transmitir muchos más servicios. El aparato de transmisión/recepción de señales transmite/recibe un único servicio sobre varios canales RF, de modo que puede adquirir una ganancia de diversidad de frecuencia.

- 25 Los servicios primero a tercero (Servicios 1~3) se transmiten a cuatro bandas RF (RF1 ~ RF4). Sin embargo, este número de bandas RF y este número de servicios se han revelado sólo con propósitos ilustrativos, de modo que también pueden usarse otros números según sea necesario. Dos señales de referencia (es decir, una primera señal piloto (P1) y una segunda señal piloto (P2)) se ubican en la parte de comienzo de la trama de señal. Por ejemplo, en el caso de la banda RF1, la primera señal piloto (P1) y la segunda señal piloto (P2) se ubican en la parte de comienzo de la trama de señal. La banda RF1 incluye tres ranuras asociadas con el Servicio 1, dos ranuras asociadas con el Servicio 2, y una única ranura asociada con el Servicio 3. Ranuras asociadas con otros servicios también pueden ubicarse en otras ranuras (Ranuras 4~17) ubicadas tras la única ranura asociada con el Servicio 3.

- 30 La banda RF2 incluye una primera señal piloto (P1), una segunda señal piloto (P2), y otras ranuras 13 ~ 17. Además, la banda RF2 incluye tres ranuras asociadas con el Servicio 1, dos ranuras asociadas con el Servicio 2, y una única ranura asociada con el Servicio 3.

- 35 Los Servicios 1 ~ 3 se multiplexan, y entonces se transmiten a las bandas RF3 y RF4 de acuerdo con el esquema de segmentación en tiempo y frecuencia (TFS). El esquema de modulación para transmisión de señales se puede basar en un esquema de multiplexación por división de frecuencia ortogonal (OFDM).

En la trama de señal, los servicios individuales se desplazan a las bandas RF (en el caso de que haya una pluralidad de las bandas RF en la trama de señal) y a un eje de tiempo.

- 40 Si las tramas de señal iguales a la trama de señal anterior se disponen de manera sucesiva en el tiempo, una supertrama puede estar compuesta de varias tramas de señal. Una futura trama de extensión también se puede ubicar entre las diversas tramas de señal. Si la futura trama de extensión se ubica entre las diversas tramas de señal, la supertrama se puede terminar en la futura trama de extensión.

La FIG. 2 muestra una primera señal piloto (P1) contenida en la trama de señal de la FIG. 1 de acuerdo con la presente invención.

- 45 La primera señal piloto P1 y la segunda señal piloto P2 se ubican en la parte de comienzo de la trama de señal. La primera señal piloto P1 se modula mediante un modo FFT 2k, y se puede transmitir simultáneamente al tiempo que incluye un intervalo de guarda de 1/4. En la FIG. 2, una banda de 7,61 Mhz de la primera señal piloto P1 incluye una banda de 6,82992 Mhz. La primera señal piloto usa 256 portadoras de entre 1705 portadoras activas. Una única portadora activa se usa para cada 6 portadoras en promedio. Los intervalos de portadora de datos se pueden disponer irregularmente en el orden de 3, 6, y 9. En la FIG. 2, una línea continua indica la ubicación de una portadora usada, una línea fina discontinua indica la ubicación de una portadora no usada, y una línea de raya y punto indica una ubicación central de la portadora no usada. En la primera señal piloto, la portadora usada se puede correlacionar por símbolos mediante modulación por desplazamiento de fase binaria (BPSK), y se puede modular

una secuencia de bits pseudoaleatoria (PRBS). El tamaño de una FFT usada para la segunda señal piloto se puede indicar mediante varias PRBS.

5 El aparato de recepción de señales detecta una estructura de una señal piloto, y reconoce una segmentación en tiempo y frecuencia (TFS) usando la estructura detectada. El aparato de recepción de señales adquiere el tamaño de FFT de la segunda señal piloto, compensa un desplazamiento de frecuencia basto de una señal de recepción, y adquiere sincronización de tiempo.

En la primera señal piloto, se pueden ajustar un tipo de transmisión de señal y un parámetro de transmisión.

10 La segunda señal piloto P2 se puede transmitir con un tamaño de FFT y un intervalo de guarda igual a los del símbolo de datos. En la segunda señal piloto, se usa una única portadora como una portadora piloto a intervalos de tres portadoras. El aparato de recepción de señales compensa un desplazamiento de sincronización de frecuencia fina usando la segunda señal piloto, y realiza sincronización de tiempo fina. La segunda señal piloto transmite información de una primera capa (L1) de entre capas de Interconexión de Sistemas Abiertos (OSI). Por ejemplo, la segunda señal piloto puede incluir un parámetro físico e información de construcción de tramas. La segunda señal piloto transmite un valor de parámetro por el que un receptor puede acceder a un flujo de servicio de Conducto de Capa Física (PLP).

15 La información de L1 (Capa 1) contenida en la segunda señal piloto P2 es como sigue.

20 La información de Capa-1 (L1) incluye un indicador de longitud que indica la longitud de los datos que incluyen la información de L1, de modo que puede usar fácilmente los canales de señalización de las Capas 1 y 2 (L1 y L2). La información de Capa-1 (L1) incluye un indicador de frecuencia, una longitud de intervalo de guarda, un número máximo de bloques de FEC (corrección de errores hacia adelante) para cada trama en asociación con canales físicos individuales, y el número de bloques de FEC reales que va a contener la memoria intermedia de bloques de FEC asociada con una trama actual/previa en cada canal físico. En este caso, el indicador de frecuencia indica la información de frecuencia correspondiente al canal RF.

25 La información de Capa-1 (L1) puede incluir una variedad de información en asociación con ranuras individuales. Por ejemplo, la información de Capa-1 (L1) incluye el número de tramas asociadas con un servicio, una dirección de inicio de una ranura que tiene la precisión de una portadora OFDM contenida en un símbolo OFDM, una longitud de la ranura, ranuras correspondientes a la portadora OFDM, el número de bits rellenos en la última portadora OFDM, información de modulación de servicio, información de tasa de modo de servicio, e información de esquema de entrada múltiple-salida múltiple (MIMO).

30 La información de Capa-1 (L1) puede incluir un ID de celda, una bandera para servicio como un servicio de mensajes de notificación (por ejemplo, un mensaje de emergencia), el número de tramas actuales, y el número de bits adicionales para su uso futuro. En este caso, el ID de celda indica un área de difusión transmitida por un transmisor de difusión

35 La segunda señal piloto P2 está adaptada para realizar estimación de canal para descodificar un símbolo contenido en la señal P2. La segunda señal piloto P2 se puede usar como un valor inicial para estimación de canal para el siguiente símbolo de datos. La segunda señal piloto P2 también puede transmitir información de Capa-2 (L2). Por ejemplo, la segunda señal piloto es capaz de describir información asociada con el servicio de transmisión en la información de Capa-2 (L2). El aparato de transmisión de señales descodifica la segunda señal piloto, de modo que puede adquirir información de servicio contenida en la trama de segmentación en tiempo y frecuencia (TFS) y puede realizar de manera efectiva la exploración de canal. Mientras tanto, esta información de Capa-2 (L2) se puede incluir en un PLP específico de la trama de TFS. De acuerdo con otro ejemplo, la información de L2 se puede incluir en un PLP específico, y la información de descripción de servicio también se puede transmitir en el PLP específico.

40 Por ejemplo, la segunda señal piloto puede incluir dos símbolos OFDM del modo FFT 8k. Generalmente, la segunda señal piloto puede ser una cualquiera de un único símbolo OFDM del modo FFT 32k, un único símbolo OFDM del modo FFT 16k, dos símbolos OFDM del modo FFT 8k, cuatro símbolos OFDM del modo FFT 4k, y ocho símbolos OFDM del modo FFT 2k.

En otras palabras, un único símbolo OFDM que tiene el tamaño de una FFT grande o varios símbolos OFDM, cada uno de los cuales tiene el tamaño de una FFT pequeña, puede estar contenido en la segunda señal piloto P2, de modo que se puede mantener la capacidad capaz de ser transmitida al piloto.

50 Si la información que va a transmitirse a la segunda señal piloto supera la capacidad del símbolo OFDM de la segunda señal piloto, se pueden usar además símbolos OFDM tras la segunda señal piloto. La información de L1 (Capa1) y L2 (Capa2) contenida en la segunda señal piloto se codifica con corrección de errores y a continuación se intercala, de modo que la recuperación de datos se lleva a cabo aunque se produzca un ruido de impulso.

55 Tal como se ha descrito anteriormente, la información de L2 también se puede incluir en un PLP específico que transporta la información de descripción de servicio.

- 5 La FIG. 3 muestra una ventana de señalización de acuerdo con la presente invención. La trama de segmentación en tiempo y frecuencia (TFS) muestra un concepto de desplazamiento de la información de señalización. La información de Capa-1 (L1) contenida en la segunda señal piloto incluye información de construcción de trama e información de capa física requeridas por el aparato de recepción de señales que descodifica el símbolo de datos. Por lo tanto, si la información de los siguientes símbolos de datos ubicados tras la segunda señal piloto, está contenida en la segunda señal piloto, y la segunda señal piloto resultante se transmite, el aparato de recepción de señales puede ser incapaz de descodificar inmediatamente los siguientes símbolos de datos anteriores debido al tiempo de descodificación de la segunda señal piloto.
- 10 Por lo tanto, como se muestra en la FIG. 3, la información de L1 contenida en la segunda señal piloto (P2) incluye información de un único tamaño de trama de segmentación en tiempo y frecuencia (TFS), e incluye información contenida en la ventana de señalización en una ubicación separada de la segunda señal piloto mediante el desplazamiento de la ventana de señalización.
- Entretanto, para realizar la estimación de canal de un símbolo de datos que construye el servicio, el símbolo de datos puede incluir un piloto disperso y un piloto continuo.
- 15 El sistema de transmisión/recepción de señales capaz de transmitir/recibir tramas de señal mostrado en las FIG. 1 ~ 3 se describirá a continuación en el presente documento. Se pueden transmitir y recibir servicios individuales sobre varios canales RF. Un trayecto para transmitir cada uno de los servicios o un flujo transmitido a través de este trayecto se denomina un PLP. El PLP puede estar distribuido entre las ranuras divididas en el tiempo en varios canales RF o una única banda RF. Esta trama de señal puede transportar el PLP dividido en el tiempo en al menos un canal RF. En otras palabras, se puede transferirse un único PLP a través de al menos un canal RF con regiones divididas en el tiempo. A continuación se revelarán a conocer en el presente documento los sistemas de transmisión/recepción de señales que transmiten/reciben una trama de señal a través de al menos una banda RF.
- 20 La FIG. 4 es un diagrama de bloques que ilustra un aparato para transmitir una señal de acuerdo con un ejemplo de la presente invención. En referencia a la FIG. 4, el aparato de transmisión de señales incluye un procesador de entrada 110, una unidad de codificación y modulación 120, un constructor de tramas 130, un codificador MIMO/MISO 140, una pluralidad de moduladores (150a, 150r) del codificador MIMO/MISO 140, y una pluralidad de procesadores analógicos (160a, ..., 160r).
- 25 El procesador de entrada 110 recibe flujos equipados con varios servicios, genera un número P de tramas en banda base (P es un número natural) que incluyen información de modulación y codificación correspondiente a trayectos de transmisión de los servicios individuales, y emite el número P de tramas en banda base.
- 30 La unidad de codificación y modulación 120 recibe tramas en banda base desde el procesador de entrada 110, realiza la codificación y intercalado de canal sobre cada una de las tramas en banda base, y saca el resultado de la codificación y intercalado de canal.
- 35 El constructor de tramas 130 forma tramas que transmiten tramas en banda base contenidas en el número P de PLP al número R de canales RF (donde R es un número natural), divide las tramas formadas, y saca las tramas divididas a trayectos correspondientes al número R de canales RF. Se pueden multiplexar varios servicios en un único canal RF en tiempo. Las tramas de señal generadas a partir del constructor de tramas 140 pueden incluir una estructura de segmentación en tiempo y frecuencia (TFS) en la que el servicio se multiplexa en los dominios de tiempo y dominio de frecuencia.
- 40 El codificador MIMO/MISO 140 codifica las señales que van a ser transmitidas al número R de canales RF, y saca las señales codificadas a trayectos correspondientes al número A de antenas (donde A es un número natural). El codificador MIMO/MISO 140 saca la señal codificada en la que se codifica una única que va a transmitirse a un único canal RF al número A de antenas, de modo que se transmite/recibe una señal a/desde una estructura MIMO (entrada múltiple-salida múltiple) o MISO (entrada múltiple-salida única).
- 45 Los moduladores (150a, 150r) modulan señales en el dominio de frecuencia introducidas a través del trayecto correspondiente a cada canal RF en señales en el dominio de tiempo. Los moduladores (150a, ... , 150r) modulan las señales de entrada de acuerdo con un esquema de multiplexación por división de frecuencia ortogonal (OFDM), y sacan las señales moduladas.
- 50 Los procesadores analógicos (160a, 160r) convierten las señales de entrada en señales RF, de modo que las señales RF pueden sacar a los canales RF.
- El aparato de transmisión de señales de acuerdo con este ejemplo puede incluir un número predeterminado de moduladores (150a, ..., 150r) correspondiente al número de canales RF y un número predeterminado de procesadores analógicos (160a, ..., 160r) correspondiente al número de canales RF. Sin embargo, en el caso de usar el esquema MIMO, el número de procesadores analógicos debe ser igual al producto de R (es decir, el número de canales RF) y A (es decir, el número de antenas).
- 55

La FIG. 5 es un diagrama de bloques que ilustra un procesador de entrada 110 de acuerdo con la presente invención. En referencia a la FIG. 5, el procesador de entrada 110 incluye el primer multiplexor de flujo 111a, el primer divisor de servicios 113a, y una pluralidad de primeros constructores de tramas en banda base (BB) (115a, ..., 115m). El procesador de entrada 110 incluye un segundo multiplexor de flujo 111b, un segundo divisor de servicios 113b, y una pluralidad de segundos constructores de tramas en banda base (BB) (115n, ..., 115p).

Por ejemplo, el primer multiplexor de flujo 111a recibe varios flujos de transporte (TS) de MPEG-2, multiplexa los flujos TS de MPEG-2 recibidos, y saca los flujos TS de MPEG-2 multiplexados. El primer divisor de servicios 113a recibe los flujos multiplexados, divide los flujos de entrada de servicios individuales, y saca los flujos divididos. Tal como se describió anteriormente, siempre que el servicio sea transmitido a través de un trayecto de canal físico se denomina un PLP, el primer divisor de servicios 113a divide el servicio que va a transmitirse a cada PLP, y saca el servicio dividido.

Los primeros constructores de tramas en BB (115a, ..., 115m) construyen datos contenidos en un servicio que van a transmitirse a cada PLP en forma de una trama específica, y sacan los datos formateados de trama específica. Los primeros constructores de tramas en BB (115a, ..., 115m) construyen una trama que incluye una cabecera y carga útil equipadas con datos de servicio. La cabecera de cada trama puede incluir información de modo basada en la modulación y codificación de los datos de servicio, y un contravalor basado en una tasa de reloj del modulador para sincronizar los flujos de entrada.

El segundo multiplexor de flujo 111b recibe varios flujos, multiplexa los flujos de entrada, y saca los flujos multiplexados. Por ejemplo, el segundo multiplexor de flujo 111b puede multiplexar flujos de Protocolo de Internet (IP) en lugar de los flujos TS de MPEG-2. Estos flujos se pueden encapsular mediante un esquema de encapsulación de flujo genérica (GSE). Los flujos multiplexados por el segundo multiplexor de flujo 111b pueden ser uno cualquiera de los flujos. Por lo tanto, los flujos mencionados anteriormente diferentes de los flujos TS de MPEG-2 se denominan flujos genéricos (flujos GS).

El segundo divisor de servicios 113b recibe los flujos genéricos multiplexados, divide los flujos genéricos recibidos de acuerdo con los servicios individuales (es decir, tipos de PLP), y saca los flujos GS divididos.

Los segundos constructores de tramas en BB (115n, ..., 115p) construyen datos de servicio que van a transmitirse a PLP individuales en forma de una trama específica usada como una unidad de procesamiento de señales, y sacan los datos de servicio resultantes. El formato de trama construido por los segundos constructores de tramas en BB (115n, ..., 115p) puede ser igual a aquel de los primeros constructores de tramas en BB (115a, ..., 115m) según sea necesario. Si se requiere, también se puede proponer otro ejemplo. En otro ejemplo, el formato de trama construido por los segundos constructores de tramas en BB (115n, ..., 115p) puede ser diferente de aquel de los primeros constructores de tramas en BB (115a, ..., 115m). La cabecera TS de MPEG-2 incluye además una palabra de Sincronización de Paquetes que no está contenida en el flujo GS, provocando la ocurrencia de diferentes cabeceras.

La FIG. 6 es un diagrama de bloques que ilustra una unidad de codificación y modulación de acuerdo con la presente invención. La unidad de codificación y modulación incluye un primer intercalador 123, un segundo codificador 125, y un segundo intercalador 127.

El primer codificador 121 actúa como un codificador externo de la trama en banda base de entrada, y es capaz de realizar la codificación con corrección de errores. El primer codificador 121 realiza la codificación con corrección de errores de la trama en banda base de entrada usando un esquema Bose-Chaudhuri-Hocquenghem (BCH). El primer intercalador 123 realiza el intercalado de los datos codificados, de modo que evita que se genere un error de ráfaga en una señal de transmisión. El primer intercalador 123 puede no estar contenido en la realización mencionada anteriormente.

El segundo codificador 125 actúa como un codificador interno o bien de los datos de salida del primer codificador 121 o bien de los datos de salida del primer intercalador 123, y es capaz de realizar la codificación con corrección de errores. Se puede usar un esquema de bit de paridad de baja densidad (LDPC) como un esquema de codificación con corrección de errores. El segundo intercalador 127 mezcla los datos codificados con corrección de errores generados a partir del segundo codificador 125, y saca los datos mezclados. El primer intercalador 123 y el segundo intercalador 127 son capaces de realizar intercalado de datos en unidades de un bit.

La unidad de codificación y modulación 120 se refiere a un único flujo de PLP. El flujo de PLP se codifica con corrección de errores y se modula mediante la unidad de codificación y modulación 120, y entonces se transmite al constructor de tramas 130.

La FIG. 7 es un diagrama de bloques que ilustra un constructor de tramas de acuerdo con la presente invención. En referencia a la FIG. 7, el constructor de tramas 130 recibe flujos de varios trayectos desde la unidad de codificación y modulación 120, y dispone los flujos recibidos en una única trama de señal. Por ejemplo, el constructor de tramas puede incluir un primer correlacionador 131a y un primer intercalador de tiempo 132a en un primer trayecto, y puede incluir un segundo correlacionador 131b y un segundo intercalador de tiempo 132b en un segundo trayecto. El

número de trayectos de entrada es igual al número de PLP para transmisión de servicio o al número de flujos transmitidos a través de cada PLP.

5 El primer correlacionador 131a realiza correlación de datos contenidos en el flujo de entrada de acuerdo con el primer esquema de correlación de símbolos. Por ejemplo, el primer correlacionador 131a puede realizar correlación de los datos de entrada usando un esquema QAM (por ejemplo, 16 QAM, 64 QAM, y 256 QAM).

10 Si el primer correlacionador 131a realiza correlación del símbolo, los datos de entrada se pueden correlacionar con varias clases de símbolos de acuerdo con varios esquemas de correlación de símbolos. Por ejemplo, el primer correlacionador 131a clasifica los datos de entrada en una unidad de trama en banda base y una subunidad de trama en banda base. Los datos clasificados individuales se pueden correlacionar por símbolos de manera híbrida mediante al menos dos esquemas QAM (por ejemplo, 16 QAM y 64 QAM). Por lo tanto, los datos contenidos en un único servicio se pueden correlacionar con símbolos basándose en diferentes esquemas de correlación de símbolos en intervalos individuales.

15 El primer intercalador de tiempo 132a recibe una secuencia de símbolos correlacionada mediante el primer correlacionador 131a, y es capaz de realizar el intercalado en un dominio de tiempo. El primer correlacionador 131a correlaciona los datos, que están contenidos en la unidad de trama de corrección de errores recibida desde la unidad de codificación y modulación 120, en símbolos. El primer intercalador de tiempo 132a recibe la secuencia de símbolos correlacionada por el primer correlacionador 131a, e intercala la secuencia de símbolos recibida en unidades de la trama de corrección de errores.

20 De este modo, el correlacionador de orden p 131p o el intercalador de tiempo de orden p 132p recibe datos de servicio que van a transmitirse al PLP de orden p, correlaciona los datos de servicio en símbolos de acuerdo con el esquema de correlación de símbolos de orden p. Los símbolos correlacionados se pueden intercalar en un dominio de tiempo. Se debería señalar que este esquema de correlación de símbolos y este esquema de intercalado son iguales a aquellos del primer intercalador de tiempo 132a y el primer correlacionador 131a.

25 El esquema de correlación de símbolos del primer correlacionador 131a puede ser igual a o diferente del correlacionador de orden p 131p. El primer correlacionador 131a y el correlacionador de orden p 131p son capaces de correlacionar datos de entrada a símbolos individuales usando los mismos o diferentes esquemas de correlación híbrida de símbolos.

30 Los datos de los intercaladores de tiempo ubicados en trayectos individuales (es decir, los datos de servicio intercalados por el primer intercalador de tiempo 132a y los datos de servicio que van a transmitirse al número R de canales RF por el intercalador de tiempo de orden p 132p) se intercalan, de modo que el canal físico permita que los datos anteriores sean intercalados sobre varios canales RF.

35 En asociación con los flujos recibidos en tantos trayectos como el número de PLP, el constructor de tramas TFS 1333 construye la trama de señal TFS tal como la trama de señal mencionada anteriormente, de modo que el servicio se desplaza en tiempo de acuerdo con canales RF. El constructor de tramas TFS 133 divide los datos de servicio recibidos en uno cualquiera de los trayectos, y saca los datos de servicio divididos en datos del número R de bandas RF de acuerdo con un esquema de planificación de señal.

40 El constructor de tramas TFS 133 recibe la primera señal piloto y la segunda señal piloto a partir de la información de la unidad de señalización 135 (indicada por la señal Ref/PL), dispone la primera y la segunda señales piloto en la trama de señal, e inserta la señal de señalización (L1 y L2) de la capa física mencionada anteriormente en la segunda señal piloto. En este caso, la primera y la segunda señales piloto se usan como las señales de comienzo de la trama de señal contenida en cada canal RF de entre la trama de señal TFS recibida a partir de la unidad de información de señalización (señal Ref/PL) 135. Tal como se muestra en la FIG. 2, la primera señal piloto puede incluir un tipo de transmisión y parámetros de transmisión básicos, y la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. También, la segunda señal piloto incluye una señal de señalización L1 (Capa 1) y una señal de señalización L2 (Capa 2).

45 El número R de intercaladores de frecuencia (137a, ..., 137r) intercalan los datos de servicio, que van a transmitirse a canales RF correspondientes de la trama de señal TFS, en un dominio de frecuencia. Los intercaladores de frecuencia (137a, ..., 137r) pueden intercalar los datos de servicio a un nivel de celdas de datos contenidas en un símbolo OFDM.

50 Por lo tanto, los datos de servicio que van a transmitirse a cada canal RF en la trama de señal TFS se procesan por desvanecimiento selectivo de frecuencia, de modo que no se pierdan en un dominio de frecuencia específico.

55 La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan correlación híbrida de símbolos. Esta Figura muestra el número de bits transmitidos por una subportadora (celda) si se realiza codificación con corrección de errores mediante la unidad de codificación y modulación en un modo normal (la longitud del código de codificación con corrección de errores es 64800 bits) de modo de codificación LDPC con corrección de errores.

- Por ejemplo, si los correlacionadores 131a y 131b realizan correlación de símbolos usando 256QAM, 64800 bits se correlacionan a 8100 símbolos. Si los correlacionadores 131a y 131b realizan correlación híbrida de símbolos (128-QAM híbr.) usando 256QAM y 64QAM con una relación de 3:2, el número de símbolos correlacionados mediante 256QAM es 4860 y el número de símbolos correlacionados mediante 64QAM es 4320. El número de bits transmitidos por cada subportadora (celda) es 7,0588.
- 5 Si se usa un método de correlación de símbolos de 64QAM, los datos de entrada se pueden correlacionar con 10800 símbolos y se pueden transmitirse seis bits por cada celda. Si los datos se correlacionan a los símbolos mediante un método de correlación híbrida de símbolos de 64QAM y 16QAM (64QAM:16QAM=3:2, 32-QAM híbr.), se pueden transmitir cinco bits mediante una subportadora (celda).
- 10 Si los datos se correlacionan con símbolos mediante el método 16QAM, los datos se correlacionan con 16200 símbolos, cada uno de los cuales se usa para transmitir cuatro bits.
- De manera similar, si los datos se correlacionan con símbolos mediante un método de correlación híbrida de símbolos de 16QAM y QPSK (16QAM:QPSK=2:3, 8-QAM híbr.), se pueden transmitir tres bits mediante una subportadora (celda).
- 15 Si los datos se correlacionan con símbolos mediante un método QPSK, los datos pueden correlacionarse con 32400 símbolos, cada uno de los cuales se usa para transmitir dos bits.
- La FIG. 9 muestra métodos de correlación de símbolos de datos con corrección de errores mediante el método de codificación con corrección de errores LDPC de un modo corto (la longitud del código de codificación con corrección de errores es 16200 bits), que son iguales a los métodos de correlación de símbolos de la FIG. 8, y los números de bits por cada subportadora de acuerdo con los métodos de correlación de símbolos.
- 20 Los números de bits transmitidos por la subportadora son iguales a aquellos del modo normal (64800 bits) de acuerdo con los métodos de correlación de símbolos tales como 256QAM, 128-QAM híbr, 64-QAM, 32-QAM híbr., 16QAM, 8-QAM híbr. y QPSK, pero los números totales de símbolos transmitidos son diferentes de aquéllos del modo normal. Por ejemplo, 16200 bits se transmiten mediante 2025 símbolos en 256QAM, 16200 bits se transmiten mediante 1215 símbolos de acuerdo con 256QAM y 1080 símbolos de acuerdo con 64QAM (total 2295 símbolos) en 128-QAM híbr.
- 25 Por consiguiente, se puede ajustar una tasa de transmisión de datos por cada subportadora (celda) para cada PLP de acuerdo con un método de correlación híbrida de símbolos o un único método de correlación de símbolos.
- 30 La FIG. 10 es una vista que muestra un ejemplo de cada uno de los correlacionadores de símbolos 131a y 131b mostrado en la FIG. 7. Cada uno de los correlacionadores de símbolos 131a y 131b incluye un correlacionador de primer orden 1315a, un correlacionador de segundo orden 131b, un fusionador de símbolos 1317 y un fusionador de bloques con corrección de errores 1318.
- El analizador sintáctico de flujos de bits 1311 recibe el flujo de PLP de servicio desde la unidad de codificación y modulación y divide el flujo de servicio recibido.
- 35 El correlacionador de símbolos de primer orden 1315a correlaciona los bits del flujo de servicio divididos por el método de correlación de símbolos con símbolos de orden superior. El correlacionador de símbolos de segundo orden 1315b correlaciona los bits del flujo de servicio dividido mediante un método de correlación de símbolos de orden inferior con símbolos. Por ejemplo, en el ejemplo anterior, el correlacionador de símbolos de primer orden 1315a puede correlacionar el flujo de bits con símbolos según 256QAM y el correlacionador de símbolos de segundo orden 1315b puede correlacionar el flujo de bits con símbolos según 64QAM.
- 40 El fusionador de símbolos 1317 fusiona los símbolos sacados desde los correlacionadores de símbolos 1315a y 1315b con un flujo de símbolos y saca el flujo de símbolos. El fusionador de símbolos 1317 puede sacar el flujo de símbolos incluido en un PLP.
- 45 El fusionador de bloques con corrección de errores 1318 puede sacar un flujo de símbolos fusionado por el fusionador de símbolos 1317 en la unidad de bloques de códigos de codificación con corrección de errores. El fusionador de bloques con corrección de errores 1318 puede sacar un bloque de símbolos de modo que los bloques de códigos de codificación con corrección de errores se asignen uniformemente a al menos una banda RF de la trama de señal TFS. El fusionador de bloques con corrección de errores 1318 puede sacar el bloque de símbolos de modo que la longitud del bloque de símbolos del bloque codificado con corrección de errores de un modo normal sea igual a la del bloque de símbolos del bloque de codificación con corrección de errores de un modo corto. Por ejemplo, cuatro bloques de símbolos del bloque de codificación con corrección de errores del modo corto se pueden fusionar en un bloque de símbolos.
- 50 El fusionador de bloques con corrección de errores 1318 puede dividir el flujo de símbolos de acuerdo con un múltiplo común del número de bandas RF de modo que el constructor de tramas de señal dispone uniformemente

los símbolos a las bandas RF. Si el número máximo de bandas RF en la trama de señal es 6, el fusionador de bloques con corrección de errores 1318 saca el bloque de símbolos de modo que el número total de símbolos se puede dividir por 60 que es un múltiplo común de 1, 2, 3, 4, 5 y 6.

5 Los símbolos incluidos en el bloque de símbolos de salida se pueden disponer para ser asignados uniformemente a las seis bandas RF. Por consiguiente, aunque se combinan un modo con corrección de errores de acuerdo con una tasa de código y un método de correlación de símbolos, los símbolos que configuran el PLP se asignan uniformemente a las bandas RF.

10 La FIG. 11 es una vista que muestra otro ejemplo del correlacionador de símbolos. En el ejemplo de esta Figura, el correlacionador de símbolos incluye el segundo codificador 125 y el segundo intercalador 127 incluido en la unidad de codificación y modulación. Es decir, si se usa este ejemplo, la unidad de codificación y modulación puede incluir sólo el primer codificador 121, el primer intercalador 123 y el segundo codificador 125.

15 El ejemplo del correlacionador de símbolos incluye un analizador sintáctico de flujos de bits 1311, un intercalador de bits de primer orden 1312a, un intercalador de bits de segundo orden 1312b, un demultiplexor de primer orden 1313a, un demultiplexor de segundo orden 1313b, un correlacionador de símbolos de primer orden 1315a, un correlacionador de símbolos de segundo orden 1315b y un fusionador de símbolos 1317.

20 Cuando el segundo codificador 125 realiza una codificación con corrección de errores LDPC, la longitud del bloque de codificación con corrección de errores (por ejemplo, la longitud de 64800 bits y la longitud de 16200 bits) puede variar de acuerdo con un modo LDPC. Si los bits incluidos en el bloque de codificación con corrección de errores se correlacionan con los símbolos, las capacidades de corrección de errores de los bits incluidos en una palabra de celda que configura el símbolo pueden variar de acuerdo con las ubicaciones de los bits. Por ejemplo, la palabra de celda que es el símbolo se puede determinar de acuerdo con la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos (si el método de correlación de símbolos es el método de correlación de símbolos de orden superior o el método de correlación de símbolos de orden inferior). Si el código con corrección de errores es el LDPC, las capacidades de corrección de errores de los bits varían de acuerdo con las ubicaciones de los bits en el bloque de codificación con corrección de errores. Por ejemplo, las fiabilidades de los bits codificados de acuerdo con las características de la matriz H usada en el método de codificación con corrección de errores LDPC irregular pueden variar de acuerdo con las ubicaciones de los bits. Por consiguiente, el orden de los bits que configuran la palabra de celda correlacionados con el símbolo se cambia de modo que las capacidades de corrección de errores de los bits que son débiles frente a la corrección de errores en el bloque de codificación con corrección de errores se ajustan y se puede ajustar la robustez frente al error en el nivel de bit.

En primer lugar, el segundo codificador 125, por ejemplo, realiza la codificación con corrección de errores con respecto al flujo incluido en un PLP mediante el método de codificación con corrección de errores LDPC.

El analizador sintáctico de flujos de bits 1311 recibe el flujo de servicio de acuerdo con el PLP y divide el flujo de servicio recibido.

35 El intercalador de bits de primer orden 1312a intercala los bits incluidos en un primer flujo de bits del flujo de servicios dividido. De manera similar, el intercalador de bits de segundo orden 1312b intercala los bits incluidos en un segundo flujo de bits de los flujos de servicios divididos.

40 El intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b pueden corresponder al segundo intercalador 127 usado como intercalador interno. El método de intercalado del intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b se describirán más tarde.

45 El demultiplexor de primer orden 1313a y el demultiplexor de segundo orden 1313b demultiplexan los bits de los flujos de bits intercalados por el intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b. Los demultiplexores 1313a y 1313b dividen el flujo de bits de entrada en subflujos de bits que se correlacionarán con un eje real y un eje imaginario de una constelación y sacarán los subflujos de bits. Los correlacionadores de símbolos 1315a y 1315b correlacionan los subflujos de bits demultiplexados por los demultiplexores 1313a y 1313b con los símbolos correspondientes.

50 Los intercaladores 1312a y 1312b de bits y los demultiplexores 1313a y 1313b pueden combinar las características de la palabra de código LDPC y las características de la fiabilidad de constelación de la correlación de símbolos de acuerdo con la constelación. El ejemplo detallado de los demultiplexores de primer orden 1313a y 1313b se describirá más tarde.

55 El correlacionador de símbolos de primer orden 1315a realiza correlación de símbolos de primer orden, por ejemplo, correlación de símbolos de orden superior, y el correlacionador de símbolos de segundo orden 1315b realiza correlación de símbolos de segundo orden, por ejemplo, correlación de símbolos de orden inferior. El correlacionador de símbolos de primer orden 1315a correlaciona los subflujos de bits sacados desde el demultiplexor primer orden 1313 con los símbolos y el correlacionador de símbolos de segundo orden 1315b correlaciona los subflujos de bits sacados desde el demultiplexor de segundo orden 1313b con los símbolos.

El fusionador de símbolos 1317 fusiona los símbolos correlacionados por el correlacionador de símbolos de primer orden 1315a y el correlacionador de símbolos de segundo orden 1315b con un flujo de símbolos y saca el flujo de símbolos.

5 Tal como se describió anteriormente, en la LDPC, las capacidades de corrección de errores de los bits se pueden cambiar de acuerdo con las ubicaciones de los bits en el bloque de codificación con corrección de errores. Por consiguiente, si el intercalador de bits y el demultiplexor se controlan de acuerdo con las características del codificador 125 LDPC para cambiar el orden de los bits que configuran la palabra de celda, la capacidad de corrección de errores en el nivel de bit se puede maximizar.

10 La FIG. 12 es una vista que muestra el concepto de intercalado de bits mediante los intercaladores 1312a y 1312b de bits de la FIG. 11.

15 Por ejemplo, los bits de entrada se almacenan en y se leen a partir de una memoria en forma de matriz que tiene un número predeterminado de filas y columnas. Cuando los bits de entrada se almacenan, en primer lugar, se almacenan los bits en una primera columna en dirección de fila, y, si la primera columna está llena, los bits se almacenan en otra columna en dirección de fila. Cuando se leen los bits almacenados, los bits se leen en dirección de columna y, si se leen todos los bits almacenados en una primera fila, los bits en otra fila se leen en dirección de columna. En otras palabras, cuando los bits se almacenan, los bits se almacenan por filas de modo que las columnas se llenan de manera serie. Y cuando se leen los bits almacenados, los bits almacenados se leen por columnas a partir de la primera fila hasta la última fila de manera serie. En esta Figura, MSB significa un bit más significativo y LSB significa un bit menos significativo.

20 Con el fin de correlacionar los bits de codificación con corrección de errores LDPC con los símbolos en la misma unidad de bloques de longitud de corrección de errores a diversas tasas de código, los intercaladores de bits 1312a y 1312b pueden cambiar el número de filas y columnas de la memoria de acuerdo con los tipos de los correlacionadores de símbolos 1315a y 1315b.

25 La Fig. 13 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de correlacionadores de símbolos 1315a y 1315b, si el modo LDPC es el modo normal.

30 Por ejemplo, si el correlacionador de símbolos 1315a correlaciona los bits con símbolos 256QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 8100 filas y 8 columnas. Si los símbolos se correlacionan mediante 64QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 10800 filas y 6 columnas. Si los símbolos se correlacionan mediante 16QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 16200 filas y 4 columnas.

Por ejemplo, si los correlacionadores de símbolos 1315a y 1315b correlacionan los bits con símbolos 128-QAM húb., el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 4860 filas y 8 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 4320 filas y 6 columnas.

35 De manera similar, si los correlacionadores de símbolos 1315a y 1315b correlacionan los símbolos mediante 32-QAM húb., el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 6480 filas y 6 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 6480 filas y 4 columnas.

40 La Fig. 14 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de los correlacionadores de símbolos 1315a y 1315b, si el modo LDPC es el modo corto.

45 Por ejemplo, si el correlacionador de símbolos 1315a correlaciona los bits con 256QAM símbolos, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 2025 filas y 8 columnas. Si los correlacionadores de símbolos 1315a y 1315b correlacionan los símbolos mediante 128-QAM húb., el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 1215 filas y 8 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 1080 filas y 6 columnas.

Si el intercalado de bits se realiza con respecto al bloque de codificación con corrección de errores, se pueden cambiar las ubicaciones de los bits en el bloque de codificación con corrección de errores.

50 La FIG. 15 es una vista que muestra el concepto de multiplexación de bits de entrada de los demultiplexores 1313a y 1313b.

Los intercaladores de bits 1312a y 1312b intercalan los bits de entrada x_0, x_1, \dots, x_{n-1} y sacan los bits intercalados. El método de intercalado ya se ha descrito anteriormente.

- Los demultiplexores 1313a y 1313b demultiplexan los flujos de bits intercalados. El método de demultiplexación puede variar de acuerdo con la tasa de código del método de codificación con corrección de errores y el método de correlación de símbolos del correlacionador de símbolos. Si el método de símbolos del correlacionador de símbolos es QPSK, los bits de entrada, por ejemplo, se intercalan con dos subflujos y el correlacionador de símbolos correlaciona los dos subflujos con los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, un primer bit y_0 del primer subflujo demultiplexado corresponde al eje real y un primer bit y_1 del segundo subflujo demultiplexado corresponde con el eje imaginario.
- Si el método de símbolos del correlacionador de símbolos es 16QAM, los bits de entrada, por ejemplo, se demultiplexan a cuatro subtramas. El correlacionador de símbolos selecciona los bits incluidos en los cuatro subflujos y correlaciona los bits seleccionados con los símbolos para corresponder al eje real y al eje imaginario de la constelación.
- Por ejemplo, los bits y_0 e y_2 de los subflujos demultiplexados primero y tercero corresponden al eje real y los bits y_1 e y_3 de los subflujos demultiplexados segundo y cuarto corresponden al eje imaginario.
- De manera similar, si el método de símbolos del correlacionador de símbolos es 64QAM, los bits de entrada se pueden demultiplexar a seis flujos de bits. El correlacionador de símbolos correlaciona los seis subflujos con los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, los bits y_0 , y_2 e y_4 de los subflujos demultiplexados primero, tercero y quinto corresponden al eje real y los bits y_1 , y_3 e y_6 de los subflujos demultiplexados segundo, cuarto y sexto corresponden al eje imaginario.
- De manera similar, si el método de símbolos del correlacionador de símbolos es 256QAM, los bits de entrada se pueden demultiplexar a ocho flujos de bits. El correlacionador de símbolos correlaciona los ocho subflujos con los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, en primer lugar, los bits y_0 , y_2 , y_4 e y_6 de los subflujos demultiplexados primero, tercero, quinto y séptimo corresponden al eje real y los bits y_1 , y_3 , y_6 e y_7 de los subflujos demultiplexados segundo, cuarto, sexto y octavo corresponden al eje imaginario.
- Si el correlacionador de símbolos correlaciona los símbolos, los subflujos demultiplexados mediante el demultiplexor se pueden correlacionar con los flujos de bits del eje real y el eje imaginario de la constelación.
- El método de intercalado de bits, el método de demultiplexación y el método de correlación de símbolos descritos anteriormente son ejemplares y se pueden usar diversos métodos como método de seleccionar los bits en los subflujos de modo que los subflujos demultiplexados mediante el demultiplexor puedan corresponder al eje real y al eje imaginario de la constelación.
- La palabra de celda correlacionada con los símbolos puede variar de acuerdo con uno cualquiera de los flujos de bits con corrección de errores de acuerdo con la tasa de código, el método de intercalado de los flujos de bits, el método de demultiplexación y el método de correlación de símbolos. El MSB de la palabra de celda es mayor que el LSB de la palabra de celda en la fiabilidad de la descodificación con corrección de errores. Aunque la fiabilidad del bit de una ubicación específica del bloque de codificación con corrección de errores es baja, la fiabilidad del bit se puede mejorar mediante el proceso de descorrelación de símbolos si el bit de la palabra de celda se dispone en el MSB o cerca del MSB.
- Por consiguiente, aunque la fiabilidad del bit codificado de acuerdo con las características de la matriz H usada en el método de codificación con corrección de errores LDPC irregular se cambie, el bit se puede transmitir/recibir de manera robusta mediante el proceso de correlación y descorrelación de símbolos y el rendimiento del sistema se puede ajustar.
- La FIG. 16 es una vista que muestra un ejemplo de demultiplexación de un flujo de entrada mediante el demultiplexor.
- Si el método de correlación de símbolos es QPSK, se correlacionan dos bits con un símbolo y los dos bits de una unidad de símbolos se demultiplexan en el orden de los índices de bit (índices 0 y 1 de b).
- Si el método de correlación de símbolos es 16QAM, se correlacionan 4 bits con un símbolo y los cuatro bits de una unidad de símbolos se demultiplexan de acuerdo con el resultado de cálculo del modulo-4 de índices de bit (índices 0, 1, 2 y 3 de b).
- Si el método de correlación de símbolos es 64QAM, se correlacionan 6 bits con un símbolo y los seis bits de una unidad de símbolos se demultiplexan de acuerdo con el resultado de cálculo del modulo-6 de índices de bit (índices 0, 1, 2, 3, 4 y 5 de b).
- Si el método de correlación de símbolos es 256QAM, se correlacionan 8 bits con un símbolo y los ocho bits de una unidad de símbolos se demultiplexan de acuerdo con el resultado de cálculo del modulo-8 de índices de bit (índices 0, 1, 2, 3, 4, 5, 6 y 7 de b).

El orden de demultiplexación de los subflujos es ejemplar y se puede modificar.

La FIG. 17 es una vista que muestra un ejemplo de un tipo de demultiplexación de acuerdo con un método de correlación de símbolos. El método de correlación de símbolos incluye QPSK, 16QAM, 64QAM y 256QAM, y el tipo de demultiplexación incluye de un primer tipo a un sexto tipo.

- 5 El primer tipo es un ejemplo en el que los bits de entrada corresponden secuencialmente a índices pares (0, 2, 4, 8, ...) (o al eje real de la constelación) y corresponden secuencialmente a índices numerados impares (1, 3, 5, 7, ...) (o al eje imaginario de la constelación). En adelante en el presente documento, la demultiplexación de bits del primer tipo se puede representar mediante un identificador de demultiplexación 10 (un número binario de 1010; la ubicación de 1 es la ubicación del MSB correspondiente al eje real y al eje imaginario de la constelación).
- 10 El segundo tipo es un ejemplo en el que la demultiplexación se realiza en orden inverso del primer tipo, es decir, el LSB de los bits de entrada corresponde secuencialmente a índices numerados pares (6, 4, 2, 0) (o al eje real de la constelación) e índices numerados impares (1, 3, 5, 7, ...) (o al eje imaginario de la constelación). En adelante en el presente documento, la demultiplexación de bits del segundo tipo se puede representar mediante un identificador de demultiplexación 5 (un número binario de 0101).
- 15 El tercer tipo es un ejemplo en el que los bits de entrada se disponen de modo que los bits de ambos extremos de la palabra de código llegan a ser el MSB. Los bits de entrada se vuelven a disponer para llenar la palabra de código desde ambos extremos de la palabra de código. En adelante en el presente documento, la demultiplexación de bits del tercer tipo se puede representar mediante un identificador de demultiplexación 9 (un número binario de 1001).
- 20 El cuarto tipo es un ejemplo en el que los bits de entrada se disponen de modo que un bit medio de la palabra de código llega a ser el MSB. Un bit de los bits de entrada se llena en primer lugar en la ubicación media de la palabra de código y los bits restantes entonces se vuelven a disponer hacia ambos extremos de la palabra de código en el orden de los bits de entrada. En adelante en el presente documento, la demultiplexación de bits del cuarto tipo se puede representar mediante un identificador de demultiplexación 6 (un número binario de 0110).
- 25 El quinto tipo es un ejemplo en el que los bits se demultiplexan de modo que un último bit de la palabra de código llega a ser el MSB y un primer bit de la misma llega a ser el LSB, y el sexto tipo es un ejemplo en el que los bits se vuelven a disponer de modo que el primer bit de la palabra de código llega a ser el MSB y el último bit de la misma llega a ser el LSB. En adelante en el presente documento, la demultiplexación de bits del quinto tipo se puede representar mediante un identificador de demultiplexación 3 (un número binario de 0011), y la demultiplexación de bits del sexto tipo se puede representar mediante un identificador de demultiplexación 12 (un número binario de 1100).
- 30

Tal como se describió anteriormente, el tipo de demultiplexación puede variar de acuerdo con el método de correlación de símbolos o la tasa de código del método de codificación con corrección de errores. Es decir, se puede usar un tipo diferente de demultiplexación si se cambia el método de correlación de símbolos o la tasa de código.

- 35 La FIG. 18 es una vista que muestra un ejemplo de demultiplexación de un flujo de bits de entrada de acuerdo con un tipo de demultiplexación. Este ejemplo puede incluir los intercaladores de bits 1312a y 1312b, los demultiplexores 1313a y 1313b y los correlacionadores 1315a y 1315b.

- 40 Los intercaladores de bits 1312a y 1312b intercalan los flujos de servicio de PLP codificados con corrección de errores. Por ejemplo, los intercaladores de bits 1312a y 1312b pueden realizar el intercalado de bits en las unidades de codificación con corrección de errores de acuerdo con el modo de codificación con corrección de errores. El método de intercalado de bits ya se describió anteriormente.

- 45 Los demultiplexores 1313a y 1313b pueden incluir demultiplexores del primer tipo 1313a1 y 1313b1, ..., y demultiplexores de tipo n ésimo 1313a2 y 1313b2. Aquí, n es un número entero. Los métodos de demultiplexación de los bits mediante los n tipos de demultiplexores siguen los tipos mostrados en la FIG. 17. Por ejemplo, los demultiplexores de primer tipo pueden corresponder al primer tipo demultiplexación de bits (1100) y el demultiplexor de segundo tipo (no mostrado) puede corresponder a la demultiplexación de bits de segundo tipo (0011). El demultiplexor 1313b de n ésimo tipo demultiplexa el flujo de bits de entrada de acuerdo con la multiplexación de bits de n ésimo tipo (por ejemplo, el identificador de demultiplexación 1100) y saca el flujo de bits demultiplexado. Los selectores 1313a3 y 1313b3 reciben una señal de selección de demultiplexor del tipo de demultiplexación adecuada para los bits de entrada y saca el flujo de bits demultiplexado de acuerdo con uno cualquiera del primer tipo o al tipo n ésimo y la señal de selección de demultiplexor. La señal de selección de demultiplexor puede variar de acuerdo con la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos de la constelación. Por consiguiente, el tipo de demultiplexación se puede determinar de acuerdo con la tasa de código del método de codificación con corrección de errores y/o el método de correlación de símbolos de la constelación. El ejemplo detallado de acuerdo con los símbolos correlacionados con la constelación y/o la tasa de código de la codificación con corrección de errores de acuerdo con la señal de selección de demultiplexor se describirá más tarde.
- 55

Los correlacionadores 1315a y 1315b pueden correlacionar los subflujos de bits demultiplexados con los símbolos de acuerdo con la señal de selección de demultiplexor y sacar los símbolos correlacionados.

La FIG. 19 es una vista que muestra un tipo de demultiplexación que se determina de acuerdo con una tasa de código de la codificación con corrección de errores y el método de correlación de símbolos.

5 En el método de correlación de símbolos 4QAM, incluso cuando la tasa de código cr del método de codificación con corrección de errores LDPC es uno cualquiera de 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, el flujo de bits se puede demultiplexar de acuerdo con todos los tipos de demultiplexación (indicados por todos).

10 En el método de correlación de símbolos 16QAM, si la tasa de código del método de codificación con corrección de errores LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el intercalado de bits y la demultiplexación de bits (indicada por Sin Int. y Sin demultiplex.). Si la tasa de código de la codificación con corrección de errores es 3/5, el bit se puede demultiplexar de acuerdo con uno cualquiera de los identificadores de demultiplexación 9, 10 y 12. Si la tasa de código de la codificación con corrección de errores es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, el flujo de bits de entrada se puede demultiplexar de acuerdo con el identificador de demultiplexación 6.

15 En el método de correlación de símbolos 64QAM, si la tasa de código de la codificación con corrección de errores LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el intercalado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits se pueden demultiplexar de acuerdo con uno cualquiera de los identificadores de demultiplexación 9 y 10. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 6.

20 En el método de correlación de símbolos 256QAM, si la tasa de código de la codificación con corrección de errores LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el intercalado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 9. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 6.

25 Tal como se describió anteriormente, el tipo de demultiplexación de bits puede variar de acuerdo con la tasa de código usada para la codificación con corrección de errores y el método de correlación de símbolos. Por consiguiente, la capacidad de corrección de errores de un bit ubicado en una ubicación específica del bloque de codificación con corrección de errores se puede ajustar correlacionando los subflujos demultiplexados con los símbolos. Por consiguiente es posible optimizar la robustez en el nivel de bit.

30 La FIG. 20 es una vista que muestra un ejemplo de expresión del método de demultiplexación mediante una ecuación. Por ejemplo, si el método de correlación de símbolos es QPSK, los bits de entrada ($x_i, x_{N/2+i}$) corresponden a los bits demultiplexados y_0 y y_1 . Si el método de correlación de símbolos es 16QAM, los bits de entrada

$$\left(x_{\frac{2N}{4}+i}, x_{\frac{3N}{4}+i}, x_i, x_{\frac{n}{4}+i} \right)$$

corresponden a los bits demultiplexados y_0, y_1, y_2 e y_3 .

Si el método de correlación de símbolos es 64QAM, los bits de entrada

$$\left(x_{\frac{4N}{6}+i}, x_{\frac{5N}{6}+i}, x_{\frac{2N}{6}+i}, x_{\frac{3N}{6}+i}, x_i, x_{\frac{N}{6}+i} \right)$$

35 y5. Si el método de correlación de símbolos es 256QAM, los bits de

$$\left(x_{\frac{6N}{8}+i}, x_{\frac{7N}{8}+i}, x_{\frac{4N}{8}+i}, x_{\frac{5N}{8}+i}, x_{\frac{2N}{8}+i}, x_{\frac{3N}{8}+i}, x_i, x_{\frac{N}{8}+i} \right)$$

entrada demultiplexados $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 .

Aquí, N indica el número de bits correlacionados con los símbolos con respecto a la entrada del intercalador de bits.

40 La FIG. 21 es una vista que muestra un ejemplo de correlación de un símbolo mediante un correlacionador de símbolos. Por ejemplo, en el método de correlación de símbolos QPSK, los símbolos en la constelación corresponden al valor del bit y_0 del primer subflujo demultiplexado y el valor del bit y_1 del segundo subflujo demultiplexado.

45 En el 16QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero y tercero (bits separados de la ubicación del MSB por 0 y 2) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo y cuarto (bits separados de la ubicación del MSB por 1 y 3).

En el 64QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero, tercero y quinto (bits separados de la ubicación del MSB por 0, 2 y 4) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo, cuarto y sexto (bits separados de la ubicación del MSB por 1, 3 y 5).

5 Por consiguiente, los bits que configuran el símbolo se pueden correlacionar con la palabra de celda en el orden de demultiplexación. Si los bits que configuran la palabra de celda se demultiplexan, el MSB y el LSB de la palabra de celda se cambian y la robustez de los bits se puede ajustar aunque las fiabilidades de los bits de codificación con corrección de errores LDPC varíen de acuerdo con las ubicaciones.

10 La FIG. 22 es un diagrama de bloques que ilustra un codificador MIMO/MISO de acuerdo con la presente invención. En referencia a la FIG. 22, el codificador MIMO/MISO codifica los datos de entrada usando el esquema de codificación MIMO/MISO, y saca los datos codificados a varios trayectos. Si un extremo de recepción de señal recibe la señal transmitida a los diversos trayectos desde uno o más trayectos, es capaz de adquirir una ganancia (también denominada una ganancia de diversidad, una ganancia de carga útil, o una ganancia de multiplexación).

15 El codificador MIMO/MISO 140 codifica los datos de servicio de cada trayecto generados desde el constructor de tramas 130, y saca los datos codificados al número A de trayectos correspondiente al número de antenas de salida.

La FIG. 23 es un diagrama de bloques que ilustra un modulador de acuerdo con la presente invención. En referencia a la FIG. 23, el modulador incluye un primer controlador de potencia (PAPR Reduce1) 151, una unidad de transformada de dominio de tiempo (IFFT) 153, un segundo controlador de potencia (PAPR Reduce2) 157, y un insertador de intervalo de guarda 159.

20 El primer controlador de potencia 151 reduce una PAPR (Relación de Potencia de Pico a Promedio) de datos transmitidos al número R de trayectos de señal en el dominio de frecuencia.

25 La unidad de transformada de dominio de tiempo (IFFT) 153 convierte las señales recibidas en el dominio de frecuencia en señales en el dominio de tiempo. Por ejemplo, las señales en el dominio de frecuencia se pueden convertir en las señales en el dominio de tiempo de acuerdo con el algoritmo IFFT. Por lo tanto, los datos de dominio de frecuencia se pueden modular de acuerdo con el esquema OFDM.

El segundo controlador de potencia (PAPR Reduce2) 157 reduce una PAPR (Relación de Potencia de Pico a Promedio) de datos de canal transmitidos al número R de trayectos de señal en el dominio de tiempo. En este caso, se pueden usar un esquema de reserva de tono, y un esquema de extensión de constelación activa (ACE) para extender la constelación de símbolos.

30 El insertador de intervalo de guarda 159 inserta el intervalo de guarda en el símbolo OFDM de salida, y saca el resultado insertado. Tal como se describió anteriormente, el ejemplo mencionado anteriormente se puede llevar a cabo en cada señal del número R de trayectos.

35 La FIG. 24 es un diagrama de bloques que ilustra un procesador analógico 160 de acuerdo con la presente invención. En referencia a la FIG. 24, el procesador analógico 160 incluye un convertidor digital a analógico (DAC) 161, una unidad de conversión ascendente 163, y un filtro analógico 165.

El DAC 161 convierte los datos de entrada en una señal analógica, y saca la señal analógica. La unidad de conversión ascendente 163 convierte un dominio de frecuencia de la señal analógica en un área RF. El filtro analógico 165 filtra la señal de área RF, y saca la señal RF filtrada.

40 La FIG. 25 es un diagrama de bloques que ilustra un aparato para recibir una señal de acuerdo con la presente invención. En referencia a la FIG. 25, el aparato de recepción de señales incluye un primer receptor de señales 210a, un enésimo receptor de señales 210n, un primer demodulador 220a, un enésimo demodulador 220n, un descodificador MIMO/MISO 230, un analizador sintáctico de tramas 240, y un demodulador de descodificación 250, y un procesador de salida 260.

45 En el caso de una señal de recepción de acuerdo con la estructura de trama de señal TFS, varios servicios se multiplexan en R canales, y entonces se desplazan en el tiempo, de modo que el resultado desplazado en el tiempo se transmite.

50 El receptor puede incluir al menos un receptor de señales para recibir un servicio transmitido sobre al menos un canal RF. La trama de señal TFS transmitida al número R (donde R es un número natural) de canales RF se puede transmitir a un multitrayecto a través del número A de antenas. Las A antenas se han usado para los R canales RF, de modo que el número total de antenas es R x A.

El primer receptor de señales 210a es capaz de recibir datos de servicio transmitidos a través de al menos un trayecto de entre los datos de servicio globales transmitidos a través de varios canales RF. Por ejemplo, el primer

receptor de señales 210a puede recibir la señal de transmisión procesada por el esquema MIMO/MISO a través de varios trayectos.

5 El primer receptor de señales 210a y el enésimo receptor de señales 210n pueden recibir varias unidades de datos de servicio transmitidos sobre n número de canales RF de entre varios canales RF, como un único PLP. Concretamente, esta realización muestra el aparato de recepción de señales capaz de recibir simultáneamente datos del número R de canales RF. Por lo tanto, si esta realización recibe un único canal RF, sólo se necesita el primer receptor 210a.

El primer demodulador 220a y el enésimo demodulador 220n demodulan las señales recibidas en el primer y en el enésimo receptor de señales 210a y 210n de acuerdo con el esquema OFDM, y sacan las señales demoduladas.

10 El descodificador MIMO/MISO 230 descodifica los datos de servicio recibidos a través de varios trayectos de transmisión de acuerdo con el esquema de descodificación MIMO/MISO, y saca los datos de servicio descodificados a un único trayecto de transmisión. Si se recibe el número R de servicios transmitidos sobre varios trayectos de transmisión, el descodificador MIMO/MISO 230 puede sacar datos de servicio de PLP únicos contenidos en cada uno de R servicios correspondientes al número de R canales. Si el número P de servicios se transmiten a través del número R de canales RF, y la señales de canales RF individuales se reciben a través del número A de antenas, el receptor descodifica el número P de servicios usando un total de (R x A) antenas de recepción.

El analizador sintáctico de tramas 240 analiza sintácticamente la trama de señal TFS incluyendo varios servicios, y saca los datos de servicio analizados sintácticamente.

20 El demodulador de descodificación 250 realiza la descodificación con corrección de errores sobre los datos de servicio contenidos en la trama analizada sintácticamente, descorrelaciona los datos de símbolo descodificados en datos de bit, y saca el resultado procesado con descorrelación.

El procesador de salida 260 descodifica un flujo que incluye los datos de bit descorrelacionados, y saca el flujo descodificado.

25 En la descripción mencionada anteriormente, cada uno del analizador sintáctico de tramas 240, el demodulador de descodificación 250, y el procesador de salida 260 reciben varias unidades de datos de servicio tantas como el número de PLP, y realiza procesamiento de señal sobre los datos de servicio recibidos.

La FIG. 26 es un diagrama de bloques que ilustra un receptor de señales de acuerdo con la presente invención. En referencia a la FIG. 26, el receptor de señales puede incluir un sintonizador 211, un convertidor descendente 213, y un convertidor analógico a digital (ADC) 215.

30 El sintonizador 211 realiza saltos de algunos canales RF capaz de transmitir servicios seleccionados por el usuario en todos los canales RF cuando el PLP se incluye en varios canales RF, y saca el resultado de salto. El sintonizador 211 realiza salto de canales RF contenidos en la trama de señal TFS de acuerdo con frecuencias de centro RF de entrada, y al mismo tiempo sintoniza las señales de frecuencia correspondientes, de modo que saca las señales sintonizadas. Si una señal se transmite al número A de multitrayectos, el sintonizador 211 realiza la sintonización a un correspondiente canal RF, y recibe señales de recepción a través del número A de antenas.

El convertidor descendente 213 realiza conversión descendente de la frecuencia RF de la señal sintonizada por el sintonizador 211, y saca el resultado de conversión descendente. El ADC 215 convierte una señal analógica en una señal digital.

40 La FIG. 27 es un diagrama de bloques que ilustra un demodulador de acuerdo con la presente invención. En referencia a la FIG. 27, el demodulador incluye un detector de tramas 221, una unidad de sincronización de tramas 222, un eliminador de intervalo de guarda 223, una unidad de transformada de dominio de frecuencia (FFT) 224, un estimador de canal 225, un igualador de canal 226, y un extractor de información de señalización 227.

45 Si el demodulador adquiere datos de servicio transmitidos a un único flujo de PLP, se llevará a cabo la siguiente demodulación de señal. Una descripción detallada de la misma se describirá a continuación en el presente documento.

El detector de tramas 221 identifica un sistema de entrega de una señal de recepción. Por ejemplo, el detector de tramas 221 determina si la señal de recepción es una señal DVB-TS o no. El detector de tramas 221 también puede determinar si una señal de recepción es una trama de señal TFS o no. La unidad de sincronización de tramas 222 adquiere sincronización de dominio de frecuencia y tiempo de la trama de señal TFS.

50 El controlador de intervalo de guía 223 elimina un intervalo de guarda ubicado entre símbolos OFDM a partir del dominio de tiempo. El convertidor de dominio de frecuencia (FFT) 224 convierte una señal de recepción en una señal de dominio de frecuencia usando el algoritmo FFT, de modo que adquiere datos de símbolo de dominio de frecuencia.

El estimador de canal 225 realiza la estimación de canal de un canal de recepción usando un símbolo piloto contenido en datos de símbolo del dominio de frecuencia. El ecualizador de canal 226 realiza ecualización de canal de datos de recepción usando información de canal estimada por el estimador de canal 225.

5 El extractor de información de señalización 227 puede extraer la información de señalización de una capa física establecida en las señales piloto primera y segunda contenidas en datos de recepción ecualizados en canal.

10 La FIG. 28 es un diagrama de bloques que ilustra un descodificador MIMO/MISO de acuerdo con la presente invención. El receptor de señales y el demodulador están diseñados para procesar una señal recibida en un único trayecto. Si el receptor de señales y el demodulador reciben datos de servicio de PLP que proporcionan un único servicio a través de varios trayectos de varias antenas, y demodulan los datos de servicio de PLP, el descodificador MIMO/MIMO 230 saca la señal recibida en varios trayectos como datos de servicio transmitidos a un único PLP. Por lo tanto, el descodificador MIMO/MISO 230 puede adquirir una ganancia de diversidad y una ganancia de multiplexación a partir de los datos de servicio recibidos en un PLP correspondiente.

15 El descodificador MIMO/MISO 230 recibe una señal de transmisión multitrayecto desde varias antenas, y es capaz de descodificar una señal usando un esquema MIMO capaz de recuperar cada señal de recepción en forma de una única señal. De otro modo, el descodificador MIMO/MISO 230 es capaz de recuperar una señal usando un esquema MIMO que recibe la señal de transmisión multitrayecto desde una única antena y recupera la señal de transmisión multitrayecto recibida.

20 Por lo tanto, si la señal se transmite a través del número R de canales RF (donde R es un número natural), el descodificador MIMO/MISO 230 puede descodificar señales recibidas a través del número A de antenas de canales RF individuales. Si el valor A es igual a "1", las señales se pueden descodificar mediante el esquema MISO. Si el valor A es mayor que "1", las señales se pueden descodificar mediante el esquema MIMO.

25 La FIG. 29 es un diagrama de bloques que ilustra un analizador sintáctico de tramas de acuerdo con la presente invención. En referencia a la FIG. 29, el analizador sintáctico de tramas incluye un primer desintercalador de frecuencia 241a, un desintercalador de frecuencia de orden r 241r, un analizador sintáctico de tramas 243, un primer desintercalador de tiempo 245a, un p-ésimo desintercalador de tiempo de orden p 245p, un primer descorrelacionador de símbolos 247a, y un descorrelacionador de símbolos de orden p. El valor de "r" se puede decidir mediante el número de canales RF, y el valor de "p" se puede decidir mediante el número de flujos que transmiten datos de servicio de PLP generados a partir del analizador sintáctico de tramas 243.

30 Por lo tanto, si p número de servicios se transmiten a p número de flujos de PLP sobre un número R de canales RF, el analizador sintáctico de tramas incluye el número r de desintercaladores de frecuencia, el número p de desintercaladores de tiempo, y el número p de descorrelacionadores de símbolos.

En asociación con un primer canal RF, el primer intercalador de frecuencia 241a realiza desintercalado de datos de entrada de dominio de frecuencia, y saca el resultado de desintercalado.

35 El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal TFS transmitida a varios canales RF usando información de planificación de la trama de señal TFS, y analiza sintácticamente los datos de servicio de PLP contenidos en la ranura de un canal RF específico que incluye un servicio deseado. El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal TFS para recibir datos de servicio específicos distribuidos a varios canales RF de acuerdo con la estructura de trama de señal TFS, y saca datos de servicio de PLP del primer trayecto.

40 El primer desintercalador de tiempo 245a realiza desintercalado de los datos de servicio de PLP del primer trayecto analizados sintácticamente en el dominio de tiempo. El primer descorrelacionador de símbolos 247a determina que los datos de servicio correlacionados con el símbolo son datos de bit, de modo que puede sacar un flujo de PLP asociado con los datos de servicio de PLP del primer trayecto.

45 Siempre que los datos de símbolo se conviertan en datos de bit, y cada dato de símbolo incluye símbolos basados en el esquema híbrido de correlación de símbolos, el número p de descorrelacionadores de símbolos, cada uno de los cuales incluye el primer descorrelacionador de símbolos, puede determinar que los datos de símbolo son datos de bit que usan diferentes esquemas de descorrelación de símbolos en intervalos individuales de los datos de símbolo de entrada.

50 La FIG. 30 es una vista que muestra un ejemplo de cada uno de los descorrelacionadores de símbolos 247a y 247p. Los descorrelacionadores de símbolos reciben los flujos correspondientes a los PLP desde los intercaladores de tiempo 245a y 245p respectivamente correspondientes a los descorrelacionadores de símbolos.

Cada uno de los descorrelacionadores de símbolos 247a y 247p puede incluir un divisor de bloques con corrección de errores 2471, un divisor de símbolos 2473, un descorrelacionador de primer orden 2475a, un descorrelacionador de segundo orden 2475b y un fusionador de flujos de bits 2478.

- 5 El divisor de bloques con corrección de errores 2471 puede dividir el flujo de PLP recibido desde uno correspondiente de los intercaladores de tiempo 245a y 245p en las unidades de bloques con corrección de errores. El divisor de bloques con corrección de errores 2471 puede dividir el flujo de servicio en la unidad de bloques LDPC de modo normal. En este caso, el flujo de servicio se puede dividir en un estado en el que cuatro bloques de acuerdo con el modo corto (el bloque que tiene la longitud de 16200 bits) son tratados como el bloque con corrección de errores de un bloque de acuerdo con el modo normal (el bloque que tiene la longitud de 64800 bits).
- 10 El divisor de símbolos 2473 puede dividir el flujo de símbolos en el bloque de corrección de errores dividido de acuerdo con el método de correlación de símbolos del flujo de símbolos.
- Por ejemplo, el descorrelacionador de primer orden 2475a convierte los símbolos según el método de correlación de símbolos de orden superior en los bits. El descorrelacionador de segundo orden 2475b convierte los símbolos de acuerdo con el método de correlación de símbolos de orden inferior en los bits.
- 15 El fusionador de flujos de bits 2478 puede recibir los bits convertidos y sacar un flujo de bits.
- La FIG. 31 es una vista que muestra otro ejemplo de cada uno de los descorrelacionadores de símbolos 247a y 247p. Cada uno de los descorrelacionadores de símbolos 247a y 247p puede incluir un divisor de símbolos 2473, un descorrelacionador de primer orden 2474a, un descorrelacionador de segundo orden 2474b, un multiplexor de primer orden 2475a, un multiplexor de segundo orden 2475b, un desintercalador de bits de primer orden 2476a, un desintercalador de bits de segundo orden 2476b y un fusionador de flujos de bits 2478. Mediante este ejemplo, el ejemplo de la unidad de descodificación y demodulación de la FIG. 33 incluye un primer descodificador 253, un primer desintercalador 255 y un segundo descodificador 257.
- 20 El divisor de símbolos 2473 puede dividir el flujo de símbolos del PLP de acuerdo con el método correspondiente al método de correlación de símbolos.
- 25 El descorrelacionador de primer orden 2474a y el descorrelacionador de segundo orden 2474b convierten los flujos de símbolos divididos en bits. Por ejemplo, el descorrelacionador de primer orden 2474a realiza la descorrelación de símbolos de la QAM de orden superior y el descorrelacionador de segundo orden 2474b realiza la descorrelación de símbolos de la QAM de orden inferior. Por ejemplo, el descorrelacionador de primer orden 2474a puede realizar la descorrelación de símbolos de 256QAM y el descorrelacionador de segundo orden 2474b puede realizar la descorrelación de símbolos de 64QAM.
- 30 El multiplexor de primer orden 2475a y el multiplexor de segundo orden 2475b multiplexan los bits correlacionados por símbolos. Los métodos de multiplexación pueden corresponder a los métodos de demultiplexación descritos con referencia a las FIG. 15 a 18. Por consiguiente, los subflujos demultiplexados se pueden convertir en un flujo de bits.
- El desintercalador de bits de primer orden 2476a desintercala los flujos de bits multiplexados por el multiplexor de primer orden 2475a. El desintercalador de bits de segundo orden 2476b desintercala los bits multiplexados por el multiplexor de primer orden 2475a. El método de desintercalación corresponde al método de intercalado de bits. El método de intercalado de bits se muestra en la FIG. 12.
- 35 El fusionador de flujos de bits 2478 puede fusionar los flujos de bits desintercalados por los intercaladores de bits 2476a y 2476b en un flujo de bits.
- El primer descodificador 253 de la unidad de descodificación y demodulación puede descodificar con corrección de errores el flujo de bits emitido de acuerdo con el modo normal o el modo corto y la tasa de código de acuerdo con los modos.
- 40 La FIG. 32 es una vista que muestra un ejemplo de multiplexación del subflujo demultiplexado. En esta realización, los descorrelacionadores 2474a y 2474b deciden las palabras de celda que incluyen los bits. Los multiplexores 2475a y 2475b multiplexan las palabras de celda decididas de acuerdo con la señal de selección de multiplexor. Las palabras de celda demultiplexadas se introducen a uno cualquiera de los primeros multiplexores 2475a2 y 2475b2 a multiplexores enésimos 2475a3 y 2475b3.
- 45 Los primeros multiplexores 2475a2 y 2475b2 a los multiplexores enésimos 2475a3 y 2475b3 cambian el orden de los bits en las palabras de celda introducidas de acuerdo con la señal de selección de multiplexor. La señal de selección de multiplexor se puede cambiar de acuerdo con la tasa de código de la codificación con corrección de errores o el método de correlación de símbolos. Para generar un flujo y los flujos de bits entregados a los multiplexores, el orden de selección del subflujo se puede cambiar de acuerdo con la señal de selección de multiplexor.
- 50 Los primeros demultiplexores 2475a1 y 2475b1 sacan los flujos de bits descorrelacionados por símbolos con uno cualquiera de los primeros multiplexores 2475a2 y 2475b2 con los multiplexores enésimos 2475a3 y 2475b3 de acuerdo con la señal de selección de multiplexor. Los primeros submultiplexores 2475a1 y 2475b1 pueden recibir los

subflujos multiplexados por los primeros multiplexores 2475a2 y 2475b2 con los multiplexores enésimos 2475a3 y 2475b3 y sacar un flujo, de acuerdo con la señal de selección de multiplexor.

Las palabras de celda que incluyen los bits cambiados se introducen a los intercaladores de bits 2476a y 2476b, y los desintercaladores de bits 2476a y 2476b desintercalan los bits de entrada y sacan los bits desintercalados.

5 La FIG. 33 es un diagrama de bloques que ilustra un demodulador de descodificación de acuerdo con la presente invención. En referencia a la FIG. 33, el demodulador de descodificación puede incluir varios bloques de función correspondientes a la unidad de codificación y modulación. En este ejemplo, el demodulador de descodificación de la FIG. 16 puede incluir un primer desintercalador 251, un primer descodificador 253, un segundo desintercalador 255, y un segundo descodificador 257. El segundo desintercalador 255 puede estar contenido selectivamente en el demodulador de descodificación.

10 El primer desintercalador 251 actúa como un desintercalador interno, y es capaz de realizar el desintercalado del flujo de PLP de orden p generado desde el analizador sintáctico de tramas.

15 El primer descodificador 253 actúa como un descodificador interno, puede realizar corrección de errores de los datos desintercalados, y puede usar un algoritmo de descodificación con corrección de errores basado en el esquema LDPC.

El segundo desintercalador 255 actúa como un intercalador externo, y puede realizar el desintercalado de los datos descodificados con corrección de errores.

20 El segundo descodificador 257 actúa como un descodificador externo. Los datos desintercalados por el segundo desintercalador 255 o los corregidos de errores mediante el primer descodificador 253 se corrigen de errores de nuevo, de modo que el segundo descodificador 257 saca los datos corregidos de errores de nuevo. El segundo descodificador 257 descodifica los datos usando el algoritmo de descodificación con corrección de errores basado en el esquema BCH, de modo que saca los datos descodificados.

25 El primer desintercalador 251 y el segundo desintercalador 255 son capaces de convertir el error de ráfaga generado en los datos contenidos en el flujo de PLP en un error aleatorio. El primer descodificador 253 y el segundo descodificador 257 pueden corregir los errores contenidos en los datos.

El demodulador de descodificación muestra procesos de funcionamiento asociados con un único flujo de PLP. Si el número p de flujos existe, se necesita el número p de demoduladores de descodificación, o el demodulador de descodificación puede descodificar los datos de entrada repetidamente p veces.

30 La FIG. 34 es un diagrama de bloques que ilustra un procesador de salida de acuerdo con la presente invención. En referencia a la FIG. 34, el procesador de salida puede incluir un número p de analizadores sintácticos de tramas en banda base (BB) (251a, ..., 261p), un primer fusionador de servicios 263a, un segundo fusionador de servicios 263b, un primer demultiplexor 265a, y un segundo demultiplexor 265b.

35 Los analizadores sintácticos de tramas en BB (261a, ..., 261p) eliminan cabeceras de trama en BB de los flujos de PLP primero al p-ésimo de acuerdo con los trayectos de PLP recibidos, y sacan el resultado eliminado. Este ejemplo muestra que los datos de servicio se transmiten a al menos dos flujos. Un primer flujo es un flujo de TS de MPEG-2, y un segundo flujo es un flujo GS.

El primer fusionador de servicios 263a calcula la suma de datos de servicio contenida en la carga útil de al menos una trama en BB, de modo que saca la suma de los datos de servicio como un único flujo de servicio. El primer demultiplexor 255a puede demultiplexar el flujo de servicio, y sacar el resultado demultiplexado.

40 En este sentido, el segundo fusionador de servicios 263b calcula la suma de datos de servicio contenida en la carga útil de al menos una trama en BB, de modo que puede sacar otro flujo de servicio. El segundo demultiplexor 255b puede demultiplexar el flujo de servicio de formato GS, y sacar el flujo de servicio demultiplexado.

45 La FIG. 35 es un diagrama de bloques que ilustra un aparato para transmitir una señal de acuerdo con otro ejemplo de la presente invención. En referencia a la FIG. 35, el aparato de transmisión de señales incluye un compositor de servicios 310, un divisor de frecuencia 320, y un transmisor 400. El transmisor 400 codifica o modula una señal que incluye un flujo de servicio que va a transmitirse a cada banda RF.

50 El compositor de servicios 310 recibe varios flujos de servicio, multiplexa varios flujos de servicio que van a transmitirse a canales RF individuales, y saca los flujos de servicio multiplexados. El compositor de servicios 310 saca información de planificación, de modo que controla el transmisor 400 usando la información de planificación, cuando el transmisor 400 transmite el PLP a través de varios canales RF. Mediante esta información de planificación, el compositor de servicios 310 modula varias tramas de servicio que van a transmitirse a los varios canales RF mediante el transmisor 400, y transmite las tramas de servicio moduladas.

El divisor de frecuencia 320 recibe un flujo de servicio que va a transmitirse a cada banda RF, y divide cada flujo de servicio en varios subflujos, de modo que las bandas de frecuencia RF individuales se pueden asignar a los subflujos.

5 El transmisor 400 procesa los flujos de servicio que van a transmitirse a bandas de frecuencia individuales, y saca los flujos resultantes procesados. Por ejemplo, en asociación con un flujo de servicio específico que va a transmitirse al primer canal RF, el primer correlacionador 410 correlaciona los datos de flujo de servicio de entrada en símbolos. El primer intercalador 420 intercala los símbolos correlacionados para evitar el error de ráfaga.

El primer insertador de símbolos 430 puede insertar una trama de señal equipada con una señal piloto (por ejemplo, una señal piloto dispersa o una señal piloto continua) en la señal modulada.

10 El primer modulador 440 modula los datos intercalados por el esquema de modulación de señal. Por ejemplo, el primer modulador 440 puede modular las señales usando el esquema OFDM.

El primer insertador de símbolos piloto 450 inserta la primera señal piloto y la segunda señal piloto en la trama de señal, y es capaz de transmitir la trama de señal TFS.

15 Los datos de flujo de servicio transmitidos al segundo canal RF se transmiten a la trama de señal TFS a través de varios bloques 415, 425, 435, 445, y 455 de diferentes trayectos mostrados en el transmisor de la FIG. 18.

El número de trayectos de procesamiento de señal transmitidos desde el transmisor 400 puede ser igual al número de canales RF contenidos en la trama de señal TFS.

20 El primer correlacionador 410 y el segundo correlacionador pueden incluir respectivamente los demultiplexores 1313a y 1313b, y permitir que las ubicaciones del MSB y el LSB sean cambiadas en la palabra de celda correlacionada por símbolos.

La FIG. 36 es un diagrama de bloques que ilustra un aparato para recibir una señal de acuerdo otra realización de la presente invención. En referencia a la FIG. 36, el aparato de recepción de señales puede incluir una unidad 510 de recepción, una unidad de sincronización 520, un detector de modo 530, un ecualizador 540, un detector de parámetros 550, un desintercalador 560, un descorrelacionador 570, y un descodificador de servicios 580.

25 La unidad de recepción 500 es capaz de recibir señales de un primer canal RF seleccionado por un usuario de entre la trama de señal. Si la trama de señal incluye varios canales RF, la unidad de recepción 500 realiza salto de los diversos canales RF, y al mismo tiempo puede recibir una señal que incluye la trama de servicio seleccionada.

30 La unidad de sincronización 510 adquiere sincronización de una señal de recepción, y saca la señal de recepción sincronizada. El demodulador 520 es capaz de demodular la señal adquirida con sincronización. El detector de modo 530 puede adquirir un modo FFT (por ejemplo, longitud de funcionamiento de FFT 2k, 4k, 8k) de la segunda señal piloto usando la primera señal piloto de la trama de señal.

35 El demodulador 520 demodula la señal de recepción bajo el modo FFT de la segunda señal piloto. El ecualizador 540 realiza estimación de canal de la señal de recepción, y saca la señal resultante estimada en canal. El desintercalador 560 desintercala la señal de recepción ecualizada en canal. El descorrelacionador 570 descorrelaciona el símbolo intercalado usando el esquema de descorrelación de símbolos correspondiente al esquema de correlación de símbolos de señal de transmisión (por ejemplo, QAM).

40 El detector de parámetros 550 adquiere información de parámetro físico (por ejemplo, información de Capa-1 (L1)) contenida en la segunda señal piloto a partir de la señal de salida del ecualizador 540, y transmite la información de parámetro físico adquirida a la unidad de recepción 500 y a la unidad de sincronización 510. La unidad de recepción 500 es capaz de cambiar el canal RF a otro canal usando información de red detectada por el detector de parámetros 550.

El detector de parámetros 550 saca la información asociada con el servicio, el decisor de servicio 580 descodifica datos de servicio de la señal de recepción de acuerdo con la información asociada con el servicio a partir del detector de parámetros 550, y saca los datos de servicio descodificados.

45 El descorrelacionador 570 puede incluir los multiplexores 2475a y 2475b y saca el flujo de bits obtenido restableciendo el orden de los bits de los que las ubicaciones del MSB y del LSB se cambian de acuerdo con la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos.

La FIG. 37 es una vista que muestra un ejemplo de un método para transmitir una señal.

El flujo de servicio se codifica con corrección de errores (S110).

50 Al igual que el método de codificación con corrección de errores, se puede usar un esquema de codificación con corrección de errores LDPC o se puede realizar codificación con corrección de errores a diversas tasas de código.

Los bits codificados con corrección de errores de acuerdo con una tasa de código de error específica se pueden incluir en el bloque de codificación con corrección de errores de acuerdo con el modo de codificación con corrección de errores. Si el método de codificación con corrección de errores es el LDPC, se pueden usar el modo normal (64800 bits) y el modo corto (16200 bits).

5 Los bits codificados con corrección de errores se intercalan (S120). El intercalado se puede realizar almacenando y leyendo los bits incluidos en el bloque de codificación con corrección de errores en y a partir de la memoria en diferentes direcciones. El número de filas y el número de columnas se pueden cambiar de acuerdo con el modo de codificación con corrección de errores.

10 El flujo de bits intercalado se demultiplexa y los subflujos se sacan mediante la demultiplexación (S130). El método de demultiplexación se puede cambiar de acuerdo con la tasa de código de la codificación con corrección de errores y/o el método de correlación de símbolos y diversos ejemplos incluyendo la FIG. 17 ya se describieron anteriormente. Los bits de entrada intercalados se pueden convertir en los subflujos mediante los métodos de demultiplexación que puede cambiarse de acuerdo con la tasa de código de la codificación con corrección de errores y/o el método de correlación de símbolos. La FIG. 18 muestra un ejemplo de sacar los subflujos de acuerdo con los métodos de demultiplexación. El número de subflujos de salida se puede cambiar de acuerdo con los métodos de demultiplexación. Si se realiza la demultiplexación, las ubicaciones de los bits en la palabra de celda correlacionados con los símbolos en el flujo de bits intercalado se cambian y de esta manera el MSB y el LSB se pueden cambiar. Por lo tanto, aunque la fiabilidad del bit de una ubicación específica en el bloque de codificación con corrección de errores de acuerdo con el modo de codificación con corrección de errores es baja, las ubicaciones de los bits se pueden cambiar de modo que la fiabilidad del bit se mejora en el paso de correlación de símbolos.

Los subflujos demultiplexados se seleccionan secuencialmente y los bits incluidos en los subflujos seleccionados se correlacionan con los símbolos (S140). Hay métodos para seleccionar secuencialmente la pluralidad de subflujos. La palabra de celda correlacionada por símbolos se puede cambiar de acuerdo con el orden de selección de los subflujos.

25 Se puede usar al menos un método de correlación de símbolos. Por ejemplo, se pueden usar juntos el método de correlación de símbolos de orden superior y el método de correlación de símbolos de orden inferior.

30 Se construye una trama de señal en la que se disponen los símbolos correlacionados en al menos una banda de frecuencia y ranuras divididas temporalmente de la al menos una banda de frecuencia (S150). Se pueden insertar un símbolo de referencia y un símbolo piloto en la trama de señal. Los símbolos de la pluralidad de flujos de servicio que se someten a los pasos S110 a S140 se pueden disponer en la trama de señal en la etapa S150. Los símbolos de la pluralidad de flujos de servicio se distribuyen en la al menos una banda de frecuencia, y los símbolos distribuidos se pueden disponer en ubicaciones que se desplazan temporalmente en la banda de frecuencia o entre las bandas de frecuencia.

35 La trama de señal se convierte en el dominio de tiempo de acuerdo con el método OFDM y el intervalo de guarda se inserta en los símbolos OFDM convertidos en el dominio de tiempo (S160). La longitud del intervalo de guarda se puede cambiar de acuerdo con el modo FFT usado en el método OFDM.

El preámbulo para identificar la trama de señal se inserta en la parte de inicio de la trama de señal de cada banda RF y la señal se transmite (S170). La primera señal piloto y la segunda señal piloto se pueden insertar en el preámbulo.

40 La FIG. 38 es una vista que muestra una realización de un método para recibir una señal.

El método de recepción de la señal transmitida es como sigue.

La señal se recibe desde una banda de frecuencia específica incluida en la trama de señal (S210). La trama de señal puede tener una pluralidad de bandas de frecuencia. La señal se puede recibir desde la banda de frecuencia específica.

45 Cuando la trama de señal se detecta a partir de la señal recibida, la señal recibida se demodula mediante el método OFDM y la trama de señal correspondiente a la banda de frecuencia se analiza sintácticamente a partir de la señal demodulada (S220). La trama de señal se analiza sintácticamente de modo que el número de bandas de frecuencia incluidas en la trama de señal y el flujo de servicio incluido en la banda de frecuencia se puede identificar, si la trama de señal tiene varias bandas de frecuencia. Y si las bandas de frecuencia se saltan, se pueden obtener los símbolos de un flujo de servicio deseado.

50

La descorrelación de símbolos correspondiente al método de correlación de símbolos se realiza con respecto al flujo de símbolos y se sacan los subflujos descorrelacionados por símbolos (S230). Se puede usar el método de descorrelación de símbolos correspondiente a al menos un método de correlación de símbolos. Por ejemplo, se puede usar el método de correlación/descorrelación híbrida de símbolos.

- La pluralidad de subflujos se multiplexan de acuerdo con el método de correlación de símbolos y/o la tasa de código de la codificación con corrección de errores y se saca un flujo de bits (S240). La fiabilidad del bit específico del bloque codificado con corrección de errores puede ser baja de acuerdo con el método de correlación de símbolos y la tasa de código de la codificación con corrección de errores. Por consiguiente, los subflujos se pueden multiplexar de modo que el MSB y el LSB de la palabra de celda correlacionados con el símbolo se vuelven a disponer. El método de multiplexación puede corresponder al método de demultiplexación del paso S130.
- 5 Los flujos de bits de salida se desintercalan por bits (S250). El método de desintercalación puede corresponder al paso S120.
- Los flujos desintercalados se pueden descodificar con corrección de errores (S260).
- 10 El servicio se obtiene a partir de los flujos de servicios descodificados con corrección de errores (S270).
- De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la presente invención, es posible detectar y restablecer fácilmente las señales transmitidas. Además, es posible mejorar el rendimiento de transmisión/recepción de señales del sistema de transmisión/recepción.
- 15 Será evidente para aquellos expertos en la técnica que se pueden realizar diversas modificaciones y variaciones en la presente invención. De esta manera, se pretende que la presente invención cubra las modificaciones y variaciones de esta invención siempre que vengan dentro del alcance de las reivindicaciones adjuntas.
- En resumen, se ha presentado anteriormente un método para transmitir una señal, el método que comprende:
- codificar con corrección de errores (S110) un flujo de servicio e intercalar (S120) un flujo de bits en el flujo de servicio codificado con corrección de errores;
 - 20 demultiplexar (S130) el flujo de bits intercalados y sacar los subflujos mediante la demultiplexación;
 - seleccionar (S140) los bits incluidos en los subflujos demultiplexados y correlacionar los bits seleccionados con símbolos;
 - construir (S150) una trama de señal en la que los símbolos correlacionados se dividen y se disponen en al menos una banda de frecuencia y ranuras divididas temporalmente de al menos una banda de frecuencia; y
 - 25 modular (S160) la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal (OFDM) y transmitir la señal modulada.
- En la demultiplexación del flujo de bits intercalados, la demultiplexación puede cambiar el orden de los bits seleccionados.
- 30 El orden de los bits correlacionados con los símbolos se puede cambiar de acuerdo con una tasa de código de la codificación con corrección de errores y/o un método de correlación de símbolos.
- También se ha presentado un método para recibir una señal, el método que comprende:
- recibir (S210) la señal de una primera banda de frecuencia en una trama de señal que incluye al menos una banda de frecuencia;
 - 35 demodular (S220) la señal recibida mediante un método de multiplexación por división de frecuencia ortogonal (OFDM) y analizar sintácticamente la trama de señal;
 - adquirir un flujo de símbolos de un flujo de servicio a partir de la al menos una banda de frecuencia incluida en la trama de señal analizada sintácticamente;
 - descorrelacionar (S230) símbolos incluidos en el flujo de símbolos y sacar los símbolos descorrelacionados a subflujos;
 - 40 multiplexar (S240) los subflujos de salida y sacar un flujo de bits usando los subflujos multiplexados; y
 - desintercalan (S250) y descodificar con corrección de errores (S260) el flujo de bits de salida.
- La salida del flujo de bits puede incluir seleccionar bits incluidos en los subflujos y sacar un flujo de bits.
- 45 El orden para seleccionar los bits se puede cambiar de acuerdo con una tasa de código de codificación con corrección de errores correspondiente a la descodificación con corrección de errores y/o un método de descorrelación de símbolos.
- Además se ha presentado un aparato para transmitir una señal, el aparato que comprende:

- un codificador con corrección de errores (121; 125) para codificar con corrección de errores un flujo de servicio;
- un intercalador de bits que intercala (123; 127) para un flujo de bits en el flujo de servicio codificado con corrección de errores;
- 5 un correlacionador de símbolos (131a; 131b) para demultiplexar el flujo de bits intercalado, para sacar subflujos mediante la demultiplexación, para seleccionar bits incluidos en los subflujos demultiplexados, y para correlacionar los bits seleccionados con símbolos;
- 10 un constructor de tramas de señal (130) para construir una trama de señal en la que los símbolos correlacionados se dividen y se disponen en al menos una banda de frecuencia y ranuras divididas temporalmente de al menos una banda de frecuencia;
- un modulador (150a; 150b) para modular la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal (OFDM); y
- un transmisor (160a; 160b) para transmitir la señal modulada.
- 15 El intercalador de bits (123; 127) se puede disponer para intercalar el flujo de bits mediante almacenamiento y lectura de los bits codificados con corrección de errores en y de una memoria en diferentes direcciones.
- El correlacionador de símbolos (131a; 131b) puede incluir:
- un demultiplexor (1313a; 1313b) para demultiplexar el flujo de bits intercalado en los subflujos de acuerdo con una tasa de código de la codificación con corrección de errores y/o un método de correlación de símbolos; y
- 20 un correlacionador (1315a; 1315b) para correlacionar los subflujos demultiplexados con los símbolos. El demultiplexor (1313a; 1313b) se puede disponer para recibir una señal de selección para seleccionar los bits incluidos en los subflujos y correlacionados con los símbolos, y seleccionar los bits demultiplexados de acuerdo con la señal de selección.
- Finalmente, se ha presentado un aparato para recibir una señal, el aparato que comprende:
- 25 un receptor (210a; 210b) para recibir la señal de una primera banda de frecuencia en una trama de señal que incluye al menos una banda de frecuencia;
- un demodulador (220a; 220b) para demodular la señal recibida mediante un método de multiplexación por división de frecuencia ortogonal (OFDM);
- 30 un analizador sintáctico de trama de señal (240) para analizar sintácticamente la trama de señal a partir de la señal demodulada y para sacar un flujo de símbolos de un flujo de servicio de la al menos una banda de frecuencia;
- un descorrelacionador de símbolos (247a; 247b) para descorrelacionar símbolos incluidos en el flujo de símbolos, para sacar los símbolos descorrelacionados a subflujos, para multiplexar los subflujos de salida, y sacar un flujo de bits usando los subflujos multiplexados;
- un desintercalador de bits (2476a; 2476b) para desintercalar el flujo de bits de salida; y
- 35 un descodificador con corrección de errores (253) para descodificar con corrección de errores el flujo de bits desintercalado.
- El desintercalador de bits (2476a; 2476b) se puede disponer para desintercalar los bits codificados con corrección de errores mediante almacenamiento y lectura de los bits codificados con corrección de errores en y de una memoria en diferentes direcciones.
- 40 El descorrelacionador de símbolos (247a; 247b) puede incluir:
- un descorrelacionador (2474a; 2474b) para descorrelacionar los símbolos a los subflujos; y
- un multiplexor (2475a; 2475b) para multiplexar los subflujos de acuerdo con una tasa de código de codificación con corrección de errores correspondiente a la descodificación con corrección de errores y/o un método de descorrelación de símbolos.
- 45 El multiplexor (2475a; 2475b) se puede disponer para recibir una señal de selección para seleccionar los bits incluidos en los subflujos, para seleccionar los bits multiplexados de acuerdo con la señal de selección, y para sacar el flujo de bits.

REIVINDICACIONES

1. Un método para recibir una señal de difusión, el método que comprende:
 - 5 recibir (S210) una señal de difusión desde al menos una banda de frecuencia, en el que la señal de difusión incluye una trama en la que un primer símbolo piloto, P1, está ubicado en una parte de comienzo de la trama, la trama que incluye símbolos de datos y símbolos de señalización para señalar los símbolos de datos en la trama, los símbolos de señalización que incluyen información para un método de corrección de errores hacia delante, FEC, y el símbolo P1 que indica un tamaño de Transformación Rápida de Fourier, FFT, usada para símbolos de OFDM de los símbolos de señalización;
 - 10 demodular (S220) la señal de difusión mediante un esquema de multiplexación por división de frecuencia ortogonal;
 - descorrelacionar (S230) los símbolos de datos demodulados con bits de acuerdo con un método de correlación de símbolos;
 - 15 multiplexar (S240) los bits descorrelacionados para sacar los bits multiplexados en orden diferente del orden de los bits descorrelacionados;
 - desintercalar bits (S250) de los bits multiplexados; y
 - descodificar (S260) los datos de Conducto de Capa Física, PLP, de bits desintercalados de bits de acuerdo con el método FEC.
2. El método de la reivindicación 1, en el que los bits multiplexados se sacan de acuerdo con en orden diferente del orden de los bits descorrelacionados de acuerdo con o bien una tasa de código del método FEC o bien el método de correlación de símbolos.
3. El método de cualquiera de las reivindicaciones 1 a 2, que además comprende:
 - 20 símbolos de datos demodulados de desintercalado de tiempo.
4. El método de cualquiera de las reivindicaciones 1 a 3, que además comprende:
 - 25 celdas de datos de intercalado de frecuencia en los símbolos de datos demodulados.
5. El método de cualquiera de las reivindicaciones 1 a 4, en el que el símbolo P1 tiene un tipo de transmisión de señal y un parámetro de transmisión de la trama.
6. El método de cualquiera de las reivindicaciones 1 a 5, en el que el tamaño de una FFT usada para símbolos OFDM para los símbolos de señalización es igual al tamaño FFT usado para símbolos OFDM para símbolos de datos.
7. El método de cualquiera de las reivindicaciones 1 a 6, en el que los símbolos de señalización tienen información de capa 1, L1, que incluye información de longitud de intervalo de guarda para la trama, y en el que la información de L1 además incluye información de modulación e información de tasa de código para un servicio.
8. Un aparato para recibir una señal de difusión, el aparato que comprende:
 - 35 medios (210a; 210b) para recibir una señal de difusión desde al menos una banda de frecuencia en el que la señal de difusión incluye una trama en la que un primer símbolo piloto, P1, se ubica en una parte de comienzo de la trama, la trama que incluye símbolos de datos y símbolos de señalización para señalar los símbolos de datos en la trama, los símbolos de señalización que incluyen información para un método de corrección de errores hacia delante, FEC, y el símbolo P1 que indica un tamaño de Transformación Rápida de Fourier, FFT, usado para símbolos de OFDM de los símbolos de señalización;
 - 40 medios (220a; 220b) para demodular la señal de difusión mediante un esquema de multiplexación por división de frecuencia ortogonal;
 - medios (247a; 247b) para descorrelacionar los símbolos de datos demodulados con bits de acuerdo con un método de correlación de símbolos;
 - 45 medios (2475a; 2475b) para multiplexar los bits descorrelacionados para sacar los bits multiplexados en orden diferente del orden de los bits descorrelacionados;
 - medios (2476a; 2476b) para desintercalar bits de los bits multiplexados; y

medios (253) para descodificar los datos de Conducto de Capa Física, PLP, de los bits desintercalados de bits de acuerdo con el método FEC.

- 5
9. El aparato de la reivindicación 8, en el que los medios (2475a, 2475b) para multiplexar sacan los bits multiplexados de acuerdo con un orden diferente del orden de los bits descorrelacionados de acuerdo o bien con una tasa de código del método FEC o bien el método de correlación de símbolo.
10. El aparato de cualquiera de las reivindicaciones 8 a 9, que además comprende:
medios (132a; 132b) para símbolos de datos demodulados de desintercalado de tiempo.
11. El aparato de reivindicación de cualquiera de las reivindicaciones 8 a 10, que además comprende:
10 medios (137a; 137b) para celdas de datos de intercalado de frecuencia en los símbolos de datos demodulados.
12. El aparato de cualquiera de las reivindicaciones 8 a 11, en el que el símbolo P1 tiene un tipo de transmisión de señal y un parámetro de transmisión de la trama.

FIG. 1

	RF 1	RF 2	RF 3	RF 4
	17	12	7	Servicio 2
	16	11	6	Servicio 2
	15	10	5	Servicio 1
	14	9	4	Servicio 1
	13	8	Servicio 3	Servicio 1
	12	7	Servicio 2	17
	11	6	Servicio 2	16
	10	5	Servicio 1	15
	9	4	Servicio 1	14
	8	Servicio 3	Servicio 1	13
	7	Servicio 2	17	12
	6	Servicio 2	16	11
	5	Servicio 1	15	10
	4	Servicio 1	14	9
	Servicio 3	Servicio 1	13	8
	Servicio 2	17	12	7
	Servicio 2	16	11	6
	Servicio 1	15	10	5
	Servicio 1	14	9	4
	Servicio 1	13	8	Servicio 3
	P2	P2	P2	P2
	P1	P1	P1	P1

Tiempo
(no a escala)

FIG. 2

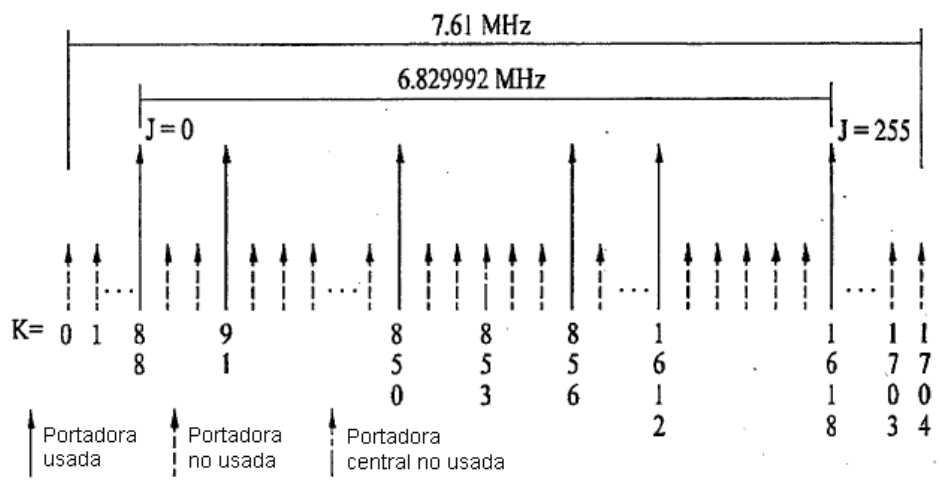


FIG. 3

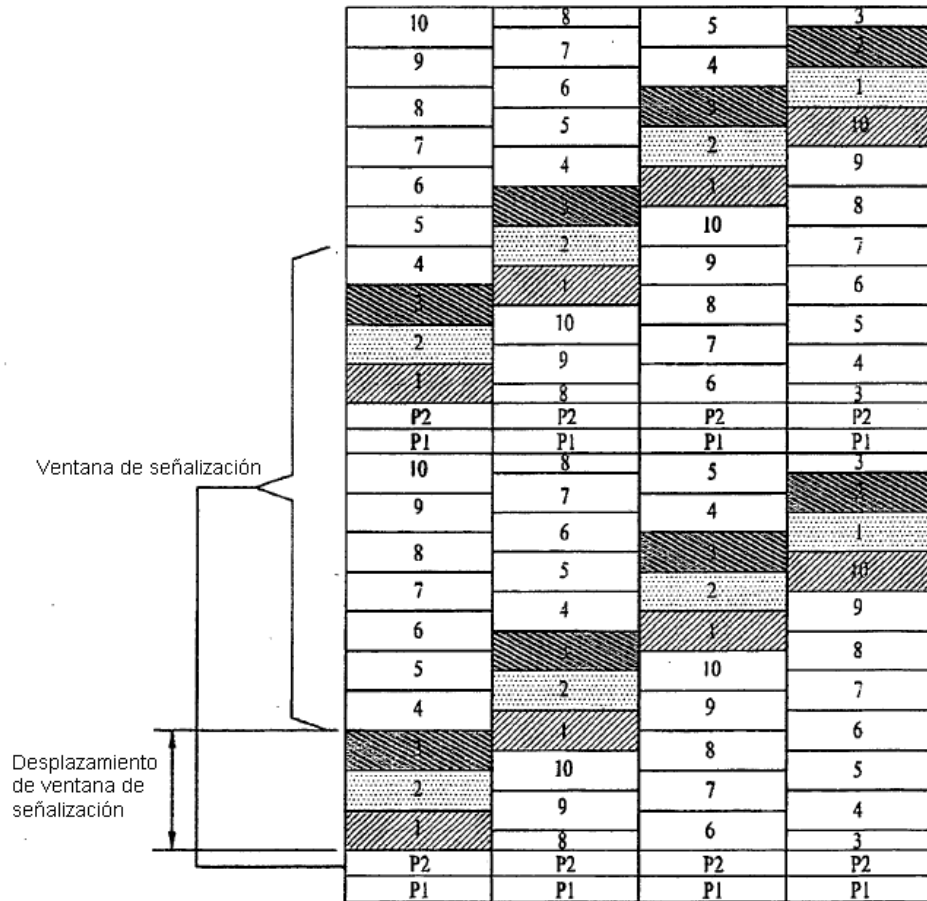


FIG. 4

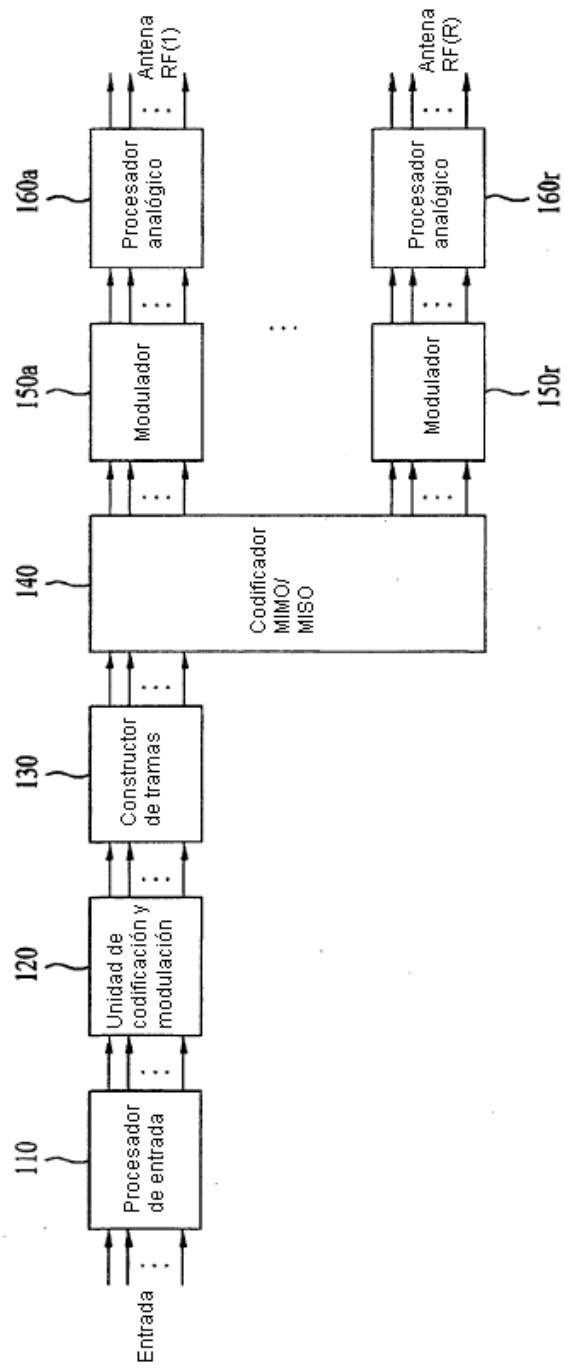


FIG. 5

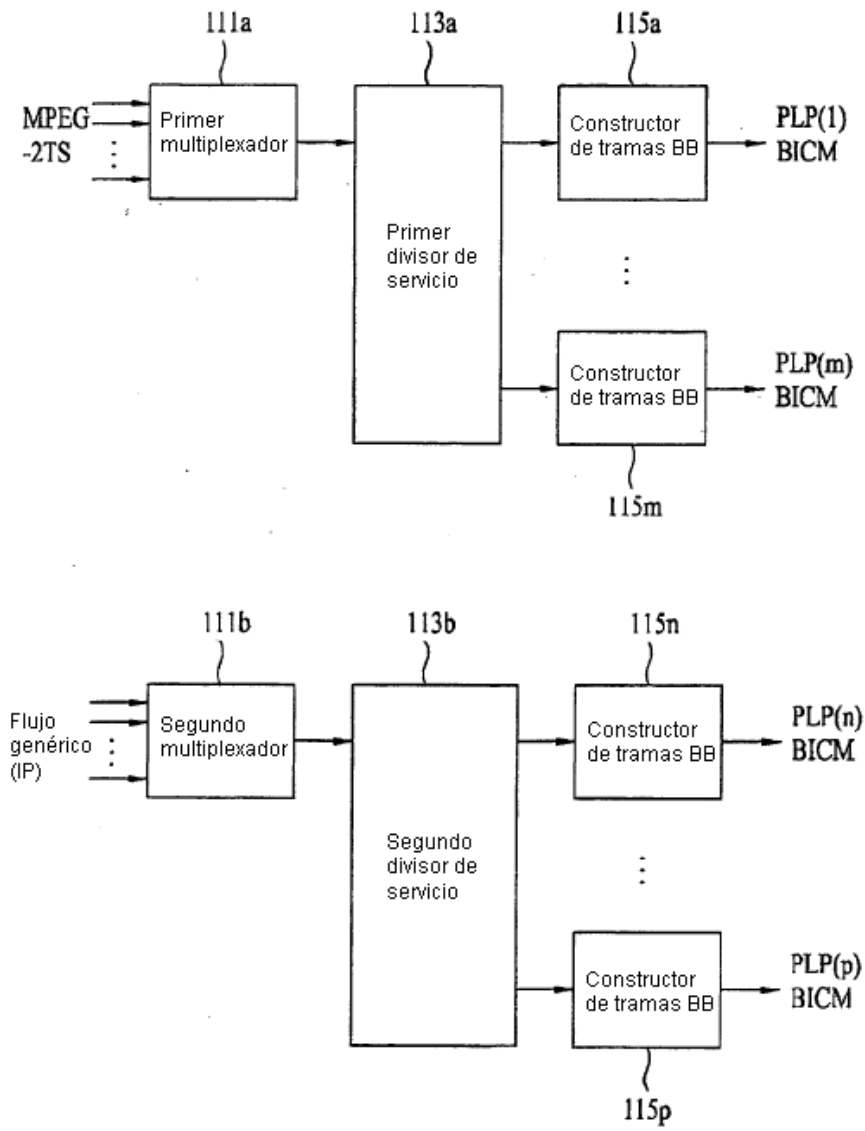


FIG. 6

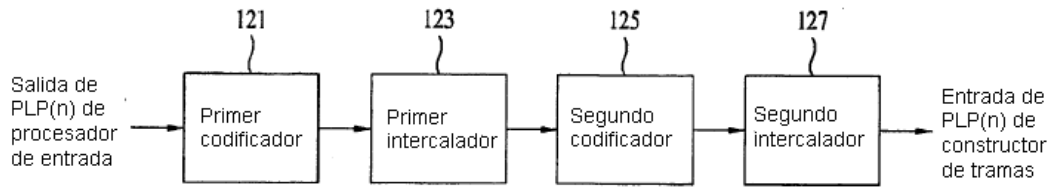


FIG. 7

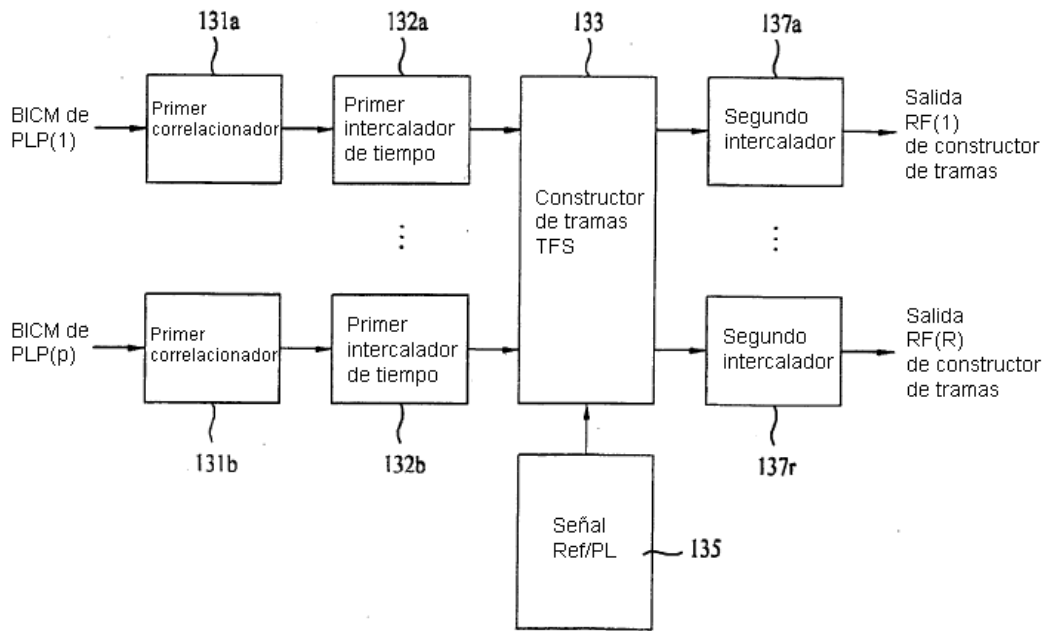


FIG. 8

bit/célula (exp.)	relación HOQ	bits HOQ	bits LOQ	simbolos HOQ	simbolos LOQ	Simbolos totales	bit/célula
256-QAM	1	64800	0	8100	0	8100	8
128-QAM hib.	3/5	38880	25920	4860	4320	9180	7.0588
64-QAM	1	64800	0	10800	0	10800	6
32-QAM hib.	3/5	38880	25920	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
8-QAM hib.	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

FIG. 9

bit/célula (exp.)	relación HOQ	bits HOQ	bits LOQ	simbolos HOQ	simbolos LOQ	Simbolos totales	bit/célula
256-QAM	1	16200	0	2025	0	2025	8
128-QAM hib.	3/5	9720	6480	1215	1080	2295	7.0588
64-QAM	1	16200	0	2700	0	2700	6
32-QAM hib.	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
8-QAM hib.	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2

FIG. 10

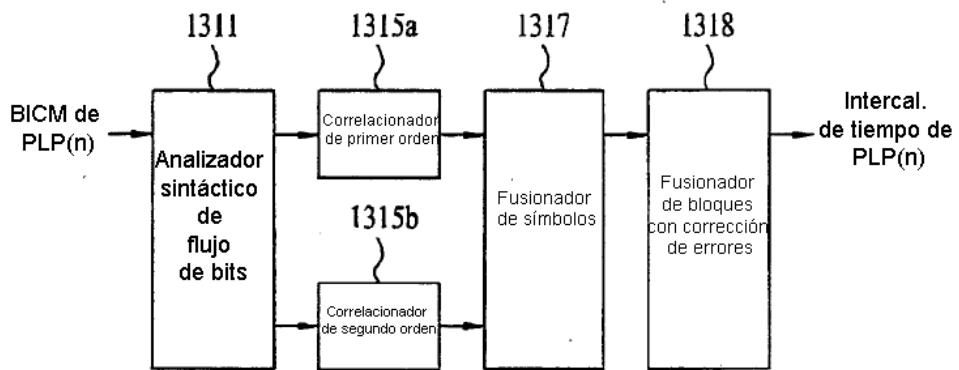


FIG. 11

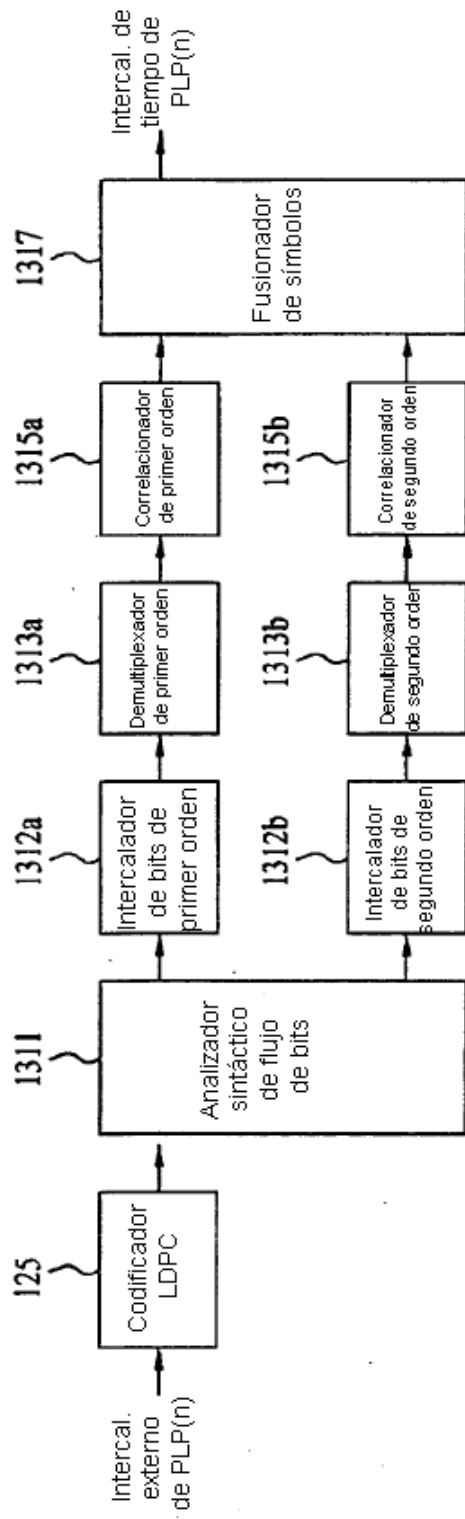


FIG. 12

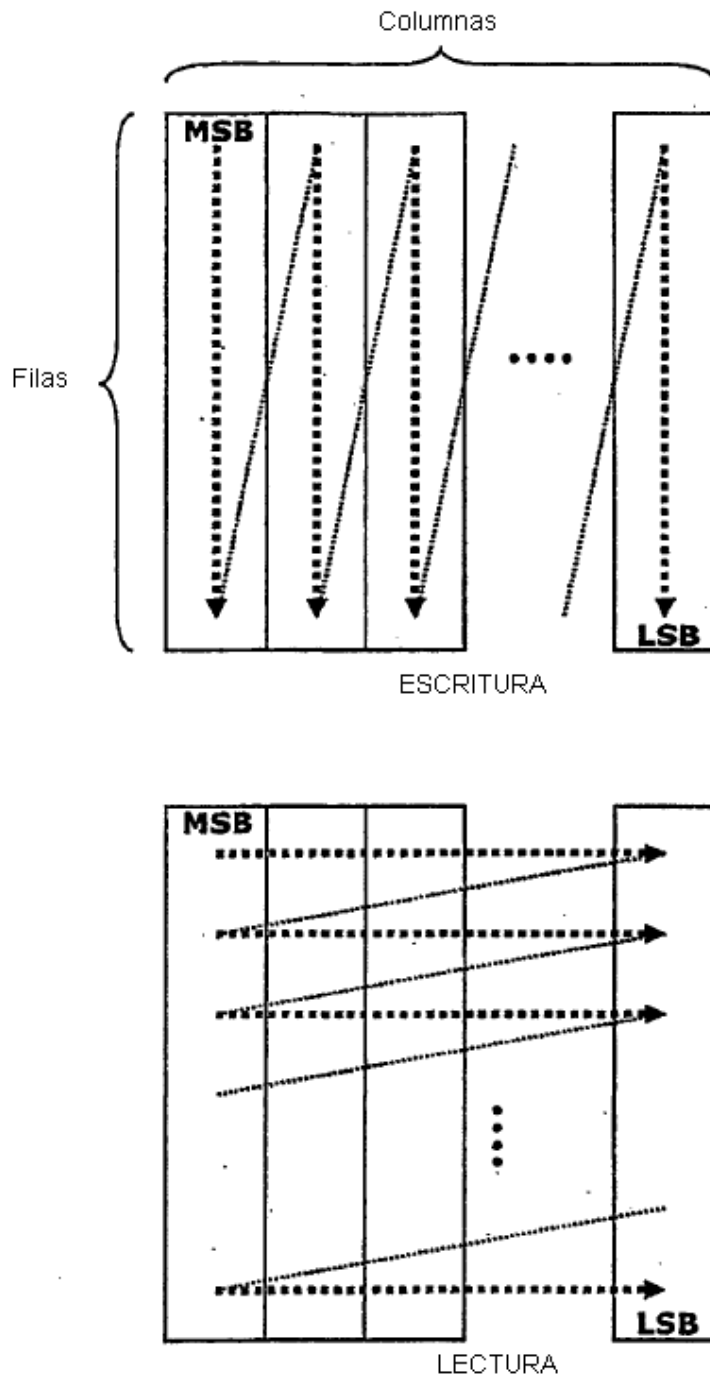


FIG. 13

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	8100	8		
128-QAM h�b.	4860	8	4320	6
64-QAM	10800	6		
32-QAM h�b.	6480	6	6480	4
16-QAM	16200	4		
8-QAM h�b.	10800	4	10800	2
4-QAM	32400	2		

FIG. 14

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	2025	8		
128-QAM h�b.	1215	8	1080	6
64-QAM	2700	6		
32-QAM h�b.	1620	6	1620	4
16-QAM	4050	4		
8-QAM h�b.	2700	4	2700	2
4-QAM	8100	2		

FIG. 15

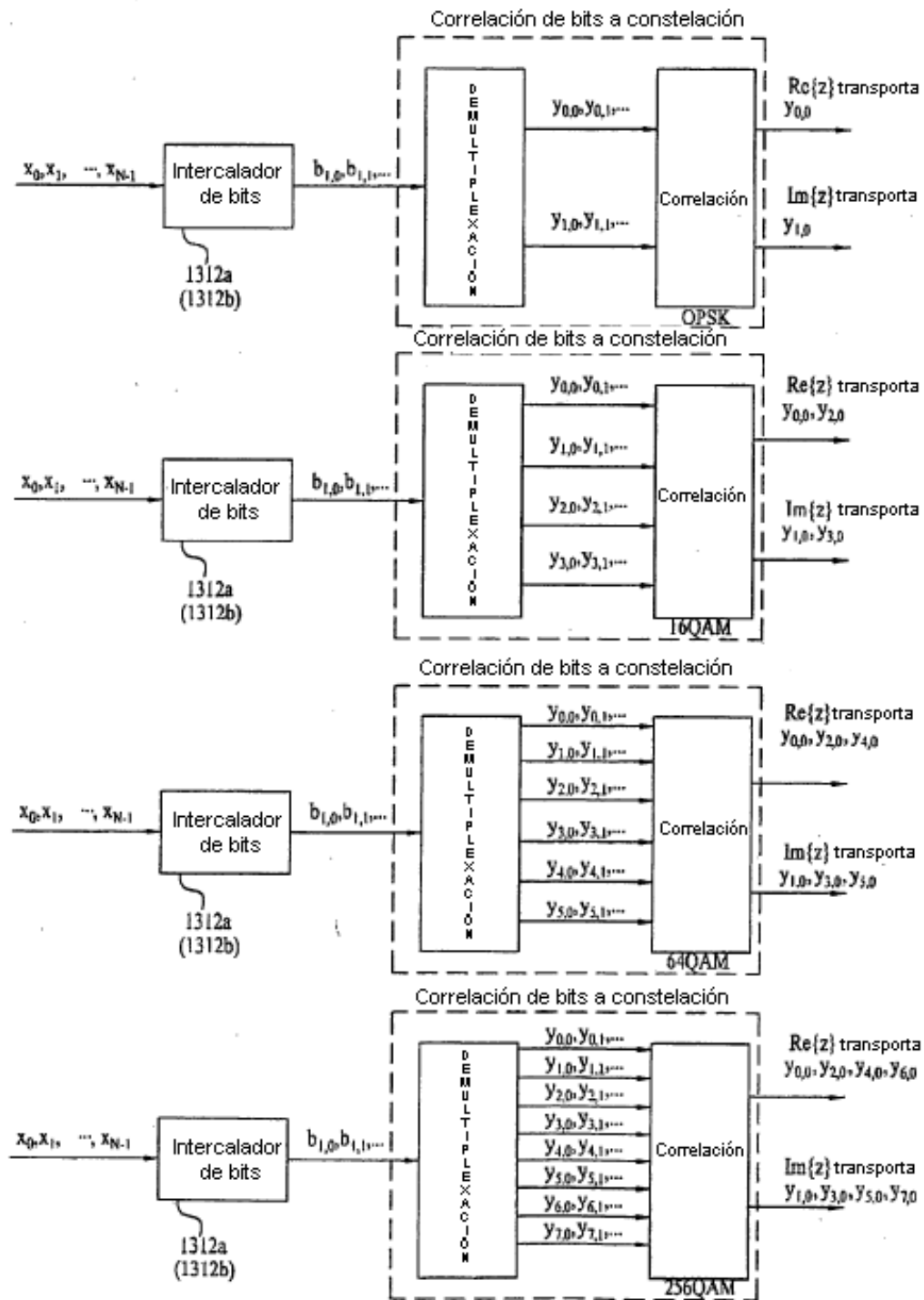


FIG. 16

QPSK
b 0 se correlaciona con y0,0
b 1 se correlaciona con y1,0

16-QAM
b 0 se correlaciona con y2,0
b 1 se correlaciona con y3,0
b 2 se correlaciona con y0,0
b 3 se correlaciona con y1,0

64-QAM
b 0 se correlaciona con y4,0
b 1 se correlaciona con y5,0
b 2 se correlaciona con y2,0
b 3 se correlaciona con y3,0
b 4 se correlaciona con y0,0
b 5 se correlaciona con y1,0

256-QAM
b 0 se correlaciona con y6,0
b 1 se correlaciona con y7,0
b 2 se correlaciona con y4,0
b 3 se correlaciona con y5,0
b 4 se correlaciona con y2,0
b 5 se correlaciona con y3,0
b 6 se correlaciona con y0,0
b 7 se correlaciona con y1,0

FIG. 18

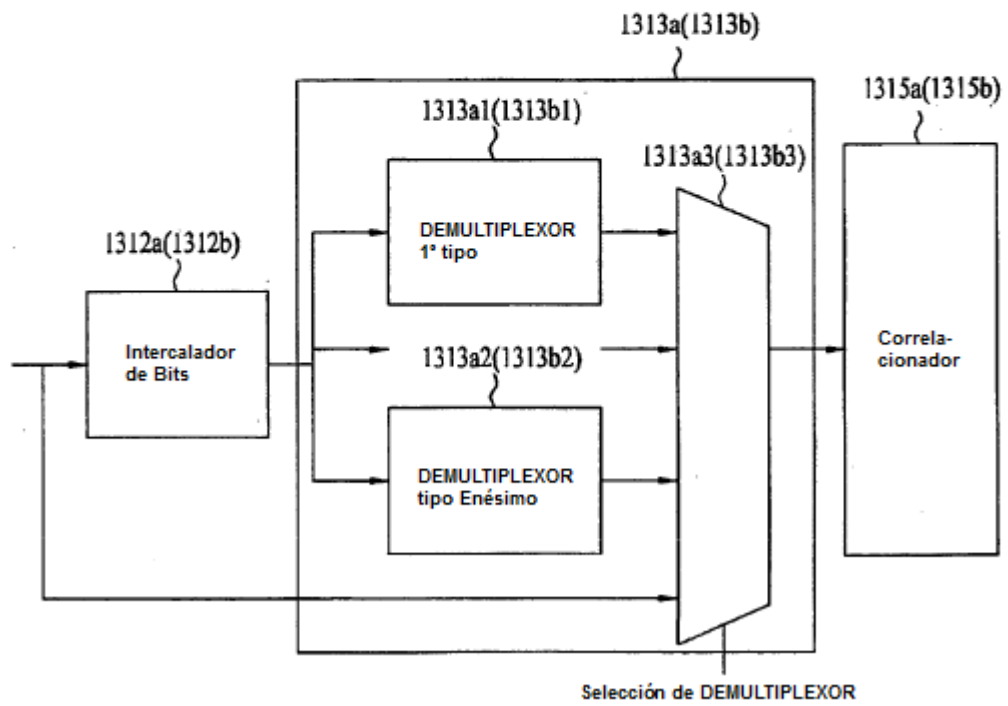


FIG. 19

qam	cr	Selección de DEMULTIPLEXACIÓN
4-qam	1/4	todos
	1/3	todos
	2/5	todos
	1/2	todos
	3/5	todos
	2/3	todos
	3/4	todos
	4/5	todos
	5/6	todos
	8/9	todos
9/10	todos	
16-qam	1/4	Sin int. – Sin demultiplex.
	1/3	Sin int. – Sin demultiplex.
	2/5	Sin int. – Sin demultiplex.
	1/2	Sin int. – Sin demultiplex.
	3/5	9, 10 ó 12
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
64-qam	1/4	Sin int. – Sin demultiplex.
	1/3	Sin int. – Sin demultiplex.
	2/5	Sin int. – Sin demultiplex.
	1/2	Sin int. – Sin demultiplex.
	3/5	9, ó 10
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
256-qam	1/4	Sin int. – Sin demultiplex.
	1/3	Sin int. – Sin demultiplex.
	2/5	Sin int. – Sin demultiplex.
	1/2	Sin int. – Sin demultiplex.
	3/5	9
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	

FIG. 20

$$\text{QPSK: } i = 0, 1, 2, \dots, \frac{N}{2} - 1,$$

$$(y_{0,i}, y_{0,i}) = (x_i, x_{N/2+i}),$$

$$\text{16-QAM: } i = 0, 1, 2, \dots, \frac{N}{4} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}) = \left\{ x_{\frac{2N}{4}+i}, x_{\frac{3N}{4}+i}, x_i, x_{\frac{N}{4}+i} \right\}$$

$$\text{64-QAM: } i = 0, 1, 2, \dots, \frac{N}{6} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}) = \left\{ x_{\frac{4N}{6}+i}, x_{\frac{5N}{6}+i}, x_{\frac{2N}{6}+i}, x_{\frac{3N}{6}+i}, x_i, x_{\frac{N}{6}+i} \right\}$$

$$\text{256-QAM: } i = 0, 1, 2, \dots, \frac{N}{8} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}, y_{6,i}, y_{7,i}) = \left\{ x_{\frac{6N}{8}+i}, x_{\frac{7N}{8}+i}, x_{\frac{4N}{8}+i}, x_{\frac{5N}{8}+i}, x_{\frac{2N}{8}+i}, x_{\frac{3N}{8}+i}, x_i, x_{\frac{N}{8}+i} \right\}$$

FIG. 21

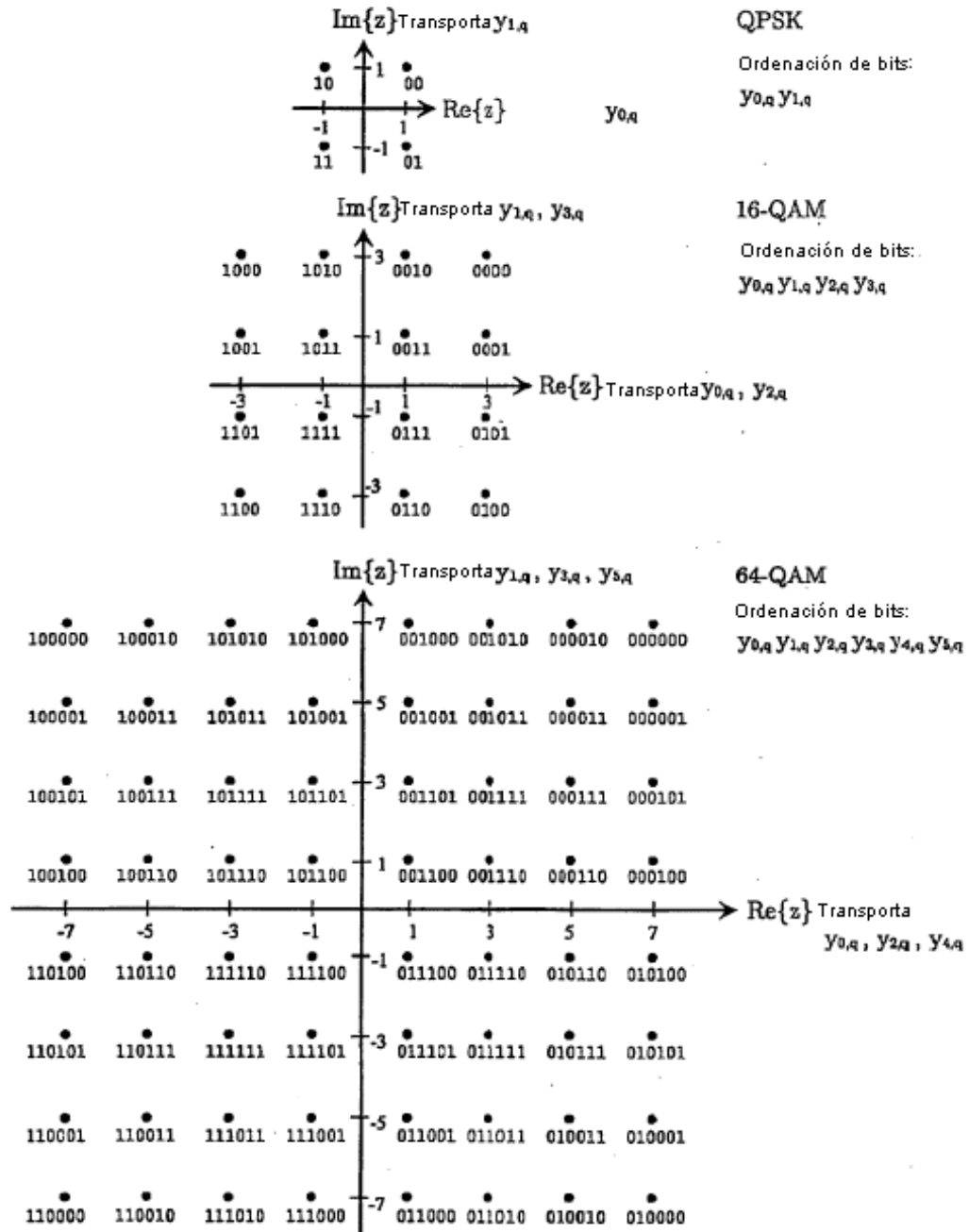


FIG. 22

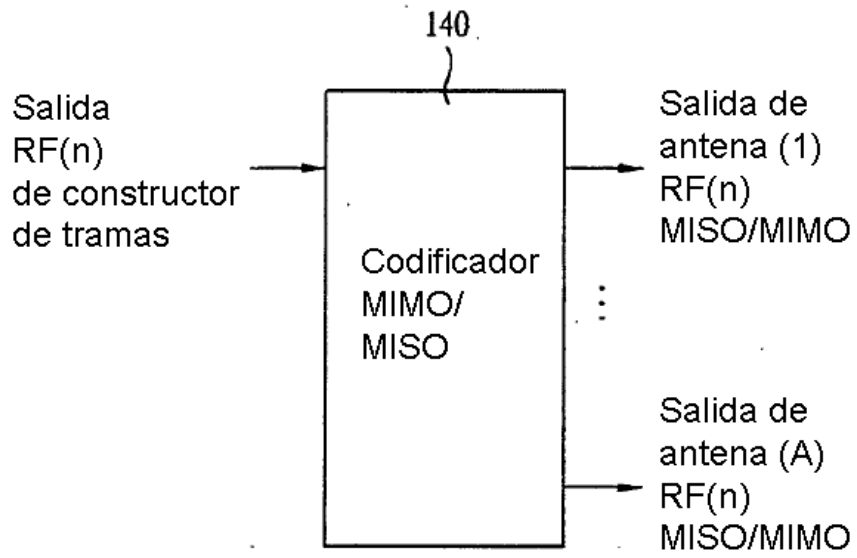


FIG. 23

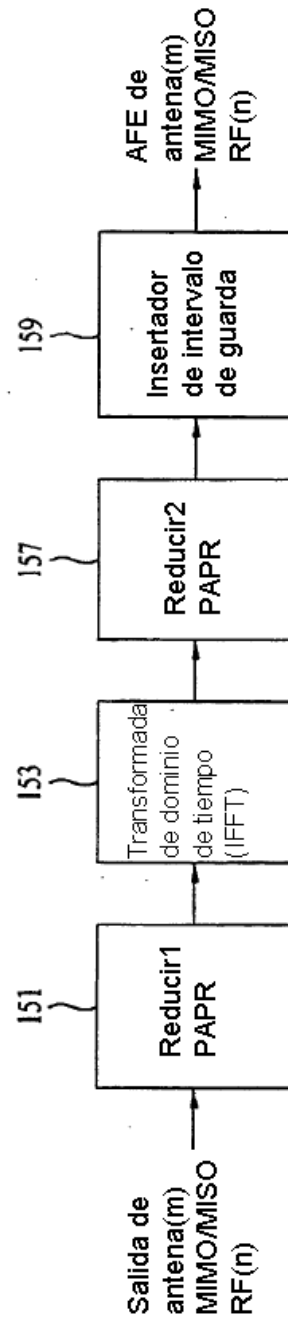


FIG. 24

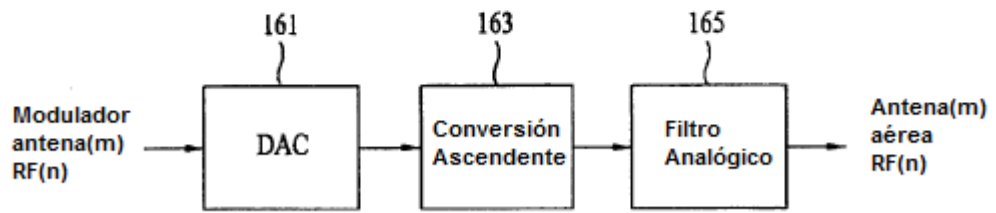


FIG. 25

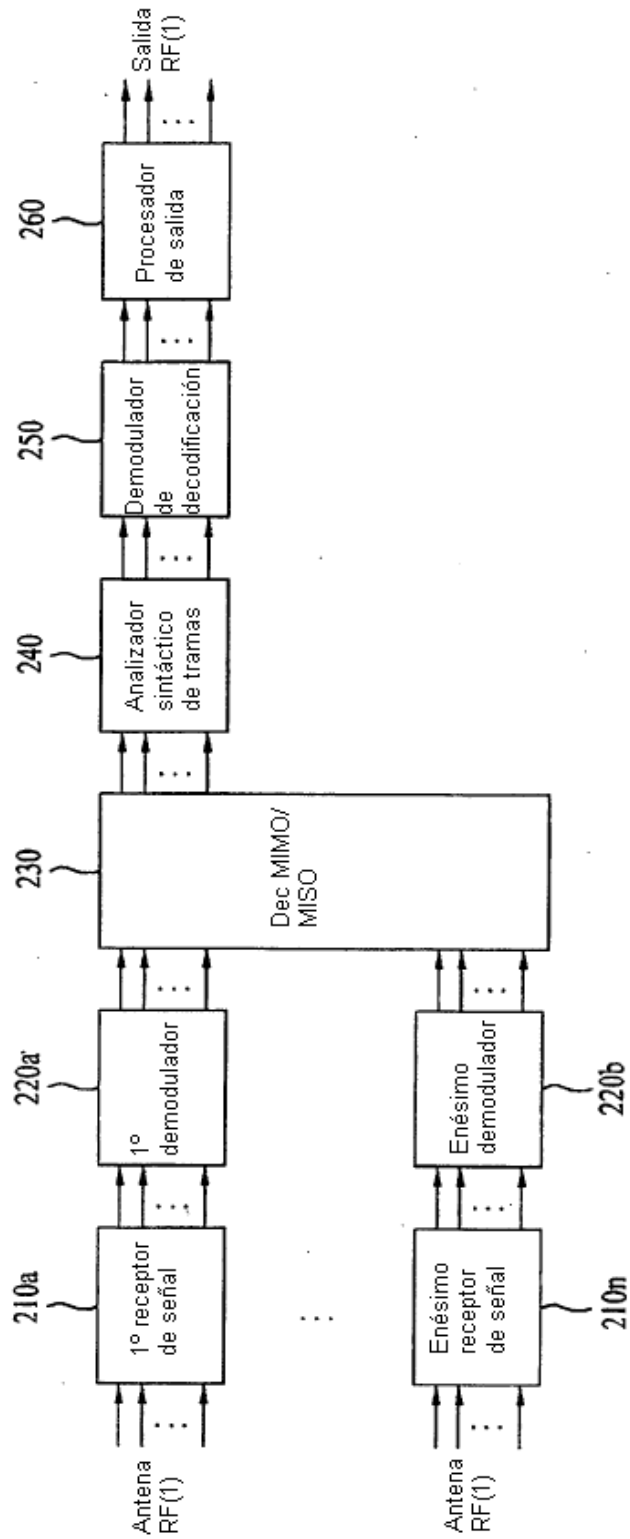


FIG. 26

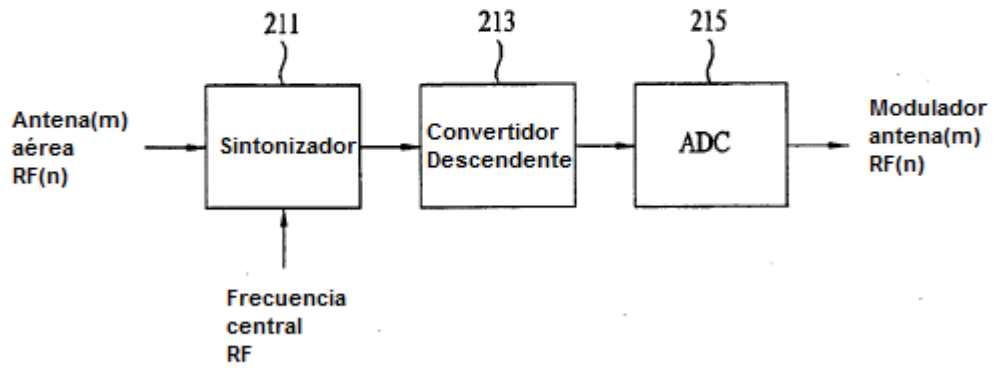


FIG. 27

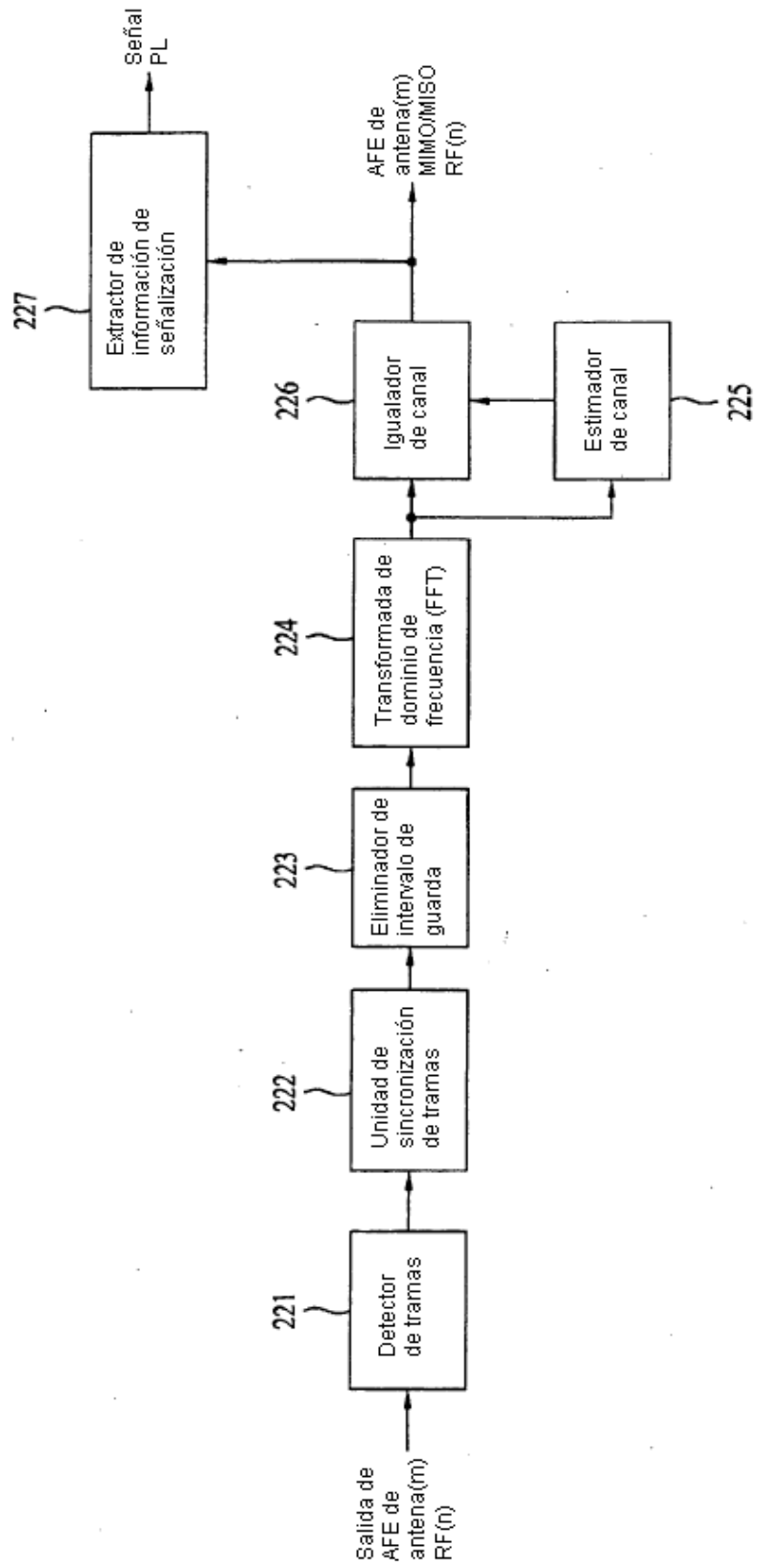


FIG. 28

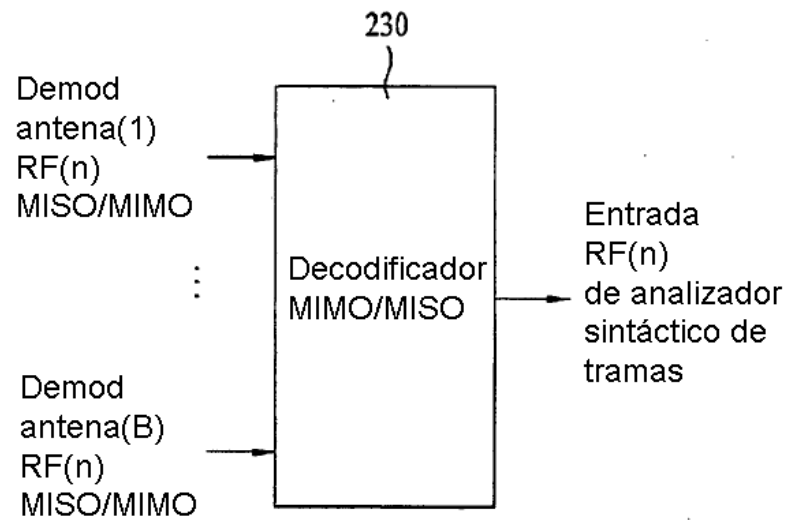


FIG. 29

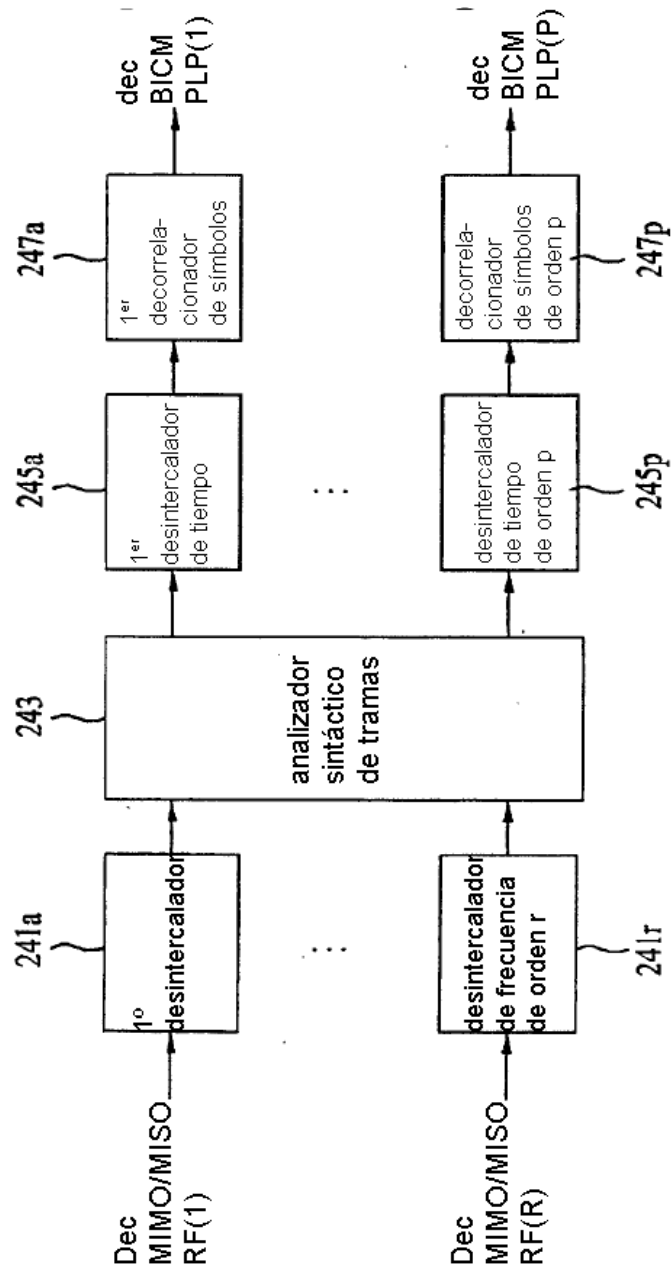


FIG. 30

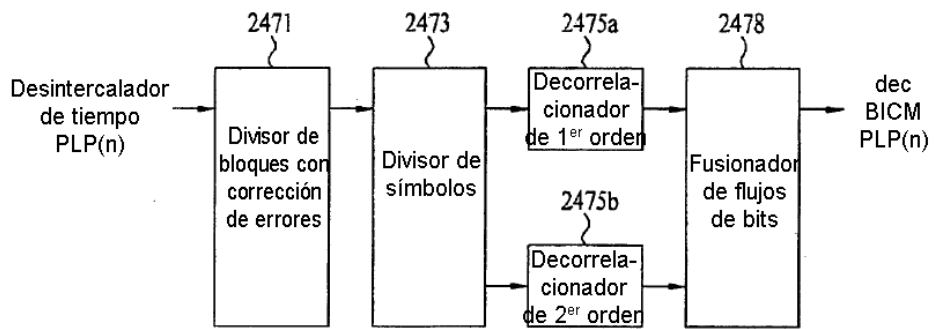


FIG. 31

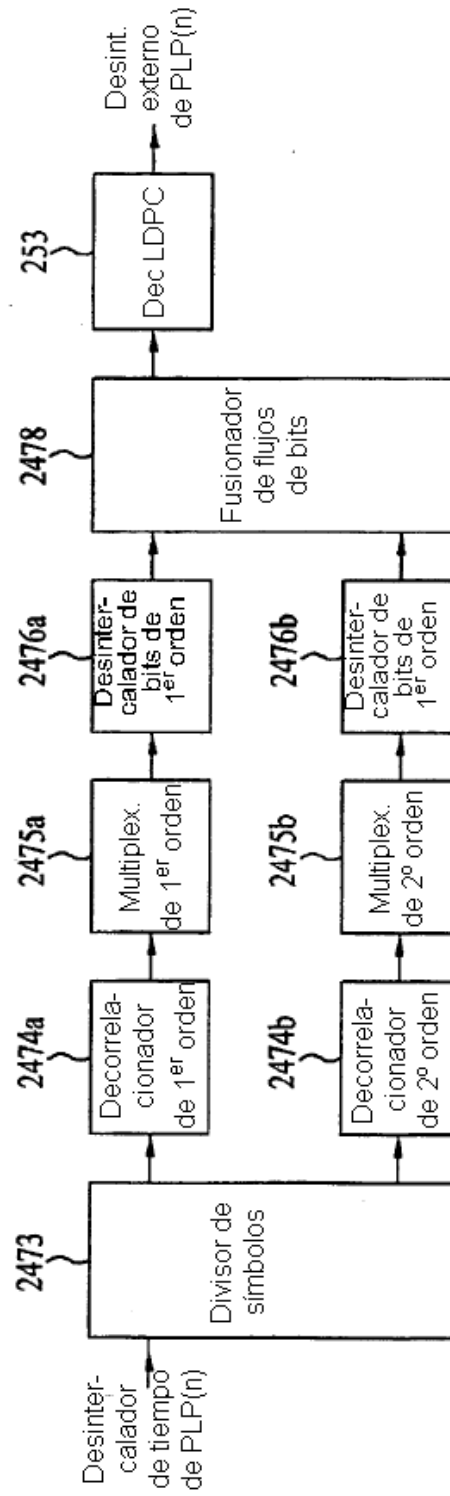


FIG. 32

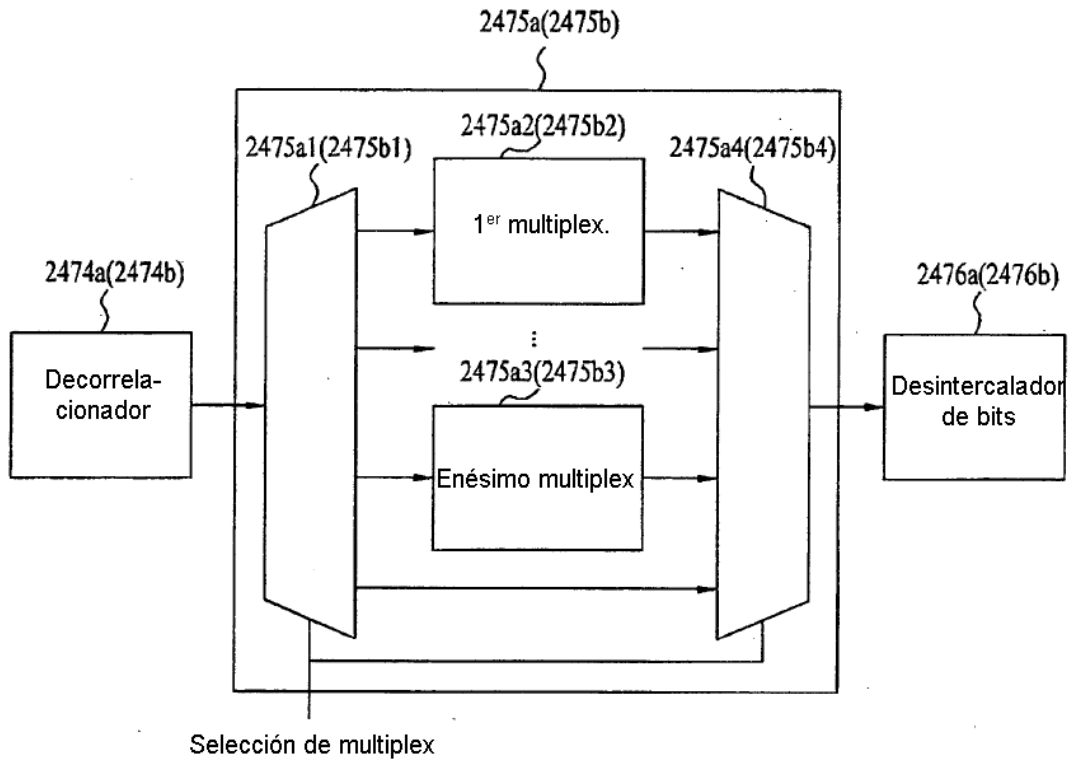


FIG. 33

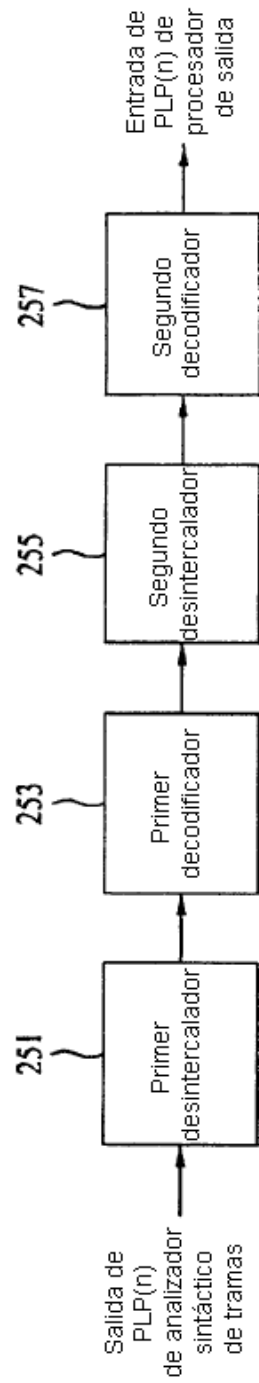


FIG. 34

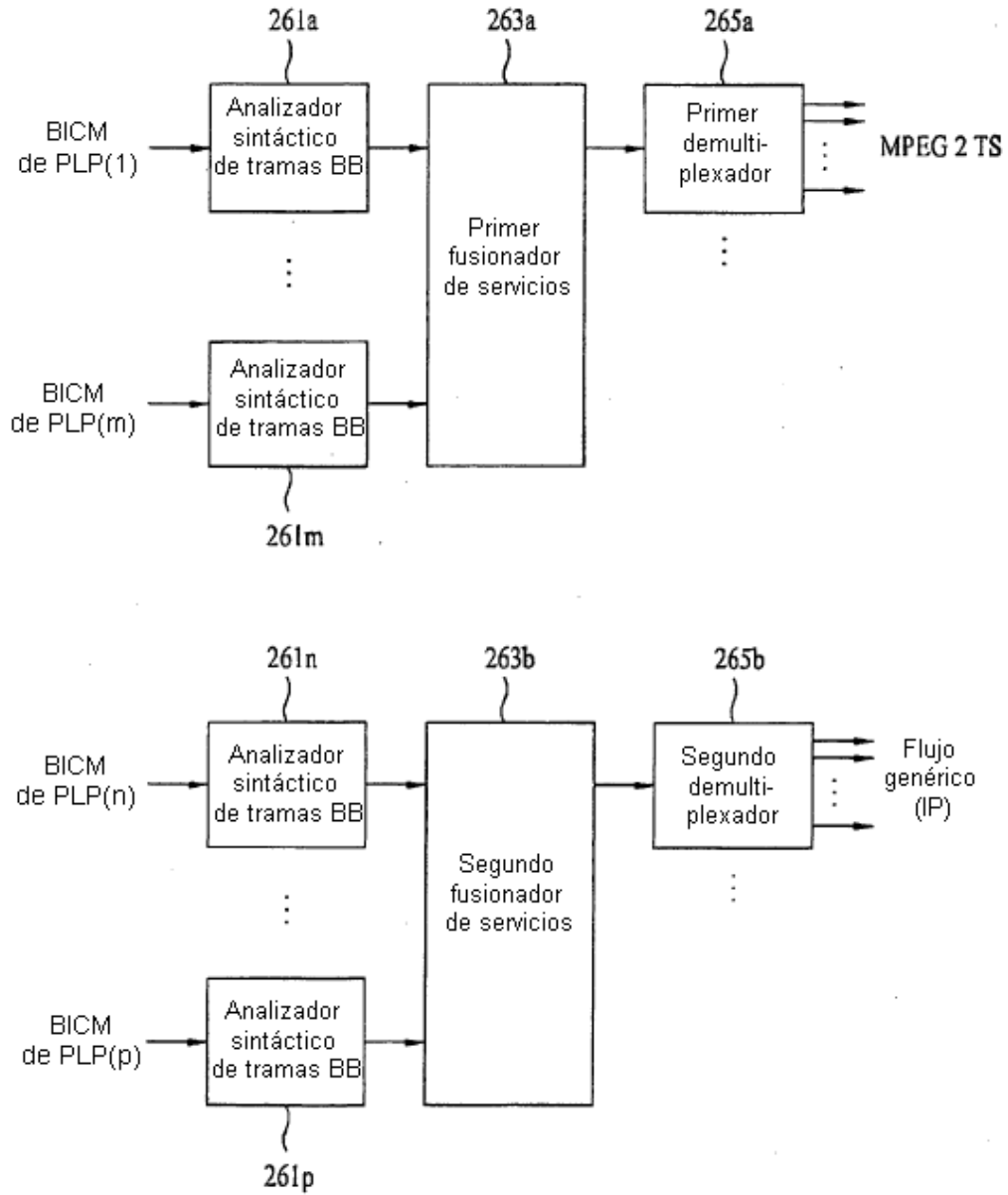


FIG. 35

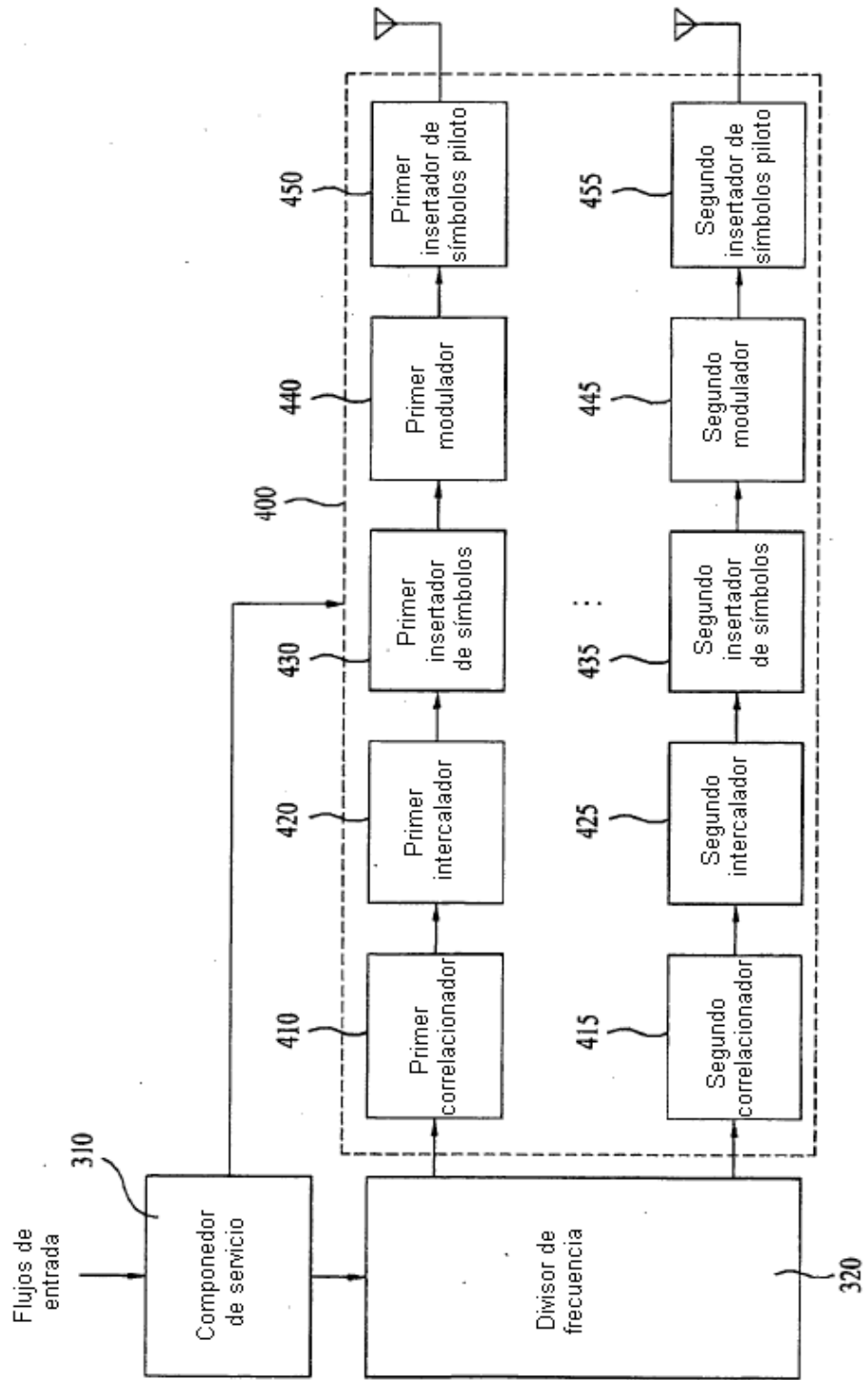


FIG. 36

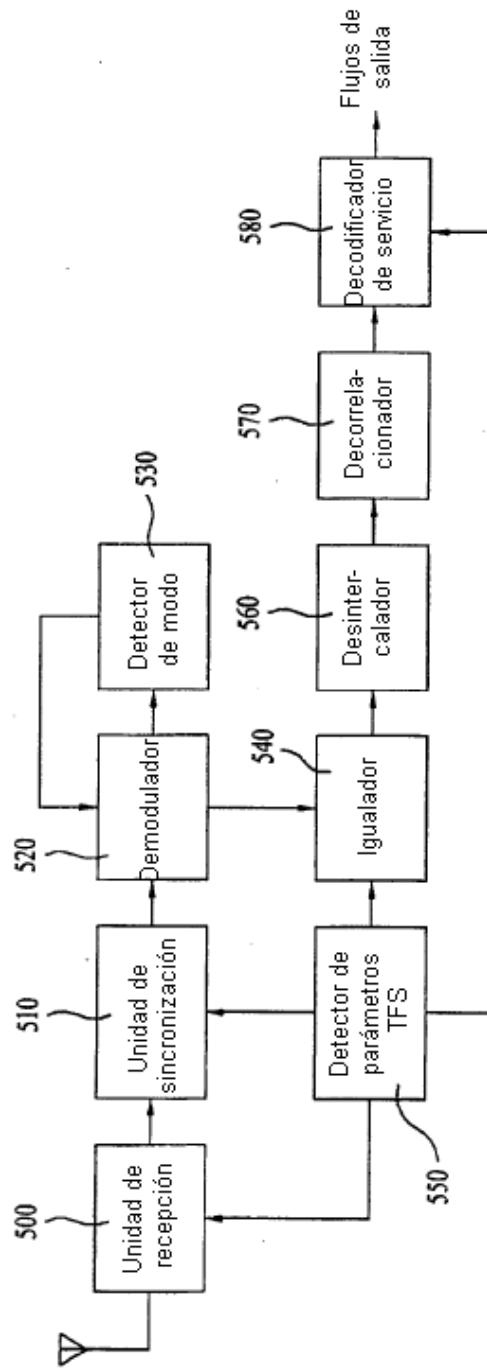


FIG. 37

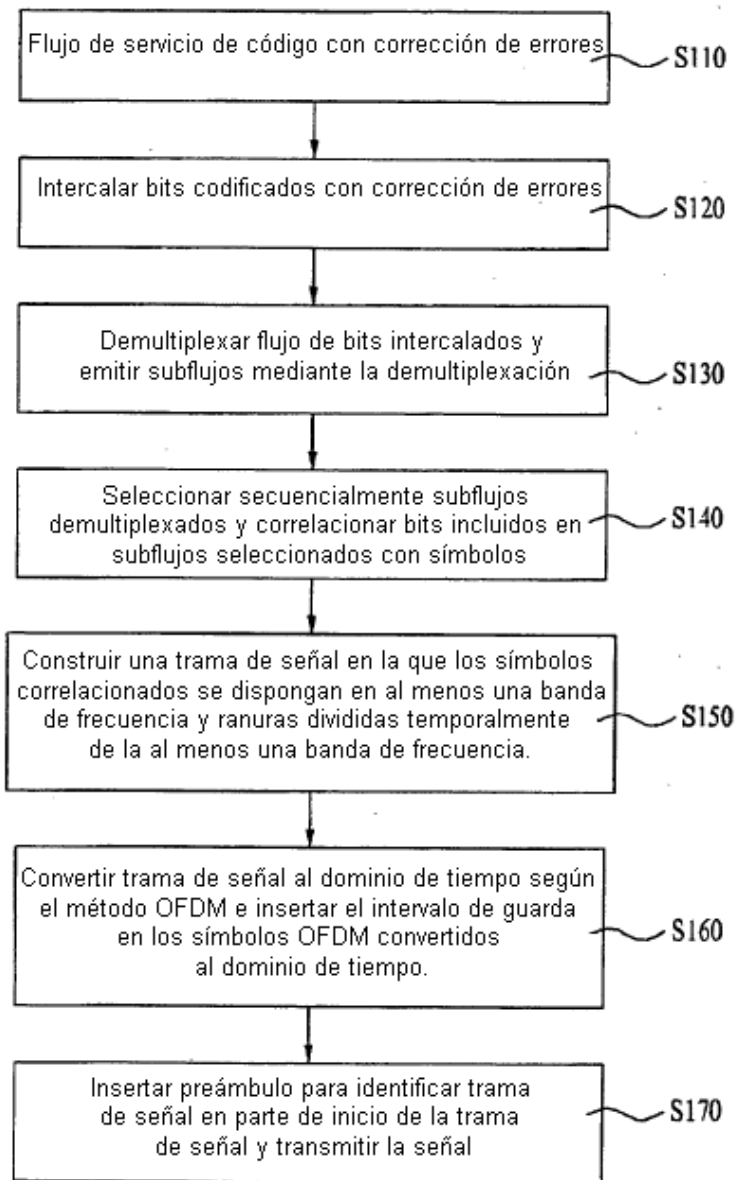


FIG. 38

