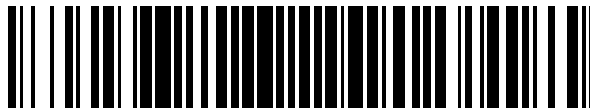


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 391 231**

51 Int. Cl.:  
**H03F 3/347** (2006.01)  
**H03F 1/30** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **08776495 .7**  
96 Fecha de presentación: **25.06.2008**  
97 Número de publicación de la solicitud: **2171839**  
97 Fecha de publicación de la solicitud: **07.04.2010**

54 Título: **Dispositivo electrónico y un método para polarizar un transistor MOS en un circuito integrado**

30 Prioridad:  
**03.07.2007 EP 07111637**

45 Fecha de publicación de la mención BOPI:  
**22.11.2012**

45 Fecha de la publicación del folleto de la patente:  
**22.11.2012**

73 Titular/es:  
**ST-ERICSSON SA (100.0%)**  
**Chemin du Champ-des-Filles 39**  
**1228 Plan-les-Ouates, CH**

72 Inventor/es:  
**WANG, ZHENHUA**

74 Agente/Representante:  
**DE ELZABURU MÁRQUEZ, Alberto**

ES 2 391 231 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo electrónico y un método para polarizar un transistor MOS en un circuito integrado.

5 CAMPO DE LA INVENCION

La presente invención se refiere a un dispositivo electrónico y a un método para polarizar un transistor MOS en un circuito integrado.

ANTECEDENTES DE LA INVENCION

10 Los dispositivos móviles tales como los teléfonos móviles están convirtiéndose en dispositivos cada vez más complejos puesto que deben dar soporte a una pluralidad de aplicaciones multimedia. Como resultado de ello, el consumo de potencia aumenta de manera significativa y la vida útil de la batería se acorta, añadiendo más presión a los diseñadores de los circuitos para que tomen medidas para reducir el consumo de potencia no sólo de los circuitos digitales sino también de los circuitos analógicos.

15 Para circuitos digitales, tales como un procesador digital de señal (DSP, *Digital Signal Processor*) en banda base en dispositivos móviles, pueden utilizarse diferentes técnicas de baja potencia que incluyen multi- $V_T$ , desactivación de reloj (*clock gating*), tensión de alimentación múltiple, apagado de potencia, polarización de sustrato, escalado dinámico de tensión y escalado de tensión de alimentación adaptativo. Entre ellas, el escalado de tensión de alimentación adaptativo ha demostrado ser un método eficiente para reducir el consumo de potencia debido al hecho de que el consumo de potencia dinámica disminuye con el cuadrado de la tensión de alimentación.

20 Por el contrario, no existe una técnica aplicable de manera general para reducir el consumo de potencia en circuitos analógicos. En circuitos analógicos, el consumo de potencia es necesario para mantener la energía de la señal por encima del ruido térmico fundamental con el fin de conseguir la relación señal - ruido deseada. A una temperatura dada, el consumo mínimo de potencia de circuitos analógicos está determinado por la relación señal - ruido requerida y por el ancho de banda requerido. Por lo tanto, una disminución de la tensión de alimentación, de manera similar al modo en que se haría con el escalado de tensión de alimentación adaptativo para circuitos digitales, no conducirá a una reducción de potencia en circuitos analógicos.

25 En la mayor parte de las aplicaciones, los transistores MOS están polarizados típicamente en la región de saturación para proporcionar la ganancia y el ancho de banda deseados. La polarización se establece usualmente mediante la corriente del drenador - surtidor  $I_{ds}$  que circula a través del transistor MOS utilizando circuitos de polarización.

30 La Figura 1 muestra un diagrama esquemático de un receptor heterodino UMTS de acuerdo con el estado del arte. El receptor incluye un circuito FE de etapa de entrada de radio frecuencia (RF) con tecnología CMOS y un circuito AB de banda base analógico. La señal de entrada es recibida por la antena y sufre la aplicación de una conversión a banda base. El circuito de banda base analógico incluye dos canales I- y Q- idénticos entre sí. Los canales deseados son amplificados y seleccionados en el dominio analógico y procesados adicionalmente por el procesador digital de señal DSP. Cada uno de los canales I- y Q- incluyen un amplificador PGA de ganancia programable, filtros CSF de selección de canal y un convertidor ADC de analógico a digital. Como ejemplo, la implementación de los amplificadores PGA de ganancia programable y de los filtros de selección de canal tal como se muestra en la Figura 1 requieren de aproximadamente catorce amplificadores operacionales para la unidad de banda base analógica. Se necesitan amplificadores operacionales y/o amplificadores de transconductancia adicionales para el convertidor ADC de analógico a digital.

35 La Figura 2 muestra un diagrama de circuito básico de un amplificador operacional de acuerdo con el estado del arte. Aquí, el amplificador operacional OA está polarizado mediante un circuito BC de polarización. La transconductancia de un transistor MOS polarizado en la región de saturación viene dada por la ecuación:

50 
$$g_m = \sqrt{2I_{ds}K} \quad (1)$$

donde  $I_{ds}$  es la corriente drenador - surtidor y donde  $K = \mu_0 C_{ox} W/L$  es la transconductancia del transistor MOS, expresión en la que  $\mu_0$  es la movilidad de los portadores de carga,  $C_{ox}$  es la capacidad por unidad de superficie de la puerta, y  $W$  y  $L$  son la anchura y la longitud del transistor MOS, respectivamente. El valor del parámetro  $K$  depende del proceso y de la temperatura. La dependencia de la temperatura de la movilidad de los portadores de carga es  $\mu_0 \propto 1/T^\gamma$ , en donde en la mayoría de los procesos  $\gamma = 1,5 \dots 2,0$ .

55 El circuito BC de polarización de acuerdo con la Figura 2 entrega una corriente de polarización a los transistores MOS. La corriente de polarización puede ser bien una corriente continua constante o una corriente que es proporcional a la temperatura absoluta (PTAT), para establecer un punto de funcionamiento deseado para los transistores MOS. Una corriente de polarización constante se genera usualmente a partir de una fuente de tensión de referencia, como por ejemplo una tensión de banda prohibida relacionada con una resistencia en el chip o externa. Por otro lado, la corriente PTAT se genera sobre la base de las características tensión-voltaje exponenciales de los transistores MOS en inversión débil.

La Figura 3 muestra un gráfico de la dependencia de la corriente de polarización y de la transconductancia con la temperatura. En el lado izquierdo, se muestra la corriente de polarización frente a la temperatura. En el lado derecho, se muestra la transconductancia de un transistor MOS frente a la temperatura. Cuando la temperatura aumenta, la transconductancia  $g_m$  para una corriente de drenador  $I_{ds}$  constante disminuye más rápidamente que en el caso de una corriente PTAT porque la corriente PTAT aumenta con la temperatura y puede por lo tanto compensar la disminución del parámetro K. Consecuentemente, la transconductancia de un transistor MOS con una corriente de polarización PTAT muestra una pendiente menos pronunciada que una transconductancia con una corriente de polarización constante.

Puesto que los transistores MOS están sujetos tanto a variaciones de proceso como de temperatura, todos los circuitos analógicos deben cumplir las condiciones del caso más desfavorable, como por ejemplo una transconductancia  $g_{m_{min}}$  mínima. La corriente de polarización respectiva debe estar diseñada de tal manera que se consiga cumplir la condición  $g_m \geq g_{m_{min}}$  a lo largo del intervalo  $t_L - t_H$  de temperatura. Esto se muestra en el lado derecho del diagrama de la Figura 3, donde la transconductancia obtenida con una corriente de polarización constante y la transconductancia obtenida con una corriente PTAT se cruzan a la temperatura  $t = t_H$ , donde  $g_m = g_{m_{min}}$ .

Debe apreciarse que una corriente de polarización constante es menos eficiente desde el punto de vista de la potencia que una corriente de polarización PTAT.

El consumo total de corriente de cualquier circuito analógico puede expresarse como:

$$I_{dd_{total}} = (1 + \vartheta_{bias} + \vartheta_{margin})(I_{dd_{min}} + \Delta I_{dd_{temp}} + \Delta I_{dd_{proc}}) \quad (3)$$

donde  $I_{dd_{min}}$  corresponde a la corriente mínima absoluta,  $\Delta I_{dd_{temp}}$  corresponde a la cantidad de corriente adicional necesaria para mantener la transconductancia requerida a lo largo del intervalo completo de temperatura,  $\Delta I_{dd_{proc}}$  corresponde a la corriente adicional necesaria para mantener la transconductancia requerida a lo largo de las variaciones de proceso. La corriente de polarización también está afectada por la temperatura y por las variaciones de proceso que deben ser tenidos en cuenta. Para ocuparse de estas variaciones, la corriente de polarización se aumenta típicamente por un factor  $v_{bias}$ . Más aún, debe añadirse un margen  $v_{margin}$  de seguridad para aumentar la robustez.

La Figura 4 muestra un gráfico de corriente desperdiciada en un circuito analógico típico para una polarización constante. A la temperatura  $t = t_H$ ,  $\Delta I_{dd_{temp}} = 0$ . Por otro lado, a la temperatura  $t = t_L$ , tanto la transconductancia como la corriente desperdiciada alcanzan un máximo respectivo. Puesto que la mayor parte de los circuitos analógicos están diseñados utilizando polarización constante, se malgasta mucha potencia especialmente a bajas temperaturas.

Para cualquier circuito analógico, la relación entre el consumo total de corriente y la corriente de polarización puede expresarse como:

$$I_{dd_{total}} = \beta \cdot I_{bias} \quad (4)$$

donde  $\beta > 1$ . En otras palabras, el consumo total de potencia es proporcional a la corriente de polarización, y la minimización de la corriente de polarización puede minimizar la corriente total.

El documento US 5.777.518 está relacionado con un método para polarizar un amplificador MOSFET con el fin de obtener una transconductancia constante. Un primer transistor M 1 se hace funcionar en una región de triodo para proporcionar una tensión puerta – surtidor para un segundo transistor polarizado en la región de saturación. Como resultado de ello, la precisión de la polarización sufre.

#### SUMARIO DE LA INVENCION

Es por lo tanto un propósito de la invención crear un dispositivo electrónico o un circuito integrado con un conjunto de circuitos analógicos que pueden polarizarse con una mayor precisión con un consumo menor de potencia.

Este propósito se resuelve mediante un dispositivo electrónico de acuerdo con la reivindicación 1, mediante un circuito integrado de acuerdo con la reivindicación 4 y mediante un método para polarizar al menos un transistor MOS en un circuito integrado de acuerdo con la reivindicación 5.

Se crea un dispositivo electrónico que incluye al menos un circuito integrado con al menos un transistor MOS. El dispositivo electrónico comprende adicionalmente una unidad de polarización analógica adaptativa para proporcionar una corriente de polarización adaptativa para el al menos un transistor MOS polarizado en la región de saturación. La unidad de polarización analógica adaptativa está dispuesta en el mismo chip junto con el circuito integrado e incluye una unidad de monitorización de proceso para extraer un parámetro de dispositivo del circuito integrado y

una unidad de cálculo, para generar una corriente de polarización basándose en la salida de la unidad de monitorización de proceso. La corriente de polarización generada por la unidad de cálculo es inversamente proporcional al parámetro de dispositivo extraído.

5 De acuerdo con un aspecto de la invención, el parámetro de dispositivo es igual a  $\mu_0 C_{ox} W/L$ , donde  $\mu_0$  es la movilidad de los portadores de carga,  $C_{ox}$  es la capacidad por unidad de superficie de la puerta, y W y L son la anchura y la longitud del transistor MOS, respectivamente.

10 De acuerdo con un aspecto adicional más de la invención, la unidad de monitorización de proceso incluye una unidad de extracción de tensión umbral para extraer la tensión umbral y una unidad de extracción de parámetro de dispositivo para extraer el parámetro de dispositivo. La unidad de extracción de tensión umbral recibe una tensión continua de entrada y su tensión de salida corresponde a la suma de la tensión continua de entrada y la tensión umbral extraída. La unidad de extracción de parámetro de dispositivo incluye un transistor MOS y recibe como  
15 entrada la tensión de salida de la unidad de extracción de tensión umbral, que se aplica a la puerta del transistor MOS de tal manera que la corriente de drenador del transistor MOS es proporcional al parámetro de dispositivo. La corriente de drenador del transistor MOS constituye la salida de la unidad de monitorización de proceso.

20 La invención se refiere también a un circuito integrado que incluye al menos un transistor MOS y una unidad de polarización analógica adaptativa para proporcionar una corriente de polarización adaptativa para el al menos un transistor MOS polarizado en la región de saturación. La unidad de polarización analógica adaptativa incluye una unidad de monitorización de proceso para extraer un parámetro de dispositivo del circuito integrado y una unidad de cálculo para generar una corriente de polarización basándose en la salida de la unidad de monitorización de proceso. La corriente de polarización generada por la unidad de cálculo es inversamente proporcional al parámetro de dispositivo extraído.

25 La invención se refiere también a un método para polarizar al menos un transistor MOS en un circuito integrado. El al menos un transistor MOS es polarizado de manera adaptativa en la región de saturación. Se extrae un parámetro de dispositivo de circuito integrado. Se genera una corriente de polarización que es inversamente proporcional al parámetro de dispositivo extraído.

30 La presente invención se refiere a la idea de proporcionar una polarización analógica adaptativa para ajustar de manera automática la corriente de polarización de transistores MOS que están funcionando en la región de saturación con un consumo de potencia menor manteniendo a la vez la transconductancia deseada frente a variaciones de proceso y de temperatura. Esta polarización analógica adaptativa puede implementarse en cualquier  
35 tecnología de proceso CMOS y encuentra aplicaciones en circuitos analógicos y en circuitos de etapa de entrada de radio frecuencia con tecnología CMOS. Los transistores MOS se polarizan de manera adaptativa dependiendo del parámetro de proceso existente de cada muestra individual así como en función de la temperatura para minimizar el consumo de potencia garantizando a la vez su rendimiento. Esto puede conseguirse gracias a una monitorización de proceso que extrae parámetros de proceso y a la entrega de una corriente  $I_{ex}$ . La corriente de polarización óptima se genera basándose en el parámetro de proceso extraído.

Las reivindicaciones dependientes definen aspectos adicionales de la invención.

**BREVE DESCRIPCIÓN DE LOS DIBUJOS**

45 Se describirán a continuación con más detalle ventajas y realizaciones de la presente invención haciendo referencia a las Figuras.

50 La Figura 1 muestra un diagrama esquemático de un receptor heterodino UMTS de acuerdo con el estado del arte,

La Figura 2 muestra un par diferencial de entrada y un circuito de polarización de acuerdo con el estado del arte,

La Figura 3 muestra un gráfico de la dependencia de la corriente de polarización y de la transconductancia con la temperatura,

55 La Figura 4 muestra un gráfico de la corriente desperdiciada en un circuito analógico con polarización constante,

La Figura 5 muestra un diagrama de bloques de un circuito de polarización analógica de acuerdo con una primera realización,

La Figura 6 muestra un diagrama esquemático detallado del circuito de polarización analógica de acuerdo con la Figura 5,

60 La Figura 7 muestra un diagrama esquemático de un amplificador de dos etapas de acuerdo con una segunda realización,

La Figura 8 muestra un gráfico de las características de amplitud y fase de una tercera realización,

La Figura 9A muestra un diagrama esquemático de un amplificador operacional de acuerdo con una cuarta realización,

65 La Figura 9B muestra un diagrama esquemático de un amplificador de transconductancia diferencial lineal,

La Figura 10 muestra un gráfico de una reducción de potencia simulada de acuerdo con una quinta realización, y

La Figura 11 muestra un gráfico que representa los resultados de una simulación de Monte Carlo de acuerdo con una sexta realización.

5

DESCRIPCIÓN DETALLADA DE LAS REALIZACIONES

Las realizaciones de la presente aplicación se refieren a la idea de proporcionar una polarización analógica adaptativa para transistores MOS, por ejemplo en circuitos analógicos tales como circuitos de banda base analógicos o circuitos de etapa de entrada de radio frecuencia con tecnología CMOS. La polarización de los transistores MOS esta controlada por la corriente drenador - surtidor de los respectivos transistores MOS. Si la corriente de drenador de un transistor MOS funcionando en saturación se fija de tal manera que:

10

$$I_{ds} \propto 1/K \tag{5}$$

15

entonces la transconductancia gm del transistor MOS será independiente de las variaciones de temperatura y las desviaciones de proceso. Esto puede conseguirse mediante la medición del parámetro K de proceso en el mismo chip y mediante la generación de una corriente de polarización inversamente proporcional al parámetro K de proceso medido, donde esta corriente de polarización se utiliza para polarizar los transistores MOS.

20

La Figura 5 muestra un diagrama de bloques de un circuito de polarización analógica adaptativa de acuerdo con la primera realización. El circuito AAB de polarización analógica adaptativa incluye una unidad PM de monitorización de proceso y una unidad CU de cálculo. La unidad de cálculo sirve para calcular la corriente de drenador de un transistor MOS. La unidad PM de monitorización de proceso incluye una unidad VE de extracción de parámetro Vt y una unidad KE de extracción de parámetro K. La unidad PM de monitorización de proceso entrega una corriente I<sub>ex</sub> a la unidad CU de cálculo. La unidad CU de cálculo genera la corriente de polarización de tal manera que se obtiene la transconductancia deseada y ésta se mantiene para todas las partes y a todas las temperaturas. La salida del circuito AAB de polarización analógica viene dada por la siguiente expresión:

25

$$I_{bias} = \frac{gm_0^2}{I_{ex}} \tag{6}$$

30

donde gm<sub>0</sub> es la transconductancia deseada y donde I<sub>ex</sub> es proporcional al parámetro K. Sustituyendo la ecuación (6) en la ecuación (1), se obtiene una transconductancia gm, que se mantiene constante.

35

La unidad PM de monitorización de polarización y la unidad CU de cálculo se implementan en un chip. Para más detalles sobre las implementaciones de estos dos circuitos VE, KE de extracción, por favor refiéranse al artículo "Z. Wang: "Automatic VT-extraction based on an n x n2 MOS transistor array and their application", IEEE J. Solid-State Circuits, vol. 27, no. 9, pp. 1277-1285, 1992" y al artículo "Z.Wang: "Direct, fast and accurate measurement of VT and K of an MOS transistor using a VT-sift circuit", IEEE Trans. Instrum. Meas., vol. 40, no. 6, pp. 951-955, 1991", que se incorporan en la presente memoria por referencia.

40

Debería apreciarse que los dos circuitos VE y KE de extracción proporcionan como salida los parámetros V<sub>T</sub> y K extraídos en forma de tensión y de corriente, respectivamente, sin ningún cálculo ni retraso de cálculo.

45

La Figura 6 muestra un diagrama esquemático detallado del circuito de polarización analógica adaptativa de la Figura 5. Los transistores M1- M3 y M6 trabajan en la región de saturación cumpliendo la relación de tamaños (W/L)<sub>2</sub> = (W/L)<sub>3</sub> = 4 (W/L)<sub>1</sub> = 4 (W/L)<sub>6</sub>. Los transistores M4 y M5 constituyen un espejo de corriente con ganancia unitaria. Con estos tamaños y para una tensión V<sub>B</sub> continua de entrada, la salida de la unidad VE de extracción del parámetro V<sub>T</sub> corresponde a V<sub>ex</sub> = V<sub>B</sub> = V<sub>T</sub>.

50

Si se aplica esta tensión a la puerta del transistor M6, su corriente de drenador será:

$$I_{ex} = \frac{K_{AAB} V_B^2}{2} \tag{7}$$

55

donde la corriente de drenador es proporcional al parámetro K<sub>AAB</sub>.

60

La unidad CU de cálculo sirve para llevar a cabo una operación de división de acuerdo con la ecuación (6). La unidad CU de cálculo puede también implementarse utilizando alternativamente un elevador al cuadrado de corriente. Aquí, los transistores M7 – M11 tienen tamaños idénticos y también trabajan en la región de saturación. Se utiliza un espejo de corriente multi-salida (transistores M12 – M15) para fijar la corriente de drenador de cada transistor en un valor igual a la salida de la unidad PM de monitorización de proceso, en concreto la corriente I<sub>ex</sub>. Los

5 nodos comunes de los transistores M9 y M10 se alimentan con una corriente continua de entrada, que corresponde a la transconductancia  $gm_0$  deseada. Un segundo espejo de corriente (transistores M16 y M19) entrega la corriente de polarización para un circuito analógico según la siguiente expresión:

$$I_{bias} = \phi \frac{gm_0^2}{K_{AAB}} \quad (8)$$

5 cumpliéndose:

$$\phi = \frac{1}{4V_B^2} \quad (9)$$

10 Si la transconductancia de un transistor MOS en un amplificador operacional corresponde a  $K_{ac}$  y si su corriente de drenador corresponde a  $\kappa$  veces  $I_{bias}$ , entonces la transconductancia tiene por valor:

$$gm_{ac} = \sqrt{\kappa \frac{K_{ac}}{K_{AAB}}} gm_0 \quad (10)$$

15

En otras palabras, puede obtenerse cualquier transconductancia requerida seleccionando  $K_{ac}$  o bien  $\kappa$  o ambas.

20 La Figura 7 muestra un ejemplo en el que se utilizan diversos amplificadores operacionales de acuerdo con una segunda realización. Aquí, los amplificadores operacionales OP1 – OPn están acoplados con el circuito AAB de polarización analógica adaptativa, que sirve para entregar una corriente  $I_{cs}$  de polarización de acuerdo con la ecuación (8). Multiplicando la corriente de polarización por los valores  $\kappa_1 - \kappa_5$  apropiados, la corriente de polarización para cada amplificador operacional puede fijarse de manera individual. En particular, la corriente de polarización para cada etapa de salida puede escalarse por una relación de aspecto apropiada del espejo de corriente relevante.

25

Si la tensión  $V_B = 1/\sqrt{2} = 0,707$  V, entonces la ecuación (10) puede simplificarse a la siguiente:

$$I_{bias} = \frac{gm_0^2}{K_{AAB}} \quad (11)$$

30 Si se cumple  $\kappa K_{ac} = K_{AAB}$ , la ecuación (10) puede reducirse a:

$$gm_{ac} = gm_0 \quad (12)$$

35 Consecuentemente, un transistor MOS del mismo tamaño que los transistores M1 ó M6 tendrá una transconductancia igual al valor de la corriente entrante  $gm_0$ .

40 Adicionalmente a un consumo de potencia lo menor posible, se ha mejorado la robustez de los circuitos analógicos. Esto se describirá más adelante con mayor detalle.

La Figura 8 muestra un gráfico de las características de amplitud y fase de acuerdo con una cuarta realización. Aquí, se representa un sistema de segundo orden. El sistema permanecerá en estado estable si el margen de fase permanece por encima de  $60^\circ$  y el segundo polo está situado a una frecuencia mayor que 2,2 veces  $f_u$ .

45 La Figura 9A muestra un amplificador operacional de dos etapas con tecnología CMOS. El amplificador operacional incluye transistores M1 – M7, dos condensadores  $C_c$  y  $C_l$  así como una resistencia  $R_c$ . La ganancia en continua de este amplificador operacional es:

$$A_o = gm_2 \cdot gm_6 / (gd_2 + gd_4)(gd_6 + gd_7) \quad (13)$$

50

La frecuencia de ganancia unitaria del mismo es:

$$f_u = gm_1 / (2\pi C_c) \quad (14)$$

55

donde  $gm_1$  corresponde a la transconductancia del par diferencial de entrada y donde  $C_c$  corresponde al condensador de compensación de la capacidad Miller. El segundo polo está situado en la frecuencia:

$$f_{p2} = gm_6 / 2\pi C_L \quad (15)$$

Cuando se utiliza el circuito AAB de polarización analógica de acuerdo con la Figura 5 o la Figura 6, la transconductancia  $gm_1$  y la transconductancia  $gm_6$  pueden mantenerse constantes e invariables independientemente de las variaciones de proceso y la variación de temperatura. En otras palabras, las frecuencias  $f_u$  y  $f_{p2}$  permanecen invariables si las capacidades  $C_c$  y  $C_L$  son constantes.

La Figura 9B muestra un diagrama esquemático de un amplificador de transconductancia diferencial linealizado. Este amplificador de transconductancia es ampliamente utilizado en convertidores  $\Sigma/\Delta$  ADC de analógico a digital de tiempo continuo y en filtros gm-C de tiempo continuo.

La Tabla 1 muestra una comparación entre polarización constante, polarización PTAT y polarización analógica adaptativa de acuerdo con la invención.

**Tabla 1**

esquema de polarización		constante $I_{ds} = \text{const}$	PTAT $I_{ds} \propto KT/q$	AAB $I_{ds} \propto 1/K$
General	$gm = \sqrt{2} \cdot I_{ds} \cdot K$	$\propto \sqrt{K}$	$\propto \sqrt{KT}$	constante
	$g_o \approx \lambda \cdot I_{ds}$	constante	$\propto T$	$\propto 1/K$
Amplificador operacional de 2 etapas (Fig. 9A)	$f_u = gm_1 / (2\pi C_c)$	$\propto \sqrt{K}$	$\propto \sqrt{KT}$	constante
	$f_{p2} = gm_6 / (2\pi C_L)$	$\propto \sqrt{K}$	$\propto \sqrt{KT}$	constante
Amplificador de transconductancia linealizado (Figura 9B)	$gm = \sqrt{I_{ds} \cdot K} / 2$	$\propto \sqrt{K}$	$\propto \sqrt{KT}$	constante

En particular, las frecuencias  $f_u$  y  $f_{p2}$  del amplificador operacional de acuerdo con la Figura 9A y la transconductancia  $gm$  del amplificador de transconductancia diferencial linealizado de acuerdo con la Figura 9B se comparan con aquellos valores que corresponden a polarización constante, polarización PTAT y polarización de acuerdo con las Figuras 5 y 6. En la Tabla 1, se comparan los valores de la transconductancia  $gm$  y la transconductancia  $g_o$ . Consecuentemente, puede verse que utilizando el circuito AAB de polarización analógica adaptativa, la robustez global del sistema aumenta.

La Figura 10 muestra un gráfico de la reducción de potencia esperada utilizando polarización analógica adaptativa de acuerdo con una quinta realización. A una temperatura  $t = 125^\circ\text{C}$ , las tres corrientes de polarización son iguales dando como resultado una transconductancia  $gm$  igual. En la Figura 10, con polarización analógica adaptativa, se muestra la reducción de potencia en un sistema con respecto a la polarización constante convencional y a la polarización PTAT para procesos lentos, normales y rápidos. Puede observarse que es posible conseguir una reducción de potencia de hasta un 31% a un 60%.

La Figura 11 muestra un gráfico de los resultados de una simulación de Monte Carlo de la distribución de transconductancia debida a variaciones de proceso para polarización constante, polarización PTAT y polarización analógica adaptativa de acuerdo con la invención. En la parte media del gráfico, se describe la simulación de Monte Carlo basada en la polarización de acuerdo con la invención. En el lado izquierdo, se describe el resultado de una polarización PTAT y en el lado derecho se describe el resultado de una polarización constante. El número total de ejecuciones es de 1.000. Las tres corrientes de polarización fueron fijadas a un mismo valor para corresponder a una transconductancia  $gm = 200 \mu\text{A/V}$ . Los resultados de la simulación muestran una distribución Gaussiana con un valor medio de  $200 \mu\text{A/V}$  para los tres esquemas de polarización. Para polarización PTAT la desviación estándar es de  $4,68413 \mu$ , para la polarización constante la desviación estándar es de  $4,64179 \mu$  y para la polarización analógica adaptativa de acuerdo con la invención la desviación estándar se reduce hasta  $191,677 \text{ n}$  por un factor de 24.

La polarización analógica adaptativa puede utilizarse para polarizar transistores MOS en el circuito FE de etapa de entrada de radio frecuencia con tecnología CMOS y en el circuito AB de banda base analógico tal como se muestra en la Figura 1.

Las aplicaciones del circuito de polarización analógica adaptativa descrito anteriormente son virtualmente interminables, incluyendo (pero sin estar limitadas a) circuitos de banda base analógicos, filtros de capacidades conmutadas (SC), convertidores  $\Sigma/\Delta$  ADC de analógico a digital de capacidades conmutadas, filtros RC de tiempo continuo, filtros gm-C de tiempo continuo, convertidores  $\Sigma/\Delta$  ADC de analógico a digital de tiempo continuo, circuitos de control automático de ganancia AGC, amplificadores o filtros polifásicos y por último, pero no por ello menos

importante, circuitos de etapa de entrada de radio frecuencia con tecnología CMOS, amplificadores de bajo ruido LNA, mezcladores, etc.

5 Debería apreciarse que las realizaciones mencionadas anteriormente ilustran pero no limitan la invención, y que aquellas personas expertas en la técnica serán capaces de diseñar muchas realizaciones alternativas sin alejarse del alcance de las reivindicaciones anexas. En las reivindicaciones, cualquier signo de referencia situado entre paréntesis no debe ser interpretado como limitante de las reivindicaciones. La expresión "que incluye" no excluye la presencia de elementos o pasos distintos de aquellos listados en la reivindicación. La palabra "un" o "una" precediendo un elemento no excluye la presencia de una pluralidad de tales elementos. En la reivindicación del dispositivo que enumera diferentes medios, varios de estos medios pueden ser realizados por un mismo elemento de hardware. El mero hecho de que ciertas medidas se enumeren en las reivindicaciones dependientes mutuamente distintas no indica que una combinación de estas medidas no pueda utilizarse para obtener una ventaja.

10 Más aún, cualquier signo de referencia en las reivindicaciones no será interpretado como limitante del alcance de las reivindicaciones.

15



## REIVINDICACIONES

- 1.- Un dispositivo electrónico, que incluye:
- 5 al menos un circuito integrado que incluye al menos un transistor MOS, y una unidad (AAB) de polarización analógica adaptativa para proporcionar una corriente de polarización adaptativa para el al menos un transistor MOS polarizado en la región de saturación; en el que la unidad (AAB) de polarización analógica adaptativa está dispuesta en un chip junto con el circuito
- 10 integrado que incluye una unidad (PM) de monitorización de proceso para extraer un parámetro (K) de dispositivo del circuito integrado y una unidad (CU) de cálculo para generar una corriente de polarización basándose en la salida de la unidad (PM) de monitorización de proceso, en el que la corriente de polarización generada por la unidad (CU) de cálculo es inversamente proporcional al parámetro (K) de dispositivo extraído.
- 15 2.- Un dispositivo electrónico de acuerdo con la reivindicación 1, en el que el parámetro (K) de dispositivo es igual a  $\mu_0 C_{ox} W/L$ , donde  $\mu_0$  es la movilidad de los portadores de carga,  $C_{ox}$  es la capacidad por unidad de superficie de la puerta, y W y L son la anchura y la longitud del transistor MOS, respectivamente.
- 20 3.- Un dispositivo electrónico de acuerdo con una cualquiera de las reivindicaciones 1 ó 2, en el que la unidad (PM) de monitorización de proceso incluye una unidad (VE) de extracción de tensión umbral para extraer la tensión umbral y una unidad (KE) de extracción de parámetros de dispositivo para extraer el parámetro (K) de dispositivo,
- 25 en el que la unidad (VE) de extracción de tensión umbral recibe una tensión ( $V_a$ ) continua de entrada y donde su tensión de salida corresponde a la suma de la tensión ( $V_b$ ) continua de entrada y la tensión ( $V_T$ ) umbral, en el que la unidad (KE) de extracción de parámetros de dispositivo incluye un transistor (M6) MOS y recibe como entrada la tensión de salida de la unidad (VE) de extracción de tensión umbral que se aplica a la puerta del transistor (M6) MOS de tal manera que la corriente de drenador del transistor (M6) MOS es proporcional al parámetro (K) de dispositivo,
- 30 en el que la corriente de drenador del transistor (M6) MOS constituye la salida de la unidad (PM) de monitorización de proceso.
- 4.- Un método para polarizar al menos un transistor MOS en un circuito integrado, que incluye los pasos de:
- 35 polarizar de manera adaptativa el al menos un transistor MOS en la región de saturación mediante la extracción de un parámetro (K) de dispositivo del circuito integrado y generar una corriente de polarización que es inversamente proporcional al parámetro (K) de dispositivo extraído.

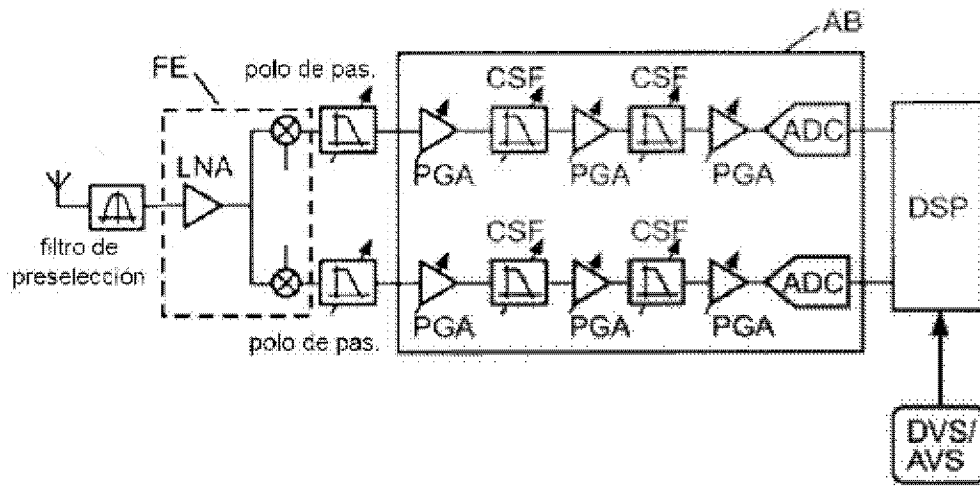


Fig.1

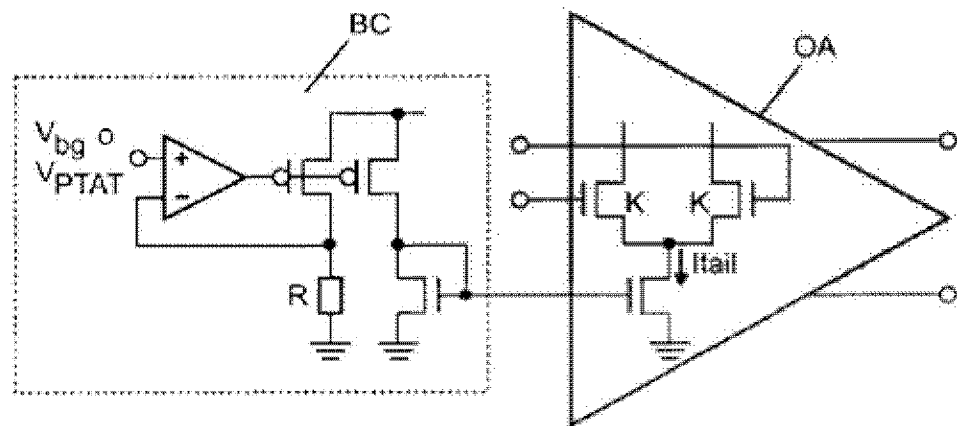


Fig.2

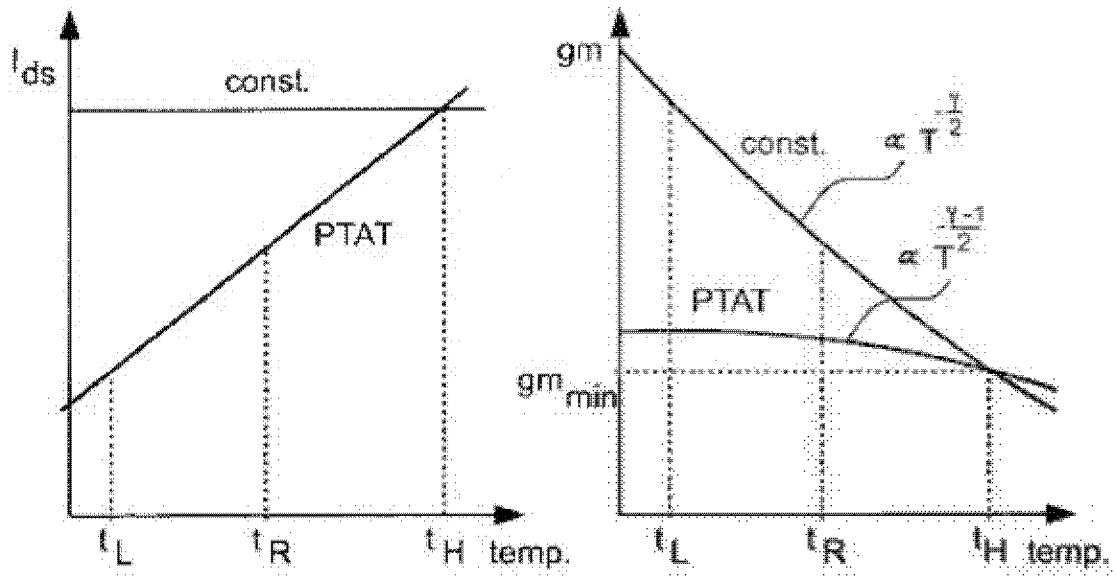


Fig.3

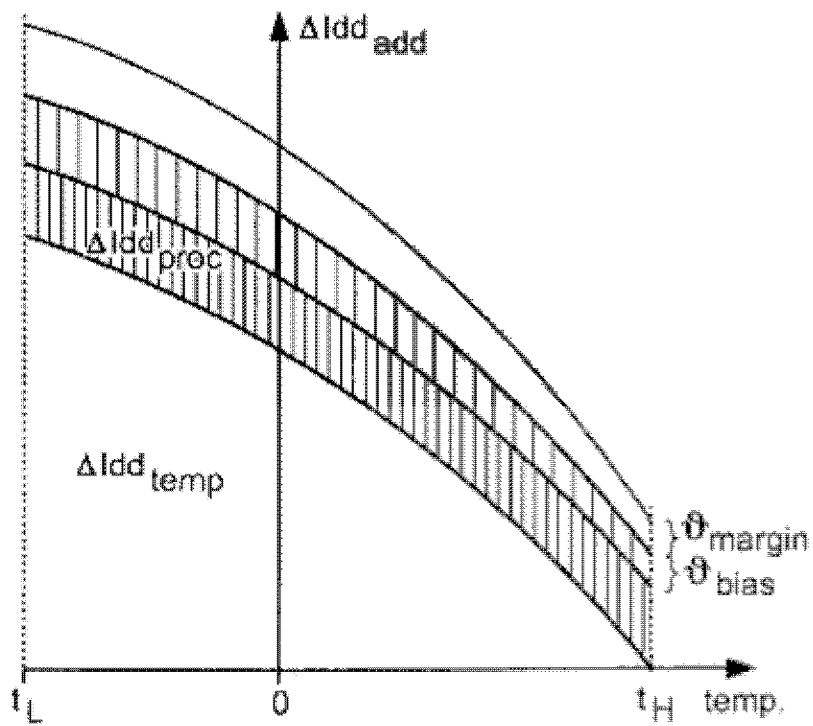


Fig.4

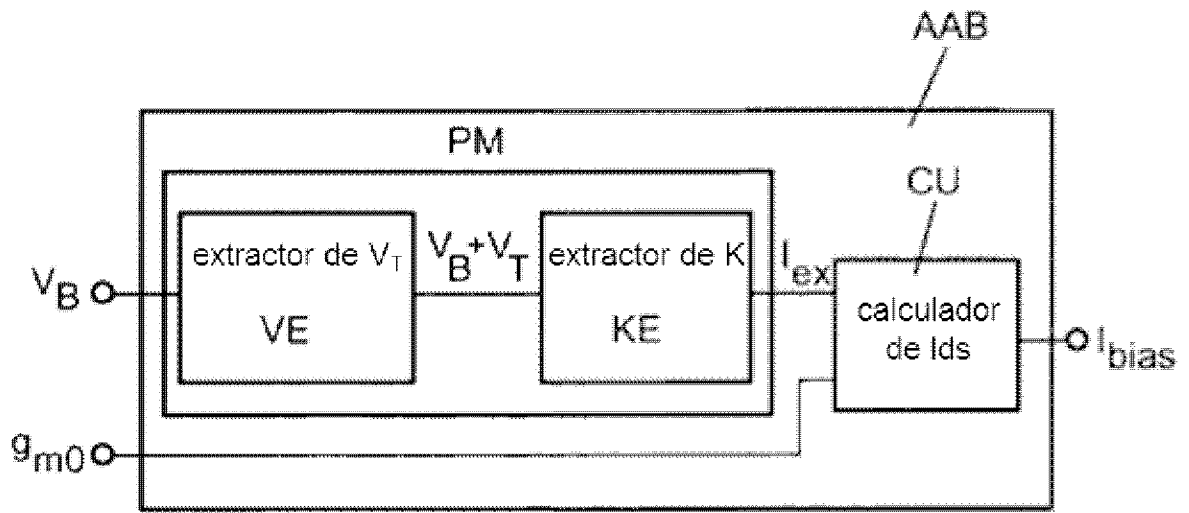


Fig.5

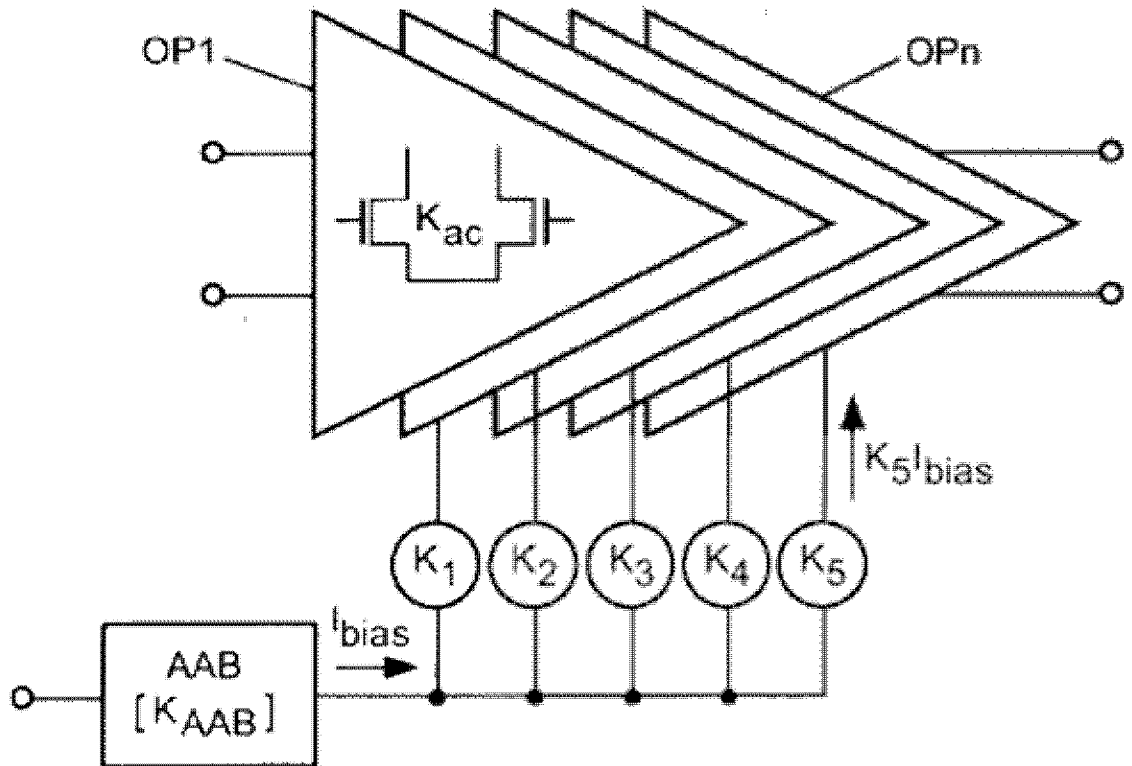


Fig.7

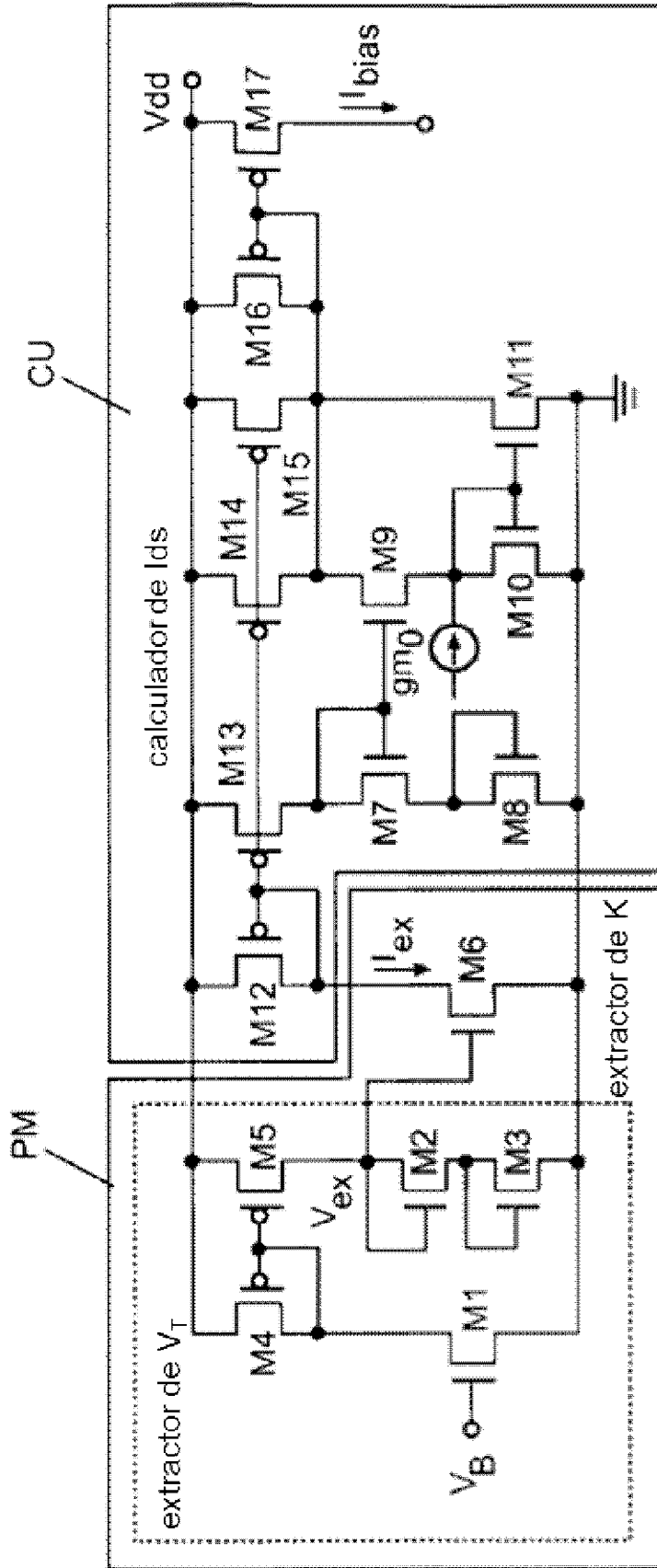
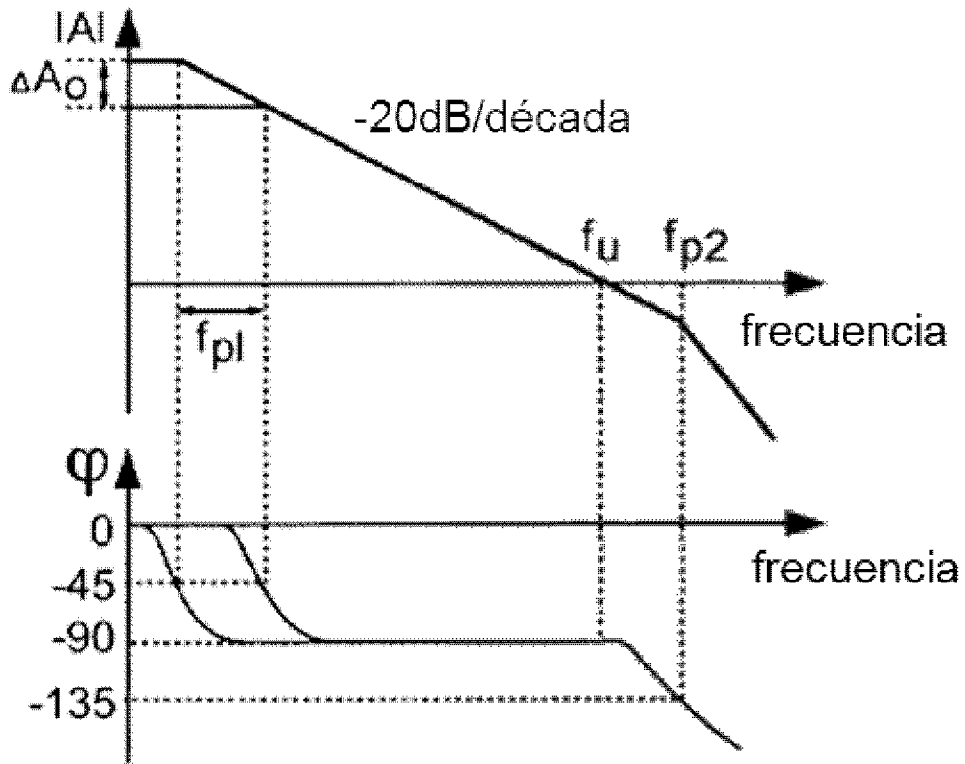
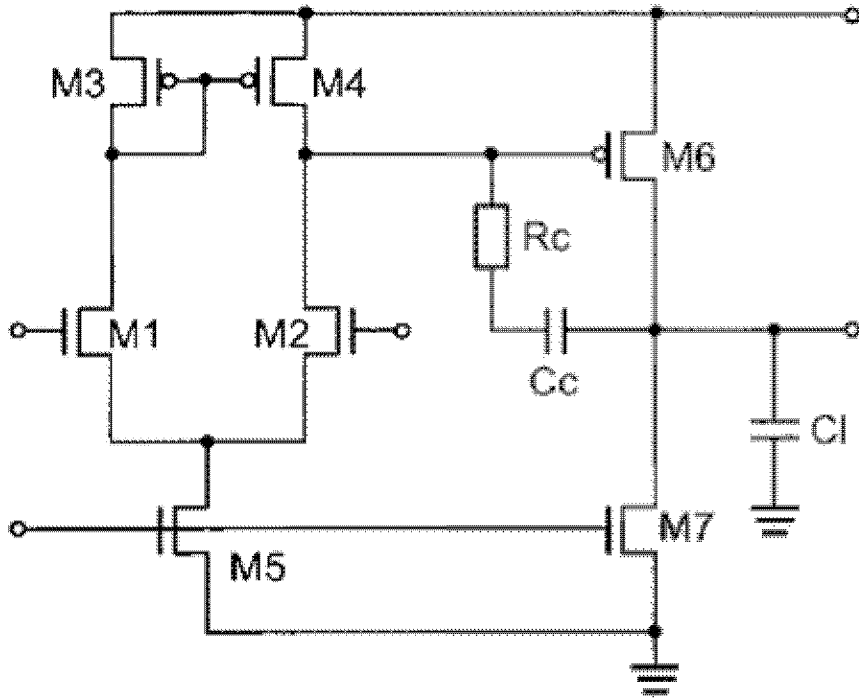


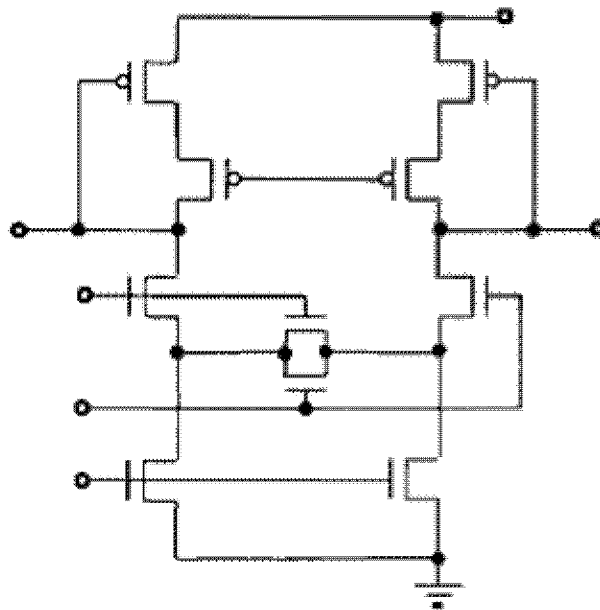
Fig.6



**Fig.8**



**Fig.9A**



**Fig.9B**

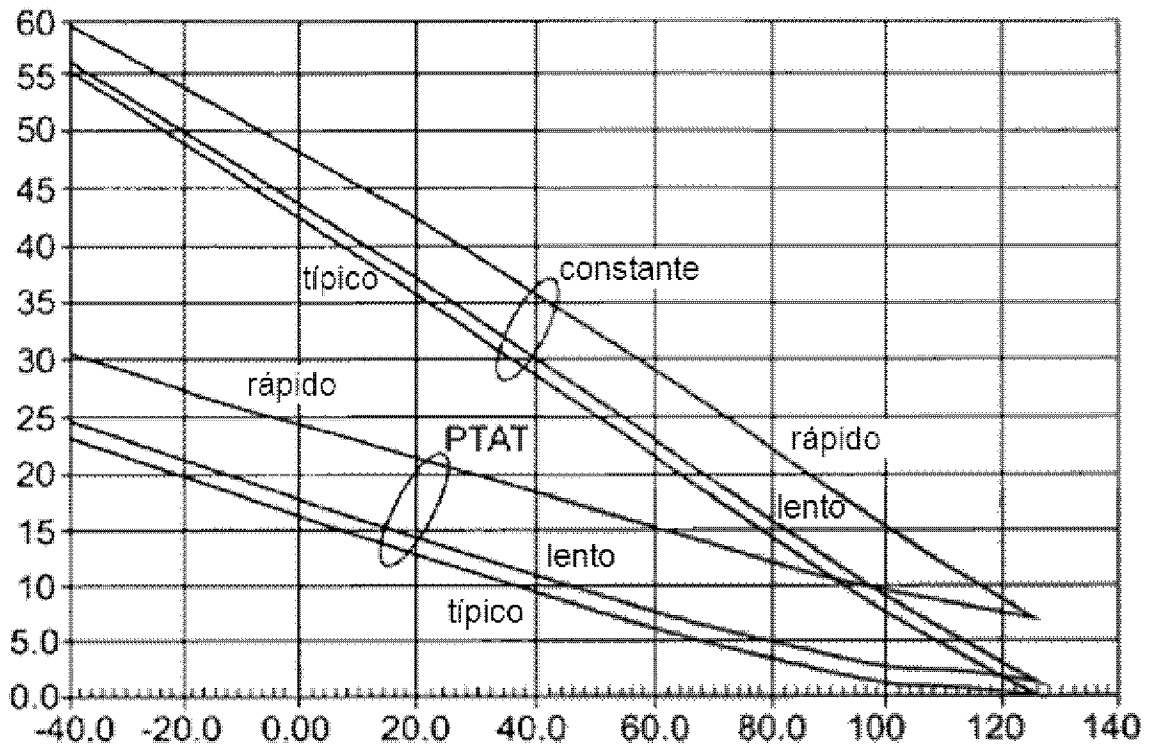


Fig.10

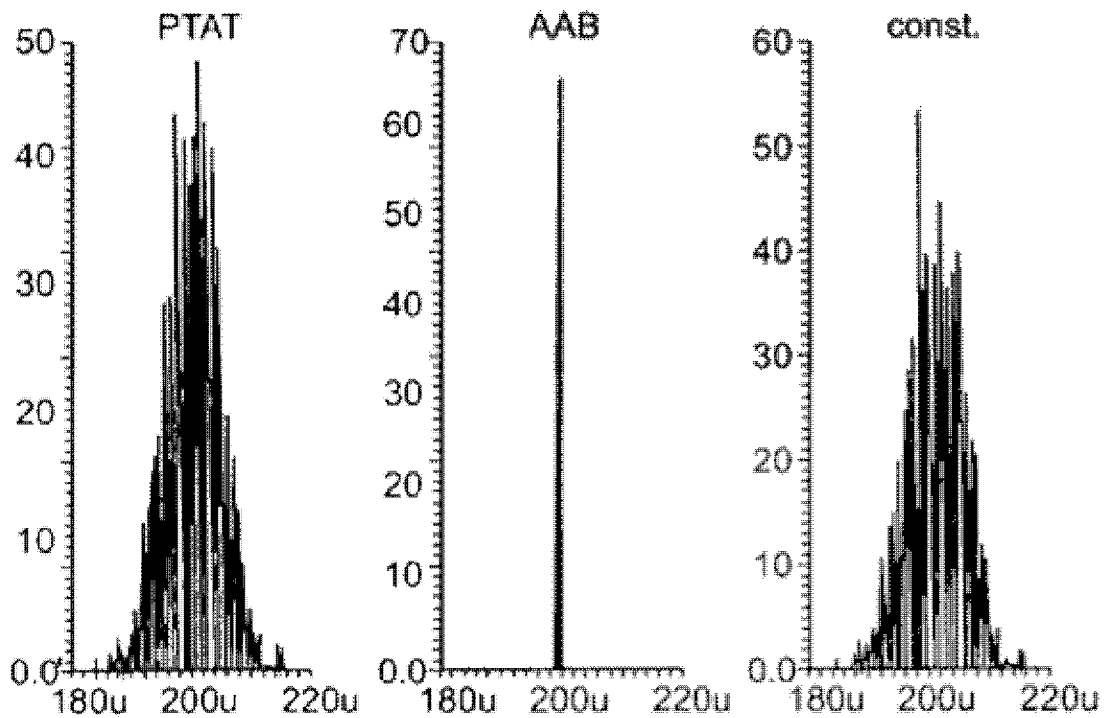


Fig.11