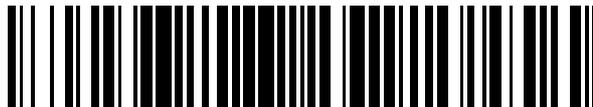


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 391 428**

51 Int. Cl.:
H03K 19/177 (2006.01)
G11C 11/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **08744798 .3**
- 96 Fecha de presentación: **31.03.2008**
- 97 Número de publicación de la solicitud: **2145389**
- 97 Fecha de publicación de la solicitud: **20.01.2010**

54 Título: **Lógica programable por software utilizando dispositivos magnetorresistivos de par de transferencia por rotación**

30 Prioridad:
29.03.2007 US 908767 P
26.03.2008 US 55794

45 Fecha de publicación de la mención BOPI:
26.11.2012

45 Fecha de la publicación del folleto de la patente:
26.11.2012

73 Titular/es:
QUALCOMM INCORPORATED (100.0%)
ATTN: INTERNATIONAL IP ADMINISTRATION
5775 MOREHOUSE DRIVE
SAN DIEGO, CA 92121, US

72 Inventor/es:
CHUA-EOAN, LEW G.;
NOWAK, MATTHEW MICHAEL y
KANG, SEUNG H.

74 Agente/Representante:
CARPINTERO LÓPEZ, Mario

ES 2 391 428 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Lógica programable por software utilizando dispositivos magnetorresistivos de par de transferencia por rotación

La presente Solicitud de Patente reivindica prioridad respecto de las Solicitudes Provisionales nº 60/908.767 titulada "SOFTWARE PROGRAMMABLE LOGIC USINF SPIN TRANSFER TORQUE MAGNETORESISTIVE RANDMON ACCESS MEMORY" presentada el 26 de marzo de 2007.

Campo de la Divulgación

Las realizaciones de la invención están relacionadas con una matriz lógica programable (PLA) o una matriz de puertas programable (FPGA). Más particularmente, las realizaciones de la invención están relacionadas con una PLA, FPGA o una lógica programable por software que usa tecnología de memoria de accesos aleatorio magnetorresistiva de par de transferencia por rotación.

Antecedentes

Una matriz de puertas programable in-situ es un dispositivo semiconductor, que incluye componentes lógicos programables denominados "bloques lógicos" e interconexiones programables. Los bloques lógicos se pueden programar para llevar a cabo la función de puertas lógicas básicas tales como Y y XOR, o funciones combinatorias más complejas tales como descodificadores o funciones matemáticas simples. En la mayoría de las FPGA, los bloques lógicos también incluyen elementos de memoria, que pueden ser circuitos biestables o bloques más completos de memorias. Una jerarquía de interconexiones programables permite que los bloques lógicos sean interconectados según las necesidades por el diseñador del sistema. Después de fabricar la FPGA, el diseñador del sistema puede usar la programación para implementar muchas funciones lógicas diferentes, haciendo de este modo que el dispositivo sea "programable in-situ".

Una PLA es similar a una FPGA, salvo que la PLA está modificada, o "programada", en la etapa de fabricación de los circuitos integrados por cambios en una o dos máscaras. Como se describe en la patente de los Estados Unidos nº 5.959.465, una PLA que tiene elemento de memoria EPROM ultrarrápida está generalmente compuesta por dos planos lógicos, un plano de entrada y un plano de salida. Cada plano recibe entradas que se aplican a terminales de puerta de transistores dentro del plano lógico, y proporciona salida a nodos de salida. Las entradas al plano de entrada son las entradas a la PLA. Las salidas del plano de entrada son nodos intermedios. Las entradas al plano de salida están conectadas a los nodos intermedios. Las salidas del plano de salida son las salidas del PLA. El plano de entrada pueden proporcionar una función Y y el plano de salida puede proporcionar una función OR. Alternativamente, ambos planos pueden proporcionar una función NI. Estas funciones están definidas por el tipo y la conectividad de los transistores usados y las señales aplicadas a sus puertas. La configuración NI-NI tiene ventajas particulares porque es la más sencilla de implementar en la lógica CMOS. Las etapas NI tienen un número de transistores idéntico al número de entradas conectadas en paralelo. El añadido de transistores paralelos adicionales para acomodar entradas adicionales no afecta a la velocidad operativa de la etapa.

La patente de los Estados Unidos 6.876.228 describe una FPGA con elementos magnéticos de almacenamiento o células de memoria conocidos como Memoria magnetorresistiva de acceso aleatorio (MRAM). La información de conexión está escrita en los elementos magnéticos de almacenamiento. La información de conexión se introduce en serie y se almacena en registros de cambios, que corresponden a los elementos magnéticos de almacenamiento. Cuando se enciende la alimentación, la información de conexión almacenada en los elementos magnéticos de almacenamiento es bloqueada por los elementos de cierre, y es enviada a los circuitos de conmutación para interconectar los bloques lógicos de la FPGA.

La memoria magnetorresistiva de acceso aleatorio (MRAM) es una tecnología de memoria no volátil que tiene tiempos de respuesta (lectura / escritura) comparables con una memoria volátil. Contrariamente a las tecnologías RAM convencionales que almacenan datos como cargas eléctricas o flujos de corriente, la MRAM usa elementos magnéticos. Como se ilustra en las figuras 1A y 1B, un elemento de almacenamiento de unión de túnel magnético (MTJ) 105 se puede formar a partir de dos capas magnéticas 10 y 30, cada una de las cuales puede contener un campo magnético, separado por una capa aislante (barrera de túnel) 20. Una de las dos capas (por ejemplo, la capa fija 10) está ajustada a una polaridad particular. La polaridad 32 es libre de cambiar para coincidir con la de un campo externo que puede aplicarse. Un cambio en la polaridad 32 de la capa libre 30 cambiará la resistencia del elemento de almacenamiento MTJ 105. Por ejemplo, cuando las polaridades están alineadas, figura 1A, existe un estado de baja resistencia. Cuando las polaridades no están alineadas, figura 1B, entonces existe un estado de alta resistencia. La ilustración de MTJ 105 se ha simplificado y los expertos en la técnica apreciarán que cada capa ilustrada puede comprender una o más capas de materiales, como es conocido en la técnica.

El documento "Integration of Spin-RAM technology in FPGA circuits" de Zhao W. y col. Describe una matriz de puertas programable no volátil (FPGA) basada en tecnología SPIN-RAM. La FPGA incluye múltiples puntos de memoria distribuidos entre los componentes lógicos.

Sumario

Las realizaciones ejemplares de la invención están dirigidas a sistemas, circuitos y procedimientos para lógica programable por software usando tecnología magnetorresistiva de par de transferencia por rotación. Los aspectos de la invención están expuestos en las reivindicaciones independientes.

5 Un ejemplo puede incluir una matriz lógica programable, que comprende una pluralidad de dispositivos de unión de túnel magnético (MTJ), dispuestos en una matriz; y una pluralidad de fuentes programables acopladas al dos correspondientes dispositivos MTJ para cambiar la polaridad de una capa libre de cada dispositivo MTJ, en la cual un primer grupo de dispositivos MTJ están dispuestos en un plano de entrada, en la cual un segundo grupo de los dispositivos MTJ están dispuestos en un plano de salida, y en la cual el plano de entrada y el plano de salida están combinados para formar una función lógica basada en las polaridades relativas de la capa libre de cada dispositivo MTJ.

10 Otro ejemplo puede incluir un procedimiento para aplicar una lógica en una matriz que comprende: programar cada uno de una pluralidad de dispositivos de unión de túnel magnética (MTJ) de par de transferencia por rotación, dispuestos en una matriz en un estado bien de resistencia alta o baja, en el cual cada dispositivo MTJ está programado por una primera fuente programable acoplada a un lado de capa libre de un dispositivo MTJ seleccionado; disponer un primer grupo de dispositivos MTJ en columnas y filas de un plano de entrada; disponer un segundo grupo de dispositivo MTJ en al menos una columna en un plano de salida, en el que las salidas de cada fila están acopladas a los dispositivos MTJ en la al menos una columna; y determinar una función lógica basada en las resistencias relativas de cada dispositivo MTJ.

Breve descripción de los dibujos

Lo dibujos adjuntos se presentan para ayudar en la descripción de las realizaciones de la invención y se proporcionan solo para ilustrar las realizaciones y no para limitarlas.

25 Las figuras 1A y 1B son ilustraciones de elementos de almacenamiento de unión de túnel magnética (MTJ) y sus estados relacionados.
 Las figuras 1C y 1D son ilustraciones de células de bits de memoria de acceso aleatorio magnetorresistiva de par de transferencia por rotación (STT-MRAM).
 La figura 2 es una ilustración de una lógica programable por software que tiene un plano de entrada Y y un plano de salida O que usa tecnología magnetorresistiva de par de transferencia por rotación.
 30 La figura 3A es una ilustración de lógica programable por software que tiene un plano de entrada NI y un plano de salida NI.
 La figura 3B es una ilustración de una aplicación de nivel de puerta de la lógica programable NI – NI.
 La figura 4A es una ilustración esquemática de filas de la matriz de la figura 3 que usa tecnología magnetorresistiva de par de transferencia por torsión.
 35 La figura 4B es una ilustración de un circuito equivalente del esquema de la figura 4A.
 La figura 5 es una ilustración de la programación de las células individuales de memoria en una matriz lógica.
 La figura 6A ilustra un ejemplo del circuito de entrada para una matriz lógica programable y reconfigurable que usa tecnología magnetorresistiva de par de transferencia por torsión.
 40 La figura 6B ilustra un ejemplo de una fuente de alimentación conmutable usada en el circuito de la figura 6A.
 La figura 7 es un diagrama que ilustra varios niveles de tensión para señales para una configuración Y.

Descripción detallada

45 Aspectos de realizaciones de la invención son divulgados en la siguiente descripción y los dibujos relacionados dirigidos a realizaciones específicos de la invención. Realizaciones alternativas pueden ser concebidas sin salirse del alcance de la invención. Asimismo, elementos bien conocidos de la invención no se describirán en detalle o serán omitidos para no ocultar detalles relevantes de las realizaciones de la invención.

La palabra “ejemplar” se usa en el presente documento para significar “que sirve de ejemplo, caso, ilustración”. Cualquier realización descrita en el presente documento como “ejemplar” no ha de ser necesariamente interpretada como preferida o ventajosa respecto de otras realizaciones. Asimismo, el término “realizaciones de la invención” no requiere que todas las realizaciones de la invención incluyan la característica, ventaja o modo de operación mencionados.

Realizaciones de la invención usan elementos de memoria de acceso aleatorio magnetorresistivos de par de transferencia por rotación (STT-MRAM). Para formar parte de la matriz lógica. STT-MRAM usa electrones que se polarizan por rotación a medida que los electrones pasan a través de una película fina (filtro de rotación). STT-MRAM también es conocido como RAM de par de transferencia por rotación (STT-RAM) conmutación de transferencia de par por rotación (SPIN-RAM), y la transferencia de momento por rotación (SMT-RAM). Durante la operación de escritura, los electrones polarizados por rotación ejercen un par sobre la capa libre, que puede

conmutar la polaridad de la capa libre. La operación de lectura es similar a la MRAM convencional en la que se usa una corriente para detectar el estado de resistencia / lógico del elemento de almacenamiento MTJ, como se ha mencionado anteriormente. En contraste con la MRAM, la operación de escritura es una STT-MRAM eléctrica. Las circuitaría de lectura / escritura 160 genera una tensión de escritura entre la línea de bits 120 y la línea de fuente 140. Dependiendo de la polaridad de la tensión entre la línea de bits 120 y la línea de fuente 140, la polaridad de la capa libre del MTJ 105 puede cambiarse y en consecuencia el estado lógico puede escribirse en la célula 101. Asimismo, durante una operación de lectura, se genera una corriente de lectura, que fluye entre la línea de bits 120 y la línea de fuente 140 a través del MTJ 105. Cuando se permite que la corriente fluya por el transistor 110, la resistencia (estado lógico) del MTJ 105 puede determinarse basándose en el diferencial de tensión entre la línea de bits 120 y la línea de fuente 140, que se compara con una referencia 170 y a continuación es amplificada mediante el amplificador sensible 150. La operación y la construcción de la celda de memoria 101 es conocida en la técnica. Se proporcionan detalles adicionales, por ejemplo en el documento M. Hosomi, et al., A Novel Nonvolatile Memory with Spin Transfer Torque Magnetoresistive Magnetization Switching: Spin-RAM proceedings of IEDM conference (2005), que se incorpora al presente documento por referencia en su integridad.

Con referencia ahora a la figura 1C, un ejemplo de una célula de bits STT-MRA 100 se ilustra para ayudar en una explicación de programación MTJ 105. La célula de bits STT-MRAM 100 incluye el MTJ 105, el transistor 110, la línea de bits 120 y la línea de palabras 130. El transistor 110 está encendido tanto para las operaciones de lectura como de escritura para permitir que la corriente fluya a través del MTJ 105 para que el estado lógico se pueda leer o escribir. El estado lógico del MTJ 105 en la STT-MRAM está escrito eléctricamente contrariamente a una escritura magnética en la MRAM convencional.

Con referencia a la figura 1D, se ilustra un diagrama más detallada de una célula STT-MRAM 101, para una discusión adicional de las operaciones de lectura /escritura. Además de los elementos previamente mencionados tal como el MTJ 105, se mencionan el transistor 110, la línea de bits 120, y la línea de palabras 130, una línea de fuente 140, el amplificador sensible 150, y los circuitos de lectura / escritura 160 y la referencia de la línea de bits 170. En contraste con la MRAM, la operación de escritura es una STT-MRAM eléctrica. Las circuitaría de lectura / escritura 160 genera una tensión de escritura entre la línea de bits 120 y la línea de fuente 140. Dependiendo de la polaridad de la tensión entre la línea de bits 120 y la línea de fuente 140, la polaridad de la capa libre del MTJ 105 puede cambiarse y en consecuencia el estado lógico puede escribirse en la célula 101. Asimismo, durante una operación de lectura, se genera una corriente de lectura, que fluye entre la línea de bits 120 y la línea de fuente 140 a través del MTJ 105. Cuando se permite que la corriente fluya por el transistor 110, la resistencia (estado lógico) del MTJ 105 puede determinarse basándose en el diferencial de tensión entre la línea de bits 120 y la línea de fuente 140, que se compara con una referencia 170 y a continuación es amplificada mediante el amplificador sensible 150. La operación y la construcción de la célula de memoria 101 son conocidas en la técnica. Se proporcionan detalles adicionales, por ejemplo, en M. Ozono y col. A novel Non-volatile Memory with spin Transfer Torque Magnetoresistive Magnetization Switching: Spin-Ram, proceedings of IEDM conference (2005), que está incorporado en el presente documento por referencia en su integridad.

Entre otros aspectos, realizaciones de la invención aprovechan las características de lectura escritura de baja alimentación, memoria estática y eléctrica de la tecnología STT mencionada anteriormente. Realizaciones de la invención proporcionan muchas características que incluyen: hardware extensible; escalabilidad a través de generaciones de proceso, reconfigurabilidad; ausencia de inicialización; fuga de espera baja y retención de estado / programa; pequeñas dimensiones; y alta velocidad.

Por ejemplo, la aplicación ilustrada en la figura 2 permite la realización de una función compleja derivada de componentes individuales lógicos y de memoria. Como se ilustra en la figura 2, la generación de función programable por software se puede conseguir usando las células de STT-MRAM de MTJ (por ejemplo, 210) en tándem con puertas CMOS y alimentaciones de conmutación para permitir planos "Y" (220) y (O) (240) legibles y escribibles. La topología de planos Y y O facilita una construcción lógica completa. Por ejemplo, la función $F0_B = X0_B + X1_B$ se puede realizar (donde $_B$ indica el complemento de una señal lógica dada), como se ilustra. La salida $F0_B$ (250) recibe señales procedentes de los elementos de almacenamiento individuales MTJ 210 acoplados en el plano Y 220 que está acoplado a través de los controladores MUX 230 y un elemento de almacenamiento de MTJ 210 al plano O 240. Una pluralidad de líneas de bits Y 222 se pueden combinar para formar palabras de dimensiones de bits arbitrarias. Asimismo, el plano O 240 puede incluir una o más líneas de bits O 242 acopladas a elementos de almacenamiento MTJ 210 y una pluralidad de líneas de bits O 242 se pueden combinar para formar palabras de dimensiones de bits arbitrarias. Una descripción más detallada de las configuraciones de topología y ejemplares será descrita más en detalles en las siguientes secciones.

La figura 3A ilustra un esquema simplificado de una estructura Ni-NI PLA 300A. La estructura ilustrada puede realizar la función $F0 = \overline{X1} + \overline{X2} + \overline{X3} + \overline{X4}$. Además, se proporciona en la figura 3B una representación equivalente de la lógica PLA en las puertas lógicas 300B. La configuración Ni-NI proporciona ambas operaciones Y y O a realizar. Por ejemplo, la función ilustrada realiza también la función lógica de $F0 = X1 \cdot X2 + X3 \cdot X4$. En consecuencia, la lógica compleja positiva y negativa se puede realizar usando inversores básicos y puertas o planos equivalentes en la PLA, como se menciona en el presente documento.

- Con referencia a la figura 4A, la estructura lógica NI-NI 300 se puede aplicar usando tecnología STT para realizar la función $F0 = X1 \cdot X2 + X3 \cdot X4$. Por ejemplo, en la estructura NI-NI 300, una pluralidad de STT-MTJ (por ejemplo, 301 como se ilustra en la figura 4A) se pueden acoplar juntas desde las Filas 0 a la Fila N. Hay circuitos de evaluación 302 en la entrada de las Filas 0 a N, y un circuito de evaluación se puede situar en la salida de la estructura lógica 300 (por ejemplo., véase la figura 5). Cada uno de los circuitos de evaluación incluye una fuente positiva / negativa (+/-) programable de software, que se puede ajustar a la tensión mínima durante operaciones de lectura. La fuente (+/-) puede configurarse para uno de los dos estados de operaciones de escritura / programación dependiendo del estado a escribir a los MTJ 301. La operación de escritura / programación se describe en mayor detalle más adelante respecto de la figura 5.
- 5 Cada una de las columnas asociadas con MTJ 301 incluye entradas que se aplican por las líneas X0, X0_B, X1, X1_B,... XN, XN_B. Hay controladores acoplados antes de las entradas de las últimas células STT-MRAM 301 en las Filas 0-N, y un amplificador sensible inversor 310 en su salida. La salida del amplificador sensible inversor 310 proporciona la función realizada por cada fila. En consecuencia, la salida de la fila será invertida (por ejemplo una señal alta dará como resultado una salida baja), que se describirá en mayor detalle más adelante.
- 10 La figura 4A es un ejemplo de una ilustración funcional de filas de la estructura lógica NI-NI 300 para operaciones de lectura. Suponiendo que las entradas X1_B y X2_B (alternativamente indicadas como $\bar{X}1$ y $\bar{X}2$) son las entradas de interés en la Fila 0, entonces los valores de resistencia de MTJ en estas filas se pueden ajustar bajos programando un "0" o estableciendo el MTJ en un estado de magnetización paralela. Las siguientes columnas se pueden ajustar en un estado de alta resistencia programando un "1" o estableciendo el MTJ en un estado de magnetización antiparalela. En consecuencia, un valor lógico elevado en cualquiera de los dos o en ambos de X1_B o X2_B dará como resultado un estado lógico elevado en la fila 0. Se apreciará que los valores usados en el presente documento lo son simplemente a título ilustrativo y otras configuraciones pueden proporcionar un "0" para ser un estado resistivo elevado y un "1" para ser un estado de baja resistencia. En consecuencia, las realizaciones de la invención no se limitan a las configuraciones ilustradas o valores asociados.
- 15 Como se ilustra esquemáticamente, MTJ 301 puede considerarse una resistencia programable. Las resistencias de todas el MTJ 301 a lo largo de una fila dada pueden considerarse efectivamente para producir una resistencia equivalente R_T , que en combinación con la resistencia efectiva del circuito de evaluación (Reval) puede representarse como un divisor de tensión 401, en la figura 4B, que producirá una tensión V_{trip} (o una tensión de disparo) en la fila para una tensión de entrada dada en las entradas (por ejemplo, X1_B, X2_B, etc.) o a partir de la corriente equivalente de las columnas de entrada. La tensión V_{trip} puede variar entre alta y baja dependiendo del punto de disparo del inversor 310, como se ilustra en 402. En consecuencia, las consideraciones de diseño del circuito incluyen ajustar el punto de disparo suficientemente bajo para que un estado lógico alto individual en una entrada activa (por ejemplo, X1_B o X2_B) sea detectado como alto y que haga que la salida del amplificador sensible inversor 310 baje. Correspondientemente, el punto de disparo se puede ajustar de manera que ninguna corriente de fuga de las entradas no usadas (por ejemplo X3, X4, etc.) cause un falso estado lógico positivo a activar. Puesto que las entradas complementarias de X1 y X2 se usan para determinar el estado de la Fila 0 (por ejemplo, el valor de V_{trip}) que es introducido en el amplificador sensible inversor 310, la salida del amplificador sensible inversor 310 es la función $\bar{X}1 + \bar{X}2$ o $X1 \cdot X2$. Asimismo, otras funciones pueden ser realizadas para otras filas y estas funciones lógicas pueden combinarse en funcionales lógicas más complicadas. Cabe apreciar que puesto
- 20 que tanto las entradas, salidas como sus respectivos complementos (por ejemplo, $\bar{X}0$ y $\bar{X}0$) están disponibles, las diversas funciones deseadas se pueden desmorganizar para poder ser llevadas a cabo por los diversos planos lógicos (por ejemplo, plano Y, plano O, plano NI), Además, ya que los MTJ 301 pueden ser programadas bien en una resistencia baja o una resistencia alta la lógica funcional de cada plano puede ser reconfigurable.
- 25 Con referencia a la figura 5, se proporciona una ilustración de la programación de los MTJ individuales 210. Como se ha mencionado anteriormente, los MTJ 210 se pueden "programar" bien en un estado de resistencia relativamente alta o de resistencia relativamente baja, el estado de resistencia alta se representará como un estado lógico 1 y el estado de resistencia baja se representara como un estado lógico 0. La matriz programable de la figura 5 es similar a la ilustrada en la figura 2 por lo tanto se usarán números de referencia iguales y no se proporcionará una discusión detallada de los elementos. Como se ha ilustrado, cada MTJ 210 puede programarse estableciendo una trayectoria de escritura (por ejemplo, 510) entre fuentes positiva / negativa (+/-) programables por software 512 y 514. Específicamente, una corriente de escritura puede ser alimentada entre las alimentaciones 512 y 514 colocando el resto de las trayectorias lógicas (por ejemplo **A a B**) en un estado de impedancia alto y estableciendo las alimentaciones 512 y 514 en la polaridad deseada para escribir un estado "1" o "0" en el MTJ 210 seleccionada. Cabe apreciar que este proceso de programación se puede repetir para todas los MTJ en el plano Y 220.
- 30 Asimismo, el MTJ 210 a lo largo de la trayectoria de escritura 520 puede ser programada por las fuentes (+/-) 522 y 524. Específicamente, una corriente de escritura puede ser generada entre las alimentaciones 522 y 524 colocando el resto de las trayectorias lógicas en el plano O 240 en un estado de impedancia alto y estableciendo las fuentes (+/-) 522 y 524 en la polaridad deseada para escribir un estado "1" o "0" (por ejemplo, un estado de resistencia alta o de resistencia baja) en el MTJ seleccionada. Como se ilustra, una porción (por ejemplo, (a)) del controlador MUX 230 puede habilitarse para proporcionar las operaciones de escritura y la porción de lectura (por ejemplo (b)) puede establecerse en un estado de impedancia alto durante las operaciones de escritura. Cabe apreciar que la porción de
- 35
- 40
- 45
- 50
- 55
- 60

escritura (a) de 230 puede proporcionar un flujo de corriente bidireccional para que ambos estados puedan ser programados en el MTJ seleccionada. Asimismo, se apreciará que la funcionalidad del controlador MUX 230 puede ser aplicada como dispositivos independientes y las realizaciones independientes de la invención no se limitan a los dispositivos y topología ilustrados. En consecuencia, cualquier dispositivo o combinación de dispositivo que pueda realizar la funcionalidad mencionada anteriormente se puede usar en lugar del controlador MUX 230.

La figura 6A ilustra un ejemplo del circuito de entrada para un circuito lógico programable STT. Como se ilustra, las entradas A y B pueden ser suministradas a las trayectorias lógicas 610, 620, 630 y 640 para proporcionar resultados tanto para las entradas a y B como sus complementos \bar{A} y \bar{B} . En el ejemplo ilustrado, la entrada A es proporcionada a los transistores PMOS 614 y es invertida por el inversor 622 y proporcionada al transistor PMOS 614 por las puertas NY 618 y 628, respectivamente. Asimismo, la entrada B es proporcionada a los transistores PMOS 634 y es invertida por el inversor 642 y proporcionada al transistor 644 por las puertas NY 638 y 648, respectivamente.

Las puertas NY 618, 628, 638 y 648 también reciben una señal de LECTURA. En consecuencia, las puertas NY funcionan para colocar las trayectorias lógicas de lectura 610, 620, 630 y 640 en un estado de impedancia elevado cuando una operación de lectura no está activa. Esto proporciona la programación independiente de MTJ 611, 621, 631, 641, tal como se menciona respecto de la figura 5. Sin embargo, se apreciará que la configuración de puertas NY es proporcionada simplemente como un ejemplo y se puede usar cualquier dispositivo para conseguir una funcionalidad similar.

En consecuencia, cuando la entrada A tiene un alto nivel de tensión y la señal LECTURA es un transistor PMOS alto 614 este se activará. Como se ha indicado anteriormente, la entrada A también se suministra por el inversor 622 al transistor PMOS 624 que está activado en el estado lógico opuesto de la trayectoria 610 (por ejemplo, activado en una tensión baja de entrada A) para proporcionar el complemento de la entrada A. De manera similar cuando la señal LECTURA es alta, la entrada B es proporcionada al transistor PMOS 634 y también se proporciona por el inversor 642 al transistor PMOS 644 para proporcionar tanto B como su complemento a las trayectorias 630 y 640, respectivamente.

Como se ha indicado anteriormente, el estado lógico "1" o "0" (por ejemplo, un estado de resistencia alta o baja) de los dispositivos magnetorresistivos STT (STT MTJ o MTJ) se pueden programar en cada STT MTJ (por ejemplo, 611, 621, 631, 641). Usando las fuentes positiva/negativa (+/-) programables por software 680 y 688, como se ha mencionado anteriormente. Esta programabilidad proporciona una matriz lógica reconfigurable respecto de las funciones lógicas de cada plano como se mencionará en mayor detalle más adelante. Asimismo, como se ha indicado anteriormente, durante las operaciones de programación, la trayectoria de lectura se coloca en un estado de impedancia alto para proporcionar la selección y programación de cada MTJ. La figura 6B ilustra un ejemplo de fuentes (+/-) 680. Como se ilustra, una fuente de alimentación programable 682 puede acoplarse a un circuito Eval 684 que proporciona la fuente de alimentación programable 680 para habilitarse o inhabilitarse individualmente. El circuito Eval 684 puede ser un dispositivo CMOS tal como una puerta de transición o cualquier otro dispositivo que proporciona el acoplamiento individual de las fuentes de alimentación 682. La activación del circuito Eval 684 puede ser controlada por una señal X de ESCRITURA, donde X es la columna que se está escribiendo a medida que cada fuente programable 680 puede acoplarse a una columna de una o más celdas MTJ (véase, por ejemplo la figura 5). La fuente programable 688 se puede configurar de manera similar como se ilustra en la figura 6B, sin embargo el circuito Eval se activará tanto en la operación de lectura como de escritura para cada fila seleccionada. Durante la operación de lectura la alimentación 682 será establecida en la tensión baja (que puede ser masa o una tensión negativa), de este modo el circuito resultante sería similar a la ilustración de lectura de las figuras 4A y 4B. Alternativamente, la fuente programable 688 podría tener circuitos separados para lectura y escritura. Por ejemplo, la porción de escritura podría configurarse como se ilustra en la figura 6B y la porción de lectura podría tener un circuito Eval acoplado directamente a tierra y controlado por la señal LECTURA. En consecuencia, se apreciará que los ejemplos de circuito anteriores lo son simplemente a título ilustrativo y no están destinados a limitar el alcance de las realizaciones de la invención.

Al examinar la topología de la matriz lógica programable, tal como se ilustra en la figura 5, se apreciará que se pueden usar configuraciones lógicas similares para el plano de salida (por ejemplo, 240), donde cada MTJ en el plano de salida puede ser programada para ser bien una resistencia baja o alta y la salida de cada fila puede ser suministrada como la entrada en cada MTJ correspondiente. Asimismo, las fuentes programables pueden ser similares para la programación de cada una de los MTJ en el plano de salida y la porción de escritura de MUX (por ejemplo, 230) puede ser utilizada para seleccionar cada MTJ a escribir. Alternativamente, se pueden suministrar fuentes programables individuales para cada MTJ de salida y el MUX correspondiente podría simplificarse para proporcionar solo una función de lectura. Durante la operación de lectura, el resultado de las señales de los MTJ en el plano de salida puede ser detectado por un amplificador sensible (por ejemplo, 250) y establecido bien en un 1 o 0 lógico basándose en un umbral como se ha mencionado anteriormente, con relación a la operación de lectura para cada fila.

Para ayudar en la comprensión de la operación de las diversas configuraciones lógicas, se proporciona una tabla verdadero a continuación para la entrada A para un estado dado de los MTJ relacionadas 611 y 621. Específicamente, como se muestra, cuando la entrada A está en un estado alto (1), los valores en ambos nodos a1 y

ES 2 391 428 T3

a2 son un 0 lógico. En consecuencia, la salida F será un 0 lógico y el complemento de F será un 1 lógico. Por el contrario cuando, la entrada A está en un 0 lógico, el valor en el nodo a1 siue siendo un 0, pero el valor en el nodo a2 es un 1 lógico, que dará como resultado la salida F que es un 1 lógico y el complemento de F será un 0 lógico.

Tabla 1

Tabla Verdadero lógica STT				
Entrada A	Estado MTJ	Nodo (a1, a2)	Salida (F)	Salida F_B)
1	1	0 (a1)	0	1
	0	0 (a2)		
0	1	0 (a1)	1	0
	0	1 (a2)		

5 Como se ilustra, Se proporciona F amortiguando la tensión en Sig con el amplificador sensible 650, que funciona para conmutar de alto a bajo una vez alcanzado un umbral dado o nivel de disparo (por ejemplo V_{trip}). Asimismo, el complemento de F está provisto a partir de la salida del inversor 652. Sin embargo, se apreciará que las realizaciones de la invención no se limitan a esta configuración. Por ejemplo, el amplificador sensible podría tener una salida invertida y a continuación acoplarse en serie con otro inversor que podría usarse para proporcionar una lógica invertida respecto de la tensión en Sig y el complemento de la lógica invertida. Se apreciará también que el uso de valores lógicos tales como 0 no implica que hay una tensión cero en el nodo a1 o a2 sino que significa simplemente que el nivel de tensión en Sig no es suficiente para disparar un a1 lógico detectado en la salida F. A título explicativo, se supone que las trayectorias 630 y 640 están en un estado de impedancia alto y no contribuyen a la tensión en Sig. El impacto de los diversos niveles lógicos es explicado en mayor detalle más adelante, con relación a la figura 7.

10 La figura 7 ilustra simulaciones para una configuración lógica tal como se ilustra en la figura 6. Los diagramas muestran los respectivos niveles de tensión para las entradas A y B y se puede considerar que tienen cuatro cuadrantes que elaboran las cuatro combinaciones de estados binarios de las entradas (por ejemplo, 10, 11, 01, 00). Además, se puede establecer un valor de punto de disparo 732 para determinar el último estado de salida de la fila de la matriz (véase, por ejemplo la figura 4B) basada en la tensión Sig 730 de la fila que alimenta el amplificador sensible. Se representa tensión de salida 740 para mostrar el funcionamiento lógico para diversas condiciones de entrada. Cabe señalar que se supone que el amplificador sensible para la tensión de salida 740 ha de ser la tensión invertida para el gráfico ilustrado. Por ejemplo, si la tensión Sig 730 está por debajo de la tensión del punto de disparo 732, entonces la tensión de salida 740 es alta. Asimismo, si la tensión Sig 730 está por encima de la tensión del punto de disparo 732, entonces la tensión de salida 740 es baja.

25 Cuando la entrada A es alta y la entrada B es baja, seguirá habiendo una trayectoria de fuga a través de los dispositivos STT MTJ y la tensión en Sig 739 subirá hasta un cierto nivel como se indica en el primer cuadrante del diagrama de la figura 7. Este valor de Sig se repite esencialmente en el tercer cuadrante, donde la entrada A es baja y la entrada B es alta. El nivel de tensión más bajo para Sig 730 se da en el segundo cuadrante cuando ambas entradas A y B son altas. Debido a la configuración de la matriz lógica, tal como se ilustra en la figura 6A, cuando ambas entradas A y B son altas, están acopladas a trayectorias de resistencia altas a través de los dispositivos STT 611 y 613 respectivamente. Por el contrario, cuando ambas entradas A y B son bajas en el cuarto cuadrante, se da el nivel de tensión más alto para Sig, debido a que ambas trayectorias 620 y 640 que estarán activas, tienen MTJ 621 y 641 establecidas en un estado resistivo bajo. En consecuencia, Sig 730 es superior al punto de disparo 732 y la salida 740 es baja por este motivo. Cabe apreciar que el gráfico para la salida no invertida daría como resultado un gráfico de salida que tiene el estado opuesto. Una representación de tabla verdadero está provisto en la siguiente Tabla 2 para el gráfico de la figura 7.

Tabla 2

Entrada A	Entrada B	Salida
1	0	0
1	1	1
0	1	0
0	0	0

40

5 Como se ha mencionado anteriormente, se apreciará también que los planos lógicos pueden ser reconfigurables reprogramando los valores del MTJ. Por ejemplo, si los valores de MTJ 611, 621, 631 y 641 se invierten entonces la lógica realizada por la fila ilustrada en la figura 6ª se puede cambiar en una función OR. Por ejemplo, si los MTJ 611 y 631 se programan en el '0' o estado de resistencia baja, entonces la tensión en Sig estará a un estado de nivel cuando bien la entrada A o la entrada B es alta y está en su estado más alto cuando ambas son altas. La tensión estará en su estado más bajo cuando ambas entradas A y B son bajas. En consecuencia, la salida de la fila puede realizar una función O como se ilustra en la tabla verdadero representada en la siguiente Tabla 3.

Tabla 3

Entrada A	Entrada B	Salida
1	0	1
1	1	1
0	1	1
0	0	0

10 En consecuencia, se apreciará que las realizaciones de la invención incluyen tanto aspectos programables como reconfigurables que usando los dispositivos STT MTJ en la matriz lógica. Además, se apreciará que las realizaciones de la invención no se limitan a las configuraciones ilustradas. Las realizaciones de la invención pueden ser programables por software mediante topología y disposiciones e incluyen, funciones de descodificación programables, conjuntos de instrucciones extensibles y adición/manipulación de lógica de hardware instantánea por programación de software. Además, las realizaciones de la invención pueden incluir diseños que se pueden ejecutar en paralelo sin la necesidad de un reloj para sincronizar la transferencia de datos. En consecuencia, usando los dispositivos STT MTJ, los planos de entrada y los planos de salida y los controladores asociados como bloques de construcción, las realizaciones de la invención se pueden configurar para conseguir funcionalidades complejas.

15

20 Mientras la divulgación anterior muestra realizaciones ilustrativas, se ha de observar que se podrían realizar diversos cambios y modificaciones en el presente documento sin salirse del alcance de las realizaciones de la invención como se ha definido mediante las reivindicaciones adjuntas. Las funciones, etapas y/o acciones de los procedimientos según las realizaciones de la invención descritas en el presente documento no necesitan ser realizadas en ningún orden particular. Asimismo, aunque los elementos de la invención pueden describirse o reivindicarse en singular, se contempla el plural a menos que establezca explícitamente el singular.

25

REIVINDICACIONES

- 1.- Una matriz lógica programable, que comprende
- 5 una pluralidad de dispositivos de unión de túnel magnético de par de transferencia por rotación, MTJ, (210) dispuestos en una matriz; y una pluralidad de fuentes programables (512, 514) acopladas a los correspondientes dispositivos MTJ (210) para cambiar la polaridad de una capa libre de cada dispositivo MTJ (210), en la cual un primer grupo de dispositivos MTJ (210) están dispuestos en columnas y filas de un plano de entrada (220),
- 10 en la cual un segundo grupo de los dispositivos MTJ (210) están dispuestos en al menos una columna de un plano de salida (240), y una salida de cada fila del plano de entrada (220) está acoplada a un dispositivo MTJ de la al menos una columna del planos de salida (240), y en el cual el plano de entrada (220) y el plano salida (240) están combinados para formar una función lógica basada en las polaridades relativas de la capa libre de los dispositivos MTJ (210) de diferentes columnas dentro de una fila en el plano de entrada (220) y los dispositivos MTJ (210) de la al menos una columna en el plano de salida (240).
- 2.- La matriz lógica programable de la reivindicación 1, en la cual cada dispositivo MTJ (210) contiene un elemento de almacenamiento MTJ que puede ser programado eléctricamente a un estado de baja resistencia o un estado de alta resistencia.
- 20 3.- La matriz lógica programable de la reivindicación 2, en la cual cada fila en la matriz está acoplada a columnas de entrada por uno de la pluralidad de dispositivos MTJ (210).
- 4.- La matriz lógica programable de la reivindicación 3, en la cual una primera columna de entrada está seleccionada en una primera fila estableciendo un primer dispositivo MTJ (210) acoplado la primera fila a la primera columna en un estado de baja resistencia.
- 25 5.- La matriz lógica programable de la reivindicación 4, en la cual una segunda columna de entrada no está seleccionada en una primera fila estableciendo un segundo dispositivo MTJ acoplado la primera fila a la segunda columna en un estado de alta resistencia.
- 6.- La matriz lógica programable de la reivindicación 4, en la cual una primera fuente programable de la pluralidad de fuentes programables (512, 514) está acoplada a una columna acoplada al primer dispositivo MTJ y una segunda
- 30 fuente programable de la pluralidad de fuentes programables está acopladas a una fila acoplada al primer dispositivo MTJ.
- 7.- La matriz lógica programable de la reivindicación 6, en la cual la primera fuente programable y la segunda fuente programable están configuradas para proporcionar una corriente de programación para el primer dispositivo MTJ durante una operación de escritura.
- 35 8.- La matriz lógica programable de la reivindicación 7, en la cual la segunda fuente programable está configurada para proporcionar un pozo de tensión durante una operación de lectura.
- 9.- La matriz lógica programable de la reivindicación 1, que comprende además,
- 40 un controlador MUX (230) acoplado entre el plano de entrada (220) y el plano de salida (240), en la cual el controlador MUX (230) está configurado para proporcionar una señal de lectura desde una primera fila del plano de entrada (220) a un MTJ del plano de salida (240).
- 10.- La matriz lógica programable de la reivindicación 9, en la cual el controlador MUX (230) comprende un amplificador sensible (250, 310) configurado para detectar un nivel de tensión sobre la primera fila y para generar una tensión de salida binaria basada en una comparación del nivel de tensión sobre la primera fila con una tensión de umbral.
- 45 11.- La matriz lógica programable de la reivindicación 9, en la cual el controlador MUX (230) comprende una porción de escritura configurada para acoplar el MTJ, en el plano de salida (240) a una de la pluralidad de fuentes programables (512, 514) asociada al plano de salida (240).
- 12.- La matriz lógica programable de la reivindicación 11, en la cual una de la pluralidad de fuentes programables (512, 514) está acoplada a una columna acoplada al MTJ en el plano de salida (230).
- 50 13.- La matriz lógica programable de la reivindicación 1, que comprende además:
- un amplificador sensible de salida (240, 310) acoplado al plano de salida (240) configurado para detectar un nivel de tensión en una columna del plano de salida (240) y para generar una tensión de salida binaria

basada en una comparación del nivel de tensión sobre la columna del plano de salida (240) con un a tensión de umbral.

14.- Un procedimiento para implementar una lógica en una matriz que comprende:

5 programar cada uno de una pluralidad de dispositivos de unión de túnel magnética MTJ de par de transferencia por rotación (210), dispuestos en una matriz en un estado bien de resistencia alta o baja, en el cual cada dispositivo MTJ está programado por una primera fuente programable (514) acoplada a un lado de capa libre de un dispositivo MTJ seleccionado (210) y la fuente programable (512) está acoplada a un lado de capa fija del dispositivo MTJ seleccionado (210);
10 disponer un primer grupo de dispositivos MTJ (210) en columnas y filas de un plano de entrada (220);
disponer un segundo grupo de dispositivo MTJ (210) en al menos una columna en un plano de salida (240), en el que una salida de cada fila está acoplada a un dispositivo MTJ (210) en la al menos una columna; y
determinar una función lógica basada en las resistencias relativas del dispositivo MTJ de diferentes columnas dentro de una fila en el plano de entrada (220) y los dispositivos MTJ (210) de la al menos una columna en el plano de salida (240).

15.- El procedimiento de la reivindicación 14, que comprende, además:

15 acoplar una pluralidad de entradas (X1-X4), estando cada entrad acoplada a al menos un dispositivo MTJ (210) en columnas de entrada correspondientes en el plano de entrada (220);
20 acoplar una pluralidad de dispositivos MTJ (210) de diferentes columnas de entrada a una primera fila en el plano de entrada (220), en el cual una primera fuente programable de las fuentes programables (512, 524) está acoplada a la fila;
generar una tensión sobre la primera fila habilitando la pluralidad de entradas y estableciendo la primera fuente programable en un estado de tensión baja; y
generar una tensión de salida binaria basada en una comparación de la tensión sobre la primera fila con una tensión de umbral.

25 16.- El procedimiento de la reivindicación 14, que comprende, además:

30 acoplar tensiones de salidas de filas en el plano de entrada (220) a dispositivo MTJ correspondientes (210) en una primera columna en el plano de salida (240);
establecer una fuente programable acoplada a la primera columna en el plano de salida (240) a un estado de tensión baja para establecer una tensión sobre la primera columna de salida; y
generar una tensión de salida binaria para el plano de salida basado en una comparación de la tensión en la primera columna en el plano de salida (240) con una tensión de umbral.

17.- El procedimiento de la reivindicación 14, que comprende, además:

35 reconfigurar una función lógica realizada por al menos uno del plano de entrada (220) o el plano de salida (240) reprogramando cada uno de la pluralidad de dispositivos MTH de par de transferencia por rotación (210) en el plano de entrada (220) o el plano de salida (240).

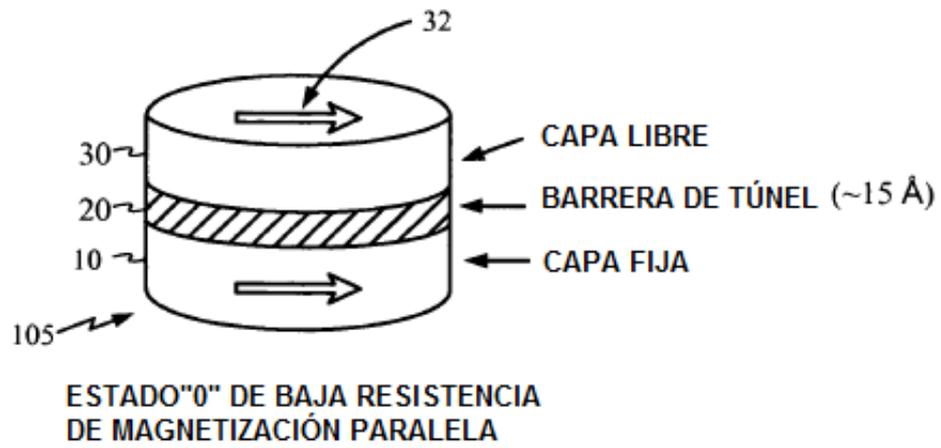
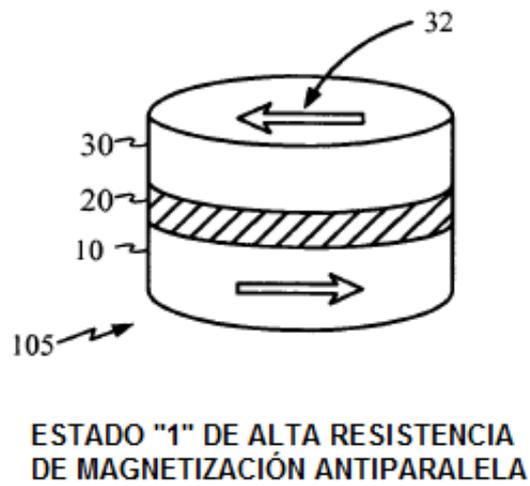


FIG. 1A



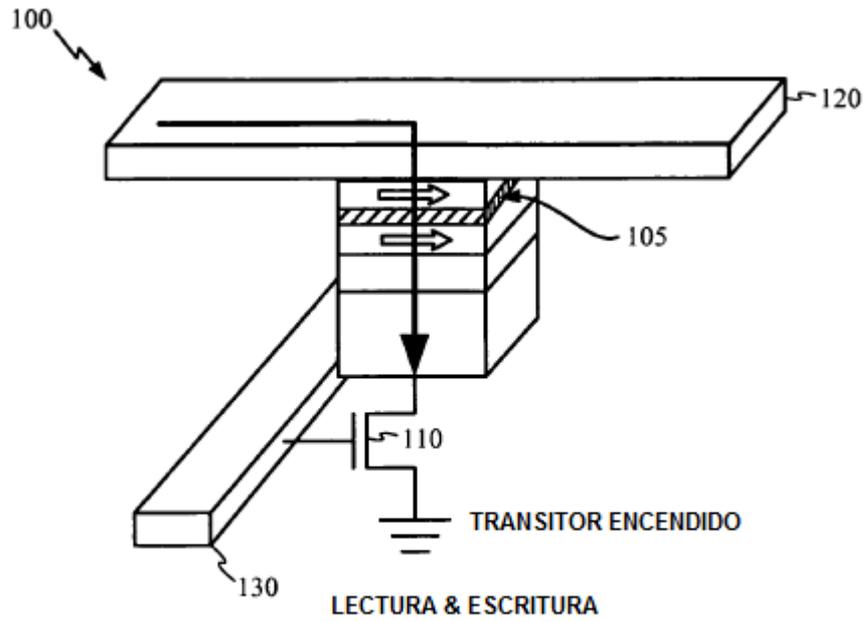
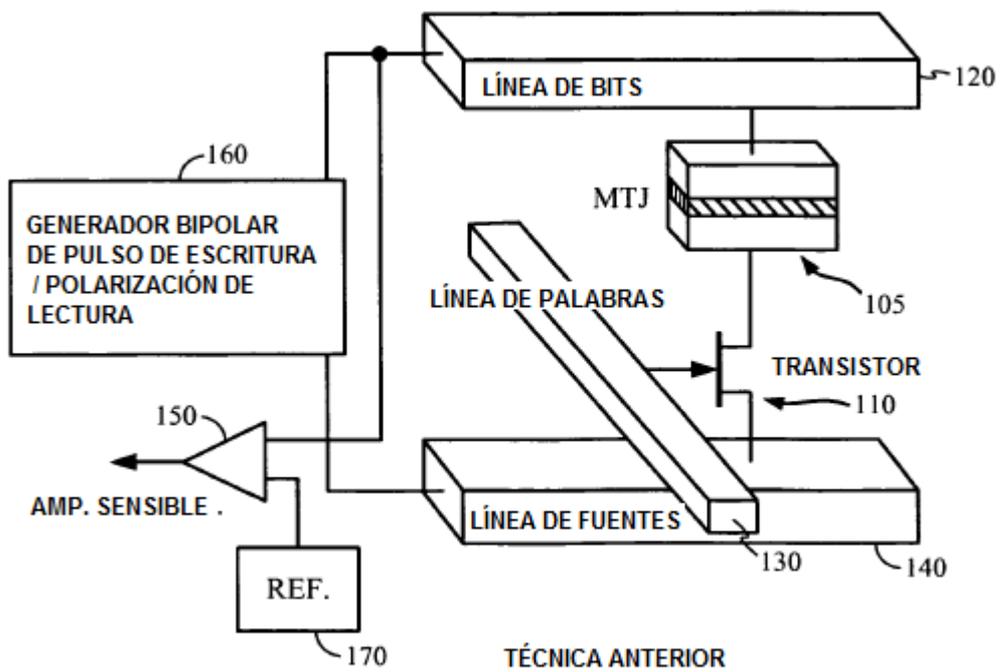


FIG. 1C



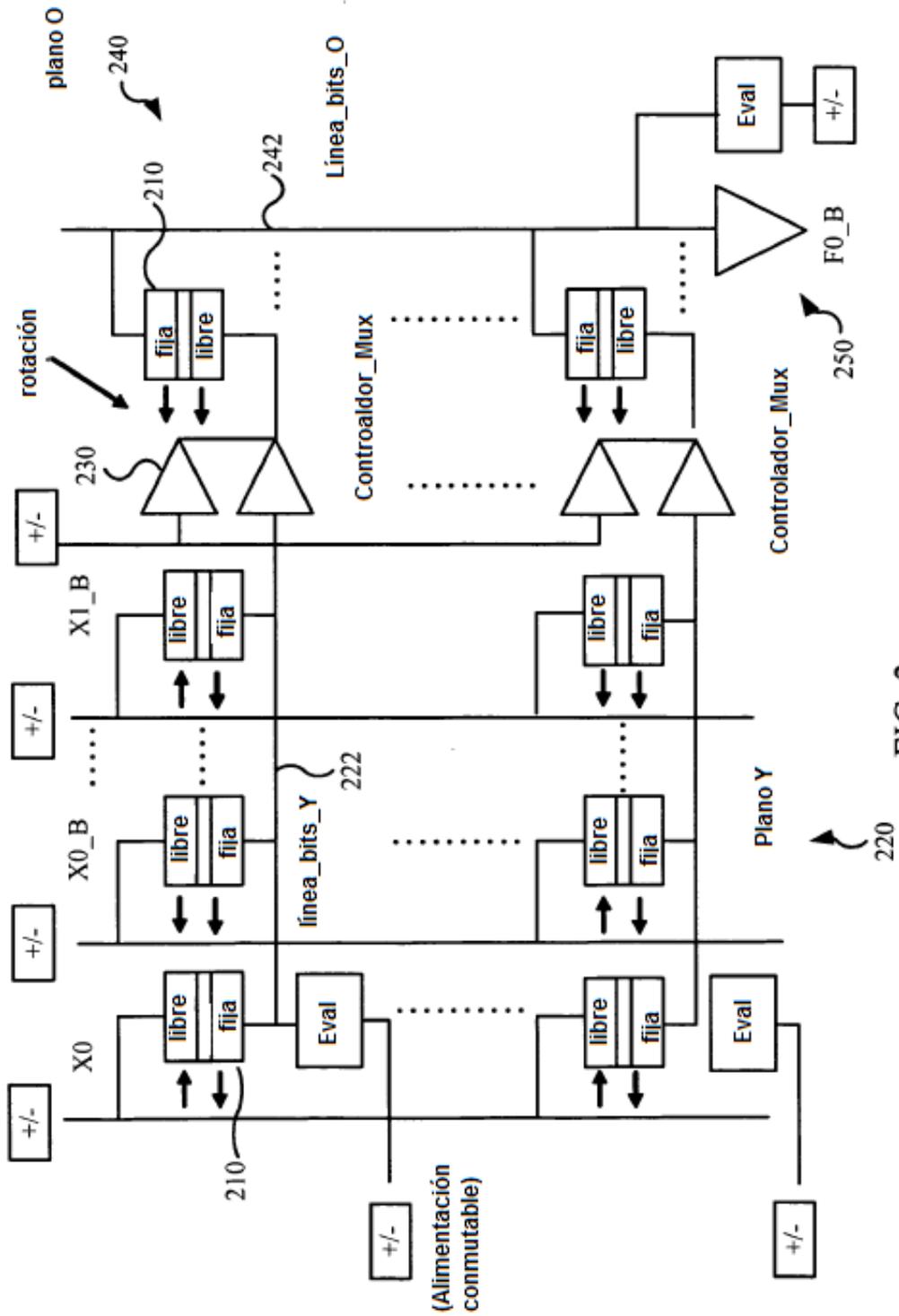


FIG. 2

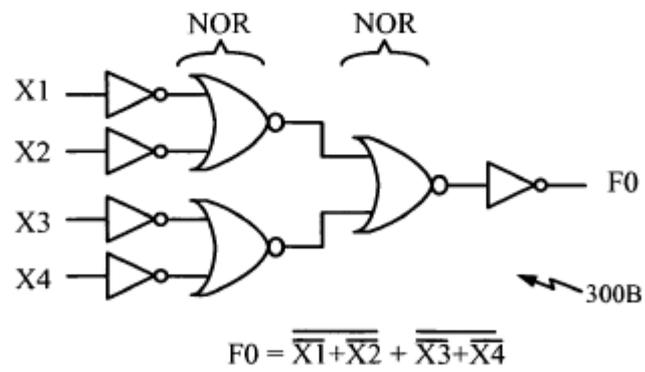
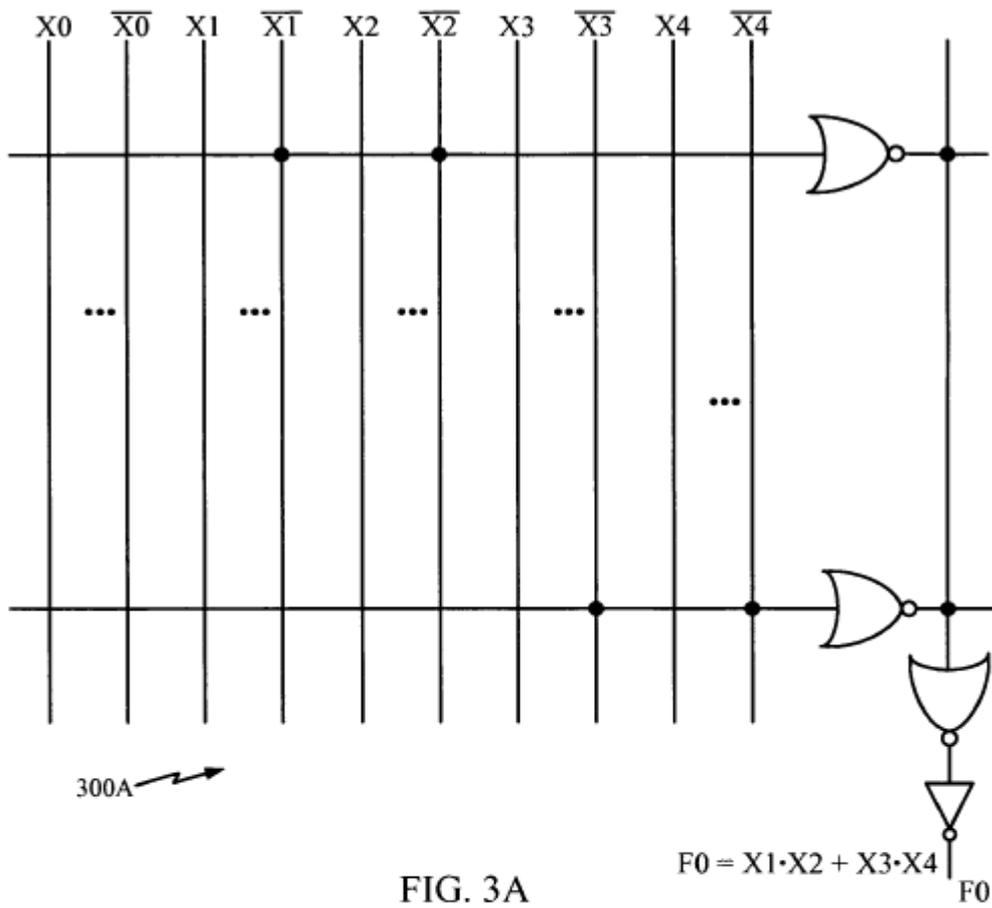


FIG. 3B

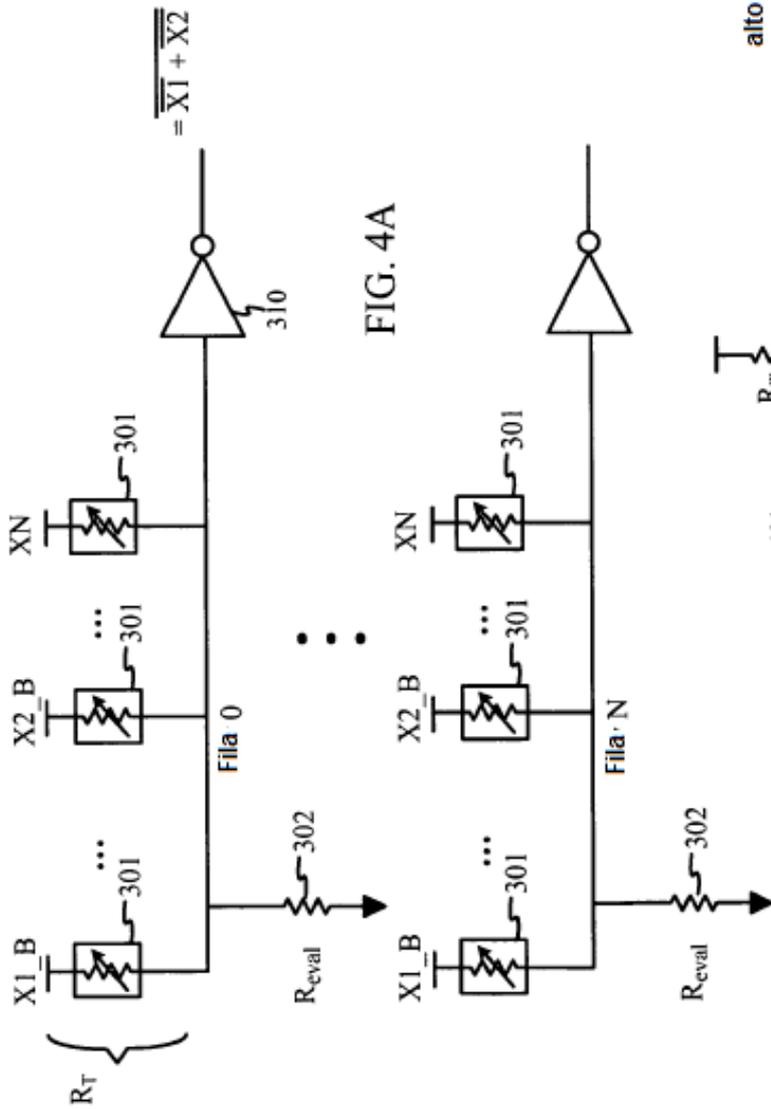


FIG. 4A

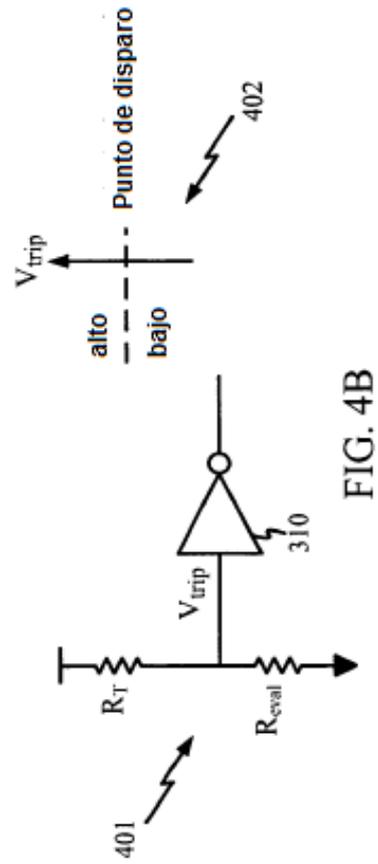


FIG. 4B

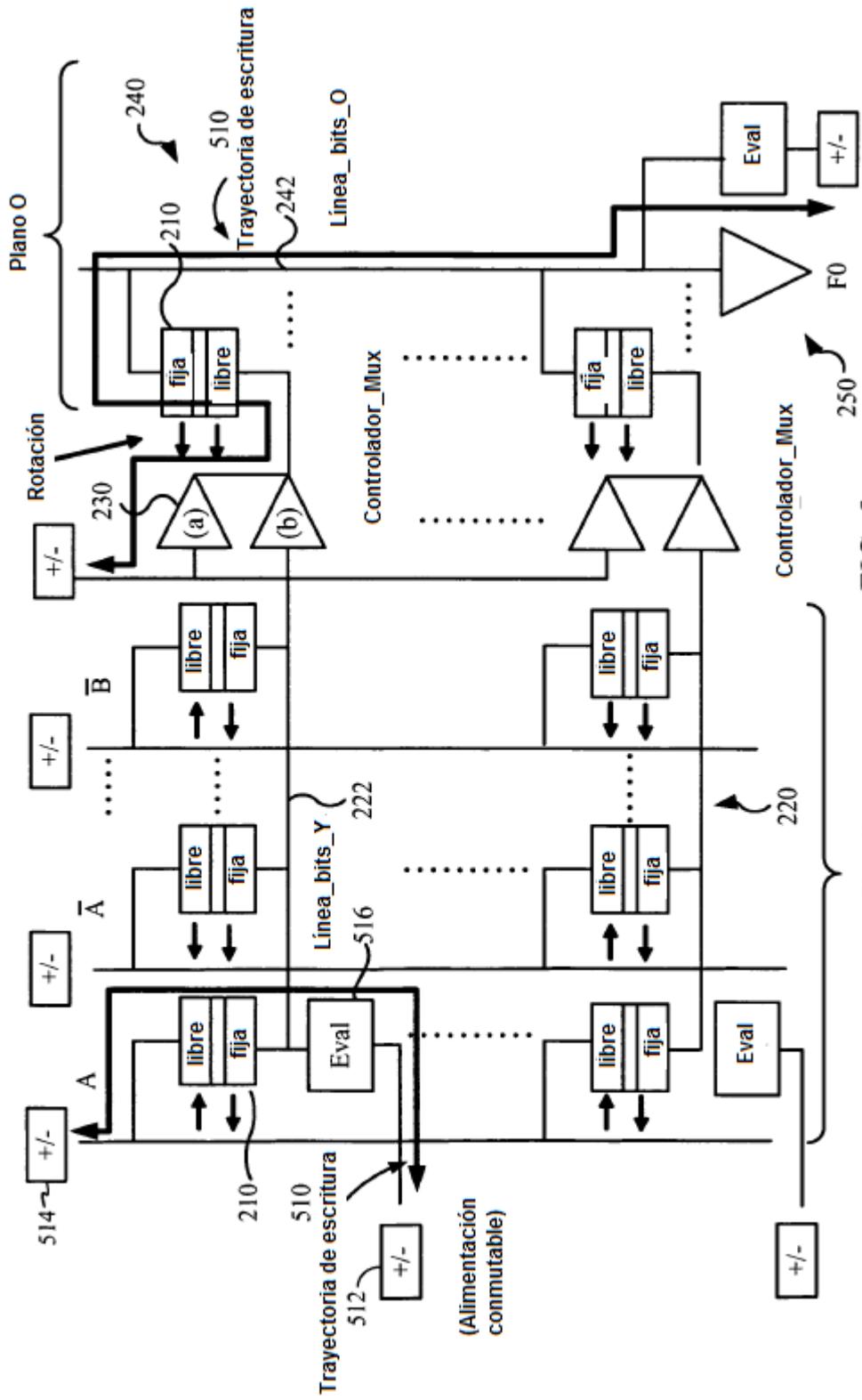


FIG. 5

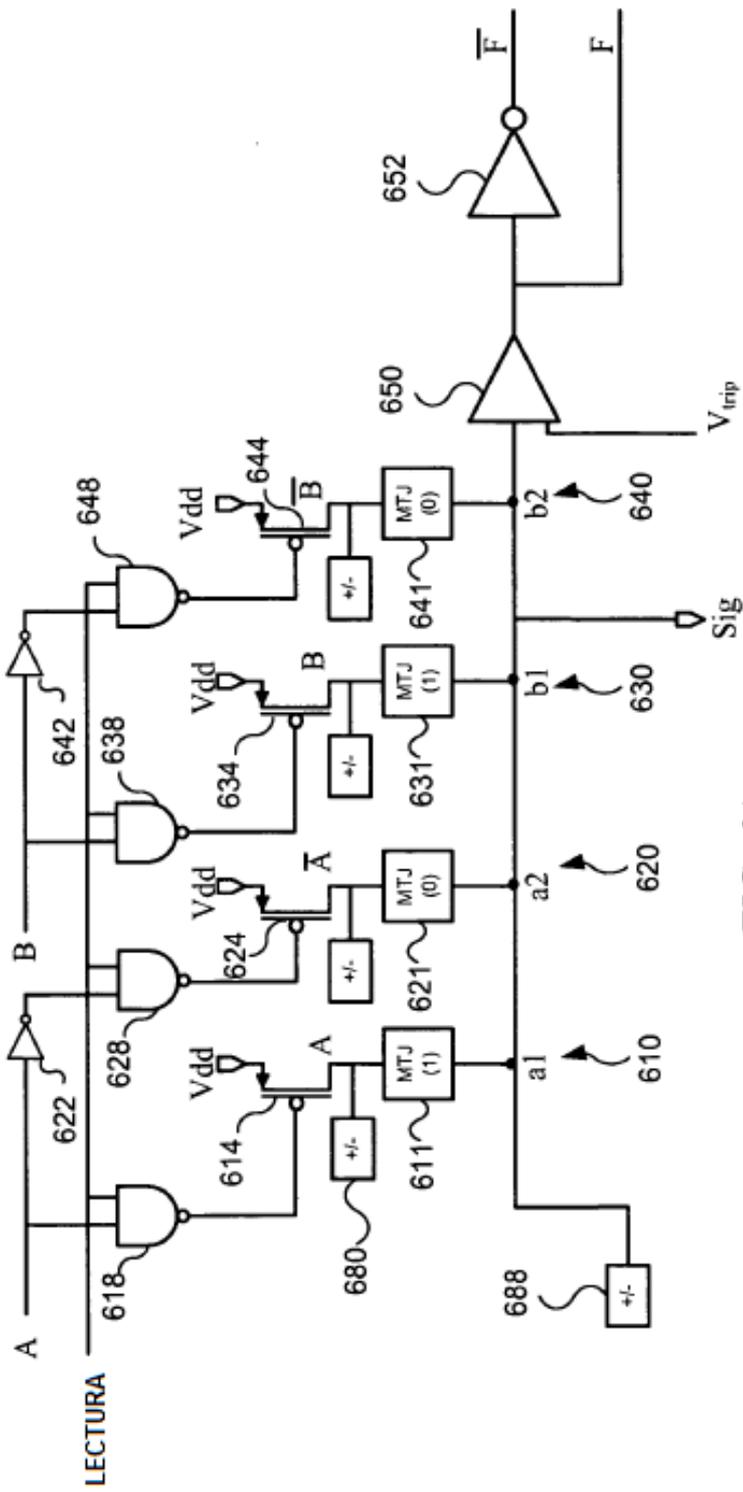


FIG. 6A

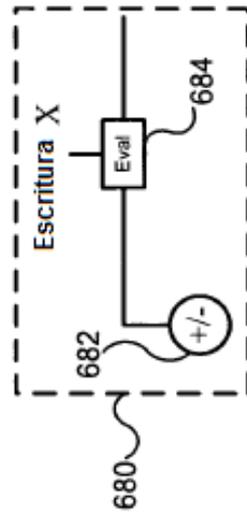


FIG. 6B

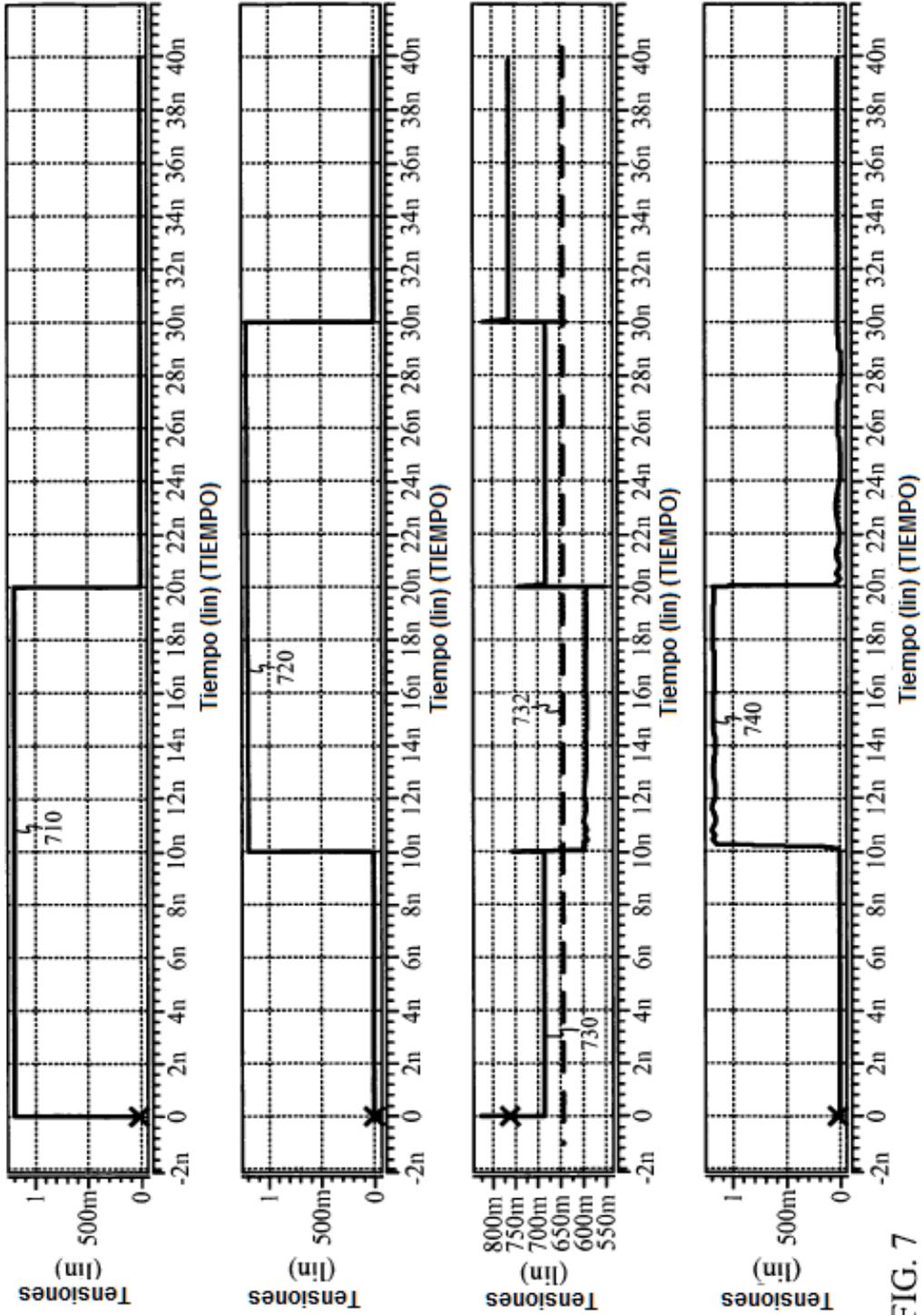


FIG. 7