

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 391 810**

51 Int. Cl.:
H03M 1/78 (2006.01)
H03M 1/80 (2006.01)
H04L 27/20 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **09783766 .0**
96 Fecha de presentación: **06.10.2009**
97 Número de publicación de la solicitud: **2342827**
97 Fecha de publicación de la solicitud: **13.07.2011**

54 Título: **Conversión de digital a analógico con interpolación lineal de baja potencia**

30 Prioridad:
20.10.2008 US 254441

45 Fecha de publicación de la mención BOPI:
30.11.2012

45 Fecha de la publicación del folleto de la patente:
30.11.2012

73 Titular/es:
**TELEFONAKTIEBOLAGET L M ERICSSON
(PUBL) (100.0%)
164 83 Stockholm, SE**

72 Inventor/es:
MU, FENGHAO

74 Agente/Representante:
DE ELZABURU MÁRQUEZ, Alberto

ES 2 391 810 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Conversión de digital a analógico con interpolación lineal de baja potencia.

5 CAMPO TÉCNICO

La presente invención se refiere en general a métodos y aparatos de conversión de digital a analógico con red de resistencias, y en particular se refiere a una conversión de digital a analógico de baja potencia que utiliza interpolación lineal en la misma.

10 ANTECEDENTES

Los convertidores de digital a analógico transforman palabras digitales en valores analógicos, tales como valores analógicos de tensión o valores analógicos de corriente. Cuando las palabras digitales consisten en n bits, el valor analógico correspondiente puede ser generado mediante aplicar progresivamente la potencia de dos ponderaciones a cada uno de los n bits.

15 Los convertidores de digital a analógico con red de resistencias convencionales utilizan una red de etapas de resistencia para aplicar las ponderaciones progresivas a cada bit. Los convertidores de digital a analógico con red de resistencias conocidos incluyen, por ejemplo, convertidores de digital a analógico ponderados binarios y convertidores de digital a analógico de escalera $R/2R$. Estos convertidores de digital a analógico con red de resistencias convencionales muestrean cada bit a una frecuencia del reloj de reconstrucción, f_s , y aplican dichos valores de bit muestreados a etapas de resistencia ponderadas progresivamente. Sin embargo, cada una de estas etapas introduce un error de reconstrucción en la señal analógica de salida, en forma de error estático y de error transitorio (por ejemplo, picos de ruido).

25 Aumentar la f_s tiene la ventaja de desplazar a una frecuencia superior estos errores de reconstrucción introducidos por la red de resistencias, relajando de este modo los requisitos de diseño para filtrar dichos errores de reconstrucción. Sin embargo, este incremento tiene como resultado que el convertidor de digital a analógico consume más potencia. El consumo superior de potencia puede ser inaceptable en aplicaciones de baja potencia, tales como dispositivos de comunicación móvil.

30 El documento de Wang Q et al.: "Circuit design of a D/A converter using spline Functions", Signal Processing, Elsevier Science Publishers B.V. Amsterdam, volumen 16, número 3, 1 de marzo de 1989, páginas 279 a 288, muestra un método y un convertidor acordes con los preámbulos de las reivindicaciones 1 y 14.

35 COMPENDIO

Los métodos y aparatos presentados en la presente memoria desplazan ventajosamente los errores de reconstrucción de un convertidor de digital a analógico (DAC, digital to analog converter) con red de resistencias, a frecuencias situadas fuera del intervalo de interés, consumiendo al mismo tiempo menos potencia de la que sería necesaria para obtener un desplazamiento similar de frecuencias mediante una aceleración del reloj de reconstrucción. En lugar de aumentar la frecuencia del reloj de reconstrucción, los métodos y aparatos presentados en la presente memoria subdividen en una serie de fases cada ciclo del reloj de muestreo del DAC.

45 Para, por lo menos, una entrada de bit del DAC que está asociada con una ponderación deseada de la resistencia de entrada, el valor del bit de entrada es muestreado en cada fase. A continuación, cada uno de dichos valores muestreados es aplicado a una respectiva rama de resistencia, y el conjunto paralelo de las ramas de resistencia forma el equivalente paralelo de la ponderación deseada de la resistencia de entrada para dicho bit de entrada. De este modo, se aplica eficazmente el valor del bit en su forma ponderada a la red de resistencias, en un proceso de interpolación lineal por etapas que elimina o reduce los efectos estáticos y transitorios en la señal de salida analógica asociada con la aplicación del valor del bit.

50 En una o varias realizaciones, un DAC con red de resistencias incluye un conjunto de circuitos de entrada de bit, un circuito de salida de señal analógica y un circuito de reloj. El conjunto de circuitos de entrada de bit está configurado para recibir valores de bit de entrada de una palabra digital de n bits. Cada circuito de entrada de bit tiene un circuito de muestreo de entrada configurado para muestrear un valor del bit de entrada en función de las señales de reloj del circuito de reloj, y un circuito de controlador para aplicar el valor muestreado a una resistencia de entrada asociada, con una ponderación deseada de la resistencia de entrada. El circuito de reloj comprende un generador de reloj multifase configurado para subdividir en una serie de fases cada ciclo de reloj de muestreo del DAC. Para, por lo menos, un bit de entrada, el circuito de muestreo comprende una serie de circuitos de muestreo paralelos configurados para muestrear, cada uno, el valor del bit de entrada en una fase diferente de entre dichas fases separadas a intervalos regulares. Análogamente, el circuito de controlador contenido en dicha entrada de bit comprende un número correspondiente de circuitos de controlador en paralelo configurados, cada uno, para aplicar el correspondiente valor muestreado a una respectiva rama de resistencia. Puesto que la combinación en paralelo de todas las ramas de resistencia respectivas forma el equivalente de la ponderación deseada de la resistencia de entrada para dicho circuito de entrada de bit, la contribución deseada de dicho valor de bit de entrada se extiende sobre todo el periodo de reloj de muestreo. El circuito de salida de señal analógica está configurado para generar la señal analógica (salida) como la suma ponderada por resistencias de todos los valores de bit de entrada.

Adicional o alternativamente, una o varias realizaciones del método y del aparato presentadas en la presente memoria aplican cada valor muestreado a su respectiva rama de resistencia a través de un controlador controlado por rapidez de respuesta, para suavizar los bordes transitorios de la señal analógica en los nodos de salida de la red de resistencias. Es decir, las entradas de bit que están configuradas como entradas de bit multifase utilizan controladores controlados por rapidez de respuesta para los valores muestreados, a efectos de suavizar más los bordes transitorios de la señal de salida. Dichos controladores controlados por rapidez de respuesta pueden comprender un circuito de espejo de corriente ligado a una fuente de corriente de limitación de la rapidez de respuesta. Alternativamente, los controladores controlados por rapidez de respuesta pueden comprender, cada uno, un circuito de retardo configurado para generar una serie de casos del valor muestreado, donde cada caso es el valor muestreado retardado en un número incremental de unidades de retardo, y un circuito de un conjunto de controladores en paralelo, cada controlador contenido en el conjunto teniendo controlada su entrada mediante un caso diferente de entre dichos casos.

En otra realización considerada en la presente memoria, el DAC con red de resistencias comprende parte de un transmisor de comunicación que está configurado para transformar una señal de comunicación de banda base en una señal analógica. El DAC con red de resistencias puede estar configurado además para proporcionar la señal analógica a un circuito de filtro de paso bajo en modo corriente, para filtrar por adelantado la modulación en modo corriente.

Por supuesto, la presente invención no está limitada a las características y ventajas anteriores. De hecho, los expertos en la materia reconocerán características y ventajas adicionales tras la lectura de la siguiente descripción detallada y la revisión de los dibujos adjuntos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La figura 1 es un diagrama de bloques que muestra una realización de un convertidor de digital a analógico con red de resistencias, de la presente invención.

La figura 2 es un diagrama de flujo lógico que muestra una realización de un convertidor de digital a analógico con red de resistencias, de la presente invención.

Las figuras 3A y 3B son diagramas esquemáticos de realizaciones a modo de ejemplo de los circuitos de entrada de bit para el convertidor de digital analógico con red de resistencias de la figura 1.

La figura 4 es un diagrama de forma de onda que compara una forma de onda analógica reconstruida convencional sin reducción de errores con interpolación lineal, con una forma de onda analógica reconstruida con reducción de errores con interpolación lineal, proporcionada mediante el convertidor de digital a analógico con red de resistencias de la figura 1.

La figura 5 es un diagrama esquemático de una realización de controladores controlados por rapidez de respuesta que comprenden, cada uno, un circuito de espejo de corriente ligado a una fuente de corriente de limitación de la rapidez de respuesta.

La figura 6 es una forma de onda similar a la mostrada en la figura 4, pero en la que la forma de onda analógica reconstruida con reducción de errores con interpolación lineal está adicionalmente mejorada mediante la utilización de los controladores controlados por rapidez de respuesta de la figura 5.

La figura 7 es un diagrama de bloques de otra realización de controladores controlados por rapidez de respuesta que comprenden, cada uno, un circuito de retardo y un circuito de un conjunto de controladores en paralelo.

La figura 8 es un diagrama esquemático para una realización de los circuitos de retardo y los circuitos del conjunto de controladores en paralelo, para los controladores controlados por rapidez de respuesta de la figura 7.

La figura 9 es un diagrama esquemático de otra realización de los circuitos de retardo y los circuitos de controlador en paralelo, para los controladores controlados por rapidez de respuesta de la figura 7.

La figura 10 es un diagrama de forma de onda que representa la generación de casos retardados de un valor de entrada de bit muestreado, de acuerdo con el circuito de retardo de la figura 7 y la combinación de dichos casos retardados de acuerdo con el circuito del conjunto de controladores en paralelo de la figura 7.

La figura 11 es un diagrama de forma de onda para las curvas de reconstrucción para diversos ajustes de las unidades de retardo en los controladores controlados por rapidez de respuesta de la figura 7.

La figura 12 es un diagrama de bloques que muestra una realización del convertidor de digital a analógico con red de resistencias de la figura 1, aplicado a un transmisor de comunicación.

DESCRIPCIÓN DETALLADA

La figura 1 muestra una realización de un convertidor de digital a analógico (DAC) 10 con red de resistencias, que recibe una palabra digital de n bits y genera una representación en señal analógica de la misma. El DAC 10 con red de resistencias incluye un conjunto de circuitos 20, 30 de entradas de bit, un circuito 40 de reloj y un circuito 50 de salida de señal analógica.

El conjunto de circuitos 20, 30 de entradas de bits está configurado para recibir valores de bit de entrada (Bit₀, Bit₁...Bit_{n-1}) de una palabra digital de n bits. Cada circuito 20, 30 de entrada de bit tiene un circuito 22, 32 de conmutación de entrada configurado para muestrear sucesivamente los valores de bit de entrada con un retardo

fijado, y un circuito de controlador 24, 34 configurado para aplicar el valor de los valores muestreados 26, 36 a una resistencia 28, 38 de entrada asociada, con una ponderación deseada de la resistencia de entrada R_A , R_B . Las ponderaciones deseadas de resistencia de entrada R_A , R_B pueden ser, por ejemplo, proporcionales a la contribución deseada, del valor de bit de entrada correspondiente, a la señal analógica durante un periodo de reloj de muestreo dado.

Las contribuciones de todos los circuitos 20, 30 de entrada de bit, como valores de bit de entrada ponderados por resistencia, son combinadas mediante resistencias puente R_S y resistencias de terminación R_T . A continuación, estas contribuciones son introducidas al circuito 50 de salida de señal analógica. El circuito 50 de salida de señal analógica está configurado para generar una señal analógica como la suma de los valores de bit de entrada ponderados por resistencia, de cada circuito 20, 30 de entrada de bit.

Para muestrear dichos valores de bit de entrada, cada circuito 22, 32 de muestreo de entrada recibe una o varias señales de reloj (Ck_i , CK) proporcionadas mediante el circuito 40 de reloj. El circuito 40 de reloj comprende un generador 42 de reloj multifase configurado para subdividir cada ciclo de reloj de muestreo del DAC 10 con red de resistencias, en m fases ($Ck_0, Ck_1 \dots Ck_{m-1}$) a la frecuencia f_s del reloj de reconstrucción. El retardo o diferencia de fase, P_m , entre dos fases sucesivas es P_s/m , donde P_s es igual al periodo de reloj del reloj de reconstrucción f_s .

El circuito o circuitos 20 de entrada de bit son circuitos de una sola fase sincronizados, por ejemplo, mediante una de las m señales de reloj Ck_i ($i = 0, 1 \dots m-1$), o mediante otra señal de reloj a la frecuencia f_s del reloj de reconstrucción. Por contraste, el circuito o circuitos 30 de entrada de bit son circuitos de entrada de bit multifase que están sincronizados mediante parte o la totalidad de las señales de reloj m , CK , cada uno a una fase diferente. Para cada circuito 30 de entrada de bit, el circuito de muestreo 32 comprende m circuitos 33 de muestreo en paralelo configurados para muestrear, cada uno, el correspondiente valor de bit de entrada, a una fase diferente de entre las m fases ($Ck_0, Ck_1 \dots Ck_{m-1}$). Por lo tanto, el circuito 32 de muestreo genera m valores muestreados 36, cada uno de los cuales representa el correspondiente valor de bit de entrada muestreado a un intervalo temporal o fase diferente, separados a intervalos regulares. Cada uno de estos m valores muestreados 36 sirve como entrada a un circuito diferente de entre m circuitos 35 de controlador en paralelo, comprendidos en el circuito 34 del controlador. Los circuitos 35 de controlador en paralelo están configurados para aplicar, cada uno, un valor muestreado 36 a una respectiva rama 39 de resistencia dentro de la resistencia de entrada asociada 38.

Puesto que cada valor muestreado 36 representa el correspondiente valor de bit de entrada durante un sucesivo intervalo de tiempo, dicha operación tiene el efecto de aplicar de manera acumulativa durante intervalos temporales sucesivos el correspondiente valor del bit de entrada a las respectivas ramas 39 de resistencia. La combinación en paralelo de estas ramas de resistencia respectivas 39 forma el equivalente de la ponderación deseada de la resistencia de entrada R_B de la resistencia de entrada asociada 38. De este modo, el correspondiente valor del bit de entrada es aplicado a una parte de la ponderación deseada de la resistencia de entrada R_B durante intervalos temporales sucesivos, y la contribución deseada del valor de bit de entrada es extendida linealmente sobre todo el periodo de reloj de muestreo. Dicha interpolación lineal aumenta eficazmente la frecuencia de las transiciones de amplitud en la señal de salida analógica, de manera que desplaza el error de reconstrucción debido a dicho, por lo menos, un circuito 30 de entrada de bit a una frecuencia exterior al intervalo de interés, específicamente $m \cdot f_s$. Ventajosamente, desplazar de este modo el error de reconstrucción a la frecuencia $m \cdot f_s$ consume menos potencia que sobremuestrear a la misma frecuencia.

Los expertos en la materia apreciarán que el DAC 10 con red de resistencias puede ser implementado con dicha interpolación lineal tal como se ha descrito anteriormente, para cualquier número de entradas de bit, por ejemplo, puede utilizarse cualquier mezcla de circuitos 20 de entrada de bit de una sola fase y circuitos 30 de entrada de bit multifase. Por ejemplo, pueden utilizarse circuitos 30 de entrada de bit para todas las n entradas de bit. Sin embargo, en la práctica las entradas del bit menos significativo contribuyen poco a los errores de reconstrucción dentro de la salida de señal analógica. Por lo tanto, utilizar circuitos 30 de entrada de bit para los bits menos significativos puede ser innecesario para aquellas aplicaciones que toleran, por lo menos, errores de reconstrucción mínimos.

Para los circuitos 20 de entrada de bit menos significativo que pueden recibir solamente una única señal de reloj Ck_i , $i = 0, 1, \dots, m-1$, el circuito 22 de muestreo muestrea solamente su correspondiente valor de bit de entrada en una de las m fases, Ck_i , generando de ese modo el valor muestreado 26. Mientras que el circuito 22 de muestreo puede utilizar cualquiera de estas m fases para muestrear el valor de bit de entrada, la utilización de $i = m/2$ puede reducir el pequeño error temporal introducido. Independientemente de la fase en la que se genera el valor muestreado 26, no obstante, el circuito 24 de controlador comprendido en cada circuito 20 de entrada de bit está configurado para aplicar dicho valor muestreado 26 a la resistencia de entrada asociada 28 que tiene la ponderación deseada de la resistencia de entrada R_A . Por lo tanto, el correspondiente valor de bit de entrada es aplicado a la ponderación deseada de la resistencia de entrada R_A al mismo tiempo, y la contribución deseada del valor de bit de entrada se produce totalmente al comienzo del periodo de reloj de muestreo.

Sin embargo debe observarse que, independientemente de la aplicación, las ponderaciones deseadas R_A , R_B de la resistencia de entrada, así como las resistencias puente R_S y la resistencia de terminación R_T , pueden depender del tipo de DAC 10 con red de resistencias que se esté implementando. Por ejemplo, cuando el DAC 10 con red de

resistencias comprende un DAC de escalera $R/2R$, las resistencias puente R_s pueden acoplarse con circuitos 20, 30 de entrada de bit adyacentes, a través de una resistencia $R_s = R$, y se desea que cada una de las ponderaciones de resistencia de entrada R_A , R_B , así como la resistencia de terminación R_T , sean iguales a $2R$. Por otra parte, cuando el DAC 10 con red de resistencias comprende un DAC con resistencias ponderado binario, se desea que la ponderación binaria de resistencia de entrada R_A de los bits menos significativos sea 2 veces mayor que la ponderación binaria de resistencia de entrada R_B correspondiente al bit i , donde $i = 1, 2, \dots, n-1$, y las resistencias puente R_s pueden no contribuir a ninguna resistencia en serie, es decir, $R_s = 0$. La resistencia de terminación R_T conectada al nodo puente del bit menos significativo es infinitamente grande en el caso de la implementación de resistencia ponderada binaria.

No obstante, comprenda el DAC 10 con red de resistencias un DAC de escalera $R/2R$ o un DAC con resistencias ponderado binario, el DAC 10 con red de resistencias implementa un método de transformación de una señal digital en una señal analógica, del que se proporciona un ejemplo en la figura 2. La conversión mostrada "comienza" con el DAC 10 con red de resistencias recibiendo valores de bit de entrada de una palabra digital de n bits en el conjunto de circuitos 20, 30 de entrada de bit (bloque 100). El generador 42 de reloj multifase subdivide cada ciclo de reloj de muestreo del circuito 40 de reloj en m fases (bloque 110), y el circuito de muestreo 32 de cada circuito 30 de entrada de bit muestrea el respectivo valor de bit de entrada en cada una de las m fases (bloque 120). Para cada uno de dichos valores muestreados 36, un circuito 35 de controlador en paralelo aplica el valor muestreado 36 a una respectiva rama 39 de resistencia en un conjunto paralelo de ramas 39 de resistencia que forman el equivalente paralelo de la ponderación deseada de la resistencia de entrada R_B para dicho, por lo menos, un circuito 30 de entrada de bit (bloque 130). Es decir, cada valor muestreado es aplicado a una fase respectiva de las fases de reloj, lo cual tiene eficazmente como resultado que la contribución global del valor de bit de entrada se acumula incrementalmente sobre el periodo de reloj de la frecuencia de reconstrucción. La operación de conversión global incluye que el circuito 50 de salida de señal analógica genera la señal analógica sumando los valores muestreados ponderados por resistencia, para todos los circuitos 20, 30 de entrada de bit (bloque 140).

Para que el circuito 50 de salida de señal analógica sume de dicha manera los valores ponderados por resistencia, el circuito 50 de salida de señal analógica puede comprender, por ejemplo, un circuito sumador que consiste en un amplificador operacional que utiliza retroalimentación para una ganancia unidad, o simplemente una resistencia para proporcionar una tensión de salida en caso de que la corriente de salida sea cero. Alternativamente, la salida de los circuitos 20, 30 de entrada de bit puede ser utilizada directamente como señal analógica. En este caso, el circuito 50 de salida de señal analógica puede simplemente conectar conjuntamente estas salidas sin la utilización de un amplificador operacional o de resistencias. No obstante, los expertos en la materia apreciarán que pueden utilizarse asimismo otros circuitos sumadores para sumar los valores muestreados ponderados por resistencia.

Asimismo, los expertos en la materia apreciarán diversas implementaciones del generador 42 del reloj multifase utilizado para subdividir en m fases cada ciclo de reloj de muestreo del circuito 40 de reloj. Un bucle de seguimiento de retardo (DLL, delay locked loop), o un bucle de seguimiento de fase (PLL, phase locked loop), por ejemplo, pueden ser utilizados para crear dichas m fases a la frecuencia de reloj de reconstrucción, f_s . Alternativamente, puede utilizarse un reloj a la frecuencia de $m \cdot f_s$ y generarse las m fases a la frecuencia f_s utilizando una división por m .

En las figuras 3A y 3B se muestran implementaciones a modo de ejemplo, de los circuitos 20, 30 de entrada de bit. Debe entenderse que estos ejemplos detallados son ilustraciones no limitativas de disposiciones de circuito físicas y/o funcionales que ofrecen un funcionamiento ventajoso en ciertas aplicaciones.

La figura 3A muestra un ejemplo de una implementación de un circuito 20 de entrada del bit menos significativo. Cuando el circuito 20 de entrada de bit recibe solamente una única señal de reloj C_k procedente del circuito 40 de reloj, se utiliza un único biestable de retardo, DFF (delay flip-flop), a modo de circuito de muestreo 22. El DFF bloquea en memoria el valor del bit de entrada (bit 1), en el borde de ataque (subida/bajaba) de C_k , y mantiene dicho valor muestreado 26 durante todo el ciclo de reloj de muestreo. Por lo tanto, en el borde de subida de C_k y durante el resto del ciclo de reloj de muestreo, un tampón, BUFF, dentro del circuito 24 de controlador aplica dicho valor muestreado 26 a la resistencia de entrada asociada 28. La resistencia de entrada asociada 28 comprende una única resistencia que representa toda la ponderación deseada de la resistencia de entrada R_A para el circuito 20 de entrada de bit. Por lo tanto, tal como se ha mencionado previamente, el tampón, BUFF, aplica toda la contribución deseada del valor de bit de entrada (bit 1) al comienzo del período de reloj de muestreo y durante todo el mismo.

En el ejemplo de implementación de un circuito 30 de entrada de bit multifase, que es utilizado ventajosamente para uno o varios de los bits de entrada más significativos, por otra parte, la figura 3B muestra cómo el circuito 30 de entrada de bit extiende linealmente la contribución deseada del valor de bit de entrada sobre el periodo de reloj de muestreo. El circuito 30 de entrada de bit recibe m señales de reloj CK desfasadas, en los m de circuitos de muestreo paralelos 33, cada uno de los cuales comprende uno de los biestables de retardo ($DFF_0, DFF_1, \dots, DFF_{m-1}$). Cada uno de los m DFFs bloquea el valor del bit de entrada (Bit_{n-1}) en su respectiva memoria, en el borde de ataque de su respectiva señal de reloj, y mantiene dicho valor muestreado 36 hasta que vuelve a ser sincronizado. Estos valores muestreados 36 son aplicados a una respectiva rama 39 de resistencia a través de uno de los m circuitos 35 de controlador en paralelo, que comprenden m tampones ($BUFF_0, BUFF_1, \dots, BUFF_{m-1}$). Las m ramas 39 de resistencia

comprenden análogamente m resistencias, cada una con una resistencia de $m \cdot R_B$, de tal modo que el equivalente paralelo de las m resistencias equivale a la ponderación deseada de la resistencia de entrada R_B . Por lo tanto, el valor de bit de entrada (Bit_{n-1}) es aplicado a cada una de las m resistencias, que representa una parte de la ponderación deseada de la resistencia de entrada R_B , durante intervalos temporales sucesivos.

5 En la figura 4 se muestran las ventajas de la señal analógica resultante generada mediante dicho DAC 10 con red de resistencias con circuitos 30 de entrada de bit. En la figura 4 está graficada una señal analógica original x_1 , la señal analógica reconstruida x_2 generada mediante un DAC con red de resistencias convencional con una frecuencia de reconstrucción f_s , y la señal analógica reconstruida x_3 generada mediante el DAC 10 con red de resistencias descrito anteriormente, asimismo a f_s . Un DAC con red de resistencias convencional entrega una señal analógica reconstruida x_2 con grandes escalones, al comienzo de cada ciclo de reloj, lo que tiene como resultado errores de reconstrucción relativamente grandes comprendidos en la banda de frecuencia de interés.

10 Por contraste, la señal analógica reconstruida x_3 representa la salida del DAC 10 con red de resistencias descrito anteriormente. Se ve que la aplicación incremental, multifase, de uno o varios de los valores de bit de entrada más significativos reduce el error de reconstrucción en cualquier tiempo dado y, además, mapea dichos errores a una frecuencia mayor, $m \cdot f_s$.

15 Pero para reducir más los errores de reconstrucción introducidos en la señal analógica reconstruida, los circuitos 35 de controlador en paralelo pueden comprender circuitos 35 de controlador en paralelo controlados por rapidez de respuesta. Estos circuitos 35 de controlador en paralelo controlados por rapidez de respuesta están, cada uno, configurados además para suavizar los bordes transitorios en la señal de salida analógica generada.

20 La figura 5 muestra un ejemplo de una realización de este tipo que tiene circuitos 35 de controlador en paralelo controlados por rapidez de respuesta. El circuito 30 de entrada de bit mostrado en la figura 5 reproduce esencialmente lo que se ha descrito previamente en la figura 3B, con la excepción de que los circuitos 35 de controlador paralelos comprenden, cada uno, un circuito inversor ($INV_0, INV_1 \dots INV_{m-1}$) acoplado a un circuito de espejo de corriente, CM, ligado a una fuente de corriente IC de limitación de la rapidez de respuesta.

25 Tal como se muestra en la figura 5, el circuito CM de espejo de corriente está conectado a cada uno de los transistores $Tps_0, Tps_1 \dots Tps_{m-1}$ y $Tns_0, Tns_1 \dots Tns_{m-1}$, de manera que refleja la corriente IC limitadora de la rapidez de respuesta, a través de cada uno de los tampones inversores ($INV_0, INV_1 \dots INV_{m-1}$) compuestos de transistores (Tp_0, Tn_0), (Tp_1, Tn_1)... (Tp_{m-1}, Tn_{m-1}). A continuación, en funcionamiento, la fuente de corriente, IC, de limitación de la rapidez de respuesta limita la velocidad a la que puede ser aplicado un valor muestreado 36 mediante cada tampón inversor ($INV_0, INV_1 \dots INV_{m-1}$) a una rama 39 de resistencia.

30 Por ejemplo, cuando el valor muestreado 36 entregado desde DFF_0 cambia de bajo a alto, dicho cambio se produce a una rapidez de respuesta dada. Con un cambio de este tipo, la alta tensión a la salida del tampón inversor INV_0 descarga la capacidad en el nodo de salida a través del transistor Tn_0 así como del transistor Tns_0 . La capacidad comprende todas las capacidades parásitas en los nodos de salida, tales como la capacidad parásita de los dispositivos y la capacidad parásita de encaminamiento. Sin embargo, la rapidez de respuesta a la que dicha salida es reducida está limitada por el valor de IC que está reflejado en Tns_0 . De este modo, la salida del tampón inversor INV_0 cambiará de alta a baja, a una rapidez de respuesta independiente que está controlada por la magnitud de la fuente de corriente IC. Entonces, los expertos en la materia apreciarán que la magnitud de la fuente de corriente IC de limitación de la rapidez de respuesta puede ser ajustada a efectos de reducir los transitorios en la salida de señal analógica, mediante el circuito 50 de salida de señal analógica.

35 No obstante, incluso en ausencia de dicho ajuste, la figura 6 muestra las ventajas adicionales de un DAC 10 con red de resistencias de este tipo, con los circuitos 35 de controlador en paralelo controlados por rapidez de respuesta descritos anteriormente. El gráfico de la figura 6 reproduce fundamentalmente el que se ha descrito previamente en la figura 4, excepto en que se ha añadido la señal analógica reconstruida x_4 , generada por un DAC 10 con red de resistencias con circuitos 35 de controlador en paralelo controlados por rapidez de respuesta. El DAC 10 con red de resistencias entrega una señal analógica reconstruida x_4 similar a la de x_3 , pero con una rapidez de respuesta menor. Esto se traduce en errores de reconstrucción aún menores, mientras que se siguen mapeando estos errores a una frecuencia superior.

40 Además, estas mismas ventajas pueden obtenerse a partir de la realización alternativa de la figura 7, que muestra un DAC 10 con red de resistencias alternativo, que comprende circuitos 35 de controlador en paralelo controlados por rapidez de respuesta. De nuevo, el circuito 30 de entrada de bit mostrado en la figura 7 reproduce esencialmente lo que se ha descrito previamente en la figura 3B, con la excepción de que los circuitos 35 de controlador en paralelo comprenden, cada uno, un circuito de retardo y un circuito de un conjunto de controladores en paralelo.

45 En la figura 7, el circuito de retardo dentro de cada circuito 35 de controlador en paralelo está configurado para generar k casos ($d_0, d_1 \dots d_{k-1}$) del valor muestreado 36, siendo cada caso el valor muestreado 36 retardado mediante un número creciente de unidades de retardo. Una unidad de retardo puede tener un retardo, por ejemplo, de $P_k = P_s / (mk) = P_m / k$. El propio circuito del conjunto de controladores contenido dentro de cada circuito 35 de controlador en

paralelo comprende un conjunto en paralelo de controladores, teniendo cada uno de dichos controladores su propia entrada accionada mediante un caso diferente de entre dichos casos ($d_0, d_1 \dots d_{k-1}$).

5 Los expertos en la materia apreciarán que el circuito de retardo y el circuito de un conjunto de controladores en paralelo descritos anteriormente pueden ser implementados de varias maneras. No obstante, las figuras 8 y 9 muestran dos de dichas implementaciones.

10 En la figura 8, el circuito de retardo comprende una serie de k segmentos resistivo-capacitivos en cascada, cada uno de los cuales impone una pequeña unidad adicional de retardo sobre el valor muestreado 36, proporcional a su constante RC. Imponer estas pequeñas unidades de retardo a través de segmentos resistivo-capacitivos en cascada es más eficaz que conseguir lo mismo con un PLL ó un DLL que utiliza células de retardo de muy alta velocidad. Además, debido a que el retardo es pequeño, la distorsión introducida por el retardo puede ser ignorada. Por lo tanto, se toma uno de los k casos entre cada uno de los k segmentos resistivo-capacitivos, siendo cada caso, por lo tanto, el valor muestreado 36 retardado mediante un número creciente de unidades de retardo. Cada uno de los k casos es introducido en uno de los k controladores que comprende el circuito del conjunto de controladores en paralelo. A continuación, la combinación de todos los valores muestreados retardados es aplicada a la respectiva rama 39 de resistencia, que tiene una resistencia de $m \cdot R_B$.

20 Alternativamente, en la figura 9, todos los valores muestreados retardados son aplicados en primer lugar a un conjunto paralelo de k resistencias antes de ser combinados. Cada una de las k resistencias tiene análogamente una resistencia de $k \cdot m \cdot R_B$, de modo que constituye el equivalente paralelo de la respectiva rama 39 de resistencia que tiene una resistencia de $m \cdot R_B$.

25 Cuando $k = 8$ en alguna de estas implementaciones, el resultado de imponer el valor muestreado 36 al circuito de retardo y a un circuito del conjunto de controladores en paralelo puede verse en la figura 10 para dos ciclos de reloj. Cada uno de los 8 casos ($d_0, d_1 \dots d_7$) comprende el valor muestreado 36 retardado mediante un número creciente de unidades de retardo. Por ejemplo, el primer caso, d_0 , es el valor muestreado 36 retardado mediante una unidad de retardo, el segundo caso, d_1 , es el valor muestreado 36 retardado mediante dos unidades de retardo, y así sucesivamente. Cuando cada uno de estos casos sirve como entrada a uno de los controladores comprendidos en el conjunto paralelo de controladores, la respectiva rama 39 de resistencia es accionada con la suma de los 8 casos. Tal como puede ser a partir de la figura 10, dicha suma tiene una rapidez de respuesta menor que cualquiera de los casos del valor muestreado 36.

35 Los expertos en la materia apreciarán que la magnitud de la unidad de retardo P_k puede ser ajustada en consecuencia para suavizar los bordes transitorios de la señal analógica generada por el circuito 50 de salida de la señal analógica. Cuando las unidades de retardo están formadas con una serie de k segmentos resistivo-capacitivos en cascada, tal como en las figuras 8 y 9, puede elegirse la constante RC de estos segmentos resistivo-capacitivos para producir dicha unidad de retardo ajustada P_k .

40 Para mostrar los efectos de dicho ajuste, la figura 11 muestra una serie de curvas de reconstrucción en las que la magnitud de la unidad de retardo P_k ha sido ajustada a diferentes valores. Con una unidad de retardo normalizada $P_k = 0,5$, la curva de reconstrucción resultante y_1 experimenta no linealidad con escalones que se producen dentro de cada ciclo de reloj de frecuencia $m \cdot f_s$ (en este caso, $m = 4$). Ajustar la unidad de retardo P_k a 0,5 tiene asimismo como resultado una curva de reconstrucción y_1 cuya sincronización se adelanta a la del ciclo de reloj de reconstrucción de frecuencia f_s (ciclo de reloj 1 en la figura 11). Sin embargo, pueden obtenerse una sincronización y una linealidad óptimas con una unidad de retardo normalizada $P_k = 1,0$, tal como puede verse en la curva de reconstrucción resultante y_2 . No se producen escalones de este tipo dentro del ciclo de reloj, y la sincronización de la curva y_2 coincide con la del ciclo de reloj de reconstrucción. No obstante, aumentar la unidad de retardo normalizada P_k a 1,5 tiene como resultado una curva de reconstrucción y_3 cuya sincronización está retrasada con respecto al ciclo de reloj de reconstrucción. Entonces, la figura 11 muestra que la curva de reconstrucción resultante de una unidad de retardo normalizada, comprendida en un pequeño margen alrededor de 1,0 (por ejemplo, de 0,8 a 1,2) es aceptable para la mayor parte de las aplicaciones.

55 Una aplicación del DAC 10 con red de resistencias de baja potencia descrito anteriormente incluye las comunicaciones móviles inalámbricas, en las que las consideraciones relativas al consumo de potencia son determinantes en el diseño de los transceptores de comunicación. La figura 12 muestra un ejemplo de un transceptor 70 de comunicación de este tipo. El transceptor 70 de comunicación comprende un transmisor 71 de comunicación, un duplexor 72, una antena 73, un receptor 74 de comunicación y un procesador 75 de banda base.

60 En la figura 12, se reciben señales de radiofrecuencia desde la antena 73 a través del duplexor 72, que proporciona funciones de filtrado y aísla las señales recibidas 76 y las señales transmitidas 77. Las señales recibidas 76 son introducidas en el receptor 74 de comunicación, que comprende un amplificador 78 de bajo nivel de ruido (LNA, low noise amplifier), un desmodulador IQ 79, un filtro 80 de paso bajo (LPF, low pass filter), un amplificador 81 de ganancia variable (VGA, variable gain amplifier) y un convertidor 82 de analógico a digital (ADC, analog-to-digital converter) para cada uno de los canales I y Q. Una vez recibidas mediante el receptor 74 de comunicación, las señales recibidas 76 son amplificadas mediante el amplificador de bajo nivel de ruido (LNA) 78, y son directamente

transformadas mediante conversión descendente en señales de banda base mediante el desmodulador IQ 79. Cada uno de los canales de banda base I y Q pasan a través de un LPF 80, un VGA 81 y un ADC 82 antes de ser introducidas en el procesador de banda base 75.

5 En el lado de transmisión, el procesador 75 de banda base crea señales de comunicación 83 de banda base, por ejemplo, flujos de palabras digitales de n bits a una frecuencia o velocidad de reloj de banda base, y alimenta cada una de estas señales 83 al transmisor 71 de comunicación. El transmisor 71 de comunicación comprende un DAC 10 con red de resistencias y un filtro 85 de paso bajo (LPF) para cada uno de los canales I y Q, un modulador IQ 86, un amplificador de ganancia variable (VGA) 87 y un amplificador 88 de potencia (PA).

10 Cada uno de los DAC 10 con red de resistencias comprendidos dentro del transmisor 72 de comunicación recibe una de las señales 83 de comunicación de banda base. Tal como se ha descrito anteriormente, los DAC 10 con red de resistencias están configurados para transformar señales 83 de comunicación de banda base en señales analógicas 84. Sin embargo, a diferencia de los DAC con red de resistencias convencionales, los DAC 10 con red de resistencias utilizan interpolación lineal para desplazar a una frecuencia superior los errores de reconstrucción de las señales analógicas 84, consumiendo al mismo tiempo menos potencia de la que se utilizaría para el sobremuestreo equivalente de las señales 83 de comunicación de banda base. Con los errores de reconstrucción de las señales analógicas 84 en una frecuencia superior, pueden relajarse los requisitos de diseño de cualquier LPF 85 utilizado para filtrar estos errores. Dicha relajación permite, pero no necesita, la utilización de un LPF 85 cuya función de transferencia de filtrado no es abrupta en la banda de transición.

15 Un ejemplo no limitativo de un LPF 85 de este tipo, cuya utilización permite un DAC 10 con red de resistencias, incluye un LPF en modo corriente. La solicitud de patente de EE. UU. copendiente y de propiedad común identificada por el número de serie de aplicación 12/210.483, presentada el 15 de septiembre de 2008 y titulada "Method and Apparatus for Tunable Current-Mode Filtering", da a conocer ejemplos útiles de circuito de filtro en modo corriente, alguno de ellos estando configurado en contextos de comunicación de transmisores.

25 Si bien, por lo menos, algunos circuitos CMLPF tienen una atenuación relativamente pobre en sus bandas de transmisión, proporcionan ventajosamente una salida de corriente con poco ruido y, por lo tanto, permiten la utilización de modulación en modo corriente en el modulador IQ 86. La modulación en modo corriente mejora la linealidad del modulador IQ 36 y, por lo tanto, se prefiere la utilización de un CMLPF como LPF 85. Por lo tanto, los DAC 10 con red de resistencias permiten una alta linealidad y una modulación con poco ruido, consumiendo al mismo tiempo menos potencia que los DAC con red de resistencias convencionales comparables. Como tales, los DAC 10 con red de resistencias son utilizados ventajosamente para proporcionar la señal analógica 84 a un circuito 35 de filtro de paso bajo en modo corriente, para filtrar por adelantado la modulación en modo corriente.

No obstante, independientemente del tipo de LPF 85, las señales de banda base son transformadas a continuación en conversión ascendente en señales de radiofrecuencia en el modulador IQ 86, mediante multiplicación con relojes de transmisión en cuadratura. A continuación, estas señales de radiofrecuencia moduladas son amplificadas mediante el VGA 87 y el PA 88, antes de ser transmitidas mediante la antena 73 a través del duplexor 72.

40

REIVINDICACIONES

1. Método de conversión de una señal digital en una señal analógica a través de un convertidor de digital a analógico, DAC, con red de resistencias, que comprende:

5 recibir valores de bit de entrada de una palabra digital de n bits en respectivas entradas de un conjunto de entradas de bit y generar la señal analógica como una suma ponderada por resistencia de los bits de entrada, estando asociada cada entrada de bit con una ponderación deseada de la resistencia de entrada;
caracterizado por:

10 subdividir cada ciclo de reloj de muestreo del DAC en una serie de fases;
 para, por lo menos, un bit de entrada del DAC, muestrear el valor del bit de entrada en cada fase y aplicar cada uno de los valores muestreados a una respectiva rama de resistencia en un conjunto paralelo de ramas de resistencia que constituyen el equivalente paralelo de la ponderación deseada de la resistencia de entrada para dicho, por lo menos, un bit de entrada.

2. El método acorde con la reivindicación 1, en el que la aplicación de cada uno de los valores muestreados a una respectiva rama de resistencia comprende aplicar cada valor muestreado a su respectiva rama de la resistencia a través de un controlador controlado por rapidez de respuesta, para suavizar los bordes transitorios en la señal analógica generada.

3. El método acorde con la reivindicación 1, en el que la aplicación de cada uno de los valores muestreados a una respectiva rama de resistencia comprende accionar la respectiva rama de resistencia con un circuito inversor acoplado a un circuito de espejo de corriente ligado a una fuente de corriente de limitación de la rapidez de respuesta.

4. El método acorde con la reivindicación 3, en el que la fuente de corriente de limitación de la rapidez de respuesta es ajustada para suavizar los bordes transitorios en la señal analógica generada.

5. El método acorde con la reivindicación 1, en el que la aplicación de cada uno de los valores muestreados a una respectiva rama de resistencia comprende:

35 generar una serie de casos del valor muestreado, siendo cada caso el valor muestreado retardado mediante un número creciente de unidades de retardo; y
 accionar la respectiva rama de resistencia con un conjunto paralelo de accionadores, teniendo cada uno de dichos accionadores su entrada accionada mediante un caso diferente de entre dichos casos.

6. El método acorde con la reivindicación 5, en el que la generación de una serie de casos del valor muestreado comprende aplicar el valor muestreado a una serie de segmentos resistivo-capacitivos en cascada.

7. El método acorde con la reivindicación 6, en el que los segmentos resistivo-capacitivos son ajustados para suavizar los bordes transitorios en la señal analógica generada.

8. El método acorde con la reivindicación 1, en el que el DAC con red de resistencias comprende un DAC de escalera R/2R, y en el que cada bit de entrada está asociado con una ponderación deseada de la resistencia de entrada de 2R.

9. El método acorde con la reivindicación 1, en el que el DAC con red de resistencias comprende un DAC con resistencias ponderado binario y en el que cada bit de entrada está asociado con una ponderación deseada de la resistencia de entrada, que es proporcional a la contribución deseada de dicho bit de entrada a la señal analógica durante un ciclo de reloj de muestreo dado.

10. El método acorde con la reivindicación 1, en el que la recepción de valores de bit de entrada de una palabra digital de n bits comprende recibir palabras digitales de una señal de comunicación de banda base.

11. El método acorde con la reivindicación 10, que comprende además proporcionar la señal analógica a un circuito de filtro de paso bajo en modo corriente, para filtrar por adelantado la modulación en modo corriente.

12. El método acorde con la reivindicación 1:

60 en el que para dicho, por lo menos, un bit de entrada del DAC, muestrear el valor del bit de entrada en cada fase comprende, para, por lo menos, una de las entradas de bit más significativas del DAC, muestrear el valor de bit de entrada en cada fase; y
 comprende además, para, por lo menos, una de las entradas de bit menos significativas del DAC, muestrear el valor de bit de entrada en una sola de dichas fases.

13. El método acorde con la reivindicación 1, en el que subdividir cada ciclo de reloj de muestreo del DAC en una serie de fases comprende generar un número correspondiente de señales de reloj, cada una en una fase diferente, y en el que el muestreo del valor del bit de entrada en cada fase comprende muestrear el valor del bit de entrada de acuerdo con cada una de dichas señales de reloj.
- 5 14. Un convertidor de digital a analógico 10, DAC, con red de resistencias, que comprende:
- un conjunto de circuitos (20, 30) de bit de entrada configurado para recibir valores de bit de entrada de una palabra digital de n bits,
- 10 teniendo cada mencionado circuito de entrada de bit un circuito (22, 32) de muestreo de entrada configurado para muestrear un valor de bit de entrada y un circuito (24, 34) de controlador configurado para aplicar el valor muestreado a una resistencia de entrada asociada, con una ponderación deseada de la resistencia de entrada;
- un circuito (50) de salida de señal analógica configurado para generar una señal analógica como una suma ponderada por resistencia de los valores de bit de entrada;
- 15 **caracterizado por:**
- un circuito (40) de reloj que comprende un generador de reloj (42) multifase configurado para subdividir en una serie de fases cada ciclo de reloj de muestreo del DAC; y
- 20 en el que el circuito (22, 32) de muestreo de entrada y el circuito (24, 34) del controlador de, por lo menos, un circuito (20, 30) de entrada de bit comprenden una serie de circuitos (33) de muestreo en paralelo acoplados a un número correspondiente de circuitos (35) de controlador en paralelo, estando configurados dichos circuitos (33) de muestreo en paralelo para muestrear, cada uno, el valor de bit de entrada a una fase diferente de entre dichas fases y estando configurados dichos circuitos (35) de control en paralelo para aplicar, cada uno, el correspondiente valor muestreado a una respectiva rama (39) de resistencia, formando la
- 25 combinación en paralelo de todas las respectivas ramas (39) de resistencia el equivalente de la ponderación deseada de la resistencia de entrada para dicho, por lo menos, un circuito de entrada de bit.
15. El DAC con red de resistencias acorde con la reivindicación 14, en el que dicho circuito de controlador en paralelo comprende circuitos de controlador controlados por rapidez de respuesta en paralelo, configurados además para suavizar, cada uno, los bordes transitorios en la señal analógica generada.
- 30 16. El DAC con resistencias acorde con la reivindicación 14, en el que, por lo menos, uno de dichos circuitos de controlador en paralelo comprende un circuito inversor acoplado a un circuito de espejo de corriente ligado a una fuente de corriente de limitación de la rapidez de respuesta.
- 35 17. El DAC con red de resistencias de la reivindicación 16, en el que la fuente de corriente de limitación de la rapidez de respuesta está ajustada para suavizar los bordes transitorios en la señal analógica generada.
- 40 18. El DAC con red de resistencias acorde con la reivindicación 14, en el que, por lo menos uno, de dichos circuitos de controlador en paralelo comprende:
- un circuito de retardo configurado para generar una serie de casos del valor muestreado, cada caso el valor muestreado estando retardado mediante un número creciente de unidades de retardo; y
- 45 un circuito de un conjunto de controladores en paralelo, teniendo cada controlador contenido en el conjunto su entrada accionada mediante un caso diferente de entre dichos casos.
19. El DAC con red de resistencias acorde con la reivindicación 18, en el que el circuito de retardo comprende una serie de segmentos resistivo-capacitivos en cascada.
- 50 20. El DAC con resistencias acorde con la reivindicación 19, en el que los segmentos resistivo-capacitivos están ajustados para suavizar bordes transitorios en la señal analógica generada.
21. El DAC con red de resistencias acorde con la reivindicación 14, en el que el DAC con red de resistencias comprende un DAC de escalera R/2R y en el que cada circuito de entrada de bit tiene un circuito de controlador configurado para aplicar el valor muestreado a una resistencia de entrada asociada, con una ponderación deseada de la resistencia de entrada de 2R.
- 55 22. El DAC con resistencias acorde con la reivindicación 14, en el que el DAC con red de resistencias comprende un DAC con resistencias ponderado binario y en el que cada circuito de entrada de bit tiene un circuito de controlador configurado para aplicar el valor muestreado a una resistencia de entrada asociada que es proporcional a la contribución deseada de dicho bit de entrada a la señal analógica durante un ciclo de reloj de muestreo dado.
- 60 23. El DAC con red de resistencias acorde con la reivindicación 14, en el que el DAC con red de resistencias comprende parte de un transmisor de comunicación y está configurado para convertir una señal de comunicación de banda base en una señal analógica.
- 65

24. El DAC con red de resistencias acorde con la reivindicación 23, en el que el DAC con red de resistencias está configurado además para proporcionar la señal analógica a un circuito de filtro de paso bajo en modo corriente, para filtrar por adelantado la modulación en modo corriente.

5 25. El DAC con red de resistencias acorde con la reivindicación 14:

en el que el circuito de muestreo de entrada de, por lo menos, uno de los circuitos de entrada de bit más significativos comprende una serie de circuitos de muestreo en paralelo configurados para muestrear, cada uno, el valor de bit de entrada a una fase diferente de entre dichas fases; y

10 en el que el circuito de muestreo de entrada de, por lo menos, uno de los circuitos de entrada de bit menos significativos comprende un solo circuito de muestreo configurado para muestrear el valor de bit de entrada a una sola fase de entre dichas fases.

15 26. El DAC con red de resistencias acorde con la reivindicación 14:

en el que el generador de reloj multifase está configurado para subdividir cada ciclo de reloj de muestreo del DAC en una serie de fases y para generar una cantidad correspondiente de señales de reloj, cada una a una fase diferente; y

20 en el que dichos circuitos de muestreo en paralelo están sincronizados mediante dichas señales de reloj, cada uno a una fase diferente.

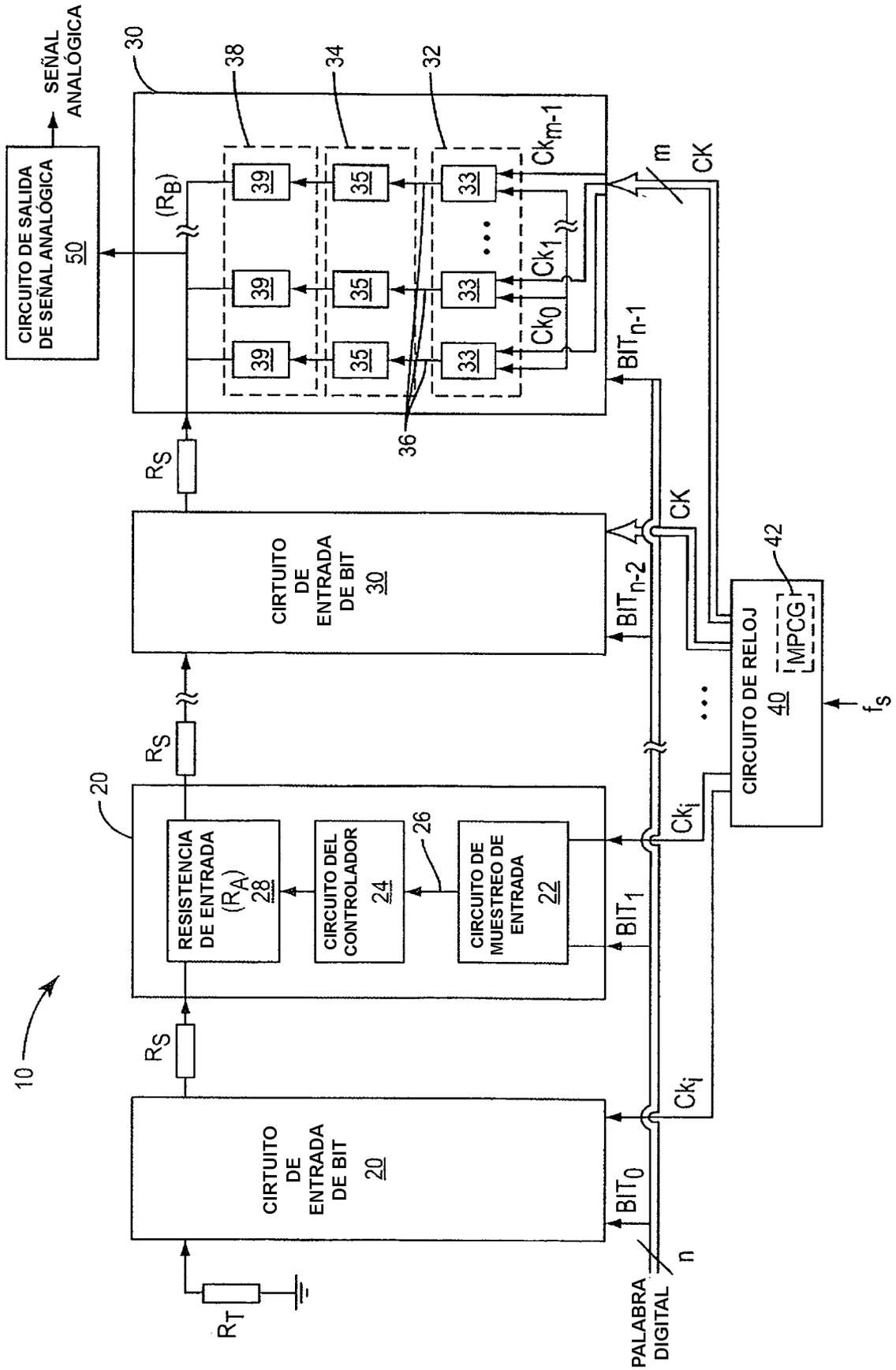


FIG. 1

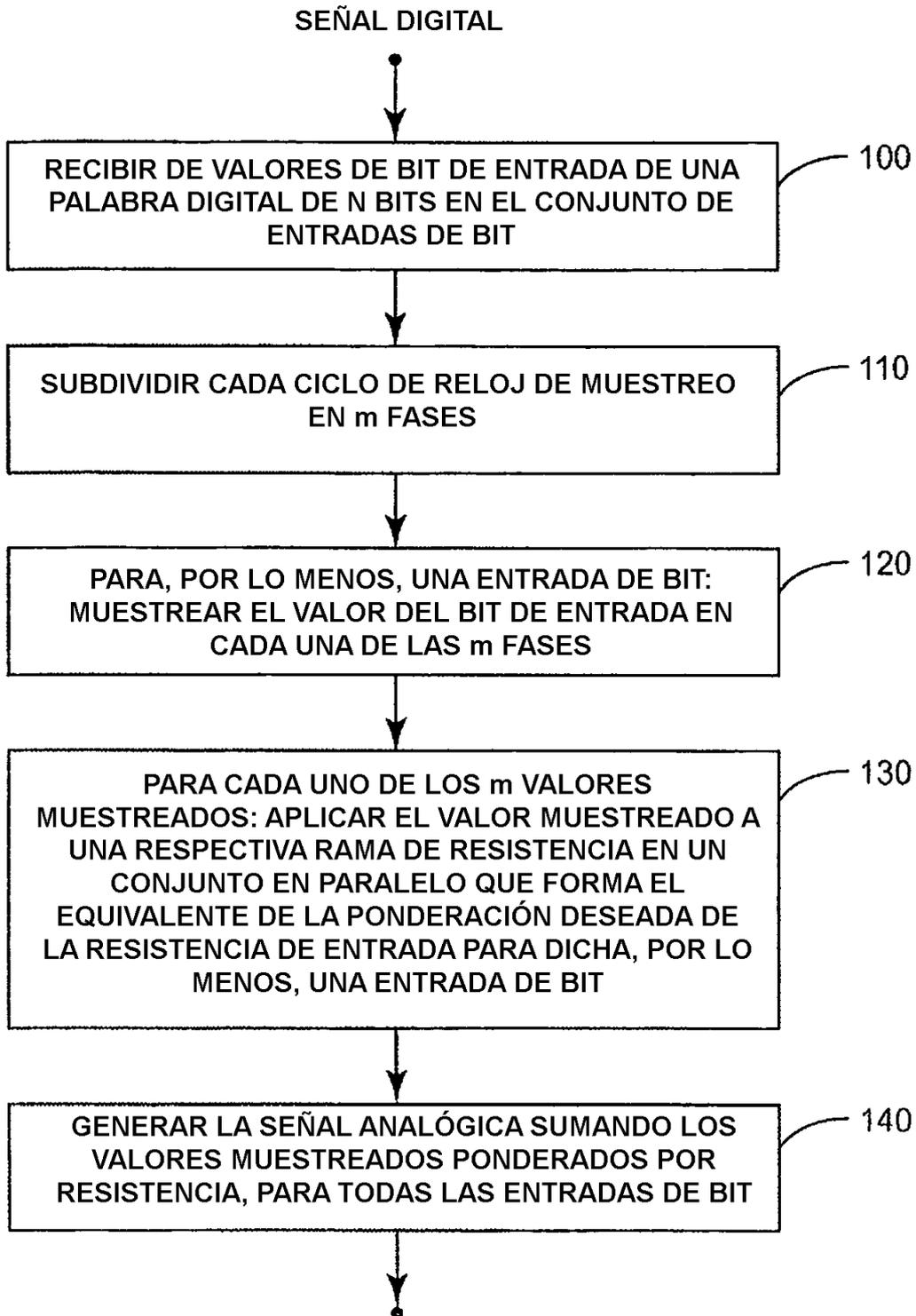


FIG. 2

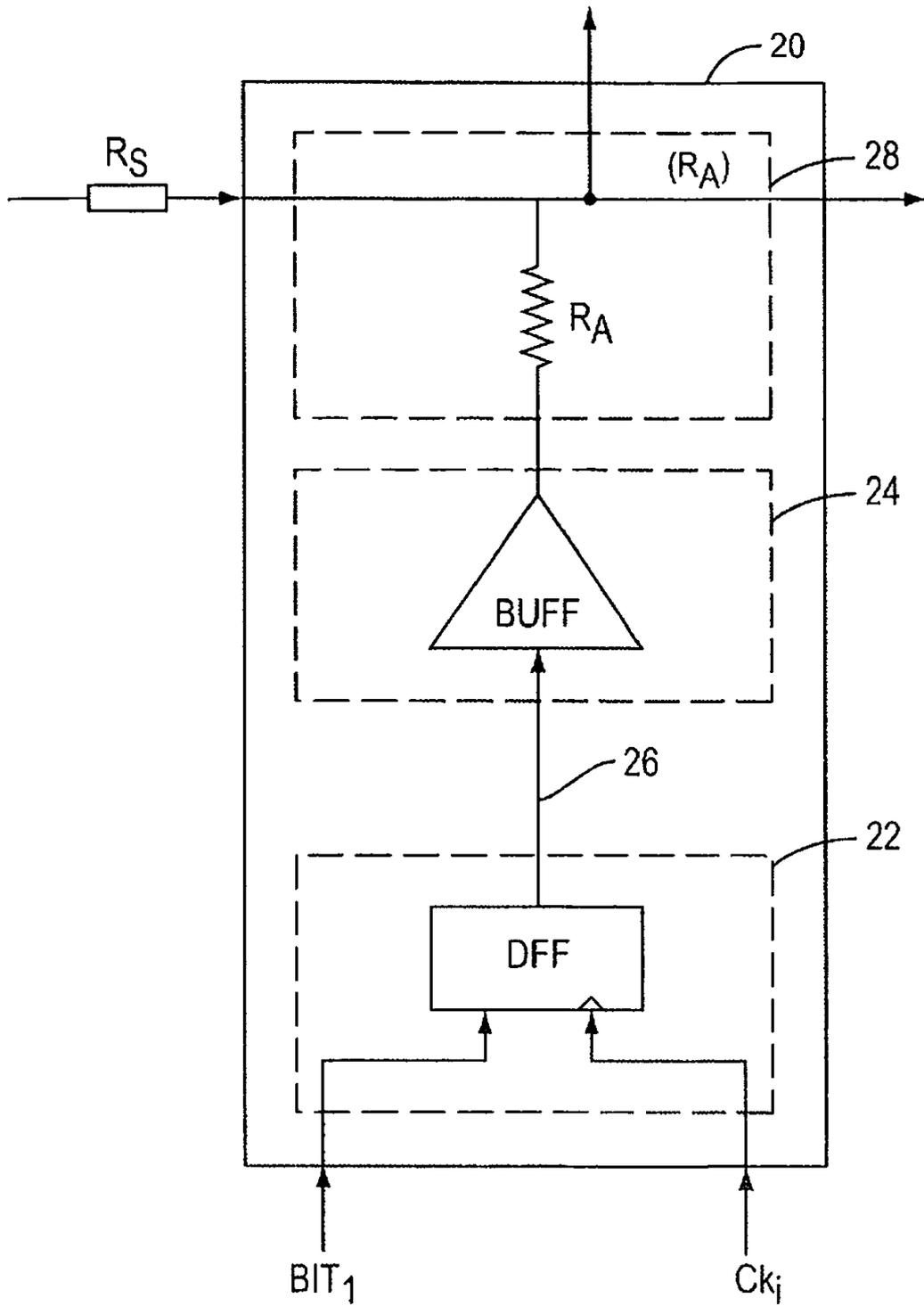


FIG. 3A

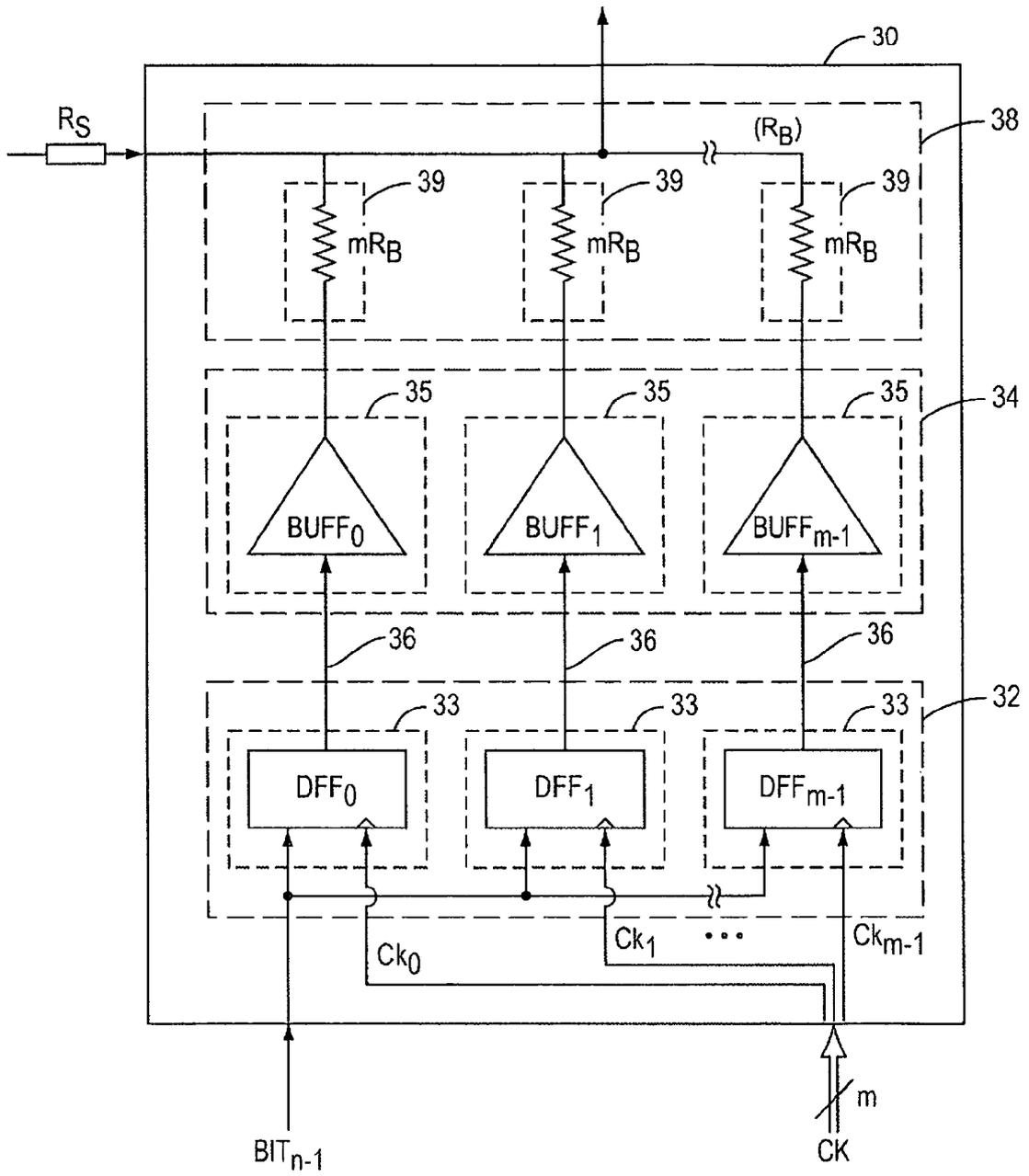


FIG. 3B

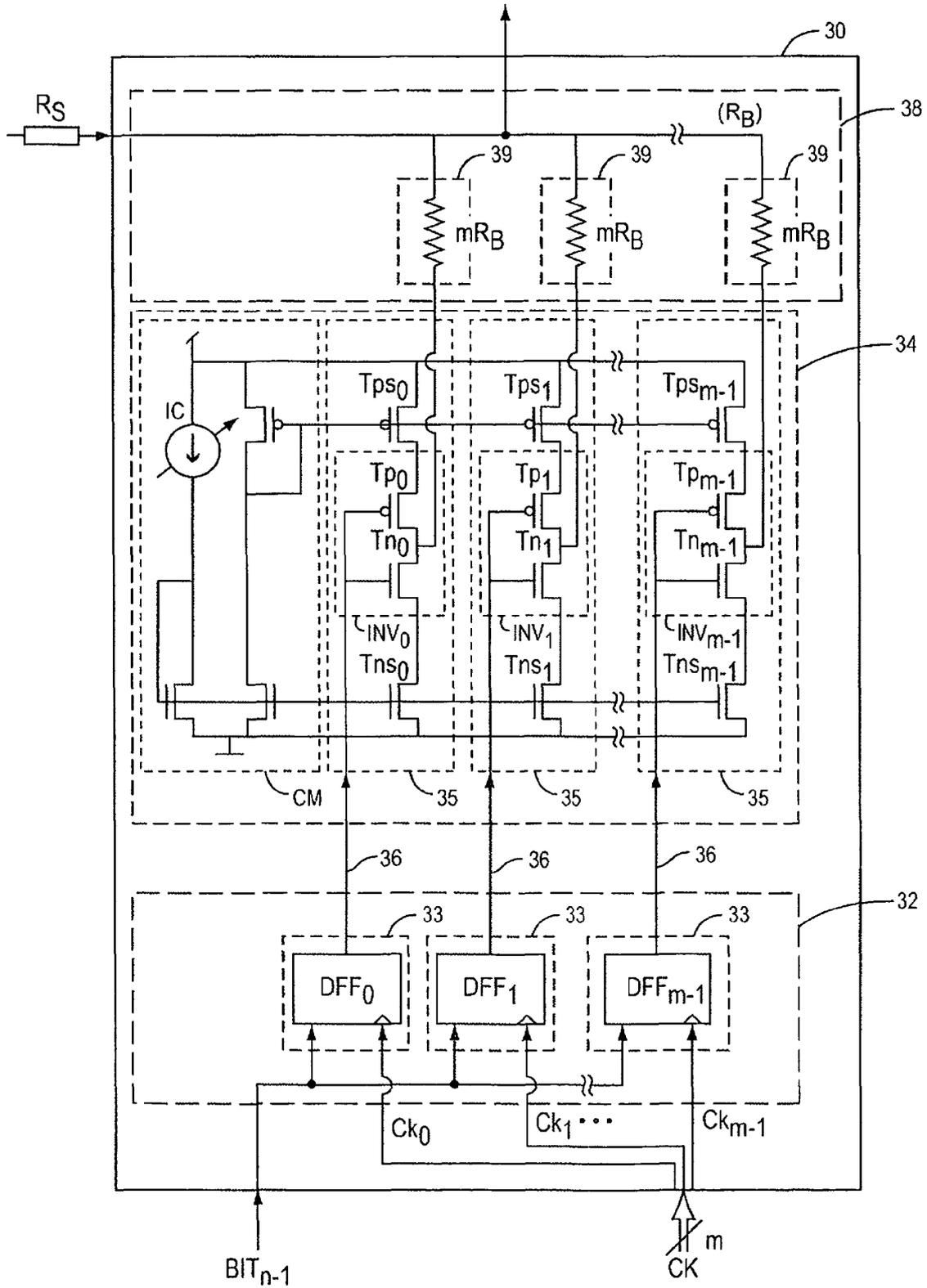


FIG. 5

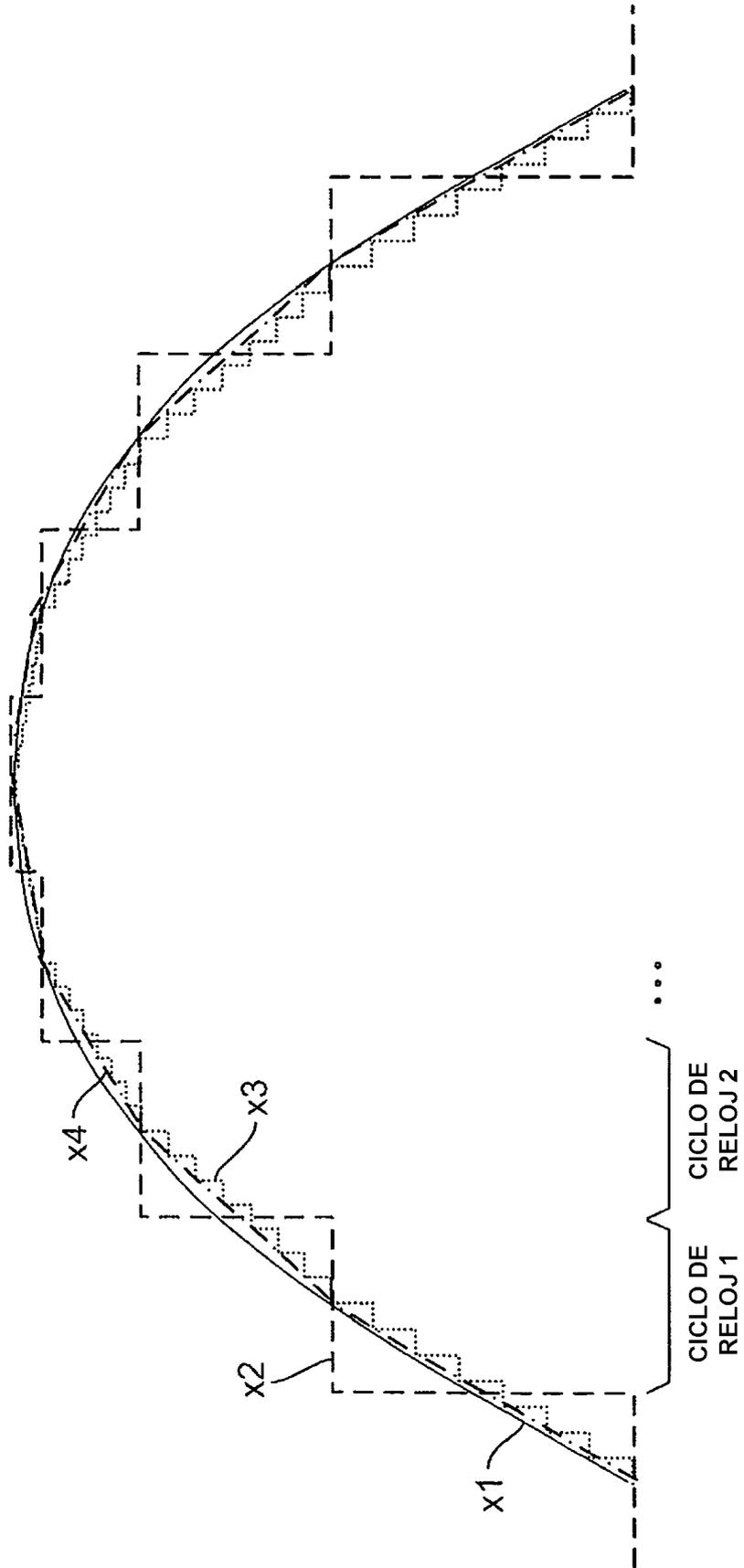


FIG. 6

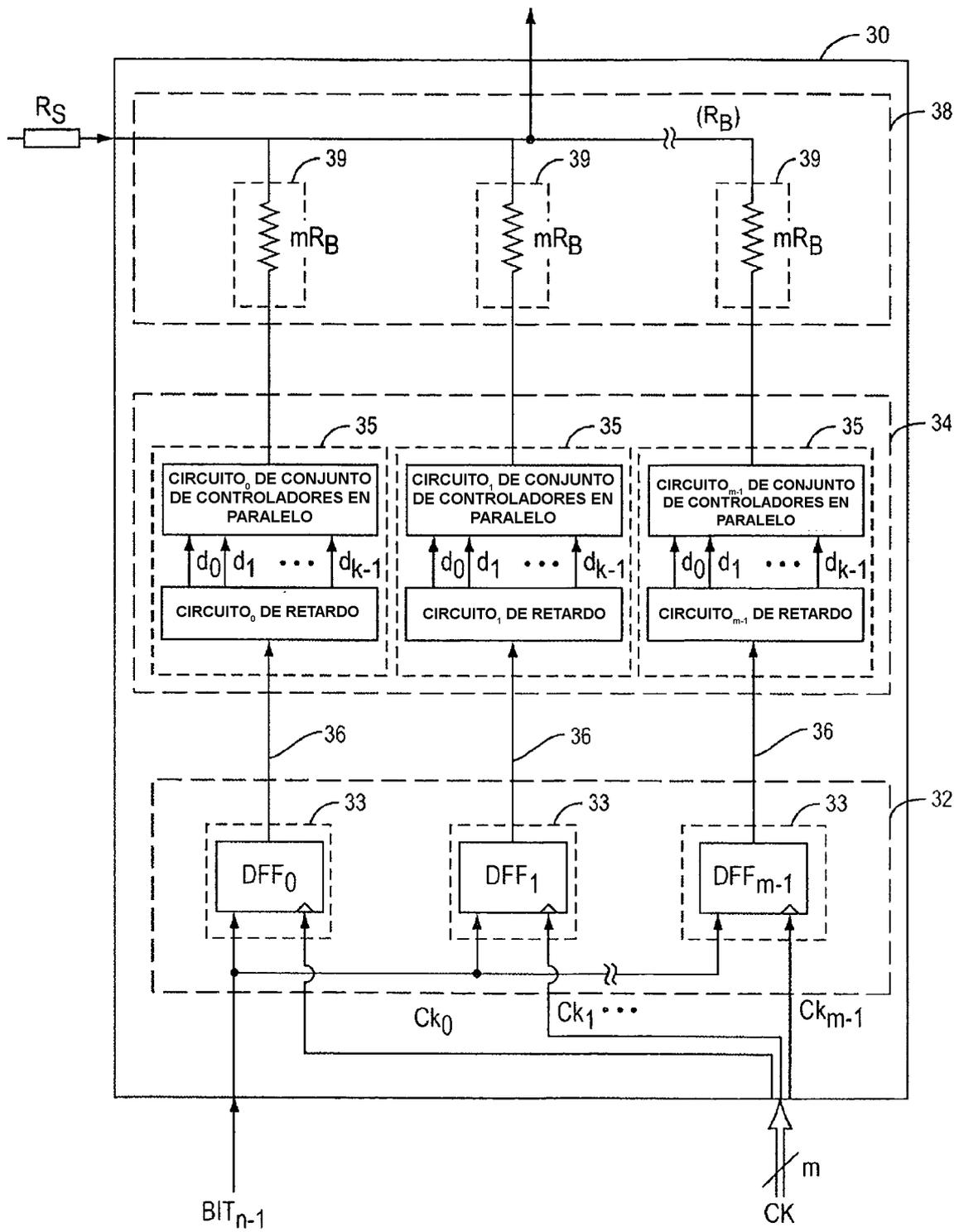


FIG. 7

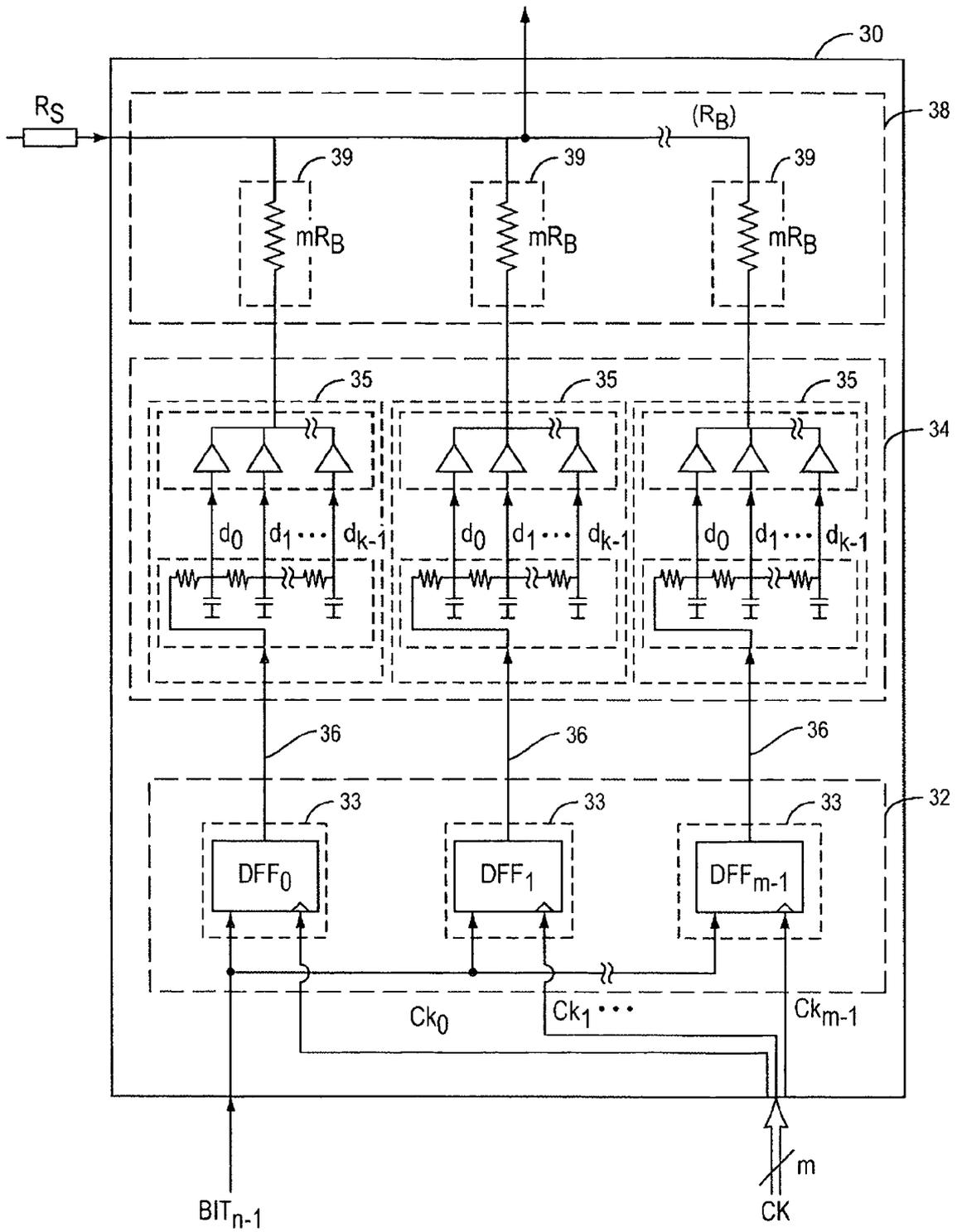


FIG. 8

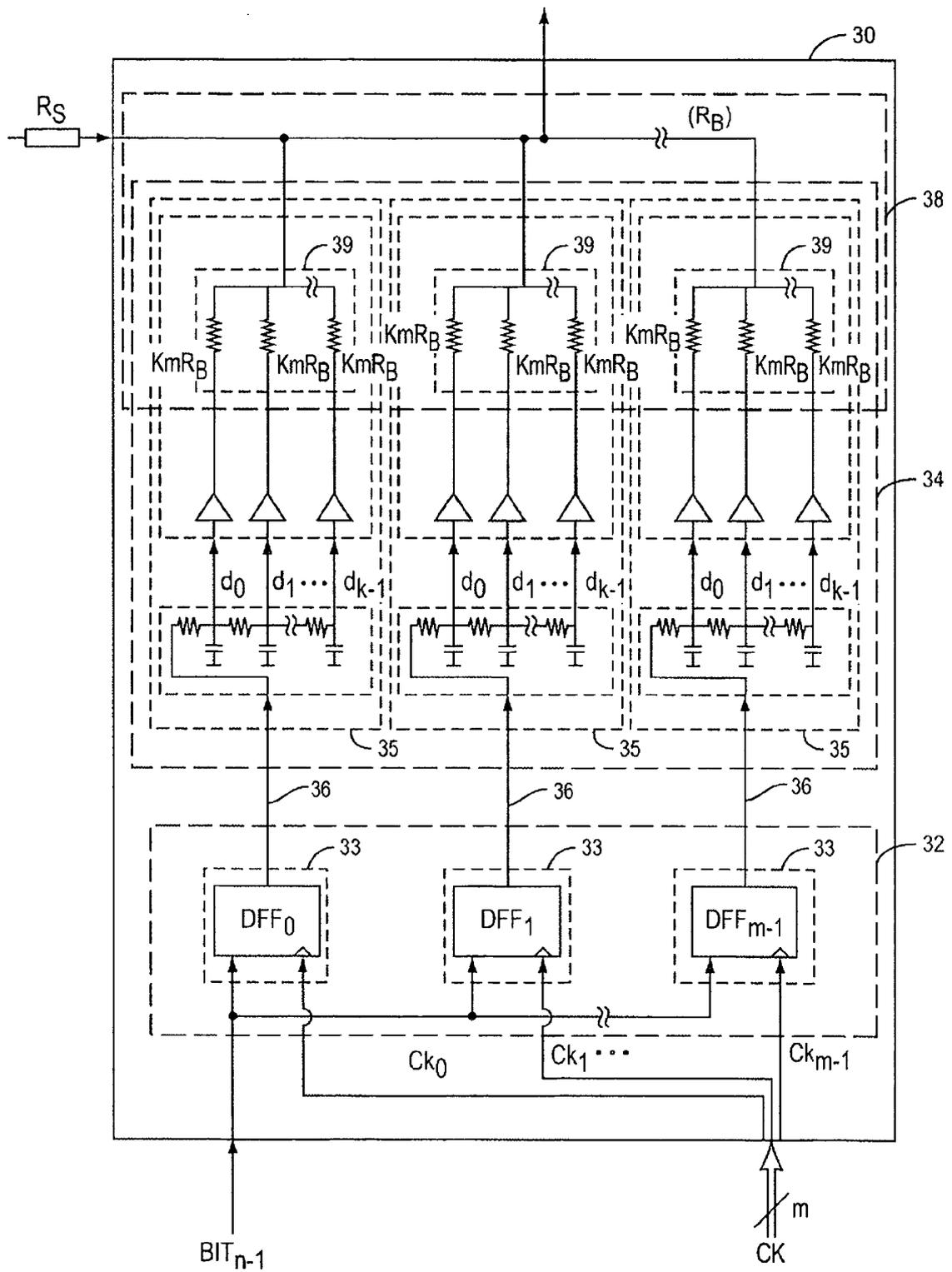


FIG. 9

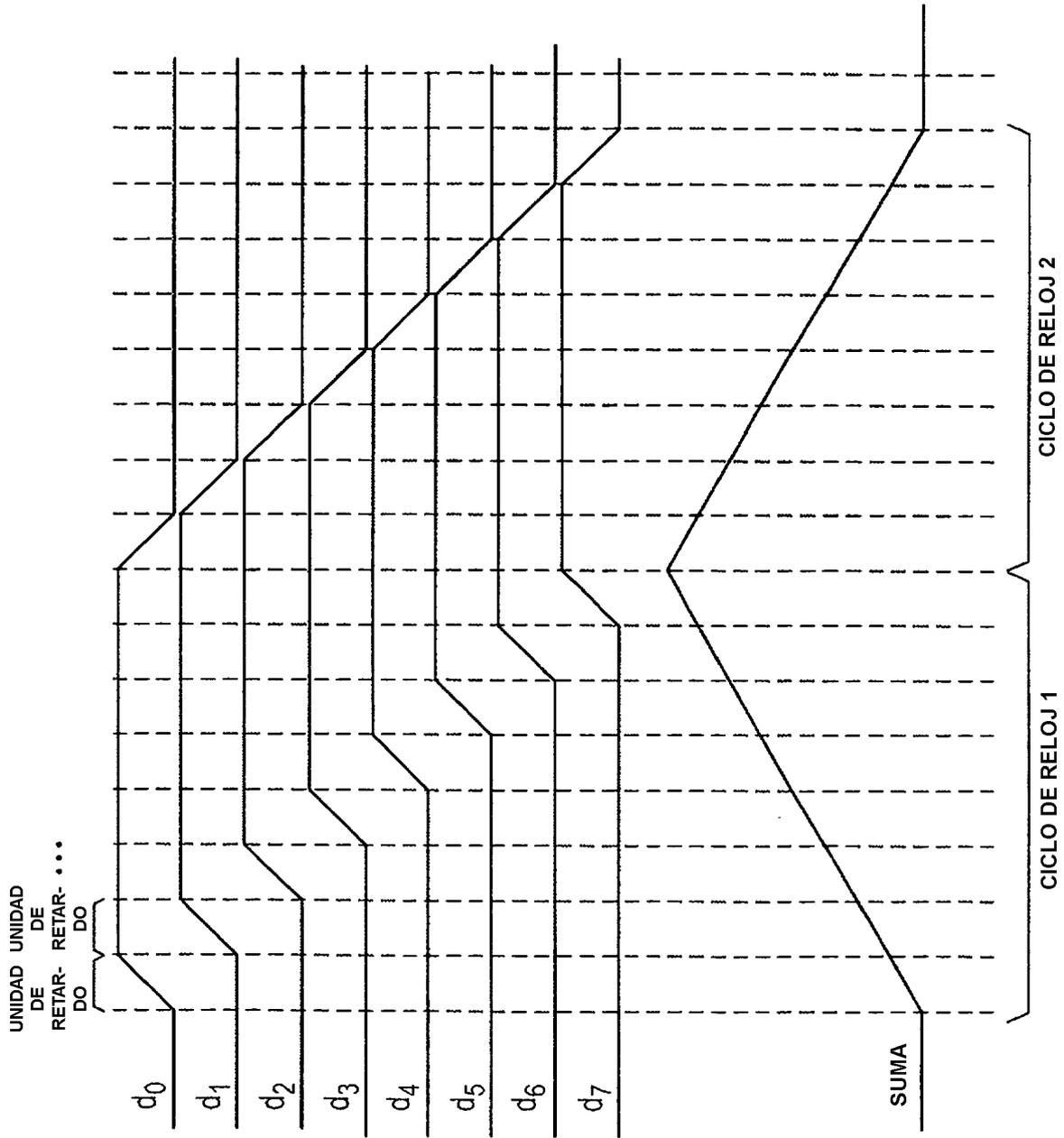


FIG. 10

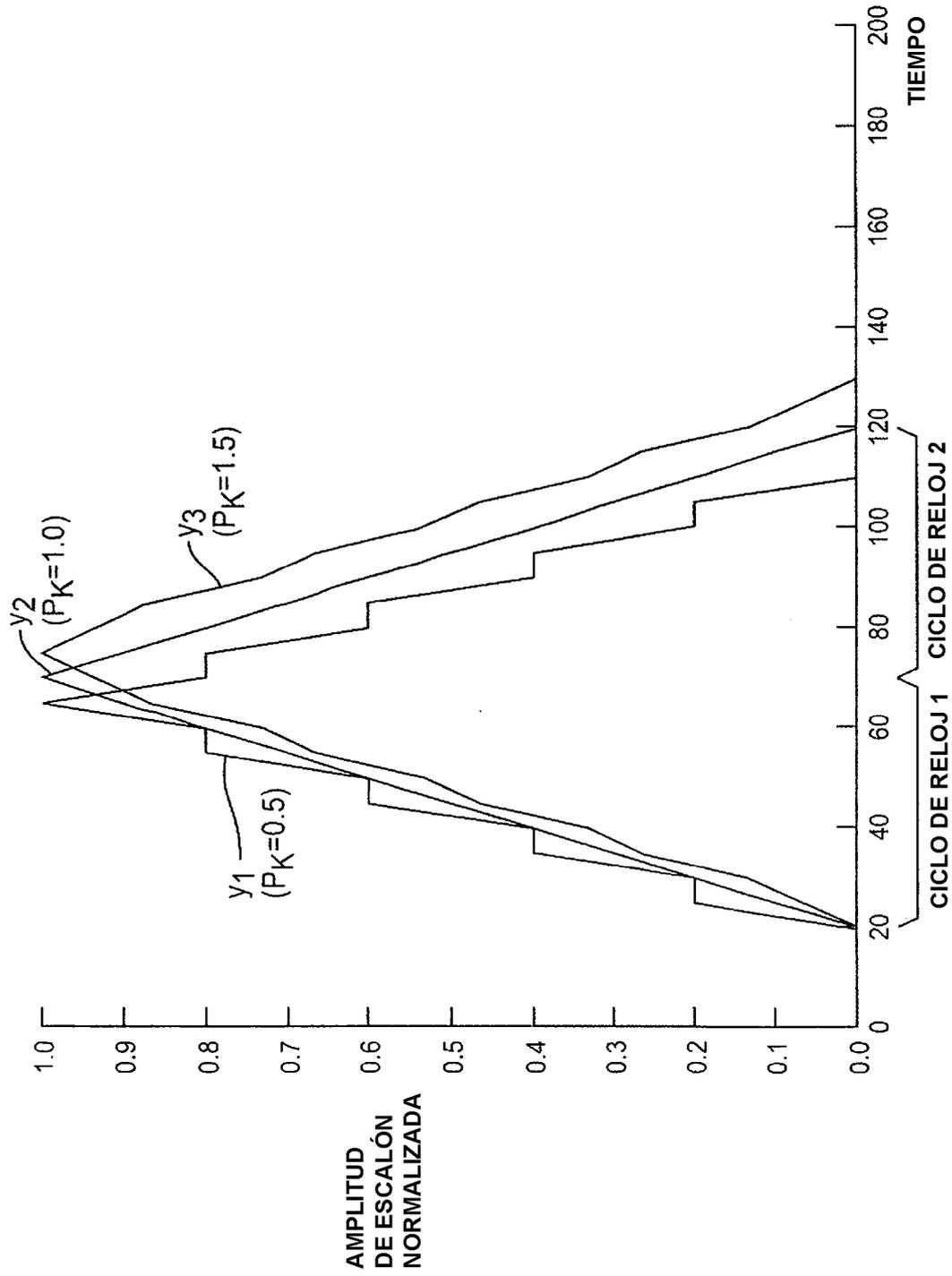


FIG. 11

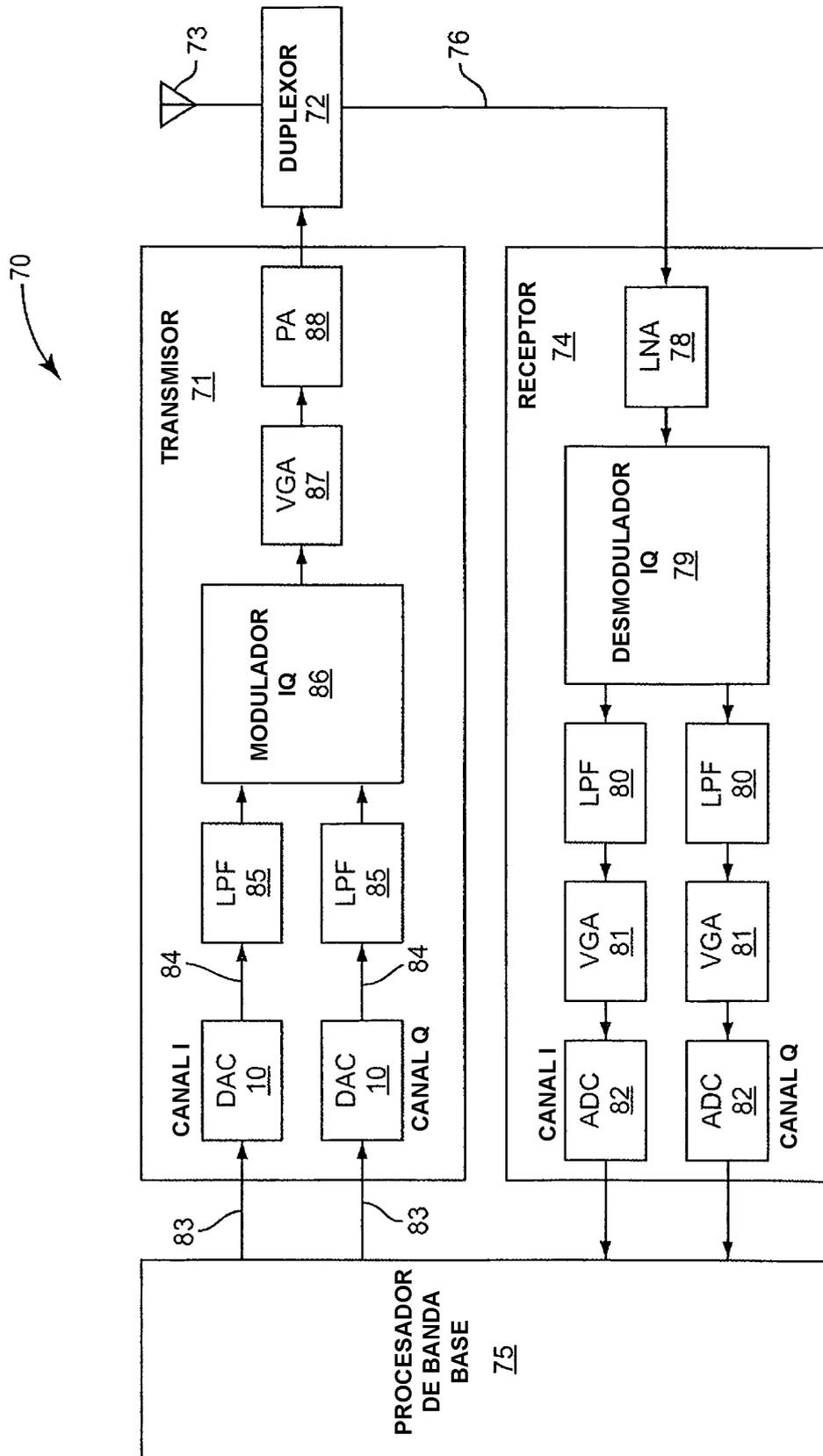


FIG. 12