

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 392 517**

51 Int. Cl.:

H04B 1/10

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05773807 .2**

96 Fecha de presentación: **21.07.2005**

97 Número de publicación de la solicitud: **1784921**

97 Fecha de publicación de la solicitud: **16.05.2007**

54 Título: **Aparato que usa señales de interrupción para controlar un procesador para instalación de radio y método asociado**

30 Prioridad:

23.07.2004 US 898057

45 Fecha de publicación de la mención BOPI:

11.12.2012

45 Fecha de la publicación del folleto de la patente:

11.12.2012

73 Titular/es:

**ST-ERICSSON SA (100.0%)
Chemin du Champ-des-Filles 39
1228 Plan-les-Ouates, CH**

72 Inventor/es:

**RUSH, FREDERICK A.;
VISHAKHADATTA, G. DIWAKAR y
MATTHEWS, PHILLIP M.**

74 Agente/Representante:

UNGRÍA LÓPEZ, Javier

ES 2 392 517 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato que usa señales de interrupción para controlar un procesador para instalación de radio y método asociado

5 Campo de la invención

Este documento de Patente se refiere en general a sistemas en tiempo real y, más en concreto, a sistemas y métodos para controlar sistemas en tiempo real, tales como un sistema RF altamente integrado.

10 Antecedentes de la invención

En varios tipos de circuitos, la interferencia puede producir problemas en la operación de los circuitos. Estos tipos de problemas pueden ser especialmente evidentes en sistemas altamente integrados, donde la operación de una porción de un dispositivo puede interferir con la operación de otra porción del dispositivo. Por ejemplo, en un circuito
15 conteniendo tanto circuitería RF como circuitería digital, la interferencia entre la circuitería RF y digital puede producir una perturbación significativa en los circuitos RF, haciendo muy difícil la implementación en un circuito integrado.

En un receptor, transmisor o transceptor RF típico de la técnica anterior, la circuitería RF reside por lo general en una
20 partición de circuito (por ejemplo, circuito integrado (CI), chip, etc) diferente de la circuitería de procesamiento de señales (por ejemplo, banda base), debido parcialmente al problema de interferencia. La circuitería RF incluye típicamente circuitería analógica que tiene una sensibilidad relativamente alta a ruido e interferencia. Además, la circuitería RF en algunas aplicaciones, por ejemplo, en un aparato de telefonía móvil, puede tener que detectar señales tan pequeñas como unos pocos nanovoltios de amplitud. El rendimiento de un dispositivo puede padecer como resultado del ruido y la interferencia de fuentes externas o incluso internas al aparato de comunicación.

En un aparato típico de comunicaciones, tal como un aparato de telefonía móvil, la circuitería digital produce señales
25 digitales con tiempos de subida y caída relativamente pequeños, o con transiciones rápidas o bordes afilados. Además, las señales a menudo tienen frecuencias relativamente altas. Como resultado, estas señales de alta frecuencia, y sus armónicos, pueden interferir e impactar adversamente en el rendimiento de la circuitería RF. Como resultado, los dispositivos de comunicación típicos de la técnica anterior usan más de una partición de circuito. Por ejemplo, una partición puede incluir la circuitería RF, mientras que una segunda partición incluye la circuitería digital.

Sin embargo, la utilización de más de una partición para la circuitería RF y la circuitería digital tiene varias
35 desventajas, tales como un mayor número de componentes, tamaño y costo general, y más posibilidades de menor fiabilidad y más fallos de fabricación. Por lo tanto, se necesitan dispositivos altamente integrados que tengan circuitería en una partición. Por ejemplo, en el campo de los dispositivos de comunicaciones RF, se necesita un aparato RF altamente integrado que incluya una radio completa en una partición, chip, CI, etc.

Un ejemplo de una disposición de la técnica anterior se describe en US 2004/00116168 A1.

40

Resumen de la invención

Esta invención contempla un aparato RF altamente integrado y métodos asociados.

Según un primer aspecto de la presente invención, se facilita un aparato de telefonía móvil incluyendo: un
45 transceptor formado en un circuito integrado para transmitir y recibir señales RF; circuitería digital formada en el circuito integrado; un secuenciador; y un controlador de interrupciones para controlar la circuitería digital y el transceptor de tal manera que al menos una porción de la circuitería digital esté inhabilitada mientras el transceptor esté transmitiendo o recibiendo señales RF; caracterizado porque el secuenciador está adaptado para generar una
50 primera interrupción que hace que la al menos única porción de la circuitería digital sea inhabilitada, teniendo la primera interrupción una prioridad más alta que otras interrupciones relativas a la operación normal de la circuitería digital, y donde el secuenciador está adaptado para generar una segunda interrupción que hace que la al menos única porción de la circuitería digital sea habilitada, teniendo la segunda interrupción una prioridad más alta que la primera interrupción.

Según un segundo aspecto de la presente invención se facilita un método de controlar un aparato de telefonía móvil que tiene un procesador y un transceptor formado en el mismo circuito integrado, incluyendo el método: usar una pluralidad de interrupciones para controlar la operación del aparato, donde cada una de las interrupciones se refiere a una o más tareas a realizar por el aparato; caracterizado porque el método incluye los pasos adicionales, antes del
60 uso del transceptor, de generar una primera interrupción que tiene una prioridad más alta que otras interrupciones relacionadas con la operación normal del aparato, donde la primera interrupción permite al procesador reducir su interferencia generada; y después del uso del transceptor, generar una segunda interrupción que tiene una prioridad más alta que la primera interrupción, donde la segunda interrupción hace que el procesador vuelva a operación normal.

65 Otras características y ventajas de la presente invención serán evidentes por los dibujos acompañantes y por la

descripción detallada siguiente.

Breve descripción de los dibujos

5 La presente invención se ilustra a modo de ejemplo y no de limitación en las figuras de los dibujos acompañantes, en los que referencias análogas indican elementos similares y en los que:

La figura 1 es un diagrama de bloques de un aparato de comunicaciones móviles.

10 La figura 2 representa un conjunto de eventos que tienen lugar en un sistema general de comunicaciones según la invención.

La figura 3 es un diagrama de bloques de un sistema de control de interrupciones que puede ser usado con la presente invención.

15 La figura 4 es un diagrama que ilustra un mapa de interrupciones.

La figura 5 es un diagrama que ilustra un mapa de interrupciones, incluyendo dos interrupciones nuevas usadas para disparar la parada y el arranque de un procesador.

20 La figura 6 es un diagrama de flujo que ilustra la operación de la presente invención.

La figura 7 ilustra una realización de la recepción de una interrupción de parada y una rutina de servicio de interrupción de parada.

25 La figura 8 ilustra una realización de la recepción de una interrupción de re arranque y una rutina de servicio de interrupción de re arranque.

30 La figura 9 representa un ejemplo de un cuadro de datos GSM y la temporización relativa de las interrupciones de parada y re arranque.

La figura 10 es un diagrama de temporización que ilustra el contexto de operación del sistema para un intervalo de tiempo RF.

35 **Descripción detallada**

Esta invención se refiere a sistemas RF y digitales altamente integrados. En una aplicación de la invención, los conceptos descritos a continuación obvian la necesidad de dividir la circuitería RF y digital (por ejemplo, circuitería de procesamiento de señales), así como afrontan retos relativos a dicha integración. En una realización ejemplar de la presente invención, en un sistema de comunicación, la circuitería RF y la circuitería de procesamiento de señales (por ejemplo, procesador de señales digitales (DSP), microprocesador, microcontrolador, circuitería lógica de propósito general, y análogos) pueden residir en la misma partición de circuito. Naturalmente, la presente invención puede ser usada con cualquier otro sistema o dispositivo deseado.

45 En general, en un ejemplo, un aspecto de la presente invención se refiere a aislamiento en el dominio de tiempo de partes diferentes de un aparato (por ejemplo, aislar circuitería RF de circuitería digital en el tiempo). En un ejemplo de un sistema de comunicación que tiene circuitería de procesamiento de señal y circuitería RF, la circuitería RF opera generalmente cuando la circuitería de procesamiento de señales está inactiva, y viceversa. Obsérvese, sin embargo, que la operación de la circuitería RF y la circuitería de procesamiento de señales se pueden solapar en cierto grado. Como consecuencia, el ruido de conmutación digital y contenido de armónicos asociado no interfieren con el funcionamiento de la circuitería RF, y viceversa. Otro aspecto de la presente invención se refiere a técnicas para parar y arrancar eficientemente circuitería de procesamiento de señal para lograr el aislamiento en el dominio de tiempo mencionado anteriormente.

55 Con el fin de proporcionar un contexto para la comprensión de esta descripción, la descripción siguiente ilustra un ejemplo de un entorno en el que se puede usar la presente invención. Naturalmente, la invención también se puede usar en otros muchos tipos de entornos (por ejemplo, un sistema basado en sistema operativo en tiempo real). Las técnicas de la presente invención pueden ser usadas para cualesquiera aplicaciones deseadas, incluyendo un sistema de transmisión inalámbrica tal como dispositivos de comunicación móviles o celulares u otros dispositivos inalámbricos. Los ejemplos de sistemas donde se puede usar la presente invención incluyen, aunque sin limitación, GSM, GPRS, EDGE, TDMA, PCS, DCS, o cualquier sistema de comunicación de configuración similar.

65 La figura 1 es un diagrama de bloques de un aparato de comunicaciones móviles 10. Obsérvese que la figura 1 representa el aparato 10 en general, y que dicho aparato incluirá otros varios componentes, como entenderán las personas con conocimientos ordinarios en la técnica que conozcan la descripción de la invención. El aparato 10 representado en la figura 1 incluye una partición de circuito 12 (por ejemplo, un circuito integrado (CI), chip, módulo

multichip, paquete, cavidad EMI, etc), incluyendo una banda base 14 y circuitería RF de extremo delantero 16 (así como otra circuitería digital y RF). La banda base 14 sirve en general para controlar la operación del aparato 10, y puede incluir un microcontrolador, procesadores de señales digitales, circuitos lógicos, memoria, etc. Un procesador o controlador puede estar compuesto de múltiples procesadores, es decir, una pluralidad de elementos de procesado. La circuitería RF de extremo delantero 16 proporciona en general una interfaz a un amplificador de potencia 18 (para facilitar la transmisión de señales) y la interfaz de extremo delantero 20 (para el enrutamiento de señales a y de la antena). Naturalmente, la partición de circuito 12 incluye otras varias circuiterías digitales y RF, como entenderán las personas con conocimientos ordinarios en la técnica que conozcan la descripción de la invención. Al transmitir señales, el amplificador de potencia 18 proporciona señales amplificadas a la interfaz de extremo delantero 20, que luego proporciona las señales amplificadas a la antena 22. Al recibir señales, las señales son recibidas por la antena 22, y enviadas a la circuitería RF de extremo delantero 16 mediante la interfaz de extremo delantero 20.

La figura 2 ilustra un conjunto de eventos que tienen lugar en un sistema general de comunicaciones según la presente invención. El ejemplo representado en la figura 2 se refiere a un sistema que opera según un protocolo TDMA. En términos generales, dos eventos alternativos tienen lugar en este ejemplo: recepción o transmisión RF, y procesado de señales. Expresado de otra forma, el sistema dispone en el tiempo las actividades de recepción o transmisión RF y las actividades de procesado de señal con el fin de evitar o reducir la interferencia entre la circuitería RF y la circuitería digital de procesado de señales.

Con referencia a la figura 2, los sistemas de comunicaciones o el aparato según realizaciones ejemplares de la invención usan una pluralidad de intervalos de tiempo RF 30A, 30B, 30C, etc. Tales sistemas o aparatos también emplean una pluralidad de intervalos de tiempo de procesado de señal 32A, 32B, etc. En general, durante los intervalos de tiempo RF 30A-30C, el sistema o aparato (por ejemplo, la circuitería RF de extremo delantero 16 representada en la figura 1) puede recibir señales RF o transmitir señales RF, procesar las señales recibidas, y realizar cualquier otra manipulación deseada de los datos. Posteriormente, durante los intervalos de tiempo de procesado de señal 32A-32B, el sistema o aparato (por ejemplo, la banda base 14) puede realizar tareas de procesado de señal.

Alternativamente, durante los intervalos de tiempo RF 30A-30C, el sistema o aparato puede transmitir señales RF. En este modo de operación, durante los intervalos de tiempo de procesado de señal 32A-32B, el sistema o aparato (por ejemplo, la banda base 14) realiza tareas de procesado de señal (por ejemplo, voz, datos) y realiza cualquier otra manipulación deseada de los datos. Posteriormente, durante los intervalos de tiempo RF 30A-30C, el sistema o aparato (por ejemplo, la circuitería RF de extremo delantero 16) puede procesar señales de transmisión y realizar operaciones RF (por ejemplo, conversión ascendente) y transmitir una señal RF.

Obsérvese que las tareas de procesado de señal realizadas durante los intervalos de tiempo de procesado de señal 32A-32B constituyen varias funciones de procesado de señal en un aparato de comunicación RF. Los ejemplos de tales tareas incluyen modulación, codificación, decodificación y análogos. Obsérvese también que, dependiendo del protocolo específico, la arquitectura y la circuitería usada, el sistema o aparato puede recibir y transmitir simultáneamente, según se desee. Típicamente, no obstante, el sistema transmite señales o recibe señales durante alguno de los intervalos de tiempo RF, o en ráfagas. Por ejemplo, un sistema o aparato conforme a GSM, tal como un teléfono móvil, recibe o transmite señales RF en una o más ráfagas de actividad durante intervalos de tiempo RF. Obsérvese que los intervalos de tiempo de procesado de señal y RF se pueden solapar o variar de otro modo con respecto a lo representado en la figura 2. Además, las posiciones de los intervalos de tiempo de procesado de señal o RF en un cuadro GSM pueden cambiar con el tiempo.

Obsérvese que los intervalos de tiempo RF 30A-30C representados en la figura 2 pueden tener las mismas o diferentes duraciones, según se desee. En general, los intervalos de tiempo RF 30A-30C pueden tener longitudes desiguales con el fin de acomodar una amplia variedad de circuitería, sistemas, protocolos y especificaciones, según se desee. Cada uno de los intervalos de tiempo RF 30A-30C puede incluir otros varios intervalos de tiempo o un cuadro, dependiendo del protocolo de comunicación o técnica concretos usados. Por ejemplo, en una aplicación GSM, cada período RF puede incluir un intervalo GSM, múltiples intervalos, o múltiples cuadros usados para transmisión, recepción o supervisión.

Igualmente, los intervalos de tiempo de procesado de señal 32A- 32B representados en la figura 2 pueden tener duraciones similares o disimilares, según se desee. En general, los intervalos de tiempo de procesado de señal pueden tener longitudes desiguales con el fin de acomodar una amplia serie de aparatos de procesado de señales, circuitería, algoritmos, y técnicas de procesado. Cada uno de los intervalos de tiempo de procesado de señal 32A-32B puede incluir otros varios intervalos de tiempo o divisiones de tiempo, dependiendo del protocolo de comunicación concreto y/o de las técnicas de procesado de señales y la circuitería y tecnología concretas usadas. Por ejemplo, un intervalo de tiempo de procesado de señal puede incluir varios intervalos de tiempo, con una porción de una circuitería concreta activa o señales de procesado durante uno o más intervalos de tiempo.

Además, las tareas de procesado de señal pueden ser realizadas en modo serie o multiplexado (por ejemplo, compartiendo hardware para realizar varias tareas), en paralelo (por ejemplo, usando hardware dedicado para cada

tarea de procesamiento de señal), o en una combinación de las dos técnicas, según se desee. La opción de hardware de procesamiento de señal, microprogramas y software depende de las especificaciones de diseño y rendimiento para una implementación deseada dada, como entenderán las personas con conocimientos ordinarios en la técnica que conozcan la descripción de la invención.

Para llevar a cabo el aislamiento ilustrado en la figura 2, la circuitería RF y la circuitería de procesamiento de señales pueden ser activadas y desactivadas, en correspondencia con las transiciones de un intervalo de tiempo a otro. La activación y desactivación puede ser realizada de varias formas. Como se ha mencionado anteriormente, otro aspecto de la presente invención se refiere a técnicas para parar y arrancar eficientemente procesadores y otra circuitería.

Arrancar y parar eficientemente un procesador de propósito general y/o un procesador de señales digitales presenta varios retos. Es deseable parar de forma segura un procesador con mínima latencia, de modo que una cantidad máxima de tiempo pueda ser asignada para tareas de procesamiento mientras la radio (u otra circuitería RF) no esté en uso. Parar simplemente un reloj de un procesador puede dejar el procesador (así como el bus de procesador, las memorias o los dispositivos periféricos) en un estado no válido, o un estado que puede no ser capaz de volver a las operaciones normales. Implementando con esmero un procedimiento de parada (por ejemplo, los procedimientos descritos más adelante), los buses son adecuados para movimiento de datos. Además, con un procedimiento de parada eficiente, el tiempo empleado antes del uso de la radio puede ser usado más efectivamente, donde las tareas requeridas como preparación para el uso de la radio pueden tener lugar lo más cerca posible del inicio del uso de la radio. En un ejemplo, se mantiene el estado de los procesadores mientras se usa la radio, pero también se puede volver rápidamente a operación normal después del uso de la radio. Un procedimiento eficiente de reanque de procesador minimizará el tiempo que el procesador pasará volviendo a arrancar, dejando más tiempo para procesar otras tareas.

Al implementar procedimientos de parada y arranque, hay varias consideraciones que pueden ser tomadas en cuenta. De nuevo, como se ha descrito anteriormente, con el fin de mantener el mejor rendimiento RF posible, el ruido asociado con conmutación digital lógica deberá ser controlado durante tiempos críticos (por ejemplo, cuando una radio está transmitiendo o recibiendo). Un método para controlar el ruido de conmutación digital es parar toda la conmutación, o al menos minimizarla. Idealmente, las técnicas de parada y arranque deberán ser seguras para el sistema general, de tal manera que los estados de los pipelines de procesador no sean impactados por relojes espurios, por ejemplo. También es deseable parar el procesador en un tiempo específico, dado que el uso de la radio viene dictado por un programa preestablecido. Es deseable parar el procesador lo más rápidamente posible con el fin de maximizar la cantidad de tiempo que el procesador esté disponible para procesar tareas.

Aunque las técnicas de la presente invención para parar y arrancar eficientemente uno o más procesadores pueden ser implementadas de varias formas, sigue una descripción de las técnicas para parar y arrancar un procesador que es controlado usando una arquitectura de interrupciones. En general, una interrupción es una señal recibida por un procesador que hace una detención temporal en la ejecución de un programa mientras se realiza alguna otra tarea. Después de realizar la tarea, el control vuelve al programa original. Si se reciben múltiples interrupciones, las interrupciones son servidas en base a un sistema de prioridad, donde las interrupciones de prioridad más alta son servidas primero. Es común que un sistema en tiempo real (por ejemplo, un teléfono móvil, etc) utilice interrupciones para controlar la operación del sistema. Tal sistema puede incluir un procesador, un programa de manejo de interrupciones, un controlador de interrupciones, y un secuenciador, o generador de interrupciones.

La figura 3 es un diagrama de bloques de un sistema de control de interrupciones que puede ser usado con la presente invención. El sistema incluye un microcontrolador (MCU) que puede ser parte de la banda base representada en la figura 1. El MCU representado en la figura 3 incluye memoria, cache, y lógica de interrupción. La memoria y la cache se usan para almacenar información para uso por el MCU. El MCU también puede hacer uso de memoria o cache conectadas externamente. La lógica de interrupción está acoplada a un controlador de interrupciones por la línea. El controlador de interrupciones también está acoplado a un bus MCU, que también está acoplado al MCU. Un temporizador de sistema también está acoplado al bus MCU, así como al controlador de interrupciones, mediante la línea. El temporizador de sistema actúa como un secuenciador, o generador de interrupciones para generar interrupciones para el controlador de interrupciones. La figura 3 también representa dos dispositivos periféricos representativos, que están acoplados al bus MCU y al controlador de interrupciones mediante líneas, respectivamente. Se puede usar cualquier número deseado de periféricos soportados por el sistema. Los ejemplos de dispositivos periféricos incluyen, aunque sin limitación, un UART, una interfaz de tarjeta SIM, un controlador DMA, fuentes de interrupciones externas, etc.

En la realización representada en la figura 3, las interrupciones pueden ser generadas por el temporizador de sistema, los dispositivos periféricos, así como otros dispositivos que puede no estar representados en la figura 3. Cuando una o más interrupciones son recibidas por el controlador de interrupciones, el controlador de interrupciones determina qué recorrido de procesamiento tomar a continuación, dependiendo, al menos parcialmente, de las prioridades relativas de las interrupciones recibidas. El controlador de interrupciones envía entonces señales de control a la lógica de interrupción del MCU mediante la línea.

En general, la presente invención para y arranca eficientemente un procesador (1) proporcionando una forma de disparar una transición; y (2) proporcionando procedimientos para parar y arrancar eficientemente el procesador. En un ejemplo, una transición se dispara generando y sirviendo una interrupción de prioridad relativamente alta (descrita con más detalle más adelante). Una ventaja de usar esta técnica de disparo es que se puede mantener el código de legado preexistente, mientras que todavía se logran los objetivos deseados. Al recibir la interrupción de prioridad relativamente alta, el procesador se para o arranca de tal manera que el procesador pueda operar en un modo de procesado normal, y en un modo de estado parecido a dormir, de baja potencia y bajo ruido (descrito con más detalle más adelante).

En un ejemplo, la presente invención configura una primera interrupción de prioridad relativamente alta que será generada cuando el procesador se haya de parar (es decir, inmediatamente antes del uso de la radio). Una segunda interrupción de prioridad relativamente alta está configurada de modo que será generada cuando el procesador haya de ser arrancado de nuevo (es decir, inmediatamente después del uso de la radio). La figura 4 es un diagrama que ilustra un mapa típico de interrupciones de legado. La figura 4 lista N interrupciones (etiquetadas 1 a N), clasificadas por prioridad, donde la interrupción 1 tiene la prioridad más alta, y la interrupción N tiene la prioridad más baja. Las prioridades de las interrupciones están etiquetadas de 0 a N-1, donde los números más bajos corresponden a las prioridades más altas.

Como se ha mencionado anteriormente, la presente invención puede ser implementada sin perturbar el código de legado preexistente (es decir, el código correspondiente a las N interrupciones ilustradas en la figura 4). La figura 5 es un diagrama que ilustra un mapa de interrupciones, incluyendo dos interrupciones nuevas usadas para disparar la parada y el arranque del procesador. De forma análoga a la figura 4, la figura 5 lista las N interrupciones de legado (etiquetadas de 1 a N). También se representan dos nuevas interrupciones (N+1 y N+2). Las nuevas interrupciones (N+1 y N+2) son re-mapeadas de tal manera que tengan las prioridades más altas. En este ejemplo, la interrupción N+1 tiene una prioridad de -1, que es más alta que todas las interrupciones de legado normales. La interrupción N+1 también puede ser considerada como la "interrupción -1". En un ejemplo, la interrupción N+1 dispara una rutina de interrupción de parada (descrita más adelante) y se genera antes del uso de la radio. La interrupción N+2 tiene una prioridad de -2, que es más alta que todas las interrupciones de legado normales, así como la interrupción N+1. La interrupción N+2 puede ser considerada como la "interrupción -2". En un ejemplo, la interrupción N+2 dispara una rutina de interrupción de re arranque (descrita más adelante) y se genera después del uso de la radio. Obsérvese que los términos "interrupción -1" e "interrupción -2" son simplemente nombres convenientes dados a las interrupciones y que se puede usar otra nomenclatura, según se desee. En general, las dos nuevas interrupciones están configuradas de manera que tengan una prioridad más alta que todas las interrupciones de legado.

Como se ha mencionado, la presente invención puede usar cualesquiera procedimientos deseados para arrancar y parar un procesador. La figura 6 es un diagrama de flujo que ilustra la operación de la presente invención. El proceso comienza con el paso 6-10, donde una o más interrupciones son generadas y recibidas por el controlador de interrupciones. Generalmente, cuando las interrupciones sean recibidas, el controlador de interrupciones hará una decisión acerca del paso de procesado siguiente que el procesador tomará. Si se reciben múltiples interrupciones, la interrupción con la prioridad más alta será servida primero. En el paso 6-12, el proceso determina si se recibió una interrupción de parada (por ejemplo, la interrupción -1 descrita anteriormente). En caso negativo (es decir, se recibió una interrupción de legado normal), el proceso pasa al paso 6-14, donde la nueva interrupción es procesada. En el caso donde una interrupción de prioridad más alta previamente recibida todavía no se ha completado, este procesado continúa. El proceso vuelve entonces al paso 6-10. Obsérvese que, entre interrupciones recibidas, el procesador está realizando tareas de procesado generales. Si, en el paso 6-12, se determinó que se recibió una interrupción de parada (interrupción -1) (es decir, el uso de circuitería RF está a punto de empezar), entonces el proceso pasa al paso 6-16, donde se procesa la rutina de servicio de interrupción de parada.

La figura 7 (descrita más adelante) ilustra una realización de una rutina de servicio de interrupción de parada. Como se describe más adelante con respecto a la figura 7, después del paso 6-16, el proceso espera una interrupción de re arranque (la interrupción -2). En un ejemplo, la interrupción -2 es enmascarable, de modo que la interrupción no puede ser enmascarada dentro del controlador de interrupciones. Una vez recibida una interrupción de re arranque, el proceso pasa al paso 6-20, donde la rutina de servicio de interrupción de re arranque es procesada.

La figura 8 (descrita más adelante) ilustra una realización de una rutina de servicio de interrupción de re arranque. En un ejemplo alternativo, en vez de usar la interrupción -2, se puede usar un temporizador para disparar el proceso de re arranque, dado que la longitud del intervalo de tiempo RF deberá ser conocida. Igualmente, se podría usar un temporizador para determinar cuándo comienza una ráfaga, o puede ser usado para disparar la interrupción -1. Después de haberse completado la rutina de servicio de interrupción de re arranque, el proceso vuelve al paso 6-10. Obsérvese que el proceso ilustrado en la figura 6 muestra solamente un ejemplo, y que muchos otros ejemplos son posibles dentro del alcance de las reivindicaciones.

La figura 7 ilustra una realización de la recepción de una interrupción de parada y una rutina de servicio de interrupción de parada. La finalidad principal de la rutina de servicio de interrupción de parada es pasar rápidamente el procesador a un estado estable conocido. En este ejemplo, el proceso comienza en el paso 7-10 donde se recibió

la interrupción de parada. En el paso 7-12 se inhabilita la capacidad de generar interrupciones de prioridad más baja (por ejemplo, las interrupciones de legado normales 1-N representadas en la figura 4). La finalidad de este paso es evitar que se envíen interrupciones adicionales al procesador mientras la radio está siendo usada, haciendo que el procesador vuelva a arrancar inesperadamente.

5 A continuación, en el paso 7-14, los buses no necesarios pueden ser inactivados. Igualmente, la capacidad de acceder a la memoria (por ejemplo, RAM) está limitada al procesador. Además, si se desea, cualesquiera dispositivos periféricos que no estén diseñados para operar durante el uso de la radio pueden estar aislados del procesador. El aislamiento de dispositivos periféricos del procesador se puede lograr en respuesta a la interrupción
10 de parada, o se puede lograr por separado del proceso esbozado en la figura 7. Se describen ejemplos de técnicas para la inactivación de un bus y aislar dispositivos periféricos en la solicitud de Patente de Estados Unidos número de serie, presentada el 3 de Marzo de 2004, Expediente número 5797-00500, titulada "Aparato de comunicación que implementa aislamiento en el dominio de tiempo con acceso a bus restringido".

15 En el paso 7-16, el procesador finaliza cualquier procesado requerido necesario para preparar el uso de la radio. A continuación, en el paso 7-18, al procesador se le ordena que espere una interrupción. La instrucción de espera de interrupción es una instrucción general que hace que el procesador se detenga esencialmente hasta que el procesador reciba una interrupción. Dado que no se puede generar una interrupción de prioridad, se paran las operaciones normales del procesador. En otro ejemplo, el procesador se puede parar ordenando al procesador que
20 espere a que se ponga un bit. La combinación de estas tareas da lugar a un entorno silencioso del procesador.

Dado que no hay más operaciones en el procesador, el reloj del procesador puede ser inhabilitado (paso 7-20) sin necesidad de coordinar exactamente el tiempo de parada del reloj entre el procesador, el bus del procesador, las memorias y los periféricos. Esto desacopla esencialmente la parada y arranque del reloj de la parada y arranque del
25 procesador. Hay numerosas formas de inhabilitar una señal de reloj. En un ejemplo, una señal de reloj puede ser inhabilitada conmutando por puerta una fuente de reloj. En otro ejemplo, una señal de reloj puede ser inhabilitada quitando la aserción de una habilitación de reloj de elementos de mantenimiento de estado. Obsérvese que los pasos esbozados en la figura 7 pueden ser realizados en un orden diferente, según se desee. Además, no todos los pasos son necesarios, dependiendo del sistema, los requisitos de ruido, etc. Igualmente, también se podría incluir
30 otros pasos en el proceso.

En otro ejemplo, un procesador puede ser inhabilitado parando simplemente el reloj del procesador, y esperando que todo esté bien cuando la señal de reloj vuelva. Este método parecería menos fiable que el método ilustrado en la figura 7. En otro ejemplo es posible que el código esté en la función correcta para parar el procesador exactamente
35 en el tiempo correcto para parar el procesador de la misma manera descrita, mediante el uso de la instrucción de espera de interrupción. En este ejemplo, el método se basa en que las tareas ejecutadas en el procesador sean sincronizadas con la base de tiempo de la red. Aunque este método funcionaría, puede ser necesaria la implementación de un nuevo protocolo de software. Si se intentase el uso de una simple parada de reloj, sería posible sincronizar todos los dominios de reloj para asegurar que ningún dominio reciba relojes adicionales con relación a los otros.

La figura 8 ilustra una realización de la recepción de una interrupción de re arranque y una rutina de servicio de interrupción de re arranque. La finalidad principal de la rutina de servicio de interrupción de re arranque es re arrancar el procesador lo más rápidamente posible. Dado que al procesador se le ha ordenado que espere una interrupción, y
45 las interrupciones de finalidad general están inhabilitadas, entonces el procesador esperará hasta que se reciba la interrupción de re arranque. En este ejemplo, el proceso comienza en el paso 8-10, donde la interrupción de re arranque es recibida. En el paso 8-12, el reloj del procesador es habilitado, y el reloj es restablecido a la circuitería interna del procesador. En el paso 8-14, se lleva a cabo cualquier procesado necesario antes de volver a la operación normal. Además, el procesador puede realizar operaciones de movimiento de datos que pueden ser necesarias para satisfacer las necesidades de movimiento de datos periféricos. A continuación, en el paso 8-16, los buses inhabilitados pueden ser habilitados. Además, se puede habilitar el pleno acceso a memoria. Los dispositivos periféricos son habilitados entonces para usar recursos del sistema. En el paso 8-18 se habilitan las interrupciones generales. Finalmente, en el paso 8-20, se restablece el contexto a la tarea de sistema normal que se estaba ejecutando inmediatamente antes de las interrupciones de uso de la radio. Obsérvese que los pasos esbozados en
50 la figura 8 pueden ser realizados en un orden diferente, según se desee. Además, no todos los pasos son necesarios, dependiendo del sistema, los requisitos de ruido, etc. Igualmente, también se podría incluir otros pasos en el proceso.

Con referencia más específicamente al ejemplo de una aplicación GSM, la figura 9 representa un ejemplo de un cuadro de datos GSM 70 y la temporización relativa de las interrupciones de parada y re arranque. El cuadro 70 incluye 8 intervalos, que pueden corresponder a ráfagas de datos. En un ejemplo, para voz GSM, el intervalo 2 representa un intervalo de recepción, el intervalo 4 es un intervalo de supervisión, y el intervalo 6 constituye un intervalo de transmisión. Los intervalos restantes no se usan para actividad RF. Naturalmente, los intervalos de transmisión, recepción y supervisión también podrían estar en posiciones diferentes. Además, es posible tener
60 múltiples intervalos de transmisión o recepción en el mismo cuadro. En el ejemplo del cuadro GSM, y con referencia a la explicación de la figura 2 anterior, los intervalos GSM 2, 4, y 6 son intervalos de tiempo RF, siendo los intervalos

restantes, en el contexto de este ejemplo, intervalos de tiempo de procesado de señal. Para cada uno de los intervalos de tiempo RF, la figura 9 también representa la temporización relativa de las interrupciones -1 y -2 (una vista más detallada de la temporización relativa de las interrupciones -1 y -2 se representa en la figura 10). Como se representa, la interrupción -1 es generada ligeramente antes del inicio de cada intervalo de tiempo RF, debido al tiempo requerido para procesar la rutina de servicio de interrupción de parada (véase la figura 7). Igualmente, la interrupción -2 es generada después del final de cada intervalo de tiempo RF para reorganizar el procesador. El tiempo exacto de las interrupciones puede variar, según se desee.

La figura 10 es un diagrama de temporización que ilustra la operación del contexto de sistema para un intervalo de tiempo RF. Obsérvese que el diagrama en la figura 10 no es a escala, y se usa para ilustrar simplemente la temporización relativa de los varios elementos representados. En la figura 10, la línea superior representa el estado de espera de interrupción, que comienza durante la rutina de servicio de interrupción de parada (paso 7-18 de la figura 7) y termina cuando la interrupción -2 de reorganización es recibida (paso 8-10 de la figura 8). Como se representa en la figura 10, antes de la interrupción -1, el sistema procesa tareas de legado normales. En algún tiempo entre la interrupción -1, la interrupción -2, la circuitería RF está en uso, y el manipulador -1 pone el procesador en un estado parecido a dormir. La interrupción -2 inicia el manipulador -2, que reinicia el procesador. Parte de la función del manipulador -2 es finalizar el manipulador -1. Finalmente, el sistema procesa de nuevo tareas de legado normales.

Por la descripción anterior es evidente que la presente invención puede ser implementada de muchas formas para proporcionar varias ventajas. Una ventaja nueva de la presente invención es que la invención proporciona un procesador capaz de minimizar el ruido creado por circuitería digital. Otra ventaja de la presente invención es la provisión de la capacidad de pasar rápidamente del procesado de alto rendimiento a modos de bajo ruido y vuelta, con una cantidad mínima de recursos. Además, no se puede salir accidentalmente de los modos de bajo ruido, aunque se podría salir antes de lo esperado originalmente.

En la descripción detallada anterior, la invención se describe con referencia a su realización específica ejemplar. Se puede hacer en ella varias modificaciones y cambios sin apartarse del alcance de la invención expuesto en las reivindicaciones. Consiguientemente, la memoria descriptiva y dibujos se han de considerar en un sentido ilustrativo más bien que restrictivo.

REIVINDICACIONES

1. Un aparato de telefonía móvil (10) incluyendo:
- 5 un transceptor formado en un circuito integrado para transmitir y recibir señales RF;
- circuitería digital (14) formada en el circuito integrado;
- 10 un secuenciador (56); y
- un controlador de interrupciones (50) para controlar la circuitería digital (14) y el transceptor de tal manera que al menos una porción de la circuitería digital esté inhabilitada mientras el transceptor esté transmitiendo o recibiendo señales RF;
- 15 **caracterizado** porque el secuenciador (56) está adaptado para generar una primera interrupción que hace que al menos una porción de la circuitería digital esté inhabilitada, teniendo la primera interrupción una prioridad más alta que otras interrupciones relativas a la operación normal de la circuitería digital (14), y donde el secuenciador (56) está adaptado para generar una segunda interrupción que hace que al menos una porción de la circuitería digital (14) esté habilitada, teniendo la segunda interrupción una prioridad más alta que la primera interrupción.
- 20 2. El aparato de telefonía móvil de la reivindicación 1, donde la circuitería digital (14) es inhabilitada al menos parcialmente pasando la al menos única porción de la circuitería digital (14) a un modo parecido a dormir.
3. El aparato de telefonía móvil de la reivindicación 1, donde la circuitería digital (14) es inhabilitada al menos parcialmente inhabilitando una o más señales de reloj.
- 25 4. El aparato de telefonía móvil de la reivindicación 1, donde la circuitería digital (14) es inhabilitada al menos parcialmente inhabilitando uno o más buses de datos.
- 30 5. El aparato de telefonía móvil de la reivindicación 1, donde la circuitería digital (14) es inhabilitada al menos parcialmente limitando el acceso a datos almacenados en una memoria.
6. El aparato de telefonía móvil de la reivindicación 1, donde dicha segunda interrupción está adaptada para disparar una rutina de interrupción para habilitar la al menos única porción de la circuitería digital cuando el transceptor no está transmitiendo o recibiendo señales.
- 35 7. El aparato de telefonía móvil de la reivindicación 1, donde el controlador de interrupciones (50) está configurado para manejar interrupciones proporcionando interrupciones recibidas a la circuitería digital según una prioridad de interrupción.
- 40 8. El aparato de telefonía móvil de cualquier reivindicación precedente, donde la circuitería digital es un procesador de señales digitales para procesar las señales RF.
9. Un método de controlar un aparato de telefonía móvil (10) que tiene un procesador (14) y un transceptor formados en el mismo circuito integrado, incluyendo el método:
- 45 usar una pluralidad de interrupciones para controlar la operación del aparato (10), donde cada una de las interrupciones se refiere a una o más tareas a realizar por el aparato (10);
- 50 **caracterizado** porque el método incluye los pasos adicionales de:
- antes del uso del transceptor, generar una primera interrupción que tiene una prioridad más alta que otras interrupciones relacionadas con la operación normal del aparato, donde la primera interrupción permite que el procesador reduzca su interferencia generada; y
- 55 después del uso del transceptor, generar una segunda interrupción que tiene una prioridad más alta que la primera interrupción, donde la segunda interrupción hace que el procesador (14) vuelva a operación normal.
- 60 10. El método de la reivindicación 9, donde una o más señales de reloj son paradas en respuesta a la generación de la primera interrupción.
11. El método de la reivindicación 9, donde una o más señales de reloj son iniciadas en respuesta a la generación de la segunda interrupción.
- 65 12. El método de la reivindicación 9, donde uno o más buses de datos son inhabilitados en respuesta a la generación de la primera interrupción.

13. El método de la reivindicación 12, donde uno o más buses de datos son habilitados en respuesta a la generación de la segunda interrupción.
- 5 14. El método de la reivindicación 9, donde, en respuesta a la generación de la primera interrupción, se limita el acceso a datos almacenados en una memoria.
15. El método de la reivindicación 14, donde el acceso a datos almacenados en una memoria está limitado al procesador (14).
- 10 16. El método de la reivindicación 14, donde, en respuesta a la generación de la segunda interrupción, se quita la limitación del acceso a datos almacenados en la memoria.
- 15 17. El método de la reivindicación 9, donde, en respuesta a la generación de la primera interrupción, se inhabilitan interrupciones que tienen una prioridad más baja que la primera interrupción.
18. El método de la reivindicación 17, donde, en respuesta a la generación de la segunda interrupción, se inhabilitan interrupciones que tienen una prioridad más baja que la primera interrupción.
- 20 19. El método de la reivindicación 9, donde el procesador se pasa a un modo parecido a dormir en respuesta a la generación de la primera interrupción.
20. El método de la reivindicación 15, donde el procesador se saca del modo parecido a dormir en respuesta a la generación de la segunda interrupción.
- 25 21. El método de la reivindicación 9, donde el transceptor transmite y recibe señales en ráfagas que tienen lugar a intervalos predeterminados, incluyendo el método los pasos adicionales de:
- 30 entre las ráfagas, usar un procesador (14) para procesar señales recibidas durante una ráfaga previa y preparar señales para la ráfaga siguiente; y
- usar un temporizador para determinar cuándo comienza una ráfaga; donde la generación de la primera interrupción hace que el procesador (14) sea inhabilitado al menos parcialmente para minimizar el ruido en el aparato (10) durante las ráfagas.
- 35 22. El método de la reivindicación 21, incluyendo además usar el temporizador para determinar cuándo termina la ráfaga, y habilitar el procesador después de la ráfaga.
- 40 23. El método de la reivindicación 21, donde el procesador (14) se pone en un modo parecido a dormir durante las ráfagas.
24. El método de la reivindicación 21, donde una o más señales de reloj son inhabilitadas durante las ráfagas.
- 45 25. El método de la reivindicación 21, donde uno o más buses de datos son inhabilitados durante las ráfagas.
26. El método de la reivindicación 21, donde el acceso a datos almacenados en una memoria es limitado durante las ráfagas.
- 50 27. El método de la reivindicación 26, donde el acceso a datos almacenados en una memoria es limitado al procesador durante las ráfagas.
28. El método de la reivindicación 21, donde al menos algunas interrupciones para controlar el aparato son inhabilitadas durante las ráfagas.
- 55 29. El método de la reivindicación 9, incluyendo generar la primera interrupción antes del inicio de un intervalo de tiempo RF.
30. El método de la reivindicación 9, incluyendo generar la segunda interrupción después de terminar un intervalo de tiempo RF y habilitar la porción al menos parcialmente inhabilitada del procesador.
- 60

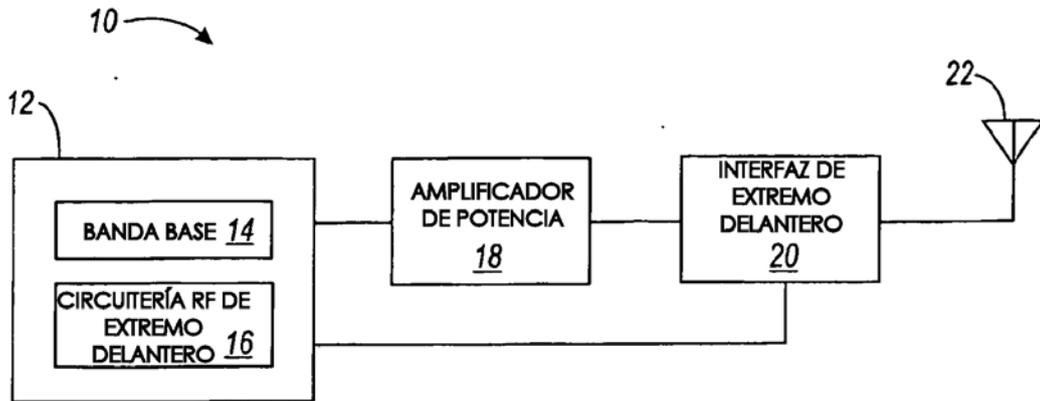


FIG. 1

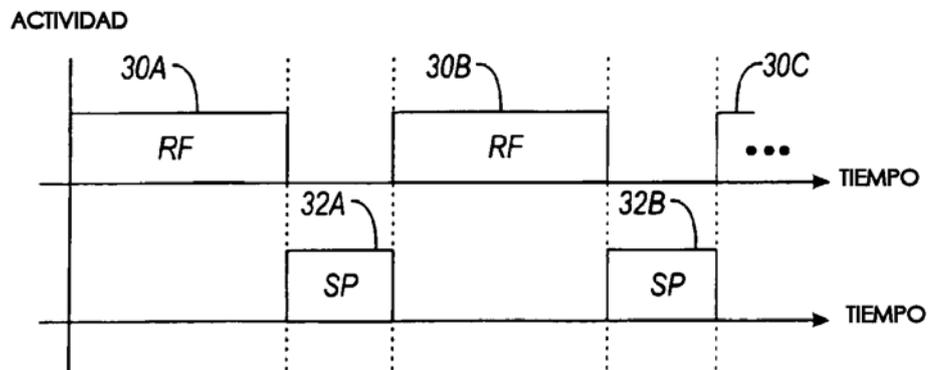


FIG. 2

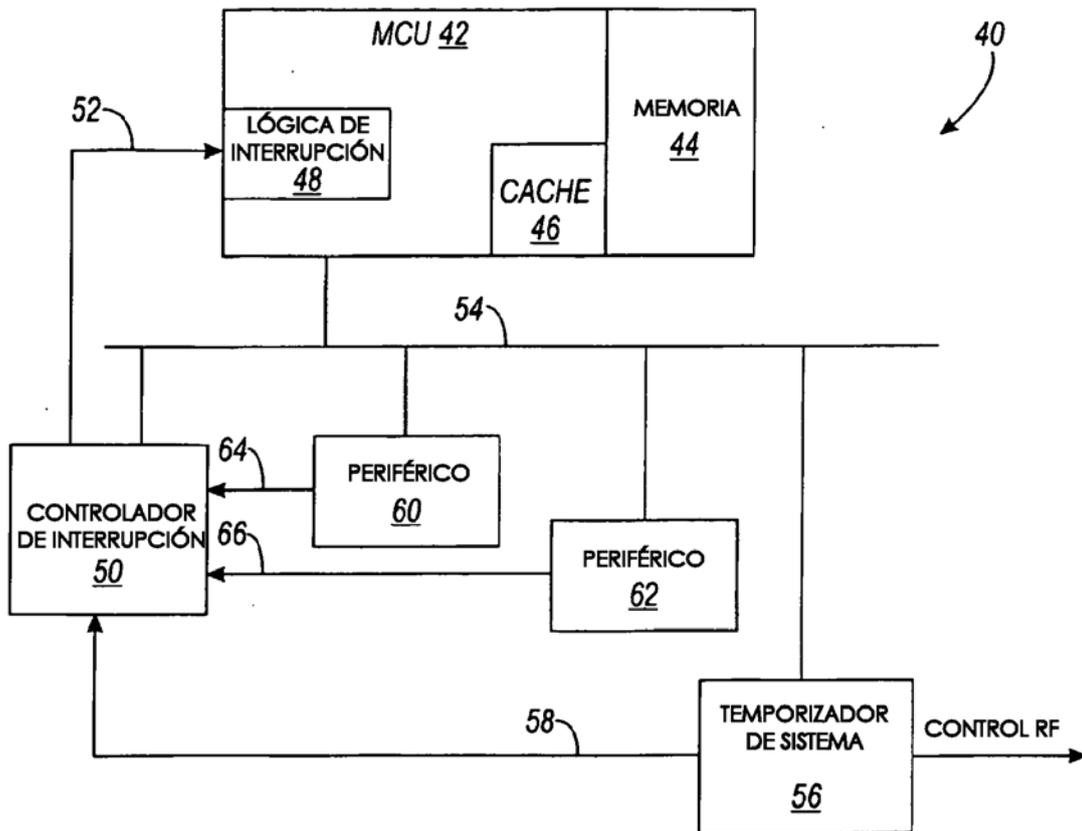


FIG. 3

	INTERRUPCIÓN	PRIORIDAD
INTERRUPCIONES DE SISTEMA LEGADO	1	0 (PRIORIDAD MÁS ALTA)
	2	
	3	:
	⋮	⋮
	N	N-1 (PRIORIDAD MÁS BAJA)

FIG. 4

	INTERRUPCIÓN	PRIORIDAD
INTERRUPCIONES DE ARRANQUE/ PARADA	N+2	-2 (PRIORIDAD MÁS ALTA)
	N+1	-1
INTERRUPCIONES DE SISTEMA LEGADO	1	0
	2	
	3	:
	⋮	⋮
	N	N-1 (PRIORIDAD MÁS BAJA)

FIG. 5

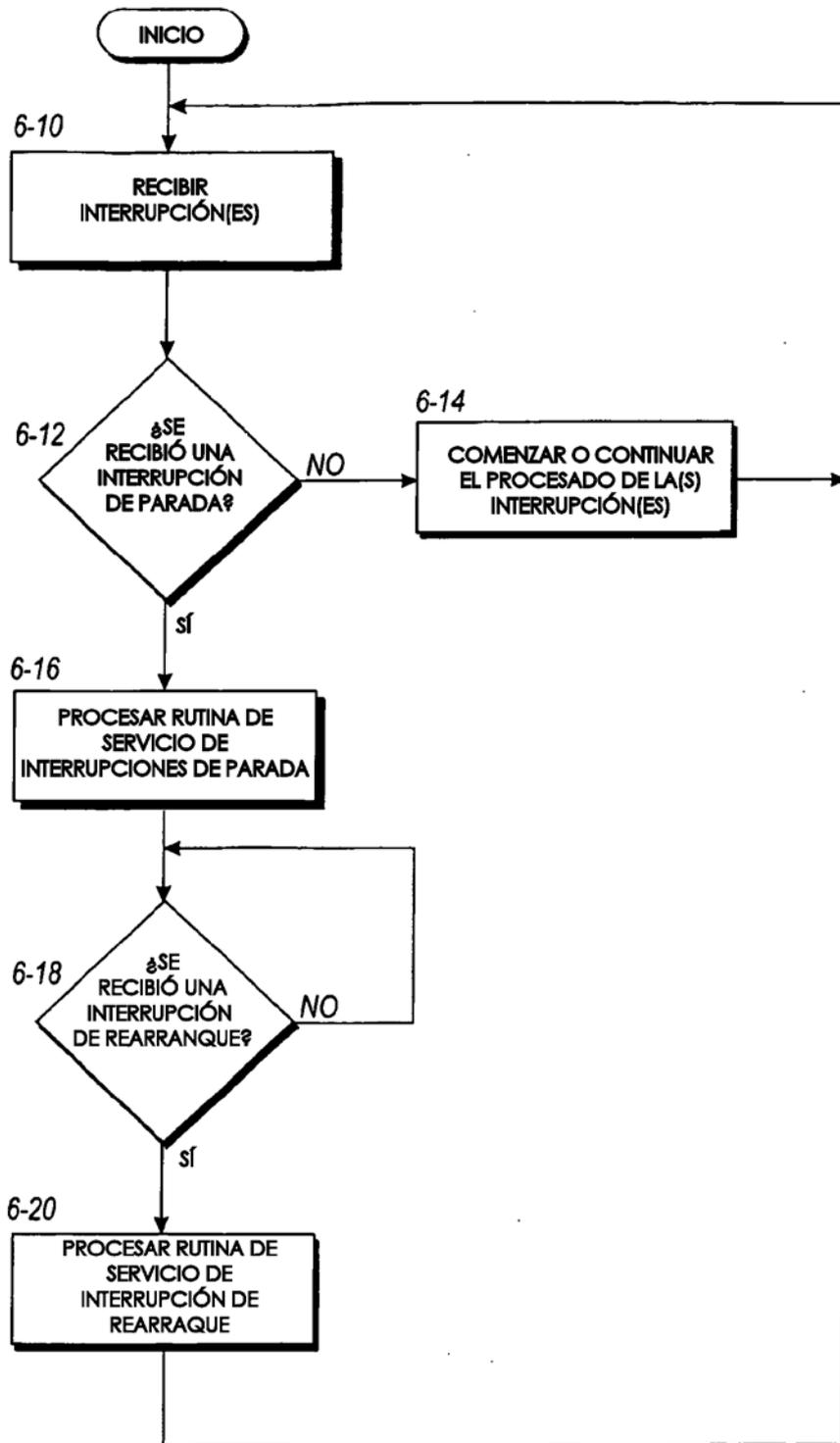


FIG. 6



FIG. 7

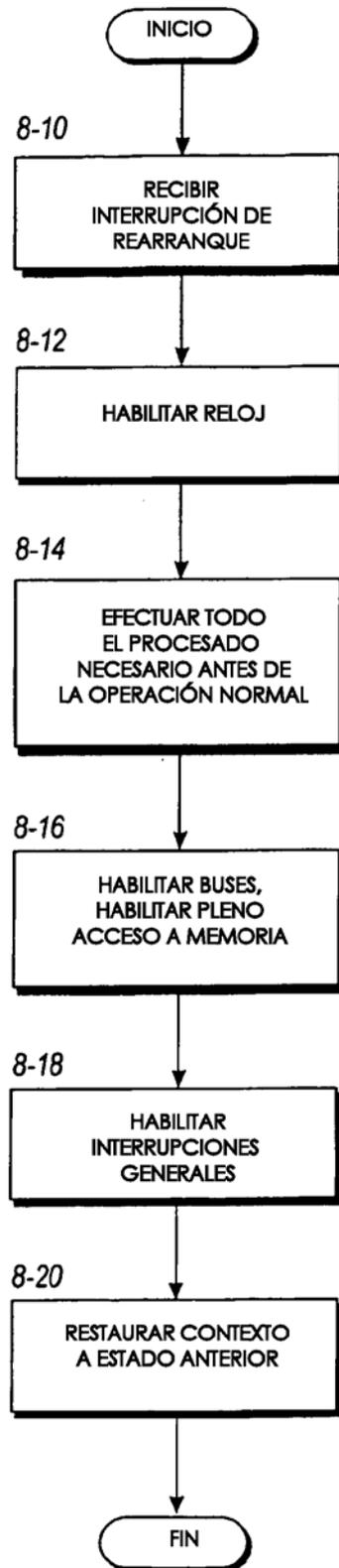


FIG. 8

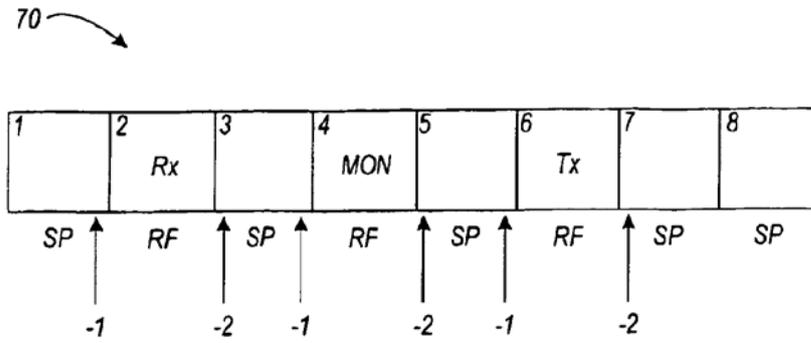


FIG. 9

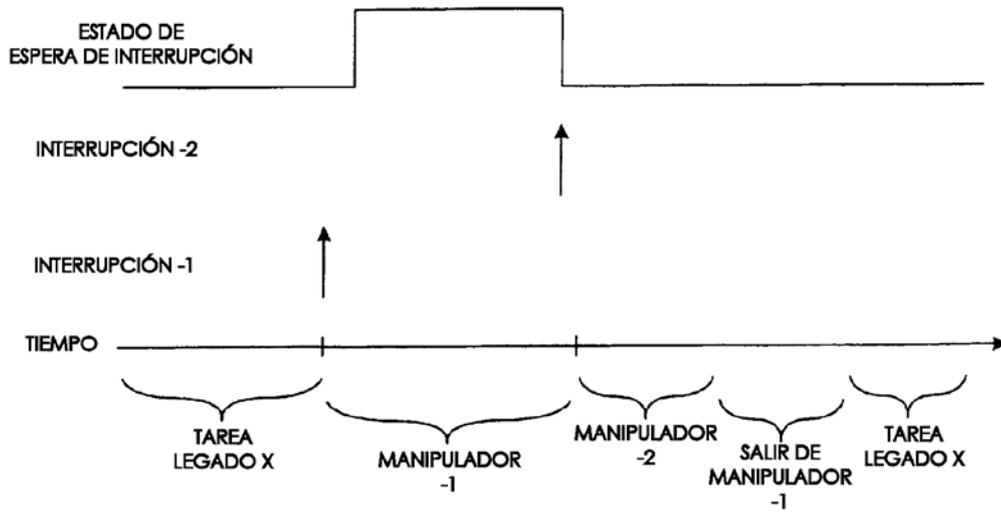


FIG. 10