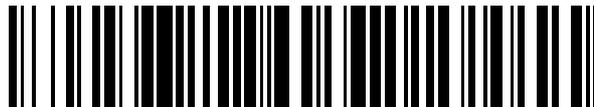


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 392 549**

51 Int. Cl.:

**H04L 12/66** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **07704434 .5**

96 Fecha de presentación: **07.02.2007**

97 Número de publicación de la solicitud: **1987642**

97 Fecha de publicación de la solicitud: **05.11.2008**

54 Título: **Pasarela para el enrutamiento automático de mensajes entre buses**

30 Prioridad:

**14.02.2006 DE 102006006926**  
**05.01.2007 DE 102007001137**

45 Fecha de publicación de la mención BOPI:

**11.12.2012**

45 Fecha de la publicación del folleto de la patente:

**11.12.2012**

73 Titular/es:

**ROBERT BOSCH GMBH (100.0%)**  
**POSTFACH 30 02 20**  
**70442 STUTTGART, DE**

72 Inventor/es:

**IHLE, MARKUS;**  
**TAUBE, JAN y**  
**LORENZ, TOBIAS**

74 Agente/Representante:

**CARVAJAL Y URQUIJO, Isabel**

**ES 2 392 549 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Pasarela para el enrutamiento automático de mensajes entre buses

La presente invención se refiere a una pasarela para el enrutamiento automático de mensajes entre buses, en especial entre buses serie y buses de campo.

5 La interconexión de aparatos de control, sensores y actuadores con ayuda de una red, respectivamente de un sistema de comunicaciones compuesto por un enlace de comunicaciones, en especial un bus y módulos de comunicaciones correspondientes, ha aumentado drásticamente en los últimos años a la hora de construir vehículos de motor modernos o también en la construcción de máquinas, en especial en el campo de las máquinas-herramientas así como en la automatización. Con ello pueden conseguirse efectos sinérgicos a causa de la  
10 distribución de funciones entre varios abonados, en especial aparatos de control. Aquí se habla de sistemas distribuidos. Estos sistemas distribuidos o redes se componen de este modo de los abonados y del sistema de bus que enlaza estos abonados o varios sistemas de bus que enlazan. La comunicación entre diferentes estaciones, respectivamente abonados, tiene lugar cada vez más a través de un sistema de comunicaciones, sistema de bus o red de este tipo, a través del cual los datos a transferir se transmiten en mensajes. Este tráfico de comunicaciones sobre el sistema de bus, mecanismo de acceso y recepción así como tratamiento de errores se regulan a través de un protocolo correspondiente, en donde se utiliza con frecuencia el nombre del respectivo protocolo y así también aquí como sinónimo para la red, respectivamente el propio sistema de bus.

Como protocolo se ha establecido por ejemplo el bus CAN (Controller Area Network) en el campo automovilístico. Éste es un protocolo controlado por acontecimientos, es decir, actividades de protocolo como el envío de un  
20 mensaje se inician mediante acontecimientos que tienen su origen fuera del sistema de comunicaciones. El acceso claro al sistema de comunicaciones, respectivamente sistema de bus, se resuelve mediante un arbitraje de bits basado en prioridades. Una premisa para ello es que a los datos a transmitir y con ello a cada mensaje se asigna una prioridad. El protocolo CAN es muy flexible; una adición de abonados y mensajes adicionales es de este modo posible sin problemas, siempre que sigan existiendo prioridades libres (identificador de mensajes). La reunión de  
25 todos los mensajes a enviar en la red con prioridades y sus abonados emisores, respectivamente receptores, respectivamente los módulos de comunicaciones correspondientes se archivan en una lista, la llamada matriz de comunicaciones.

Un planteamiento alternativo a la comunicación espontánea, controlada por acontecimientos, es el planteamiento controlado solamente por tiempo. Todas las actividades de comunicación sobre el bus son estrictamente periódicas.  
30 Las actividades de protocolo como el envío de un mensaje se activan solamente mediante la actualización de un tiempo válido para todo el sistema de bus. El acceso a este medio se basa en el reparto de periodos de tiempo, en los que un emisor tiene un derecho de emisión exclusivo. Con ello normalmente es necesario establecer la secuencia de mensajes ya antes de la puesta en marcha. De este modo se establece un plan de marcha, que cumpla los requisitos de los mensajes en cuanto a tasa de repeticiones, redundancia, plazos límite, etc. Se habla de  
35 la llamada programación de bus. Un sistema de bus de este tipo es por ejemplo el TTP/C.

Una unión de las ventajas de ambos sistemas de bus citados se realiza en el planteamiento de soluciones de la CAN controlada por tiempo, la llamada TTCAN (Time Triggered Controller Area Network). Ésta cumple los requisitos antes esquematizados según una comunicación controlada por tiempo así como los requisitos según una determinada medida de flexibilidad. La TTCAN cumple esto mediante la estructuración de la ronda de comunicaciones en unas  
40 llamadas ventanas de tiempo exclusivas para mensajes periódicos de determinados abonados de comunicación y en las llamadas ventanas de tiempo de arbitraje para mensajes espontáneos de varios abonados de comunicación. Con ello la TTCAN se basa fundamentalmente en una comunicación periódica, controlada por tiempo, que se sincroniza mediante un abonado emisor de tiempo principal, respectivamente módulo de comunicaciones, el llamado maestro de tiempo con ayuda de un mensaje de referencia de tiempo.

Otra posibilidad de unir diferentes tipos de transmisión está formada por el protocolo FlexRay, con lo que se describe un sistema de bus rápido, determinístico y que tolera errores en especial para su uso en un vehículo de motor. Este protocolo trabaja según el procedimiento del Time-Division-Multiple-Access (TDMA), en donde se asignan a los  
45 abonados, respectivamente a los mensajes a transmitir, ranuras de tiempo fijas en las que tienen acceso exclusivo al enlace de comunicaciones, al bus. Las ranuras de tiempo se repiten con ello en un ciclo establecido, de tal modo que el momento en el que se transmite un mensaje a través del bus puede preverse exactamente y el acceso al bus se realiza de forma determinística. Para aprovechar óptimamente la anchura de banda para la transmisión de mensajes sobre el sistema de bus se divide el ciclo en una parte estática y otra dinámica. Las ranuras de tiempo fijas se encuentran con ello en la parte estática al comienzo de un ciclo de bus. En la parte dinámica se adjudican dinámicamente según el procedimiento del Flexible-Time-Division-Multiple-Access (FTDMA). En el mismo se hace  
50 ahora posible el acceso exclusivo en cada caso solamente durante un breve espacio de tiempo. Si no se produce ningún acceso, se libera el acceso para el siguiente abonado. Este espacio de tiempo recibe el nombre de minislot, en el que se espera al acceso del primer abonado.

El documento RYAN C ET AL: "Clock synchronisation on multiple TTCAN network channels" MIROPROCESSORS AND MICROSYSTEMS, IPC BUSINESS PRESS LTD, Londres (RU), tomo 28, nº 3, 23 de abril de 2004 (2004-04-23), páginas 135-146, XP004502590, hace patente una pasarela para el enrutamiento automático de mensajes entre buses con:

- 5 - varios módulos de comunicaciones para el almacenamiento intermedio y la transmisión de mensajes a través de los buses; y con
- una unidad de control de pasarela, que está unida a través de un sistema de bus para intercambiar mensajes a los módulos de comunicaciones, y que obtiene indicada desde cada módulo de comunicaciones la aparición en ese punto de un mensaje a enrutar como acontecimiento externo.

10 Como se acaba de representar ahora mismo existe un gran número de tecnologías de transmisión y con ello de clases de sistemas de bus o redes. Con frecuencia se da el caso de que es necesario unir entre sí varios sistemas de bus de la misma o diferente clase. Para esto sirve una unidad de interfaz de bus, una llamada pasarela. Una pasarela es de este modo un interfaz entre diferentes buses, que pueden ser de la misma o diferente clase, en donde la pasarela transmite mensajes (parciales) desde un bus a uno o varios buses diferentes. Las pasarelas  
 15 conocidas se componen de varios módulos de comunicaciones independientes, en donde el intercambio de mensajes se realiza con ello a través del interfaz de procesador (CPU-Interface) del abonado respectivo, respectivamente del módulo de interfaz correspondiente del módulo de comunicaciones respectivo. Con ello este CPU-Interface se carga mucho a causa de este intercambio de datos y de otras funciones aplicativas, además de los mensajes a transmitir al propio abonado, con lo que se obtiene, junto con la estructura de transmisión que se obtiene  
 20 a causa de esto, una velocidad de transmisión de datos relativamente baja o, por otro lado, una elevada frecuencia de reloj con elevado consumo de energía. Asimismo existen controladores de comunicaciones o módulos de comunicaciones integrados, que comparten una memoria de informaciones común, la llamada memoria de mensajes, respectivamente Message-RAM, para de este modo compensar los inconvenientes estructurales. Evidentemente tales módulos de comunicaciones integrados son a causa de esto muy inflexibles con relación a la  
 25 transmisión de datos y están fijados en especial según un número determinado de conexiones de bus y casi siempre también según el mismo sistema de bus.

La figura 1 muestra un módulo de comunicaciones, respectivamente controlador de comunicaciones CC habitual, para una pasarela habitual, como se ha representado en la figura 2. El módulo de comunicaciones CC presenta un  
 30 interfaz para un bus de periféricos interno, respectivamente bus de sistema, de la pasarela y otro interfaz para un bus serie externo. El bus de sistema comprende un bus de direcciones, un bus de datos y un bus de control y sirve para la transmisión de datos interna dentro de la pasarela. Al bus de sistema están conectados, aparte del módulo de comunicaciones, una CPU anfitrión con una memoria de datos RAM así como otros componentes opcionales, por ejemplo controladores DMA. La CPU anfitrión sirve para el tratamiento de datos interno y controla la transferencia de datos interna desde un módulo de comunicaciones CC a otro módulo de comunicaciones CC. Los módulos de  
 35 comunicaciones CC se comunican con la CPU anfitrión según el principio maestro/esclavo, en donde módulos de comunicaciones representan unidades esclavo y la CPU anfitrión forma una unidad maestro.

Como puede reconocerse en la figura 1, el interfaz interno del módulo de comunicaciones CC con el bus de sistema está formado por un interfaz de doble capa, precisamente por un interfaz de abonado y un interfaz genérico. El  
 40 interfaz de abonado une el bus de sistema al interfaz genérico, en donde el interfaz de abonado es específico del fabricante y puede sustituirse fácilmente. El interfaz genérico puede conectarse, a través del interfaz de abonado, a un gran número de buses de sistema específicos del cliente. El módulo de comunicaciones CC según el estado de la técnica y como se ha representado en la figura 1 contiene además memorias tampón para el almacenamiento intermedio de datos a transferir. Las memorias tampón están formadas por ejemplo por registros RAM o de datos. El  
 45 módulo de comunicaciones CC contiene además una unidad de transmisión de mensajes, respectivamente un controlador de mensajes para transmitir mensajes desde al menos una memoria de mensajes y una unidad de protocolo de comunicaciones, así como memorias tampón. La memoria de mensajes, respectivamente la memoria RAM, almacena de forma intermedia los objetos de mensaje a transferir así como datos de configuración y de información de estado. La unidad de transmisión de mensajes asume el control del flujo de datos entre todas las  
 50 memorias tampón, la unidad de protocolo de comunicaciones y la memoria intermedia de mensajes. La unidad de protocolo de comunicaciones (PRT) del módulo de comunicaciones CC habitual representado en la figura 1 implementa la comunicación conforme al protocolo de transmisión de datos usado. Con ello la unidad de protocolo de comunicaciones PRT asume la transformación, respectivamente conversión, entre el formato de datos de los paquetes de datos DP transmitidos a través del bus serie externo y los mensajes, respectivamente messages MSG, utilizados dentro del módulo de comunicaciones. Los mensajes MSG transmitidos des la unidad de transmisión de  
 55 mensajes, respectivamente el controlador de mensajes, se componen con ello al menos de una palabra de datos DW, en donde la longitud de palabra, respectivamente el número de bits de la palabra de datos DW, se corresponde de forma preferida con la anchura de bus del bus de datos previsto internamente de la pasarela. Si el bus de sistema presenta por ejemplo un bus de datos interno con una anchura de 32 bits, la palabra de datos DW comprende también 32 bits. Un mensaje, respectivamente message MSG, puede estar compuesto por un número prefijado de  
 60 palabras de datos DW. La capacidad de memoria de una memoria tampón se corresponde por ejemplo con el

volumen de datos de un mensaje, respectivamente de un message, que comprende un número prefijado de palabras de datos DW. El arbitraje del flujo de datos se lleva a cabo mediante la unidad de transmisión de mensajes, respectivamente el controlador de mensajes.

5 En especial en vehículos se usan hoy en día varios buses serie y buses de campo, por ejemplo buses de campo serie como un bus CAN, un bus Flex Ray, un bus MOST o un bus LIN. Durante el funcionamiento se intercambian entre estos buses serie, que pueden formar parte de una red, datos a través de una pasarela GW. En función del vehículo y de las funciones ejecutadas el volumen de datos en la pasarela central GW, como se ha representado en la figura 2, puede ser con ello muy elevado. Este volumen de datos causa una elevada carga de CPU, es decir, la CPU se carga a causa del enrutamiento de los datos desde un bus serie a uno o varios otros buses serie. Aparte de esto, aumenta la carga de CPU a causa de operaciones que se necesitan para reducir la anchura de banda en redes aisladas, respectivamente buses serie, por ejemplo la combinación de los contenidos de datos de varios mensajes, respectivamente messages, para formar un nuevo mensaje.

15 En muchos casos es necesario enviar mensajes, para cumplir requisitos de seguridad, periódicamente en un retículo de tiempo prefijado. En el caso de mensajes de alta prioridad puede ser necesaria la transmisión inmediata del mensaje sin retículo de tiempo, respectivamente fuera del retículo de tiempo. La comprobación de si un mensaje debe enviarse de nuevo, respectivamente si un mensaje ya no debe enviarse a causa de un error que se haya producido, por ejemplo de un mensaje suprimido, se realiza también mediante la CPU de la pasarela GW y consume potencia de cálculo de la CPU.

20 En muchos casos la CPU lleva a cabo otras funciones en paralelo, es decir, en la CPU se desarrollan procesos de tratamiento en paralelo, que se influyen mutuamente de forma negativa y retrasan la emisión, respectivamente la transmisión de un mensaje. A causa de estos procesos que se desarrollan en paralelo aumentan la fluctuación así como los tiempos de latencia para la transmisión de los mensajes, ya que en muchos casos no es posible una interrupción de los procesos que se desarrollan en paralelo.

25 Por ello la tarea de la invención consiste en crear una pasarela para el enrutamiento automático de mensajes entre buses, que transmita mensajes sin influencia de la CPU y con independencia de una carga de CPU.

Esta tarea es resuelta conforme a la invención mediante una pasarela con las particularidades indicadas en la reivindicación 1.

La invención crea una pasarela para el enrutamiento automático de mensajes entre buses con

- 30 - varios módulos de comunicaciones para el almacenamiento intermedio y la transmisión de mensajes N a través de los buses; y con
- una unidad de control de pasarela, que está unida a los módulos de comunicaciones a través de un bus de sistema para el intercambio de mensajes N, y que obtiene indicada desde cada módulo de comunicaciones la aparición en ese punto de un mensaje N a enrutar como acontecimiento externo  $EV_{ext}$ , en donde la unidad de control de pasarela presenta:
  - 35 o una memoria de vectores VRAM con una primera zona de memoria para archivar vectores de módulo de comunicaciones KBV, en donde para cada módulo de comunicaciones está previsto un vector de módulo de comunicaciones KBV, que indica el momento ZP de un acontecimiento interno  $EV_{int}$  a esperar como siguiente para un mensaje N almacenado de forma intermedia en el módulo de comunicaciones y una dirección de salto de vector sobre un vector de mensaje NV, que está archivada en una segunda zona de memoria de la memoria de vectores VRAM, en donde para cada mensaje N relevante almacenado de forma intermedia en el módulo de comunicaciones se archiva un vector de mensaje NV correspondiente, que indica un momento ZP configurable de un acontecimiento interno  $EV_{int}$  a activar por parte del mensaje N correspondiente, una dirección de salto de orden, así como otros datos de configuración y control;
  - 40 o una memoria de órdenes IRAM para archivar órdenes, que pueden direccionarse mediante la dirección de salto de orden indicada en el vector de mensaje NV; y
  - 45 o un registro de estados SR, que almacena de forma intermedia aquel momento para el siguiente acontecimiento a esperar de entre todos los acontecimientos internos a esperar, para todos los mensajes N almacenados de forma intermedia en los módulos de comunicaciones,
  - 50 o un control de desarrollo FSM que, al producirse un acontecimiento interno  $EV_{int}$ , almacena de forma intermedia su momento ZP en un registro de estados SR para todos los mensajes N almacenados de forma intermedia en los módulos de comunicaciones o, al producirse un acontecimiento externo  $EV_{ext}$  que se indica al control de desarrollo FSM mediante un módulo de comunicaciones, lee el vector de módulo de comunicaciones KBV correspondiente al

5 módulo de comunicaciones respectivo en la primera zona de memoria de la memoria de vectores VRAM y, mediante la dirección de salto de vector allí contenida, lee la dirección de salto de vector del vector de mensaje NV direccionado en la segunda zona de memoria de la memoria de vectores VRAM y a continuación, mediante la dirección de salto de orden leída, lee y ejecuta al menos una orden en la memoria de órdenes IRAM, en donde se actualizan los momentos ZP indicados en los vectores NV, KBV.

En una forma de ejecución de la pasarela conforme a la invención, ésta presenta al menos otro procesador, que está unido a los módulos de comunicaciones a través de un segundo bus de sistema aparte.

10 En una forma de ejecución de la pasarela conforme a la invención, el control de desarrollo de la unidad de control de pasarela presenta un FSM de acontecimientos el cual, cuando se produce un acontecimiento interno o uno externo  $EV_{ext}$ , valora los vectores KBV, NV archivados en la memoria de vectores VRAM y actualiza los momentos indicados en los vectores; y un FSM de órdenes, que ejecuta las órdenes leídas en la memoria de órdenes IRAM.

15 En una forma de ejecución de la pasarela conforme a la invención, un vector de mensaje NV presenta adicionalmente una diferencia de tiempo  $t$  entre el momento de un acontecimiento interno o externo, que debe ser activado por el mensaje N correspondiente, y un momento del siguiente acontecimiento interno  $EV_{int}$ , que debe ser activado por el mensaje N correspondiente.

En una forma de ejecución de la pasarela conforme a la invención, la unidad de control de pasarela presenta un contador Z como sincronizador interno para activar un acontecimiento interno  $EV_{int}$ .

En una forma de ejecución de la pasarela conforme a la invención los buses están formados por buses serie.

En una forma de ejecución de la pasarela conforme a la invención cada módulo de comunicaciones presenta:

- 20
- una unidad de protocolo de comunicaciones conectada al bus serie para cambiar entre paquetes de datos DP y mensajes, que se componen en cada caso de varias palabras de datos DW;
  - una unidad de transmisión de mensajes para transmitir mensajes entre al menos una memoria de mensajes y la unidad de protocolo de comunicaciones así como memorias tampón;
  - 25 - varias unidades de interfaz, que están conectadas en cada caso a un sistema de bus correspondiente de la pasarela, en donde cada unidad de interfaz está unida al menos a una memoria tampón correspondiente que almacena de forma intermedia un mensaje, en donde se realiza una transmisión de

palabras de datos DW, a través de varios buses de sistema y sus unidades de interfaz correspondientes, desde y hasta las memorias tampón de las unidades de interfaz, en el mismo momento sin tiempo de espera.

En una forma de ejecución de la pasarela conforme a la invención el bus serie es un bus de campo.

30 En una forma de ejecución de la pasarela conforme a la invención el bus de campo es un bus CAN (Controller Area Network).

En una forma de ejecución de la pasarela conforme a la invención el bus de campo es un bus LIN (Local Interconnect Network)

En una forma de ejecución de la pasarela conforme a la invención el bus de campo es un bus FlexRay.

35 En una forma de ejecución de la pasarela conforme a la invención el bus serie es un bus Ethernet.

En una forma de ejecución de la pasarela conforme a la invención, cada uno de los dos buses de sistema presenta un maestro de bus de sistema correspondiente.

40 En una forma de ejecución de la pasarela conforme a la invención, la unidad de transmisión de mensajes de un módulo de comunicaciones señala la recepción de un mensaje, transmitido por palabras a través del bus de sistema, al maestro de bus de sistema del bus de sistema.

En una forma de ejecución de la pasarela conforme a la invención, la unidad de transmisión de mensajes confirma al maestro de bus de sistema la recepción de un mensaje a transmitir mediante señales, después de que éste haya solicitado la información.

En una forma de ejecución de la pasarela conforme a la invención un mensaje recibido desde el bus de sistema respectivo, que está almacenado de forma intermedia en una memoria tampón y que se transmite desde la unidad de transmisión de mensajes a la memoria de mensajes para señalar una disponibilidad de emisión a través del bus serie, presenta al menos un bit de señalizador.

- 5 A continuación se describen formas de ejecución preferidas de la pasarela conforme a la invención, haciendo referencia a las figuras adjuntas, para explicar particularidades esenciales para la invención.

Aquí muestran:

la figura 1: un módulo de comunicaciones según el estado de la técnica;

la figura 2: una pasarela según el estado de la técnica;

- 10 la figura 3: un esquema de conexiones en bloques de una posible forma de ejecución de la pasarela conforme a la invención;

la figura 4: un esquema de conexiones en bloques de una posible forma de ejecución de un módulo de comunicaciones dentro de la pasarela conforme a la invención;

- 15 la figura 5: un esquema de conexiones en bloques de una posible forma de ejecución de una unidad de control de pasarela contenida en la pasarela conforme a la invención;

la figura 6: un diagrama para representar un contenido de memoria de una memoria de vectores contenida en la pasarela conforme a la invención;

la figura 7: un diagrama para representar el contenido de datos de la memoria de órdenes contenida en la pasarela conforme a la invención;

- 20 la figura 8: un diagrama de señales para representar un ejemplo de transmisión de mensajes mediante la pasarela conforme a la invención;

la figura 9: un diagrama de señales para representar otro ejemplo de transmisión de mensajes mediante la pasarela conforme a la invención;

- 25 la figura 10: un diagrama de señales para representar otro ejemplo de transmisión de mensajes mediante la pasarela conforme a la invención;

la figura 11: un diagrama de señales para representar otro ejemplo de transmisión de mensajes mediante la pasarela conforme a la invención;

la figura 12: un diagrama de señales para representar otro ejemplo de transmisión de mensajes mediante la pasarela conforme a la invención;

- 30 Como puede reconocerse en la figura 3, la pasarela 1 conforme a la invención 1 presenta varios módulos de comunicaciones 2-i, que en cada caso pueden conectarse a un bus serie 3-i. En el caso de los buses serie 3-i se trata por ejemplo de un bus de campo o de un bus Ethernet. A través de los buses serie 3-i se transmiten datos como mensajes. Los paquetes de datos, respectivamente mensajes, transmitidos comprenden datos de administración, respectivamente de Header, así como datos de utilidad, respectivamente de Payload. La pasarela 1  
 35 conforme a la invención según la forma de ejecución representada en la figura 3 presenta varias unidades maestro, en donde una primera unidad maestro está formada por una unidad de control de pasarela 4-1 y una segunda unidad maestro por una CPU 4-2. Las dos unidades maestro 4-1, 4-2 asumen diferentes funciones. En la forma de ejecución representada en la figura 3, la unidad de control de pasarela 4-1 es responsable de la transferencia de datos entre los diferentes módulos de comunicaciones 2-i. La otra unidad maestro, que está formada por un procesador 4-2 compuesto por una CPU anfitrión y una memoria interna RAM, lleva a cabo el verdadero tratamiento de datos por ejemplo de una función de aparato de control integrada junto a la pasarela. En la forma de ejecución representada en la figura 3 cada unidad maestro 4-1, 4-2 presenta de forma preferida su propio sistema de bus 5-1, 5-2. Cada bus de sistema 5-1, 5-2 presenta por su parte su propio bus de datos, direcciones y control. Dentro de la pasarela 1 se transmiten los datos por palabras, en el caso de una posible forma de ejecución, en donde la longitud de una palabra de datos DW se corresponde con la anchura de bus del bus de datos respectivo del bus de sistema.  
 40  
 45 Los módulos de comunicaciones 2-i presentan, en el caso de una posible forma de ejecución, para cada bus de sistema 5-i un interfaz también correspondiente de forma preferida.

La figura 4 muestra una posible forma de ejecución de un módulo de comunicaciones 2-i. El módulo de comunicaciones 2-i sirve para conectar un bus serie 3 a través de un interfaz, en donde el módulo de comunicaciones 2-i para cada bus de sistema interno 5-i de la pasarela 1 presenta su propio interfaz separado 2a, 2b. En la forma de ejecución representada en la figura 4, el módulo de comunicaciones 2-i presenta un primer interfaz 2a para conectarse al bus de sistema 5-1, cuya unidad maestro está formada por la unidad de control de pasarela 4-1. Aparte de esto, el módulo de comunicaciones 2-1 presenta otra interfaz 2b para conectarse al bus de sistema 5-2 de la pasarela 1, cuyo maestro de bus está formado por la CPU anfitrión del procesador 4-2. Al bus de datos serie externo 3-i está conectada una unidad de protocolo de comunicaciones 2c del módulo de comunicaciones 2-i. La unidad de protocolo de comunicaciones 2c lleva a cabo una transconexión entre paquetes de datos, respectivamente mensajes, los cuales se transmiten externamente a través del bus de datos serie 3-i y envía, con ayuda del controlador de mensajes, internamente mensajes, respectivamente messages que pueden estar compuestos en cada caso por una o varias palabras de datos DW.

El módulo de comunicaciones 2-i en la figura 4 contiene además una unidad de transmisión de mensajes, respectivamente un controlador de mensajes 2d, para transmitir mensajes entre al menos una memoria de mensajes interna, respectivamente Message-RAM 2e, y la unidad de protocolo de comunicaciones 2c así como diferentes memorias tampón 2f, 2g a través de líneas de datos internas 2h. La capacidad de memoria de una memoria tampón 2f, 2g se corresponde de forma preferida al volumen de datos de un mensaje a transmitir internamente, así como a otros datos de administración. El módulo de comunicaciones 2-i presenta varias unidades de interfaz 2a, 2b, que en cada caso están conectadas a un bus de sistema 5-i correspondiente de la pasarela 1. Con ello cada unidad de interfaz 2a, 2b está unida al menos a una memoria tampón 2f, 2g correspondiente, en la que puede almacenarse de forma intermedia al menos un mensaje, respectivamente message, respectivamente un objeto de mensaje MO.

El acceso de la unidad de control de pasarela 4-1 a un objeto de mensaje MO, respectivamente a un mensaje N, se realiza a través del interfaz de pasarela 2a y su registro de interfaz 2f correspondiente. La CPU 4-2 accede a través del interfaz de abonado 5-2 y su registro de interfaz 2g correspondiente a mensajes, respectivamente a objetos de mensaje. De este modo es posible tanto desde la unidad de control de pasarela 4-1 como desde la unidad de procesador 4-2 el acceso a todos los mensajes, respectivamente objetos de mensaje, sin influirse mutuamente.

La figura 5 muestra una posible forma de ejecución de una unidad de control de pasarela 4-1 contenida en la pasarela 1 conforme a la invención. La unidad de control de pasarela 4-1 está unida para intercambiar mensajes a los módulos de comunicaciones 2-i, a través del bus de sistema 5-1 correspondiente. Con ello obtiene de cada módulo de comunicaciones 2-i la aparición en ese punto de un mensaje N a enrutar, respectivamente de un objeto de mensaje MO a enrutar, como acontecimiento externo  $EV_{ext}$ . Como puede reconocerse en la figura 3, cada módulo de comunicaciones 2-i está unido al menos, con una línea de indicación para indicar un acontecimiento, respectivamente un evento, a la unidad de control de pasarela 4-1. En el caso de una posible forma de ejecución, el módulo de comunicaciones 2-i representado en la figura 4 presenta varios registros de mensajes paralelos para cada interfaz, para archivar un mensaje por cada registro de mensajes. En el caso de una posible forma de ejecución, los mensajes están divididos con ello en varios grupos, por ejemplo en m grupos. En el caso de una posible forma de ejecución, el número de grupos de mensajes previsto dentro de un módulo de comunicaciones 2-i es  $m = 4$ . El controlador de mensajes 2d del módulo de comunicaciones 2-i muestra, al producirse un acontecimiento externo  $EV_{ext}$ , por ejemplo la recepción de un mensaje a transmitir de la unidad de control de pasarela 4-1 a través de una línea de indicación correspondiente. En el caso de una posible forma de ejecución, para cada grupo de mensajes está prevista su propia línea de indicación, por ejemplo  $m = 4$  líneas de indicación. Si el número de módulos de comunicaciones 2-i es N, bajo la suposición de que todos los módulos de comunicaciones 2-i tienen un N idéntico, y si el número de grupos dentro del módulo de comunicaciones 2-i es m, el número de líneas de indicación para eventos, respectivamente acontecimientos, es  $N \times m$ .

Como puede reconocerse en la figura 5, la unidad de control de pasarela 4-1 está unida a través del bus de sistema 5-1 a los módulos de comunicaciones 2-i y obtiene de cada módulo de comunicaciones 2-1 la aparición en ese punto de un mensaje a enrutar como acontecimiento externo  $EV_{ext}$ , a través de una línea de indicación. La unidad de control de pasarela 4-1 contiene una memoria de vectores (VRAM), cuyo contenido de memoria se ha representado en la figura 6. Aparte de esto la unidad de control de pasarela 4-1 contiene una memoria de órdenes, respectivamente Instruction RAM (IRAM), para archivar órdenes cuyo contenido de memoria se ha representado en la figura 7. El elemento de control central de la unidad de control de pasarela 4-1 está formado por un control de desarrollo, respectivamente una máquina automática de estados (FSM: Finite State Machine), que se compone de un FSM de acontecimientos y un FSM de órdenes separado del mismo. Asimismo la unidad de control de pasarela 4-1 contiene un registro de estados SR y un contador Z como sincronizador para activar acontecimientos internos  $EV_{int}$ . La unidad de control de pasarela 4-1 está unida al bus de sistema 5-1 a través de un interfaz de bus de sistema SBI. La memoria de vectores, respectivamente VRAM, como se ha representado en la figura 6, contiene fundamentalmente tres zonas de memoria. En una primera zona de memoria se encuentran datos de configuración de los módulos de comunicaciones 2, es decir, para cada módulo de comunicaciones 2-i está archivado un vector de módulo de comunicaciones KBV por cada grupo de mensajes. El vector de módulo de comunicaciones KBV archiva para el módulo de comunicaciones 2-i correspondiente aquel momento ZP, que indica el siguiente acontecimiento interno  $EV_{int}$  a esperar para un mensaje N almacenado de forma intermedia en el módulo de comunicaciones 2-i.

Aparte de esto, el vector de módulo de comunicaciones KBV presenta una dirección de salto de vector VSA sobre un vector de mensaje NV para el mensaje N correspondiente. Además de esto, cada vector de módulo de comunicaciones KBV presenta otros datos de configuración para el módulo de comunicaciones 2-i correspondiente. Un posible dato de configuración está formado por un señalizador CC, el cual indica si un módulo de comunicaciones 2, respectivamente un Communication Controller, está activado o desactivado. Si el módulo de comunicaciones 2 presenta varios grupos de mensajes N, se prevé un vector de módulo de comunicaciones KBV para cada grupo de mensajes dentro del módulo de comunicaciones 2.

La memoria de vectores VRAM dentro de la unidad de control de pasarela 4-1 contiene además una segunda zona de memoria, en la que para cada mensaje N, respectivamente para cada Message MSG, están archivados datos de configuración como vectores de mensaje NV. Para cada message relevante, respectivamente mensaje N, está archivado un vector de mensaje NV en la memoria de vectores VRAM. Para cada mensaje N almacenado de forma intermedia en un módulo de comunicaciones 2-i está previsto un vector de mensaje NV correspondiente, respectivamente archivado en la VRAM, que indica un margen de tiempo ZP configurable de un acontecimiento interno  $EV_{int}$  a activar mediante el mensaje N correspondiente así como una dirección de salto de orden BSA.

En el caso de una posible forma de ejecución de la pasarela 1 conforme a la invención, el vector de mensaje N presenta además una diferencia de tiempo  $\Delta t$  entre el momento ZP de un acontecimiento interno o externo a activar mediante el mensaje N correspondiente y otro momento ZP del siguiente acontecimiento interno, a activar mediante el mensaje N correspondiente.

Aparte de las zonas de memoria para los vectores de módulo de comunicaciones KBV y de la zona de memoria para los vectores de mensaje NV, la memoria vectorial VRAM presenta también una tercera zona de memoria de libre disposición, en la que se almacenan de forma intermedia variables y en la que están archivados señalizadores y constantes. Aparte de esto la tercera zona de memoria libremente disponible de la memoria de vectores VRAM sirve para el intercambio de datos con la CPU 4-2.

Los vectores de mensaje NV archivados en la segunda zona de memoria de la memoria de vectores VRAM presentan una dirección de salto de orden BSA, mediante la cual puede direccionarse al menos una subrutina de orden dentro de la memoria de órdenes IRAM. Para cada mensaje N está archivado en la segunda zona de memoria de la memoria de vectores VRAM un vector de mensaje NV, que en cada caso presenta una dirección de salto de orden BSA sobre una subrutina dentro de la memoria de órdenes IRAM. Una secuencia de orden, respectivamente subrutina, de este tipo está archivada en la IRAM en una zona de memoria asociada al mensaje respectivo. El tamaño de la zona de memoria es variable de forma preferida. Aparte de esto, la posición de la zona de memoria dentro de la memoria de órdenes IRAM es también variable.

En la unidad de control de pasarela 4-1 está previsto, además de la memoria de vectores VRAM y de la memoria de órdenes IRAM, un control de desarrollo FSM que presenta un FSM de acontecimientos y un FSM de órdenes. El FSM de acontecimientos del control de desarrollo valora, al producirse un acontecimiento interno o uno externo, los vectores VRAM archivados en la memoria de vectores, es decir los vectores de módulo de comunicaciones KBV y los vectores de mensaje NV y actualiza los momentos indicados en los vectores respectivos.

Aparte de esto la unidad de control de pasarela 4-1 presenta un registro de configuraciones, respectivamente estados SR, el cual entre otras cosas almacena de forma intermedia aquel momento ZP para el acontecimiento que se espera de forma más inmediata de entre todos los acontecimientos internos  $EV_{int}$  a esperar, para todos los mensajes almacenados de forma intermedia en los módulos de comunicaciones 2-i.

El FSM de órdenes dentro del control de desarrollo ejecuta las órdenes leídas en la memoria de órdenes IRAM. Al producirse un acontecimiento interno  $EV_{int}$ , cuyo momento ZP se indica en un registro de estados SR, o al producirse un acontecimiento externo  $EV_{ext}$ , que se indica al control de desarrollo de un módulo de comunicaciones 2-i, el FSM de acontecimientos lee el vector de módulo de comunicaciones KBV correspondiente al módulo de comunicaciones 2-i respectivo en la primera zona de memoria de la memoria de vectores VRAM. Un vector de módulo de comunicaciones KBV leído contiene una dirección de salto de vector VSA sobre un vector de mensaje NV en la segunda zona de memoria de la memoria de vectores VRAM. Para cada módulo de comunicaciones 2-i, respectivamente para cada grupo de mensajes N dentro de un módulo de comunicaciones 2-i, está previsto su propio vector de módulo de comunicaciones KBV. Éste forma en cierta medida una tabla de dispersión para los vectores de mensaje NV en la segunda zona de memoria de la memoria de vectores VRAM. Mediante la dirección de salto de vector VSA, el FSM de acontecimientos del control de desarrollo el vector de mensaje NV direccionado en la segunda zona de memoria de la memoria de vectores VRAM y direcciona a continuación, con la dirección de salto de orden BSA allí contenida, una subrutina dentro de la memoria de órdenes IRAM. La orden direccionada, respectivamente las órdenes direccionadas, se lee(n) en la memoria de órdenes IRAM y se procesa(n) mediante el FSM de órdenes dentro del control de desarrollo, en donde el FSM de órdenes actualiza también los momentos ZP indicados en los vectores, es decir en los vectores de mensaje NV y en los vectores de módulo de comunicaciones KBV, de forma correspondiente a los vectores NV y KBV, de forma preferida mediante el FSM de acontecimientos o las órdenes procesadas.

La unidad de control de pasarela 4-1 representada en la figura 5 presenta un contador Z como sincronizador interno para activar un acontecimiento interno.

5 En el caso de la unidad de control de pasarela 4-1 conforme a la invención se diferencia entre acontecimientos externos  $EV_{ext}$  y acontecimientos internos  $EV_{int}$ . Los acontecimientos externos  $EV_{ext}$  son activados por los módulos de comunicaciones 2-i, en especial al recibirse un mensaje N a transmitir, respectivamente un paquete de mensajes DP a transmitir. Los acontecimientos internos  $EV_{int}$  son activados por el sincronizador, respectivamente el contador de tiempo Z. Estos acontecimientos internos sirven por ejemplo por el envío cíclico de mensajes o para el anti-rebotamiento, respectivamente debouncing, de trenes de mensajes recibidos o para enviar mensajes de retardo cuando se supera un margen de tiempo esperado. Para cada memoria tampón de mensajes relevante dentro de un módulo de comunicaciones 2-i, en el caso de una posible forma de ejecución de la pasarela 1 conforme a la invención el vector de mensaje NV está archivado en la memoria de vectores VRAM, la cual presenta por ejemplo las siguientes informaciones, precisamente una referencia sobre el objeto de datos a enviar, respectivamente el mensaje N, una dirección de salto para ejecutar una determinada secuencia de órdenes, del siguiente acontecimiento interno, y un tiempo diferencial para calcular acontecimientos internos subsiguientes, así como datos de información para controlar e informaciones de estado.

10 Mediante los datos archivados en la memoria de vectores VRAM, en especial de momentos ZP definidos, con el uso del contador ZP puede implementarse casi cualquier desarrollo en el tiempo mediante la unidad de control de pasarela 4-1, para transmitir datos entre dos o más buses 3 a través de la pasarela 1. Con ello se inicializa al arrancar el sistema el sincronizador Z, respectivamente contador, de tal modo que el contador divide el ciclo de CPU en un retículo de tiempo favorable para todo el sistema. El valor de conteo actual del contador Z se usa para comprobar los objetos de mensaje en los vectores de módulo de comunicaciones KBV y vectores de mensaje NV de la memoria de vectores VRAM, para activar el envío de un mensaje N. Con ello el valor de conteo del sincronizador Z se compara con los valores de tiempo archivados en la tabla de vectores. Si el valor de sincronizador del contador Z es mayor o igual que el valor de tiempo, respectivamente momento, archivado en cada caso, y se trata en el mensaje N correspondiente, respectivamente en el objeto de mensaje, de un objeto de emisión, se salta a la dirección indicada y se ejecutan las órdenes allí indicadas. Si se trata en el mensaje N, respectivamente en el objeto de mensaje, de un objeto de recepción, se comprueba si el objeto de recepción ya hubiese tenido que recibirse o no. Si no se recibe el objeto de mensaje de recepción dentro del tiempo esperado, mediante la pasarela 1 conforme a la invención se activa un retardo y se entrega un mensaje de retardo correspondiente. A continuación se actualizan referencias de tiempo mediante el control de desarrollo, en donde el cálculo se basa en las referencias de tiempo disponibles con los tiempos de ciclo indicados. Mediante los momentos nuevamente calculados se establece cuándo debe enviarse de nuevo un mensaje N, respectivamente message, respectivamente cuándo se produce el siguiente retardo.

15 En el caso de una transmisión directa, respectivamente instantánea, de un mensaje N no es necesario comparar el valor de tiempo indicado por el contador Z. Mediante el módulo de comunicaciones 2-i se comunica a la unidad de control de pasarela 4-1, que se ha recibido un mensaje N mediante el módulo de comunicaciones 2. A continuación el control de desarrollo FSM busca en la memoria de vectores VRAM un registro correspondiente, es decir, un vector de módulo de comunicaciones KBV correspondiente al mensaje N. Este vector KBV indica un vector de mensaje NV en la segunda zona de memoria de la memoria de vectores VRAM. Ésta contiene una dirección de salto de orden BSA para una rutina, en la que están archivadas las órdenes de rutina.

20 La valoración del valor de tiempo, que se envía mediante el contador Z, para calcular los nuevos valores de tiempo de espera, respectivamente momentos ZP esperados, así como la activación de los diferentes módulos de comunicaciones 2-i es asumida por el control de desarrollo que se desarrolla automáticamente, respectivamente Finite State Machine. El control de desarrollo FSM comprueba, con ayuda de un contador Z y de un registro de estados SR, todos los objetos de mensaje, respectivamente mensajes a enviar, y comprueba adicionalmente la recepción de nuevos mensajes externos N mediante los módulos de comunicaciones 2-i. Al producirse un acontecimiento interno, por ejemplo el envío cíclico de un mensaje o de un acontecimiento externo, por ejemplo la recepción de un mensaje N a transmitir mediante un módulo de comunicaciones 2, se ejecutan las órdenes de enrutamiento configuradas y se activan los diferentes módulos de comunicaciones 2. Mediante la conexión de los módulos de comunicaciones 2 a través del interfaz de abonados 5-2 existe para la CPU 4-2 en la pasarela 1 conforme a la invención la posibilidad, en cualquier momento, de acceder a mensajes N en el módulo de comunicaciones, respectivamente módulos de bus 2-i. Los mensajes N se almacenan de forma intermedia, de forma preferida, en el módulo de comunicaciones 2-i, respectivamente en los módulos de bus de los buses serie 3-i, y en el caso de la pasarela 1 conforme a la invención no se cargan en la unidad de control de pasarela 4-1 para el enrutamiento automático en una posible forma de ejecución. Una transmisión de los mensajes entre los módulos de comunicaciones, respectivamente módulos de bus 2-i, se lleva a cabo en el caso de una posible forma de ejecución de la pasarela 1 conforme a la invención mediante otro bus, precisamente un bus anular que une entre sí anularmente los diferentes módulos de comunicaciones. La CPU 4-2 puede acceder a todos los objetos de mensaje, respectivamente mensajes N almacenados de forma intermedia, dentro de un módulo de comunicaciones 2-i a través del registro de interfaz 2g, mientras que la unidad de control de pasarela 4-2 ejecuta el acceso a través del segundo registro de interfaz 2f.

La figura 8 muestra diagramas de desarrollo de señal para aclarar el modo de funcionamiento en el caso de una posible forma de ejecución de la pasarela 1 conforme a la invención. En el registro de estados SR de la unidad de control de pasarela 4-1 está almacenado de forma intermedia aquel momento ZP, en el que se produce el siguiente acontecimiento que se espera, es decir el acontecimiento que se espera de forma más inmediata de entre todos los acontecimientos internos a esperar, para todos los mensajes N almacenados de forma intermedia en el módulo de comunicaciones 2-i. En el registro de estados SR está almacenado así de forma intermedia el evento interno más próximo, respectivamente el acontecimiento interno EV<sub>int</sub> a esperar como siguiente por la unidad de control de pasarela 4-1. En cuanto el sincronizador Z entrega un valor de conteo, que indica la entrada de este acontecimiento ( $t_{nextEVtail} \leq \text{TIMER}$ ), el FSM de acontecimientos establece, dentro del control de desarrollo, los módulos de comunicaciones 2-i correspondientes y valora todos los vectores de módulo de comunicaciones KBV archivados en la memoria de vectores VRAM para el grupo respectivo dentro del módulo de comunicaciones 2-i correspondiente. En el ejemplo sencillo representado en la figura 8 el módulo de comunicaciones 2 presenta dos mensajes, respectivamente grupos de mensajes, precisamente un grupo GRP1 y un grupo GRP2. El FSM de acontecimientos valora en el paso S1 el vector de módulo de comunicaciones KBV que activa el evento de tiempo, el cual está archivado en la primera zona de memoria de la memoria de vectores VRAM y encuentra, en el ejemplo representado en la figura 8, el vector de módulo de comunicaciones KBV para el segundo grupo GRP2 de los mensajes almacenados de forma intermedia dentro del módulo de comunicaciones 2. En otro paso S2 se lee y valora el vector de mensaje NV que activa el evento de tiempo en la segunda zona de memoria de la segunda memoria de vectores VRAM. En el ejemplo representado en la figura 8 el vector que activa el evento EV es el vector del primer mensaje N, respectivamente del objeto de mensaje (message-Object 1), dentro del segundo grupo GRP2 del módulo de comunicaciones 2-i activador.

En otro paso S3 se calcula el siguiente evento de tiempo, respectivamente el siguiente acontecimiento interno, para este objeto de mensaje, respectivamente este message-object MO:

$$t_{nextEV+1-Grp_n-MO_m} = t_{nextEVt-Grp_n-MO_m} + t_{Grp_n-MO_m}$$

Esto es posible, ya que cada vector de mensaje NV presenta adicionalmente una diferencia de tiempo t entre el momento ZP de un acontecimiento interno, que debe ser activado por el mensaje N, respectivamente el objeto de mensaje MO correspondiente, y un momento ZP del siguiente acontecimiento interno que debe ser activado por el mensaje N correspondiente.

En otro paso S4 se busca mediante el FSM de acontecimientos el siguiente evento de tiempo, respectivamente el siguiente acontecimiento interno EV<sub>int</sub>:

$$t_{nextEV-GRPn} = \text{minimum} (t_{nextEV-GRPn-MO_m}) : m \in \{1 \dots m_{max}\}$$

En otro paso S5 se realiza una actualización de la indicación de tiempo  $t_{nextEV-GRPn}$  en el vector de módulo de comunicaciones KBV dentro de la primera zona de memoria de la memoria de vectores VRAM, a partir de los momentos establecidos.

En otro paso S6 puede seleccionarse el siguiente evento de tiempo, respectivamente el siguiente acontecimiento interno a esperar, dentro de todos los grupos de mensajes, respectivamente objetos de mensaje MO archivados, de entre todos los módulos de comunicaciones 2-i. En el ejemplo representado en la figura 8 se trata del momento  $t_m$  para el primer grupo GRP1 dentro del primer módulo de comunicaciones.

En un paso S7 a continuación se archiva en el registro de estados SR este momento  $t_m$  como momento  $t_{n+1}$  del acontecimiento interno, respectivamente evento interno, más próximo a esperar. En cuanto el contador Z alcanza este momento  $t_{n+1}$ , comienza de nuevo el proceso representado en la figura 8, es decir, se llevan a cabo de nuevo los pasos S1-S7.

La figura 9 muestra dos diagramas de señales de tiempo, en donde el diagrama de señales superior representa un mensaje, respectivamente objeto de mensaje MO, que llega a la pasarela conforme a la invención, mientras que el segundo diagrama de señales de tiempo inferior muestra mensajes entregados por la pasarela 1 conforme a la invención a otro bus serie. En el ejemplo representado en la figura 9 se transmite un mensaje MO, recibido en un primer bus serie 3-i, directamente a través de otro bus serie 3-j, en donde se produce un ligero retraso de tiempo  $t_{GD\ delay}$ . Como puede reconocerse en la figura 9, el tiempo de ciclo de emisión  $t_{zyklus}$  es constante, es decir, los objetos de mensaje N recibidos (cíclica o espontáneamente) se transmiten cíclicamente.

La figura 10 muestra el envío cíclico de mensajes N mediante la pasarela 1 conforme a la invención, incluso si los objetos de mensaje N recibidos no se reciben cíclicamente. El mensaje  $N_i$  recibido en último lugar se emite en un bus 3-i cíclicamente, de forma continua, dentro de una duración de ciclo constante.

5 La figura 11 muestra la transmisión directa de un mensaje con retardo; es decir, se supervisa la presencia de un mensaje esperado. Como puede reconocerse en la figura 11, a través de un primer bus serie 3-i se recibe un mensaje N, respectivamente un objeto de mensaje, y se transmite directamente a un bus de salida. En el momento  $t_A$  se determina que el mensaje esperado no ha llegado y la pasarela 1 genera un mensaje de retardo, que se entrega como mensaje de salida al bus de salida, para indicar la ausencia del mensaje esperado. Para llevar a cabo el proceso representado en la figura 1, el control de desarrollo no ejecuta los pasos S1 representados en la figura 8  
10 al recibirse un mensaje de este tipo (mensaje recibido correctamente en el retículo de tiempo) y S3, en el caso de ausencia del mensaje N (activación del retardo), sino en cada caso sólo los pasos restantes.

15 La figura 12 muestra el anti-rebotamiento, respectivamente el debouncing, de trenes de mensajes. En el ejemplo representado en la figura 12, la pasarela 1 contiene un mensaje varias veces dentro de una ventana  $t_{DEB}$  prefijada y transmite solamente el primer mensaje del grupo a otro bus serie 3-i. Los mensajes restantes dentro del tren se suprimen mediante la pasarela 1. En el caso de la función representada en la figura 12, respectivamente en el modo de funcionamiento correspondiente, se ajusta en un primer recorrido un llamado bit activo anti-rebotamiento como dato de configuración en el vector de mensaje NV de la memoria de vectores VRAM, para recibir un mensaje. En cuanto está ajustado el bit activo anti-rebotamiento, se realiza el proceso representado en la figura 8, en donde puede prescindirse del paso S3. Por último se repone después nuevamente el bit activo anti-rebotamiento en los  
20 datos de configuración.

Como puede reconocerse en las figuras 9, 10, 11, 12, la pasarela 1 conforme a la invención es adecuada para diferentes modos de funcionamiento, respectivamente funciones, para la transmisión, respectivamente el tratamiento, de mensajes que se transmiten entre diferentes buses 3-i, 3-j. En la pasarela 1 conforme a la invención se reduce considerablemente, en función del volumen de datos que se produce, la carga de CPU para la supervisión  
25 automática de retardos y el envío necesario de mensajes o la combinación de varios mensajes mediante la unidad de control de pasarela 4-1. El envío de los mensajes, respectivamente del objeto de mensaje, así como la comprobación de sus posibles retardos se realizan mediante la unidad de control de pasarela 4-1 con independencia de los procesos que se desarrollan en paralelo en la CPU 4-2. Por medio de esto se consiguen fluctuaciones y tiempos de latencia bastante menores, con lo que pueden iniciarse y ejecutarse con más precisión procesos en la  
30 red. Con ello cada objeto de mensaje, respectivamente cada mensaje N, puede configurarse con independencia de otras redes y con independencia de otros objetos de mensaje en los módulos de comunicaciones, respectivamente módulos de bus aislados. Mediante la técnica de referencia usada en la pasarela 1 conforme a la invención mediante vectores existe una flexibilidad especialmente elevada con relación a la capacidad de configuración de la pasarela 1 conforme a la invención. Mediante la formación de grupos de mensajes N archivables dentro de cada módulo de  
35 comunicaciones 2 es posible otro encajetillado, con lo que se aumenta ulteriormente la flexibilidad. Además de esto se reduce notablemente la velocidad para procesos de búsqueda de mensajes a tratar y, mediante la definición compacta de un proceso de comunicación, se minimiza la necesidad de memoria para todos los objetos de mensaje. La pasarela 1 conforme a la invención ofrece la posibilidad de que acontecimientos, respectivamente eventos externos, influyan en, respectivamente controlen el desarrollo en el tiempo de acontecimientos internos, respectivamente eventos internos. La pasarela 1 conforme a la invención transfiere datos entre buses de campo, respectivamente buses serie 3, automáticamente sin cargar la CPU 4-2. Con ello se hace posible el envío periódico dentro de un retículo de tiempo prefijado, la transmisión inmediata después de recibir un mensaje, la comprobación de ausencia de un mensaje así como el anti-rebotamiento de mensajes. La transmisión de mensajes N se realiza con ello sin el control directo mediante la CPU. La CPU 4-2 obtiene sin embargo en cualquier momento el acceso a  
40 los objetos de mensaje, respectivamente objetos de message, transmitidos, respectivamente utilizados, sin interrumpir con ello el enrutamiento automático de los mensajes. La transferencia, respectivamente transmisión, de los objetos de mensaje, respectivamente de los mensajes N, se realiza en el caso de la pasarela 1 conforme a la invención con independencia de tiempos de latencia de software y de la carga actual de la CPU 4-2.  
45

**REIVINDICACIONES**

1. Pasarela para el enrutamiento automático de mensajes entre buses (3) con:

(a) varios módulos de comunicaciones (2) para el almacenamiento intermedio y la transmisión de mensajes (N) a través de los buses (3); y con

5 (b) una unidad de control de pasarela (4-1), que está unida a través de un sistema de bus (5-1) para intercambiar mensajes (N) a los módulos de comunicaciones (2), y que obtiene indicada desde cada módulo de comunicaciones (2) la aparición en ese punto de un mensaje (N) a enrutar como acontecimiento externo ( $EV_{ext}$ ), caracterizada porque la unidad de control de pasarela (4-1) presenta lo siguiente:

10 (b1) una memoria de vectores (VRAM) con una primera zona de memoria para archivar vectores de módulo de comunicaciones (KBV), en donde para cada módulo de comunicaciones (2) está previsto un vector de módulo de comunicaciones (KBV), que indica el momento (ZP) de un acontecimiento interno ( $EV_{int}$ ) a esperar como siguiente que es activado por un sincronizador, para un mensaje (N) almacenado de forma intermedia en el módulo de comunicaciones (2) y una dirección de salto de vector sobre un vector de mensaje (NV), que está archivado en una segunda zona de memoria de la memoria de vectores (VRAM), en donde para cada mensaje (N) relevante almacenado de forma intermedia en el módulo de comunicaciones (2) se archiva un vector de mensaje (NV) correspondiente, que indica un momento ZP configurable de un acontecimiento interno ( $EV_{int}$ ) a activar por parte del mensaje (N) así como una dirección de salto de orden;

15 (b2) una memoria de órdenes (IRAM) para archivar órdenes, que pueden direccionarse mediante la dirección de salto de orden indicada en el vector de mensaje (NV); y

20 (b3) un control de desarrollo (FSM) que, al producirse un acontecimiento interno ( $EV_{int}$ ), almacena de forma intermedia su momento ZP en un vector de mensaje (NV) de un mensaje (N) almacenado de forma intermedia en un módulo de comunicaciones (2) o bien, al producirse un acontecimiento externo  $EV_{ext}$  que se indica al control de desarrollo (FSM) mediante un módulo de comunicaciones (2), lee el vector de módulo de comunicaciones (KBV) correspondiente al módulo de comunicaciones (2) respectivo en la primera zona de memoria de la memoria de vectores (VRAM) y, mediante la dirección de salto de vector allí contenida, lee la dirección de salto de vector del vector de mensaje (NV) direccionado en la segunda zona de memoria de la memoria de vectores (VRAM) y a continuación, mediante la dirección de salto de orden leída, lee y ejecuta al menos una orden en la memoria de órdenes (IRAM), en donde se actualizan los momentos ZP indicados en los vectores (NV, KBV).

25 2. Pasarela según la reivindicación 1, en donde la pasarela (1) presenta un procesador (4-2) que está unido, a través de un segundo bus de sistema (5-2) aparte, a los módulos de comunicaciones (2).

35 3. Pasarela según la reivindicación 1, en donde el control de desarrollo (FSM) de la unidad de control de pasarela (4-1) presenta: un FSM de acontecimientos (Finite State Machine) el cual, cuando se produce un acontecimiento interno o uno externo valora los vectores (KBV, NV) archivados en la memoria de vectores (VRAM) y actualiza los momentos indicados en los vectores; y

un FSM de órdenes (Finite State Machine), que ejecuta las órdenes leídas en la memoria de órdenes (IRAM).

40 4. Pasarela según la reivindicación 1, en donde el vector de mensaje (NV) presenta además una diferencia de tiempo ( $\Delta t$ ) entre el momento ZP de un acontecimiento interno a activar mediante el mensaje (N) correspondiente y un momento ZP del siguiente acontecimiento interno, a activar mediante el mensaje (N) correspondiente.

5. Pasarela según la reivindicación 1, en donde la unidad de control de pasarela (4-1) presenta un contador (Z) como sincronizador interno para activar un acontecimiento interno ( $EV_{int}$ ).

45 6. Pasarela según la reivindicación 1, en donde la unidad de control de pasarela (4-1) presenta un registro de estados (SR), que almacena de forma intermedia aquel momento (ZP) para el siguiente acontecimiento a esperar de entre todos los acontecimientos internos a esperar, para todos los mensajes (N) almacenados de forma intermedia en los módulos de comunicaciones (2).

7. Pasarela según la reivindicación 1, en donde los buses (3) son buses serie.

8. Pasarela según la reivindicación 2, en donde cada módulo de comunicaciones (2) muestra:

- (a) una unidad de protocolo de comunicaciones (2c) conectada al bus serie (3) para cambiar entre paquetes de datos DP y mensajes MSG, que se componen en cada caso de varias palabras de datos DW;
- (b) una unidad de transmisión de mensajes (2d) para transmitir mensajes MSG entre al menos una memoria de mensajes (2e) y la unidad de protocolo de comunicaciones (2c) así como memorias tampón (2f, 2g);
- 5 (c) varias unidades de interfaz (2a, 2b), que están conectadas en cada caso a un sistema de bus (5-1, 5-2) correspondiente de la pasarela (1), en donde cada unidad de interfaz (2a, 2b) está unida al menos a una memoria tampón (2f, 2g) correspondiente que almacena de forma intermedia un mensaje MSG, en donde se realiza una transmisión de palabras de datos (DW), a través de varios buses de sistema (5-1, 5-2) y sus unidades de interfaz (2a, 2b) correspondientes, desde y hasta las memorias tampón (2f, 2g) de las
- 10 unidades de interfaz (2a, 2b), en el mismo momento sin tiempo de espera.
9. Pasarela según la reivindicación 7, en donde el bus serie (3) es un bus de campo.
10. Pasarela según la reivindicación 9, en donde el bus serie (3) es un bus CAN, Controller Area Network.
11. Pasarela según la reivindicación 9, en donde el bus serie (3) es un bus Ethernet
12. Pasarela según la reivindicación 2, en donde cada uno de los dos buses de sistema (5-1, 5-2) presenta un
- 15 maestro de bus de sistema (4-1, 4-2) correspondiente.
13. Pasarela según la reivindicación 8, en donde la unidad de transmisión de mensajes (2d) de un módulo de comunicaciones (2) señala la recepción de un mensaje, transmitido por palabras a través de un bus de sistema (5-1, 5-2), al maestro de bus de sistema (4-1, 4-2) del bus de sistema.
14. Pasarela según la reivindicación 8, en donde la unidad de transmisión de mensajes (2d) confirma al maestro de bus de sistema (4-1, 4-2) la recepción de un mensaje a transmitir mediante señales, después de que éste haya solicitado la información.
- 20
15. Pasarela según la reivindicación 8, en donde un mensaje recibido desde el bus de sistema (5-1, 5-2) respectivo, que está almacenado de forma intermedia en una memoria tampón (2f, 2g) y que se transmite desde la unidad de transmisión de mensajes (2d) a la memoria de mensajes (2e), para señalar una disponibilidad de emisión a través del bus serie (3), presenta al menos un bit de señalizador.
- 25

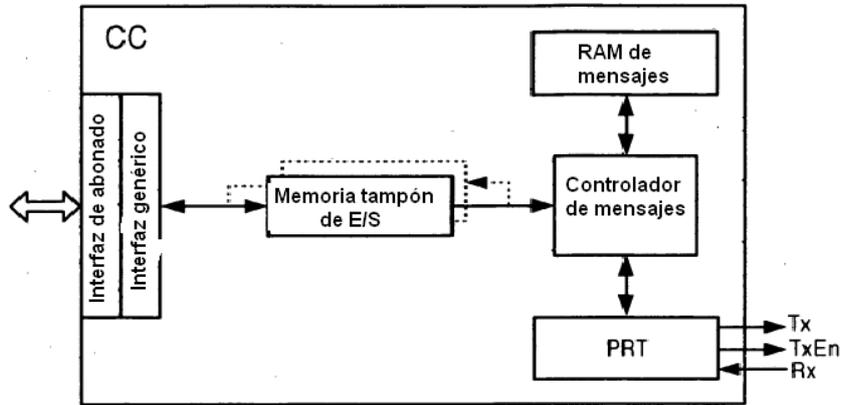


Fig. 1 (Estado de la técnica)

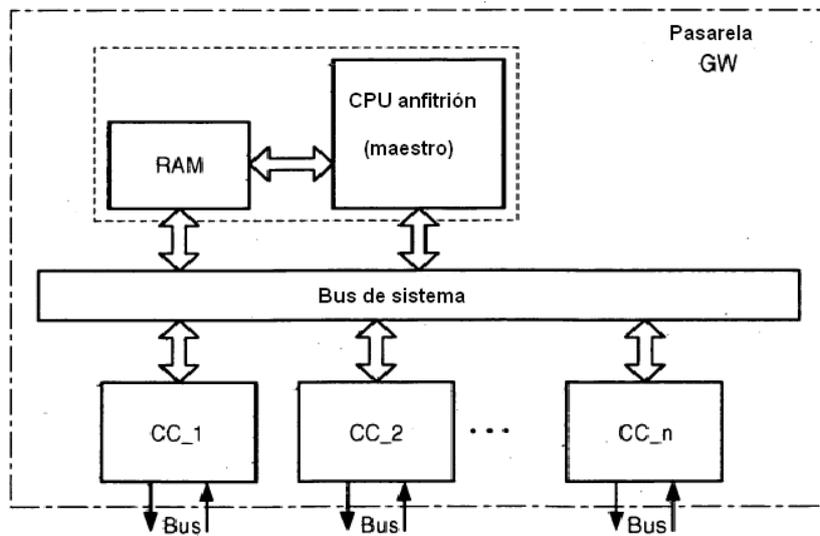


Fig. 2 (Estado de la técnica)

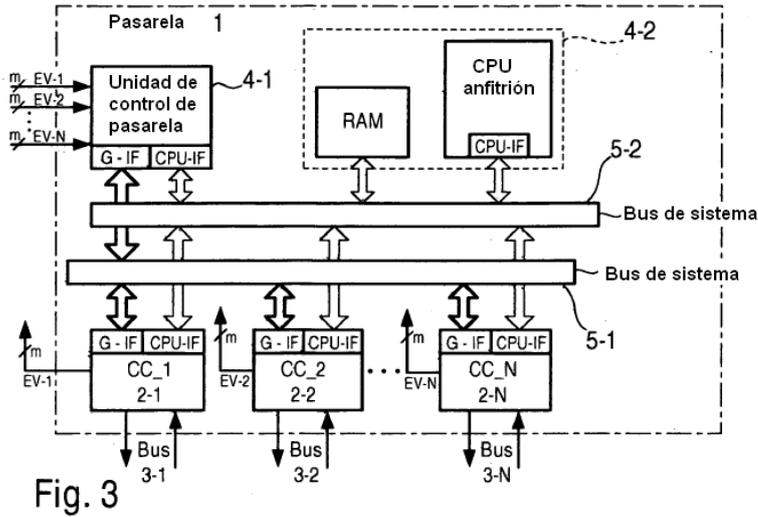


Fig. 3

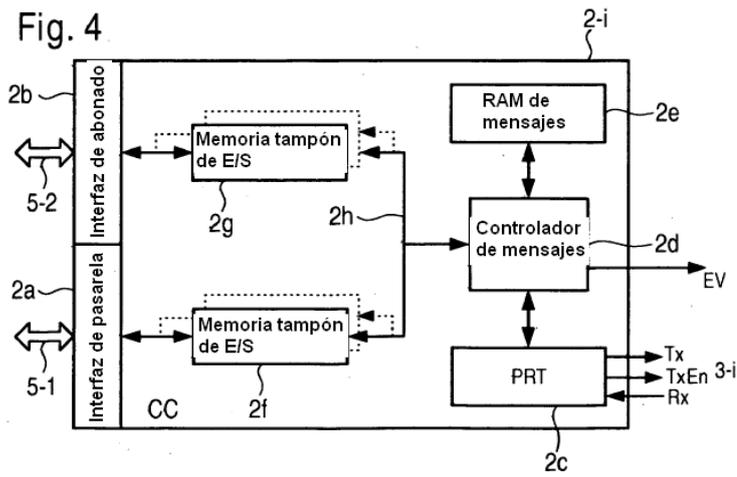


Fig. 4

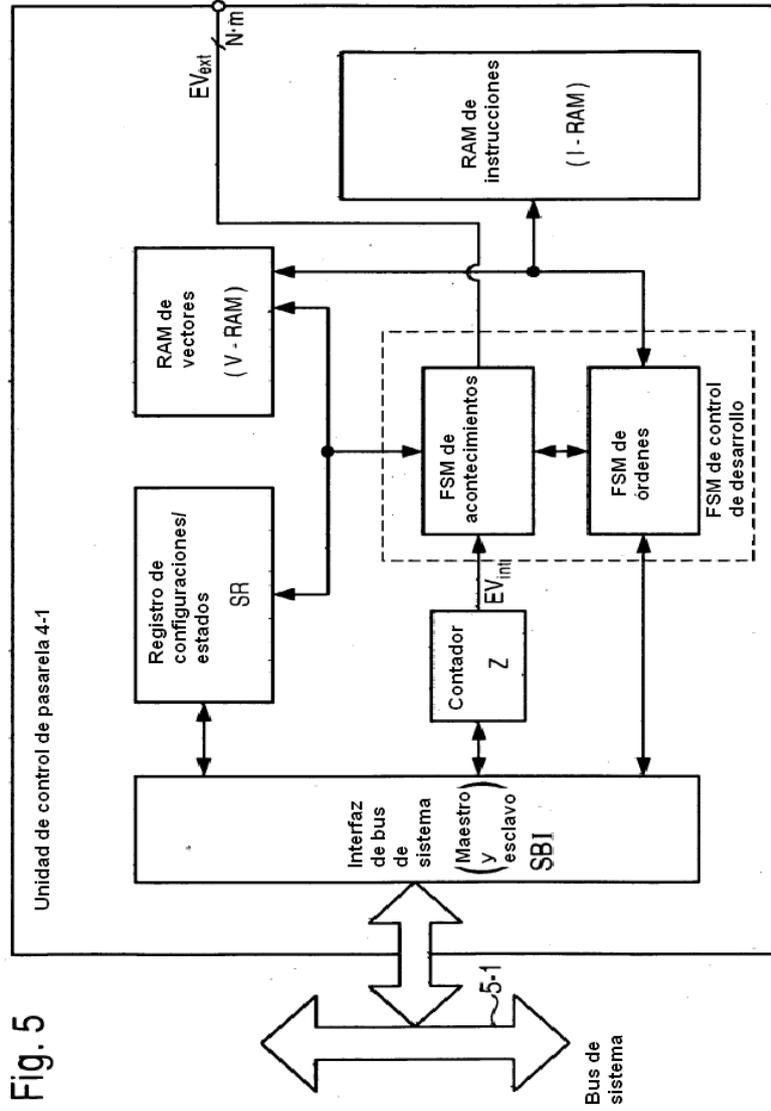
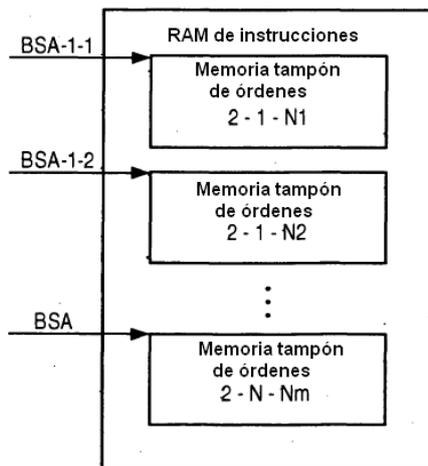
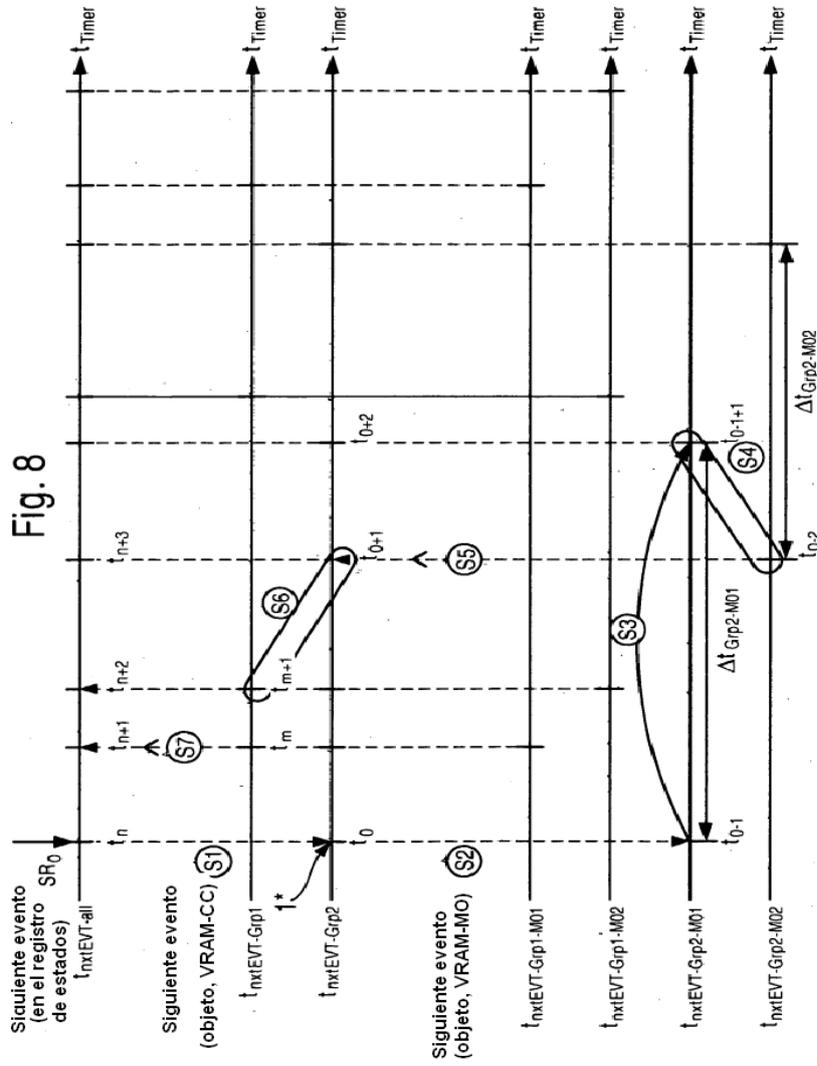


Fig. 6



Fig. 7





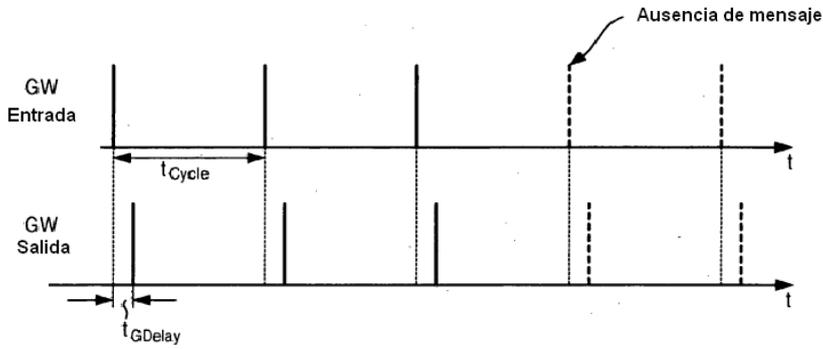


Fig. 9

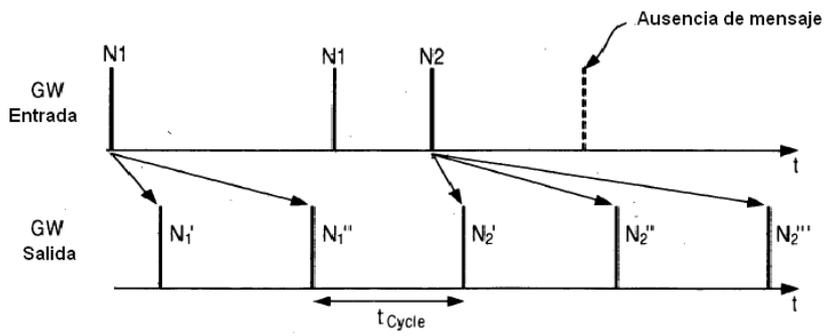


Fig. 10

Fig. 11

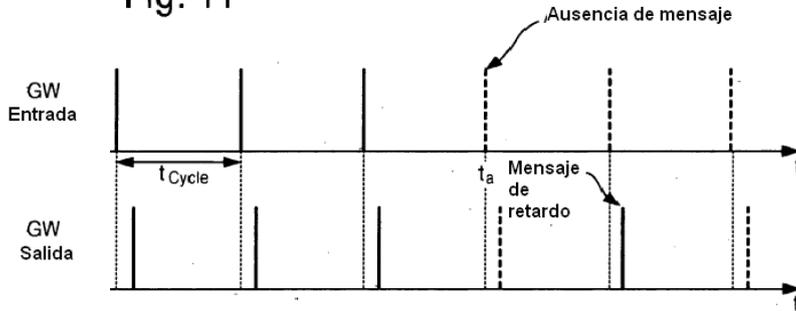


Fig. 12

