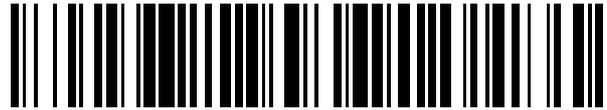


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 393 661**

51 Int. Cl.:

H03L 7/085 (2006.01)

H02J 3/40 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **10178724 .0**

96 Fecha de presentación: **23.09.2010**

97 Número de publicación de la solicitud: **2306649**

97 Fecha de publicación de la solicitud: **06.04.2011**

54 Título: **Circuito en bucle con bloqueo de fase**

30 Prioridad:

29.09.2009 US 569119

45 Fecha de publicación de la mención BOPI:

27.12.2012

45 Fecha de la publicación del folleto de la patente:

27.12.2012

73 Titular/es:

GENERAL ELECTRIC COMPANY (100.0%)
1 River Road
Schenectady, NY 12345, US

72 Inventor/es:

YUAN, XIAOMING;
TAN, ZHUOHUI;
DELMERICO, ROBERT WILLIAM;
HAIQING, WENG y
SEYMOUR, ROBERT ALLEN

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 393 661 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito en bucle con bloqueo de fase

La invención se refiere en general a circuitos en bucle con bloqueo de fase (PLL) para generar señales de fase y frecuencia sincronizadas de señales de referencia multifases.

5 Un circuito en bucle con bloqueo de fase (PLL) es un circuito en bucle cerrado que genera una señal de salida sincronizada a partir de una señal de referencia. El circuito de PLL responde automáticamente a la frecuencia y a la fase de la señal de referencia ajustando la señal de salida hasta que la señal de salida se corresponda con la señal de referencia tanto en frecuencia como en fase. En un sistema de control de potencia, por ejemplo, el circuito de PLL detecta la información de fase de la tensión de la red, de manera que un controlador de potencia pueda sincronizar la tensión de salida del convertidor a la tensión de la red. Durante un evento transitorio tal como un fallo de cortocircuito en el sistema eléctrico, el ángulo de fase y la magnitud de la señal de referencia pueden cambiar significativamente, y es deseable que el circuito de PLL proporcione una respuesta rápida.

10 La publicación de JON ARE SUUL ET AL: "Diseño, puesta a punto y prueba de un sistema de PLL flexible para la sincronización a la red de convertidores de potencia de tres fases", POWER ELECTRONICS AND APPLICATIONS, 2009. EPE '09. 13ª CONFERENCIA EUROPEA, IEEE, PISCATAWAY, NJ, EE.UU, 8 de septiembre de 2009 (09 - 08 - 2009), páginas 1 - 10, ISBN: 978 -1 - 4244 - 4432 - 8, describe un circuito en bucle con bloqueo de fase, que comprende:

20 un detector de error de fase para recibir una señal de referencia multifase y una señal de fase sincronizada del circuito en bucle con bloqueo de fase, y para realizar una transformación rotacional para convertir la señal de referencia multifase en cantidades en dos fases en una trama de referencia d - q de rotación sincrónica;

un módulo de transferencia monótona para recibir las cantidades en dos fases, y para generar una señal de error de fase monótona que es monótona cuando la diferencia de fases entre la señal de referencia multifase y la señal de fase sincronizada varía de -180 grados a 180 grados (véase la página 2, líneas 29 - 31); y

25 un regulador para recibir la señal de error de fase monótona, y para generar una frecuencia de rotación sincronizada; y

un integrador para la recepción de la frecuencia de rotación sincronizada, y para generar la señal de fase sincronizada.

30 De acuerdo con una realización descrita en la presente memoria descriptiva, un circuito en bucle con bloqueo de fase comprende un detector de error de fase para recibir una señal de referencia multifase y una señal de fase sincronizada del circuito en bucle con bloqueo de fase, y para realizar una transformación rotacional para convertir de la señal de referencia multifase en cantidades en dos fases en una trama de referencia d - q de rotación sincrónica. Un módulo de transferencia monótona recibe las cantidades en dos fases, y genera una señal de error de fase monótona que es monótona cuando la diferencia de fase entre la señal de referencia multifase y la señal de fase sincronizada varía de -180 grados a 180 grados. Un regulador recibe la señal de error de fase monótona, y genera una frecuencia de rotación sincronizada. Un integrador recibe la frecuencia de rotación sincronizada, y genera la señal de fase sincronizada,

en el que el módulo de transferencia monótona comprende un bucle de seguimiento de errores para la recepción de las cantidades en dos fases y para generar una diferencia de fase estimada;

40 en el que el bucle de seguimiento de errores comprende una unidad de función de transferencia para recibir las cantidades en dos fases y la diferencia de fase estimada y para generar una señal de error a partir de la diferencia entre la diferencia de fase estimada y la diferencia de fase real, y un regulador para generar la diferencia de fase estimada;

45 en el que la unidad de función de transferencia está configurada para realizar una función sinusoidal de la diferencia entre la diferencia de fase estimada y la diferencia de fase real para generar la señal de error.

Varias características, aspectos y ventajas de la presente invención se entenderán mejor cuando la siguiente descripción detallada se lea con referencia a los dibujos que se adjuntan, en los que los mismos caracteres representan las mismas partes en todos los dibujos, en los que:

La figura 1 es un diagrama de bloques de un circuito en bucle con bloqueo de fase convencional (PLL).

50 La figura 2 muestra una transformación rotacional de un detector de fase del circuito de PLL de la figura 1, en el que un error de fase es menor que 90 grados.

La figura 3 ilustra una transformación rotacional del detector de fase del circuito de PLL de la figura 1, en el que un error de fase es mayor que 90 grados.

La figura 4 ilustra una característica de onda sinusoidal del detector de error de fase del circuito de PLL de la figura 1.

5 La figura 5 es un diagrama de bloques de un circuito de PLL ejemplar de acuerdo con una realización de la invención.

Las figuras 6 y 7 ilustran características monótonas de un módulo de transferencia monótona de acuerdo con diferentes realizaciones de la invención.

10 Las figuras 8 - 10 son diagramas de bloques de los módulos de transferencia monótonas de acuerdo con otras realizaciones de la invención.

Varias realizaciones de la invención se refieren a un circuito en bucle con bloqueo de fase (PLL) para generar señales de fase y señales sincronizadas a partir de una señal de referencia multifase. El circuito de PLL comprende un detector de fase para recibir la señal de referencia multifase y una señal de fase sincronizada de retroalimentación y generar señales en dos fases en una trama de referencia en dos fases directa y en cuadratura (d - q). El circuito de PLL comprende una función de transferencia monótona para recibir las señales en dos fases en la trama de referencia d - q y para generar una señal de error de fase. La señal de error de fase es monótona para una diferencia de fases entre la señal de referencia y la señal de fase sincronizada que se encuentre en el rango de -180 grados a 180 grados.

Para comprender mejor la invención, se hace referencia en primer lugar a un circuito de PLL convencional 10 por medio de las figuras 1 - 4. Como se ilustra en la figura 1, el circuito de PLL 10 ilustrado comprende un detector de fase 12 para recibir una señal de referencia multifase 14 y una señal de salida sincronizada 16 del circuito de PLL 10 y para usar estas señales para generar una señal de error de fase 18. Un regulador 20 determina una frecuencia sincronizada (ω_e) en base a la señal de error de fase 18. Un integrador 22 genera una señal de fase sincronizada (δ), y por lo tanto una señal de salida del circuito de PLL puede incluir señales de frecuencia (ω_e) y de fase (δ) sincronizadas.

Cuando la señal de referencia 14 es una señal de referencia sinusoidal trifásica equilibrada con fasores de tensión (V_a , V_b , y V_c), se puede expresar como la ecuación 1 a continuación:

$$\begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = V_m \begin{bmatrix} \text{sen } \omega t \\ \text{sen}(\omega t - 2\pi/3) \\ \text{sen}(\omega t + 2\pi/3) \end{bmatrix}, \quad \text{ecuación 1}$$

30 en la que " V_m " es una amplitud de tensión de secuencia positiva, y " ω " es una frecuencia fundamental de rotación de la señal de referencia de tres fases 14.

Haciendo referencia a la figura 2, la generación de la señal de error de fase 18 por el detector de fase 12 comprende típicamente una transformación rotacional. El detector de fase 12 puede transformar la señal de referencia de tres fases (V_a , V_b , y V_c) en cantidades en dos fases (V_α , V_β) en una trama de referencia α - β estacionaria en dos fases de acuerdo con la ecuación 2 siguiente, por ejemplo:

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{2}{3} \times \begin{bmatrix} 1 & -0,5 & -0,5 \\ 0 & -\frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = \begin{bmatrix} V_m \times \cos \Phi \\ V_m \times \text{sen} \Phi \end{bmatrix}, \quad \Phi = \omega t + \Phi_0. \quad \text{ecuación 2}$$

35 en la que " Φ " es un ángulo de fase instantánea de la señal de referencia 14 y Φ_0 es un ángulo de fase inicial de la señal de la fase de referencia 14. Entonces, las cantidades en dos fases (V_α , V_β) se puede transformar en cantidades en dos fases (V_d , V_q) en una trama de referencia d - q de rotación síncrona de acuerdo con la ecuación 3:

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos \delta & \text{sen } \delta \\ -\text{sen } \delta & \cos \delta \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix}, \quad \delta = \omega_e t + \delta_0 \quad \text{ecuación 3}$$

40 en la que " δ " es un ángulo instantáneo de fase sincronizada, y " ω_e " es una velocidad de rotación sincronizado, y por lo tanto:

$$V_d = V_\alpha \times \cos \delta + V_\beta \times \text{sen } \delta = V_m \times \cos \Phi \cos \delta + V_m \times \text{sen } \Phi \text{sen } \delta = V_m \times \cos(\Phi - \delta) = V_m \times \cos \theta : \text{ecuación 4}$$

$$V_q = V_\alpha \times (-\text{sen } \delta) + V_\beta \times \text{cos } \delta = V_m \times \text{cos } \Phi(-\text{sen } \delta) + V_m \times \text{sen } \Phi \text{cos } \delta = V_m \times \text{sen}(\Phi - \delta) = V_m \times \text{sen } \theta : \text{ecuación 5}$$

en la que "θ" es un error de fase de la fase (Φ) de la señal de tensión de referencia (V_a, V_b, V_c) 14 y la fase sincronizada (δ), es decir, θ = Φ - δ. La señal de error de fase 18 del detector de fase 12 es típicamente el valor de V_q. Si V_q= 0, eso es un estado de bloqueo de fase, y no se necesita ningún ajuste. Si V_q≠ 0, existe un margen de ajuste, y el circuito de PLL 10 proporcionará una señal de salida sincronizada ajustada para el ajuste de fase, de frecuencia, o de fase así como de frecuencia.

Como se muestra en la figura 2, V_q= V × senθ, y la señal de error de fase 18 del detector de fase 12 tiene una característica de onda sinusoidal. Haciendo referencia a las figuras 2 y 4, mientras la diferencia de fase (θ₁) se mantenga dentro de un rango de -90 grados a 90 grados, la señal de error de fase 18 será monótona con respecto al desplazamiento de fase (θ₁), y el circuito de PLL 10 podrá realizar la adquisición y ajuste suaves. Haciendo referencia a las figuras 3 y 4, sin embargo, cuando la diferencia de fase (θ₂) se encuentra dentro del rango de -180 grados a -90 grados o dentro del rango de 90 grados a 180 grados, la señal de error de fase 18 disminuye, mientras que la diferencia de fase (θ₂) aumenta. Bajo una condición transitoria tal como un acontecimiento de tensión de red con salto de fase, con o sin cambios en la frecuencia, la diferencia de fase (θ) puede saltar al rango de 180 grados a -90 grados o de 90 grados a 180 grados, y, en particular, cuando la señal de error de fase correspondiente 18 sea pequeña, la convergencia del circuito de PLL 10 se hará más lenta indeseablemente.

Haciendo referencia a la figura 5, un circuito de PLL 24 de acuerdo con una realización de la invención comprende un detector de fase 26, un módulo de transferencia monótona 27, un regulador de error de fase 28, y un integrador 30. El detector de fase 26 recibe una señal de referencia multifase 14 la cual, en una realización es, por ejemplo, una señal de tensión trifásica (V_a, V_b, V_c). El detector de fase 26 recibe, además, una señal de salida sincronizada 38 del circuito de PLL 24 y utiliza ambas señales para generar dos señales de fase (V_d, V_q) 32, 34 en una trama de referencia d - q en dos fases sincronas. En ciertas realizaciones de la invención, la generación de las señales de tensión en dos fases (V_d, V_q) 32, 34 en la trama de referencia d - q se lleva a cabo de una manera similar a la descrita con respecto a la transformación realizada por el detector de fase 12 de la figura 1. Una diferencia de fase (θ) entre la señal de referencia de tres fases (V_a, V_b, V_c) y la señal de salida sincronizada 38 del circuito de PLL 24 se puede obtener de acuerdo con la ecuación 6 a continuación:

$$\theta = \text{arctg2}(V_q, V_d). \quad \text{ecuación 6}$$

En ciertas realizaciones de la invención, el módulo de transferencia monótona 27 está configurado para recibir la señal en dos fases (V_d, V_q) 32, 34 y generar una señal de error de fase monótona 36 que aumenta monótonamente con respecto a la diferencia de fase (θ) cuando varía de -180 grados a 180 grados. En ciertas realizaciones de la invención, el módulo de transferencia monótona 27 comprende una función de transferencia monótona (f (V_d, V_q)) para generar la señal de error de fase monótona 36 con las cantidades en dos fases V_d y V_q como entradas. En una realización, la función de transferencia monótona (f (V_d, V_q)) comprende una función arco tangente de acuerdo con la ecuación 7 siguiente:

$$\text{Señal de error de fase} \approx k_1 \times \text{arctg2}(V_q, V_d) \quad \text{ecuación 7}$$

en la que k₁ es un coeficiente. En una realización, k₁ comprende, por ejemplo, 2. Por lo tanto, la señal de error de fase 36 se incrementa linealmente cuando la diferencia de fase (θ) varía de -180 grados a 180 grados.

De acuerdo con otra realización, la función de transferencia monótona (f (V_d, V_q)) del módulo de transferencia monótona 27 se ejecuta como una función sinusoidal de la mitad de la diferencia de fase de acuerdo con la ecuación 8 que sigue:

$$\text{Señal de error de fase} = k_2 \times \text{sen} \left(\frac{\theta}{2} \right) = k_2 \times \text{sgn}(V_q) \sqrt{\frac{1 - \frac{V_d}{\sqrt{V_d^2 + V_q^2}}}{2}} \quad \text{ecuación 8}$$

en la que k₂ es un coeficiente. En una realización, k₂ comprende 2, por ejemplo. La señal de error de fase 36 aumenta monótonamente con la diferencia de fase (θ) cuando la diferencia de fase (θ) varía de -180 grados a 180 grados, como se ilustra en la figura 6.

De acuerdo con otra realización más, la función de transferencia monótona (f (V_d, V_q)) es una función de signo de acuerdo con la ecuación 9 que sigue:

$$\text{Señal de error de fase} = k_2 \times \text{sgn}(V_q) \frac{1 - \frac{V_d^2 \text{sgn}(V_d)}{V_d^2 + V_q^2}}{2} \quad \text{ecuación 9}$$

La señal de error de fase monótona 36 generada de acuerdo con la ecuación 8 se ilustra en la figura 7. La ecuación 9 es similar a la ecuación 8, pero no incluye un cálculo de la raíz cuadrada, y por lo tanto se pueden calcular más rápidamente.

5 En otra realización adicional, con referencia a la figura 8, el módulo de transferencia monótona 27 comprende un bucle de seguimiento de errores con las cantidades en dos fases (V_d , V_q) 32, 34 como entradas para generar una señal de error de fase monótona 46 que es cercana a la diferencia de fase real (θ). En la realización ilustrada, el bucle de seguimiento de errores comprende una unidad de función de transferencia 40 y un regulador 42. La unidad de función de transferencia 40 está configurada para recibir las cantidades en dos fases (V_d , V_q) 32, 34 y una diferencia de fase estimada (θ_e) 44, y generar una señal de error 46 que es una indicación de la diferencia entre la diferencia de fase real (θ) y la diferencia de fase estimada (θ_e) 44 de acuerdo con la ecuación 10 que sigue, por ejemplo:

$$\text{Señal de error} = k_4 \times \text{sen}(\theta - \theta_e). \quad \text{ecuación 10}$$

15 en la que k_4 es un coeficiente, y en una realización, $k_4 > 1$. La señal de error 46 se transmite al regulador 42 para generar la diferencia de fase estimada (θ_e) 44. Si la señal de error = 0, $\theta = \theta_e$, la diferencia de fase estimada (θ_e) 44 es la misma que la diferencia de fase real (θ). Si la señal de error $\neq 0$, la diferencia de fase estimado (θ_e) 44 no es la misma que la diferencia de fase real (θ), y el regulador 42 genera una nueva señal de diferencia de fase (θ_e) hasta que la señal de error = 0. Esta nueva señal de diferencia de fase es monótona más allá del rango de -180 grados a 180 grados. En ciertas realizaciones, el bucle de seguimiento de errores comprende un bucle cerrado rápido. Por consiguiente, la señal de error de fase monótona 36 es la diferencia de fase estimada (θ_e) del bucle de seguimiento de errores del módulo de transferencia monótona 27 que permanece en alineación con la diferencia de fase real (θ). En una realización, una relación de un tiempo de respuesta t_1 del circuito de PLL y un tiempo de respuesta t_2 del bucle de seguimiento de errores es al menos 10.

20 En las realizaciones de las figuras 9 y 10, el módulo de transferencia monótona 27 comprende una unidad de seguimiento de errores 48 configurada para recibir las cantidades en dos fases (V_d , V_q) 32, 34 y para generar una señal de error 50 que es sustancialmente igual a la diferencia de fase (θ), un elemento de ajuste de ganancia 52 para recibir la cantidad (V_q) 34 y para generar una señal de error 54 que es sustancialmente igual al valor de $\text{sen}(\theta)$, y una unidad totalizadora 56 para recibir las señales de error 50, 54 y generar una señal de error de fase 36 monótona de acuerdo con la ecuación 11 siguiente:

$$\text{Señal de error de fase} = \text{sen} \theta + \theta. \quad \text{ecuación 11}$$

30 En una realización, de acuerdo con la ecuación 5, $V_q = V_m \times \text{sen} \theta$, y la señal de error 50 se obtiene ajustando la cantidad (V_q) con el elemento de ajuste de ganancia 52 de acuerdo con:

$$\text{Señal de error} = k_4 \times V_m \times \text{sen} \theta = \text{sen} \theta$$

en la que

$$k_4 = 1/V_m.$$

35 En la realización de figura 9, la unidad de seguimiento de errores 48 realiza una función de arco tangente, como en la ecuación 6 anterior. En una realización específica, la unidad de seguimiento de errores 48 realiza una función de arco tangente como la ecuación 12 que sigue:

$$\text{Señal de error} = \text{arctg} 2 \left((V_q \times N), V_d \right), \quad \text{ecuación 12}$$

40 en la que "N" es un coeficiente. En una realización, $N > 1$. Un valor más grande del coeficiente (N) incrementará la respuesta a los saltos de fase. En una realización, "N" comprende 100.

La realización de la figura 10 es similar a la de la realización de la figura 9 e ilustra que la unidad de control de error 48 puede comprender un bucle de seguimiento de errores tal como se ha descrito más arriba con referencia a la figura 8.

Haciendo referencia de nuevo a la figura 5, la señal error de fase monótona 36 del módulo de transferencia monótona 27 se envía al regulador de error de fase 28. En una realización de la invención, el regulador de error de fase 28 comprende un controlador PI para recibir la señal de error de fase monótona 36 como entrada para generar una señal de regulación 39 que es la frecuencia sincronizada (ω_e) de la tensión de red.

- 5 En la realización ilustrada de la figura 5, el integrador 30 está configurado para recibir la frecuencia de rotación sincronizada (ω_e) 39 del regulador de error de fase 28 y para generar la señal de ángulo de fase sincronizada (δ) por una integración de tiempo como la ecuación 13, por ejemplo:

$$\delta = \int \omega_e \cdot dt$$

ecuación 13

- 10 Como la señal de error de fase está en una relación monótona cuando la diferencia de fase (θ) varía de -180 grados a 180 grados, el circuito de PLL 24 proporciona una respuesta más rápida que los circuitos de PLL convencionales cuando la diferencia de fase se encuentra en el intervalo de -180 grados a -90 grados o de 90 grados a 180 grados.

- 15 En comparación con el circuito de PLL convencional 10 como se ha descrito con referencia a las figuras 1 - 4, las señales de error de fase de la realización de la figura 5 son monótonas cuando la diferencia de fase (θ) entre la señal de referencia 14 y la señal de fase sincronizada (δ) varía de -180 grados a 180 grados. En consecuencia, los circuitos PLL 24 de diversas realizaciones de la invención proporcionan convergencias más rápidas para grandes saltos de fase.

- 20 Aunque la invención se ha descrito con referencia a realizaciones ejemplares, los expertos en la técnica entenderán que se pueden realizar varios cambios sin apartarse del alcance de la invención. Además, se pueden realizar muchas modificaciones para adaptar una situación particular a las enseñanzas de la invención sin apartarse del alcance de la misma. Por lo tanto, se pretende que la invención no esté limitada a la realización particular desvelada como el modo preferido contemplado para llevar a cabo esta invención, sino que la invención incluya todas las realizaciones que se encuentren dentro del alcance de las reivindicaciones adjuntas.

- 25 Se debe entender que no necesariamente todos esos objetos o ventajas descritas más arriba se pueden lograr de acuerdo con cualquier realización particular. Por lo tanto, por ejemplo, los expertos en la técnica reconocerán que los sistemas y las técnicas descritas en la presente memoria pueden ser realizados o llevados a cabo de una manera que consiga u optimice una ventaja o grupo de ventajas como se enseña en la presente memoria descriptiva sin necesariamente conseguir otros objetos o ventajas como se puede enseñar o sugerir en la presente memoria descriptiva.

Varios aspectos y realizaciones de la presente invención están definidos por las siguientes cláusulas numeradas:

- 30 1. Un circuito en bucle con bloqueo de fase que comprende:
- un detector de error de fase para recibir una señal de referencia multifase y una señal de fase sincronizada del circuito en bucle con bloqueo de fase, y para realizar una transformación rotacional para convertir la señal de referencia multifase en cantidades en dos fases en una trama de referencia d - q de rotación síncrona;
 - 35 un módulo de transferencia monótona para recibir las cantidades en dos fases, y para generar una señal de error de fase monótona que es monótona cuando la diferencia de fase entre la señal de referencia multifase y la señal de fase sincronizada varía de -180 grados a 180 grados; y
 - un regulador para recibir la señal de error de fase monótona y para generar una frecuencia de rotación sincronizada; y
 - 40 un integrador para recibir la frecuencia de rotación sincronizada, y para generar la señal de fase sincronizada.
- en el que el módulo de transferencia monótona comprende un bucle de seguimiento de errores para recibir las cantidades en dos fases y para generar una diferencia de fase estimado;
- 45 en el que el bucle de seguimiento de errores comprende una unidad de función de transferencia para recibir las cantidades en dos fases y la diferencia de fase estimada y para generar una señal de error de una diferencia entre la diferencia de fase estimada y la diferencia de fase real, y un regulador para generar la diferencia de fase estimada;
- en el que la unidad de función de transferencia está configurada para realizar una función sinusoidal de la diferencia entre la diferencia de fase estimada y la diferencia de fase real para generar la señal de error.
- 50 2. El circuito en bucle con bloqueo de fase de la cláusula 1, en el que el módulo de transferencia monótona está configurado para realizar una función de arco tangente de las cantidades en dos fases.

3. El circuito en bucle con bloqueo de fase de cualquier cláusula anterior, en el que el módulo de transferencia monótona está configurado para realizar una función sinusoidal de una mitad de la diferencia de fase de acuerdo con las cantidades en dos fases.

5 4. El circuito en bucle con bloqueo de fase de cualquier cláusula anterior, en el que el módulo de transferencia monótona está configurado para realizar una variación de una función sinusoidal de una mitad de la diferencia de fase de acuerdo con la siguiente ecuación:

$$\text{Señal de error de fase} = k \times \text{sgn}(V_q) \frac{1 - \frac{V_d^2 \text{sgn}(V_d)}{V_d^2 + V_q^2}}{2}$$

en la que k es un coeficiente, y V_d y V_q son, respectivamente, las cantidades en dos fases de la trama de referencia d - q de rotación síncrona.

10 5. El circuito en bucle con bloqueo de fase de cualquier cláusula anterior, en el que el módulo de transferencia monótona está configurado para generar la señal de error de fase monótona buscando en una tabla de consulta.

15 8. El circuito en bucle con bloqueo de fase de cualquier cláusula anterior, en el que una relación entre un tiempo de respuesta del circuito en bucle con bloqueo de fase y un tiempo de respuesta del bucle de seguimiento de errores es de al menos 10.

20 10. El circuito en bucle con bloqueo de fase de cualquier cláusula anterior, en el que el módulo de transferencia monótona comprende una unidad de seguimiento de errores para recibir las cantidades en dos fases y para generar una señal de error que es sustancialmente igual a la diferencia de fase, un elemento de ajuste de ganancia para ajustar la cantidad en dos fases en un eje q de la trama de referencia d - q de rotación síncrona para obtener una señal de error, y una unidad totalizadora para recibir la señal de error de la unidad de seguimiento de errores y del elemento de ajuste de ganancia para generar la señal de error de fase monótona.

25 11. El circuito en bucle con bloqueo de fase de cualquier cláusula anterior, en el que la unidad de control de errores está configurada para realizar una función de arco tangente de las cantidades en dos fases para generar la señal de error.

12. El enganche de fase de circuito en bucle de cualquier cláusula anterior, en el que la unidad de control de errores está configurada para realizar la función arco tangente de acuerdo con:

$$\text{arctg2} ((V_q \times N), V_d),$$

en la que "N" es el coeficiente constante, y $N > 1$.

30 13. El circuito en bucle con bloqueo de fase de cualquier cláusula anterior, en el que la unidad de control de errores comprende un bucle de seguimiento de errores para recibir las cantidades en dos fases y para generar una diferencia de fase estimada sustancialmente igual a una diferencia de fase real.

REIVINDICACIONES

1. Un circuito en bucle con bloqueo de fase (24) que comprende:

5 un detector (26) de error de fase para recibir una señal de referencia multifase (40) y una señal de fase sincronizada (38) del circuito en bucle con bloqueo de fase, y para realizar una transformación rotacional para convertir la señal de referencia multifase en cantidades en dos fases (32, 34) en la trama de referencia d - q de rotación síncrona;

un módulo de transferencia monótona (27) para recibir las cantidades en dos fases, y para generar una señal de error de fase monótona (36) que es monótona cuando la diferencia de fase entre la señal de referencia multifase y la señal de fase sincronizada varía de -180 grados a 180 grados;

10 un regulador (28) para recibir la señal de error de fase monótona, y para generar una frecuencia de rotación sincronizada (39); y

un integrador (30) para recibir la frecuencia de rotación sincronizada, y para generar la señal de fase sincronizada; **que se caracteriza porque**

15 el módulo de transferencia monótona comprende un bucle de seguimiento de errores para recibir las cantidades en dos fases (32, 34) y para generar una diferencia de fase estimada (44);

en el que el bucle de seguimiento de errores comprende una unidad de función de transferencia (40) para recibir las cantidades en dos fases y la diferencia de fase estimada y para generar una señal de error (46) de la diferencia entre la diferencia de fase estimado y la diferencia de fase real, y un regulador (42) para generar la diferencia de fase estimada; y

20 en el que la unidad de función de transferencia (40) está configurada para realizar una función sinusoidal de la diferencia entre la diferencia de fase estimada (44) y la diferencia de fase real para generar la señal de error (46).

2. El circuito en bucle con bloqueo de fase (24) de la reivindicación 1, en el que el módulo de transferencia monótona está configurado para realizar una función de arco tangente de las cantidades en dos fases.

25 3. El circuito en bucle con bloqueo de fase (24) de cualquier reivindicación precedente, en el que el módulo de transferencia monótona está configurado para realizar una función sinusoidal de la mitad de la diferencia de fase de acuerdo con las cantidades en dos fases.

30 4. El circuito en bucle con bloqueo de fase (24) de cualquier reivindicación precedente, en el que el módulo de transferencia monótona está configurado para realizar una variación de una función sinusoidal de una mitad de la diferencia de fase de acuerdo con la siguiente ecuación:

$$\text{Señal de error de fase} = k \times \text{sgn}(V_q) \frac{1 - \frac{V_d^2 \text{sgn}(V_d)}{V_d^2 + V_q^2}}{2}$$

en la que k es un coeficiente, y V_d y V_q son, respectivamente, las cantidades en dos fases de la trama de referencia d - q de rotación síncrona.

35 5. El circuito en bucle con bloqueo de fase (24) de cualquier reivindicación precedente, en el que el módulo de transferencia monótona está configurado para generar la señal de error de fase monótona mediante la búsqueda en una tabla de consulta.

6. El circuito en bucle con bloqueo de fase (24) de cualquier reivindicación precedente, en el que una relación entre un tiempo de respuesta del circuito en bucle con bloqueo de fase y un tiempo de respuesta del bucle de seguimiento de errores es de al menos 10.

40 7. El circuito en bucle con bloqueo de fase (24) de cualquier reivindicación precedente, en el que el módulo de transferencia monótona comprende una unidad de control de errores para recibir las cantidades en dos fases y para generar una señal de error que es sustancialmente igual a la diferencia de fase, un elemento de ajuste de ganancia para ajustar la cantidad en dos fases en el eje q de la trama de referencia d - q de rotación síncrona para obtener una señal de error, y una unidad totalizadora para recibir la señal de error de la unidad de seguimiento de errores y del elemento de ajuste de ganancia para generar la señal de error de fase monótona.

45

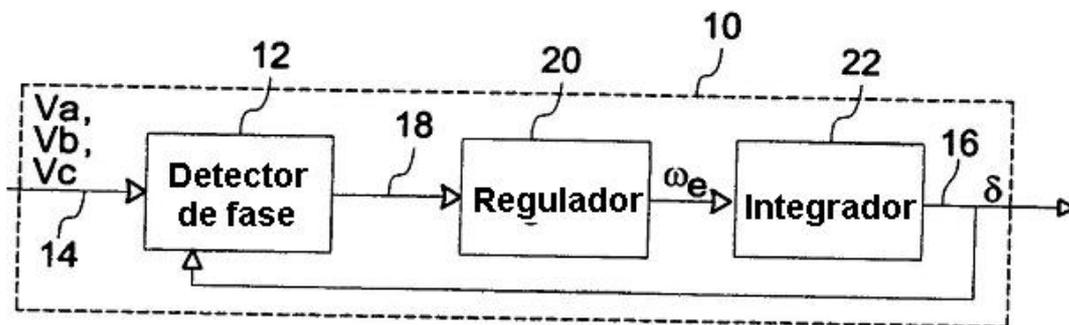


FIG. 1
(TÉCNICA ANTERIOR)

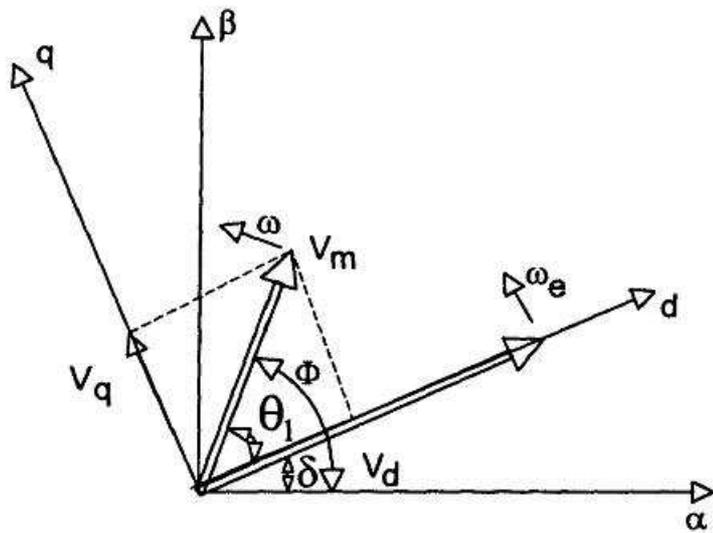


FIG. 2
(TÉCNICA ANTERIOR)

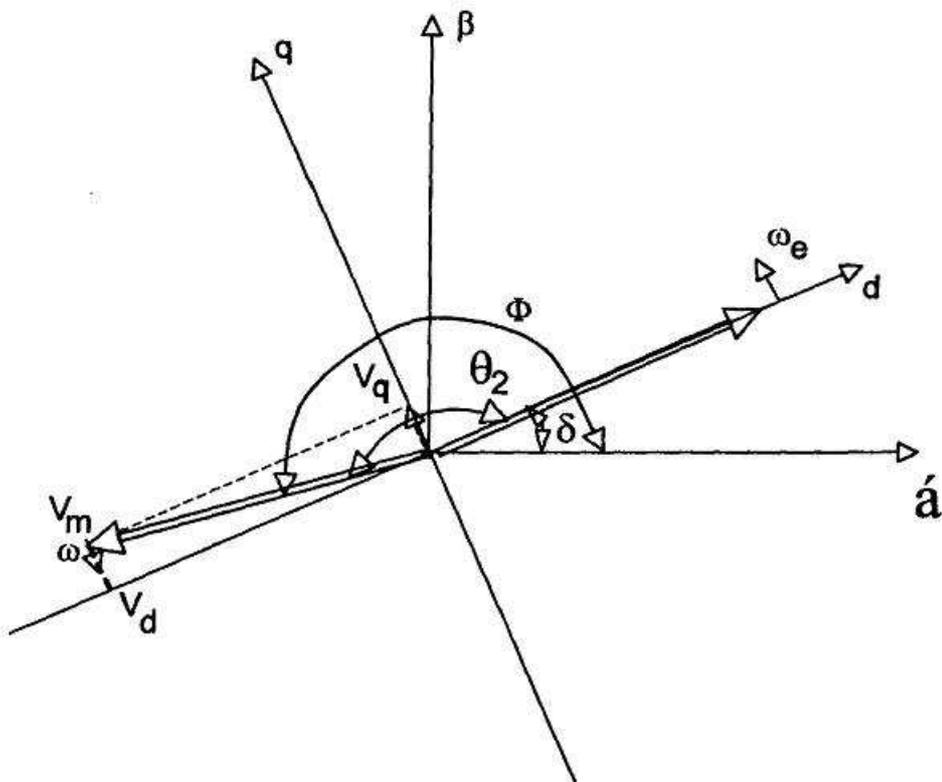


FIG. 3
(TÉCNICA ANTERIOR)

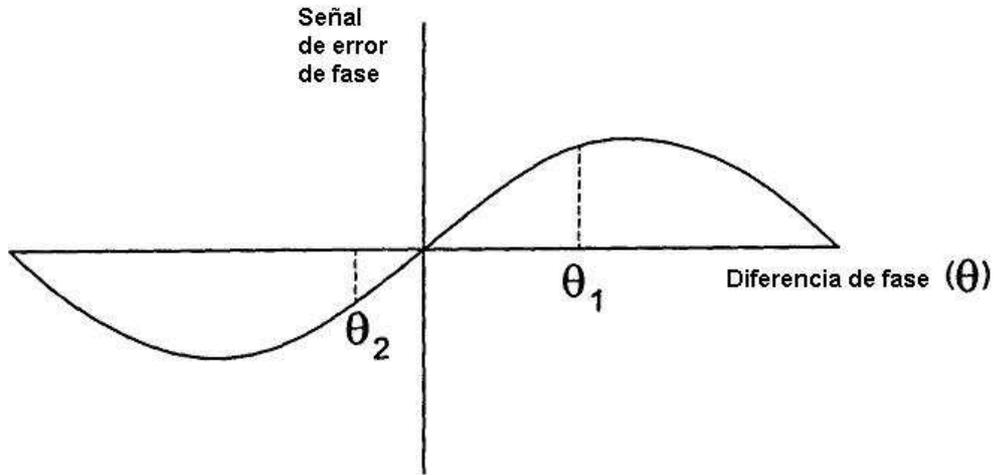


FIG. 4
(TÉCNICA ANTERIOR)

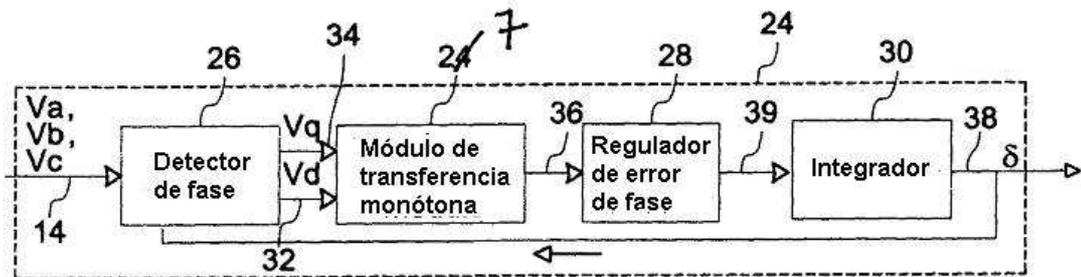


FIG. 5

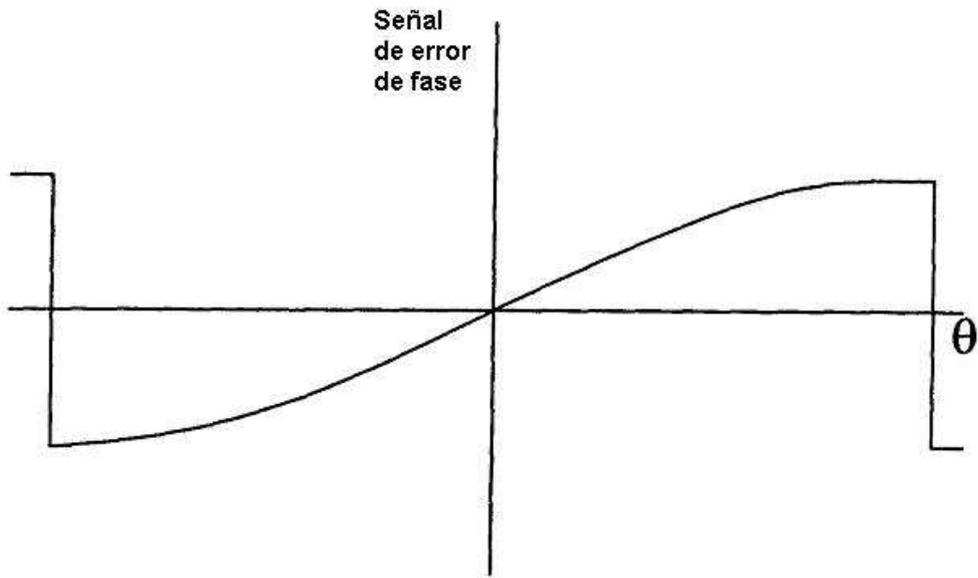


FIG. 6

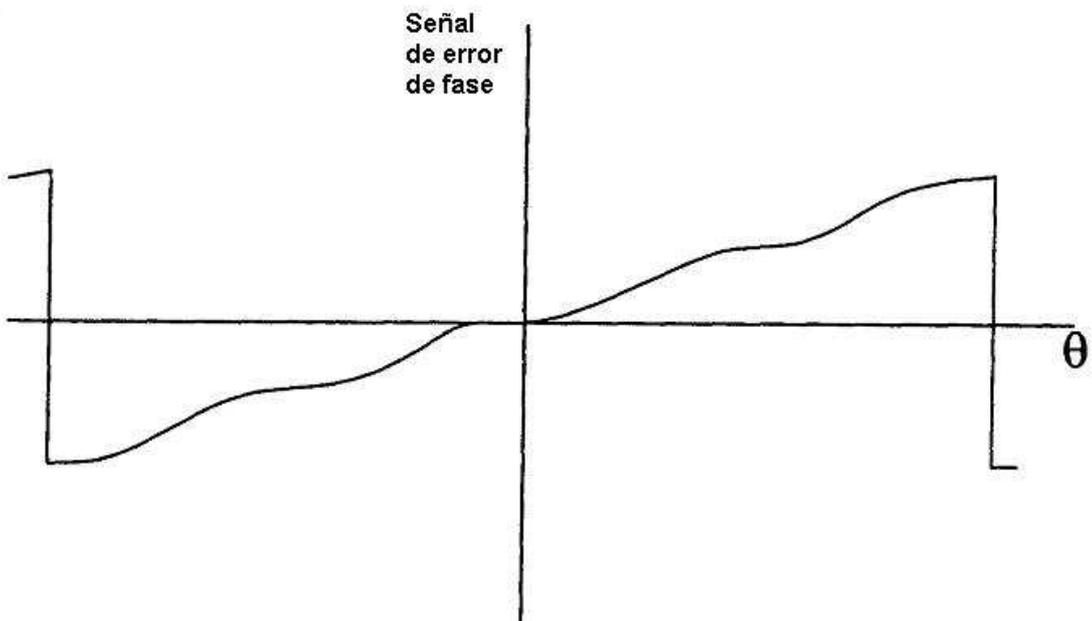


FIG. 7

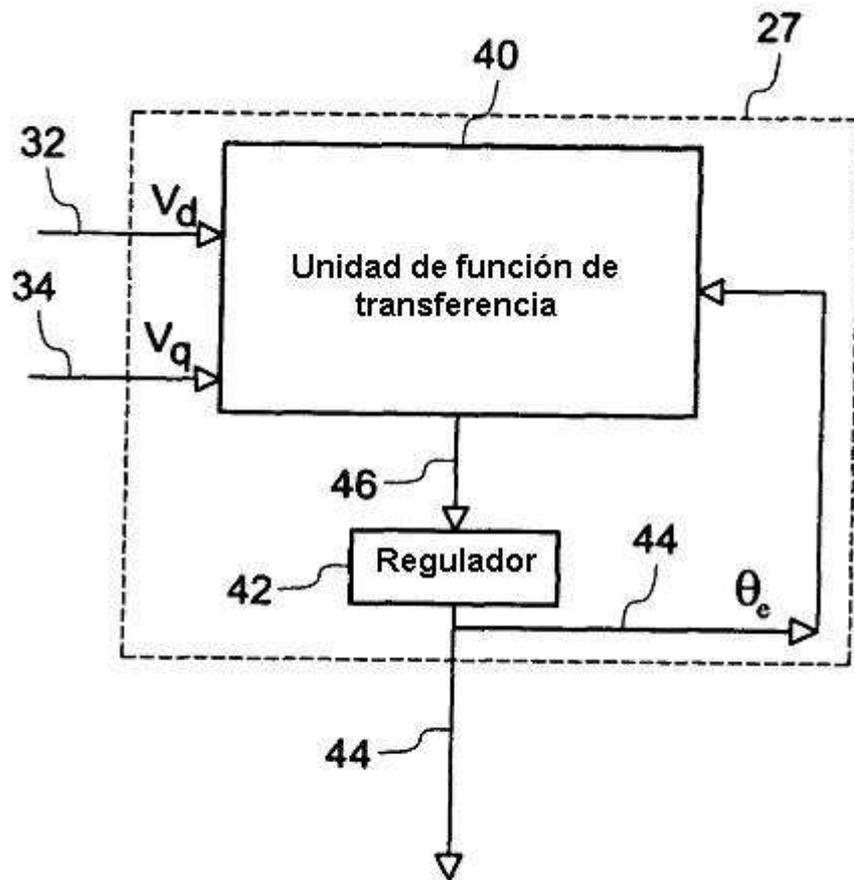


FIG. 8

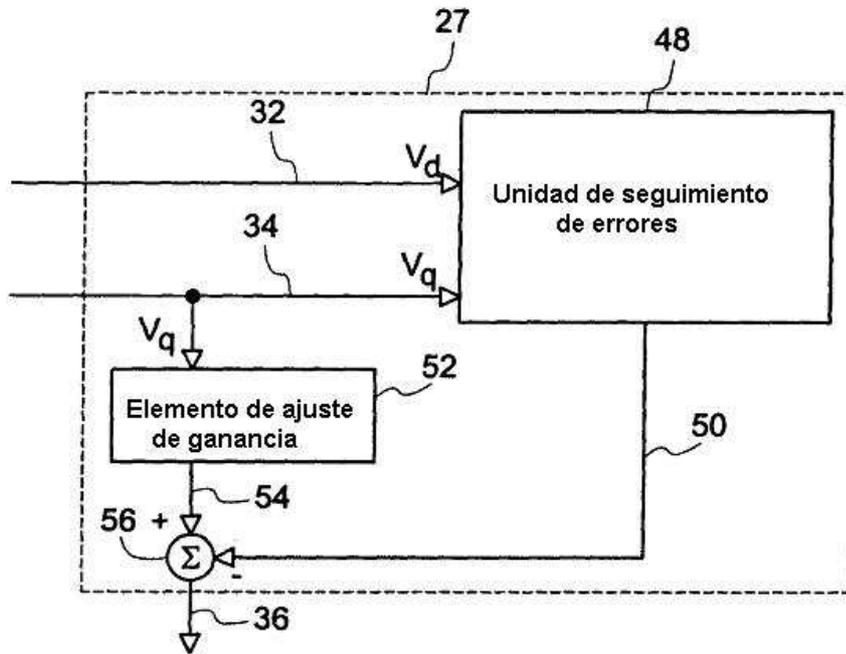


FIG. 9

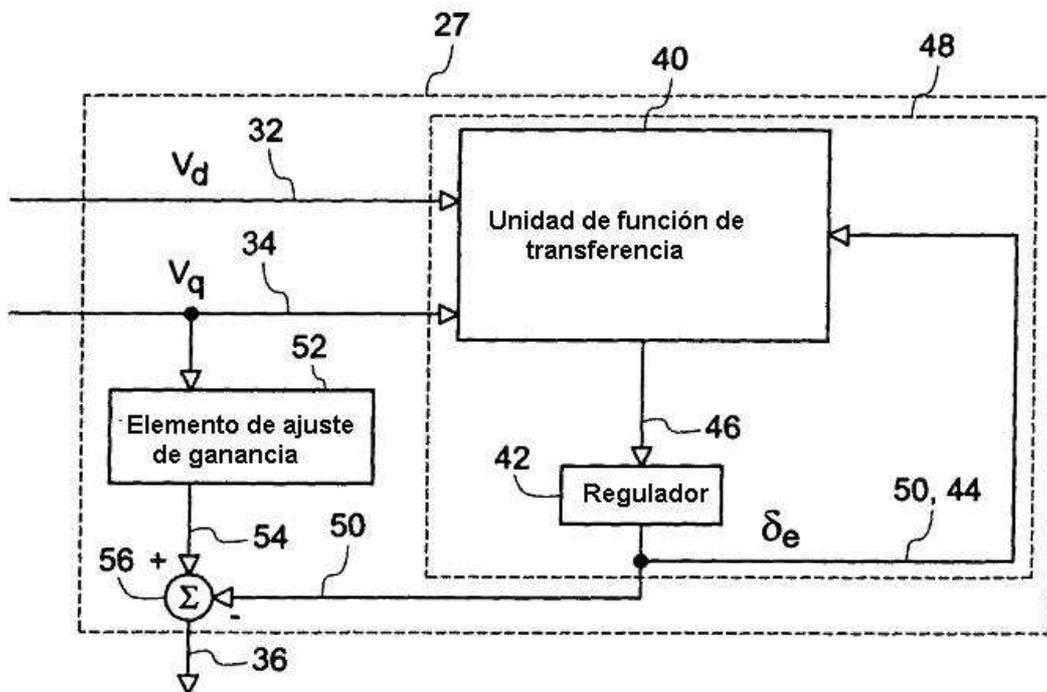


FIG. 10