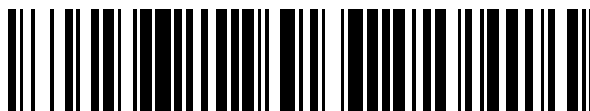


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 393 715**

51 Int. Cl.:

G11C 7/10 (2006.01)

G11C 5/00 (2006.01)

G11C 11/406 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **10165753 .4**

96 Fecha de presentación: **03.02.2006**

97 Número de publicación de la solicitud: **2234114**

97 Fecha de publicación de la solicitud: **29.09.2010**

54 Título: **Lectura de registro para memoria volátil**

30 Prioridad:

14.02.2005 US 653020 P

13.05.2005 US 128829

45 Fecha de publicación de la mención BOPI:

27.12.2012

45 Fecha de la publicación del folleto de la patente:

27.12.2012

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)

5775 MOREHOUSE DRIVE

SAN DIEGO, CA 92121-1714, US

72 Inventor/es:

WALKER, ROBERT MICHAEL

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 393 715 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Lectura de registro para memoria volátil

Antecedentes

5 La presente invención se refiere en general al campo de la memoria y, en particular, a un procedimiento de lectura de un registro de un módulo de memoria volátil.

10 Los dispositivos electrónicos portátiles se han convertido en accesorios omnipresentes para la vida moderna. Dos tendencias modernas en los dispositivos electrónicos portátiles son la mayor funcionalidad y la disminución de tamaño. Una mayor funcionalidad requiere mayor potencia de cálculo y más memoria. La reducción del tamaño de los dispositivos electrónicos portátiles hace especial hincapié en el consumo de energía, puesto que las baterías más pequeñas pueden almacenar y entregar menos energía. Por lo tanto, los avances que incrementen el rendimiento y disminuyan el consumo de energía son ventajosos para los dispositivos electrónicos portátiles.

15 La mayor parte de los dispositivos electrónicos portátiles incluyen una Memoria Dinámica de Acceso Aleatorio (DRAM) para almacenar instrucciones y datos para un procesador u otro controlador. La DRAM es la tecnología de almacenamiento masivo tales como las unidades de disco, la elevada latencia de acceso, el elevado consumo de energía y la elevada sensibilidad a los golpes o vibraciones impiden el uso de unidades de almacenamiento masivo en muchas aplicaciones de dispositivos portátiles electrónicos.

20 [0004] La DRAM síncrona (SDRAM) ofrece un rendimiento mejorado así como un diseño de interfaz simplificado con respecto a la DRAM convencional mediante la alineación de todas las señales de control y ciclos de transferencia de datos con los bordes del reloj. La SDRAM de doble velocidad de datos (DDR) permite la transferencia de datos en ambos bordes de subida y bajada del reloj, proporcionando un rendimiento aún mayor.

25 La mayor parte de los módulos SDRAM incluyen un modo de registro para almacenar los parámetros configurables, tales como la latencia CAS, longitud de ráfaga, y otros similares. A medida que la tecnología SDRAM aumenta en complejidad y capacidad de configuración, muchos módulos SDRAM han añadido un registro de modo extendido para almacenar parámetros configurables adicionales, tales como la longitud de escritura, fuerza de avance, y otros similares. Tanto el registro de modo y el registro de modo extendido son de sólo escritura. Es decir, no existe ninguna disposición para que un controlador lea el contenido de estos registros. Con la introducción de los registros de modo y extendido, un módulo DRAM por primera vez almacena información distinta de los datos escritos y leídos desde la matriz DRAM. Como consecuencia, se requiere una nueva operación de transferencia de datos.

30 Muchos módulos SDRAM incluyen operaciones de Conjunto de Registro de Modo (MRS) y de Conjunto de Registro de Modo Extendido (REM) para cargar los registros con los parámetros deseados. Estas operaciones son implementadas comúnmente accionando simultáneamente las señales de control bajas CS, CAS, RAS, y WE, seleccionando entre el MRS y el EMRS con bits de dirección de bancos, y proporcionando la información para que se escriba en el registro seleccionado en líneas de dirección A0 - A11. En la mayor parte de las implementaciones, todos los bancos
35 DRAM deben estar inactivos en el momento del comando MRS o EMRS, y ninguna operación adicional puede ser dirigida al módulo SDRAM durante una duración mínima especificada, tal como seis ciclos de reloj. Estas restricciones no afectan adversamente al rendimiento de la SDRAM, ya que debido a la naturaleza de los registros de modo y de modo extendidos, las mismas se escriben una vez en la inicialización y nunca cambian.

40 La tercera generación de la especificación industrial de Doble Velocidad de Datos Gráficos (GDDR3) proporciona la posibilidad de leer la información de un módulo SDRAM distinta de la de los datos almacenados en la matriz DRAM. Como una opción durante una operación de EMRS, la SDRAM puede emitir un código de proveedor y número de versión en el bus de datos (la información escrita en el EMRS es transmitida en el bus de direcciones). Todas las restricciones de la operación del EMRS - que todos los bancos se encuentren inactivos y que la operación sea seguida por una duración mínima de inactividad, tal como seis ciclos de reloj, deben ser observadas. Debido a la naturaleza estática de la información (ID de proveedor y número de versión), sólo necesita ser leída una vez, por ejemplo, durante la inicialización, y las limitaciones de la operación del EMRS no afectan significativamente el rendimiento.
45

50 Un aspecto básico de la operación de la DRAM es que la carga capacitiva que almacena datos en cada posición de bit debe ser renovada periódicamente para conservar el estado de los datos. La matriz DRAM se actualiza por filas; algunos módulos de la SDRAM pueden actualizar la misma fila en múltiples bancos de DRAM al mismo tiempo. Cada fila de la matriz DRAM debe actualizarse dentro de un período de actualización especificado. Las filas de la DRAM pueden ser actualizadas secuencialmente una vez en período de actualización, lo que es conocido como una actualización de ráfaga. Sin embargo, esto impide el acceso a la matriz DRAM durante el tiempo necesario para realizar el ciclo a través de todas las filas, e impone una degradación del rendimiento. Alternativamente, los ciclos de actualización dirigidos a cada fila se pueden extender uniformemente a lo largo del período de actualización, intercalados con las transferencias de leer y escribir. Esto se conoce como actualización distribuida. La actualización distribuida es implementada más comúnmente, ya que impone una menor penalización en el rendimiento.
55

El período de actualización requerido total, y por lo tanto la separación de los ciclos de actualización en una operación de actualización distribuida, depende de la temperatura de la pastilla de la matriz DRAM. Como regla general, la frecuencia de actualización debe ser duplicada por cada 10°C de incremento en la temperatura de la pastilla de la matriz DRAM. El período de actualización especificado para un módulo SDRAM es el que es requerido típicamente por la DRAM a su máxima temperatura de operación prevista. Así, siempre que la matriz la DRAM se encuentre a una temperatura más baja, el período de actualización será más largo, y los ciclos de actualización distribuidos pueden estar más espaciados, reduciendo así su impacto en los accesos a lectura y escritura de la DRAM. Con ello se mejora el rendimiento del procesador y se reduce el consumo de energía mediante la eliminación de la actividad de actualización innecesaria.

La solicitud de patente norteamericana en tramitación junto con la presente, número de serie 11/165.950, presentada el 23 de junio de 2005, cedida al cesionario de la presente invención, desvela un módulo SDRAM que tiene un sensor de temperatura. Un controlador, tal como un procesador, puede leer periódicamente la salida del sensor de temperatura y calcular la frecuencia de actualización mínima real requerida. Al menos durante la operación inicial – es decir, antes de que el módulo SDRAM se estabilice en su temperatura de operación – el controlador puede leer periódicamente el sensor de temperatura, tal como cada cuatro a seis microsegundos, para optimizar dinámicamente la frecuencia de actualización.

La salida de un sensor de temperatura es una forma de lectura de datos de un módulo SDRAM que no está almacenado en la matriz DRAM. Los únicos medios conocidos para leer una información de este tipo – la lectura "en hom-bros" de la ID del proveedor y número de versión en una operación del EMRS, de acuerdo con lo previsto en el estándar GDDR3 – impone unas penalizaciones inaceptables en el rendimiento. Como se ha descrito, en la mayor parte de las implementaciones todos los bancos debe estar inactivos antes de la operación del EMRS, y ningún comando podrá ser emitido durante muchos ciclos de reloj después de la operación del EMRS. Idealmente, la lectura de datos que no están almacenados en la matriz DRAM se debe realizar en una transferencia síncrona de datos que es sustancialmente similar a una operación de lectura dirigida a los datos que están dentro de la matriz DRAM. Esto permitiría que la lectura de información no almacenada en la matriz DRAM fuese perfectamente intercalada con lecturas y escrituras de datos que se almacenan en la matriz DRAM (es decir, los accesos normales a la DRAM).

El documento EP0797207 describe un dispositivo semiconductor que comprende un circuito de control de registro de modo.

El documento US2003/095455 describe un circuito integrado semiconductor.

El documento US2003/0174568 describe una secuencia de lectura de fusión para la reducción automática de la potencia de actualización.

El documento US2002/0147949 describe un paquete de subsistema de memoria con una interfaz del controlador de memoria ASIC y una pluralidad de módulos de memoria.

El documento EP0851427 describe un sistema de memoria que incluye un sensor de temperatura en el chip para la regulación de la frecuencia de actualización de una matriz DRAM.

El documento US5982697 describe un procedimiento para la inicialización y la reprogramación de una característica de operación de control de un dispositivo de memoria.

El documento GILLINGHAM P ET AL: MICRO IEEE, IEEE Service Centre, LOS ALAMITOS, CA, EE.UU., vol. 17, número 6, noviembre de 1997 (1997 - 11), páginas 29 - 39, XP000726002 ISSN: 0,272 – 1732 describe una SDRAM: MEMORIA DE ESTÁNDAR ABIERTO DE ALTO RENDIMIENTO.

Sumario

De acuerdo con la invención, se proporciona el procedimiento de la reivindicación 1.

De acuerdo con la invención, se proporciona el módulo de memoria SDRAM de la reivindicación 12.

En una o más realizaciones, los datos que no están almacenados en la matriz DRAM de un módulo SDRAM son leídos desde el módulo SDRAM en una transferencia síncrona de datos. La transferencia de datos, que se denomina comando / operación de lectura de registro, se asemeja a un comando / operación de lectura dirigida a los datos almacenados en la matriz DRAM en el tiempo y en la operación. El comando de lectura de registro se distingue por una codificación única de las señales de control de la SDRAM y los bits de direcciones de los bancos. En una realización, el comando de lectura de registro comprende los mismos estados de señal de control que un comando de MSR o de EMSR, con la dirección del banco establecida en un valor único, tal como 2'b10. El comando de lectura de registro puede leer sólo un único dato, o puede utilizar el bus de dirección para dirigirse a una pluralidad de datos que no están almacenados en la matriz DRAM. La operación de lectura de registro puede ser una dirección de ráfaga, y la longitud de la ráfaga se pueden definir en una variedad de maneras.

Una realización se refiere a un procedimiento de lectura de datos de un módulo SDRAM que no están almacenados en una matriz DRAM. Las señales de control son emitidas por una lectura síncrona de los datos de una matriz DRAM con una codificación única de las señales de control, y los datos que no están almacenados en una matriz DRAM se leen síncronamente.

- 5 Otra realización se refiere a un módulo de memoria SDRAM que incluye una matriz DRAM y un registro. El módulo también incluye circuitos de control operativos para realizar transferencias síncronas de datos con un controlador y para leer y escribir datos de y a la matriz DRAM. Los circuitos de control son operativos, además, para proporcionar como salida al controlador, en una transferencia síncrona de datos, los datos que no están almacenados en la matriz DRAM.

10 **Breve descripción de los dibujos**

La figura 1 es un diagrama de bloques funcional de un procesador.

La figura 2 es un diagrama de tiempos de una operación de lectura de registros.

La figura 3 es un diagrama de tiempos de una lectura de registros seguido por una lectura.

La figura 4 es un diagrama de tiempos de una ráfaga de lectura de registros terminada seguida por una escritura.

15 **Descripción detallada**

La figura 1 muestra un módulo de memoria SDRAM 100 y un controlador 102. El controlador puede comprender un procesador, un procesador de señal digital, un microcontrolador, una máquina de estado, u otro elemento similar. El controlador 102 dirige las operaciones del módulo SDRAM 100 por las señales de control de reloj (CLK), Reloj Habilitado (CKE), Seleccionar Chip (CS), Dirección de Fila Estroboscópica (RAS), Dirección de Columna Estroboscópica (CAS), Habilitar Escritura (WE), y Calificadores de Datos (DQM) como es bien conocido en la técnica. El controlador 20 102 proporciona una pluralidad de líneas de dirección al módulo SDRAM 100 y un bus de datos bidireccional conecta los dos. El módulo SDRAM incluye una matriz DRAM 104, que puede ser dividida en una pluralidad de bancos 106. La matriz DRAM almacena instrucciones y datos, y es leída, escrita y actualizada por el circuito de control 108, bajo la dirección del controlador 102.

- 25 El módulo SDRAM 100 incluye, además, un registro de modo 110 y un registro de modo extendido 112. El módulo SDRAM 100 puede incluir adicionalmente información de identificación 114, tal como el ID de proveedor y número de versión. La información de identificación 114 puede ser almacenada en un registro; alternatively, puede ser cableada en la pastilla.

- 30 El módulo SDRAM 100 incluye adicionalmente un circuito sensor de temperatura 116, que incluye uno o más sensores de temperatura, tales como un termistor 118 dispuesto adyacente a la matriz DRAM 104 y operativo para detectar la temperatura de la pastilla de la matriz DRAM. El contenido del registro de modo 110 y del registro de modo extendido 112, la identificación del módulo SDRAM 114 y la salida del sensor de temperatura 116 son todos ejemplos de datos que se pueden leer desde el módulo SDRAM 100, pero que no están almacenados en la matriz DRAM 104. De acuerdo con una o más realizaciones, se define una operación que efectúa una lectura sincronizada de 35 datos que no están almacenados en la matriz DRAM 104.

Las operaciones de SDRAM están definidas por el estado de las señales de control aplicadas al módulo SDRAM 100 por el controlador 102 en un borde de subida del reloj. Las operaciones comunes de SDRAM están definidas en la tabla verdadero - falso más abajo, en la que X indica un estado de "no importa".

Tabla 1: Comandos y Señales de Control Representativos de la SDRAM

CS	RAS	CAS	WE	ADDR	BANCO	Comando
H	X	X	X	X	X	Comando Inhibición (SDRAM no seleccionada)
L	H	H	H	X	X	NOP
L	L	H	H	fila	banco	Activo (seleccionar fila)
L	H	L	H	columna	banco	Leer (datos en matriz DRAM)
L	H	L	L	columna	banco	Escribir (datos en matriz DRAM)

(Tabla 1 cont)						
L	H	H	L	X	X	Terminar Ráfaga
L	L	H	L	fila	banco	Precarga (fila desactivar)
L	L	L	H	X	X	Auto Actualizar
L	L	L	L	escribir datos	2'b00	Conjunto de Registro de Modo (MSR)
L	L	L	L	escribir datos	2'b01	Conjunto de Registro de Modo Extendido (EMSR) e ID de proveedor opcional y leer versión para SDRAM que cumplen con el estándar GDDR3.

De acuerdo con una o más realizaciones, la siguiente operación está definida para leer los datos que no están almacenados en la matriz DRAM:

Tabla 2: Señales de Mando y Control de Lectura de Registro Único

CS	RAS	CAS	WE	ADDR	BANCO	Comando
L	L	L	L	X	2'b10	Leer Registro

5 La operación para leer los datos que no están almacenados en la matriz DRAM es denominada en la presente memoria descriptiva como "lectura de registro", aunque la operación no se limita a la lectura de datos de un registro real. Por ejemplo, la salida del circuito sensor de temperatura 116 y el módulo de información SDRAM ID 114 cableado pueden ser leídas con un comando de lectura de registro, aunque ninguno de los datos pueda residir en un registro real en el módulo SDRAM 100.

10 En una realización, en una operación de lectura de registro, el módulo de información SDRAM ID 114 es avanzado en los bits del bus de datos DQ [3:0]. El módulo de información SDRAM ID 114 puede ser en la forma de la ID del proveedor como se especifica en el estándar GDDR3. La capacidad de leer la ID de proveedor puede ser particularmente útil en aplicaciones de "chips apilados", en las que dos o más pastillas semiconductoras son apiladas con capas dieléctricas intervinientes, con interconexiones unidas por cable, y empaquetadas en el mismo chasis del circuito integrado. Por ejemplo, un procesador y una pastilla de SDRAM se pueden apilar en un paquete. En estas

15 aplicaciones, si el vendedor no es conocido, puede ser imposible de determinar sin poder leer la información electrónicamente desde el mismo dispositivo de SDRAM.

En una realización, la información generada por el circuito sensor de temperatura 116 es avanzada sobre los bits del bus de datos DQ [10:08]. En una realización, la información de temperatura puede ser expresada como un multiplicador de frecuencia de actualización, tal como se define en la siguiente tabla.

20 Tabla 3: Codificación del Multiplicador Representativo de la Frecuencia de Actualización

DQ [10:08]	Multiplicador de Frecuencia de Actualización
111	Fuera de alcance
110	4x
101	2x
000	1x
001	1/2x
010	1/4x

(Tabla 3 cont)	
011	Fuera de alcance

El módulo de información SDRAM ID 114 y la salida del circuito sensor de temperatura 116 pueden ser avanzados simultáneamente en el bus de datos durante una operación de lectura de registro. Se hace notar que el bus de direcciones no se utiliza en esta realización del comando de lectura de registro; la lectura siempre se dirige a un único dato, tal como un registro de estado de sólo lectura.

- 5 En otra realización, el comando de registro de lectura no se limita a la lectura de un único dato. En general, el comando de registro de lectura se puede usar para leer los datos desde el módulo SDRAM 100 que no están almacenados en la matriz DRAM 104. Esto puede incluir la salida del circuito sensor de temperatura 116, el módulo de información SDRAM ID 114, el contenido del registro de modo 110 o del registro de modo extendido 112, u otras fuentes de datos registrados o no registrados que se puedan añadir a un módulo SDRAM 100 en el futuro. En esta
- 10 realización, al menos algunos bits del bus de direcciones no se consideran señales "no importa", sino que por el contrario transmiten la dirección de la fuente de los datos de comando de registro de lectura. La siguiente tabla muestra las señales de control para el caso general de un comando de lectura de registro.

Tabla 4: Lectura de Registro General de las Señales de Comando y de Control

CS	RAS	CAS	WE	ADDR	BANCO	Comando
L	L	L	L	Addr no DRAM	2'b10	Lectura de registrar de datos que no están almacenados en la matriz DRAM, seleccionados por la dirección <i>no - DRAM addr</i>

- 15 Con independencia del número de fuentes de datos de la matriz no-DRAM al que comando de lectura puede acceder, la lectura de un registro procede en todos los casos como una transferencia de datos síncrona desde el módulo SDRAM 100 al controlador 102. Como se usa en la presente memoria descriptiva, una "transferencia síncrona de datos" es una transferencia de datos de SDRAM que cumple con los parámetros de tiempo y restricciones de una transferencia convencional de datos de SDRAM de los datos almacenados en una matriz DRAM. Como se usa en la presente memoria descriptiva, "lectura síncrona" de datos significa lectura de datos en una transferencia de datos
- 20 síncrona. La operación de lectura de registro cumple con los tiempos de nivel de pines de la operación de lectura normal. Es decir, el tiempo y las restricciones de operación de lectura de registro antes y después de las operaciones normales de lectura y escritura son los mismos que los definidos para la operación de lectura normal, tal como se resume en la siguiente tabla.

Tabla 5: Comparación de Tiempo y Restricciones de Lectura de Registro y Matriz DRAM

Combinaciones de operación de Lectura de Registros	Tiempo y restricciones: las mismas que:
leer -> lectura de registro	leer -> leer
lectura de registro -> leer	leer -> leer
escribir -> lectura de registro	escribir -> leer
lectura de registro -> escribir	leer -> escribir

- 25 La figura 2 es un diagrama de tiempos que muestra una operación de lectura de registro único para un módulo DDR SDRAM 100. En este caso, la latencia de CAS es 2,5 y la longitud de la ráfaga es de dos. El comando de registro de lectura es presentado por el controlador 102 al módulo SDRAM 100 mediante la colocación de las señales de control CS, RAS, CAS, y WE en el estado representados más arriba en las Tablas 2 y 4 en el borde ascendente de ciclo de reloj dos, y colocando también el valor 2'b10 de los bits de direcciones de bancos. En la realización en la que la
- 30 operación de lectura de registro puede leer más de un registro de estado único, una dirección es avanzada adicionalmente en el bus de dirección en este momento. Después de un retardo determinado por el valor de latencia de CAS almacenado en el registro de modo 110, el módulo SDRAM 100 avanza los datos en el bus de datos, y avanza los datos DQS estroboscópicos. En la realización representada en la figura. 2, la operación de lectura de registro es una lectura de ráfaga, cuya longitud de ráfaga es determinada por el parámetro de longitud de ráfaga almacenado
- 35 en el registro de modo 110. En otras realizaciones, la longitud de ráfaga se puede determinar en una variedad de maneras.

En una realización, la operación de lectura de registro tiene una longitud de ráfaga por defecto, independiente del parámetro de longitud de ráfaga almacenados en el registro de modo 110. En otra realización, un parámetro de longitud de ráfaga de lectura de registro es definido, y el valor escrito en el registro de modo 110, en el registro de modo extendido 112, o en otro registro de modo en el módulo SDRAM 100. Las operaciones de lectura de registro son siempre entonces la longitud de ráfaga almacenada. En otra realización, la longitud de ráfaga para cada operación de lectura de registro puede ser comunicada al módulo SDRAM 100 por el controlador 102 en el momento del comando de registro de lectura, mediante la codificación de un valor de longitud de ráfaga en una o más señales de control no utilizadas, tales como, por ejemplo bits de dirección de orden alto.

Las figuras 3 y 4 son diagramas de tiempo representativos que demuestran cómo la operación de lectura de registro pueden integrarse perfectamente en las operaciones de lectura y escritura normales de la SDRAM. La figura 3 representa una lectura de registro seguida por una lectura regular, en las que ambas operaciones de lectura tienen una longitud de ráfaga de dos. En este caso, la latencia de CAS es dos. Dos ciclos de datos no DRAM (es decir, los datos leídos del módulo SDRAM 100 que no están almacenados en la matriz DRAM 104) son seguidos por dos ciclos de lectura de datos de la matriz DRAM 104. En la realización en la que la operación de lectura de registro accede solamente a una localización (es decir, el bus de direcciones no se utiliza), la segunda transferencia de datos no DRAM (o transferencias subsiguientes para una longitud de ráfaga más larga) puede ser una réplica de la primera transferencia. Alternativamente, las transferencias de ráfaga segunda y cualesquiera subsiguientes pueden ser 0, o cualquier otro valor predeterminado.

La figura 4 representa una operación de lectura de registro en la que la transferencia de ráfaga ha terminado y es seguida por una escritura de datos en la matriz DRAM 104. En este caso, la operación de lectura de registro tiene una longitud CAS de tres. La longitud de la ráfaga es de al menos dos. La ráfaga de lectura de registro termina en una longitud de dos por un comando de terminación de ráfaga después del comando de lectura del registro. Una escritura de datos en la matriz DRAM 104 sigue a la transferencia de los datos leídos desde el módulo SDRAM 100 que no se almacenaron en la matriz DRAM 104. El controlador 102 avanza los datos que se escriben en la matriz DRAM 104 en el bus de DQ de acuerdo con el parámetro de temporización t_{DQS} , de la misma manera que si la escritura siguiese a una lectura de datos de la matriz DRAM 104.

Los ejemplos representados en las figuras 3 y 4 son sólo representativos. En general, la operación de lectura de registro se ajusta en todos sus aspectos (que no sea el estado de las señales de control y los bits de dirección del banco en el momento en que se emitió el comando) a una operación convencional de lectura de SDRAM. Como consecuencia, los datos que no están almacenados en la matriz DRAM 104 pueden ser leídos desde el módulo SDRAM 100 en cualquier momento, con un impacto mínimo en las lecturas y escrituras desde y hacia la matriz DRAM 104.

La expresión "módulo" se utiliza en la presente memoria descriptiva en un sentido general para indicar una unidad funcional de SDRAM que incluye una matriz DRAM 104 y circuitos de control 108. En particular, la expresión "módulo" no está limitada a los identificadores estándar de la industria que incluyen la expresión, como Módulo de Memoria en Línea Único (SIMM) o Módulo de Memoria en Línea Doble (DIMM).

Aunque la presente invención ha sido descrita en la presente memoria descriptiva con respecto a características particulares, aspectos y realizaciones de la misma, será evidente que numerosas variaciones, modificaciones, y otras realizaciones son posibles dentro del amplio alcance de la presente invención, y en consecuencia, todas las variaciones, modificaciones y realizaciones se deben considerar como que se encuentran dentro del alcance de la invención. Las presentes realizaciones, por lo tanto, se deben interpretar en todos los aspectos como ilustrativas y no restrictivas y todos los cambios se encuentran dentro del alcance de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un procedimiento de lectura de datos de un módulo (100) SDRAM (RAM, Memoria de Acceso Dinámico Síncrona), no estando almacenados tales datos en una matriz DRAM (104) (RAM de acceso dinámico) en el módulo (100), en el que cada uno de una pluralidad de comandos de SDRAM disponibles para el control de las operaciones de SDRAM está definido por el estado de las señales de control aplicadas al módulo SDRAM (100), comprendiendo el procedimiento:
5 proporcionar un comando para una lectura síncrona de los datos que no están almacenados en la matriz DRAM (104), comprendiendo el comando una codificación única de las señales de control para la operación de lectura síncrona de los datos que no están almacenados en la matriz DRAM (104); y
10 leer síncronamente la lectura de los datos que no están almacenados en una matriz DRAM (104) en respuesta al comando, comprendiendo el procedimiento, además;
leer o escribir datos de o a una matriz DRAM (104) en el módulo (100), empezando en el ciclo de cierre inmediatamente después del ciclo en el que la lectura de los datos que no están almacenados en una matriz DRAM (104) termina.
15 2. El procedimiento de la reivindicación 1 en el que la lectura síncrona de los datos que no están almacenados en una matriz DRAM (104) comprende la lectura síncrona de los datos que no están almacenados en una matriz DRAM (100) cuando una fila DRAM está abierta.
3. El procedimiento de la reivindicación 1, en el que los datos que no están almacenados en una matriz DRAM (104) comprenden el contenido de un registro (110, 112).
20 4. El procedimiento de la reivindicación 3, en el que el registro (110, 112) es un MRS (110) (conjunto de registros de modo) o EMRS (112) (conjunto de registros de modo extendido).
5. El procedimiento de la reivindicación 1, en el que los datos que no están almacenados en una matriz DRAM (104) comprenden la salida de un sensor (116, 118).
25 6. El procedimiento de la reivindicación 5, en el que el sensor (116, 118) es un sensor de temperatura y en el que los datos que no están almacenados en una matriz DRAM (104) son indicativos de la temperatura interna del módulo de memoria (100).
7. El procedimiento de la reivindicación 6, en el que los datos que no están almacenados en una matriz DRAM (104) son un multiplicador de frecuencia de actualización.
8. El procedimiento de la reivindicación 6, que comprende, además, ajustar una frecuencia de actualización en respuesta a la temperatura del módulo de memoria (100).
30 9. El procedimiento de la reivindicación 1 en el que los datos que no están almacenados en una matriz DRAM (104) están cableados en el módulo de memoria (100).
10. El procedimiento de la reivindicación 1, en el que la codificación única de las señales de control es la codificación para la escritura de un registro, con una dirección distinta de cualquier dirección de banco definida para una escritura de registro.
35 11. El procedimiento de la reivindicación 10, en el que las señales de control de RAS, CAS, y WE son bajas, y en el que la dirección del banco es 2'b10.
12. Un módulo de memoria SDRAM (100), que comprende:
una matriz DRAM (104);
40 datos que no están almacenados en la matriz DRAM (104); y
circuitos de control para realizar transferencias síncronas de datos con un controlador (102) y para leer y escribir datos desde y hacia la matriz DRAM (104), siendo operativos los circuitos de control, además, para producir como salida al controlador (102), en una transferencia síncrona de datos de acuerdo con el procedimiento de cualquiera de las reivindicaciones 1 a 11, los datos que no están almacenados en la matriz
45 DRAM (104).

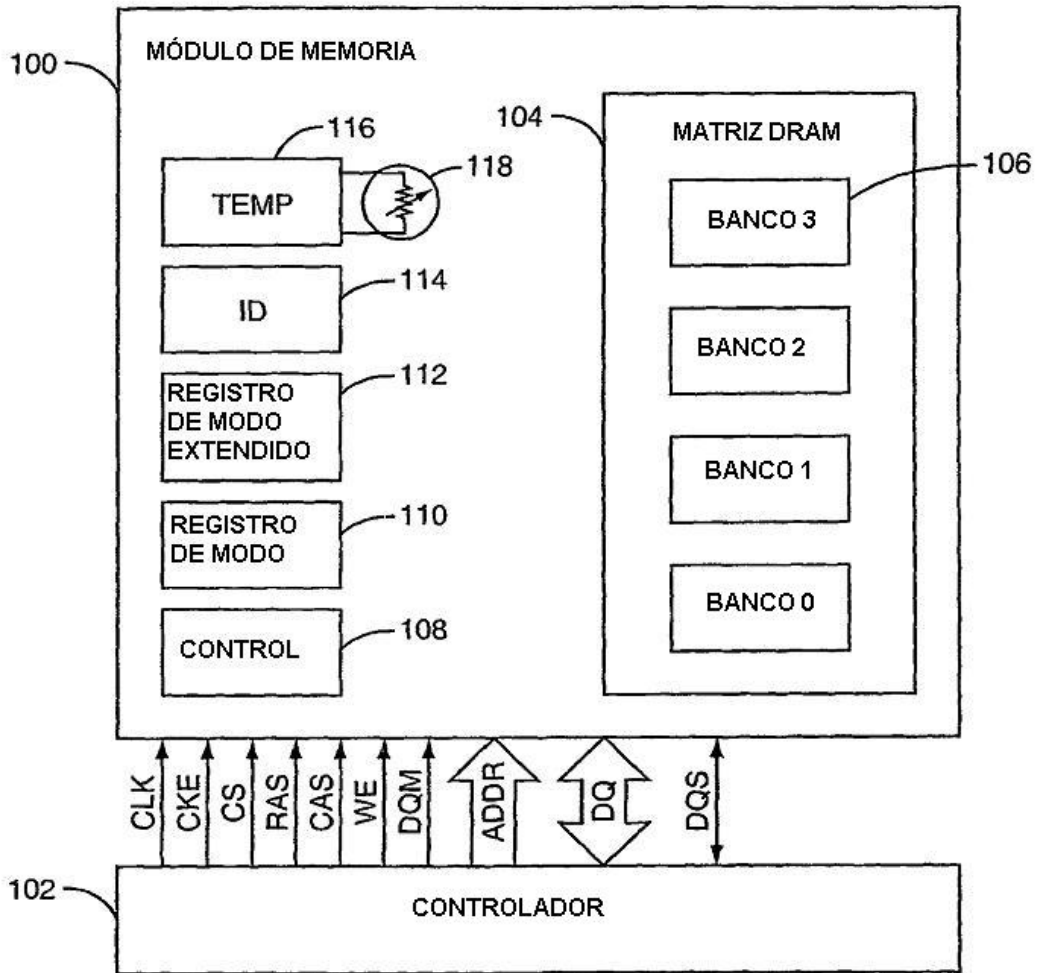


FIG. 1

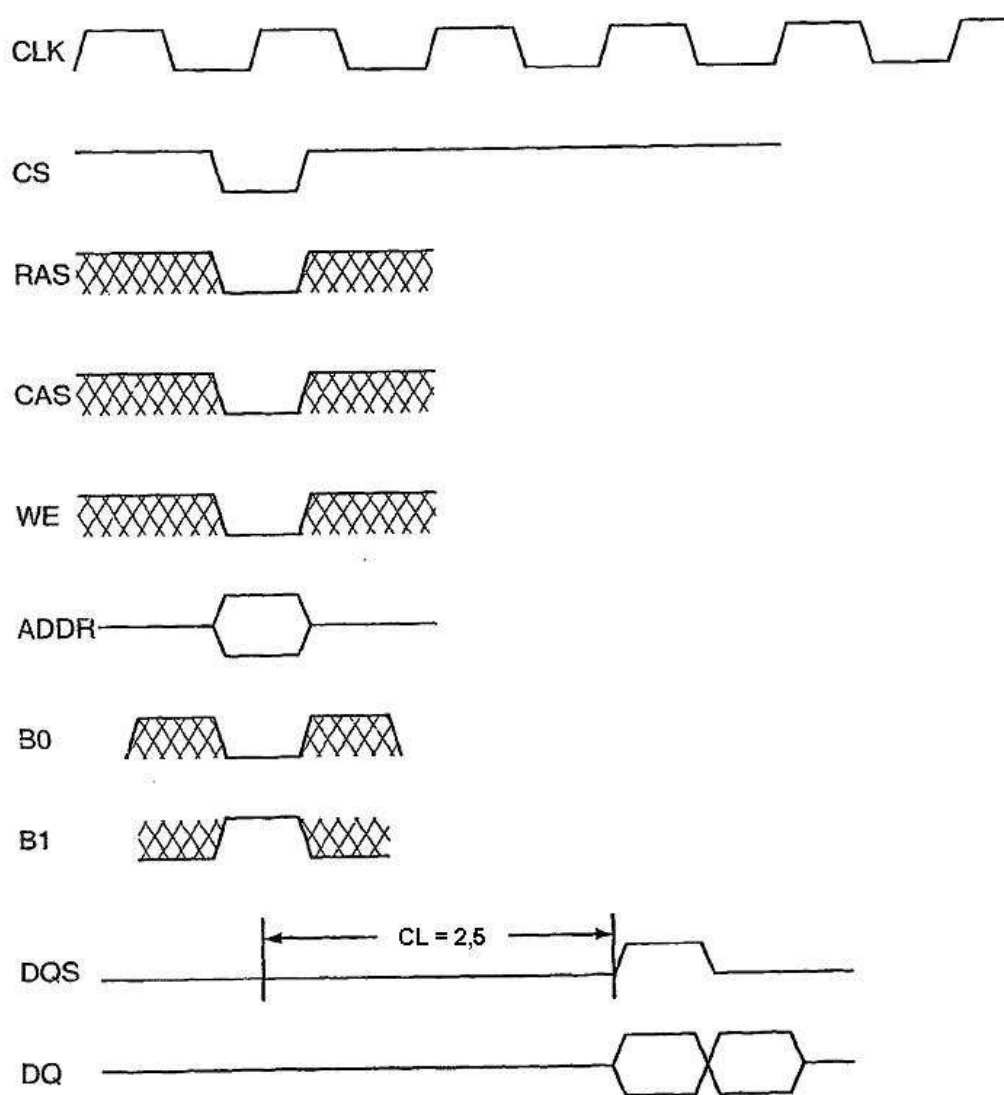


FIG. 2

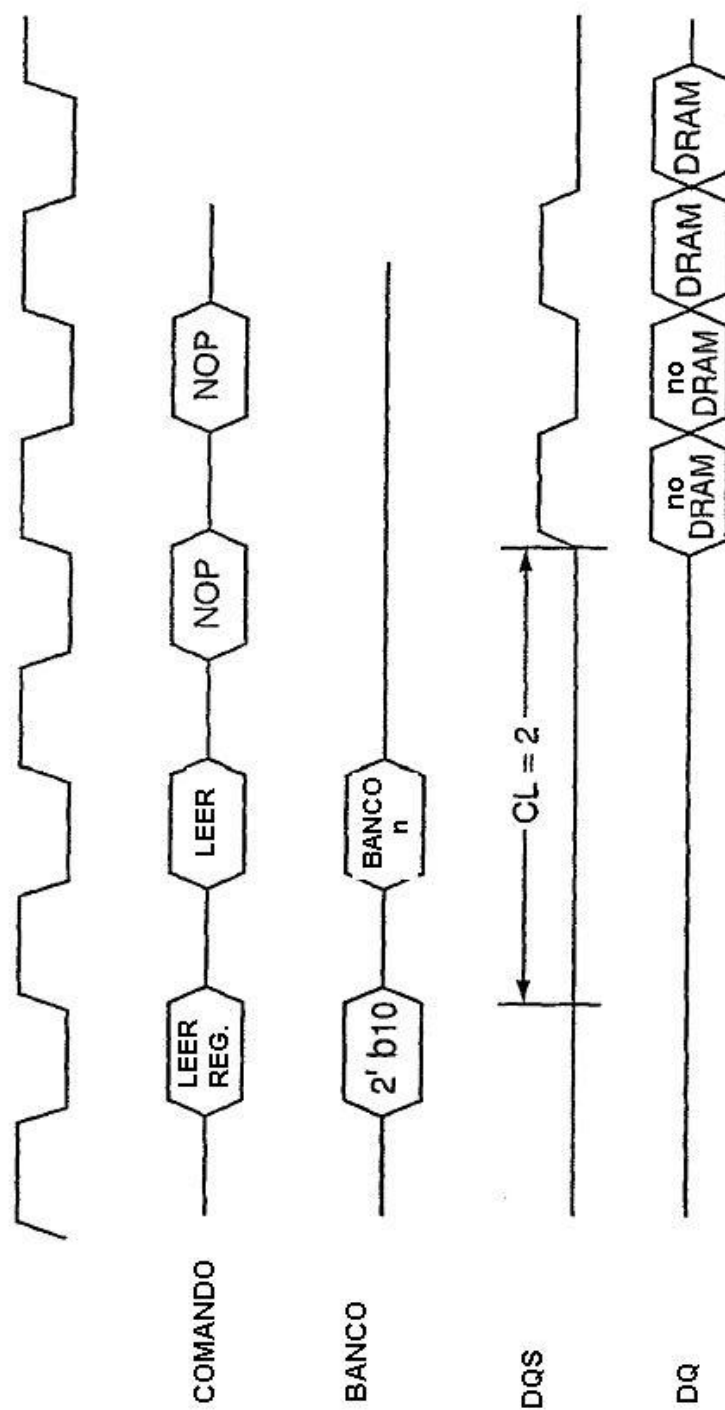


FIG. 3

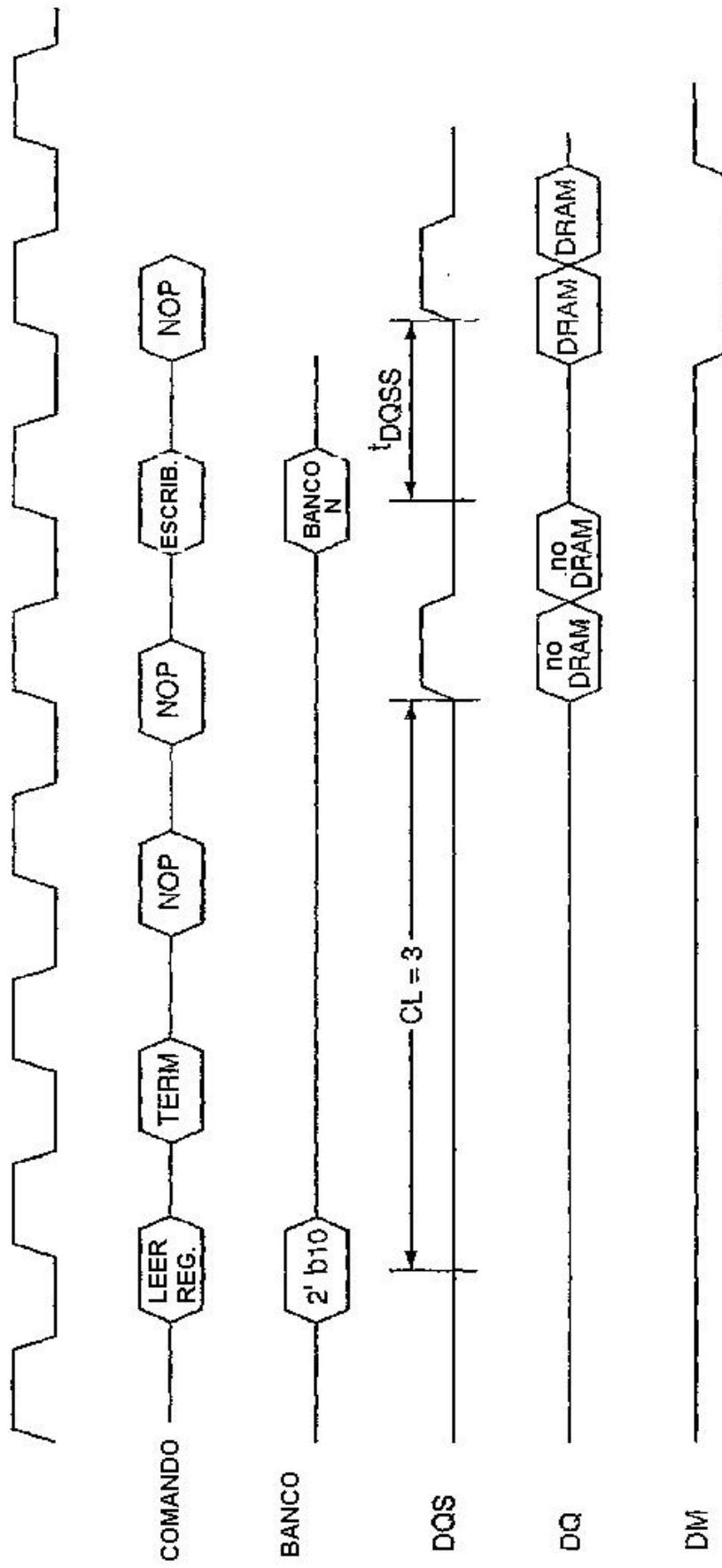


FIG. 4