

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 394 205**

51 Int. Cl.:

H04B 1/10 (2006.01)

H01H 59/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **26.01.2004 E 04705276 (6)**

97 Fecha y número de publicación de la solicitud europea: **26.10.2005 EP 1588495**

54 Título: **Frontal (front-end) analógico para digitalización de MENS/SIGE BICMOS de tecnología mixta con muestreo de RF directo**

30 Prioridad:

28.01.2003 US 352407

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

23.01.2013

73 Titular/es:

**RAYTHEON COMPANY (100.0%)
870 WINTER STREET
02451-1449 WALTHAM, MASSACHUSETTS
02451-1449, US**

72 Inventor/es:

**KENT, SAMUEL D., III;
LINDER, LLOYD F. y
CAI, KHIEM V.**

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 394 205 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

5 Frontal (front-end) analógico para digitalización de MEMS/SIGE BICMOS de tecnología mixta con muestreo de RF directo.

Descripción

10 La presente invención se refiere a un frontal (front-end) analógico para digitalización (DAFE – Digitizing Analog Front End, en inglés) de circuitos integrados para un receptor, que comprende un sustrato, un amplificador de bajo ruido (LNA – Low Noise Amplifier, en inglés) en el sustrato, un convertidor de analógico a digital (ADC – Analog to Digital Converter, en inglés) en el sustrato y una pluralidad de conmutadores de sistema micro electromecánico (MEMS – Micro Electro Mechanical System, en inglés) en el sustrato.

15 Tal frontal (front-end) analógico para digitalización es conocido de T-C Nguyen C: “Communications Applications of Microelectromechanical Systems” Proceedings, 1998 Sensors Expo, 19 de Mayo de 1998 (1998-05-19), páginas 447-455.

CAMPO DE LA INVENCION

20 La presente invención se refiere a la protección de convertidores de analógico a digital (ADC – Analog to Digital Converter, en inglés), a la reducción del consumo de potencia y al mantenimiento de una calidad de señal alta en un frontal (front-end) analógico de un receptor de radio en presencia de señales de interferencia ancha. Más particularmente, la invención se refiere a un receptor de un solo microprocesador que utiliza tecnología de sistema micro electromecánico (MEMS - Micro Electro Mechanical System, en inglés) para recibir señales de banda ancha o de amplio espectro en un entorno de interferencias con un ADC de baja resolución, tal como un receptor de Sistema de Localización Global (GPS – Global Positioning System, en inglés).

ANTECEDENTES DE LA INVENCION

25 Esta invención es aplicable a todos los sistemas de comunicación. Un sistema de amplio espectro se utilizará para ilustrar su uso y efectividad. Los sistemas de comunicación de amplio espectro transmiten información digitalmente sobre un portador que ha sido modulado con una secuencia binaria pseudoaleatoria de alta velocidad. El espectro de la señal resultante ocupa un gran ancho de banda y aparece como ruidoso. La señal está sujeta a interferencias intencionadas o no intencionadas. Las interferencias ocurren por la transmisión de señales de radiofrecuencia anchas en un espectro de radio cercano o coincidente. Las señales interferidoras situadas fuera de la banda de señal deseada son habitualmente eliminadas utilizando un filtro preselector. Así, son las señales en banda las que presentan el mayor obstáculo para una recepción precisa de la señal transmitida.

30 La supresión de estas interferencias puede lograrse con el uso de filtros de muesca de RF. Cuando se implementa con tecnología de MEMS, ésta es una solución de bajo coste, baja potencia y baja distorsión para la supresión de interferencias. Un filtro de muesca es particularmente efectivo en la supresión de interferidores de onda continua (CW – Continuous Wave, en inglés) o de banda estrecha. Después de que estos interferidores son eliminados, el receptor puede procesar la señal de amplio espectro como si no existiese la interferencia con una pequeña pérdida, proporcional al ancho de banda que se ha eliminado. Para las señales de amplio espectro sin interferencias la señal recibida puede ser procesada con un ADC de muy baja resolución. Por ejemplo un ADC de 1 bit tiene una degradación de 1,059 dB con muestreo I (en fase – In phase, en inglés) y Q (en cuadratura – Quadrature, en inglés) de la banda de base ó 1,96 dB con muestreo de frecuencia intermedia (IF – Intermediate Frequency, en inglés) frente a Ruido Gaussiano Blanco Aditivo (AWGN – Additive White Gaussian Noise, en inglés). Un ADC de 2 bits tiene una degradación de 0,55 dB con muestreo I (en fase – In phase, en inglés) y Q (en cuadratura – Quadrature, en inglés) de la banda de base ó 0,96 dB con muestreo de IF. Por lo tanto, para mantener un buen rendimiento con una baja complejidad de ADC y bajo consumo de potencia, debe utilizarse un método de eliminar los interferidores de la señal recibida.

35 Otro efecto en el diseño del sistema y en el rendimiento del sistema en un entorno de interferencias es en el consumo de potencia y en la distorsión de la señal. En un entorno de interferencias cuando las señales de interferencia no son eliminadas cerca de la antena, los componentes en el frontal (front-end) analógico deben estar diseñados con una alta linealidad, con el coste de un significativamente mayor consumo de potencia. También, la presencia de señales anchas genera mayores demandas en los requisitos del ruido de fase del sistema. Para disminuir los requisitos tanto de alta linealidad como de ruido de fase, es necesario eliminar los interferidores antes de estos componentes.

40 Métodos de supresión analógica pueden eliminar las señales interferidoras tanto de banda estrecha como de banda ancha utilizando componentes pasivos. No obstante, puesto que las señales interferidoras pueden estar situadas en cualquier lugar dentro de la banda de paso, debe utilizarse algún método para dirigir, insertar y eliminar los circuitos de supresión de la ruta de la señal. Generalmente, las técnicas de filtrado implementadas en los receptores actuales utilizan conmutación mediante semiconductores, por ejemplo, transistores de semiconductores, para alterar las características de los filtros. Las características de los filtros pueden ser alteradas conmutando en diferentes

componentes (por ejemplo, bancos de condensadores) o diferentes filtros a la vez. La conmutación mediante semiconductores, debido a las características de aislamiento limitado de los semiconductores, puede permitir capacitancias parásitas de filtros no seleccionados.

5 El documento por T-C Nguyen C: "Communications Applications of Microelectromechanical Systems" Proceedings, 1998 Sensors Expo, 19 de Mayo de 1998 (1998-05-19), páginas 447-455, describe mejoras de dispositivos microelectromecánicos para su uso en subsistemas de comunicación inalámbricos. El documento menciona condensadores micromecanizados sintonizables, inductores de alta Q integrados, conmutadores micromecánicos de bajas pérdidas y resonadores mecánicos vibrantes de microescala con Q's del orden de las decenas de miles. Las aplicaciones específicas son revisadas para cada uno de estos componentes con énfasis en los métodos para la miniaturización y mejora del rendimiento de los transceptores inalámbricos existentes y futuros. En particular, se muestra una red que tiene un banco de filtros micromecánicos conmutables masivamente en paralelo que pretende reemplazar un solo filtro sintonizable que seleccionaría uno de los diferentes canales en un amplio intervalo de frecuencias.

10 El documento 2002/0012411 A1 se dirige a sistemas y métodos para un receptor de GPS que son capaces de funcionar en presencia de interferencias. El método incluye detectar una señal interferidora, incluyendo: sintonizar un filtro de paso de banda en un intervalo de frecuencias; y en cada una de la pluralidad de frecuencias incrementales: calcular un conjunto de coeficientes de filtros de paso de banda; enviar el conjunto de coeficientes de filtro de paso de banda a un filtro digital; transformar repetidamente una salida del convertidor de analógico a digital que tiene un nivel de cuantificación que sobrepasa los 2 bits en la salida del filtro de paso de banda con el filtro digital para obtener una pluralidad de muestras; calcular una media de la pluralidad de muestras; y comparar la media con un umbral para detectar picos que exceden un umbral. El correspondiente aparato comprende un circuito de radiofrecuencia analógico, un convertidor de analógico a digital acoplado al circuito de radiofrecuencia analógico, en el que el convertidor de analógico a digital proporciona un nivel de cuantificación que sobrepasa los 2 bits, estando un filtro digital acoplado al convertidor de analógico a digital y un circuito digital acoplado al filtro digital.

15 El documento EP 0 987 829 A2 se dirige a un método y a un aparato para la supresión de señales interferidoras de banda estrecha de una señal de CDMA. El circuito de supresión está comprendido por una matriz de filtros de polifase que dividen la señal de entrada en una pluralidad de sub-bandas estrechas. Cada señal de sub-banda estrecha es examinada para determinar si la interferencia de banda estrecha existe en ese grupo. Esto se lleva a cabo preferiblemente tomando la media de la amplitud absoluta de las señales del grupo. Si una señal de un grupo tiene una amplitud absoluta que excede en mucho la media del grupo, toda la señal del grupo es eliminada. Un banco de filtros de síntesis de polifase reensambla la señal compuesta. Un circuito de ecualización con un indicador de error comprende un filtro FIR adaptativo y un correlacionador está acoplado para adaptar coeficientes al filtro de ruido de color y generar una señal de cancelación de ruido de color para eliminar el ruido de color de la entrada al laminador.

20 El documento US 5.325.204 describe un aparato de cancelación de interferencias de banda estrecha que incluye un filtro de adquisición de interferencias de banda de paso digital recursivo, un circuito de control de frecuencia central en modo de adquisición, un filtro de seguimiento de interferencia de banda de paso digital recursivo, un circuito de control de frecuencia central en modo de seguimiento y un circuito de detección de interferencias. El filtro de seguimiento tiene un menor ancho de banda que el filtro de adquisición. Tanto los filtros de adquisición como de seguimiento son sintonizados en bloque de manera que las frecuencias centrales de sus bandas de paso son ajustadas al unísono. Durante el modo de adquisición de interferencias, el circuito de control de frecuencia central del modo en adquisición se utiliza para ajustar la frecuencia central de los filtros en el ancho de banda cubierto por el cancelador de interferencias. Cuando el circuito de detección de interferencia detecta una señal de interferencia dentro de la banda de paso del filtro de seguimiento, el circuito de control de frecuencia central de seguimiento es utilizado para ajustar la frecuencia central de los filtros de adquisición y de seguimiento para asegurar que los filtros permanecen bloqueados en la señal de transmisión de banda estrecha. Cuando se detecta la señal de interferencia, la porción de la señal de comunicación que incluye la señal de interferencia de banda estrecha que se hace pasar a través del filtro de seguimiento de la banda de paso estrecha es sustraída de la señal de comunicación para eliminar la señal de interferencia de banda estrecha. Cuando no se detecta ninguna señal de interferencia, se permite a la señal de comunicación pasar a la salida del circuito del filtro de muesca sin atenuación.

25 Un objeto de la presente invención es proporcionar un frontal (front-end) analógico para digitalización de circuitos integrados mejorado.

COMPENDIO DE LA INVENCION

30 Una solución a este objeto es proporcionada por un frontal (front-end) analógico para digitalización de circuitos integrados tal como se menciona al inicio que comprende también al menos un filtro antisolape en el sustrato y al menos un filtro anti-interferencias en el sustrato, en el que las características de filtro del al menos un filtro anti-interferencias son cambiadas utilizando al menos uno de la pluralidad de conmutadores de MEMS y en el que al menos un filtro anti-interferencias tiene una sección de filtro que comprende un banco de filtros y un conmutador de

MEMS que tiene un primer polo normalmente abierto, un segundo polo normalmente abierto y un tercer polo normalmente cerrado, donde la sección de filtro está adaptada de tal manera que el banco de filtros puede ser eliminado del filtro cerrando el tercer polo y abriendo los polos primero y segundo.

5 Para el cumplimiento de lo anterior y extremos relacionados, la invención, entonces, comprende las características descritas completamente en lo que sigue y señaladas de manera particular en las reivindicaciones. La siguiente descripción y los dibujos adjuntos explican con detalle ciertas realizaciones ilustrativas de la invención. Estas realizaciones son indicativas, no obstante, sólo de algunas de las diferentes maneras en las cuales pueden ser empleados los principios de la invención. Otros objetos, ventajas y nuevas características de la invención resultarán evidentes a partir de la siguiente descripción detallada de la invención cuando se considera junto con los dibujos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

15 La Figura 1 es un diagrama de bloques de un frontal (front-end) analógico para digitalización (DAFE – Digitizing Analog Front End, en inglés) de acuerdo con una realización de la invención.

La Figura 2A es un filtro anti-interferencias implementado utilizando un planteamiento de paso de banda de sub-banda de acuerdo con una realización de la invención.

La Figura 2B ilustra la pérdida en la que se incurre sumando las salidas de muchos filtros de sub-banda con errores uniformemente distribuidos entre $-\Phi$ y Φ grados.

20 La Figura 3 es un filtro anti-interferencias implementado utilizando un planteamiento de filtro de muesca de acuerdo con otra realización de la invención.

DESCRIPCIÓN DETALLADA DE LA INVENCIÓN

25 Lo que sigue es una descripción detallada de la presente invención con referencia a los dibujos adjuntos, en la que números de referencia iguales se referirán a elementos iguales en todo el documento.

En referencia ahora a la Figura 1, se ilustra un frontal (front-end) analógico para digitalización (DAFE – Digitizing Analog Front End, en inglés) 50 de acuerdo con una realización de la presente invención. Una antena o matriz de antenas 57 para recibir una señal de radio compuesta está conectada a un puerto de entrada 58 del DAFE 50. Cuando entra en el DAFE 50, la señal compuesta entra en un filtro preselector y anti-interferencias (PS/AJ – Pre-Selector / Anti-Jamming, en inglés) 62 para la pre-selección de la banda de frecuencia deseada y para la supresión de interferidores de banda estrecha. La salida del filtro PS/AJ 62 está eléctricamente conectada a la entrada de un amplificador de bajo ruido (LNA – Low Noise Amplifier, en inglés) 64. La porción de pre-selección del filtro PS/AJ 62 proporciona un filtrado grosero para reducir la saturación del LNA 64 por señales interferidoras, de co-sitio o de ambiente de fuera de banda.

35 La salida del LNA está eléctricamente conectada a la entrada de un filtro coincidente antisolape 66. La salida del filtro coincidente antisolape 66 está eléctricamente conectada a la entrada de un convertidor de analógico a digital (ADC – Analog to Digital, en inglés) 68, tal como un ADC de muestreo directo / submuestreo, por ejemplo. El filtro coincidente antisolape 66 tiene una frecuencia de corte que atenúa señales no deseadas de la entrada del ADC hasta el punto de que no afectarán adversamente al circuito. Un bucle bloqueado en fase (PLL – Phase Locked Loop, en inglés) de soporte 70 y un oscilador de cristal compensado en temperatura (TCXO – Temperatura Compensated CRIStal Oscillator, en inglés) 72 proporcionan señales de sincronización para el ADC 68. El ADC 68 proporciona una salida 74 del DAFE 50 que puede estar conectada a un receptor 75, tal como un receptor de GPS, por ejemplo.

40 La implementación de un ADC de muestreo directo / submuestreo 68 puede reducir la complejidad del DAFE 50 total. Llevando a cabo un muestreo de paso de banda, el diseño del receptor se simplifica eliminando una o más etapas de mezcladores, reduciendo así el tamaño del circuito y los requisitos de potencia. Además, la calidad de la señal aumenta mediante la proyección directa en fase y en cuadratura de fase evitando las desviaciones en amplitud y en fase inherentes a la desmodulación en cuadratura.

45 El DAFE 50 preferiblemente emplea tecnología mixta, que incluye la tecnología de Sistema Micro electromecánico (MEMS – Micro Electro Mechanical System, en inglés) y, por ejemplo, la tecnología de BiCMOS en un solo substrato 92. En particular, el filtro PS/AJ 62 y el filtro coincidente antisolape 66 son implementados utilizando tecnología de MEMS, mientras que el LNA 64, el ADC 68 y el PLL 70 pueden ser implementados utilizando tecnología de BiCMOS, por ejemplo. Los beneficios de un planteamiento de tecnología mixta incluyen una reducción en el tamaño y en el consumo de potencia del DAFE 50. La reducción del tamaño es un resultado de la integración de muchas funciones diferentes en un único microprocesador. Un ahorro de potencia resulta del uso de un proceso de SiGe BiCMOS eficiente en potencia, del uso de un ADC de sub muestreo y de la tecnología de MEMS.

60 El uso de un ADC de submuestreo 68 permite la eliminación de al menos una etapa de reducción que incluye mezcladores y PLLs. Los inventores estiman un 40% de ahorro de potencia adicional debido a la eliminación de la etapa de reducción. Otro ahorro de potencia puede ser realizado mediante el uso de elementos de filtrado de alta Q

que utilizan tecnología de MEMS. En particular, la tecnología de MEMS permite la creación de filtros pequeños, de baja potencia, baja distorsión y resistentes a interferencias.

5 La estructura del filtro PS/AJ 62 depende del método elegido para implementar la supresión de interferencias de banda estrecha. Diseños de ejemplo para filtros PS/AJ incluyen un planteamiento de paso de banda de sub-banda, que dejará pasar sólo una porción sin interferencias de la señal, y un planteamiento de filtro de muesca, que eliminará la interferencia. Dependiendo del tamaño y complejidad del filtro PS/AJ, pueden emplearse bancos de filtros conmutables para permitir que el DAFE 50 detecte varias bandas de frecuencia diferentes. Para reducir los efectos de la capacitancia parásita que podrían introducirse debido a la presencia de filtros no utilizados, se utilizan conmutadores de MEMS de alto aislamiento para desconectar del circuito los filtros no utilizados. Adicionalmente, el planteamiento de sub-banda tiene el beneficio añadido de eliminar la necesidad de un filtro antisolape adicional, puesto que esta función es un producto secundario natural de la estructura de sub-banda.

15 En referencia a la Figura 2A, se ilustra una realización que utiliza una implementación de paso de banda de sub-banda del filtro PS/AJ. El filtro PS/AJ 62' incorpora los conmutadores 80a-80d de MEMS para seleccionar las características de filtrado del filtro 62'. Un conmutador de MEMS proporciona varias ventajas sobre un conmutador de semiconductores (por ejemplo, transistores de semiconductores, diodos PIN). En particular, un conmutador de MEMS tiene una muy baja pérdida de inserción (por ejemplo, menor de 0,2 dB a 45 GHz) y un alto aislamiento cuando está abierto (por ejemplo, mayor de 30 dB). Además, el conmutador tiene una amplia respuesta en frecuencia y un gran ancho de banda comparado con los transistores de semiconductores y los diodos PIN. Estas ventajas proporcionan un mayor rendimiento y control cuando se utilizan en diseños de filtros sintonizables. Detalles adicionales relativos a los conmutadores de MEMS pueden encontrarse en la Patente de U.S. N° 6.046.659, cuya explicación se incorpora en esta memoria íntegramente como referencia.

25 Los conmutadores de MEMS utilizados en el filtro PS/AJ 62' son conmutadores de doble polo y simple tiro (DPST – Double Pole Single Throw, en inglés) (por ejemplo, dos contactos de conmutación aislados que se abren y cierran a la vez). Resultará evidente, no obstante, que pueden utilizarse otras configuraciones de conmutadores de MEMS y que el uso de un conmutador de DPST es meramente a modo de ejemplo. Además, la Figura 2A muestra una implementación de paso de banda de sub-banda que utiliza cuatro conmutadores de MEMS y cuatro bancos de filtros de sub-banda. Resultará evidente, no obstante, que pueden usarse implementaciones de un filtro de paso de banda de sub-banda que utilizan más o menos conmutadores de MEMS y/o bancos de filtro de sub-banda, y que tales implementaciones se contemplan en el alcance de la invención.

35 Debe observarse que las líneas de control para accionar cada conmutador de MEMS para que “abra” o “cierre” no se muestran en los diagramas. Estas líneas de control, no obstante, deberían resultar evidentes para un experto en la materia. La acción de abrir o cerrar de cada conmutador de MEMS se logra aplicando una tensión de desviación a uno o más terminales de control del conmutador de MEMS. Por ejemplo, un conmutador de MEMS de un solo polo puede tener cuatro terminales, dos terminales para el contacto del conmutador aislado y dos terminales para una conexión de “control”, por ejemplo, para ordenar que el conmutador abra y cierre. Cuando se aplica una tensión a los terminales de control del conmutador de MEMS, una fuerza electrostática tira de una armadura hacia el sustrato. Si el conmutador es de una configuración de normalmente abierto (N. O. – Normally Open, en inglés), entonces el contacto aislado del conmutador se cerrará mediante la aplicación de una tensión. Por el contrario, si el conmutador es un conmutador normalmente cerrado (N. C. – Normally closed, en inglés), entonces el contacto aislado del conmutador se abrirá mediante la aplicación de una tensión. Se sigue que los conmutadores de MEMS de múltiples polos tendrán un par adicional de terminales por cada polo adicional.

50 Un primer terminal en un primer polo 80a1 de un primer conmutador de MEMS 80a está conectado a un nodo de entrada 100. Un segundo terminal en el primer polo 80a1 del primer conmutador de MEMS 80a está conectado a un terminal de entrada de un primer banco de filtros de sub-banda 102a. Un terminal de salida del primer banco de filtros de sub-banda 102a está conectado a un primer terminal en un segundo polo 80a2 del primer conmutador de MEMS 80a. Un segundo terminal en el segundo polo 80a2 del primer conmutador de MEMS 80a está conectado a una unión sumadora 104.

55 Un primer terminal en un primer polo 80b1 de un segundo conmutador de MEMS 80b está conectado al nodo de entrada 100. Un segundo terminal en el primer polo 80b1 del segundo conmutador de MEMS 80b está conectado a un terminal de entrada de un segundo banco de filtros de sub-banda 102b. Un terminal de salida del segundo banco de filtros de sub-banda 102b está conectado a un primer terminal en un segundo polo 80b2 del segundo conmutador de MEMS 80b. Un segundo terminal en el segundo polo 80b2 del segundo conmutador de MEMS 80b está conectado a la unión sumadora 104.

60 Un primer terminal en un primer polo 80c1 de un tercer conmutador de MEMS 80c está conectado al nodo de entrada 100. Un segundo terminal en el primer polo 80c1 del tercer conmutador de MEMS 80c está conectado a un terminal de entrada de un tercer banco de filtros de sub-banda 102c. Un terminal de salida del tercer banco de filtros de sub-banda 102c está conectado a un primer terminal en un segundo polo 80c2 del tercer conmutador de MEMS

80c. Un segundo terminal en el segundo polo 80c2 del tercer conmutador de MEMS 80c está conectado a la unión sumadora 104.

5 Un primer terminal en un primer polo 80d1 de un cuarto conmutador de MEMS 80d está conectado al nodo de entrada 100. Un segundo terminal en el primer polo 80d1 del cuarto conmutador de MEMS 80d está conectado a un terminal de entrada de un cuarto banco de filtros de sub-banda 102d. Un terminal de salida del cuarto banco de filtros de sub-banda 102d está conectado a un primer terminal en un segundo polo 80d2 del cuarto conmutador de MEMS 80d. Un segundo terminal del segundo polo 80d2 del cuarto conmutador de MEMS 80d está conectado a la unión sumadora 104. La salida 106 de la unión sumadora 104 es la salida del filtro 62'.

10 El diseño del paso de banda de sub-banda 62', a través de cada filtro de sub-banda 102a-102d, divide el espectro de la señal en muchas sub-bandas. Como se ilustra en la Figura 2A, cada banco de filtros 102a-102d incluye una función de transferencia diferente para filtrar frecuencias específicas de la señal compuesta. Cada sub-banda puede ser también dividida tal como se requiera para alcanzar un mínimo suprimible de ancho de banda del interferidor. La salida de cada filtro de sub-banda de frecuencia fija 102a-102d es examinada en busca de la presencia de una interferencia mediante el uso de circuitos de detección de potencia analógicos (no mostrados) que son digitalmente controlados, por ejemplo. La detección de señales interferidoras es bien conocida por los expertos en la materia y no se explicará en esta memoria. Si no existen interferencias en una banda de frecuencia particular, entonces la salida del filtro de sub-banda de frecuencia fija se suma con los otros filtros de subbanda. Si se detecta una interferencia, no obstante, entonces el respectivo conmutador de MEMS para el filtro de subbanda particular 102a-102d se abre, eliminando así la interferencia del espectro. Como se ha observado previamente, un conmutador de MEMS proporciona varias ventajas con respecto a un conmutador de semiconductores, incluyendo una baja pérdida de inserción y un alto aislamiento cuando el conmutador está abierto. Además, la implementación de tecnología mixta, por ejemplo, conmutadores de MEMS y SiGe BiCMOS en el mismo sustrato, proporciona un empaquetamiento compacto que consume menos potencia que las implementaciones tradicionales.

15 Por ejemplo, si una señal interferidora fuese detectada en la salida del cuarto filtro de sub-banda 102d y una señal interferidora no fuese detectada a la salida de los restantes filtros de sub-banda 102a-102c, entonces los primeros tres conmutadores de MEMS 80a-80c se cerrarían permitiendo el paso de la "señal limpia", y el cuarto conmutador de MEMS 80d se abriría, bloqueando así la señal interferidora. De manera similar, si una señal interferidora fuese detectada a la salida del primer filtro de sub-banda 102a, y una señal interferidora no fuese detectada a la salida de los restantes filtros de sub-banda 102b-102d, entonces el primer conmutador de MEMS 80a se abriría, bloqueando así la señal interferidora, y los restantes conmutadores de MEMS 80b-80d se cerrarían permitiendo el paso de la señal limpia.

20 Un problema inherente cuando se utiliza superposición de múltiples salidas de filtro de sub-banda es la introducción de errores de fase. En referencia a la Figura 2B, se ilustra un gráfico 107 que muestra la pérdida debido a las desviaciones de fase en filtros de sub-banda. En particular, el gráfico 107 muestra que si el error de fase introducido por cada filtro está aleatoriamente distribuido dentro de un pequeño intervalo, la pérdida de implementación es pequeña. Por ejemplo, una distribución de error sobre ± 50 grados 108 produce sólo una pérdida de rendimiento de 1 dB.

25 En referencia a la Figura 3, se ilustra una realización alternativa del filtro PS/AJ 62", utilizando un diseño de filtro de muesca. El planteamiento de filtro de muesca requiere el diseño y fabricación de filtros de MEMS de alto O que tienen dos grados de libertad: variabilidad en la frecuencia central y ancho de banda de rechazo de banda. En el caso del GPS, la frecuencia central debería ser dirigible sobre el ancho de banda de GPS de 20 MHz. De manera ideal, el ancho de muesca debería ser ajustable de 0 Hz a 10% de los anchos de señal de código de adquisición clara (C/A) o precisión (P) ó 200 kHz a 2 MHz, dependiendo de qué señal se utilice.

30 El filtro PS/AJ 62" incluye cuatro secciones de filtro; un filtro de pre-selección 110 seguido por tres secciones de filtro 112, 114, 116, siendo todas ellas dirigibles y de ancho de banda ajustable. Pueden utilizarse filtros más o menos dirigibles. El filtro PS/AJ 62" incorpora un conmutador de MEMS de 3 polos que tiene dos contactos normalmente abiertos (N. O.) y uno normalmente cerrado (N. C.). Resultará evidente que el uso de un conmutador de MEMS de 3 polos es meramente a modo de ejemplo y que pueden emplearse otras configuraciones de un conmutador de MEMS.

35 En referencia al filtro PS/AJ 62" de la Figura 3, un filtro antisolape / pre-selección 110 tiene un primer terminal conectado a un nodo de entrada 120 y un segundo terminal conectado al nodo 121. Un primer terminal en un primer polo N. O. 80a1' de un primer conmutador de MEMS 80a' está conectado al nodo 121. Un segundo terminal en el primer polo 80a1' del primer conmutador de MEMS 80a' está conectado a un terminal de entrada de un primer banco de filtros 122a. Un terminal de salida del primer banco de filtros 122a está conectado a un primer terminal en un segundo polo N. O. 80a2' del primer conmutador de MEMS 80a'. Un segundo terminal en el segundo polo 80a2' del primer conmutador de MEMS 80a' está conectado al nodo 124. Un primer terminal en un tercer polo N. C. 80a3' del

primer conmutador de MEMS 80a' está conectado al nodo 121. Un segundo terminal en el tercer polo 80a3' del primer conmutador de MEMS 80a' está conectado al nodo 124.

5 Un primer terminal en un primer polo N. O. 80b1 de un segundo conmutador de MEMS 80b' está conectado al nodo 124. Un segundo terminal en el primer polo 80b1' del segundo conmutador de MEMS 80b' está conectado a un terminal de entrada de un segundo banco de filtros 122b. Un terminal de salida del segundo banco de filtros 122b está conectado a un primer terminal en un segundo polo N. O. 80b2' del segundo conmutador de MEMS 80b'. Un segundo terminal en el segundo polo 80b2' del segundo conmutador de MEMS 80b' está conectado al nodo 126. Un primer terminal en un tercer polo N. C. 80b3' del segundo conmutador de MEMS 80b' está conectado al nodo 124. 10 Un segundo terminal en el tercer polo 80b3' del segundo conmutador de MEMS 80b' está conectado al nodo 126.

15 Un primer terminal en un primer polo N. O. 80c1' de un tercer conmutador de MEMS 80c' está conectado al nodo 126. Un segundo terminal en el primer polo 80c1' del tercer conmutador de MEMS 80c' está conectado a un terminal de entrada de un tercer banco de filtros 122c. Un terminal de salida del tercer banco de filtros 122c está conectado a un primer terminal en un segundo polo N. O. 80c2' del tercer conmutador de MEMS 80c'. Un segundo terminal en el segundo polo 80c2' del tercer conmutador de MEMS 80c' está conectado al nodo 128. Un primer terminal en un tercer polo N. C. 80c3' del tercer conmutador de MEMS 80c' está conectado al nodo 126. Un segundo terminal en el tercer polo 80c3' del tercer conmutador MEMS 80c' está conectado al nodo 128.

20 El filtro PS/AJ 62" puede eliminar señales interferidoras mediante la manipulación de la frecuencia central variable y del ancho de banda de rechazo. Cada banco de filtros 122a-122c incluye una función de transferencia diferente para filtrar frecuencias interferidoras específicas de la señal compuesta. Además, los segmentos de filtro pueden ser eliminados del filtro cerrando los conmutadores de MEMS de bypass 80a3' – 80c3' y abriendo los conmutadores de MEMS de selección 80a1' – 80c1', 80a2' – 80c2'. Por ejemplo, si existe un solo interferidor, uno de los filtros 122a – 25 122c es sintonizado mediante métodos apropiados para crear una banda de paso que rodee a la señal deseada, pero con una muesca presente en la ubicación del interferidor. La sintonización de este filtro se logra utilizando conmutadores de MEMS u otros métodos, que no se describen en esta memoria pero que son conocidos en la literatura. Una señal de control es enviada al primer conmutador de MEMS 80a', haciendo que el tercer polo N. C. 80a3' se abra y que el primer polo N. O. 80a1' y el segundo polo N. O. 80a2' se cierren, provocando así que la señal y el interferidor entren en el primer filtro 122a. El primer filtro 122a elimina alguno o todos los interferidores y permite sólo el paso de la señal y de cualquier interferidor residual nodo 124. Si no existe ninguna otra señal interferidora y si el primer interferidor ha sido suficientemente suprimido, el segundo filtro 122b y el tercer filtro 122c no son necesarios, no se envía ninguna señal de control al segundo conmutador de MEMS 80b' y el tercer conmutador de MEMS 80c' y el tercer polo N. C. 80b3' del segundo conmutador de MEMS 80b' y el tercer polo N. C. 80c3' del tercer conmutador de MEMS 80c' permanecen cerrados y los polos N. O. primero y segundo 80b1', 80b2' del segundo conmutador de MEMS 80b' y los polos N. O. primero y segundo 80c1', 80c2' del tercer conmutador de MEMS 80c' permanecen abiertos. La señal en el nodo 124 pasa hacia el nodo 128. Si existen otros interferidores (hasta dos más para el circuito de ejemplo de la Figura 3) y deben ser suprimidos, o si se desea una atenuación adicional del primer interferidor, o las dos cosas, los filtros segundo y tercero 122b, 122c son sintonizados para suprimir los interferidores, y las señales de control son enviadas al segundo conmutador de MEMS 80b' y al tercer conmutador de MEMS 80c'. Finalmente, si no existe ninguna señal interferidora, el filtro antislape 110 es situado en la ruta de la señal para permitir sólo el paso de la señal deseada. 40

45 Aunque se han descrito con detalle realizaciones particulares de la invención, resulta evidente que la invención no está limitada correspondientemente al alcance, sino que incluye todos los cambios, modificaciones y equivalentes que se encuentren dentro de los términos de las reivindicaciones adjuntas en esta memoria. Por ejemplo, la implementación de un filtro de MEMS ha sido explicada en esta memoria con referencia al filtro PS/AJ 62. Resultará evidente, no obstante, que los mismos principios pueden ser aplicados al filtro antislape 66.

REIVINDICACIONES

- 5 1. Frontal (front-end) analógico para digitalización de circuitos integrados, DAFE, (50) para un receptor, que comprende:
- 10 un sustrato (92);
 un amplificador de bajo ruido (LNA – Low Noise Amplifier, en inglés) (64) en el sustrato (92);
 un convertidor de analógico a digital (ADC – Analog to Digital Converter, en inglés) (68) en el sustrato (92); y
 una pluralidad de conmutadores de sistema micro electromecánico (MEMS – Micro Electro Mechanical System, en inglés) (80a', 80b', 80c') en el sustrato (92);
caracterizado por
 al menos un filtro antisolape (66) en el sustrato (92); y
 al menos un filtro anti-interferencias (62'') en el sustrato (92);
 15 donde las características de filtrado del al menos un filtro de anti-interferencias (62'') se cambian utilizando al menos uno de la pluralidad de conmutadores de MEMS (80a', 80b', 80c'), y
 en el que el al menos un filtro anti-interferencias (62'') tiene una sección de filtro (112) que comprende un banco de filtros (122a) y un conmutador de MEMS (80a') que tiene un primer polo normalmente abierto (80a1'), un segundo polo normalmente abierto (80a2') y un tercer polo normalmente cerrado (80a3'), en los que la sección de filtro (112) está adaptada de manera que el banco de filtros 122a) puede ser eliminado del
 20 filtro (62'') cerrando el tercer polo (80a3') y abriendo los polos primero y segundo (80a1', 80a2').
- 25 2. DAFE de acuerdo con la reivindicación 1, en el que un primer terminal en el primer polo (80a1') está conectado a un primer nodo (121) de la sección de filtro (112), un segundo terminal en el primer polo (80a1') está conectado a un terminal de entrada del banco de filtros (122a), un terminal de salida del banco de filtros (122a) está conectado a un primer terminal en el segundo polo (80a2'), un segundo terminal en el segundo polo (80a2') está conectado a un segundo nodo (124) de la sección de filtro (112), un primer terminal en el tercer polo (80a3') está conectado al primer nodo (121) y un segundo terminal en el tercer polo (80a3') está conectado al segundo nodo (124).
- 30 3. DAFE de acuerdo con cualquiera de las reivindicaciones precedentes, en el que el ADC (68) es un ADC de muestreo directo / submuestreo.
- 35 4. DAFE de acuerdo con cualquiera de las reivindicaciones precedentes, en el que el filtro anti-interferencias (62'') y el filtro antisolape (66) incluyen un banco de filtros conmutable, y cada banco es seleccionado utilizando al menos un conmutador de MEMS.
- 40 5. DAFE de acuerdo con cualquiera de las reivindicaciones precedentes, en el que el filtro anti-interferencias (62'') es un filtro de muesca.
6. DAFE de acuerdo con la reivindicación 5, en el que el filtro de muesca tiene una frecuencia central dirigitble.
7. DAFE de acuerdo con la reivindicación 6, en el que un ancho de banda de muesca es ajustable entre 0 Hz y 2 MHz.
- 45 8. DAFE de acuerdo con cualquiera de las reivindicaciones precedentes, que comprende también:
 un bucle bloqueado en fase (PLL – Phase Locked Loop, en inglés) (70) en el sustrato (92); y
 un oscilador de cristal (72) en el sustrato (92).
- 50 9. DAFE de acuerdo con la reivindicación 8, en el que el oscilador de cristal es compensado en temperatura.

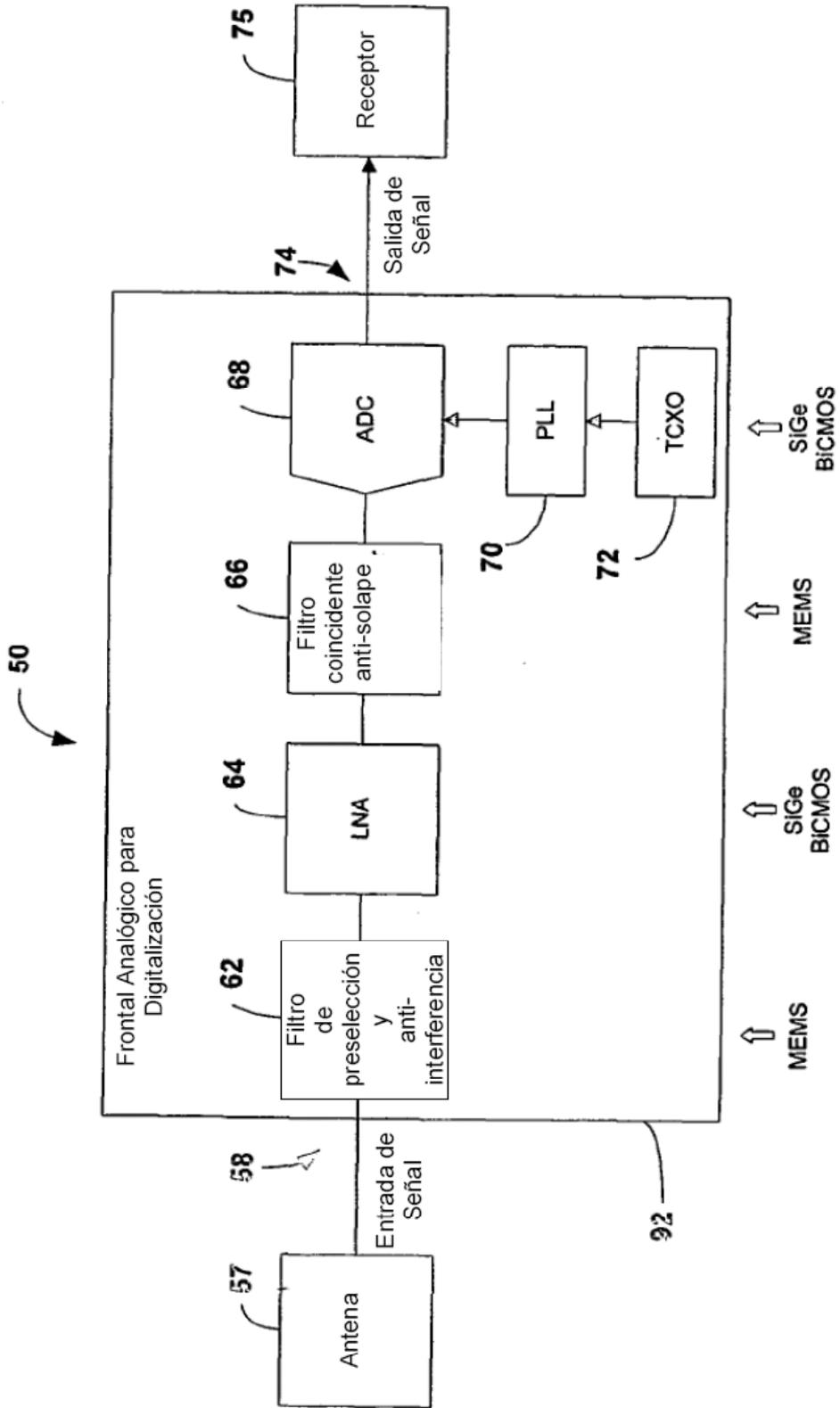


Fig. 1

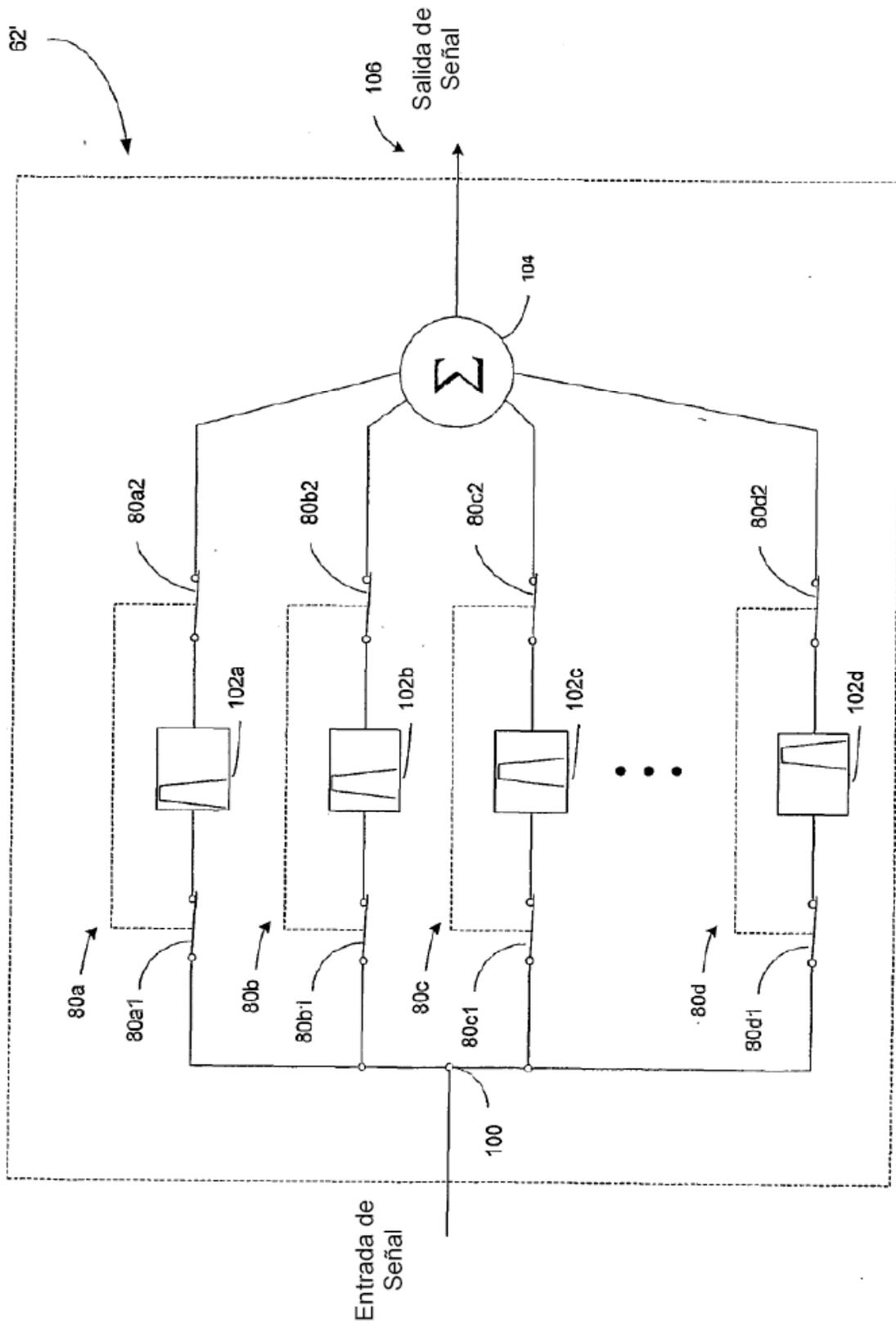


Fig. 2A

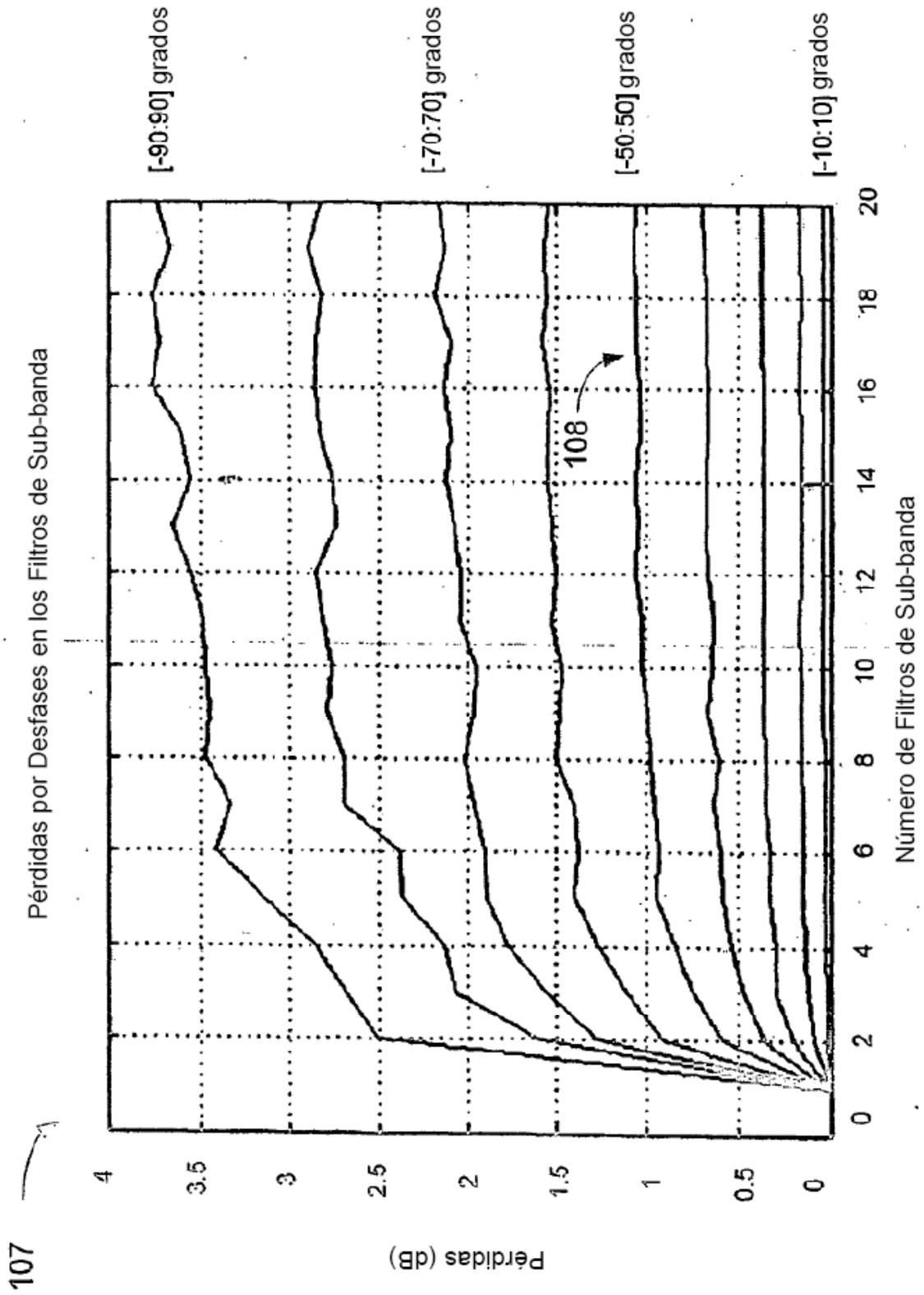


Fig. 2B

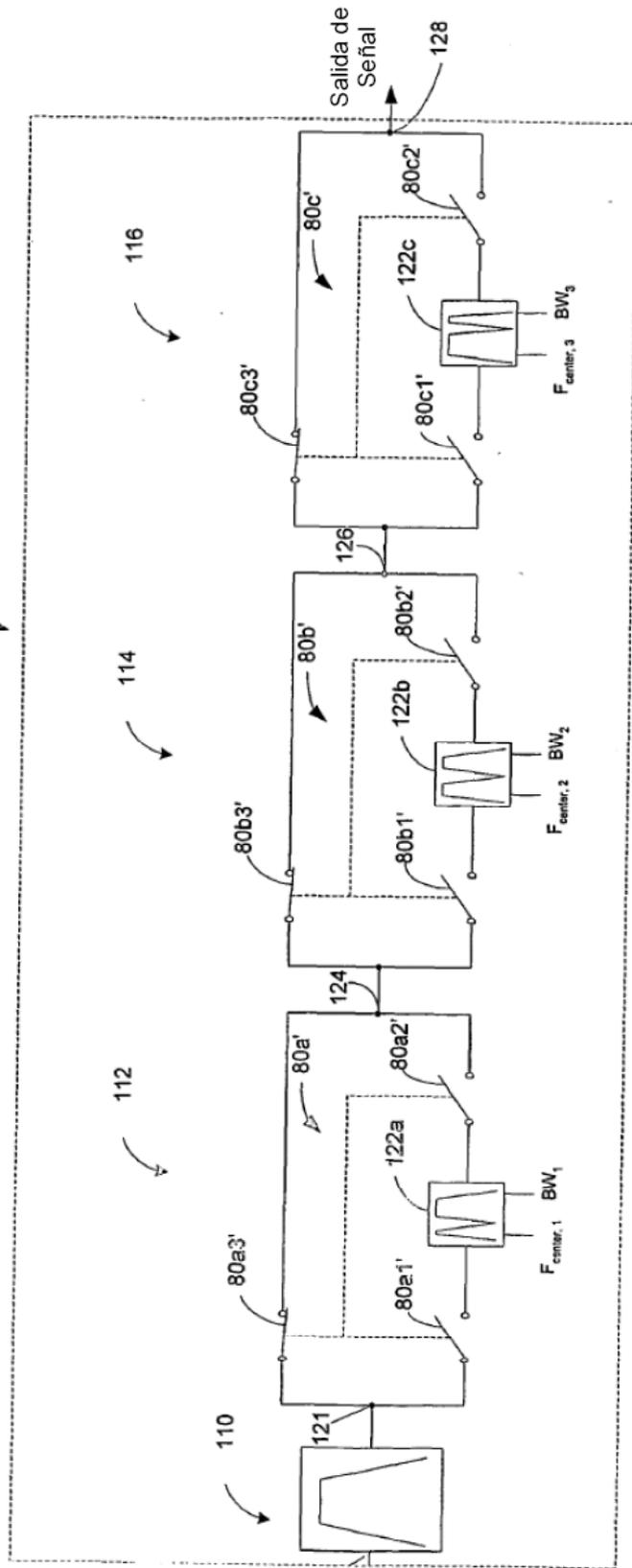


Fig. 3