

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 394 282**

51 Int. Cl.:

H04L 25/03 (2006.01)

H03L 7/08 (2006.01)

H03L 7/081 (2006.01)

H04L 7/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **06.09.2007 E 07806841 (8)**

97 Fecha y número de publicación de la solicitud europea: **15.07.2009 EP 2079210**

54 Título: **Dispositivo de recuperación de datos de reloj**

30 Prioridad:

11.10.2006 JP 2006277925

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

30.01.2013

73 Titular/es:

**THINE ELECTRONICS, INC. (100.0%)
9-1 Kanda-mitoshiro-cho, Chiyoda-ku, Tokyo
101-0053, JP**

72 Inventor/es:

OZAWA, SEIICHI

74 Agente/Representante:

PÉREZ BARQUÍN, Eliana

ES 2 394 282 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de recuperación de datos de reloj

5 Campo técnico

La presente invención se refiere a un dispositivo para recuperar una señal de reloj y datos, en base a una señal digital de entrada.

10 Técnica de antecedente

La onda de una señal digital emitida desde un transmisor se degrada mientras está siendo transmitida desde el transmisor a un receptor mediante un canal de transmisión, al requerir que la señal de reloj y los datos sean recuperados en el receptor. Dispositivos de recuperación de reloj / datos para llevar a cabo esta clase de recuperación, por ejemplo, se revelan en los Documentos 1, 2 de Patente.

Los dispositivos revelados en estos documentos tienen en cuenta el hecho de que los tiempos de transición de datos fluctúan en la señal digital degradada en onda, y detectan cada bit de datos en tres temporizaciones. De las tres temporizaciones cuando se detecta cada bit de datos en este momento, una primera temporización se fija con proximidad al tiempo de inicio del periodo de estabilidad de datos del bit relevante, una segunda temporización se fija con proximidad al tiempo final del periodo de estabilidad de datos del bit relevante, y una tercera temporización se fija en un momento medio entre la primera temporización y la segunda temporización.

Luego, el dispositivo revelado en el Documento 1 de Patente recupera la señal de reloj ajustando las respectivas temporizaciones de modo que todos los datos detectados en las tres temporizaciones para cada bit coincidan, y recupera los datos en este momento detectando los datos de cada bit en la tercera temporización media.

Por el contrario, el dispositivo revelado en el Documento 2 de Patente recupera la señal de reloj ajustando cada temporización de modo que las tasas de errores de bits para cada una entre la primera temporización y la segunda temporización (es decir, las tasas en que los datos detectados en cada una de estas temporizaciones difieren de los datos detectados en la tercera temporización media) sean equivalentes entre sí y, además, estén dentro de la gama de configuración inicial, y recupera datos detectando los datos de cada bit en este momento, en la tercera temporización media.

El Documento 3 de Patente revela un circuito de recuperación de datos de reloj que tiene en cuenta las fluctuaciones en la transición de datos en base a muestras extremas y a la referencia a una pluralidad de patrones de muestra predeterminados.

[Documento 1 de Patente] Solicitud de Acceso Público de Patente Japonesa N° H7-221800

[Documento 2 de Patente] Publicación Nacional de Versión Traducida N° 2004-507963

[Documento 3 de Patente] Publicación de Solicitud de Patente Europea N° EP 1 626 547 A2

45 Divulgación de la invenciónProblema que ha de resolver la invención

Ahora, pues, el tiempo de transición de datos de una señal digital de entrada fluctúa como resultado de la arritmia del reloj transmisor, que es causada por fluctuaciones en el voltaje de la fuente de alimentación y otros ruidos de ese tipo en el transmisor que envió la señal digital, y también fluctúa debido a la interferencia entre símbolos causada por la mezcla de patrones de datos irregulares en la señal digital con la atenuación en el canal de transmisión. Hay casos en los cuales los dispositivos de la técnica antigua, previamente mencionados, pueden no ser capaces de recuperar la señal de reloj y los datos cuando la arritmia del reloj transmisor y la interferencia entre símbolos son altas.

Un objeto de la presente invención, que fue concebida para resolver los problemas anteriormente mencionados, es proporcionar un dispositivo de recuperación de reloj / datos que haga posible recuperar establemente una señal de reloj y datos incluso cuando la arritmia del reloj transmisor y la interferencia entre símbolos son altas.

60 Medios para resolver el problema

Un dispositivo de recuperación de reloj / datos relacionado con la presente invención es para recuperar una señal de reloj y datos, en base a una señal digital de entrada, y comprende un muestreador, un detector, una parte de determinación de desfase y una parte de salida de reloj.

El muestreador recibe una entrada de una señal CK de reloj y una señal CKX de reloj, que tienen el mismo ciclo T, y

también recibe una entrada de la señal digital, proporciona una primera señal aplicando un desfase (-Voff) a la señal digital, proporciona una segunda señal aplicando un desfase (+Voff) a la señal digital y, en cada n-ésimo periodo $T(n)$ de este ciclo, muestrea, retiene y emite un valor digital $DA(n)$ de la primera señal y un valor digital $DB(n)$ de la segunda señal en un momento t_c indicado por la señal CK de reloj, y muestra, retiene y emite un valor digital $DXA(n)$ de la primera señal y un valor digital $DXB(n)$ de la segunda señal en un momento t_x indicado por la señal CKX de reloj. Aquí, " $t_c < t_x$ " y n es un entero.

El detector, en cada periodo $T(n)$, recibe una entrada del valor $DA(n)$, el valor $DB(n)$, el valor $DXA(n)$ y el valor $DXB(n)$ emitidos desde el muestreador, determina un valor $D(n)$ y un valor $DX(n-1)$ fijando " $D(n) = DA(n)$ " y " $DX(n-1) = DXA(n-1)$ ", en un caso donde un valor $D(n-1)$ es de nivel ALTO, y fijando " $D(n) = DB(n)$ " y " $DX(n-1) = DXB(n-1)$ " en un caso donde un valor $D(n-1)$ es de nivel BAJO, y detecta una relación de fase entre la señal CK de reloj y la señal digital en base al valor $D(n-1)$, el valor $DX(n-1)$ y el valor $D(n)$.

La parte de determinación de desfase, en cada periodo $T(n)$, recibe una entrada del valor $D(n)$ y del valor $DX(n)$ determinados por el detector, y ajusta una magnitud del desfase ($\pm Voff$) sumada en el muestreador, de modo que un momento indicado por la señal CKX de reloj constituya el centro de una distribución de tiempos de transición de un valor de la primera señal en un caso donde el valor $D(n-1)$ es de nivel ALTO, y un momento indicado por la señal CKX de reloj constituya el centro de una distribución de tiempos de transmisión de un valor de la segunda señal en un caso donde el valor $D(n-1)$ es de nivel BAJO.

La parte de salida del reloj ajusta bien el ciclo T de la señal CK de reloj, o bien la fase de la señal CK de reloj, en base a la relación de fase detectada por el detector, de modo que una diferencia de fase entre la señal CK de reloj y la señal digital se reduzca, y emite al muestreador la señal CK de reloj y la señal CKX de reloj que satisfacen la relación " $t_x - t_c = T/2$ ".

El dispositivo de recuperación de reloj / datos referido a la presente invención, que está configurado de esta manera, tiene un primer bucle que comprende el muestreador, el detector y la parte de salida de reloj, y también tiene un segundo bucle que comprende el muestreador, el detector y la parte de determinación de desfase. Con el procesamiento de estos dos bucles, las respectivas fases de la señal CK de reloj y la señal CKX de reloj se ajustan para coincidir con la fase de la señal digital de entrada. Además, la magnitud de un desfase ($\pm Voff$) sumada en el muestreador se ajusta a fin de coincidir con el momento máximo de la distribución de tiempos de transición de la primera señal en un caso donde un valor $D(n-1)$ es de nivel ALTO, y se ajusta a fin de coincidir con el momento máximo de la distribución de tiempos de transición de la segunda señal en un caso donde un valor $D(n-1)$ es de nivel BAJO. Luego, una cualquiera entre la señal CK de reloj y la señal CKX de reloj es emitida como la señal de reloj recuperada. Además, los datos de series temporales de un valor digital $D(n)$ se emiten como los datos recuperados.

El detector comprende, preferiblemente, un circuito de detección de relaciones de fase que emite, como una señal que representa la relación de fase, una señal UP que tiene un valor significativo cuando " $D(n-1) \neq DX(n-1) = D(n)$ ", y una señal DN que tiene un valor significativo cuando " $D(n-1) = DX(n-1) \neq D(n)$ ".

La parte de salida de reloj, preferiblemente, ajusta bien el ciclo T de la señal CK de reloj o bien la fase de la señal CK de reloj, en base a la señal UP y la señal DN, y emite la señal CK de reloj y la señal CKX de reloj.

La parte de determinación de desfase, preferiblemente, ajusta la magnitud del desfase $\pm Voff$ sumada en el muestreador, de modo que la diferencia entre un valor de 0,5 y la razón ($\text{cntINTERIOR} / \text{cntBORDE}$) entre un valor cntINTERIOR de suma acumulativa de " $\{D(n) \wedge D(n-1)\} * \{D(n-2) \wedge DX(n-1)\}$ " y un valor cntBORDE de suma acumulativa de " $D(n) \wedge D(n-1)$ " no sea mayor que un valor de referencia.

En cada periodo $T(n)$, solamente en el caso en que existe un periodo en el cual la señal UP y la señal DN, respectivamente, constituyen el valor significativo dentro de los últimos 10 periodos consecutivos ($T(n-9)$ a $T(n)$), incluyendo este periodo, la parte de determinación de desfase, preferiblemente, suma acumulativamente " $\{D(n) \wedge D(n-1)\} * \{D(n-2) \wedge DX(n-1)\}$ " para determinar el valor cntINTERIOR de suma acumulativa, y suma acumulativamente " $D(n) \wedge D(n-1)$ " para determinar el valor cntBORDE de suma acumulativa, y ajusta la magnitud del desfase $\pm Voff$ sumada en el muestreador, de modo que la diferencia entre el valor de 0,5 y la razón ($\text{cntINTERIOR} / \text{cntBORDE}$) no sea mayor que un valor de referencia.

Además, la parte de determinación de desfase, preferiblemente, corrige la magnitud de desfase sumada de acuerdo a un valor $D(n-2)$ en cada periodo $T(n)$.

60 Efecto de la invención

De acuerdo a la presente invención, es posible recuperar establemente una señal de reloj y datos incluso cuando la arritmia del reloj transmisor y la interferencia entre símbolos son altas.

Breve descripción de los dibujos

- La Fig. 1 es un diagrama que muestra esquemáticamente un patrón ocular de una señal digital degradada en onda;
- la Fig. 2 es un diagrama que ilustra la relación entre la temporización en la cual son muestreados los datos de la señal digital, y un desfase;
- 5 la Fig. 3 es un diagrama que muestra un ejemplo del patrón ocular de una señal digital degradada en onda;
- la Fig. 4 es un diagrama que muestra la temporización en la cual se muestrean datos de señal digital en una primera realización;
- 10 la Fig. 5 es un diagrama que muestra una configuración simplificada de un dispositivo 1 completo de recuperación de reloj / datos, referido a la primera realización;
- 15 la Fig. 6 es un diagrama de circuitos del detector 20 incluido en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización;
- la Fig. 7 es una tabla que muestra una tabla de verdad de los valores de entrada-salida de un circuito 24 de detección de relaciones de fase, incluido en el detector 20;
- 20 la Fig. 8 es un diagrama que muestra la relación entre un tiempo de muestreo designado por la señal CKX de reloj y una magnitud Voff de desfase;
- la Fig. 9 es un diagrama de flujo que ilustra el procesamiento en la parte 30 de determinación de desfase incluida en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización;
- 25 la Fig. 10 es un diagrama que muestra la configuración de la parte 40 de salida de reloj incluida en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización;
- la Fig. 11 es un diagrama que muestra una configuración de circuito de una primera modalidad de un circuito 41 de generación de reloj de referencia;
- 30 la Fig. 12 es un diagrama que muestra una configuración de circuito de una segunda modalidad de un circuito 41 de generación de reloj de referencia;
- 35 la Fig. 13 es un diagrama que muestra una configuración de circuito de una tercera modalidad de un circuito 41 de generación de reloj de referencia;
- la Fig. 14 es un diagrama que muestra las temporizaciones de muestreo respectivamente indicadas por la señal CK de reloj y la señal CKX de reloj en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización;
- 40 la Fig. 15 es un diagrama que muestra una configuración simplificada de un dispositivo 2 completo de recuperación de reloj / datos referido a una segunda realización;
- 45 la Fig. 16 es un diagrama de flujo que ilustra el procesamiento en la parte 30A de determinación de desfase incluida en el dispositivo 2 de recuperación de reloj / datos referido a la segunda realización;
- la Fig. 17 es un diagrama que ilustra el procesamiento en la parte 30A de determinación de desfase incluida en el dispositivo 2 de recuperación de reloj / datos referido a la segunda realización;
- 50 la Fig. 18 es un diagrama que muestra una configuración simplificada de un dispositivo 3 completo de recuperación de reloj / datos referido a una tercera realización; y
- 55 la Fig. 19 es un diagrama de flujo que ilustra el procesamiento en la parte 30B de determinación de desfase incluida en el dispositivo 3 de recuperación de reloj / datos referido a la tercera realización.

Explicaciones de números de referencia

- 1... dispositivo de recuperación de reloj / datos, 10... muestreador, 11 a 14... circuito de pestillo, 15 a 18... circuito de suma, 20... detector, 21... circuito de registro, 22, 23... circuito de selección, 24... circuito de detección de relaciones de fase, 30, 30A, 30B... parte de determinación de desfase, 40... parte de salida de reloj, 41... circuito de generación de reloj de referencia, 42... circuito de retardo, 50... convertidor de DA.
- 60

Mejores formas para llevar a cabo la invención

- 65 Las mejores formas para llevar a cabo la presente invención se explicarán en detalle a continuación, con referencia a los dibujos adjuntos. Además, para evitar el palabrerío, se han designado los mismos números de referencia para los

mismos elementos en las descripciones de los dibujos.

La presente invención fue concebida teniendo en cuenta el efecto de patrón que ocurre en una señal digital degradada en onda. En consecuencia, el efecto de patrón se explicará primero. La Fig. 1 es un diagrama que muestra esquemáticamente un patrón ocular de una señal digital degradada en onda. El efecto de patrón ejercido sobre el eje temporal de una señal digital se examinará primero. Según se muestra en esta figura, cuando es analizada una señal digital degradada en onda, el momento en el cual los datos efectúan la transición desde un bit al siguiente bit depende del patrón de datos anteriores a este momento. Es decir, el momento de transición de datos subsiguiente a una sucesión de los mismos datos está relativamente retrasado (líneas continuas en la figura), mientras que el momento de transición de datos subsiguiente a datos que han sido cambiados está relativamente adelantado (líneas discontinuas en la figura).

A continuación, en cuanto al efecto de patrón ejercido sobre el eje del voltaje (nivel) de una señal digital, el nivel de un cierto bit depende del símbolo del bit precedente. Es decir, incluso para el mismo nivel ALTO, un bit será un alto nivel ALTO si el bit precedente es un nivel ALTO, y será un bajo nivel ALTO si el bit precedente es un nivel BAJO. Lo mismo sigue siendo verdad para niveles de voltaje BAJO. La transición subsiguiente de un cierto bit depende del nivel de voltaje de ese bit. Cuando se efectúa la transición desde un alto nivel ALTO a un nivel BAJO, el momento de transición está retrasado porque la transición comienza más lejos que en el caso de una transición desde un bajo nivel BAJO. Lo mismo sigue siendo verdad para una transición desde un bajo nivel BAJO a un nivel ALTO. Un alto nivel ALTO y un bajo nivel BAJO se realizan cuando los dos bits precedentes tienen el mismo nivel de voltaje. Por lo tanto, puede decirse que el momento de transición a continuación de dos bits consecutivos del mismo nivel está retrasado. Visto desde una perspectiva distinta, al efectuar la transición desde un alto nivel ALTO a un nivel BAJO, la onda será más alta que al efectuar la transición desde un bajo nivel BAJO. Lo mismo sigue siendo verdad al efectuar la transición desde un alto nivel BAJO a un nivel ALTO. Un alto nivel ALTO y un alto nivel BAJO se realizan cuando el bit precedente es de nivel ALTO. Por lo tanto, el desfase de la sucesiva onda de transición cambiará según el nivel del bit precedente. Este fenómeno se llama el efecto de patrón. Una fluctuación en el momento de transición de los datos depende de los patrones de datos de los respectivos bits precedentes y, en particular, depende en gran medida de las respectivas diferencias de datos de los dos bits precedentes. Además, una onda de transición de datos depende de los niveles de los bits precedentes y posee un desfase.

Teniendo en cuenta este efecto de patrón, en primer lugar la presente invención trata del efecto de patrón ejercido sobre el eje temporal de la señal digital al segmentar mutuamente y detectar un momento de transición de datos en un caso donde los datos de al menos los dos bits precedentes difieren entre sí, y un momento de transición de datos en un caso donde los datos de al menos los dos bits precedentes son equivalentes entre sí. La presente invención, al hacer uso del hecho de que existe una relación de equivalencia entre un ajuste de temporización de datos y la suma de un desfase, hace que una única señal CKX de reloj indique la temporización máxima de una distribución de tiempos de transición de datos y ajuste la magnitud del desfase Voff, tanto para una primera señal que suma el valor de voltaje desfasado (-Voff) a la señal digital de entrada, como para una segunda señal que suma el valor de voltaje desfasado (+Voff) a la señal digital de entrada.

La Fig. 2 es un diagrama que ilustra la relación de equivalencia entre la temporización de un muestreo de los datos de señales digitales precitadas y un desfase. En la Fig. 2A, la señal representada por la línea discontinua se obtiene sumando un desfase Voff a la señal digital de entrada representada por la línea continua. Cuando se considera el muestreo de la señal a la cual se ha sumado el desfase Voff y la señal digital original ingresada por el mismo circuito de pestillo, la temporización del muestreo de la señal a la cual se ha sumado el desfase Voff es equivalente a la temporización que está adelantada temporalmente en $t_{off} (= Voff / \text{Tasa de giro})$ a la temporización del muestreo de la señal digital original ingresada. Además, el efecto del muestreo de esta señal digital de entrada, a la cual un desfase Voff ha sido sumado por un circuito de pestillo, según se muestra en la Fig. 2B, también puede obtenerse muestreando una señal digital de entrada a la cual no se ha sumado un desfase, usando un umbral (-Voff), es decir, sumando un desfase a un umbral de muestreo.

A continuación, se explicará el efecto de patrón ejercido sobre el eje de voltaje (nivel) de la señal digital precitada. La Fig. 3 es un diagrama que muestra un ejemplo de un patrón ocular de una señal digital degradada en onda. La Fig. 3A muestra un patrón ocular en un caso donde los datos del bit unitario precedente son una mezcla de un nivel ALTO y un nivel BAJO. La Fig. 3B muestra un patrón ocular en un caso donde los datos del bit unitario precedente son solamente de nivel ALTO. La Fig. 3C muestra un patrón ocular de un caso donde los datos del bit unitario precedente son solamente de nivel BAJO. Es decir, la Fig. 3A se obtiene superponiendo la Fig. 3B y la Fig. 3C.

Según se muestra en la Fig. 3A, cuando los datos del bit unitario precedente son una mezcla tanto de un nivel ALTO como de un nivel BAJO, el ojo del patrón ocular es estrecho. Por esta razón, en una determinación del nivel de datos de una señal digital, en un caso donde los datos del bit unitario precedente son de nivel ALTO y de una señal digital en un caso donde los datos del bit unitario precedente son de nivel BAJO, llevada a cabo en base a un único nivel V_{th0} de umbral de voltaje, existe el peligro de que se reduzca el margen V_{m0} del voltaje y de que aumente la tasa de errores. Además, también existe el peligro de que aumente la tasa de errores en el eje temporal debido a la extensión temporal T_{m0} para la cual es asimismo posible una determinación de nivel al acortar.

Sin embargo, según se muestra en la Fig. 3B, el ojo del patrón ocular en un caso donde los datos del bit unitario

precedente son solamente de nivel ALTO es más amplio que en el caso de la Fig. 3A. De manera similar, según se muestra en la Fig. 3C, el ojo del patrón ocular en un caso donde los datos del bit unitario precedente son solamente de nivel BAJO es más amplio que en el caso de la Fig. 3A. Sin embargo, el nivel del ojo del patrón ocular en el caso donde los datos del bit unitario precedente son solamente de nivel ALTO difiere del nivel del ojo del patrón ocular en el caso donde los datos del bit unitario precedente son solamente de nivel BAJO.

Por lo tanto, en el caso donde los datos del bit unitario precedente son solamente de nivel ALTO (Fig. 3B), es posible obtener un margen V_{mH} de voltaje que es mayor que el margen V_{m0} de voltaje, llevando a cabo una determinación de nivel de datos basada en un nivel V_{thH} de umbral de voltaje que es mayor que el nivel V_{th0} de umbral de voltaje, posibilitando por ello reducir la tasa de errores. Además, en el eje temporal es asimismo posible mejorar la resistencia a la arritmia de entrada, dado que la extensión temporal T_{mH} para la cual es posible una determinación de nivel también es más larga que la extensión temporal T_{m0} . De manera similar, en el caso donde los datos del bit unitario precedente son solamente de nivel BAJO (Fig. 3C), es posible obtener un margen V_{mL} de voltaje que sea mayor que el margen V_{m0} de voltaje, llevando a cabo una determinación de nivel de datos basada en un nivel V_{thL} de umbral de voltaje que sea menor que el nivel V_{th0} de umbral de voltaje, posibilitando por ello reducir la tasa de errores. Además, en el eje temporal, es asimismo posible mejorar la resistencia a la arritmia de entrada, dado que la extensión temporal T_{mL} para la cual es posible una determinación de nivel también es más larga que la extensión temporal T_{m0} . Además, un estudio más detallado muestra que el nivel del ojo de un patrón ocular también difiere de acuerdo al nivel de los datos del bit unitario inmediatamente antes del bit unitario precedente.

La presente invención hace uso del hecho de que existe una relación de equivalencia entre el ajuste del nivel V_{th} de umbral de voltaje y la suma de un desfase para ajustar el valor de voltaje de desfase aplicado a la señal digital de entrada, en base a que el nivel de umbral de voltaje está fijado y es distinto al nivel de los datos del bit unitario precedente.

La presente invención fue concebida en base al conocimiento obtenido estudiando en detalle los patrones oculares de señales digitales degradadas en onda, como las mencionadas anteriormente. Una primera realización de la presente invención, que se explicará más adelante en el presente documento, determina una magnitud ($\pm V_{off}$) de desfase sumada y recupera una señal de reloj y datos considerando una señal, obtenida sumando el desfase ($-V_{off}$) a la señal digital de entrada, como una primera señal y considerando una señal, obtenida sumando el desfase ($+V_{off}$) a la señal digital de entrada, como una segunda señal, y realizando el procesamiento requerido para estas señales primera y segunda, en base a la diferencia de los niveles oculares entre un caso donde los datos del bit unitario precedente son de nivel ALTO (Fig. 3B) y un caso donde los datos del bit unitario precedente son de nivel BAJO (Fig. 3C). Además, una segunda realización de la presente invención corrige, en base a la diferencia con respecto al nivel de los datos del bit unitario inmediatamente antes del bit unitario precedente, la magnitud de desfase sumada, determinada de la misma manera que en la primera realización.

(Primera Realización)

A continuación, se explicará la primera realización del dispositivo de recuperación de reloj / datos referido a la presente invención. La Fig. 4 es un diagrama que muestra la temporización con la cual los datos de la señal digital son muestreados en la primera realización. Esta figura muestra esquemáticamente el patrón ocular de señal digital, y también muestra la temporización del muestreo de datos en CKX y CK. El dispositivo 1 de recuperación de reloj / datos referido a esta realización indica la temporización para el muestreo en un periodo de estabilidad de datos con la señal CK de reloj e indica la temporización para el muestreo durante una transición de datos con la señal CKX de reloj para una primera señal y una segunda señal obtenida sumando un desfase ($\pm V_{off}$) a la señal digital.

La señal CK de reloj y la señal CKX de reloj tienen el mismo ciclo. El tiempo t_c de muestreo indicado por la señal CK de reloj y el tiempo t_x de muestreo indicado por la señal CKX de reloj tienen la relación " $t_x - t_c = T/2$ ". Además, los tiempos de muestreo indicados por las dos señales CK y CKX de reloj están alineados en orden en cada uno de los n -ésimos periodos $T(n)$ del ciclo T , donde n es un entero arbitrario.

Se supone que la señal obtenida sumando el desfase ($-V_{off}$) a la señal digital de entrada es la primera señal (= señal digital de entrada $- V_{off}$) y que la señal obtenida sumando el desfase ($+V_{off}$) a la señal digital de entrada es la segunda señal (= señal digital de entrada $+ V_{off}$). En cada periodo $T(n)$, el valor de la primera señal muestreada en un momento indicado por la señal CK de reloj se expresa como $DA(n)$, el valor de la segunda señal muestreada en un momento indicado por la señal CK de reloj se expresa como $DB(n)$, el valor de la primera señal muestreada en un momento indicado por la señal CKX de reloj se expresa como $DXA(n)$ y el valor de la segunda señal muestreada en un momento indicado por la señal CKX de reloj se expresa como $DXB(n)$, donde estos ciclos T y magnitudes V_{off} de desfase son ajustados por el dispositivo 1 de recuperación de reloj / datos.

Además, cada una entre la señal CK de reloj y la señal CKX de reloj puede ser tanto unifásica como multifásica. Por ejemplo, si se considera un caso donde la señal CK de reloj es una señal tetrafásica, se emplean cuatro señales $CK<1>$, $CK<2>$, $CK<3>$ y $CK<4>$ de reloj, cuyos respectivos ciclos son $4T$ y cuyas fases difieren entre sí en pasos de $\pi/2$, y cuatro circuitos de pestillo, correspondientes a estas cuatro señales $CK<1>$ a $CK<4>$ de reloj, se proporcionan en el muestreador. Aunque el tamaño de los circuitos en el muestreador es grande en el caso de una señal multifásica, está

relajada la velocidad requerida para cada bloque de circuitos.

Además, las dos señales CK y CKX de reloj pueden ser señales de reloj autónomas, o bien pueden ser una señal común de reloj. En este último caso, la señal común de reloj tiene un ancho de pulso $T/2$ en el ciclo T, el borde frontal de la señal común de reloj puede representar a la señal CK de reloj, y el borde trasero de la señal común de reloj puede representar a la señal CKX de reloj.

La Fig. 5 es un diagrama que muestra una configuración simplificada del dispositivo 1 completo de recuperación de reloj / datos referido a la primera realización. Como se muestra en esta figura, el dispositivo 1 de recuperación de reloj / datos comprende un muestreador 10, un detector 20, una parte 30 de determinación de desfase, una parte 40 de salida de reloj y un convertidor 50 de DA.

El muestreador 10 comprende cuatro circuitos 11 a 14 de pestillo y cuatro circuitos 15 a 18 de suma, recibe una entrada de una señal CK de reloj y una señal CKX de reloj, que son emitidas desde la parte 40 de salida de reloj, y que tienen el mismo ciclo T, recibe una entrada de un valor ($\pm V_{off}$) de voltaje emitido desde el convertidor 50 de DA y también recibe una entrada de la señal digital señalada para la recuperación. Los circuitos 15, 17 suman el valor ($-V_{off}$) de voltaje de desfase a la señal digital de entrada, y emiten una primera señal, que es el resultado de esta suma, a los circuitos 11, 13 de pestillo. Además, los circuitos 16, 18 de suma suman el valor ($+V_{off}$) de voltaje de desfase a la señal digital de entrada, y emiten una segunda señal, que es el resultado de esta suma, a los circuitos 12, 14 de pestillo.

El circuito 11 de pestillo muestrea y retiene el valor $DA(n)$ de la primera señal en el momento indicado por la señal CK de reloj en cada periodo $T(n)$, y emite el mismo al detector 20. El circuito 12 de pestillo muestrea y retiene el valor $DB(n)$ de la segunda señal en el momento indicado por la señal CK de reloj en cada periodo $T(n)$, y emite el mismo al detector 20. El circuito 13 de pestillo muestrea y retiene el valor $DXA(n)$ de la primera señal en el momento indicado por la señal CKX de reloj en cada periodo $T(n)$, y emite el mismo al detector 20. Además, el circuito 14 de pestillo muestrea y retiene el valor $DXB(n)$ de la segunda señal en el momento indicado por la señal CKX de reloj en cada periodo $T(n)$, y emite el mismo al detector 20.

Además, la configuración también puede ser tal que, además de sumarse un desfase a la señal digital de entrada, también se desfasa el umbral de muestreo en cada circuito de pestillo. De acuerdo a esto, los circuitos 15 a 18 de suma pueden ser omitidos. Además, de acuerdo a esto, los respectivos circuitos 11 a 14 de pestillo recibirán una entrada de un valor de voltaje (bien $+V_{off}$ o bien $-V_{off}$), que es emitido desde el convertidor 50 de DA. Luego, los respectivos circuitos 11 a 14 de pestillo, en el momento indicado bien por la señal CK de reloj o bien por la señal CKX de reloj, muestrean y retienen la señal digital de entrada en un umbral desplazado bien en $+V_{off}$ o bien en $-V_{off}$, y emiten la misma al detector 20. El convertidor 50 de DA emite el voltaje de desfase en sí (bien $+V_{off}$ o bien $-V_{off}$) que está en cada uno de los circuitos 11 a 14 de pestillo aquí, pero, si el umbral de muestreo es una señal que está desfasada bien en $+V_{off}$ o bien en $-V_{off}$ para cada uno de los circuitos 11 a 14 de pestillo, entonces el voltaje de desfase en sí (bien $+V_{off}$ o bien $-V_{off}$) puede no ser necesario.

El detector 20 recibe una entrada de un valor digital $DA(n)$, un valor digital $DB(n)$, un valor digital $DXA(n)$ y un valor digital $DXB(n)$ emitidos desde el muestreador 10 en cada periodo $T(n)$. Luego, el detector 20 determina recurrentemente el valor $D(n)$ y también determina el valor $DX(n-1)$ fijando " $D(n) = DA(n)$ " y " $DX(n-1) = DXA(n-1)$ " en un caso donde el valor $D(n-1)$ es de nivel ALTO, y fijando " $D(n) = DB(n)$ " y " $DX(n-1) = DXB(n-1)$ " en un caso donde el valor $D(n-1)$ es de nivel BAJO. Además, el detector 20 detecta la relación de fase entre la señal CK de reloj y la señal digital, en base a los valores $D(n-1)$, $DX(n-1)$ y $D(n)$. El detector 20 emite el valor $D(n)$ y el valor $DX(n)$ a la parte 30 de determinación de desfase, y emite a la parte 40 de salida de reloj la señal UP y la señal DN que representan la relación de fase.

La parte 30 de determinación de desfase, en cada periodo $T(n)$, recibe una entrada de un valor digital $D(n)$ y un valor digital $DX(n)$ emitido desde el detector 20. Luego, la parte 30 de determinación de desfase determina la magnitud de un desfase ($\pm V_{off}$) sumado en el muestreador 10, de modo que el momento indicado por la señal CKX de reloj en un caso donde el valor $D(n-1)$ sea de nivel ALTO constituya el centro de una distribución de tiempos de transición de valores de la primera señal, y el momento indicado por la señal CK de reloj en un caso donde el valor $D(n-1)$ es de nivel BAJO constituya el centro de una distribución de tiempos de transición de valores de la segunda señal, y esta magnitud determinada V_{off} de desfase sumado es notificada al convertidor 50 de DA.

La parte 40 de salida de reloj ajusta bien el ciclo T o bien la fase, en base a la señal UP y la señal DN que representan la relación de fase detectada por el detector 20, de modo que la diferencia de fase entre la señal CK de reloj y la señal digital disminuya, y emite al muestreador 10 la señal CK de reloj y la señal CKX de reloj que satisfacen la relación " $t_x - t_c = T/2$ ". Además, el convertidor 50 de DA emite al muestreador 10 la magnitud de desfase sumada, notificada desde la parte 30 de determinación de desfase como un valor analógico de voltaje.

La Fig. 6 es un diagrama de circuitos del detector 20 incluido en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización. El detector 20 comprende un circuito 21 de registro, un circuito 22 de selección, un circuito 23 de selección y un circuito 24 de detección de relación de fase.

El circuito 21 de registro, en cada periodo $T(n)$, recibe una entrada de un valor digital $DA(n)$, un valor digital $DB(n)$, un

valor digital DXA(n) y un valor digital DXB(n), que son emitidos desde el muestreador 10, y recibe una entrada de un valor digital D(n), que es emitido desde el circuito 22 de selección, retiene estos valores durante un periodo fijo de tiempo y emite los mismos con una temporización predeterminada. Es decir, el circuito 21 de registro emite el valor DA(n), el valor DB(n), el valor DXA(n-1), el valor DXB(n-1) y el valor D(n-1) en el mismo momento en un cierto periodo.

5 El circuito 22 de selección recibe una entrada del valor DA(n), el valor DB(n) y el valor D(n-1), que son emitidos desde el circuito 21 de registro, emite el valor DA(n) como el valor D(n) en un caso donde el valor D(n-1) es de nivel ALTO, y emite el valor DB(n) como el valor D(n) en un caso donde el valor D(n-1) es de nivel BAJO.

10 El circuito 23 de selección recibe una entrada del valor DXA(n-1), el valor DXB(n-1) y el valor D(n-1), que son emitidos desde el circuito 21 de registro, emite el valor DXA(n-1) como el valor DX(n-1) en un caso donde el valor D(n-1) es de nivel ALTO, y emite el valor DXB(n-1) como el valor DX(n-1) en un caso donde el valor D(n-1) es de nivel BAJO.

15 El circuito 24 de detección de relaciones de fase recibe una entrada de un valor D(n-1), que es emitido desde el circuito 21 de registro, recibe una entrada de un valor D(n), que es emitido desde el circuito 22 de selección, y recibe una entrada de un valor DX(n-1), que es emitido desde el circuito 23 de selección, y emite la señal UP y la señal DN llevando a cabo una operación lógica de acuerdo a una tabla de verdad mostrada en la Fig. 7. Es decir, el circuito 24 de detección de relaciones de fase emite, como una señal que representa la relación de fase, la señal UP, que constituye el valor significativo en un caso donde "D(n-1) ≠ DX(n-1) = D(n)", y la señal DN, que constituye el valor significativo en un caso donde "D(n-1) = DX(n-1) ≠ D(n)".

25 La Fig. 8 es un diagrama que muestra la relación entre un momento de muestreo designado por la señal CKX de reloj y una magnitud Voff de desfase. Como se muestra en la Fig. 8 (a), cuando el momento de muestreo indicado por la señal CKX de reloj, en un caso donde el valor D(n-1) es de nivel ALTO, queda detrás del momento central de la distribución de tiempos de transición de los valores de la primera señal, y el momento de muestreo indicado por la señal CKX de reloj, en un caso donde el valor D(n-1) es de nivel BAJO, está adelantado al momento central de la distribución de tiempos de transición de los valores de la segunda señal, la magnitud Voff de desfase ha de aumentarse.

30 Por el contrario, según se muestra en la Fig. 8 (b), cuando el momento de muestreo indicado por la señal CKX de reloj, en un caso donde el valor D(n-1) es de nivel ALTO, está adelantado al momento central de la distribución de tiempos de transición de los valores de la primera señal y el momento de muestreo indicado por la señal CKX de reloj, en un caso donde el valor D(n-1) es de nivel BAJO, se queda detrás del momento central de la distribución de tiempos de transición de los valores de la segunda señal, la magnitud Voff de desfase ha de reducirse. Además, esta figura ilustra un caso donde el valor de la señal digital efectúa la transición desde el nivel BAJO al nivel ALTO, pero es lo mismo en un caso donde el valor de la señal digital efectúa la transición desde el nivel ALTO al nivel BAJO.

35 La parte 30 de determinación de desfase toma una determinación y ajusta la magnitud Voff de desfase según se ilustra en la Fig. 8. La Fig. 9 es un diagrama de flujo que explica el procesamiento en la parte 30 de determinación de desfase incluida en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización. La parte 30 de determinación de desfase utiliza una variable cntBORDE, una variable cntINTERIOR, una constante cntBORDETH, una constante ancho, un valor D(n) y un valor DX(n) para llevar a cabo el siguiente procesamiento.

40 En la Etapa S10, la parte 30 de determinación de desfase fija los valores, tanto de la variable cntBORDE como de la variable cntINTERIOR, en el valor inicial 0. Luego, en la Etapa S12, la parte 30 de determinación de desfase suma el valor de "D(n) ^ D(n-1)" al valor de la variable cntBORDE, y hace de este valor de la suma el nuevo valor de la variable cntBORDE. Además, en la Etapa S12, la parte 30 de determinación de desfase suma el valor de "{D(n) ^ D(n-1)} * {D(n-2) ^ DX(n-1)}" al valor de la variable cntINTERIOR, y hace de este valor de la suma el nuevo valor de la variable cntINTERIOR. El símbolo " ^ " de operación aquí representa un O lógico exclusivo. Luego, en la Etapa S13, la parte 30 de determinación de desfase determina si el valor de la variable cntBORDE es o no equivalente a la constante cntBORDETH y, si el valor de la variable cntBORDE llega a la constante cntBORDETH, avanza a la Etapa S14 y, si el valor de la variable cntBORDE no llega a la constante cntBORDETH, vuelve a la Etapa S12.

50 El procesamiento de cualquiera entre la Etapa S12 y la Etapa S13 se lleva a cabo una vez en cada periodo T(n). Es decir, el procesamiento de la Etapa S12 se lleva a cabo una vez en cada uno de los periodos del ciclo T hasta que se toma una determinación en la Etapa S13 en cuanto a que el valor de la variable cntBORDE ha llegado a la constante cntBORDETH. Luego, en el punto en que se determina que el valor de la variable cntBORDE ha llegado a la constante cntBORDETH en la Etapa S13 y el procesamiento avanza a la Etapa S14, la razón del valor de la variable cntINTERIOR con respecto al valor de la variable cntBORDE indica si es la Fig. 8 (a) o (b).

55 En la Etapa S14 y la Etapa S15, la parte 30 de determinación de desfase determina si el valor de la variable cntINTERIOR está relacionado de alguna manera con una gama fija, que esté centrada en un valor igual a 0,5 veces el valor de la variable cntBORDE, y que tenga un ancho de 2ancho. En un caso en que se determina que el valor de la variable cntINTERIOR es más pequeño que el valor obtenido restando la constante positiva ancho a 0,5 veces el valor de la variable cntBORDE (0,5*cntBORDE - ancho), la parte 30 de determinación de desfase suma una magnitud Voff de desfase en la etapa S16 y notifica la nueva magnitud Voff de desfase al convertidor 50 de DA. En un caso en que se determina que el valor de la variable cntINTERIOR es mayor que el valor obtenido sumando la constante positiva ancho

a 0,5 veces el valor de la variable cntBORDE ($0,5 * \text{cntBORDE} + \text{ancho}$), la parte 30 de determinación de desfase reduce la magnitud Voff de desfase en la etapa S17 y notifica la nueva magnitud Voff de desfase al convertidor 50 de DA. Además, en un caso en que se determina que el valor de la variable cntINTERIOR queda dentro de la gama fija precitada, la parte 30 de determinación de desfase mantiene la magnitud Voff de desfase en la etapa S18.

5 Es decir, en las Etapas S14 a S18, la parte 30 de determinación de desfase lleva a cabo un procesamiento distinto en los tres casos (a) a (c), según se muestra a continuación en el presente documento. Luego, cuando el procesamiento de cualquiera de las Etapas S16 a S18 esté completo, la parte 30 de determinación de desfase vuelve a la etapa S10, y se repite el procesamiento descrito hasta este punto.

10 [E1]

(a) Cuando " $\text{cntINTERIOR} < 0,5 * \text{cntBORDE} - \text{ancho}$ " -> aumentar Voff

15 (b) Cuando " $0,5 * \text{cntBORDE} + \text{ancho} < \text{cntINTERIOR}$ " -> reducir Voff

(c) Cuando el valor de cntINTERIOR esté dentro de la gama fija -> mantener Voff

20 De acuerdo a la parte 30 de determinación de desfase al llevar a cabo el procesamiento precitado, la magnitud de desfase sumada ($\pm \text{Voff}$) se ajusta de modo que el valor de la variable cntINTERIOR caiga dentro de la gama fija (de $0,5 * \text{cntBORDE} - \text{ancho}$ a $0,5 * \text{cntBORDE} + \text{ancho}$). Al hacerlo así, el tiempo de muestreo indicado por la señal CKX de reloj se ajusta a fin de coincidir con el momento central de la distribución de tiempos de transición de los respectivos valores de la primera señal y de la segunda señal.

25 La parte 40 de salida de reloj, en base a la señal UP y la señal DN que representan la relación de fase detectada por el detector 20, ajusta bien el ciclo T o bien la fase, de modo que la diferencia de fase entre la señal CK de reloj y la señal digital disminuya, y emite al muestreador 10 la señal CK de reloj y la señal CKX de reloj. La Fig. 10 es un diagrama que muestra la configuración de la parte 40 de salida de reloj incluida en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización. Según se muestra en esta figura, la parte 40 de salida de reloj comprende un circuito 41 de generación de reloj de referencia y un circuito 42 de retardo.

30 El circuito 41 de generación de reloj de referencia genera una señal de reloj de referencia que ajusta bien el ciclo T o bien la fase, en base a la señal UP y la señal DN emitidas desde el detector 20. La configuración de circuito del circuito 41 de generación de reloj de referencia puede incluir diversas modalidades, tales como las mostradas en las Figs. 11 a 13. El circuito 42 de retardo hace de la señal de reloj de referencia, emitida desde el circuito 41 de generación de reloj de referencia, aplica un retardo de $T / 2$ a la misma, para hacer la señal CKX de reloj, y emite la señal CK de reloj y la señal CKX de reloj.

35 La Fig. 11 es un diagrama que muestra la configuración de circuito de una primera modalidad del circuito 41 de generación de reloj de referencia. El circuito 41A de generación de reloj de referencia mostrado en esta figura comprende un circuito 411 CP (Bomba de Carga), un circuito 412 LPF (Filtro de Paso Bajo) y un circuito 413 VCO (Oscilador Controlado por Voltaje). En el circuito 41A de generación de reloj de referencia, el circuito 411 CP, que recibe una entrada de la señal UP y de la señal DN emitidas desde el detector 20, emite un pulso de corriente eléctrica, bien de carga o bien de descarga, al circuito 412 LPF, de acuerdo a si la señal UP, o bien la señal DN, es el valor significativo. El circuito 412 LPF recibe una entrada del pulso de corriente eléctrica, que es emitido desde el circuito 411 CP, y aumenta o disminuye el valor del voltaje de salida de acuerdo bien a la carga o bien a la descarga por parte del pulso de corriente eléctrica emitido al mismo. El circuito 413 VCO genera entonces una señal de reloj de un ciclo, que corresponde al valor del voltaje de salida desde el circuito 412 LFP, y emite esta señal de reloj de referencia al circuito 42 de retardo. El ciclo de la señal de reloj emitida desde el circuito 413 VCO al circuito 42 de retardo se ajusta en base a la señal UP y a la señal DN.

40 La Fig. 12 es un diagrama que muestra la configuración de circuito de una segunda modalidad del circuito 41 de generación de reloj de referencia. Un circuito 41B de generación de reloj de referencia, que se muestra en esta figura, comprende el circuito 411 CP, el circuito 412 LPF, un circuito 414 PLL (Bucle de Bloqueo de Fase) y el circuito 415 de retardo variable. En este circuito 41B de generación de reloj de referencia, el circuito 411 CP, que recibe una entrada de la señal UP y de la señal DN emitidas desde el detector 20, emite un pulso de corriente eléctrica, bien de carga o bien de descarga, al circuito 412 LPF, de acuerdo a si bien la señal UP o bien la señal DN es el valor significativo. El circuito 412 LPF recibe una entrada del pulso de corriente eléctrica emitido desde el circuito 411 CP y aumenta o disminuye el valor del voltaje de salida de acuerdo a la carga o descarga por parte del pulso de corriente eléctrica ingresado al mismo. El circuito 414 PLL genera un reloj multifásico a partir de un reloj REFCLK de entrada y emite este reloj multifásico al circuito 415 de retardo variable. Luego, el circuito 415 de retardo variable recibe una entrada del reloj multifásico emitida desde el circuito 414 PLL, aplica un retardo, que corresponde al valor de voltaje emitido desde el circuito 412 LPF, al reloj multifásico, y emite este reloj con retardo aplicado al circuito 42 de retardo. La fase de la señal de reloj emitida desde el circuito 414 de retardo variable al circuito 42 de retardo se ajusta en base a la señal UP y a la señal DN. Además, puede usarse un circuito DLL (Bucle de Bloqueo de Retardo) en lugar del circuito PLL.

La Fig. 13 es un diagrama que muestra la configuración de circuito de una tercera modalidad del circuito 41 de generación de reloj de referencia. El circuito 41C de generación de reloj de referencia mostrado en esta figura comprende el circuito 414 PLL, un circuito 416 de control de fase y un circuito 417 de interpolación de fase. En este circuito 41C de generación de reloj de referencia, el circuito 416 de control de fase, que recibe una entrada de la señal UP y de la señal DN emitidas desde el detector 20, emite una señal de control que indica un aumento o disminución en la magnitud de ajuste de fase del circuito 417 de interpolación de fase, de acuerdo a si bien la señal UP o bien la señal DN es el valor significativo. El circuito 414 PLL genera un reloj multifásico a partir del reloj REFCLK de entrada y emite el reloj multifásico al circuito 417 de interpolación de fase. El circuito 417 de interpolación de fase recibe luego una entrada del reloj multifásico emitida desde el circuito 414 PLL, usa la interpolación para ajustar la fase del reloj multifásico, en base a la señal de control emitida desde el circuito 416 de control de fase, y emite el reloj ajustado en fase de la misma al circuito 42 de retardo. La fase de la señal de reloj emitida desde el circuito 417 de interpolación de fase al circuito 42 de retardo se ajusta en base a la señal UP y a la señal DN. Además, puede usarse un circuito DLL en lugar del circuito PLL.

El dispositivo 1 de recuperación de reloj / datos, que está configurado de esta manera, tiene un primer bucle que comprende el muestreador 10, el detector 20 y la parte 40 de salida de reloj, y también tiene un segundo bucle que comprende el muestreador 10, el detector 20, la parte 30 de determinación de desfase y el convertidor 50 de DA. Por el procesamiento de estos dos bucles, las respectivas fases de la señal CK de reloj y de la señal CKX de reloj son ajustadas para coincidir con la fase de la señal digital de entrada. La magnitud de un desfase ($\pm V_{off}$) sumada en el muestreador 10 se ajusta a fin de coincidir con el momento máximo de la distribución de tiempos de transición de la primera señal en un caso en que el valor $D(n-1)$ es de nivel ALTO, y se ajusta a fin de coincidir con el momento máximo de la distribución de tiempos de transición de datos de la segunda señal en un caso en que el valor $D(n-1)$ sea de nivel BAJO. Luego, alguna entre la señal CK de reloj y la señal CKX de reloj se emite como la señal de reloj recuperada. Además, datos de series temporales de un valor digital $D(n)$ se emiten como los datos recuperados.

La Fig. 14 es un diagrama que muestra las temporizaciones de muestreos indicados tanto por la señal CK de reloj como por la señal CKX de reloj en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización. La Fig. 14 (a) muestra cómo cambia el estado en el cual un patrón ocular de la señal digital de entrada cambia a lo largo del tiempo. Además, la Fig. 14 (b) muestra el patrón ocular de la señal digital de entrada durante un largo periodo de tiempo. Una fluctuación en el tiempo de transición de datos de la señal digital de entrada tiene lugar como resultado de la arritmia del reloj transmisor, que es causada por fluctuaciones en el voltaje de la fuente de alimentación y otros ruidos tales en el transmisor que envió la señal digital, y también fluctúa debido a interferencia entre símbolos, causada por la mezcla de patrones de datos irregulares en la señal digital con la atenuación en el canal de transmisión.

En la Fig. 14 (a), la línea de puntos dobles, que conecta cronológicamente los momentos centrales de los periodos de estabilidad de datos, constituye una línea curva, a causa de la arritmia del reloj transmisor. Además, el fenómeno por el cual difieren los tiempos de transición de datos, según la diferencia entre el valor $D(n-2)$ y el valor $D(n-1)$ de los dos bits precedentes, está causado por la interferencia entre símbolos. En los casos en que la arritmia del reloj transmisor es alta, el ojo se cierra en un patrón ocular que abarca un largo periodo temporal de la señal digital de entrada, según se muestra en la Fig. 14 (b), y cuando se hace un intento de hacer coincidir los tiempos de muestreo de la señal digital cerca de los dos extremos de la distribución del tiempo de transición de datos, como según el dispositivo revelado en el Documento 2 de Patente, los tiempos de muestreo no pueden ser establecidos, imposibilitando también por ello establecer el momento central del periodo de estabilidad de datos.

En contraste, en el dispositivo 1 de recuperación de reloj / datos referido a la primera realización, la señal obtenida sumando el desfase ($-V_{off}$) a la señal digital de entrada se considera como la primera señal, y la señal obtenida sumando el desfase ($+V_{off}$) a la señal digital de entrada se considera como la segunda señal en el muestreador 10, y en cada uno de los n -ésimos periodos $T(n)$, se muestrean, retienen y emiten un valor digital $DA(n)$ de la primera señal y un valor digital $DB(n)$ de la segunda señal, en un momento indicado por la señal CK de reloj, y se muestrean, retienen y emiten un valor digital $DXA(n)$ de la primera señal y un valor digital $DXB(n)$ de la segunda señal, en un momento indicado por la señal CKX de reloj.

Luego, en esta realización, se usan " $D(n) = DA(n)$ " y " $DX(n) = DXA(n)$ " cuando el valor de $D(n-1)$ es de nivel ALTO, " $D(n) = DB(n)$ " y " $DX(n) = DXB(n)$ " se usan cuando el valor $D(n-1)$ es de nivel BAJO, se determinan el valor $D(n)$ y el valor $DX(n)$ y, en base a ello, se detecta la relación de fase entre la señal CK de reloj y la señal digital, y se ajustan las fases tanto de la señal CK de reloj como de la señal CKX de reloj. Además, la magnitud de desfase sumada ($\pm V_{off}$) en el muestreador 10 se ajusta de modo que el momento indicado por la señal CKX de reloj, en un caso en que el valor $D(n-1)$ sea de nivel ALTO, constituya el centro de la distribución de tiempos de transición de los valores de la primera señal y, además, el momento indicado por la señal CKX de reloj, en un caso en que el valor $D(n-1)$ sea de nivel BAJO, constituya el centro de la distribución de tiempos de transición de los valores de la segunda señal.

De acuerdo a esto, los momentos de temporización indicados tanto por la señal CK de reloj como por la señal CKX de reloj pueden determinarse en un breve periodo de tiempo. Es decir, el dispositivo 1 de recuperación de reloj / datos referido a la primera realización es capaz de restaurar establemente la señal de reloj y los datos incluso en los casos en que la arritmia del reloj transmisor y la interferencia entre símbolos son altas.

(Segunda Realización)

A continuación, se explicará una segunda realización del dispositivo de recuperación de reloj / datos referido a la presente invención. La Fig. 15 es un diagrama que muestra una configuración simplificada del dispositivo 2 completo de recuperación de reloj / datos referido a la segunda realización. El dispositivo 2 de recuperación de reloj / datos referido a la segunda realización, mostrado en la Fig. 15, difiere de la configuración del dispositivo 1 de recuperación de reloj / datos referido a la primera realización, mostrado en la Fig. 5, en cuanto a que el dispositivo 2 de recuperación de reloj / datos comprende una parte 30A de determinación de desfase en lugar de la parte 30 de determinación de desfase.

La parte 30A de determinación de desfase, en cada periodo $T(n)$, recibe una entrada de un valor digital $D(n)$ y un valor digital $DX(n)$ emitidos desde el detector 20. Luego la parte 30A de determinación de desfase determina la magnitud de un desfase sumado en el muestreador 10 de modo que el momento indicado por la señal CKX de reloj, en un caso en que el valor $D(n-1)$ sea de nivel ALTO, constituya el centro de la distribución de tiempos de transición de los valores de una primera señal y, además, el momento indicado por la señal CKX de reloj, en un caso en que el valor $D(n-1)$ sea de nivel BAJO, constituya el centro de la distribución de tiempos de transición de los valores de una segunda señal, y notifica la magnitud determinada del desfase sumado al convertidor 50 de DA.

La parte 30A de determinación de desfase en la segunda realización lleva a cabo esencialmente el mismo procesamiento que la parte 30 de determinación de desfase de la primera realización. Este procesamiento difiere en los puntos citados más adelante. En otras palabras, la parte 30A de determinación de desfase, en cada periodo $T(n)$, determina si llevar a cabo o no el procesamiento de suma acumulativa tanto para el valor cntINTERIOR de suma acumulativa como para el valor cntBORDE de suma acumulativa, de acuerdo al valor de una entre la señal UP y la señal DN, que caiga dentro de 10 periodos pasados consecutivos ($T(n-9)$ a $T(n)$), incluyendo el periodo.

La Fig. 16 es un diagrama de flujo que explica el procesamiento de la parte 30A de determinación de desfase incluida en el dispositivo 2 de recuperación de reloj / datos referido a la segunda realización. El procesamiento de la parte 30A de determinación de desfase de la segunda realización, mostrada en la Fig. 16, difiere del de la parte 30 de determinación de desfase de la primera realización, mostrada en la Fig. 9, en cuanto a que el procesamiento de la parte 30A de determinación de desfase comprende adicionalmente una Etapa S11 entre la Etapa S10 y la Etapa S12.

En la Etapa S11, se toma una determinación en cada periodo $T(n)$ en cuanto a si un periodo, en el cual la señal UP y la señal DN constituyen, respectivamente, el valor significativo, existe o no dentro de los últimos 10 periodos ($T(n-9)$ a $T(n)$) y, cuando se determina que existe tal periodo, el procesamiento avanza a la Etapa S12, y cuando se determina que no existe un periodo de ese tipo, el procesamiento de la Etapa S11 se lleva a cabo una vez más en el próximo periodo, sin avanzar a la Etapa S12. La Fig. 17 es un diagrama que ilustra el procesamiento de la parte 30A de determinación de desfase incluida en el dispositivo 2 de recuperación de reloj / datos referido a la segunda realización. En esta figura, el periodo etiquetado como "UP" es el periodo en el cual la señal UP es el valor significativo, el periodo etiquetado como "DN" es el periodo en el cual la señal DN es el valor significativo, y las columnas en blanco son periodos en los cuales tanto la señal UP como la señal DN son valores insignificantes.

Es decir, en un caso en que un periodo, en el cual la señal UP constituye el valor significativo, existe dentro de la extensión de 10 periodos ($T(n-9)$ a $T(n)$), y en un caso en que un periodo, en el cual la señal DN constituye el valor significativo, existe dentro de una extensión de 10 periodos ($T(n-9)$ a $T(n)$) (Fig. 17 (a)), la parte 30A de determinación de desfase, en cada periodo $T(n)$, suma acumulativamente " $\{D(n) \wedge D(n-1)\} * \{D(n-2) \wedge DX(n-1)\}$ " para determinar el valor cntINTERIOR de suma acumulativa, y suma acumulativamente " $D(n) \wedge D(n-1)$ " para determinar el valor cntBORDE de suma acumulativa en la Etapa S12. Sin embargo, tanto en un caso en que la señal DN es siempre el valor insignificante en una extensión de 10 periodos ($T(n-9)$ a $T(n)$) (Fig. 17 (b)), como en un caso en que la señal UP es siempre el valor insignificante en una extensión de 10 periodos ($T(n-9)$ a $T(n)$) (Fig. 17 (c)), la parte 30A de determinación de desfase no lleva a cabo el procesamiento de suma acumulativa tanto para el valor cntINTERIOR de suma acumulativa como para el valor cntBORDE de suma acumulativa.

Luego, cuando la parte 30A de determinación de desfase determina que el procesamiento de suma acumulativa fue llevado a cabo solamente el número de veces de la constante cntBORDETH en la Etapa S13, la parte 30A de determinación de desfase, en las Etapas S14 a S18, aumenta, disminuye o bien mantiene la magnitud de desfase aplicada de acuerdo a la relación de los valores de cada una de las variables cntBORDE y cntINTERIOR, determinando por ello la magnitud de un desfase sumado en el muestreador 10, de modo que la diferencia entre la razón ($\text{cntINTERIOR} / \text{cntBORDE}$) y el valor 0,5 no sea mayor que un valor de referencia.

Además, la razón para tomar una determinación en la Etapa S11 en cuanto a si la señal UP y la señal DN, respectivamente, constituyen o no el valor significativo sobre la extensión de 10 periodos es la siguiente. Esto es, en un caso en que hay una transición de datos entre un cierto bit y el próximo bit de la señal digital de entrada, una entre la señal UP y la señal DN constituye el valor significativo y la otra constituye el valor insignificante. En un caso en que no hay ninguna transición de datos entre un cierto bit y el próximo bit de la señal digital de entrada, tanto la señal UP como la señal DN constituyen el valor insignificante.

Si las fases tanto de la señal CK de reloj como de la señal CKX de reloj son correctas, según se muestra en la Fig. 17 (a), existen tanto un periodo en el cual la señal UP es el valor significativo como un periodo en el cual la señal DN es el

valor significativo, dentro de una sucesión de una cierta pluralidad de periodos. Sin embargo, si las fases tanto de la señal CK de reloj como de la señal CKX de reloj están desalineadas, la señal DN siempre constituye el valor insignificante, según se muestra en la Fig. 17 (b), y la señal UP siempre constituye el valor insignificante, según se muestra en la Fig. 17 (c), dentro de la sucesión de dicha cierta pluralidad de periodos.

5 El símbolo 8B10B, que se usa en una comunicación de datos en serie, garantiza que hay no menos de dos transiciones de datos dentro de 10 bits. Por lo tanto, si se determina, sobre la extensión de 10 periodos, si existen o no periodos en los cuales la señal UP y la señal DN constituyen respectivamente el valor significativo, mientras las fases tanto de la señal CK de reloj como de la señal CKX de reloj sean correctas, habrá un periodo en cual la señal UP constituye el valor significativo, y también habrá un periodo en el cual la señal DN constituye el valor significativo en esta extensión de 10 periodos.

15 Por el contrario, en un caso en que la señal DN es siempre el valor insignificante sobre la extensión de 10 periodos, o en un caso en que la señal UP siempre es el valor insignificante sobre la extensión de 10 periodos, se determina que las fases tanto de la señal CK de reloj como de la señal CKX de reloj están desalineadas, imposibilitando por ello detectar exactamente la desviación de la magnitud de desfase sumada Voff con respecto al valor correcto.

20 En consecuencia, la parte 30A de determinación de desfase de la segunda realización, tomando una determinación en la Etapa S11 en cuanto a si existen o no periodos dentro de los últimos 10 periodos consecutivos en los cuales la señal UP y la señal DN, respectivamente, constituyen el valor significativo, determina si las fases tanto de la señal CK de reloj como de la señal CKX de reloj son o no correctas y, si estas fases son correctas, lleva a cabo el procesamiento de suma acumulativa en la Etapa S12.

25 De acuerdo a esto, el dispositivo 2 de recuperación de reloj / datos referido a la segunda realización es capaz de recuperar la señal de reloj y los datos más establemente que en la primera realización, incluso en casos en que la arritmia del reloj transmisor y la interferencia entre símbolos son altas.

(Tercera Realización)

30 A continuación, se explicará una tercera realización del dispositivo de recuperación de reloj / datos referido a la presente invención. La Fig. 18 es un diagrama que muestra una configuración simplificada del dispositivo 3 completo de recuperación de reloj / datos referido a la tercera realización. El dispositivo 3 de recuperación de reloj / datos referido a la tercera realización, mostrado en la Fig. 18, difiere de la configuración del dispositivo 2 de recuperación de reloj / datos referido a la segunda realización, mostrado en la Fig. 5, en cuanto a que el dispositivo 3 de recuperación de reloj / datos comprende una parte 30B de determinación de desfase en lugar de la parte 30A de determinación de desfase.

40 La parte 30B de determinación de desfase, en cada periodo $T(n)$, ingresa un valor digital $D(n)$ y un valor digital $DX(n)$ emitidos desde el detector 20. Luego, la parte 30B de determinación de desfase determina una magnitud de un desfase sumado en el muestreador 10, de modo que el momento indicado por la señal CKX de reloj, en un caso en que el valor $D(n-1)$ es de nivel ALTO, constituya el centro de la distribución de tiempos de transición de los valores de una primera señal y, además, el momento indicado por la señal CKX de reloj, en un caso en que el valor $D(n-1)$ es de nivel BAJO, constituya el centro de la distribución de tiempos de transición de los valores de una segunda señal, y notifica la magnitud determinada de desfase sumado al convertidor 50 de DA.

45 La parte 30B de determinación de desfase en la tercera realización lleva a cabo esencialmente el mismo procesamiento que la parte 30A de determinación de desfase de la segunda realización, pero este procesamiento difiere según lo citado a continuación. En otras palabras, en cada periodo $T(n)$, a continuación de determinar tentativamente la magnitud de desfase sumada, igual que en la segunda realización, la parte 30B de determinación de desfase determina este valor de desfase sumado haciendo correcciones de acuerdo al valor $D(n-2)$, y notifica esta magnitud de desfase sumada tras la corrección al convertidor 50 de DA.

55 Como ya se ha explicado usando la Fig. 3, la magnitud de desfase para una señal digital degradada en onda diferirá no solamente en el momento de una transición, sino también durante un periodo de estabilidad, y esta magnitud de desfase no solamente depende del nivel del bit precedente a la señal digital de entrada, sino que, más bien, también depende del nivel del bit inmediatamente antes de este bit precedente. Por lo tanto, la parte 30B de determinación de desfase lleva a cabo el ajuste de la magnitud de desfase sumada, que está en una relación de equivalencia con el ajuste del nivel de umbral del voltaje, para fijar efectivamente el nivel de umbral del voltaje, de modo que el margen ocular aumente de acuerdo al nivel del bit precedente. Es decir, mientras que solamente el nivel del bit precedente a la señal digital de entrada se considera en la primera realización y la segunda realización, en la tercera realización, la magnitud de desfase sumada en el muestreador 10 se determina teniendo en consideración el nivel del bit precedente, así como el nivel del bit inmediatamente previo al mismo.

65 La Fig. 19 es un diagrama de flujo que explica el procesamiento de la parte 30B de determinación de desfase incluida en el dispositivo 3 de recuperación de reloj / datos referido a una tercera realización. La parte 30B de determinación de desfase usa una variable BORDE, una variable cntBORDE, una variable cntINTERIOR[1], una variable cntINTERIOR[2], una variable Voff[1], una variable c[2], una constante cntBORDETH, una constante ancho[1], una constante ancho[2], un

valor $D(n)$ y un valor $DX(n)$ para llevar a cabo el siguiente procesamiento.

En la Etapa S20, tanto la variable $cntBORDE$, como la variable $cntINTERIOR[1]$, como la variable $cntINTERIOR[2]$, se fijan en el valor inicial 0. Luego, en la Etapa S21, se toma una determinación en cada periodo $T(n)$ en cuanto a si existen o no periodos dentro de los últimos 10 periodos ($T(n-9)$ a $T(n)$) en los cuales la señal UP y la señal DN, respectivamente, constituyan el valor significativo y, cuando existen tales periodos, la parte 30B de determinación de desfase avanza a la Etapa S22 y, cuando tales periodos no existen, la parte 30B de determinación de desfase lleva a cabo el procesamiento de la Etapa S21 una vez más en el próximo periodo, sin avanzar a la Etapa S22.

En la Etapa S22, la parte 30B de determinación de desfase fija el valor de " $D(n) \wedge D(n-1)$ " en el valor de la variable $BORDE$, suma esto al valor de la variable $cntBORDE$, y hace de este valor de la suma el nuevo valor de la variable $cntBORDE$. En la Etapa S22, la parte 30B de determinación de desfase suma el valor de " $BORDE * \{D(n-2) \wedge D(n-1)\}$ " al valor de la variable $cntINTERIOR[1]$, y hace de este valor de la suma el nuevo valor de la variable $cntINTERIOR[1]$. Además, en la Etapa S22, la parte 30B de determinación de desfase suma el valor de " $BORDE * \{D(n-3) \wedge DX(-1)\}$ " al valor de la variable $cntINTERIOR[2]$, y hace de este valor de la suma el nuevo valor de la variable $cntINTERIOR[2]$. El símbolo de operación " \wedge " aquí representa un O lógico exclusivo. Luego, en la Etapa S23, la parte 30B de determinación de desfase determina si el valor de la variable $cntBORDE$ es o no equivalente a la constante $cntBORDETH$ y, si el valor de la variable $cntBORDE$ llega a la constante $cntBORDETH$, avanza a la Etapa S24 y, si el valor de la variable $cntBORDE$ no llega a la constante $cntBORDETH$, vuelve a la Etapa S22.

El procesamiento, tanto de la Etapa S22 como de la Etapa S23, se lleva a cabo una vez en cada periodo $T(n)$. Es decir, el procesamiento de la Etapa S22 se lleva a cabo una vez en cada uno de los periodos del ciclo T , hasta que se toma una determinación, en la Etapa S23, en cuanto a si el valor de la variable $cntBORDE$ ha llegado a la constante $cntBORDETH$. El procesamiento avanza luego a la Etapa S24, en el punto en que se determina que el valor de la variable $cntBORDE$ ha llegado a la constante $cntBORDETH$ en la Etapa S23, y la razón del valor de la variable $cntINTERIOR$ con respecto al valor de la variable $cntBORDE$ indica si es la Fig. 8 (a) o (b).

En la Etapa S24, la parte 30B de determinación de desfase determina si el valor de la variable $cntINTERIOR[1]$ está relacionado en modo alguno con una gama fija, que está centrada en un valor 0,5 veces el valor de la variable $cntBORDE$, y que tiene un ancho de $2ancho[1]$ y, de acuerdo al resultado de esta determinación, aumenta, disminuye o bien mantiene la variable $Voff[1]$. Es decir, en la Etapa S24, la parte 30B de determinación de desfase lleva a cabo un procesamiento distinto en los tres casos (a) a (c), según se muestra más adelante en el presente documento. Este procesamiento es el mismo que el procesamiento de las Etapas S14 a S18 en la primera realización y en la segunda realización.

[E2]

(a) Cuando " $cntINTERIOR[1] < 0,5 * cntBORDE - ancho[1]$ " -> aumentar $Voff[1]$

(b) Cuando " $0,5 * cntBORDE + ancho[1] < cntINTERIOR[1]$ " -> disminuir $Voff[1]$

(c) Cuando el valor de $cntINTERIOR[1]$ está dentro de la gama fija -> mantener $Voff[1]$

Luego, en la Etapa S25, la parte 30B de determinación de desfase determina si el valor de la variable $cntINTERIOR[2]$ está relacionado en modo alguno con una gama fija, que está centrada en un valor 0,5 veces el valor de la variable $cntBORDE$, y que tiene un ancho de $2ancho[2]$ y, de acuerdo al resultado de esta determinación, aumenta, disminuye o bien mantiene la variable $c[2]$. Es decir, en la Etapa S25, la parte 30B de determinación de desfase lleva a cabo un procesamiento distinto en los tres casos (a) a (c), según se muestra más adelante en el presente documento. Excepto por el hecho de que las variables y las constantes destinadas al procesamiento difieren, el procesamiento de la Etapa S25 es el mismo que el procesamiento de la Etapa S24.

[E3]

(a) Cuando " $cntINTERIOR[2] < 0,5 * cntBORDE - ancho[2]$ " -> aumentar $c[2]$

(b) Cuando " $0,5 * cntBORDE + ancho[2] < cntINTERIOR[2]$ " -> disminuir $c[2]$

(c) Cuando el valor de $cntINTERIOR[2]$ está dentro de la gama fija -> mantener $c[2]$

Luego, en la Etapa S26, la parte 30B de determinación de desfase lleva a cabo la siguiente operación, en base a la variable $Voff[1]$ determinada en la Etapa S24, la variable $c[1]$ determinada en la Etapa S25 y el valor $D(n-2)$. Es decir, la parte 30B de determinación de desfase determina la magnitud de desfase $Voff$ sumada en el muestreador 10, y notifica esta magnitud $Voff$ de desfase determinada al convertidor 50 de DA. Luego, la parte 30B de determinación de desfase vuelve a la Etapa S20 y repite el procesamiento que se explicó hasta este punto.

[E4]

$$\text{Voff} = \text{Voff}[1] + c[2] * d[n-2]$$

A condición de que

$$5 \quad d[n-2] = +1 \text{ cuando } D[n-2] = 1$$

$$d[n-2] = -1 \text{ cuando } D[n-2] = 0$$

10 Por llevar a cabo la parte 30B de determinación de desfase el procesamiento descrito en lo precedente en el presente documento, la magnitud Voff[1] de desfase sumada es ajustada y tentativamente determinada, de modo que el valor de la variable cntINTERIOR[1] caiga dentro de la gama fija $(0,5 * \text{cntBORDE} - \text{ancho}[1])$ a $0,5 * \text{cntBORDE} + \text{ancho}[1]$. Además, el coeficiente corregido c[2] se ajusta de modo que el valor de la variable cntINTERIOR[2] caiga dentro de la gama fija $(0,5 * \text{cntBORDE} - \text{ancho}[2])$ a $0,5 * \text{cntBORDE} + \text{ancho}[2]$. Luego, la magnitud Voff[1] de desfase sumada, tentativamente determinada, se corrige en base al coeficiente corregido c[2], y la magnitud Voff de desfase sumada en el muestreador 10 se determina por ello.

20 En la tercera realización, la magnitud Voff de desfase sumada en el muestreador 10 se determina teniendo en consideración el nivel del bit precedente a la señal digital de entrada, así como el nivel del bit inmediatamente anterior al mismo. Por lo tanto, el dispositivo 3 de recuperación de reloj / datos referido a la tercera realización es capaz de recuperar la señal de reloj y los datos más establemente que en la segunda realización, incluso en casos en que la arritmia del reloj transmisor y la interferencia entre símbolos son altas.

25 Además, la parte 30B de determinación de desfase puede corregir la magnitud de desfase sumada en cada periodo T(n), de acuerdo al valor D(n-3), además del valor D(n-2), y también puede corregir la magnitud de desfase sumada en cada periodo T(n), de acuerdo al valor D(n-4). Por ejemplo, en un caso en que la parte 30B de determinación de desfase corrige la magnitud de desfase sumada en cada periodo T(n) de acuerdo al valor D(n-3), además del valor D(n-2), la magnitud Voff de desfase sumada se obtiene mediante la siguiente operación. Esto es, el coeficiente c[3] de corrección se ajusta de modo que el valor de suma acumulativa de "BORDE * {D(n-4) ^ DX(n-1)}" caiga dentro de una gama fija, esencialmente lo mismo que el procedimiento para determinar el coeficiente c[2] de corrección descrito anteriormente.

[E5]

$$35 \quad \text{Voff} = \text{Voff}[1] + c[2] * d[n-2] + c[3] * d[n-3]$$

A condición de que,

$$d[n-2] = +1 \text{ cuando } D[n-2] = 1$$

$$40 \quad d[n-2] = -1 \text{ cuando } D[n-2] = 0$$

$$d[n-3] = +1 \text{ cuando } D[n-3] = 1$$

$$45 \quad d[n-3] = -1 \text{ cuando } D[n-3] = 0$$

Aplicabilidad industrial

50 La presente invención proporciona un dispositivo de recuperación de reloj / datos que es capaz de recuperar establemente una señal de reloj y datos incluso en casos en que la arritmia del reloj transmisor y la interferencia entre símbolos son altas.

REIVINDICACIONES

1. Un dispositivo (1) de recuperación de reloj / datos para recuperar una señal de reloj y datos, en base a una señal digital de entrada, que comprende:

5 un muestreador (10) para recibir una entrada de una señal CK de reloj y una señal CKX de reloj, que tienen el mismo ciclo T, y también recibir una entrada de la señal digital; proporcionar una primera señal aplicando un desfase, -Voff, a la señal digital, proporcionar una segunda señal aplicando un desfase, +Voff, a la señal digital, y, en cada n-ésimo periodo T(n) de este ciclo, muestrear, retener y emitir un valor digital DA(n) de la primera señal y un valor digital DB(n) de la segunda señal, en un momento t_c indicado por la señal CK de reloj, y muestrear, retener y emitir un valor digital DXA(n) de la primera señal y un valor digital DXB(n) de la segunda señal en un momento t_x indicado por la señal CKX de reloj, donde $t_c < t_x$ y n es un entero;

15 un detector (20) para recibir, en cada periodo T(n), una entrada del valor DA(n), el valor DB(n), el valor DXA(n) y el valor DXB(n), emitidos desde el muestreador (10), determinar un valor D(n) y un valor DX(n-1) fijando $D(n) = DA(n)$ y $DX(n-1) = DXA(n-1)$ en un caso en que un valor D(n-1) es de nivel ALTO, y fijando $D(n) = DB(n)$ y $DX(n-1) = DXB(n-1)$ en un caso en que el valor D(n-1) es de nivel BAJO, y detectar una relación de fase entre la señal CK de reloj y la señal digital, en base al valor D(n-1), el valor DX(n-1) y el valor D(n);

20 una parte (30) de determinación de desfase para recibir, en cada periodo T(n), una entrada del valor D(n) y el valor DX(n), determinados por el detector (20), y ajustar una magnitud del desfase, $\pm Voff$, sumada en el muestreador (10), de modo que un momento indicado por la señal CKX de reloj constituya el centro de una distribución de tiempos de transición de un valor de la primera señal, en un caso en que el valor D(n-1) sea de nivel ALTO, y un momento indicado por la señal CKX de reloj constituya el centro de una distribución de tiempos de transición de un valor de la segunda señal, en un caso en que el valor D(n-1) es de nivel BAJO; y

30 una parte (40) de salida de reloj para ajustar bien el ciclo T de la señal CK de reloj o bien la fase de la señal CK de reloj, en base a la relación de fase detectada por el detector (20), de modo que una diferencia de fase entre la señal CK de reloj y la señal digital disminuya, y emitir al muestreador la señal CK de reloj y la señal CKX de reloj que satisfacen la relación $t_x - t_c = T / 2$.

35 2. El dispositivo (1) de recuperación de reloj / datos según la Reivindicación 1, en el cual el detector (20) comprende un circuito (24) de detección de relaciones de fase, para emitir, como señales que representan la relación de fase, una señal UP que tiene un valor significativo cuando $D(n-1) \neq DX(n-1) = D(n)$, y una señal DN que tiene un valor significativo cuando $D(n-1) = DX(n-1) \neq D(n)$.

40 3. El dispositivo (1) de recuperación de reloj / datos según la Reivindicación 2, en el cual la parte (40) de salida de reloj ajusta bien el ciclo T de la señal CK de reloj o bien la fase de la señal CK de reloj, en base a la señal UP y la señal DN, y emite la señal CK de reloj y la señal CKX de reloj.

45 4. El dispositivo (1) de recuperación de reloj / datos según la Reivindicación 1, en el cual la parte (30) de determinación de desfase ajusta la magnitud del desfase $\pm Voff$ sumada en el muestreador (10), de modo que la diferencia entre un valor de 0,5 y la razón $\text{cntINTERIOR} / \text{cntBORDE}$ de un valor de suma acumulativa cntINTERIOR de $\{D(n) \wedge D(n-1)\} * \{D(n-2) \wedge DX(n-1)\}$ y un valor de suma acumulativa cntBORDE de $D(n) \wedge D(n-1)$ no sea mayor que un valor de referencia.

50 5. El dispositivo (1) de recuperación de reloj / datos según la Reivindicación 2, en el cual, en cada periodo T(n), solamente en un caso en que exista un periodo en el cual la señal UP y la señal DN, respectivamente, constituyan el valor significativo dentro de los últimos 10 periodos consecutivos, T(n-9) a T(n), incluyendo este periodo, la parte (30) de determinación de desfase suma acumulativamente $\{D(n) \wedge D(n-1)\} * \{D(n-2) \wedge DX(n-1)\}$ para determinar el valor de suma acumulativa cntINTERIOR , y suma acumulativamente $D(n) \wedge D(n-1)$ para determinar el valor de suma acumulativa cntBORDE ; y

55 ajusta la magnitud del desfase $\pm Voff$ sumada en el muestreador (10) de modo que la diferencia entre el valor de 0,5 y la razón $\text{cntINTERIOR} / \text{cntBORDE}$ no sea mayor que un valor de referencia.

6. El dispositivo (1) de recuperación de reloj / datos según la Reivindicación 4 o la Reivindicación 5, en el cual la parte (30) de determinación de desfase corrige la magnitud de desfase sumada de acuerdo a un valor D(n-2) en cada periodo T(n).

Fig.1

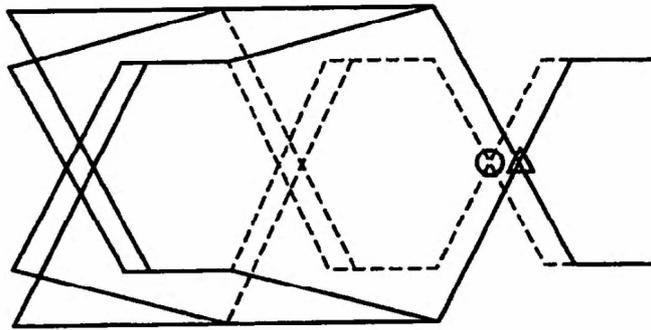


Fig.2A

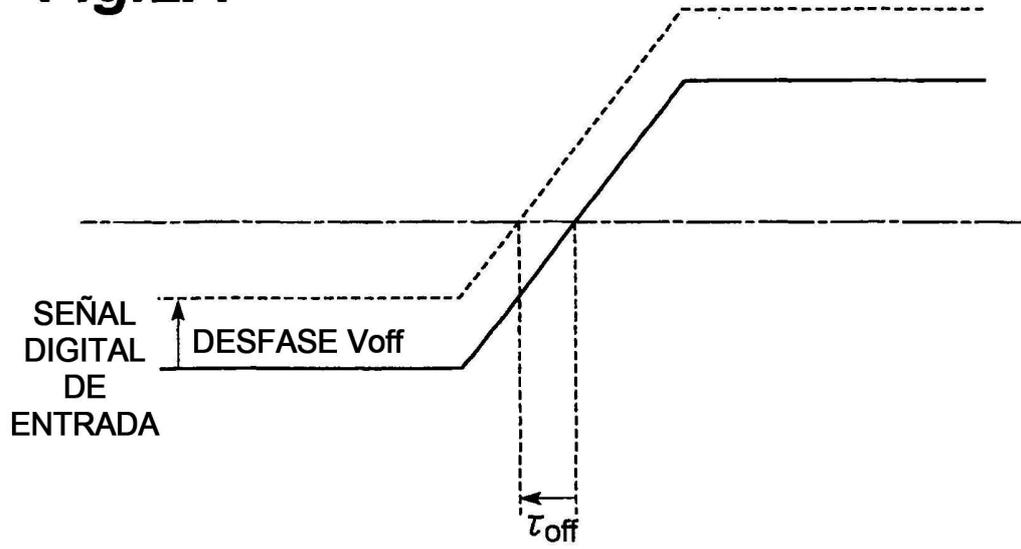


Fig.2B

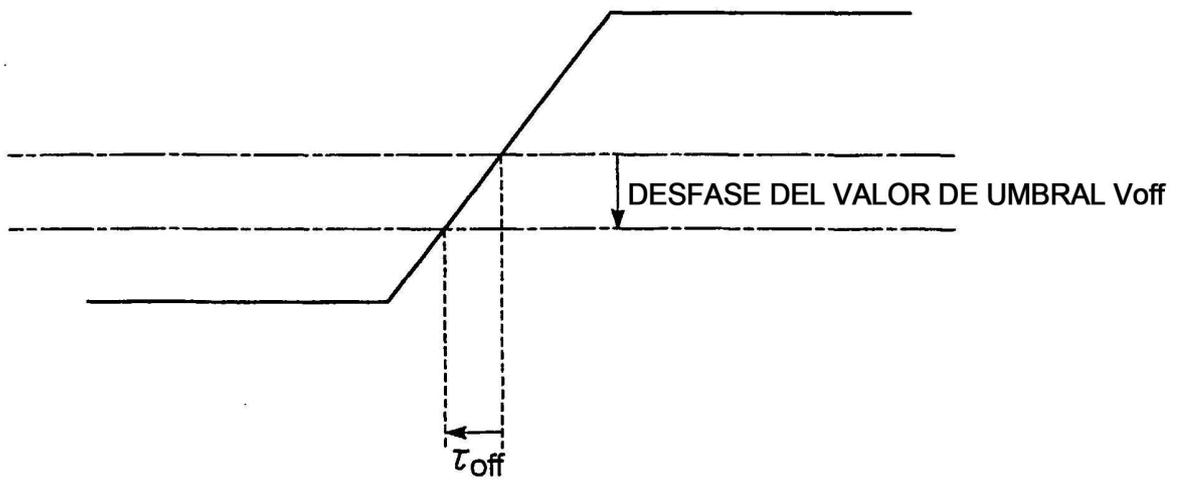


Fig.3A

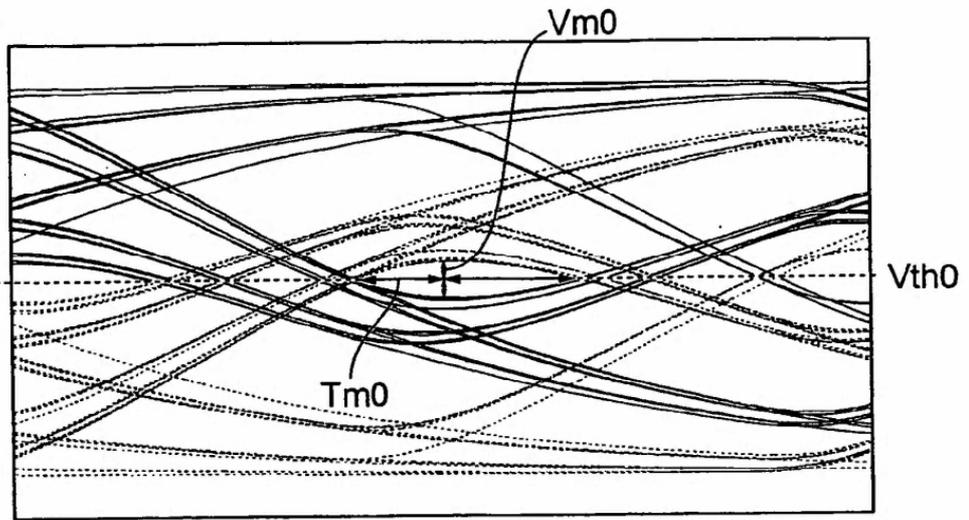


Fig.3B

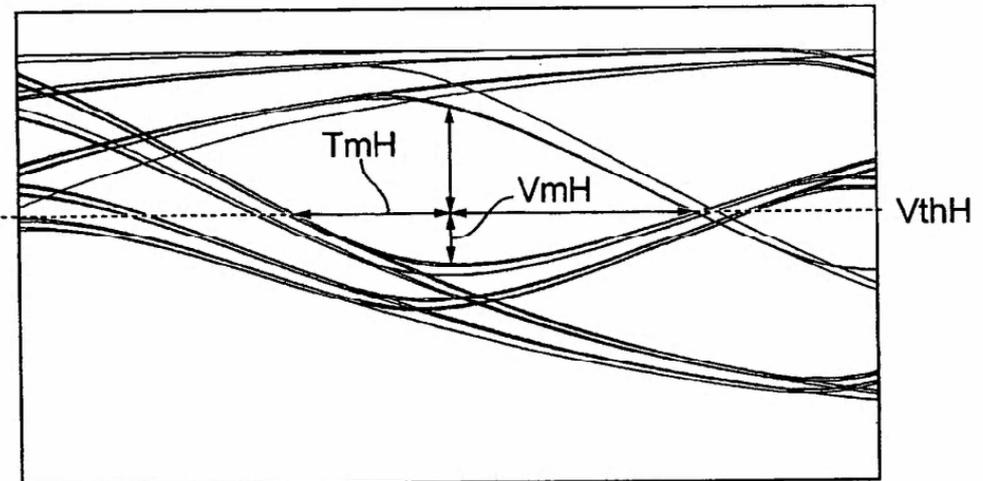


Fig.3C

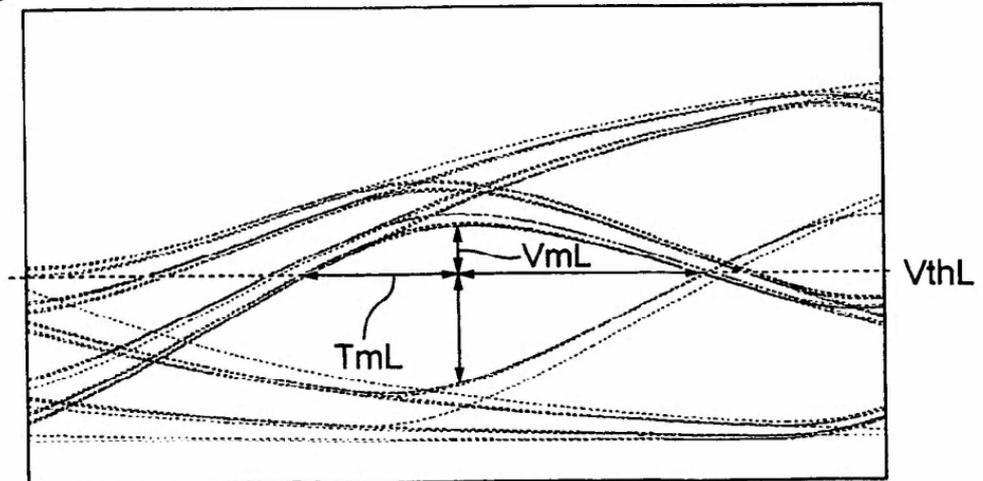
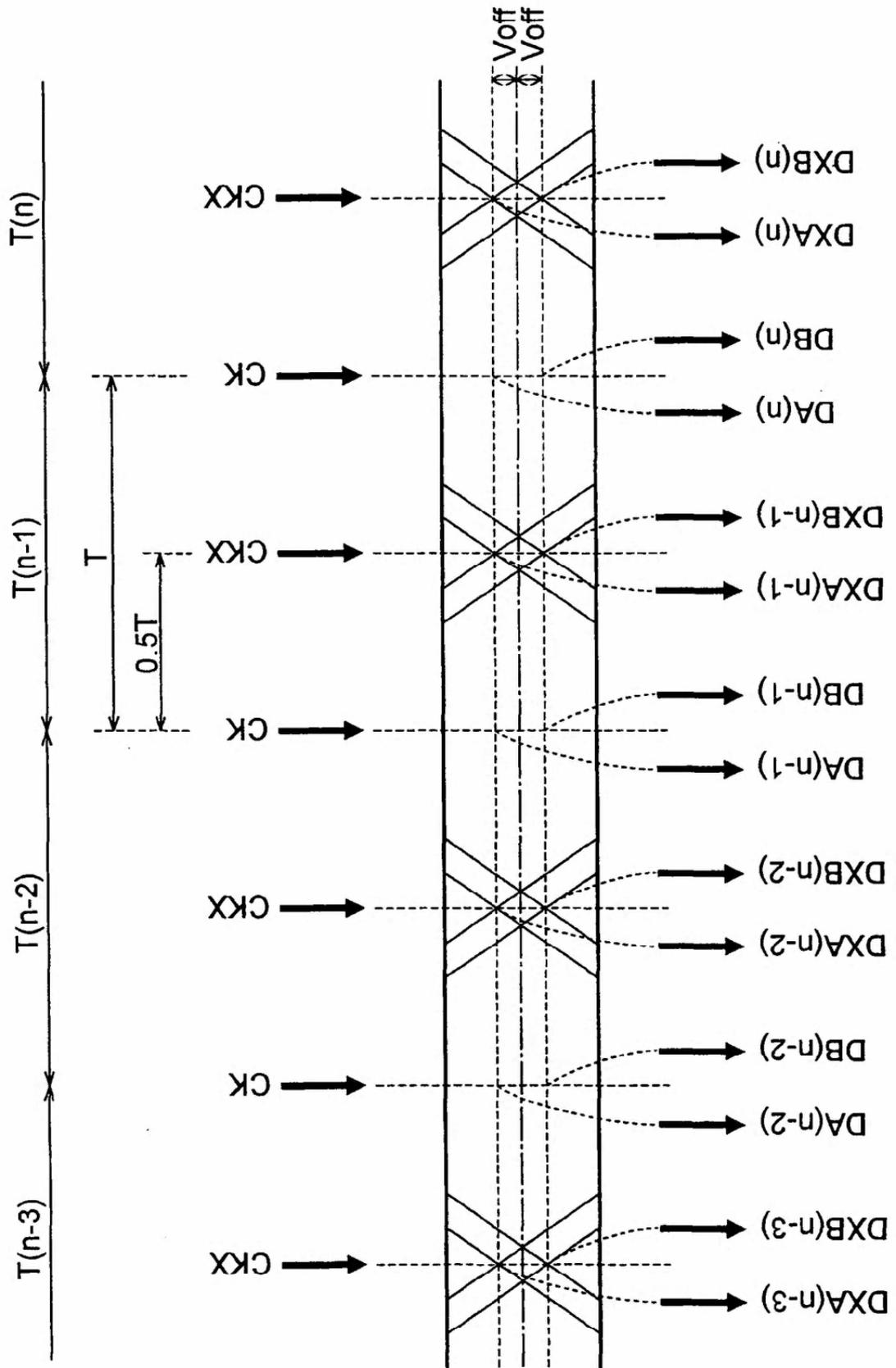


Fig.4



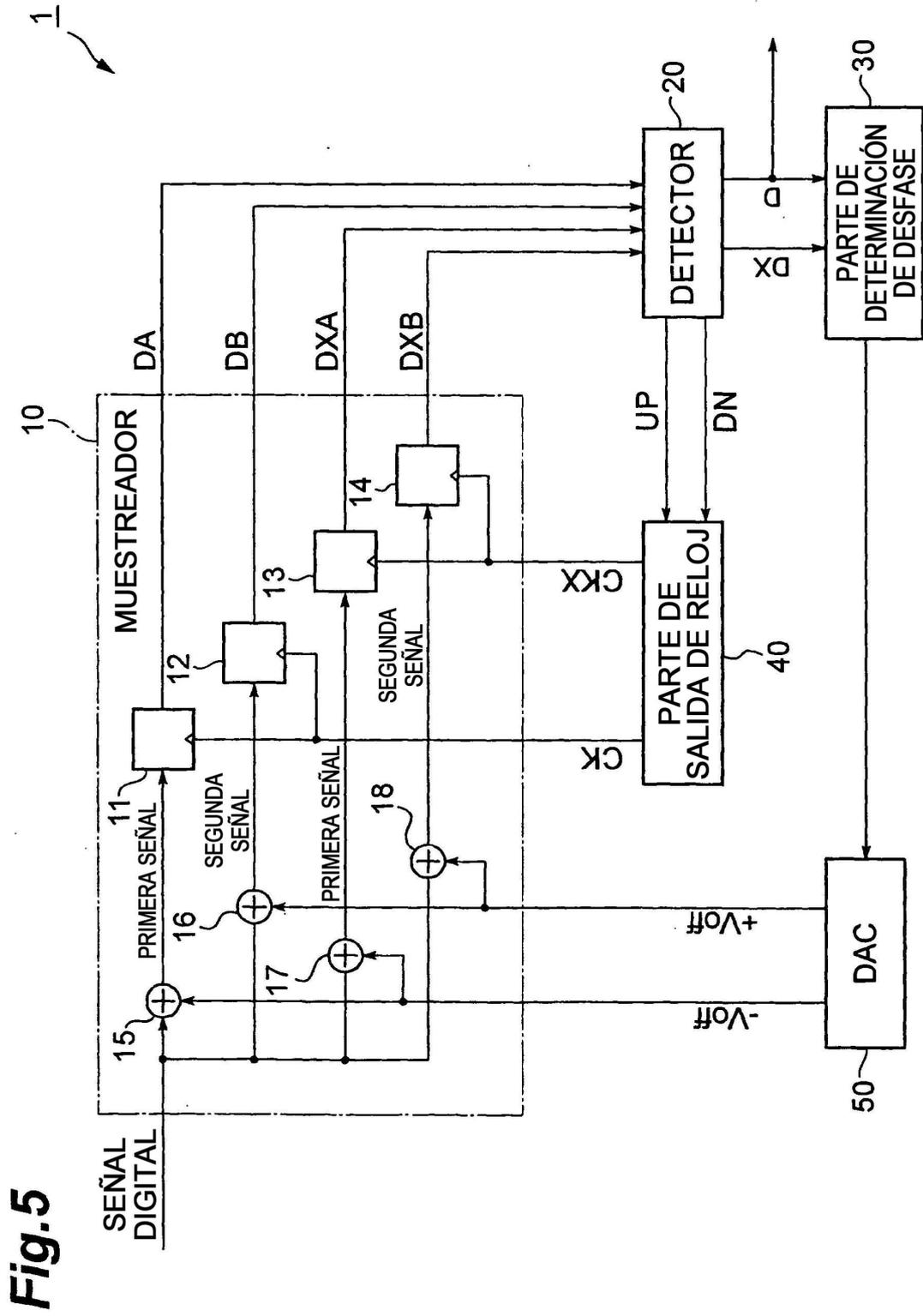


Fig.5

Fig.6

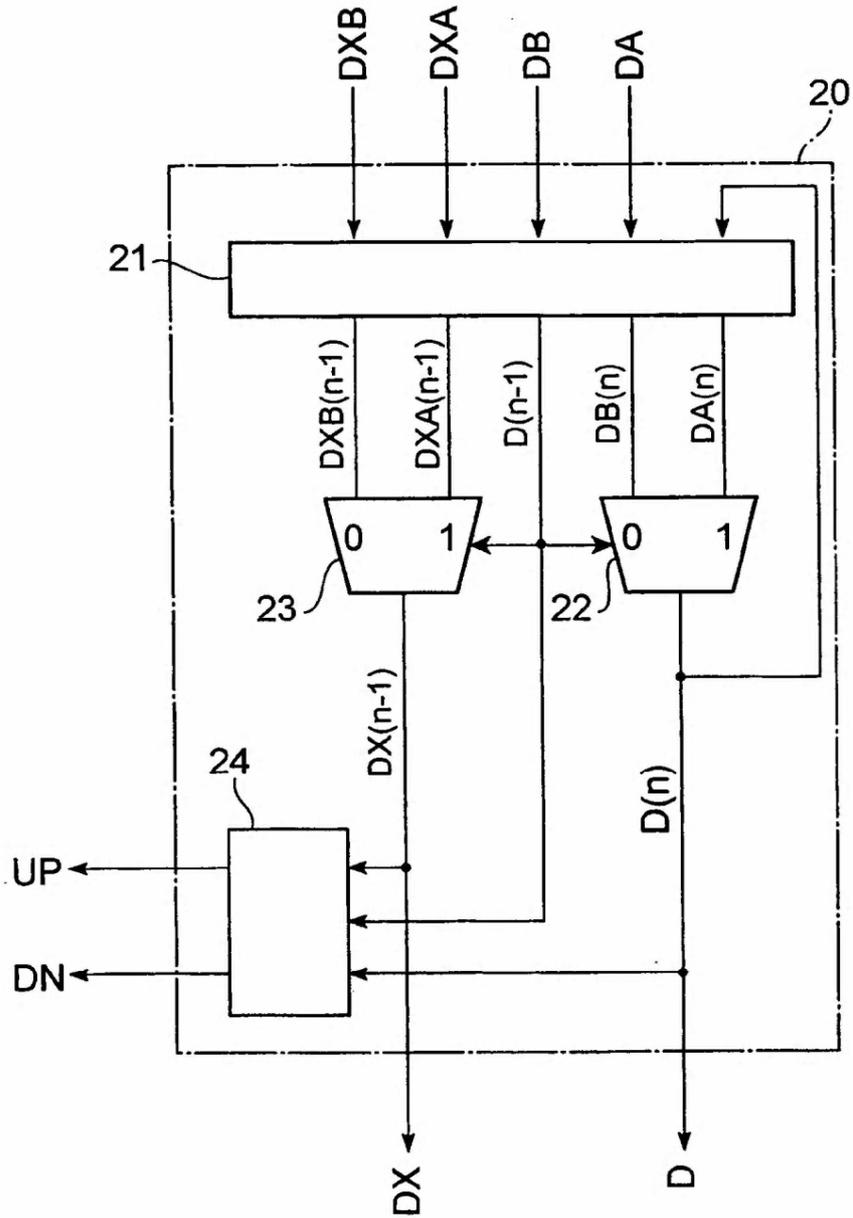


Fig.7

D(n-1)	DX(n-1)	D(n)	UP	DN
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

Fig.8

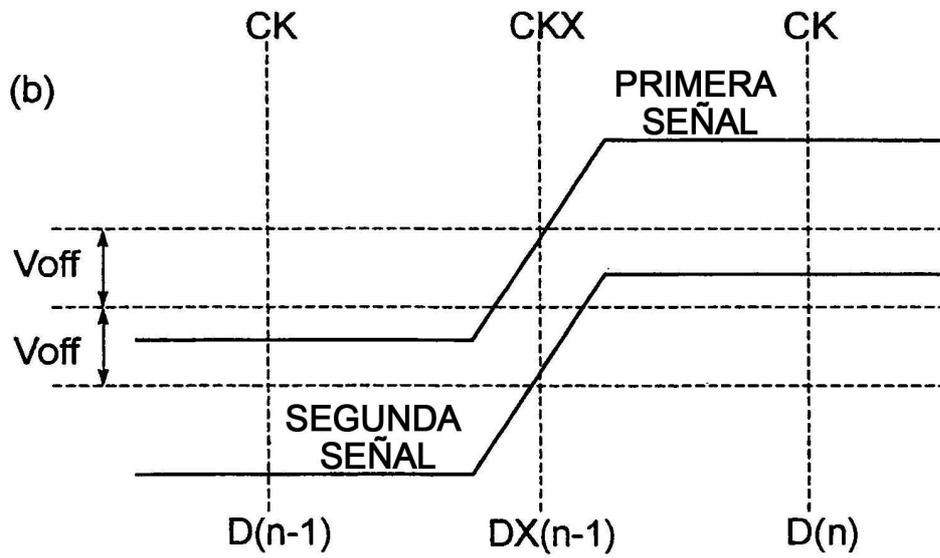
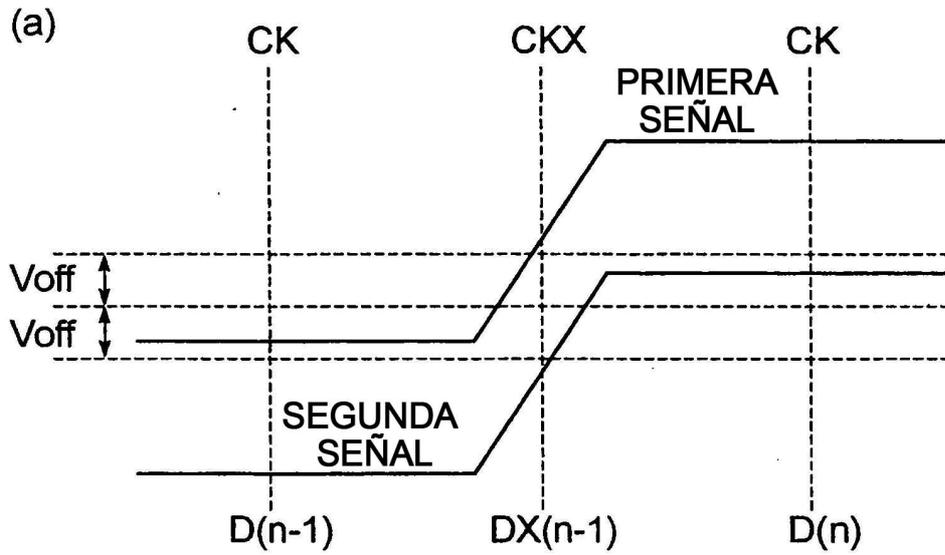


Fig.9

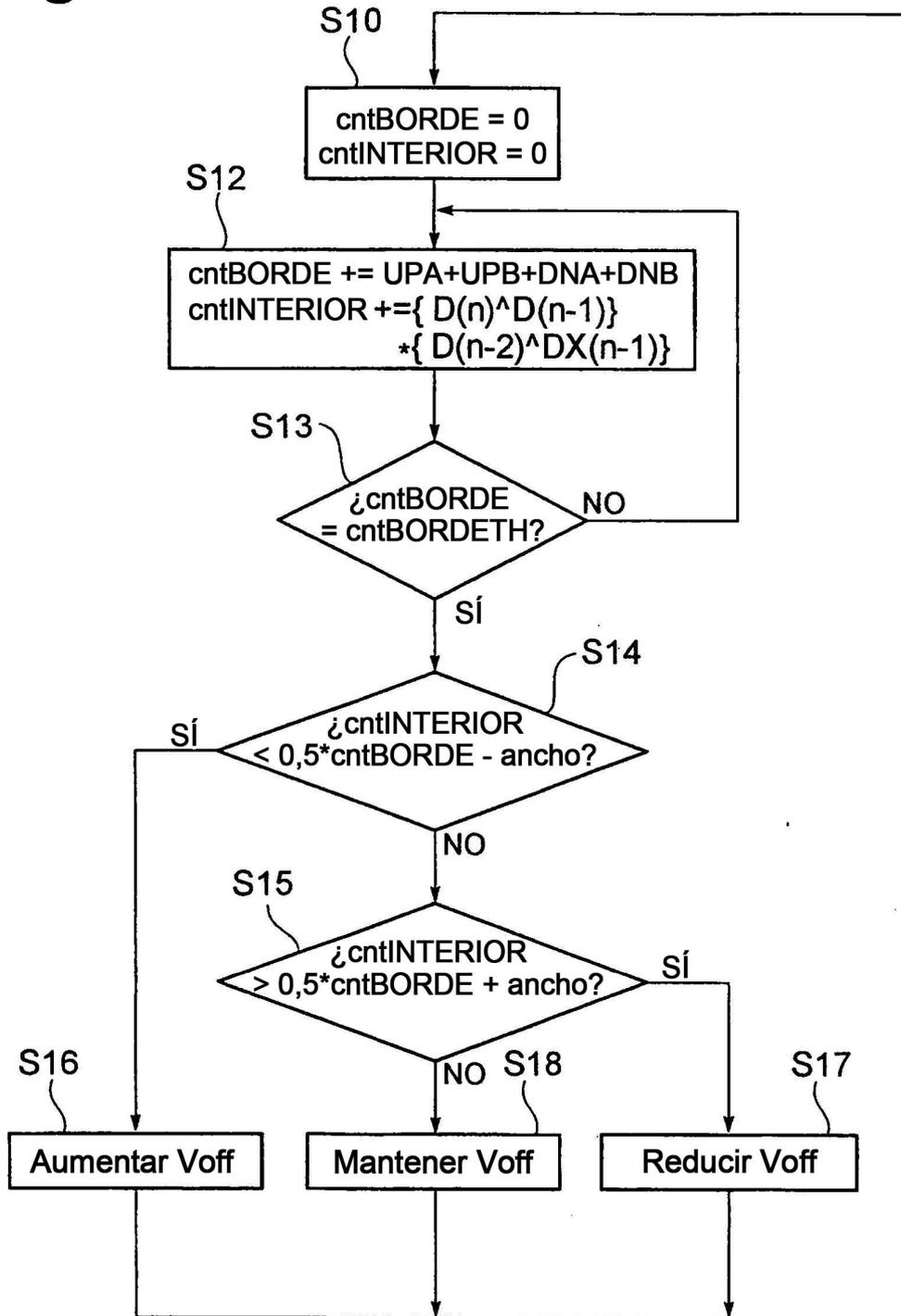


Fig.10

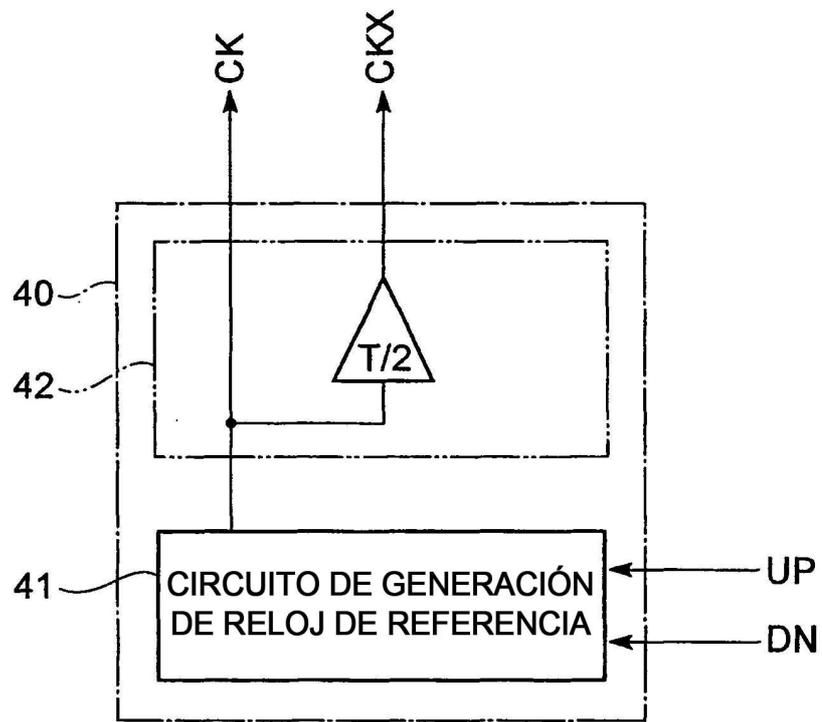


Fig.11

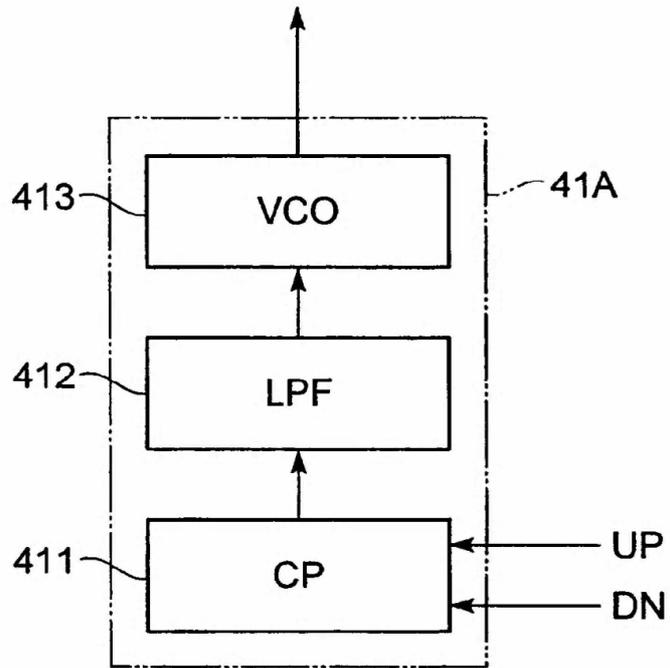


Fig.12

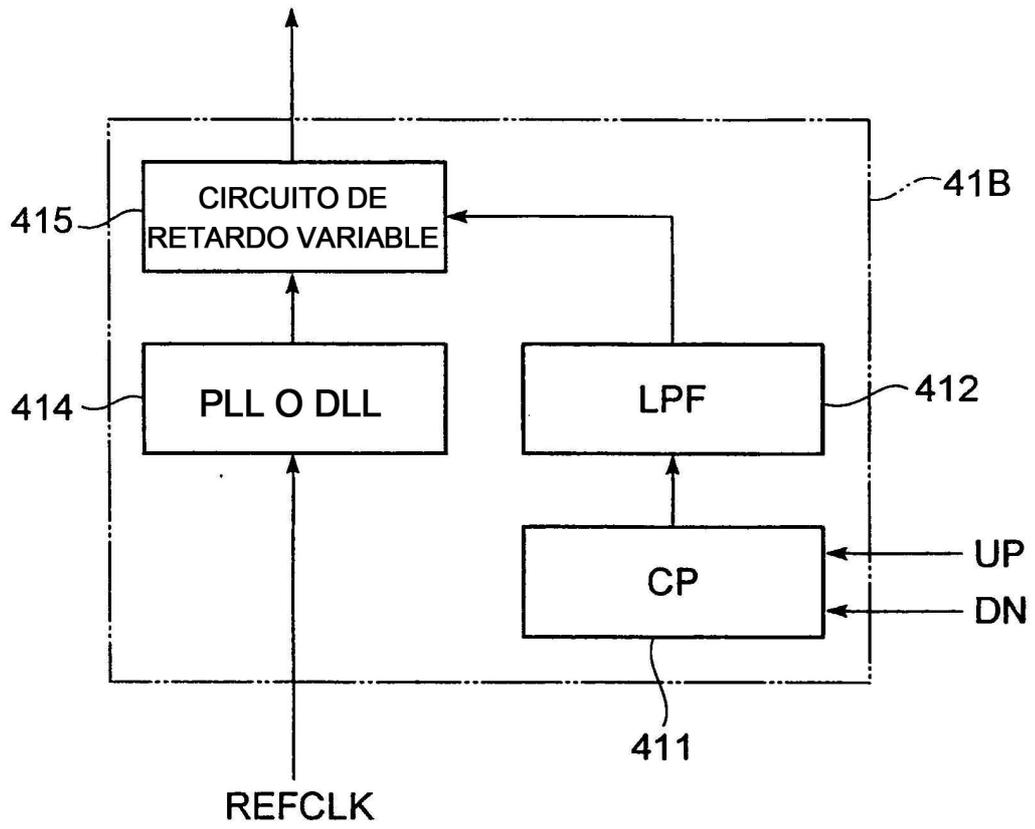


Fig.13

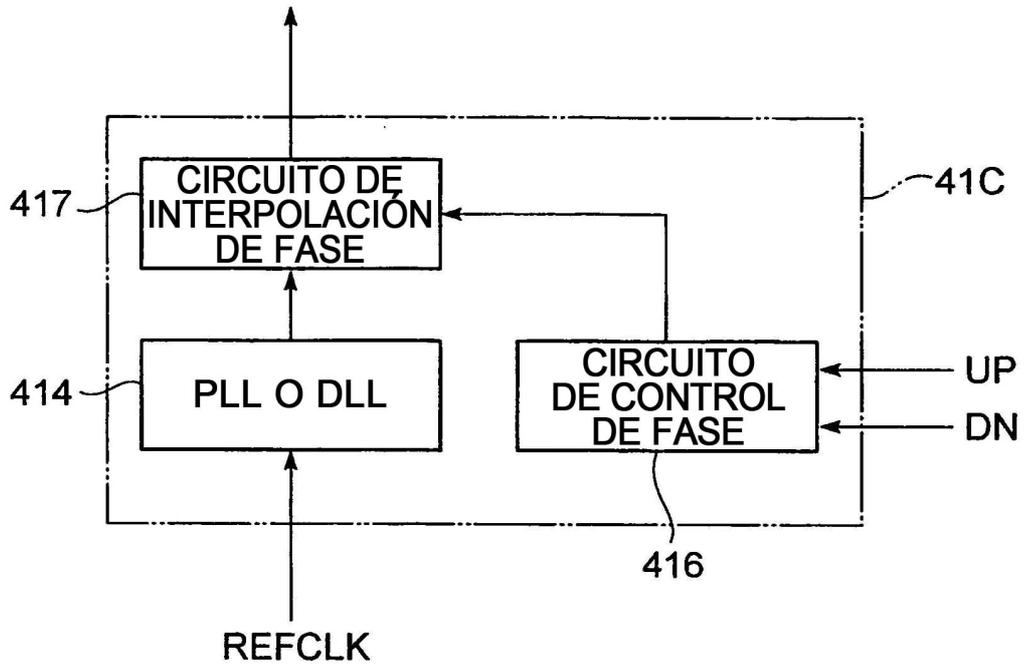


Fig.14

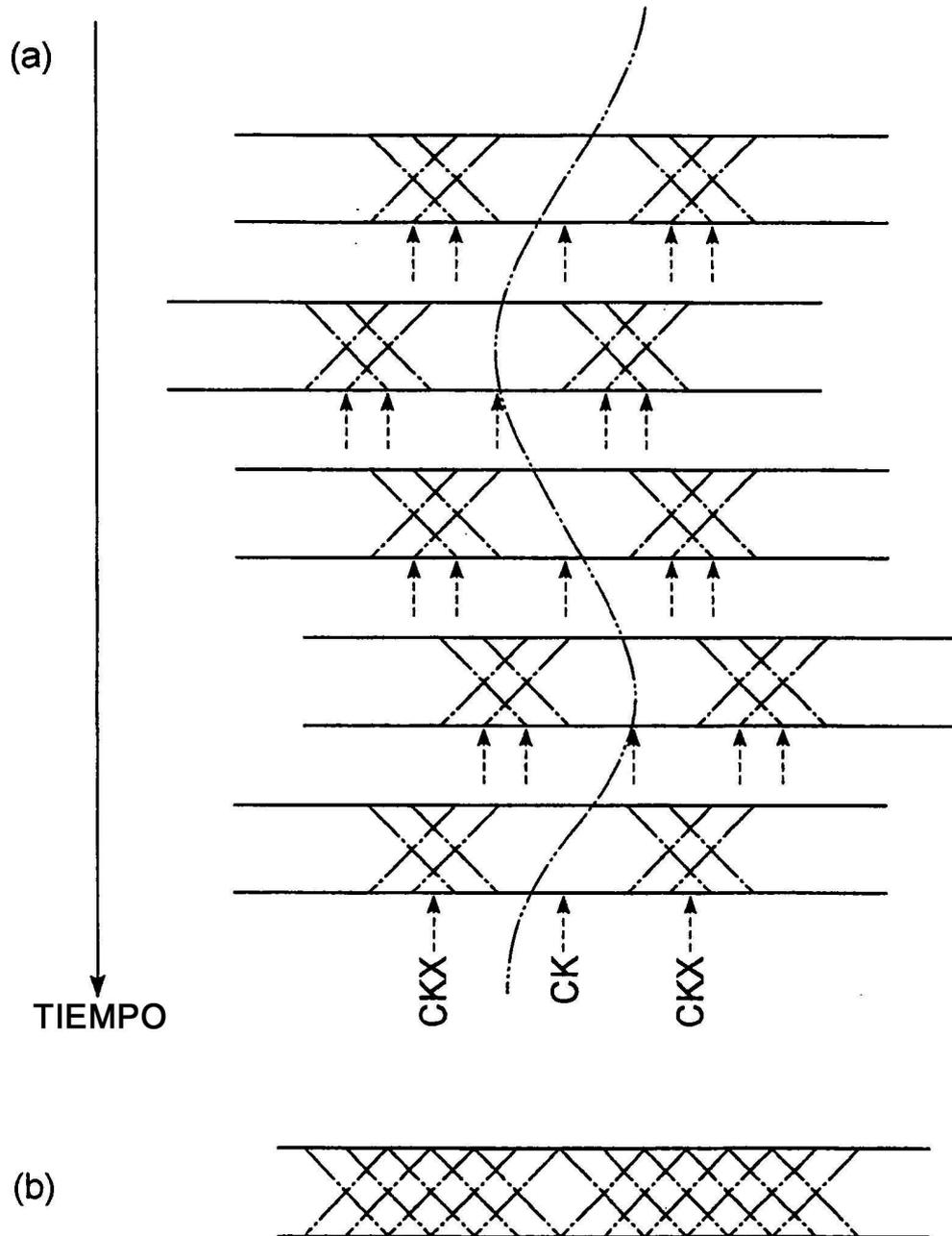


Fig.16

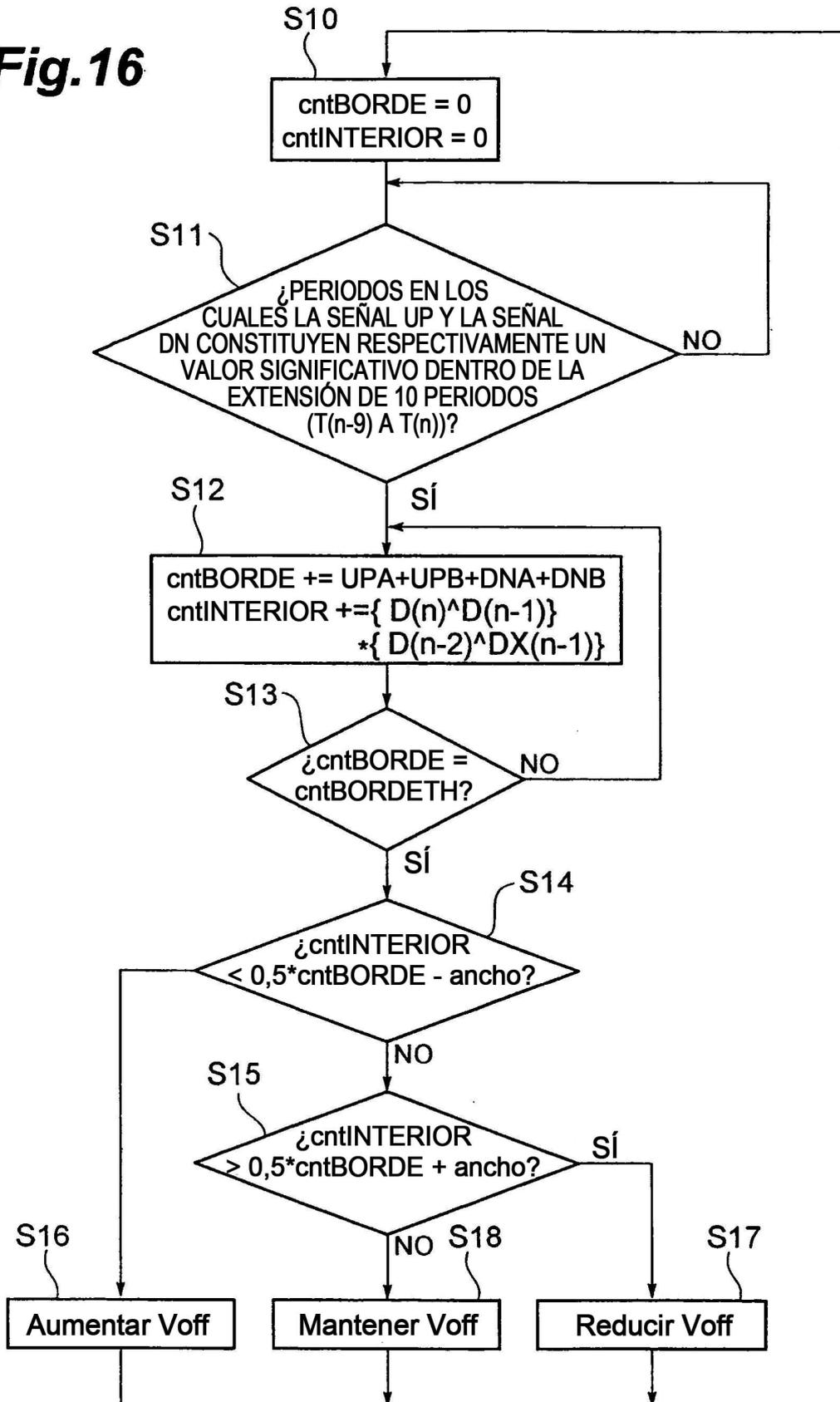
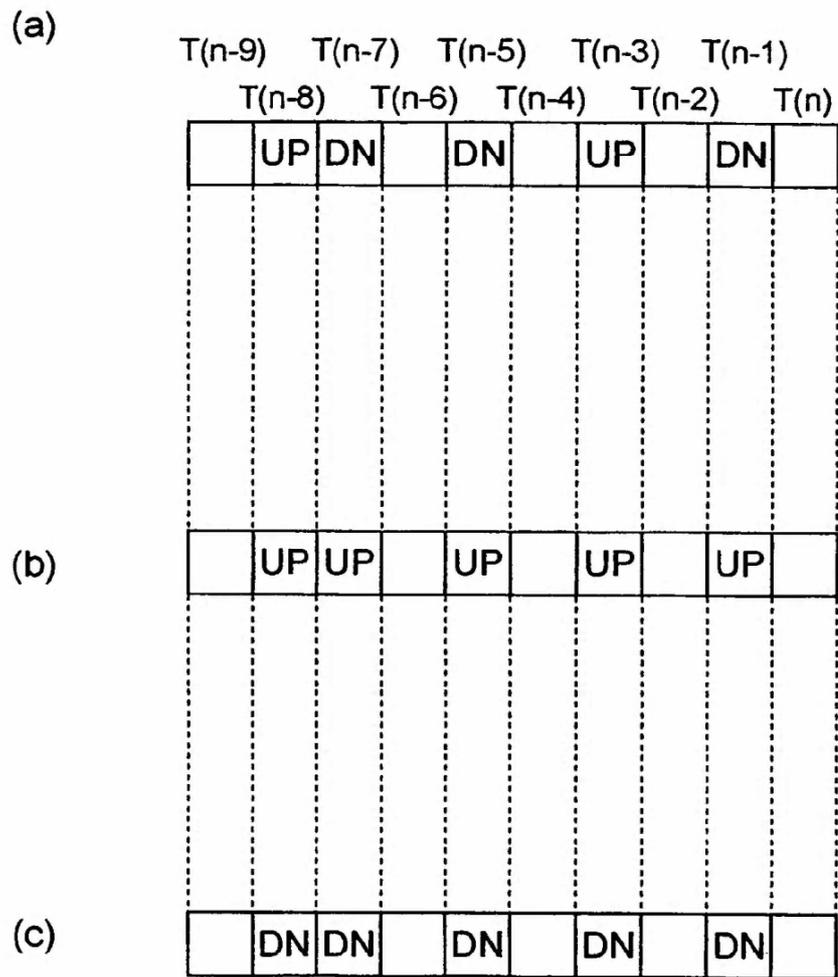


Fig.17



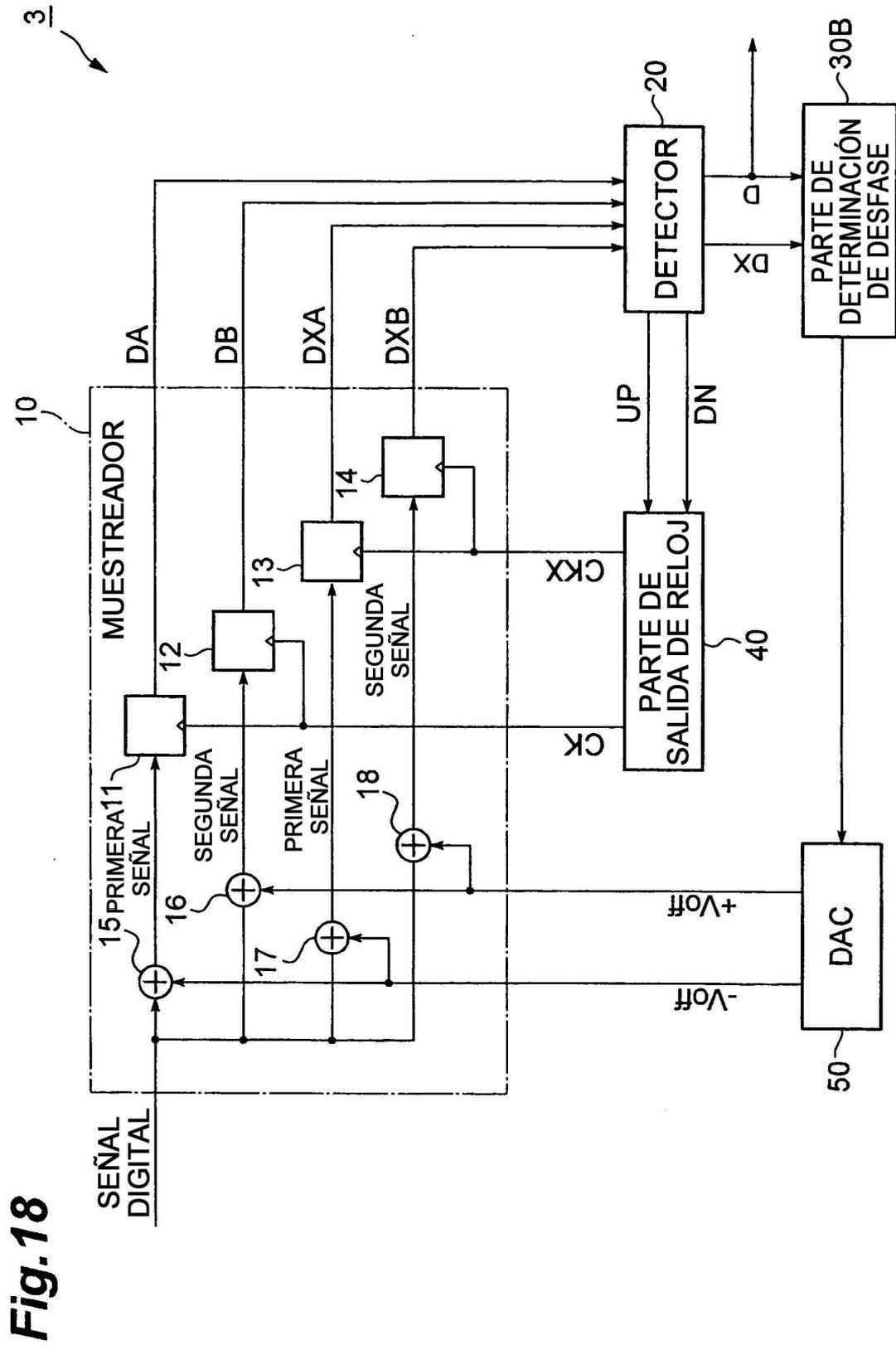


Fig. 18

Fig.19

