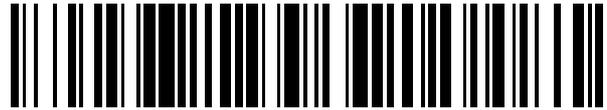


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 394 652**

51 Int. Cl.:

G11C 8/12 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.07.2010 E 10170014 (4)**

97 Fecha y número de publicación de la solicitud europea: **25.01.2012 EP 2410530**

54 Título: **Chips de memoria y dispositivos que los emplean**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
04.02.2013

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)
No. 8 Keya 1st Rd., Daya District, Central Taiwan
Science Park
Taichung City, Taiwan, TW**

72 Inventor/es:

SUN, CHI HSIANG

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 394 652 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Chips de memoria y dispositivos que los emplean

Antecedentes de la Invención

Campo de la Invención

- 5 La invención se relaciona con un chip de memoria, y más particularmente con un dispositivo de memoria que puede detectar la ocurrencia una operación de cruce de límite de extinción entre dos chips de memoria al monitorear una tableta de espera.

Descripción de la Técnica Relacionada

- 10 Para un chip de memoria convencional, tal como un chip CRAM(RAM celular), después de que la última palabra en una línea de palabra activa se lee/se escribe, se efectúa una operación de cruce de límite para conmutar la operación de lectura/escritura a la siguiente línea de palabra; esto es, la línea de palabra se vuelve inactiva mientras que la siguiente línea de palabra se vuelve activa. La operación e lectura/escritura se puede efectuar continuamente en la siguiente línea de palabra. Cuando se efectúa la operación de cruce de límite, se declara una señal en la tableta de espera del chip de memoria hasta que se activa la siguiente línea de palabra. Así, al monitorear la tableta de espera, los usuarios pueden conocer el estado de la operación de lectura/escritura.

- 15 En algunas aplicaciones, se pueden apilar por lo menos dos chips de memoria para formar un dispositivo de memoria. Se puede efectuar una operación de cruce del límite entre la última línea de palabra de un chip de memoria superior y la primera línea de palabra de un chip de memoria inferior; esto es, la última línea de palabra del chip de memoria superior se vuelve inactiva mientras que la primer línea de palabra del chip de memoria inferior se vuelve activa. En este caso, la operación de cruce de límite se denomina como "operación de cruce de límite de extinción".

- 20 El documento US 2007/0 143 556 describe la activación cíclica de chips de memoria. Una vez que una hilera de un chip se ha accedido completamente, se selecciona para acceso un siguiente chip.

- 25 Así, se desea suministrar un dispositivo de memoria que pueda detectar la ocurrencia de una operación de cruce de límite entre dos chips de memoria.

Breve Resumen de la Invención

- 30 Una realización de ejemplo de un dispositivo de memoria comprende un primer chip de memoria y un segundo chip de memoria. Tanto el primero como el segundo chip de memoria reciben una señal de dirección de entrada y al menos una señal de comando. Tanto el primer como el segundo chip de memoria están acoplados a una tableta de espera. El primer chip de memoria y el segundo chip de memoria operan alternativamente en un modo activo, y cada uno del primer chip de memoria y el segundo chip de memoria comprenden una unidad de control, o un controlador de espera, y un receptor de espera. La unidad de control recibe la señal de dirección de entrada y la al menos una señal de comando determina y controla un modo de operación del chip de memoria correspondiente de acuerdo con la señal de dirección de entrada y la al menos una señal de comando, y genera una primera señal de control de acuerdo con el resultado de determinación. El controlador de espera se acopla a la tableta de espera. El controlador de espera recibe adicionalmente la primera señal de control y cambia un estado de una señal de espera a una tableta de espera de acuerdo con la primera señal de control. El receptor de espera se acopla a la tableta de espera para recibir la señal de espera y detecta el estado de la señal de espera para generar una segunda señal de control. Cuando el primer chip de memoria opera en un modo activo y el segundo chip de memoria opera en un modo inactivo, si la unidad de control de la primera memoria determina que el primer chip de memoria cambiará para operar en modo inactivo de acuerdo con la señal de dirección de entrada, el controlador de espera de la primera memoria cambia el estado de la señal de espera de un estado no declarado a un estado declarado de acuerdo con la primera señal de control correspondiente. Cuando el receptor de espera del segundo chip de memoria detecta que el estado de la señal de espera se ha cambiado del estado no declarado al estado declarado, la unidad de control del segundo chip de memoria determina que el segundo chip de memoria es cambiado para operar en modo activo después de que la última línea de palabra del primer chip de memoria es accedida de acuerdo con la señal de dirección de entrada y la segunda señal de control correspondiente.

Se da una descripción detallada de las siguientes realizaciones con referencia a los dibujos que la acompañan.

Breve Descripción de los Dibujos

- 50 La invención se puede entender más completamente al leer la siguiente descripción detallada y los ejemplos con referencias hechas a los dibujos que la acompañan, en donde:

La Fig. 1 muestra una realización de ejemplo de un chip de memoria;

La Fig. 2 muestra una realización de ejemplo de un dispositivo de memoria;

La Fig. 3 muestra una tabla de tiempo de la señal de memoria en la Fig. 2;

La Fig. 4 es un diagrama de flujo de una realización de ejemplo del método de operación del dispositivo de memoria en la Fig. 2;

5 La Fig. 5 es un diagrama de flujo de otra realización de ejemplo del método de operación del dispositivo de memoria en la Fig. 2.

Descripción Detallada de la Invención

La siguiente descripción es el mejor modo contemplado de llevar a cabo la invención. Esta descripción se hace con el propósito de ilustrar los principios generales de la invención y no se debe tomar en un sentido limitante. El alcance de la invención se determina mejor mediante referencia a las reivindicaciones finales.

Se suministran chips de memoria. En una realización de ejemplo de un chip de memoria 10 en la Fig. 1, un chip de memoria 10 recibe una señal de dirección de entrada ADDin y al menos una señal de comando Scom. Más aún, el chip de memoria 10 se acopla a una tableta de espera Pw. Como se muestra en la Fig. 1, el chip de memoria 10 comprende una unidad de control 100, un controlador de espera 101, y un receptor de espera 102. La señal de dirección de entrada ADDin se suministra a la unidad de control 100. En la realización, la señal de dirección de entrada ADDin puede ser ingresada por un usuario o un dispositivo de módulo de interfaz. La unidad de control 100 determina y controla el modo de operación del chip de memoria 10, tal como un modo activo o un modo inactivo, de acuerdo con la señal de dirección de entrada ADDin y al menos una señal de comando Scom y genera una señal de control CS1 de acuerdo al resultado de determinación. El controlador de espera 101 se acopla a la tableta de espera Pw y recibe la señal de control CS1 de la unidad de control 100. El controlador de espera 101 cambia un estado de una señal de espera Sw a la tableta de espera Pw de acuerdo con la señal de control CS1. El receptor de espera 102 se acopla a la tableta de espera Pw para recibir la señal de espera Sw. El receptor de espera 102 detecta además el estado de la señal de espera Sw para generar una señal de control CS2 a la unidad de control 100.

Asumir que el chip de memoria 10 opera en un modo activo. Cuando la unidad de control 100 determina que el chip de memoria 10 se cambiará para operar en el modo inactivo de acuerdo con la señal de dirección de entrada ADDin y al menos una señal de comando Scom, el controlador de espera 101 cambia el estado de la señal de espera Sw de un estado no declarado a un estado declarado de acuerdo con la señal de control CS1. Después, el chip de memoria 10 se cambia para operar en el modo inactivo. De otro lado, cuando el chip de memoria 10 opera en el modo inactivo y el receptor de espera 102 detecta que el estado de la señal de espera Sw se ha cambiado del estado no declarado al estado declarado para generar la señal de control CS2, la unidad de control 100 determina si el chip de memoria 10 se cambiara para operar en el modo activo de acuerdo con la señal de dirección de entrada ADDin y la señal de control CS2. Después de que la unidad de control 100 determina que el chip de memoria 10 cambiara para operar en el modo activo, la unidad de control 100 controla el chip de memoria 10 para operar en el modo activo.

La descripción detallada de las operaciones del chip de memoria 10 se describirá en lo que sigue. Como se muestra en la Fig. 1 la unidad de control 100 comprende un controlador de dirección 100a, y un controlador de cruce de límite de extinción 100b, un controlador de cruce de límite de línea de palabras 100c, y un controlador de operación 100d. El controlador de dirección 100a recibe la señal de dirección de entrada ADDin y genera una señal de dirección interna ADDint y una señal de control CS3 de acuerdo con la señal de dirección de entrada ADDin. La señal de dirección interna ADDint comprende una dirección de hilera para las líneas de palabra y una dirección de columna para las líneas de bit, en donde una dirección de hilera indica la línea de palabra que está ocupada por la operación de lectura-escritura. El controlador de cruce de límite de extinción 100b recibe la señal de dirección interna ADDint. El controlador de cruce de límite de extinción 100b determina si una operación de cruce de límite de extinción se efectuará de acuerdo con la señal de dirección interna ADDint y la señal de control CS2 y genera la señal de control CS1 y una señal de control CS4 de acuerdo al resultado de determinación. El controlador de operación 100d recibe la señal de control CS3, la señal de control CS4, y al menos una señal de comando Scom y controla la operación del chip de memoria 10 de acuerdo con las señales de control CS3 y CS4; esto es, el controlador de operación 100d controla el chip de memoria 10 para operar en el modo activo o en el modo inactivo. El controlador de cruce de límite de línea de palabra 100c también recibe la señal de dirección interna ADDint. El controlador de cruce de límite de línea de palabra 100c determina si la operación de cruce de límite de línea de palabra se efectuara en el chip de memoria 10 y genera una señal de control CS5 de acuerdo al resultado de determinación para el controlador de espera 101. El controlador de cruce de límite de línea de palabra 100c determina si la operación de cruce de límite de línea de palabra se efectuará a otro chip de memoria, el cual se acopla a la tableta de espera Pw de acuerdo con una señal de dirección interna ADDint y la señal de control CS2 desde el receptor de espera 102.

Asumir que el controlador de operación 100d controla el chip de memoria 10 para operar en el modo activo de acuerdo con la señal de control CS3 y al menos una señal de comando Scom al inicio, y la operación de lectura/escritura se efectúa a una línea de palabra corriente. Si el controlador de cruce de límite de línea de palabra 100 se determina que la operación de cruce de límite de línea de palabra se efectuará de acuerdo con la señal de

dirección interna ADDint, el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado no declarado al estado declarado de acuerdo con la señal de control CS5. En este momento, el controlador de cruce de límite de línea de palabra 100c actualiza el controlador de dirección 100a para cambiar la señal de dirección interna ADDint. Después de que el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado declarado al estado no declarado, se completa la operación de cruce de límite de línea de palabra, de tal manera que el desempeño de la operación de lectura/escritura al objeto es conmutado desde la línea de palabra corriente a la siguiente línea de palabra; esto es, la línea de palabra corriente se inactiva mientras que la siguiente línea de palabra se activa.

Cuando la operación de lectura/escritura se efectúa a la última línea de palabra el chip de memoria 10, si el controlador de cruce de límite de extinción 100b determina que el chip de memoria 10 cambiará para operar en el modo inactivo de acuerdo con la señal de dirección interna ADDint, el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado no declarado al estado declarado de acuerdo con la señal de control CS1 desde el controlador de cruce del límite de extinción 100b. En este momento, el controlador de cruce de límite de extinción 100b actualiza el controlador de dirección 100a para cambiar la señal de dirección interna ADDint. Después de que el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado declarado al estado no declarado, se completa la operación de cruce de límite de extinción, y el controlador de operación 100d controla el chip de memoria 10 para operar en el modo inactivo de acuerdo con la señal de control CS4 del controlador de cruce de límite de extinción 100b. Mientras tanto, otros chips de memoria, que se acopla a la tableta de espera Pw, es conmutado para operar en el modo activo desde el modo inactivo. La operación de conmutación anterior entre los dos chips de memoria se denomina como una "operación de cruce de límite de extinción".

Después de que el chip de memoria 10 es conmutado para operar en el modo inactivo, el chip de memoria 10 opera continuamente en el modo inactivo hasta que otra operación de cruce de límite de extinción se detecta al monitorear la tableta de espera Pw mediante el receptor de espera 102.

Cuando el chip de memoria 10 opera en un modo inactivo, si el receptor de espera 102 detecta que el estado de la señal de espera Sw ha cambiado desde el estado no declarado al estado declarado por otro chip de memoria que está acoplado a la tableta de espera Pw, el controlador de cruce de límite de extinción 101b determina si el chip de memoria 10 se cambiará para operar en el modo activo de acuerdo con la señal de dirección interna ADDint y la señal de control " y el controlador de cruce de límite de línea de palabra 100c determina si la operación de cruce de límite de línea de palabra se efectuará en el otro chip de memoria de acuerdo con la señal de dirección interna ADDint y la señal de control CS2. Si el controlador de cruce de límite de línea de palabra 100c determina que la operación de cruce de límite de línea de palabra se efectuara en el otro chip de memoria, el controlador de cruce de límite de línea de palabra 100c actualiza el controlador de dirección 100a para cambiar la señal de dirección interna ADDint.

De otro lado, el controlador de cruce de límite de extinción 100b también recibe la señal de control CS2 del receptor de espera 102. Si el controlador de cruce de límite de extinción 100b determina que el chip de memoria 10 se cambiará para operar en el modo activo de acuerdo con la señal de dirección interna ADDint y la señal de control CS2, el controlador de cruce de límite 100b actualiza entonces el controlador de dirección 100a de acuerdo con la señal de control CS2 para cambiar la señal de dirección interna ADDint. Después, el controlador de operación 104d controla el chip de memoria 10 para operar en el modo activo de acuerdo con la señal de control CS4.

De acuerdo con la descripción anterior, cuando una de una operación de cruce de límite de línea de palabra y una operación de cruce de límite de extinción se efectúa en el chip de memoria 10, el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado no declarado al estado declarado. Así, al monitorear el estado de la señal de espera Sw en la tableta de espera Pw, un usuario, un dispositivo como un dispositivo de módulo de servicio, u otro chip de memoria acoplado al chip de memoria 10 pueden detectar que la operación de cruce del límite de línea de palabra o la operación de cruce de límite de extinción se está efectuando.

En algunas realizaciones, el chip de memoria 10 se puede implementar como uno de los dos chips de memoria apilados en un dispositivo de memoria. Como se muestra en la Fig. 2, un dispositivo de memoria 2 comprende el chip de memoria 10 y otro chip de memoria 11. El chip de memoria 10 se apila sobre el chip de memoria 11. Así, el chip de memoria 10 se denomina como un "chip de memoria superior", y el chip de memoria 11 se denomina como un "chip de memoria inferior". La señal de dirección de entrada ADDin se suministra al chip de memoria superior 10 y la memoria inferior 11. Tanto el chip de memoria superior 10 como la memoria inferior 11 se acoplan en la tableta de espera Pw.

En relación a la Figura 2, el chip de memoria inferior 11 comprende los mismos elementos que el chip de memoria superior 10. El chip de memoria inferior 11 comprende una unidad de control 110, un controlador de espera 111, y un receptor de espera 112. La unidad de control 110 comprende un controlador de dirección 110a, un controlador de cruce de límite 110b, un controlador de cruce de límite de línea de palabra 110c, y un controlador de operación 110d. Las señales que se generan en el chip de memoria inferior 11 y corresponden a las señales ADD-int y CS1-CS5 el chip de memoria superior 10 se representa mediante "ADDint-b", "CS1_b", "CS2_b", "CS3_b", "CS4_b", y "CS5_b", respectivamente. De acuerdo con esto, el chip de memoria superior 10 y el chip de memoria inferior 11

efectúan las mismas operaciones. La descripción detallada de la operación de los elementos en el chip de memoria inferior se omite aquí.

En lo que sigue, la operación de cruce de límite de línea de palabra en uno de los chips de memoria 10 y 11 y la operación de cruce de límite de extinción entre los chips de memoria 10 y 11 se describirán con referencia a las Figuras 2 y 3.

Asumiendo que, al inicio el controlador de operación 110d controla el chip de memoria inferior 11 para operar en el modo inactivo de acuerdo con una señal de control correspondiente CS3_b el controlador de operación 100d controla el chip de memoria superior 10 para operar en el modo activo de acuerdo con la señal de control CS3, y la operación de lectura/escritura se efectúa a una línea de palabra corriente del chip de memoria 10. Si el controlador de cruce de límite de línea de palabra 100c determina que la operación de cruce de límite de línea de palabra se efectuará de acuerdo con la señal de dirección interna ADDint, el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado no declarado al estado declarado de acuerdo con la señal de control CS5. Más aún, el controlador de cruce de límite de línea de palabra 100 se actualiza el controlador de dirección 100a para cambiar la señal de dirección interna ADDint. Al mismo tiempo, el receptor de espera 112 del chip de memoria inferior 11 detecta que la señal de espera Sw se ha cambiado desde el estado no declarado al estado declarado, y el controlador de cruce del límite de línea de palabra 110 determina que la operación de cruce de límite de línea de palabra se efectuará en el chip de memoria superior 10 de acuerdo con la señal de dirección interna ADDint_b y la señal de control CS2_b. El controlador de cruce de límite de línea de palabra 110c también actualiza el controlador de dirección 110a para cambiar la señal de dirección interna ADDint_b. Después de que el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado declarado al estado no declarado, la operación de cruce de límite de línea de palabra se completa en el chip de memoria superior 10, de tal manera que el desempeño de la operación de lectura/escritura del objeto se conmuta desde la línea de palabra corriente a la siguiente línea de palabra; esto es, la línea de palabra corriente se vuelve inactiva y la siguiente línea de palabra se vuelve activa.

Cuando la operación de lectura/escritura se efectúa en la última línea de palabra del chip de memoria superior 10, si el controlador de cruce de límite de extinción 100b determina que el chip de memoria superior 10 cambiará para operar en el modo inactivo de acuerdo con la señal de dirección interna ADDint, el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado no declarado al estado declarado en el punto de tiempo T1 en la Figura 3 de acuerdo con la señal de control CS1 desde el controlador de cruce de límite de extinción 100b. Más aún, el controlador de cruce de límite de extinción 100b actualiza el controlador de dirección 100a para cambiar la señal de dirección interna ADDint. Al mismo tiempo, el receptor de espera 112 detecta que el estado de la señal de espera Sw ha cambiado desde el estado no declarado al estado declarado, y que el controlador de cruce de límite de extinción 100b determina que el chip de memoria superior 10 cambiará para operar en el modo inactivo y el chip de memoria inferior 11 cambiará para operar en el modo activo de acuerdo con la señal de dirección interna ADDint_b y la señal de control CS2_b. Luego, el controlador de cruce de límite de extinción 100b actualiza entonces el controlador de dirección 100a de acuerdo con la señal de control CS2_b para cambiar a la señal de dirección interna ADDint_b. Después de que el controlador de espera 101 cambia el estado de la señal de espera Sw desde el estado no declarado al estado declarado en el punto de tiempo T1, ocurre la latencia L2 en la Figura 3. Después de que cambia el estado de la señal de espera Sw desde el estado no declarado al estado declarado en el punto de tiempo T2, se completa el cruce de límite de extinción. También, el controlador de operación 100d controla el chip de memoria superior 10 para operar en el modo inactivo de acuerdo con la señal de control CS4, y el controlador de operación 100d controla el chip de memoria inferior 11 para operar en el modo activo de acuerdo con la señal de control CS4_b. La operación de conmutación anterior entre los dos chips de memoria 10 y 11 se denomina como una "operación de cruce de límite de extinción".

Después que el chip de memoria superior 10 es conmutado para operar en el modo inactivo y el chip de memoria inferior a 11 es conmutado para operar en el modo activo, el chip de memoria superior 10 opera continuamente en el modo inactivo, y el chip de memoria inferior 11 opera continuamente en el modo activo. Así, cuando la operación de cruce de límite para las líneas de palabras se efectuará en el chip de memoria inferior 11 o se efectuará una operación de cruce de límite de extinción, el chip de memoria superior 10 efectúa las operaciones anteriores del chip de memoria inferior 11, y el chip de memoria inferior 11 efectúa las operaciones anteriores del chip de memoria superior 10.

De acuerdo con las realizaciones de la Fig. 2, cuando los dos chips de memoria se apilan para formar un dispositivo de memoria, al monitorear la tableta de espera Pw, si se detecta que se efectuará la operación de cruce de límite de línea de palabra o la operación de cruce de límite de extinción. Además, de acuerdo con una señal de dirección interna correspondiente y la señal de espera Sw, se puede saber mediante el chip de memoria inactivo cuando la preparación se va hacer para conmutar al modo activo, y se puede saber mediante el chip de memoria activo cuando se va hacer la preparación para conmutar al modo inactivo.

La Fig. 4 es un diagrama de flujo de una realización de ejemplo del método de operación del dispositivo de memoria en la Fig. 2. Asumiendo, al inicio, de acuerdo con la señal de dirección de entrada ADDin y la al menos una señal de comando Scom, el controlador de operación 100d controla el chip de memoria superior 10 para operar en el modo activo, mientras que el controlador de operación 100d controla el chip de memoria inferior 11 para operar en el modo

5 inactivo (etapa S40). Entonces, el controlador de cruce de límite de línea de palabra 100 se determina si la
operación de lectura-escritura se ha efectuado en la última línea de palabra del chip de memoria superior 10 de
acuerdo con la señal de dirección interna ADDint derivada de la señal de dirección de entrada ADDin (etapa S41). Si
el controlador de cruce de límite de línea de palabra 100c determina que no se efectúa una operación de
lectura/escritura en la última línea de palabra del chip de memoria superior 10, el controlador de cruce de límite de
línea de palabra 100c se prepara para efectuar la operación de cruce de límite de línea de palabra (etapa S42).
Entonces, el controlador de cruce de límite de línea de palabra 100c determina si la operación de cruce de límite de
línea de palabra se ha efectuado (etapa S43). Si la operación de cruce de límite de línea de palabra se ha efectuado,
el método de operación regresa a la etapa S41. Si la operación de cruce de límite de línea de palabra no se ha
10 efectuado, el método de operación regresa a la etapa S42.

Si el controlador de cruce de límite de línea de palabra 100c determina que la operación de lectura/escritura se ha
efectuado a la última línea de palabra del chip de memoria superior 10 en la etapa S41, el controlador de cruce de
límite 100 del límite de extinción 100b se prepara para efectuar la operación de cruce de límite de extinción (etapa
S44). Luego, el receptor de espera 112 del chip de memoria inferior 11 determina si el controlador de espera 101 del
15 chip de memoria superior 10 ha cambiado el estado de la señal de espera Sw desde el estado no declarado al
estado declarado (etapa S45). Si el receptor de espera 112 determina que el controlador de espera 101 no ha
cambiado el estado de la señal de espera Sw desde el estado no declarado al estado declarado, el método de
operación regresa a la etapa S44. Si el receptor de espera 112 determina que el controlador de espera 101 ha
cambiado el estado de la señal de espera Sw desde el estado no declarado al estado declarado, el controlador de
operación 110d controla el chip de memoria inferior 11 para operar en el modo activo (S46). Luego, el chip de
20 memoria superior 10 opera en el modo inactivo, mientras que el chip de memoria inferior 11 opera en el modo activo
(etapa S47).

Asumiendo que, de acuerdo con la señal de dirección de entrada ADDin y al menos una señal de comando Scom, el
controlador de operación 100d controla el chip de memoria superior 10 para operar en el modo inactivo, mientras
25 que el controlador de operación 100d controla el chip de memoria inferior 11 para operar en el modo activo. Una
operación de cruce del límite de línea de palabra en el chip de memoria 11 y una operación de cruce de límite de
extinción entre los chips de memoria 10 y 11 se efectúa de acuerdo con las etapas S50-S57 del flujo en la Fig. 5, el
procedimiento de la Fig. 5 es similar a aquel de la Fig. 4. Así, la descripción relacionada se omite aquí.

Mientras que la invención se ha descrito por medio de ejemplo y en los términos de las realizaciones preferidas, se
debe entender que la invención no está limitada a las realizaciones descritas. Por el contrario, se pretende cubrir
30 varias modificaciones y disposiciones similares (como será evidente para aquellos expertos en la técnica). Por lo
tanto, el alcance de las reivindicaciones finales debe estar de acuerdo con la interpretación más amplia con el fin de
comprender todas aquellas modificaciones y disposiciones similares.

REIVINDICACIONES

1. Un dispositivo de memoria que comprende:

un primer chip de memoria (10) para recibir una señal de dirección de entrada (ADDin) y acoplado a una tableta de espera (Pw); y

un segundo chip de memoria (11) para recibir la señal de dirección de entrada (ADDin) y acoplado a la tableta de espera (Pw), en donde el primer chip de memoria (10) y el segundo chip de memoria (11) operan alternativamente en un modo activo,

en donde

cada uno del primer chip de memoria (10) y el segundo chip de memoria (11) comprende:

una unidad de control (100,110) para recibir la señal de dirección de entrada ADDin y al menos una señal de comando (Scom), que determina y controla un modo de operación del chip de memoria correspondiente de acuerdo con la señal de dirección de entrada (ADDin) y al menos una señal de comando (Scom), y generar una primera señal de control (CS1, CS1_b) de acuerdo al resultado de determinación;

un controlador de espera (101, 111) acoplado a la tableta de espera, (Pw), para recibir la primera señal de control (CS1) y cambiar un estado de una señal de espera (Sw) a la tableta de espera (Pw) de acuerdo con la primera señal de control (CS1, CS1_b); y un receptor de espera (102, 112), acoplado a una tableta de espera (Pw), para recibir la señal de espera (Sw) y detectar el estado de la señal de espera (Sw) para generar una segunda señal de control (CS2, CS2_b).

en donde el primer chip de memoria (10) opera en un modo activo y el segundo chip de memoria (11) opera en un modo inactivo, si la unidad de control (100) del primer chip de memoria (10) determina que el primer chip de memoria (10) cambiará para operar en el modo inactivo de acuerdo con la señal de dirección de entrada (ADDin) el controlador de espera (101) del primer chip de memoria (10) cambia el estado de la señal de espera (Sw) desde un estado no declarado a un estado declarado de acuerdo con la primera señal de control correspondiente (CS1); y

en donde cuando el receptor de espera (112) del segundo chip de memoria (11) detecta que el estado de la señal de espera (Sw) ha cambiado desde el estado no declarado al estado declarado, en la unidad de control (110) del segundo chip de memoria (11) determina que el segundo chip de memoria (11) va a cambiar para operar en el modo activo después de que la última línea de palabra en el primer chip de memoria (10) es accesada de acuerdo con la señal de dirección de entrada (ADDin) y la segunda señal de control correspondiente (CS2_b).

2. El chip de memoria como se reivindicó en la reivindicación 1, en donde para cada uno del primer chip de memoria (10) y el segundo chip de memoria (11), la unidad de control (100, 110) comprende:

un controlador de dirección (100a, 110a) para recibir la señal de dirección de entrada (ADDin) y generar una señal de dirección interna (ADDint, ADDint_b) una tercera señal de control (CS3, CS3_b) de acuerdo con la señal de dirección de entrada (ADDin);

un primer controlador de cruce de límite (100b, 110b) , para recibir la señal de dirección interna (ADDint, ADDint_b) y la segunda señal de control (CS2, CS2_b), determinando si el modo de operación del chip de memoria correspondiente se cambiará de acuerdo con la señal de dirección interna (ADDint, ADDint_b) y la segunda señal de control (CS2, CS2_b), y generar la primera señal de control (CS1, CS1_b) y la cuarta señal de control (CS4, CS4_b), de acuerdo al resultado de determinación; y

un controlador de operación (100d, 110d) para recibir la tercera señal de control (CS3, CS3_b) y la cuarta señal de control (CS4, CS4_b) y la al menos una señal de comando (Scom) y controlar la operación del chip de memoria correspondiente de acuerdo con la tercera señal de control (CS3, CS3_b) y la cuarta señal de control (CS4, CS4_b) .

3. El dispositivo de memoria como se reivindicó en la reivindicación 2, en donde cuando el controlador de operación (100d) del primer chip de memoria (10) controla el primer chip de memoria (10) para operar en el modo activo de acuerdo con la tercera señal de control correspondiente (CS3, CS3_b) y la al menos una señal de comando (Scom) y el controlador de operación (110d) del segundo chip de memoria (11) controla el segundo chip de memoria (11) para operar en el modo inactivo de acuerdo con la tercera señal de control correspondiente (CS3, CS3_b) y la al menos una señal de comando (Scom), si el primer controlador de cruce de límite (100b) del primer chip de memoria (10) determina que el primer chip de memoria (10) cambiará para operar en el modo inactivo de acuerdo con la señal de dirección interna correspondiente (ADDint, ADDint_b) el controlador de espera (101) del primer chip de memoria (10) cambia el estado de la señal de espera (Sw) desde el estado no declarado al estado declarado de acuerdo con la primera señal de control correspondiente (CS1), el primer controlador de cruce de límite (100b) del primer chip de memoria (10) actualiza el controlador de dirección (100a) y el primer chip de memoria (10)

para cambiar la señal de dirección interna correspondiente (ADDint, ADDint_b) , y el primer controlador de cruce de límite (100b) del segundo chip de memoria (11) actualiza el controlador de dirección (110a) del segundo chip de memoria (11) de acuerdo con la segunda señal de control correspondiente (CS2) para cambiar la señal de dirección interna correspondiente (ADDint, ADDint_b).

5 4. El dispositivo de memoria como se reivindicó en la reivindicación 1, en donde después de que el controlador de espera (101) del primer chip de memoria (10) cambia el estado de la señal de espera (Sw) desde el estado no declarado al estado declarado de acuerdo con la primera señal de control correspondiente (CS1), el controlador de operación (100d) del primer chip de memoria (10) controla el primer chip de memoria (10) para operar en el modo inactivo de acuerdo con la cuarta señal de control correspondiente (CS4, CS4_b), y el controlador de operación (110d) del segundo chip de memoria (11) controla el segundo chip de memoria (11) para operar en el modo activo de acuerdo con la cuarta señal de control correspondiente (CS4, CS4_b).

10 5. El dispositivo de memoria como se reivindicó en la reivindicación 3, en donde cuando el receptor de espera (112) del segundo chip de memoria (11) detecta que el estado de la señal de espera (Sw) ha cambiado desde el estado no declarado al estado declarado, el primer controlador de cruce de límite (110b) del segundo chip de memoria (11) determina si el segundo chip de memoria (11) cambiará para operar en el modo activo de acuerdo con la señal de dirección interna correspondiente (ADDint, ADDint_b) y la segunda señal de control correspondiente (CS2); y

15 en donde si el primer controlador de cruce de límite (110b) del segundo chip de memoria (11) determina que el segundo chip de memoria (11) cambiará para operar en el modo activo, el primer controlador de cruce de límite (110b) del segundo chip de memoria (11) actualiza el controlador de dirección (110a) del segundo chip de memoria (11) de acuerdo con la segunda señal de control correspondiente para cambiar la señal de dirección interna correspondiente (ADDint, ADDint_b), y el primer controlador de cruce de límite (100b) del primer chip de memoria (10) actualiza el controlador de dirección (100a) del primer chip de memoria (10) para cambiar la señal de dirección interna correspondiente (ADDint, ADDint_b).

20 6. El dispositivo de memoria como se reivindicó en la reivindicación 5, en donde después de que el primer controlador de cruce de límite (110b) del segundo chip de memoria (11) determina que el segundo chip de memoria (11) cambiará para operar en el modo activo, el controlador de operación (110d) de la segunda memoria controla el segundo chip de memoria (11) para operar en el modo activo de acuerdo con la cuarta señal de control correspondiente (CS4, CS4_b), y el controlador de operación (100d) del primer chip de memoria (10) controla el primer chip de memoria (10) para operar en el modo inactivo de acuerdo con la cuarta señal de control correspondiente (CS4, CS4_b).

25 7. El dispositivo como se reivindicó en la reivindicación 2, para cada uno del primer chip de memorias (10) y el segundo chip de memoria (11), en donde la unidad de control (100, 110) comprende además:

30 un segundo controlador de cruce de límite (100c, 110c), para recibir la señal de dirección interna (ADDint, ADDint_b) , determinando si una operación de cruce de límite de línea de palabra del correspondiente chip de memoria se efectuará en el correspondiente chip de memoria de acuerdo con la señal de dirección interna (ADDint, ADDint_b) cuando el controlador de operación (100d, 110d) controla el chip de memoria correspondiente para operar en el modo activo de acuerdo con la tercera señal de control (CS3, CS3_b) y la al menos una señal de comando (Scom), y generando una quinta señal de control (CS5, CS5_b) de acuerdo al resultado de determinación para el controlador de espera (101,111).

35 8. El dispositivo de memoria como se reivindicó en la reivindicación 7, en donde cuando el controlador de operación (100d, 110d) controla el correspondiente chip de memoria para operar en el modo activo de acuerdo con la tercera señal de control (CS3, CS3_b) y la al menos una señal de comando (Scom), si el segundo controlador de cruce de límite (100c, 110c) determina que la operación de cruce de límite del correspondiente chip de memoria se efectuará, el controlador de espera (101, 111) cambia el estado de la señal de espera (Sw) desde el estado no declarado al estado declarado de acuerdo con la quinta señal de control (CS5, CS5_b), y el segundo controlador de cruce de límite (100c, 110c) actualiza el controlador de dirección (100a, 110a) para cambiar la señal de dirección interna (ADDint, ADDint_b).

40 9. El dispositivo de memoria como se reivindicó en la reivindicación 8, en donde después de que el controlador de espera (101, 111) cambia el estado de la señal de espera (Sw) desde el estado no declarado al estado declarado, se efectúa la operación de cruce de límite del chip de memoria correspondiente.

45 10. El dispositivo de memoria como se reivindicó en la reivindicación 7, en donde para cada uno del primer chip de memoria (10) y el segundo chip de memoria (11), el segundo controlador de cruce de límite (100c, 110c) determina además si la operación de cruce de límite de línea de palabra se efectuará en el otro chip de memoria de acuerdo con la señal de dirección interna (ADDint, ADDint_b) y la segunda señal de control (CS2); y si el segundo controlador de cruce de límite (100c, 110c) determina que la operación de cruce de límite de línea de palabra se efectuará en el otro chip de memoria, el segundo controlador de cruce de límite (100c, 110c) actualiza el controlador de dirección (100a, 110a) para cambiar la señal de dirección interna (ADDint, ADDint_b).

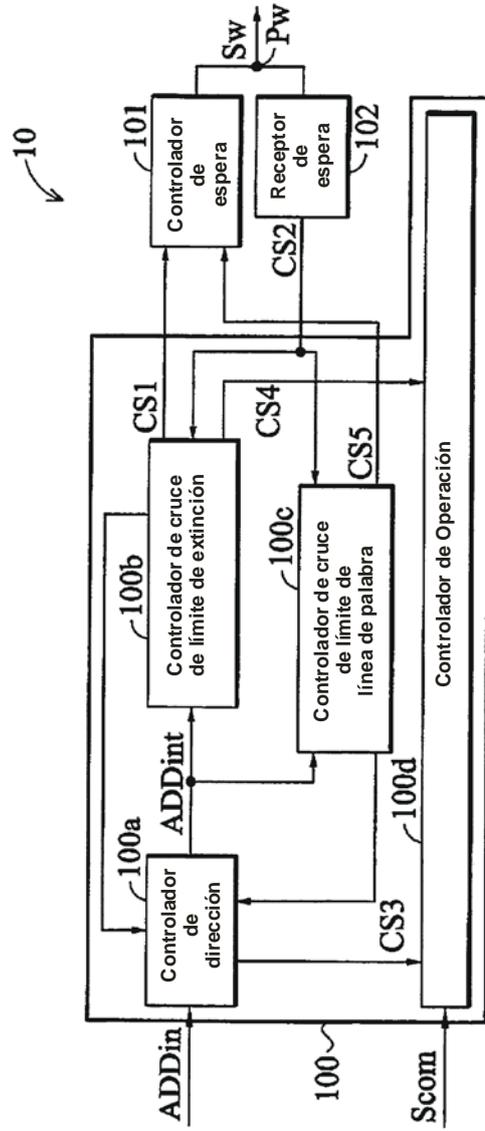


FIG. 1

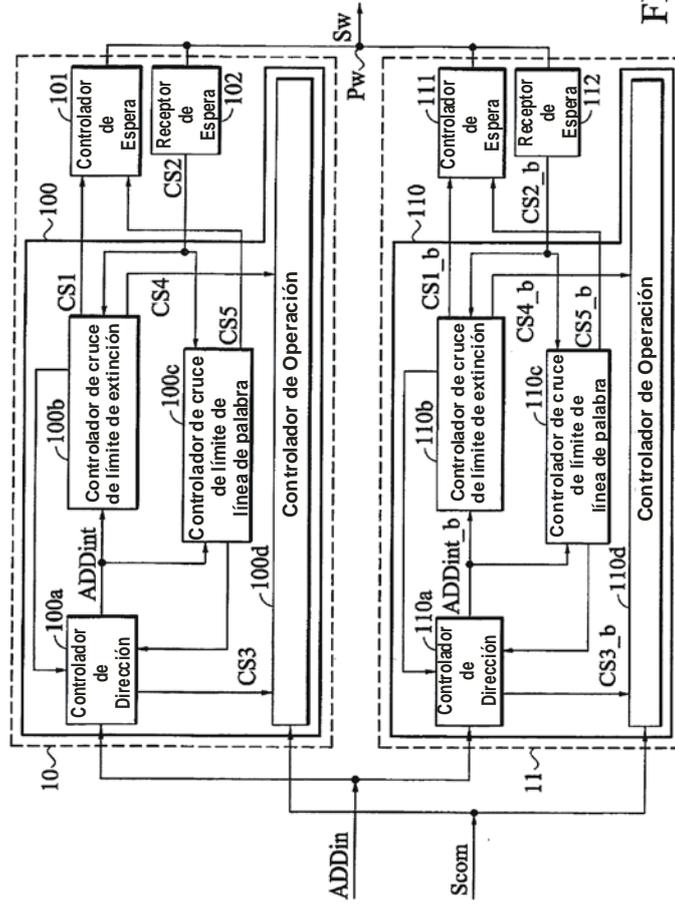


FIG. 2

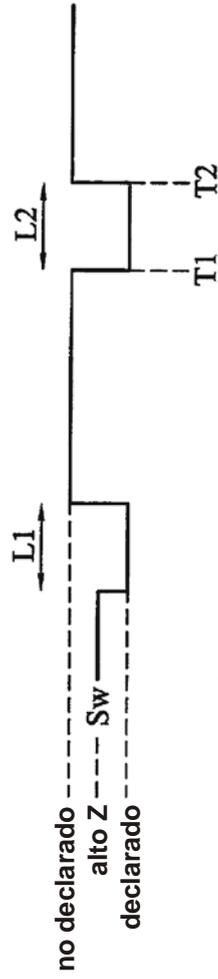


FIG. 3

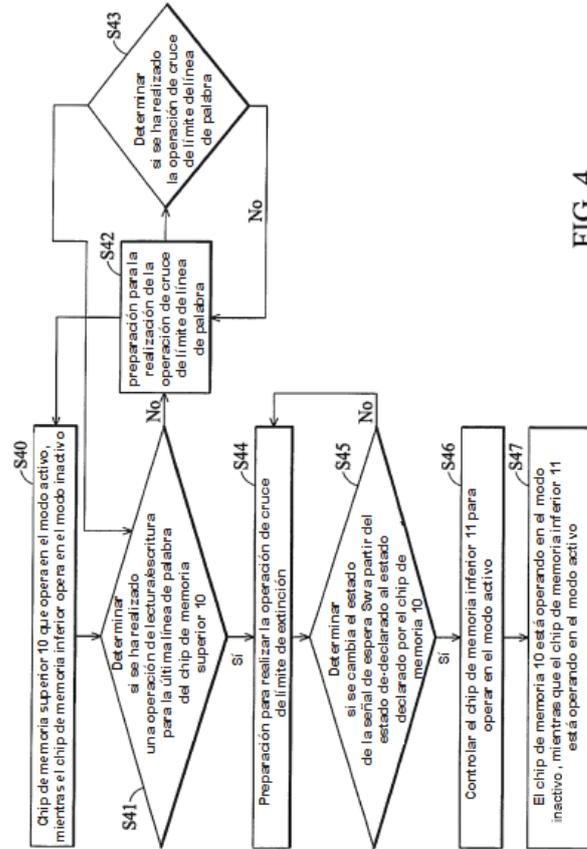


FIG. 4

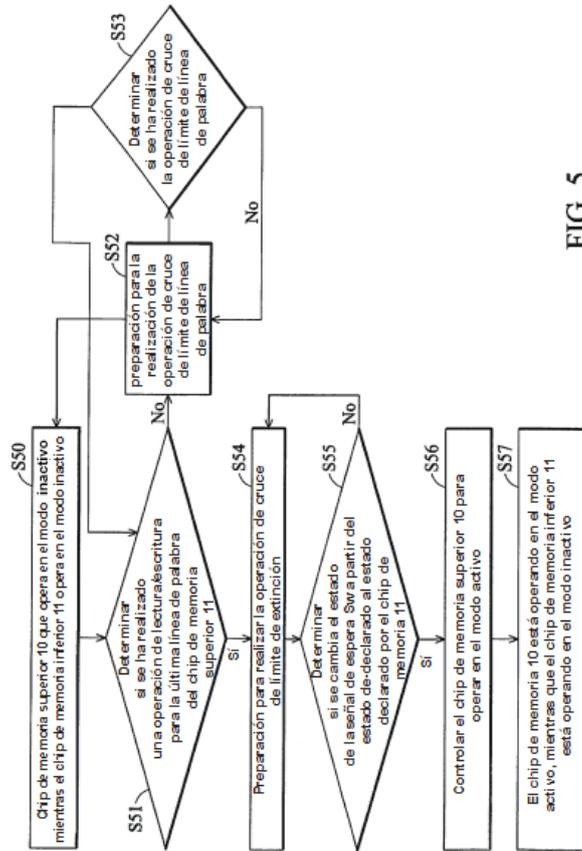


FIG. 5