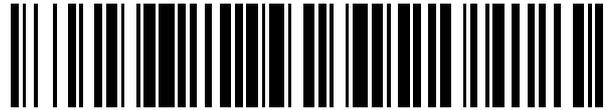


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 395 570**

51 Int. Cl.:

**G11C 5/06** (2006.01)

**G11C 7/10** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.09.2006 E 08006223 (5)**

97 Fecha y número de publicación de la solicitud europea: **15.10.2008 EP 1981030**

54 Título: **Dispositivo de Cascada de Cadena Tipo Margarita**

30 Prioridad:

**30.09.2005 US 722368 P**

**30.12.2005 US 324023**

**28.03.2006 US 787710 P**

**31.07.2006 US 496278**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**13.02.2013**

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED  
(100.0%)**

**SUITE 203, 11 HINES ROAD  
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:

**PYEON, HONG BEOM;  
KIM, JIN-KI y  
OH, HAKJUNE**

74 Agente/Representante:

**CARVAJAL Y URQUIJO, Isabel**

**ES 2 395 570 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

## Dispositivos en Cascada de Cadena Tipo Margarita

## Antecedentes de la invención

5 Hoy en día los sistemas basados en ordenadores se pueden encontrar en casi cualquier parte y han hecho incursiones en muchos dispositivos que son utilizados por la sociedad cotidianamente, tal como teléfonos celulares, ordenadores portátiles, automóviles, dispositivos médicos, ordenadores personales, etc. En general, la sociedad ha deposita mucha confianza en los sistemas basados en ordenadores para manejar tareas diarias tal como tareas simples como conciliar cuentas corrientes hasta tareas relativamente complejas tales como predecir el clima. En la medida en que mejora la tecnología, más y más tareas migran hacia los sistemas basados en ordenadores. Esto, a su vez, hace que la sociedad se vuelva cada vez más dependiente de estos sistemas.

10 Un sistema basados en ordenador normal comprende una tarjeta de sistema y opcionalmente uno o más dispositivos periféricos, tales como unidades de visualización, unidades de almacenamiento y similares. El tarjeta de sistema puede contener uno o más procesadores, un subsistema de memoria y otros subsistemas lógicos, tal como interfaces de dispositivo en serie, controladores de dispositivo de red, controladores de disco duro y similares.

15 El tipo de procesadores que se empelan en una tarjeta de sistema particular depende usualmente del tipo de tareas realizadas por el sistema. Por ejemplo, un sistema que realiza un grupo de tareas limitado, tal como supervisar emisiones generadas por un motor de automóvil y ajustar una mezcla de aire/combustible para asegurar que el motor está quemando el combustible completamente puede emplear un simple procesador especializado que está dirigido a realizar dichas tareas. De otra parte, un sistema que realiza muchas tareas diferentes, tal como gestionar muchos usuarios y ejecutar muchas aplicaciones diferentes, puede emplear uno o más procesadores complejos que tienen naturaleza de propósito general, configurado para realizar cálculos a alta velocidad y manipular datos para minimizar el tiempo de respuesta para servir a las solicitudes de los usuarios.

20 El subsistema de memoria es un almacenamiento que tiene información (por ejemplo, instrucciones, valores de datos) utilizada por los procesadores. El subsistema de memoria comprende normalmente un controlador lógico y uno o más dispositivos de memoria. El controlador lógico normalmente se configura para estar en interfaz con los dispositivos de memoria con los procesadores y permitir que los procesadores almacenen y recuperan información hacia y desde los dispositivos de memoria. Los dispositivos de memoria poseen la información actual.

25 Como los procesadores, el tipo de dispositivos empleados en un subsistema de memoria es frecuentemente dirigido por el tipo de tareas realizadas por el sistema de ordenador. Por ejemplo, un sistema de ordenador puede tener la tarea de tener que arrancar sin la asistencia de una unidad de disco y realizar un grupo de rutinas de software que no cambian frecuentemente. Aquí, el subsistema de memoria puede emplear dispositivos no volátiles, tal como dispositivos de memoria flash, para almacenar las rutinas de software. Otros sistemas de ordenador pueden ejecutar muchas tareas complejas que requieren un gran almacenamiento de datos a alta velocidad para alojar grandes cantidades de información. Aquí, el subsistema de memoria puede emplear dispositivos de Memoria de Acceso de Aleatorio Dinámico (DRAM) de alta densidad y alta velocidad para almacenar grandes cantidades de información.

30 Actualmente, las unidades de disco duro tienen altas densidades que pueden almacenar 20 a 40 Gigabytes de datos, pero son relativamente voluminosos. Sin embargo, la memoria flash, también conocida como unidades de estado sólido, es popular debido a su alta densidad, no volatilidad, y tamaño relativamente pequeño en comparación con las unidades de disco duro. La tecnología de memoria flash se basa en tecnologías EPROM y EEPROM. El término "flash" se seleccionó debido a que un gran número de celdas de memoria se pueden borrar de una vez como se distingue de las EEPROM, en donde cada byte se borra individualmente. El advenimiento de celdas multinivel (MLC) aumenta adicionalmente la densidad de la memoria flash con relación a celdas de único nivel. Aquellos expertos en la técnica comprenderán que la memoria flash se puede configurar como NOR Flash o NAND Flash, esta última tiene mayor densidad por área dada debido a su estructura de matriz de memoria más compacta. Con el propósito de discusión adicional, las referencias a la memoria *flash* se deben entender como NOR o NAND u otro tipo de memoria *flash*.

35 Los dispositivos en un subsistema de memoria se interconectan frecuentemente utilizando un esquema de interconexión en paralelo. Este esquema implica interconectar los dispositivos en una forma tal que la información de datos y direcciones y señales de control se acoplan a los dispositivos en una forma en paralelo. Cada dispositivo puede incorporar múltiples entradas/salidas para acomodar la transferencia en paralelo de información de dirección y datos así como las señales de control a los dispositivos.

La técnica anterior más cercana el documento US 2004/0148482 A1 describe memorias reivindicadas tipo margarita con habilitación de entrada, reloj y comandos para habilitación de salida.

## Resumen de la invención

Un inconveniente asociado con la utilización de interconexiones en paralelo en un subsistema de memoria es que tienden a requerir un gran número de interconexiones entre los dispositivos con el fin de transferir información y señales a los dispositivos en paralelo. Esto se agrega a la complejidad de las tarjetas que implementan estos subsistemas. Más aún, los efectos indeseados asociados con grandes números de interconexiones, tal como diafonía, tienden a limitar el desempeño de estos subsistemas. Adicionalmente, el número de dispositivos incorporados en estos subsistemas se puede limitar debido al retardo de propagación de señales llevadas por las interconexiones.

Las técnicas descritas aquí superan los inconvenientes anteriores al proporcionar una técnica para acoplar dispositivos en una disposición en cascada de cadena tipo margarita en serie que emplea menos conexiones y más cortas que las implementaciones de interconexión en paralelo. La configuración de los dispositivos en la disposición en cascada de cadena tipo margarita puede permitir a los dispositivos ser operados a mayores velocidades que las implementaciones de interconexión en paralelo debido a que utilizan menos interconexiones y más cortas que hacen la implementación general menos vulnerable a efectos indeseados, tal como retardo de propagación y diafonía. Más aún, menores conexiones y más cortas tienden a reducir la complejidad de la implementación. Esto reduce la complejidad permite adicionalmente a un subsistema contener los dispositivos que se van a implementar en un área más pequeña permitiendo así que el subsistema ocupe una huella de memoria más pequeña.

La invención se describe en las reivindicaciones 1 y 13.

De acuerdo con los aspectos de las técnicas descritas aquí, los dispositivos se acoplan en una disposición en cascada de cadena tipo margarita de tal manera que las salidas de un dispositivo anterior en la cascada de cadena tipo margarita se acoplan a las entradas del siguiente dispositivo en la cascada tipo margarita para acomodar la transferencia de información (por ejemplo, datos, direcciones e información de comandos) y señales de control (por ejemplo, señales de habilitación) desde el dispositivo anterior al siguiente dispositivo.

En una realización de las técnicas, cada dispositivo en la cascada de cadena tipo margarita comprende una entrada en serie (SI) y una salida en serie (SO). La información se ingresa a un dispositivo a través de su SI. De la misma manera, la información es sacada desde el dispositivo a través de su SO. El SO de un dispositivo en la cascada de cadena tipo margarita que se acopla al SI del siguiente dispositivo en la cascada de cadena tipo margarita. El circuito se proporciona en los dispositivos para permitir entrada de información a un dispositivo anterior en la cascada de cadena tipo margarita a través de su SI que pasa a través del dispositivo y sale del dispositivo a través de su SO. La información se transfiere luego al SI del siguiente dispositivo en la cascada de cadena tipo margarita a través de la conexión entre el SO del dispositivo anterior y el SI del siguiente dispositivo. La información transferida luego se puede ingresar al siguiente dispositivo a través de su SI.

Adicionalmente, una señal de reloj se acopla a los dispositivos en la cascada de cadena tipo margarita. La señal de reloj se utiliza por los dispositivos para acomodar la transferencia de la información desde un dispositivo al siguiente dispositivo en la cascada de cadena tipo margarita.

De acuerdo con otros aspectos de las técnicas descritas aquí, las señales de control (por ejemplo, señales de habilitación) que se utilizan por los dispositivos para, por ejemplo, permitir que los datos que ingresan al dispositivo a través del SI y salen del dispositivo a través del SO se transfieran entre los dispositivos en la cascada de cadena tipo margarita, como se describió anteriormente. Aquí, el circuito se proporciona para la entrada de señales de control a un dispositivo anterior en la cascada de cadena tipo margarita que se propaga a través del dispositivo y se transfiere desde el dispositivo por medio de una salida a una entrada de un siguiente dispositivo en la cascada de cadena tipo margarita. Las señales de control transferidas luego se ingresan al siguiente dispositivo a través de la entrada.

De acuerdo con los principios de la presente invención, un sistema de memoria flash puede tener la pluralidad de dispositivos de memoria flash conectados en serie. Un dispositivo de memoria flash del sistema puede incluir una interfaz de enlace de datos seriales que tienen un puerto de entrada de datos seriales y un puerto de salida de datos seriales, un puerto de entrada de control para recibir una primera señal que permite entrada, y un puerto de salida de control para enviar una segunda señal que permite entrada. Las señales de habilitación de entrada se utilizan en el circuito que controla la transferencia de datos entre la interfaz de enlace de datos seriales y el banco de memoria. Los dispositivos de memoria flash se configuran para recibir datos seriales de entrada y señales de control desde una fuente externa y para proporcionar datos y señales de control a un dispositivo externo. La fuente externa y el dispositivo externo pueden ser otros dispositivos de memoria flash dentro del sistema. En la realización de la presente invención, cuando los dispositivos están en cascada en serie en un sistema, estos pueden tener puertos de control de salida adicionales que hagan "eco" de las señales IPE y OPE recibidas en los dispositivos externos. Esto permite que el sistema tenga puertos de señal conectados punto a punto para formar un esquema en cascada de cadena tipo margarita (versus esquema en cascada de radiodifusión/multipunto).

Estos sistemas pueden utilizar una identificación única de dispositivo y esquema de dirección de selección del dispositivo objetivo, a diferencia de utilizar terminales de selección de dispositivo físico de hardware limitado, ya que el sistema completo se puede expandir fácilmente tanto como sea posible en términos de densidad de memoria sin sacrificar el desempeño general del sistema. En algunas realizaciones de la presente invención, cada uno de los dispositivos de memoria flash puede incluir un identificador de dispositivo único. Los dispositivos se pueden analizar configurados al campo de información del dispositivo objetivo en datos de entrada en serie para correlacionar la información del dispositivo objetivo con el número único de identificación de dispositivo del dispositivo para determinar si el dispositivo es el dispositivo objetivo. El dispositivo puede analizar el campo de información del dispositivo objetivo antes de procesar cualesquier datos de entrada recibidos adicionales. Si el dispositivo de memoria no es el dispositivo objetivo, puede ignorar los datos seriales de entrada, ahorrando así tiempo de proceso adicional y recursos.

#### Breve descripción de los dibujos

Lo anterior será evidente a partir de la siguiente descripción detallada de las realizaciones de ejemplo de la invención, como se ilustra en los dibujos acompañantes en los que caracteres con referencia similar se refieren a las mismas partes a través de las diferentes vistas. Los dibujos no están necesariamente a escala, se hace énfasis en su lugar luego de ilustrar las realizaciones de la presente invención.

FIGURA 1 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto individual configurados en una disposición en cascada de cadena tipo margarita en serie.

FIGURA 2 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto individual configurados en una disposición en cascada de cadena tipo margarita en serie que tiene un reloj en cascada.

FIGURA 3 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto dual configurados en una disposición en cascada de cadena tipo margarita en serie.

FIGURA 4 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto individual configurados en una disposición de cadena tipo margarita en serie que tiene entradas y salidas para diversas señales de habilitación.

FIGURA 5 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende dispositivos de puerto dual configurados en una disposición de cadena tipo margarita en serie que tiene entradas y salidas configuradas para diversas señales de habilitación.

FIGURA 6 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos que tienen múltiples entradas seriales y múltiples salidas seriales que se configuran en una disposición en cascada de cadena tipo margarita en serie.

FIGURA 7 es un diagrama de temporización que ilustra la temporización asociada con una operación de lectura realizada en un dispositivo individual configurado y una pluralidad de dispositivos configurados en una disposición en cascada de cadena tipo margarita en serie.

FIGURA 8 es un diagrama de temporización que ilustra la temporización asociada con información que se transfiere entre dispositivos configurados en una disposición en cascada de cadena tipo margarita en serie.

FIGURA 9 es un diagrama de bloques de alto nivel del control lógico de salida en serie de ejemplo para un dispositivo de puerto individual.

FIGURA 10 es un diagrama de bloques de alto nivel del control lógico de salida en serie de ejemplo para un dispositivo de puerto dual.

FIGURA 11 es un diagrama de bloques detallado del control lógico de salida en serie de ejemplo para un dispositivo.

FIGURA 12 es un diagrama de bloques de una configuración de ejemplo de dispositivos configurados en una disposición en cascada de cadena tipo margarita en serie y que contiene el control lógico de salida en serie del ejemplo.

FIGURA 13 es un diagrama de temporización que ilustra la temporización asociada con entradas y salidas de los dispositivos que comprende el control lógico de salida en serie de ejemplo.

FIGURA 14 es un diagrama de bloques del control lógico de salida en serie de ejemplo que se puede utilizar para transferir datos desde la memoria contenidos en un primer dispositivo en una cascada de cadena tipo margarita a un segundo dispositivo en la cascada de cadena tipo margarita.

FIGURA 15 es un diagrama de temporización que ilustra la temporización asociada con la transferencia de datos contenidos en memoria de un primer dispositivo en una cascada de cadena tipo margarita a un segundo dispositivo en la cascada de cadena tipo margarita utilizando el control lógico de salida en serie de ejemplo.

Descripción detallada de la invención

Sigue una descripción de las realizaciones preferidas de la invención.

La FIGURA 1 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto individual 110a-e configurados en una disposición en cascada de cadena tipo margarita en serie. Los dispositivos 110a-e son ilustrativamente dispositivos de memoria cada uno de los cuales contiene una memoria (no mostrada) que puede comprender celdas de Memoria de Acceso Aleatorio Dinámico (DRAM), celdas de Memoria de Acceso Aleatorio Estático (SRAM), celdas de memoria flash y similares. Cada dispositivo 110 comprende una entrada en serie (SI), una salida en serie (SO), una entrada de reloj (SCLK) y una entrada de selección de chip (CS#).

El SI se utiliza para transferir información (por ejemplo, comandos, direcciones e información de datos) en un dispositivo 110. El SO se utiliza para transferir información desde el dispositivo 110. La entrada SCLK se utiliza para proporcionar una señal externa de reloj al dispositivo 110 y la entrada CS# se utiliza para proporcionar una señal de selección de chip al dispositivo 110. Un ejemplo de un dispositivo que se puede utilizar con las técnicas descritas aquí es un dispositivo de Memoria de Enlace Serial Independiente Múltiple (MISL) descrito en la Solicitud de Patente Estadounidense No. 11/324,023.

El SI y SO se conectan entre los dispositivos 110 en la disposición en cascada de cadena tipo margarita de tal manera que el SO de un dispositivo anterior 110 en la cascada de cadena tipo margarita se acopla al SI del siguiente dispositivo 110 en la cascada de cadena tipo margarita. Por ejemplo, el SO del dispositivo 110a se acopla al SI de dispositivo 110b. La entrada SCLK de cada dispositivo 110 se carga con una señal de reloj desde, por ejemplo, un controlador de memoria (no mostrado). La señal de reloj se distribuye a cada dispositivo 110 a través de un enlace común. Como se describirá adicionalmente adelante, se utiliza SCLK para, inter alia, ingresar información de bloqueo interno al dispositivo 110 en diversos registradores contenidos en el dispositivo 110.

La entrada de información a los dispositivos 110 se puede bloquear internamente en diferentes momentos de la señal de reloj cargados a la entrada SCLK. Por ejemplo, en una implementación de índice de datos individuales (SDR), la entrada de información al dispositivo 110 en el SI se puede bloquear internamente en el borde de subida y bajada de la señal de reloj SCLK. Alternativamente, en una implementación de índice de datos doble (DDR), se pueden utilizar los bordes de subida y bajada de la señal de reloj SCLK para ingresar información de bloqueo interno al SL.

La entrada CS# de cada dispositivo es una selección de chip convencional que selecciona el dispositivo. Esta entrada se acopla a un enlace común que permite que una señal de selección de chip se afirme en todos los dispositivos 110 concurrentemente y por consiguiente seleccione todos los dispositivos 110 simultáneamente.

La FIGURA 2 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto individual 210a-e configurados en una disposición en cascada de cadena tipo margarita en serie que tiene un reloj en cascada. Cada dispositivo 210 comprende una entrada SI, SO, SCLK y entrada CS#, como se describió anteriormente. Adicionalmente, cada dispositivo 210 comprende una salida de reloj (SCLKO). El SCLKO es una salida que genera la entrada de señal SCLK al dispositivo 210.

Con referencia a la FIGURA 2, el SI y SO de los dispositivos 210 se acoplan en una disposición en cascada de cadena tipo margarita, como se describió anteriormente. Adicionalmente, la entrada SCLK y SCLKO de los dispositivos también se acopla en una disposición en cascada de cadena tipo margarita de tal manera que el SCLKO de un dispositivo anterior 210 en la cascada de cadena tipo margarita se acopla a la entrada SCLK del siguiente dispositivo 210 en la cascada de cadena tipo margarita. Sin embargo, por ejemplo, el SCLKO del dispositivo 210a se acopla a la entrada SCLK del dispositivo 210b.

Observe que la señal de reloj puede provocar un retardo cuando se propaga a través de los dispositivos de cascada de cadena tipo margarita. Se puede emplear un circuito de compensación de retardo interno, tal como un circuito de bucle cerrado de retardo (DLL), para obviar este retardo.

La FIGURA 3 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto dual 310a-e configurados en una disposición en cascada de cadena tipo margarita en serie. Cada dispositivo 310 comprende un SI y SO para cada puerto, una entrada SCLK y salida CS#, como se describió anteriormente. Con referencia a la FIGURA 3, el SI para el primer puerto en el dispositivo 310 se etiqueta "SI0" y el SI para el segundo puerto se etiqueta "SI1". De la misma manera, el SO para el primer puerto se etiqueta "SO0" y para el segundo puerto "SO1". El SI y SO para cada puerto se conectan entre los dispositivos 310 como se describió anteriormente. Sin embargo, por ejemplo, el SO del puerto 0 en el dispositivo 310a se carga al SI del puerto 0 en el dispositivo 310b y así sucesivamente. De la misma manera, el SO del puerto 1 en el dispositivo 310a se carga al SI del puerto 1 en el dispositivo 310b y así sucesivamente.

La FIGURA 4 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos de puerto individual configurados en una disposición de cadena tipo margarita en serie que tiene entradas y salidas para diversas señales de habilitación. Cada dispositivo 410 comprende un SI, SO, salida CS#, entrada SCLK, como se describió anteriormente. Adicionalmente, cada dispositivo 410 comprende una entrada habilitada del puerto de entrada (IPE), entrada habilitada del puerto de salida (OPE), salida habilitada del puerto de entrada (IPEQ) y salida habilitada del puerto de salida (OPEQ). La entrada IPE se utiliza para ingresar una señal IPE al dispositivo. La señal IPE se utiliza por el dispositivo para habilitar el SI de tal manera que cuando el IPE tiene información afirmada se puede ingresar en serie al dispositivo 410 a través del SI. De la misma manera, se utiliza la entrada OPE para ingresar una señal OPE al dispositivo. La señal OPE es utilizada por el dispositivo para habilitar el SO de tal manera que cuando el OPE tiene información afirmada puede salir en serie del dispositivo 410 a través del SO. El IPEQ y OPEQ son salidas que se generan de las señales IPE y OPE, respectivamente, desde el dispositivo. La señal IPEQ puede ser una señal IPE retrasada, o algún derivado de la señal IPE. De forma similar, la señal OPEQ puede ser una señal OPE retrasada, o algún derivado de la señal OPE. La entrada CS# y las entradas SCLK se acoplan a enlaces separados que distribuyen las señales CS# y SCLK, respectivamente, a los dispositivos 410a-d, como se describió anteriormente.

El SI y SO se acoplan desde un dispositivo al siguiente en una disposición en cascada de cadena tipo margarita, como se describió anteriormente. Más aún, el IPEQ y OPEQ de un dispositivo anterior 410 en la cascada de cadena tipo margarita se acoplan a la entrada IPE y la entrada OPE, respectivamente, del siguiente dispositivo 410 en la cascada de cadena tipo margarita. Esta disposición permite que las señales IPE y OPE se transfieran desde un dispositivo 410 al siguiente en una forma en cascada de cadena tipo margarita en serie.

La FIGURA 5 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende dispositivos de puerto dual 510a-d configurados en una disposición de cadena tipo margarita en serie que tiene entradas y salidas para diversas señales de habilitación. Cada dispositivo 510 comprende una salida CS#, entrada SCLK, y un SI, SO, IPE, OPE, IPEQ y OPEQ para cada puerto, como se describió anteriormente. El SI, SO, IPE, OPE, IPEQ y OPEQ para el puerto 1 y el puerto 2 se designan SI1, SO1, IPE1, OPE1, IPEQ1 y OPEQ1, y SI2, SO2, IPE2, OPE2, IPEQ2 y OPEQ2, respectivamente.

La entrada CS# para cada dispositivo 510 se acopla a un enlace sencillo para seleccionar simultáneamente todos los dispositivos 510, como se describió anteriormente. De la misma manera, el SCLK para cada dispositivo 510 se acopla a un enlace sencillo que se configura para distribuir simultáneamente una señal de reloj a todos los dispositivos 510, como se describió anteriormente. También, como se describió anteriormente, el SI, SO, IPE, OPE, IPEQ y OPEQ se acoplan entre los dispositivos de tal manera que el SO, IPEQ y OPEQ de un dispositivo anterior en la cascada de cadena tipo margarita se acoplan al SI, IPE y OPE de un último dispositivo en la cascada de cadena tipo margarita. Por ejemplo, el SO1, SO2, IPEQ1, IPEQ2, OPEQ1 y OPEQ2 del dispositivo 510a se acoplan al SI1, SI2, IPE1, IPE2, OPE1 y OPE2, respectivamente, del dispositivo 510b.

Las señales SI, IPE y OPE que son la entrada a las entradas SI, IPE y OPE del dispositivo 510a, respectivamente, se proporcionan al dispositivo 510a desde, por ejemplo, un controlador de memoria (no mostrado). El dispositivo 510d proporciona datos y señales de control de nuevo al controlador de memoria a través de las salidas SO, IPEQ y OPEQ del dispositivo 510d.

La FIGURA 6 es un diagrama de bloques de una configuración del dispositivo de ejemplo que comprende una pluralidad de dispositivos 610a-d que tienen múltiples entradas seriales (SI0 hasta SI<sub>n</sub>) y múltiples salidas seriales (SO0 hasta SO<sub>n</sub>) que se configuran en una disposición en cascada de cadena tipo margarita en serie. Adicionalmente, cada dispositivo 610 tiene una entrada SCLK y salida CS#, como se describió anteriormente.

Las entradas seriales (SI0 hasta SI<sub>n</sub>) y salidas seriales (SO0 hasta SO<sub>n</sub>) empleadas para cada dispositivo 610 que permite que ingrese información a y que salga del dispositivo 610, respectivamente, en una forma de serie. Cada entrada se puede asignar a una función específica para ingresar ciertos tipos de información (por ejemplo,

5 direcciones, comandos, datos) y/o señales (por ejemplo, señales de habilitación) al dispositivo 610. De la misma manera, cada salida se puede asignar a una función específica para la salida de ciertos tipos de información y señales desde el dispositivo 610. Por ejemplo, se puede asignar una función a una o más entradas para permitir información de dirección que se va a ingresar al dispositivo 610. De la misma manera, por ejemplo, se puede asignar una función a una o más salidas para la salida de información de direcciones desde el dispositivo 610.

10 El número de entradas y salidas seriales para cada dispositivo 610 depende normalmente de ciertos factores, tal como el número de líneas de direcciones, tamaño de los comandos y tamaño del ancho de los datos. Estos factores se pueden influenciar mediante cómo se utiliza el dispositivo en una aplicación particular del sistema. Por ejemplo, una aplicación del sistema que requiere un almacenamiento de datos que se utiliza para almacenar una cantidad pequeña de información puede emplear un dispositivo que tiene pocas direcciones y líneas de datos, y por lo tanto pocas entradas/salidas, que la aplicación de un sistema que requiere un almacenamiento de datos para una gran cantidad de información.

15 La FIGURA 7 es un diagrama de temporización que ilustra la temporización asociada con una operación de lectura realizada en un dispositivo único, y una pluralidad de dispositivos configurados en una disposición en cascada de cadena tipo margarita en serie. Con referencia a la FIGURA 7, se afirma que el CS# selecciona todos los dispositivos. La operación de lectura inicia al afirmar el IPE y la información de reloj asociada con la operación de lectura en el dispositivo a través de SI. Ilustrativamente, esta información incluye un comando (CMD) que indica que se realiza una operación de lectura y una dirección de columna (Col. ADD) y dirección de fila (Fila ADD) que indica una ubicación de partida en la memoria cuando se leen los datos.

20 En el momento "tR", se leen los datos solicitados desde la memoria y se ponen en un buffer de datos interno especial contenido en el dispositivo. La longitud de tR se determina normalmente mediante las características de las celdas que comprenden la memoria. Después del tiempo tR, el OPE se afirma para permitir la transferencia de datos serial desde el buffer de datos internos a través del SO al siguiente dispositivo en la cascada de cadena tipo margarita. Los datos se sacan en serie desde el buffer interno a la salida SO, ilustrativamente, en el borde de subida de SCLK. Los datos que salen de un dispositivo en la cascada de cadena tipo margarita se retrasan tanto como un ciclo de reloj para controlar la latencia, por ejemplo, se asocian con la propagación de las señales de control, tal como IPE y OPE. Como se describirá adicionalmente adelante, se realiza control de latencia utilizando un bloqueo interno sincronizado con reloj.

30 Ejemplos de algunas de las operaciones de dispositivos de memoria en cascada para una implementación de arquitectura de núcleo flash se muestran en la Tabla 1 adelante. La Tabla 1 enumera la dirección del dispositivo objetivo (TDA), códigos OP posibles (operación) y los estados correspondientes de las direcciones de columna, direcciones de fila/banco, y los datos de entrada.

Tabla 1. Configuración de comandos

Operación	Dirección de Dispositivo Objetivo (1 Byte)	Código OP (1 Byte)	Dirección de Columna (2 Bytes)	Dirección de Fila/Banco (3 Bytes)	Datos de Entrada (1 Byte hasta 2112 Bytes)
Lee Página	tda	00h	Válida	Válida	-
Lee Datos Aleatorios	tda	05h	Válida	-	-
Lee Página para Copia	tda	35h	-	Válida	-
Entrada de Dirección Objetivo para Copia	tda	8Fh	-	Válida	-
Entrada de Datos Seriales	tda	80h	Válida	Válida	Válida
Entrada de Datos Aleatorios	tda	85h	Válida	-	Válida

## ES 2 395 570 T3

Programa Página	tda	10h	-	-	-
Borra Bloque	tda	60h	-	Válida	-
Estado de lectura	tda	70h	-	-	-
ID de lectura	tda	90h	-	-	-
Registrador de Configuración Escrita	tda	A0h	-	-	Válida (1 Byte)
Entrada de DN Escrito (Nombre del Dispositivo)	00h	B0h	-	-	-
Reinicia	tda	FFh	-	-	-
Selecciona Banco	tda	20h	-	Válida (Banco)	-

5 En algunas realizaciones de la presente invención, cada dispositivo en el sistema mostrado en las FIGURAS 1-6 puede poseer un identificador de dispositivo único que se puede utilizar como una dirección del dispositivo objetivo (tda) en los datos seriales de entrada. Cuando se reciben los datos seriales de entrada, un dispositivo de memoria flash puede activar el campo de dirección del dispositivo objetivo en los datos seriales de entrada, y determina si el dispositivo es el dispositivo objetivo al correlacionar el dispositivo objetivo dirigido con el número único de identificación de dispositivo del dispositivo.

10 La Tabla 2 muestra una secuencia de entrada preferida de la corriente de datos de entrada de acuerdo con las realizaciones de la presente invención, que incluye los sistemas descritos en relación con las FIGURAS 1-6. Los comandos, direcciones, y datos se cambian en serie en y fuera de cada dispositivo de memoria, partiendo del bit más significativo.

15 Con referencia a la FIGURA 4, los dispositivos 410a-d pueden operar con la señal de entrada en serie (SIP) muestreada en el borde de subida de reloj serial (SCLK) mientras es alto el Puerto de habilitación de Entrada (IPE). Las secuencias de comandos inician con una dirección del dispositivo objetivo de un byte ("tda") y un código de operación un byte, también denominado intercambiabilmente con un código de comando ("cmd" en la Tabla 1). Partiendo de la señal de entrada en serie con la dirección del dispositivo objetivo de un byte en el bit más significativo, el dispositivo puede analizar el campo de dirección del dispositivo objetivo antes de procesar cualesquier datos de entrada recibidos adicionales. Si el dispositivo de memoria no es el dispositivo objetivo, este puede transferir los datos seriales de entrada a otro dispositivo antes de procesar, ahorrando así tiempo de proceso  
20 adicional y recursos.

Tabla 2. Secuencia de Entrada en Modo de Byte

Operación	1er Byte	2do Byte	3er Byte	4to Byte	5to Byte	6to Byte	7to Byte	8to Byte	...	2116to Byte	...	2119to Byte
Lee Página	tda	cmd	ca	ca	ra	ra	ra	-	-	-	-	-
Lee Datos Aleatorios	tda	cmd	ca	ca	-	-	-	-	-	-	-	-
Lee Página para Copia	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
Entrada de Dirección Objetivo para Copia	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-

Entrada Darn Serial	tda	cmd	ca	ca	ra	ra	ra	datos	...	datos	...	datos
Entrada Darn Aleatoria	tds	cmd	ca	ca	datos	datos	datos	datos	...	datos	-	-
Programa Página	tda	cmd	-	-	-	-	-	-	-	-	-	-
Borra bloque	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
Estado de lectura	tda	cmd	-	-	-	-	-	-	-	-	-	-
ID de lectura	tda	cmd	-	-	-	-	-	-	-	-	-	-
Registrador de Configuración Escrita	tda	cmd	datos	-	-	-	-	-	-	-	-	-
Entrada DN Escrita	tda	cmd	-	-	-	-	-	-	-	-	-	-
Reinicia	tda	cmd	-	-	-	-	-	-	-	-	-	-

El TDA de 1 byte se cambia en el dispositivo, seguido por el código cmb de 1 bit. El bit más significativo (MSB) inicia en el SIP y cada bit se bloquea internamente en el borde de subida del reloj serial (SCLK). Dependiendo del comando, el código de comandos de 1 bit puede seguir por bytes de direcciones de columna, bytes de direcciones de filas, bytes de direcciones banco, bytes de datos, y/o una combinación o ninguno.

La FIGURA 8 es un diagrama de temporización que ilustra la temporización asociada con información se transfiere entre dispositivos configurados en una disposición en cascada de cadena tipo margarita en serie. Como se describió anteriormente, se afirma el CS# para seleccionar los dispositivos. La información se ingresa al primer dispositivo en la cascada de cadena tipo margarita al afirmar los datos de reloj y el IPE en el dispositivo en bordes de subida sucesivos del SCLK. Se propaga IPE a través el primer dispositivo al segundo dispositivo en menos de un ciclo. Esto permite que la información sea cronometrada desde el SO del primer dispositivo en el SI del segundo dispositivo en un ciclo después que la información se cronometra en el primer dispositivo. Esto se repite para dispositivos sucesivos en la cascada de cadena tipo margarita. Sin embargo, por ejemplo, la información se ingresa al dispositivo en la cascada de cadena tipo margarita en serie en el tercer borde de subida de SCLK desde el punto de bloqueo interno de los datos en el primer dispositivo. Las señales de control IPE y OPE se sincronizan con el borde de subida de SCLK con el fin de asegurar un tiempo de configuración apropiado para estas señales en el siguiente dispositivo en la cascada de cadena tipo margarita.

La FIGURA 9 es un diagrama de bloques del control lógico de salida en serie de ejemplo 900 para un dispositivo de puerto individual. El control lógico 900 comprende un buffer de entrada para IPE 902, el buffer de entrada para SI (SIP) 904, el buffer de entrada para OPE 906, el control de bloqueo interno de entrada 908, registrador serial a paralelo 910, control de bloqueo interno de salida 912, registrador de datos 914, registrador de direcciones 916, interpretador de comandos 918, selector 920, buffer de página 924, control lógico o compuerta 926, buffer de salida 928, selector 930 y memoria 950.

El buffer de entrada 902 es un buffer lógico transistor a transistor de bajo voltaje convencional (LVTTL) configurado al buffer el estado de una señal IPE se carga al dispositivo en la entrada de buffer 902. La salida del buffer 902 se carga al control de bloqueo interno de entrada que bloquea internamente el estado de la señal IPE y proporciona un estado de bloqueo interno de la señal IPE al buffer de entrada 904 y el selector 920. El buffer de entrada 904 es un buffer LVTTL configurado para cargar información de buffer al dispositivo a través de la entrada SI. El buffer de entrada 904 se habilita por la salida del control de bloqueo interno de entrada 908. Cuando se habilita, la información proporcionada a la entrada SI se carga por el buffer 908 al registrador serial a paralelo 910 y una entrada de selector 930. El buffer de entrada 904 se habilita cuando el estado de bloqueo interno de la señal IPE cargada desde el control de bloqueo interno de entrada 908 que indica que se afirma la señal IPE. La información cargada al registrador serial a paralelo 910 se convierte por el registrador 910 desde una forma de serie a una forma paralela.

## ES 2 395 570 T3

Las salidas del registrador serial a paralelo 910 se cargan al registrador de datos 914, registrador de direcciones 916 e interpretador de comandos 918.

5 El registrador de datos 914 y el registrador de direcciones 916 mantienen información de datos y direcciones, respectivamente, que se carga al dispositivo a través del SI. El interpretador de comando 918 se configura para interpretar comandos ingresados al dispositivo a través del SI. Estos comandos se utilizan para controlar adicionalmente la operación del dispositivo. Por ejemplo, el comando "escribir en memoria" se puede utilizar para provocar que el dispositivo escriba datos contenidos en el registrador de datos 914 a la memoria 950 contenida en el dispositivo en las direcciones especificadas por el registrador de direcciones 916.

10 El buffer de entrada 906 es un buffer LVTTTL configurado para una señal de buffer OPE que se carga a la entrada OPE del dispositivo. La salida del buffer 906 se transfiere a un control de bloque interno de salida 912 que bloquea internamente el estado de la señal OPE. El control de bloqueo interno de salida sale del estado de señal OPE de bloqueo interno o la compuerta 926. La compuerta 926 es un control lógico convencional o compuerta cuya salida se utiliza para permitir/deshabilitar la salida del buffer de salida 928.

15 El selector 920 es un multiplexor convencional 2 a 1 que sale de una de las dos entradas como se selecciona por la señal DAISY\_CHAIN. Como se notó anteriormente, una de estas entradas es el estado de bloqueo interno de IPE desde el control de bloqueo interno de entrada 908. La otra entrada se fija a una baja condición lógica. La señal DAISY\_CHAIN indica si el dispositivo se acopla a uno o más de otros dispositivos en una disposición en cascada de cadena tipo margarita en serie. Ilustrativamente, esta señal afirma si el dispositivo se acopla a uno o más dispositivos en una disposición en cascada de cadena tipo margarita en serie. La afirmación de la señal DAISY\_CHAIN provoca el estado de bloqueo interno de la señal IPE cargada al selector 920 que sale del selector 20 920. Cuando no se afirma DAISY\_CHAIN, la entrada de la baja condición lógica al selector 920 se saca del selector 920.

25 El buffer de página 924 es un buffer de datos convencional que se configura para mantener la información leída desde la memoria 950. El selector 930 es un multiplexor convencional 2 a 1 que sale de una de las dos entradas como se selecciona por la señal ID\_MATCH. Se carga una entrada al selector 930 desde la salida del buffer de página 924 y la otra entrada se carga desde la salida del buffer SI de entrada 904. La salida de selector 930 se carga al buffer de salida 928. La señal ID\_MATCH indica si se envía un comando particular al dispositivo a través de SI que se dirige al dispositivo. Si el comando se dirige al dispositivo, el ID\_MATCH se afirma provocando la salida del buffer de página 924 que sale del selector 930. Si el ID\_MATCH no se afirma, la salida del buffer SI 904 (es decir, el estado de la entrada de señal SI al dispositivo) se saca desde el selector 930. 30

La memoria 950 es una memoria convencional configurada para mantener los datos. La memoria 950 puede ser una memoria de acceso aleatorio (RAM) que comprende celdas, tal como RAM estático (SRAM), RAM dinámico (DRAM) o celdas flash de memoria, que se direccionan utilizando direcciones que se ingresan al dispositivo a través del SI.

35 Operacionalmente, se regula la señal IPE afirmada por el buffer de entrada 902 y se transfiere para el control de bloqueo interno de entrada 908 que bloquea internamente el estado afirmado de IPE. Este estado de bloqueo interno se carga hasta el selector 920 y al buffer de entrada 904 para habilitar este buffer 904. Los comandos, direcciones y entrada de información de datos al buffer de entrada 904 luego se transfieren al registrador serial a paralelo 910 que convierte la información desde una forma de serie hasta una forma paralela y carga el comando, las direcciones y la información de datos al interpretador de comando 918, el registrador de direcciones 916 y el 40 registrador de datos 914, respectivamente. La salida de buffer 904 también se carga hasta el selector 930. Si no se afirma ID\_MATCH, la salida del buffer 904 está presente en la salida de selector 930 que se carga a la entrada del buffer de salida 928. Si se afirma DAISY\_CHAIN, el estado de bloqueo interno de IPE está presente en la salida de selector 920 y se carga a una primera entrada de o compuerta 926. La compuerta 926 pasa del estado de IPE al buffer de salida 928 para habilitar el buffer de salida 928. Esto, a su vez, permite que la entrada de información a la 45 entrada SI salga del dispositivo a SO.

Los datos desde el buffer de página 924 salen del dispositivo al afirmar OPE y ID\_MATCH. Específicamente, el estado afirmado de OPE se carga al buffer de entrada 906 que a su vez carga el estado para el control de bloqueo interno de salida 912 que bloquea internamente el estado. El estado afirmado de bloqueo interno se carga a una segunda entrada o compuerta 926 que genera una señal para habilitar el buffer de salida 928. La afirmación de 50 ID\_MATCH habilita la salida del buffer de página 924 que está presente en la salida de selector 930. La salida de selector 930 se carga al buffer de salida habilitado 928 que genera los datos desde el dispositivo a la salida del dispositivo SO.

Observe que, si no se afirma el DAISY\_CHAIN, el buffer de salida 928 solo se habilita por el OPE. Esto permite que el dispositivo se utilice en una configuración en cascada en serie de cadena del tipo diferente a margarita.

La FIGURA 10 es un diagrama de bloques del control lógico de salida en serie de ejemplo 1000 para un dispositivo de puerto dual. Para cada puerto, el control lógico de salida en serie 1000 comprende un buffer IPE de entrada 1002, el buffer de entrada SI 1004, el buffer de entrada OPE 1006, el control de bloqueo interno de entrada 1008, el registrador serial a paralelo 1010, el control de bloqueo interno de salida 1012, el registrador de datos 1014, el registrador de direcciones 1016, el interpretador de comandos 1018, el selector 1020, el buffer de página 1024, el control lógico o la compuerta 1026, el buffer de salida 1028 y el selector 1030 que son idénticos al buffer de entrada IPE 902 descrito anteriormente, el buffer de entrada SIP 904, el buffer de entrada OPE 906, el control de bloqueo interno de entrada 908, el registrador serial a paralelo 910, el control de bloqueo interno de salida 912, el registrador de datos 914, el registrador de direcciones 916, el selector interpretador de comandos 918, el selector 920, el buffer de página 924, el control lógico o la compuerta 926, el buffer de salida 928 y el selector 930, respectivamente.

La FIGURA 11 es un diagrama de bloques detallado de otra realización del control lógico de salida en serie 1100 que se puede utilizar con las técnicas descritas aquí. El control lógico 1100 comprende un buffer de entrada SI 1104, un buffer de entrada IPE 1106, un buffer de entrada OPE 1108, un buffer de entrada SCLK 1110, el control lógico y las compuertas 1112 y 1114, los bloqueos internos 1116, 1118, 1120 y 1122, los selectores 1124 y 1130, el control lógico o la compuerta 1126 y un buffer de salida SO 1128. Los buffers 1104, 1106, 1108 y 1110 son buffers LVTTTL convencionales configurados para las señales de buffer SI, IPE, OPE y SCLK, respectivamente, que se ingresan al dispositivo.

La compuerta AND 1112 se configura para generar la entrada de información al SI para el bloque interno 1116 cuando se afirma IPE. El bloqueo interno 1116 se configura para el bloqueo interno de la información cuando se proporciona una señal de reloj (SCLK) por el buffer 1110. DATA\_OUT representa el estado de datos leídos desde una memoria (no mostrada) contenida en el dispositivo. La compuerta 1114 se configura para generar un estado de DATE\_OUT cuando se afirma el OPE. La salida de la compuerta AND 1114 carga el bloqueo interno 1118 que se configura para el bloqueo interno del estado de DATE\_OUT cuando se proporciona una señal de reloj por el buffer 1110. El buffer 1106 se configura para la señal del buffer IPE cargada al dispositivo. La salida del buffer 1106 se bloquea internamente por el bloqueo interno 1120. De la misma manera, el buffer 1108 se configura para la señal del buffer OPE cargado al dispositivo. El bloqueo interno 1122 se configura para el bloqueo interno del estado de OPE como salida por el buffer 1108. Los selectores 1124 y 1130 son multiplexores 2 a 1 convencionales cada uno comprende dos entradas. Las entradas para el selector 1124 se seleccionan para la salida del selector 1124 mediante la señal ID\_MATCH descrita anteriormente. Se carga una entrada con el estado de bloqueo interno de DATE\_OUT como se mantiene por el bloqueo interno 1118. Esta entrada se selecciona para la salida del selector 1124 cuando se afirma el ID\_MATCH. La otra entrada se carga con el estado de bloqueo interno de SI cuando se mantiene por el bloqueo interno 1116. Esta entrada se selecciona para la salida del selector 1124 cuando no se afirma ID\_MATCH.

Las entradas para el selector 1130 se seleccionan para la salida del selector 1130 por la señal DAISY\_CHAIN descrita anteriormente. Una entrada al selector 1130 se carga con el estado de bloqueo interno de IPE cuando se mantiene por el bloqueo interno 1120 y la otra entrada está vinculada al control lógico cero. El estado de bloqueo interno de IPE se selecciona para la salida del selector 1130 cuando se afirma DAISY\_CHAIN. De la misma manera, cuando no se afirma DAISY\_CHAIN, el control lógico cero se selecciona para la salida del selector 1130.

La compuerta OR 1126 es un control lógico convencional o la compuerta configurada para proporcionar una señal de habilitación/deshabilitación al buffer de salida 1128. La compuerta OR 1126 se carga con la salida de selector 1130 y el estado de bloqueo interno de OPE, cuando se mantiene por el bloqueo interno 1122. Cualquiera de estas salidas se puede utilizar para proporcionar una señal de habilitación al buffer 1128 para habilitar la entrada del buffer. El buffer 1128 es un buffer convencional que regula la señal de salida SO. Como se señaló anteriormente, el buffer 1128 se habilita/deshabilita por la salida de la compuerta OR 1126.

Operacionalmente, cuando se afirma el IPE, la información que se ingresa al dispositivo a través de SI se carga al bloqueo interno 1116. El bloqueo interno 1116 bloquea internamente esta información ilustrativamente en la primera transición hacia arriba de SCLK después que se afirma IPE. De la misma manera, el bloqueo interno 1120 bloquea internamente el estado de IPE en esta transición SCLK. Asumiendo que el ID\_MATCH no se afirma, la salida del bloqueo interno 1116 se carga al buffer 1128 a través de selector 1124. De la misma manera, el IPE afirmado se transfiere desde el buffer 1106 al bloqueo interno 1120 en donde también se bloquea internamente ilustrativamente por la primera transición hacia arriba de SCLK. Asumiendo que se afirma DAISY\_CHAIN, el estado de bloqueo interno de IPE se proporciona en la salida de selector 1130 y se transfiere a la compuerta OR 1126 para proporcionar una señal habilitada para el buffer 1128. El estado de bloqueo interno de SI luego se transfiere desde el dispositivo a través del buffer 1128 como el SO de salida.

Cuando no se afirma DAISY\_CHAIN, se selecciona la entrada del control lógico cero hasta el selector 1130 que sale del control lógico cero desde el selector 1130. Este habilita efectivamente el IPE del buffer habilitado 1128.

Ilustrativamente, en la siguiente transición hacia arriba de SCLK después que se afirma OPE, el estado afirmado del OPE se bloquea internamente en el bloqueo interno 1122 y el estado de DATE\_OUT se bloquea internamente en el

bloqueo interno 1118. Asumiendo que se afirma ID\_MATCH, el estado de bloqueo interno de DATE\_OUT se selecciona por el selector 1124 y se aplica a la entrada del buffer 1128. Simultáneamente, el estado afirmado de bloqueo interno de OPE desde el bloqueo interno 1122 pasa a través de la compuerta OR 1126 para habilitar el buffer 1128 que provoca el estado de bloqueo interno de DATE\_OUT que sale del dispositivo como el SO de salida.

5 La FIGURA 12 es un diagrama de bloques de una configuración de ejemplo de dispositivos configurados en una disposición en cascada de cadena tipo margarita en serie y que contiene el control lógico de salida en serie de ejemplo. La disposición comprende tres dispositivos 1210 configurados de tal manera que las salidas de un dispositivo anterior en la cascada de cadena tipo margarita se acoplan a las entradas del siguiente dispositivo en la cascada de cadena tipo margarita, como se describió anteriormente. La transferencia de información y los datos desde un dispositivo al siguiente se describe con referencia a la FIGURA 13 adelante.

La FIGURA 13 es un diagrama de temporización de ejemplo que ilustra la temporización asociada con las entradas y las salidas de los dispositivos ilustrados en la FIGURA 12. Específicamente, el diagrama ilustra la operación del control lógico de salida en serie 1100 en cada dispositivo con respecto al pasaje de la entrada de información en la entrada SI de cada dispositivo 1210 al SO de salida del dispositivo 1210.

15 Con referencia a las FIGURAS 11, 12 y 13, se asume que se afirma DAISY\_CHAIN. Cuando se afirma IPE en el dispositivo 1210a, la información en la entrada SI del dispositivo pasa a través del control lógico de salida en serie del dispositivo 1100, como se describió anteriormente, al SO de salida del dispositivo 1210a. Específicamente, los datos se cronometran en el dispositivo 1210a ilustrativamente en cada borde de subida de SCLK después que se afirma el IPE. La información y el estado del IPE se propaga a través del control lógico 1100, como se describió anteriormente, y sale del dispositivo 1210a en el SO del dispositivo y las salidas IPEQ, respectivamente. Estas salidas se representan en el diagrama como S1 y P1, respectivamente. Estas salidas se cargan a las entradas SI y IPE del dispositivo 1210b, que pasa a través del control lógico de salida en serie 1100 del dispositivo 1210b, como se describió anteriormente, y salen de dispositivo 1210b en el SO del dispositivo y el IPEQ sale de un ciclo de reloj final. Estas salidas se representan en el diagrama como S2 y P2, respectivamente. De la misma manera, las salidas SO y IPEQ del dispositivo 1210b se cargan a las entradas SI y IPE del dispositivo 1210c, respectivamente, que se cargan a través del control lógico de salida en serie 1100 del dispositivo 1210c y salen del dispositivo 1210c en el SO del dispositivo y las salidas IPEQ, respectivamente, un ciclo de reloj final. Estas salidas se representan en el diagrama como S3 y P3, respectivamente.

En la disposición en cascada de cadena tipo margarita descrita anteriormente, la latencia de salida de las señales en la cascada de cadena tipo margarita para la operación SDR se puede determinar utilizando la siguiente fórmula:

$$\text{output\_latency} = N * \text{clock\_cycle\_time}$$

En donde:

"output\_latency" es la latencia de salida de los datos,

"N" es el número de dispositivos en la disposición en cascada de cadena tipo margarita y

35 "clock\_cycle\_time" es el tiempo de ciclo de reloj en el que opera el reloj (por ejemplo, SCLK).

Por ejemplo, se asume que clock\_cycle\_time para la cascada de cadena tipo margarita ilustrada en la FIGURA 12 es 10 nanosegundos. La latencia de salida total para los datos en el SO de dispositivo 1210c es 3 \*10 nanosegundos o 30 nanosegundos.

En el caso de la operación DDR, la latencia de salida se puede determinar como sigue:

$$40 \quad \text{output\_latency} = N * (\text{clock\_cycle\_time}/2)$$

En la operación DDR ambos bordes del reloj pueden actuar como puntos de bloqueo interno de datos de entrada y puntos de cambio de los datos de salida. Sin embargo, la latencia total es la mitad de la latencia para la operación SDR.

Observe que en la descripción anterior, la entrada de información a un dispositivo 1210 genera un ciclo de reloj posterior para la operación SDR y medio ciclo posterior para la operación DDR. Este retardo se introduce para acomodar el tiempo que toma activar el buffer de salida 1128.

La FIGURA 14 es un diagrama de bloques del control lógico 1400 que se puede utilizar para transferir datos contenidos en la memoria de un primer dispositivo 1450a en una cascada de cadena tipo margarita a un segundo dispositivo 1450b en la cascada de cadena tipo margarita. El control lógico 1400 comprende un registrador de salida de datos 1402, un buffer de entrada OPE 1404, un buffer de entrada SCLK 1406, una compuerta AND 1408, un bloqueo interno de entrada de datos 1410, un bloqueo interno de estado OPE 1412, un selector 1414, un buffer de salida SO 1416 y un buffer de salida OPEQ 1418.

Los registrador de salida de datos 1402 es un registrador convencional configurado para almacenar datos leídos desde la memoria contenida en el dispositivo 1450. El registrador 1402 es ilustrativamente un registrador de datos paralelo a serie que carga datos en paralelo desde la memoria y transfiere en serie los datos a una entrada de compuerta 1408. El SCLK proporciona relojes que se utilizan por el registrador 1402 para transferir los datos a la compuerta 1408. Como se ilustra, el registrador de datos 1402 se configura para mantener un byte de datos que comprende los bits D0 a D7 en donde D0 es el bit menos significativo (LSB) del byte y el bit D7 es el bit más significativo (MSB) del byte. El registrador 1402 se carga en paralelo con un ancho de byte de datos desde la memoria. Los datos luego se cambian del registrador y se carga en serie bit a bit a la entrada de la compuerta 1408 partiendo del MSB.

Los buffers 1404 y 1406 son buffers LVTTTL convencionales utilizados para las señales de entrada de buffer OPE y SCLK, respectivamente. La señal OPE se transfiere desde la salida de buffer 1404 (OPEI) a la compuerta 1408. La señal SCLK se transfiere desde la salida de buffer 1406 al registrador de salida de datos 1402 y, los bloqueos internos 1410 y 1412 para proporcionar un reloj para estos componentes.

La compuerta 1408 es un control lógico convencional y la compuerta que se configura para transferir la salida del registrador de salida de datos 1402 (DATA\_OUT) al bloqueo interno 1410 cuando se afirma OPE. La salida de compuerta 1408 se designa como "DBIT". Los bloqueos internos 1410 y 1412 son bloqueos internos convencionales configurados para bloquear internamente el estado de DBIT y la señal OPE, respectivamente. El selector 1414 es un multiplexor 2 a 1 de dos entradas convencional que se controla por la señal ID\_MATCH. Una de las entradas de datos se carga con el estado de bloqueo interno de DBIT. Este estado se genera desde el selector 1414 cuando se afirma ID\_MATCH. La otra entrada se carga con información serial (SI0) ingresada al dispositivo 1450a a través de su SI. Esta información se saca mediante el selector 1414 cuando no se afirma ID\_MATCH.

Los buffers 1416 y 1418 son buffers convencionales configurados para la salida de buffer del selector 1414 y el bloqueo interno 1406, respectivamente. La salida de buffer 1416 sale del dispositivo 1450a como SO (SO0) y la salida del buffer 1418 sale del dispositivo 1450a como OPEQ (OPEQ0).

La FIGURA 15 es un diagrama de temporización que ilustra la temporización asociada con la transferencia de un ancho de byte de datos desde la memoria contenida en el dispositivo 1450a al dispositivo 1450b utilizando el control lógico 1400. Con referencia a las FIGURAS 14 y 15, el OPEI se afirma brevemente después que el OPE se carga al dispositivo 1450a en el buffer de entrada 1404. El OPEI se carga a la compuerta 1408 para habilitar que los datos presentes en D7 del registrador de salida de datos 1402 se bloqueen internamente en el bloqueo interno 1410 en el siguiente borde de subida de SCLK. Adicionalmente, este siguiente borde de subida SCLK provoca que los datos se desplacen correctamente en el registrador de salida de datos 1402 de tal manera que los datos en D6 se cambian en D7, los datos en D5 se cambian en D6 y así sucesivamente. La salida del bloqueo interno 1410 se presenta para el selector 1414 que, asumiendo que se afirma ID\_MATCH, genera el estado de bloqueo interno de los datos al buffer 1416. El buffer 1416 genera el estado de bloqueo interno desde el dispositivo 1450a como SO0 que se carga a la entrada SI (SI1) del siguiente dispositivo 1450b de la cascada de cadena tipo margarita. Mientras tanto, también el borde de subida del primer reloj después que se afirma OPE, bloquea el estado de OPE internamente en el bloqueo interno 1412. La salida del bloqueo interno 1412 se transfiere al buffer 1418 que genera el estado de bloqueo interno de OPE desde el dispositivo 1450a como OPEQ (OPEQ0) que se carga a la entrada OPE (OPE1) del siguiente dispositivo 1450b en la cascada de cadena tipo margarita. Este proceso se repite para los bits D6 hasta D0.

Aunque esta invención se ha mostrado particularmente y descrito con referencia a las realizaciones preferidas de las mismas, se entenderá por aquellos expertos en la técnica que se pueden hacer diversos cambios en la forma y detalles sin apartarse del alcance de la invención abarcada por las reivindicaciones adjuntas.

**REIVINDICACIONES**

1. Un sistema que tiene una pluralidad de dispositivos conectados en serie que incluyen por lo menos primeros y segundos dispositivos, caracterizado porque:

el primer dispositivo incluye

5 una primera entrada (SI) configurada para recibir datos de entrada,

una segunda entrada (IPE) configurada para recibir una primera señal que permite entrada,

una tercera entrada (OPE) configurada para recibir una primera señal que permite salida que se fija a un primer nivel lógico para una duración de tiempo,

10 una primera salida (SO) configurada para enviar datos de salida para la duración de tiempo en respuesta a la primera señal que permite salida en el primer nivel lógico para la duración de tiempo,

una segunda salida (IPEQ) configurada para enviar una segunda señal que permite entrada derivada de la primera señal que permite entrada, y

una tercera salida (OPEQ) configurada para enviar una segunda señal que permite salida derivada de la primera señal que permite salida;

15 el segundo dispositivo incluye una primera entrada (SI) configurada para recibir los datos de salida del primer dispositivo como datos de entrada,

una segunda entrada (IPE) configurada para recibir la segunda señal que permite entrada enviada por el primer dispositivo; y

20 enviar los datos de salida mediante el primer dispositivo en respuesta a la primera señal que permite salida y recibir los datos de salida mediante el segundo dispositivo en respuesta a la segunda señal que permite entrada se sincronicen con una señal de reloj.

2. El sistema de la reivindicación 1, en donde la señal de reloj es una señal de reloj común.

3. El sistema de la reivindicación 1, en donde el primer dispositivo se configura para:

recibir una señal de reloj de entrada que corresponde a la señal de reloj; y

25 en respuesta a la señal de reloj de entrada recibida, generar una señal de reloj de salida al segundo dispositivo, la sincronización se realiza mediante los primeros y segundos dispositivos en respuesta a la señal de reloj de entrada y la señal de reloj de salida respectivamente.

4. El sistema de una cualquiera de las reivindicaciones 2 a 3, en donde la sincronización se realiza en respuesta a uno cualquiera o ambos de los bordes de subida y bajada de un ciclo de reloj de la señal de reloj.

30 5. El sistema de una cualquiera de las reivindicaciones 1 a 4, en donde el segundo dispositivo incluye adicionalmente:

una primera salida configurada para enviar datos de salida; y

una segunda salida configurada para enviar una segunda señal que permite la entrada derivada de la primera señal que permite la entrada del segundo dispositivo.

35 6. El sistema de una cualquiera de las reivindicaciones 1 a 5, en donde cada uno de los primeros y segundos dispositivos posee un número de identificación de dispositivo.

7. El sistema de la reivindicación 6, en donde cada uno de los primeros y segundos dispositivos se configura para analizar un campo de dirección del dispositivo objetivo de los datos de entrada recibidos para determinar si el primer o segundo dispositivos es un dispositivo objetivo al correlacionar el dispositivo objetivo dirigido con los  
40 números de identificación de dispositivo de los primeros y segundos dispositivos.

8. El sistema de la reivindicación 7, en donde cada uno de los primeros y segundos dispositivos se configura adicionalmente para analizar el campo de dirección del dispositivo objetivo antes de procesar cualesquier datos de entrada recibidos adicionales.

5 9. El sistema de la reivindicación 8, en donde cada uno de los primeros y segundos dispositivos se configura adicionalmente para ignorar los datos de entrada si el dispositivo no es el dispositivo objetivo.

10. El sistema de la reivindicación 1, en donde:

el segundo dispositivo incluye adicionalmente una tercera entrada configurada para recibir una primera señal que permite salida que corresponde a la segunda señal que permite salida enviada por el primer dispositivo.

11. El sistema de la reivindicación 1, en donde el primer dispositivo incluye adicionalmente:

10 memoria;

circuito configurado para recibir los datos de entrada en la primera entrada y transferir los datos de entrada a la memoria, y transferir datos de salida a la primera salida; y

circuito configurado para controlar la transferencia de datos entre la primera entrada y la memoria y entre la primera entrada y la primera salida.

15 12. El sistema de una cualquiera de las reivindicaciones 1 a 4, en donde

el primer dispositivo incluye adicionalmente memoria y un primer identificador de dispositivo;

20 el primer dispositivo se configura para recibir los datos de entrada en la primera entrada desde una fuente externa y enviar los datos de salida desde la primera salida, los datos de entrada y los datos de salida contienen información de dirección del dispositivo objetivo, el primer dispositivo procesa los datos de entrada si la dirección del dispositivo objetivo se correlaciona con el primer identificador de dispositivo;

el segundo dispositivo incluye adicionalmente un segundo identificador de dispositivo;

25 la primera entrada del segundo dispositivo se configura para comunicarse con la primera salida del primer dispositivo; y el segundo dispositivo se configura para recibir los datos de salida del primer dispositivo en la primera entrada del segundo dispositivo y procesar los datos de salida si la dirección del dispositivo objetivo se correlaciona con el segundo identificador de dispositivo.

13. El sistema de la reivindicación 12, en donde la fuente externa es un controlador.

14. El sistema de la reivindicación 13, en donde el controlador se configura para proporcionar la señal de reloj.

15. El sistema de la reivindicación 14, en donde el controlador comprende:

30 una salida configurada para enviar los datos de entrada al primer dispositivo de la pluralidad de dispositivos conectados en serie;

una entrada configurada para recibir los datos de salida desde un último dispositivo de la pluralidad de dispositivos conectados en serie; y

una salida de reloj configurada para enviar la señal de reloj.

35 16. El sistema de una cualquiera de las reivindicaciones 12 a 15, en donde el último dispositivo incluye el segundo dispositivo que se configura adicionalmente para enviar los datos de salida a un dispositivo objetivo externo.

17. El sistema de una cualquiera de las reivindicaciones 12 a 16, en donde la memoria comprende una memoria no volátil.

18. El sistema de la reivindicación 17, en donde la memoria no volátil comprende una memoria flash.

19. Un método para controlar la transferencia de datos entre una pluralidad de dispositivos conectados en serie que incluye un primer y segundo dispositivo, cada uno comprende una interfaz de enlace y una memoria que tiene un banco de memoria en un dispositivo semiconductor, el método comprende:

recibir una corriente de datos de entrada en una primera entrada del primer dispositivo;

5 recibir una primera señal que permite entrada en una segunda entrada del primer dispositivo;

recibir una primera señal que permite salida que se fija a un primer nivel lógico para una duración de tiempo en una tercera entrada del primer dispositivo;

enviar una corriente de datos de salida para la duración de tiempo en respuesta a la primera señal que permite salida del primer nivel lógico para la duración de tiempo en una primera salida del primer dispositivo;

10 recibir una señal de entrada de reloj;

permitir el procesamiento de la corriente de entrada de datos recibidos en respuesta a la primera señal que permite entrada para almacenar datos en o acceder datos desde la memoria;

enviar una segunda señal que permite entrada derivada de la primera señal que permite entrada en una segunda salida del primer dispositivo;

15 enviar una segunda señal que permite salida derivada de la primera señal que permite salida;

recibir la corriente de datos de salida del primer dispositivo como datos de entrada en una primera entrada del segundo dispositivo;

recibir la segunda señal que permite entrada enviada por el primer dispositivo en una segunda entrada del segundo dispositivo.

20 20. El método de la reivindicación 19, en donde la corriente de datos de entrada incluye datos seriales de entrada y permite incluir adicionalmente analizar los datos seriales de entrada para extraer una dirección de dispositivo, un comando, y una dirección del banco de memoria.

21. El método de la reivindicación 19, en donde el comando comprende un comando de acceso de memoria, y permite incluir adicionalmente:

25 convertir los datos seriales de entrada en datos paralelos; y

transferir los datos paralelos al banco de memoria.

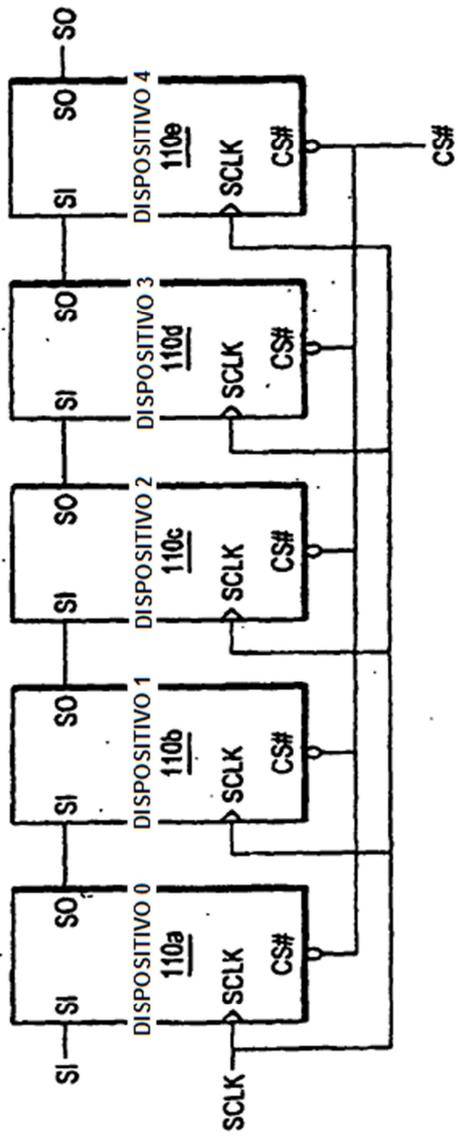


FIG. 1

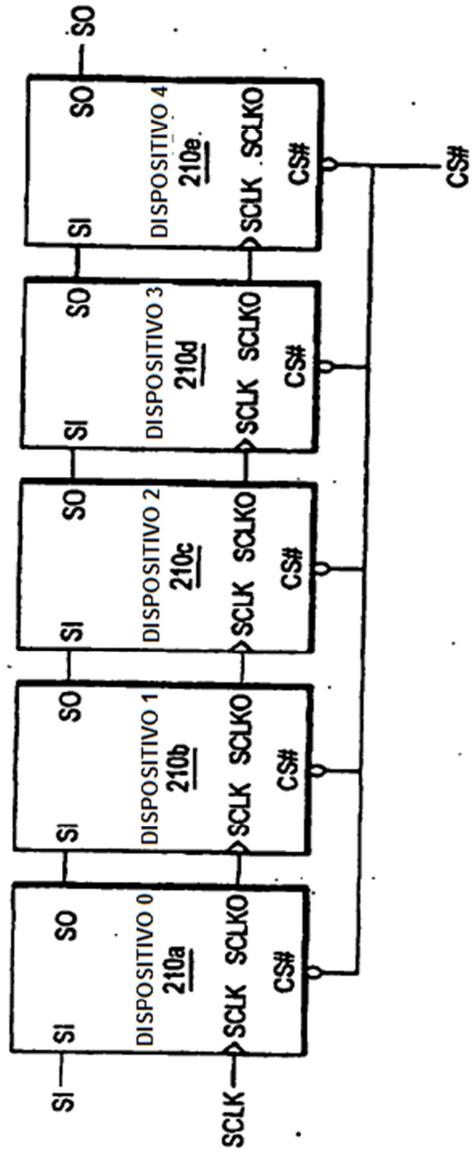


FIG. 2

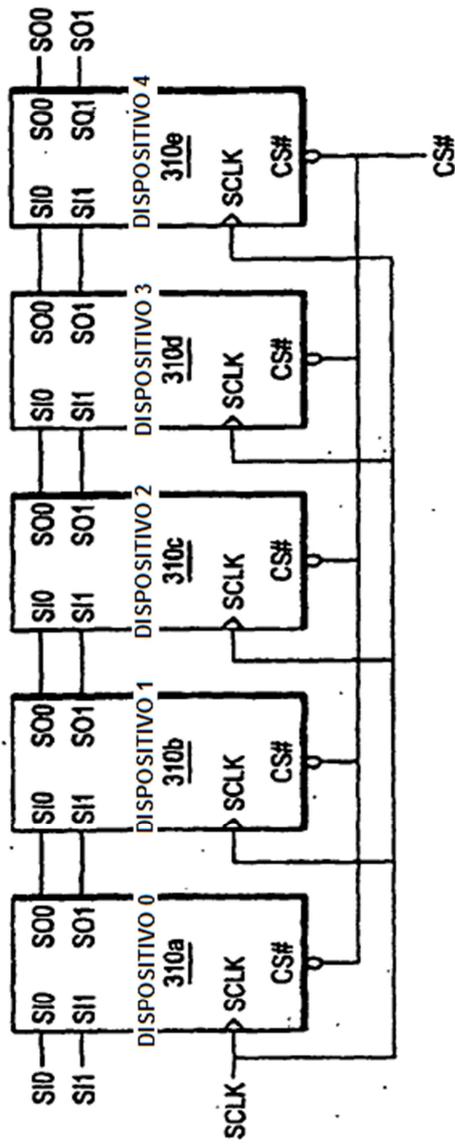


FIG. 3

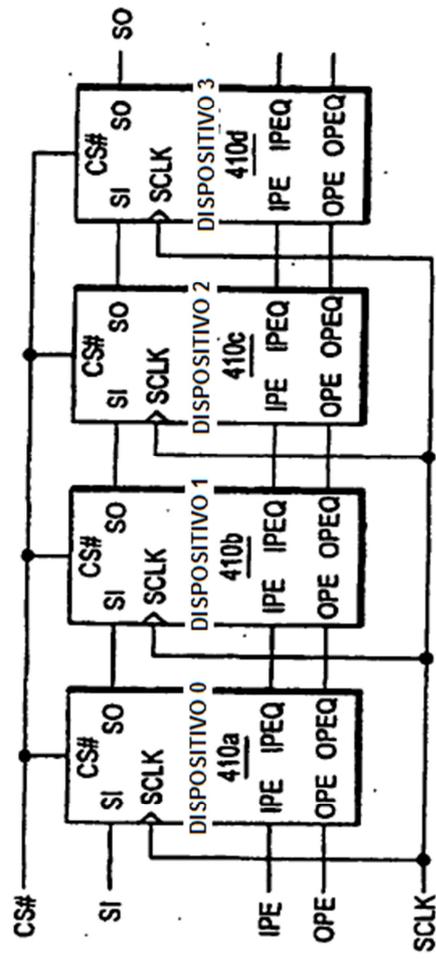


FIG. 4

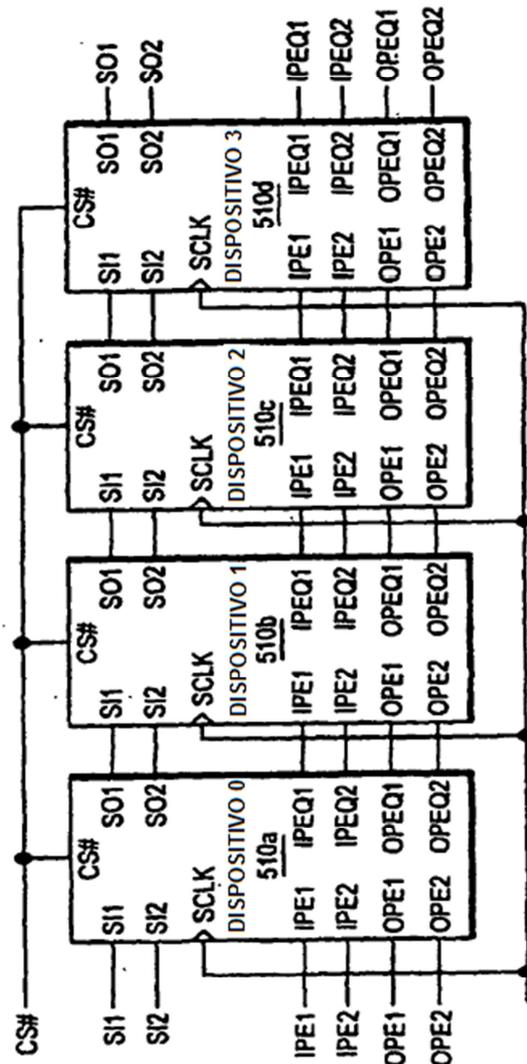


FIG. 5

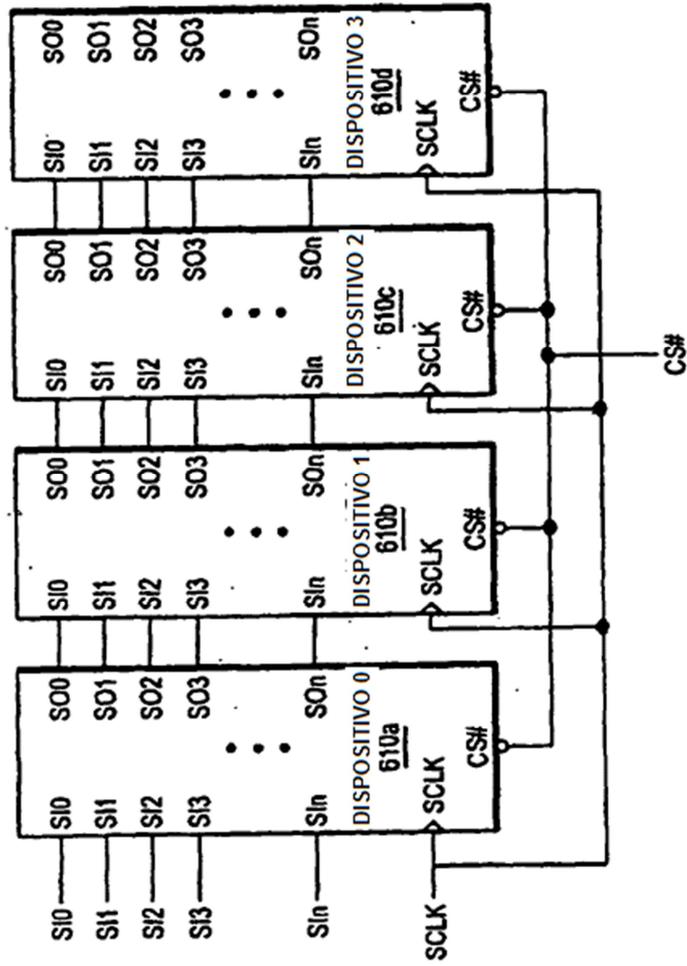


FIG. 6

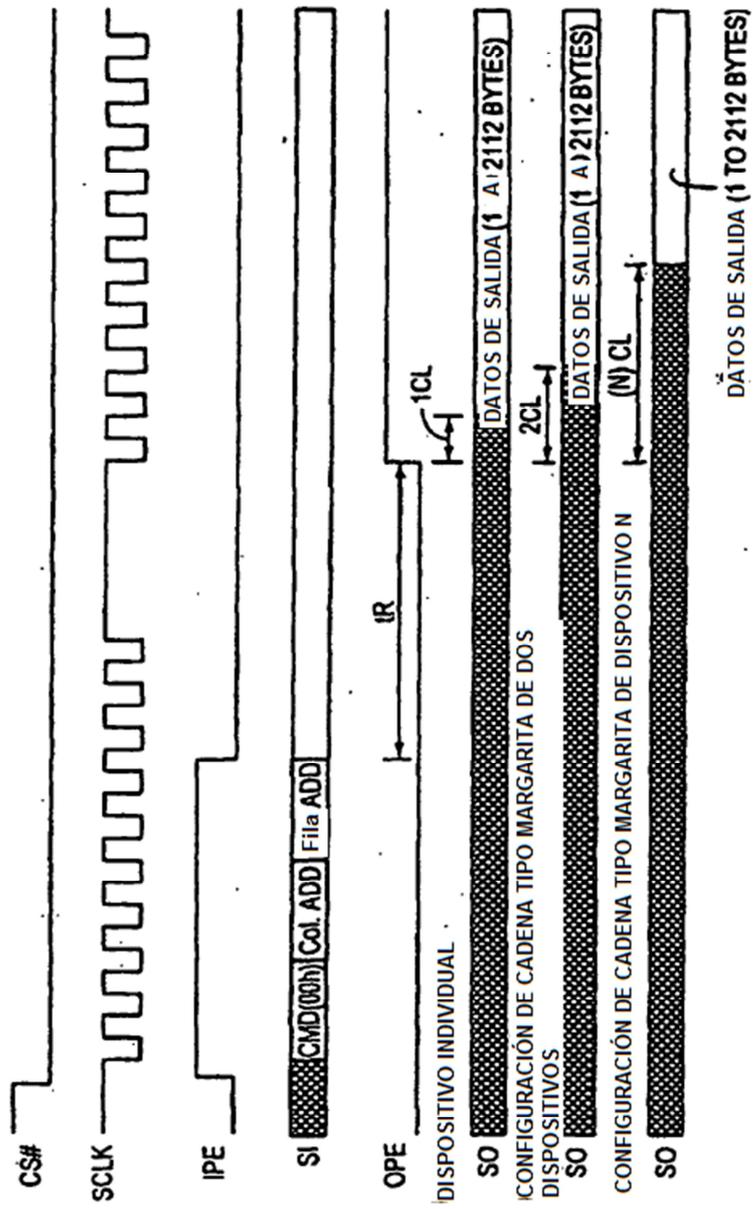


FIG. 7

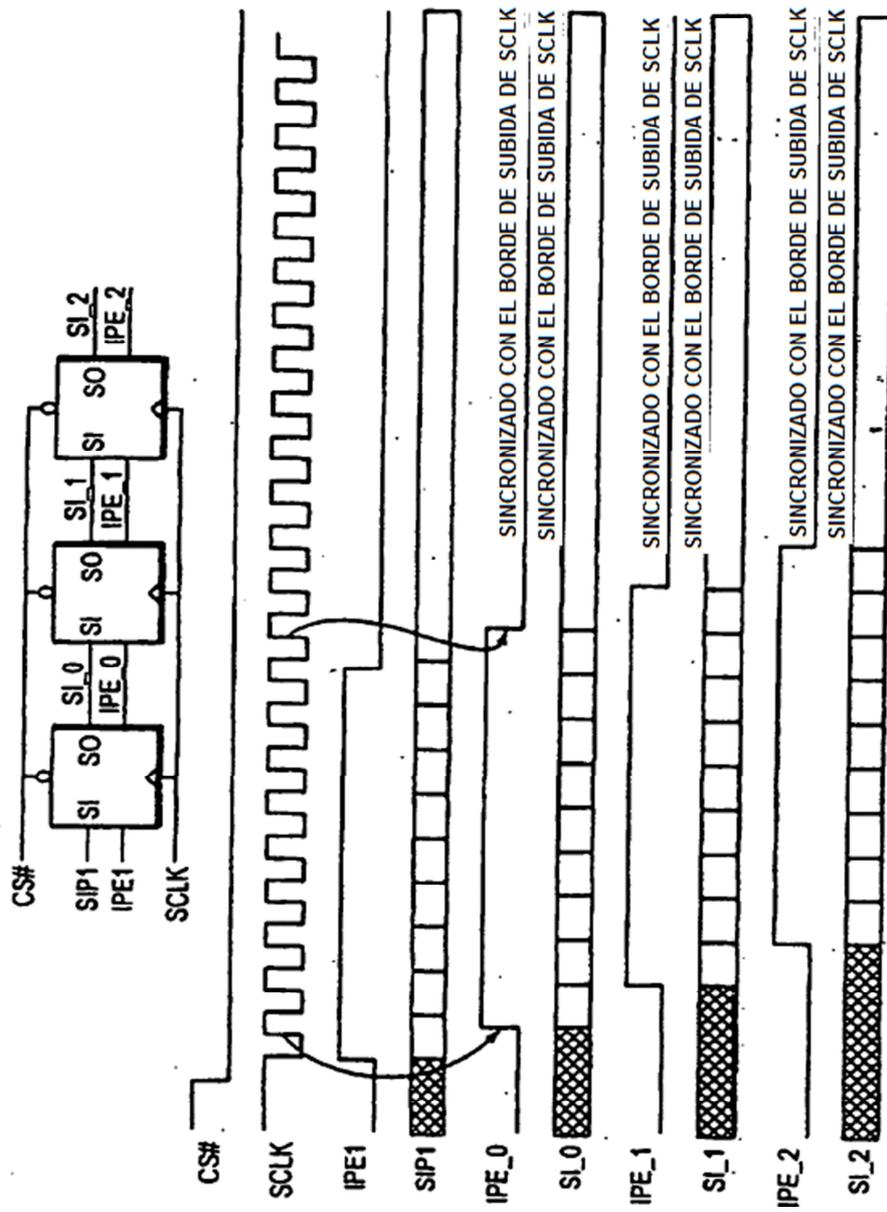


FIG. 8

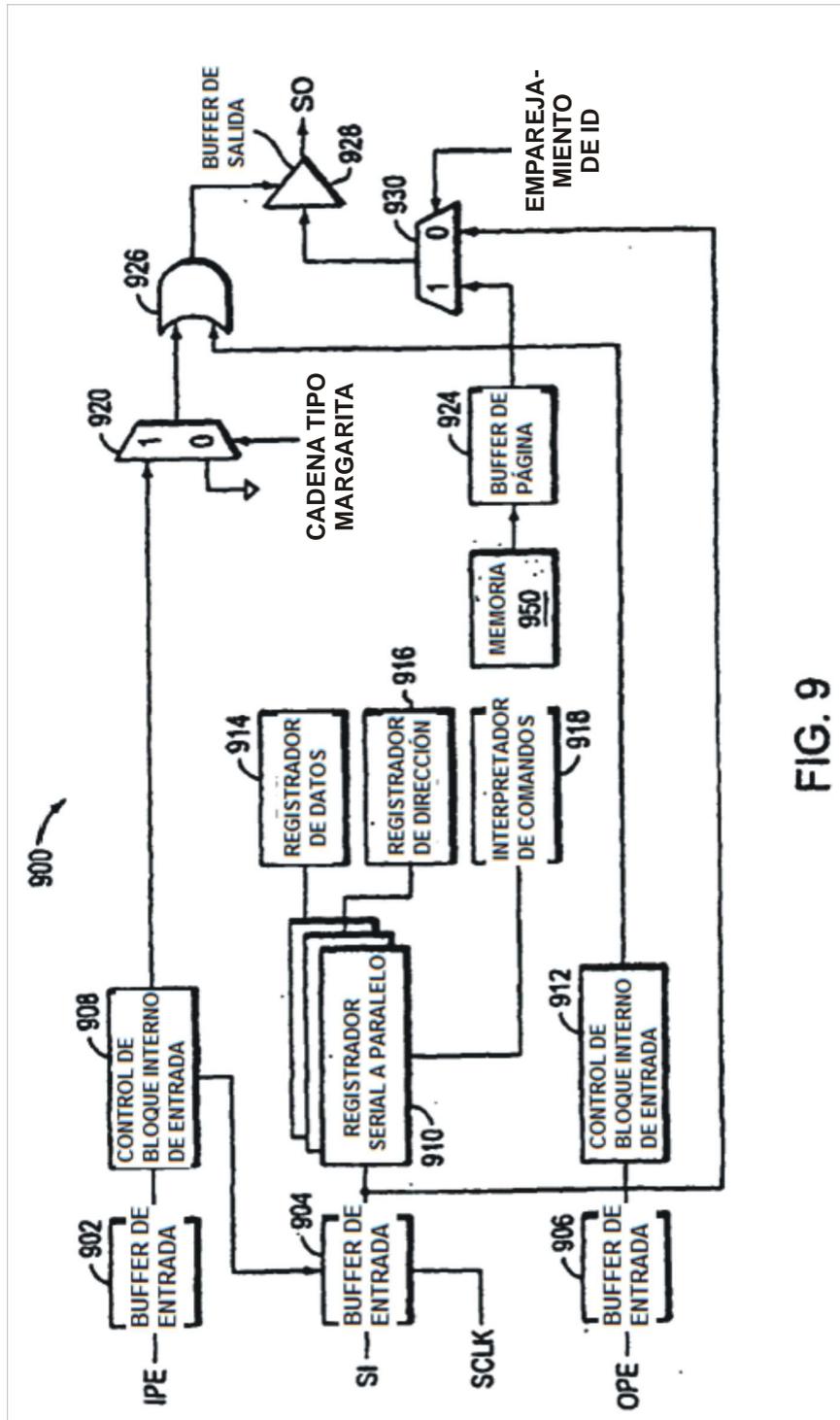


FIG. 9

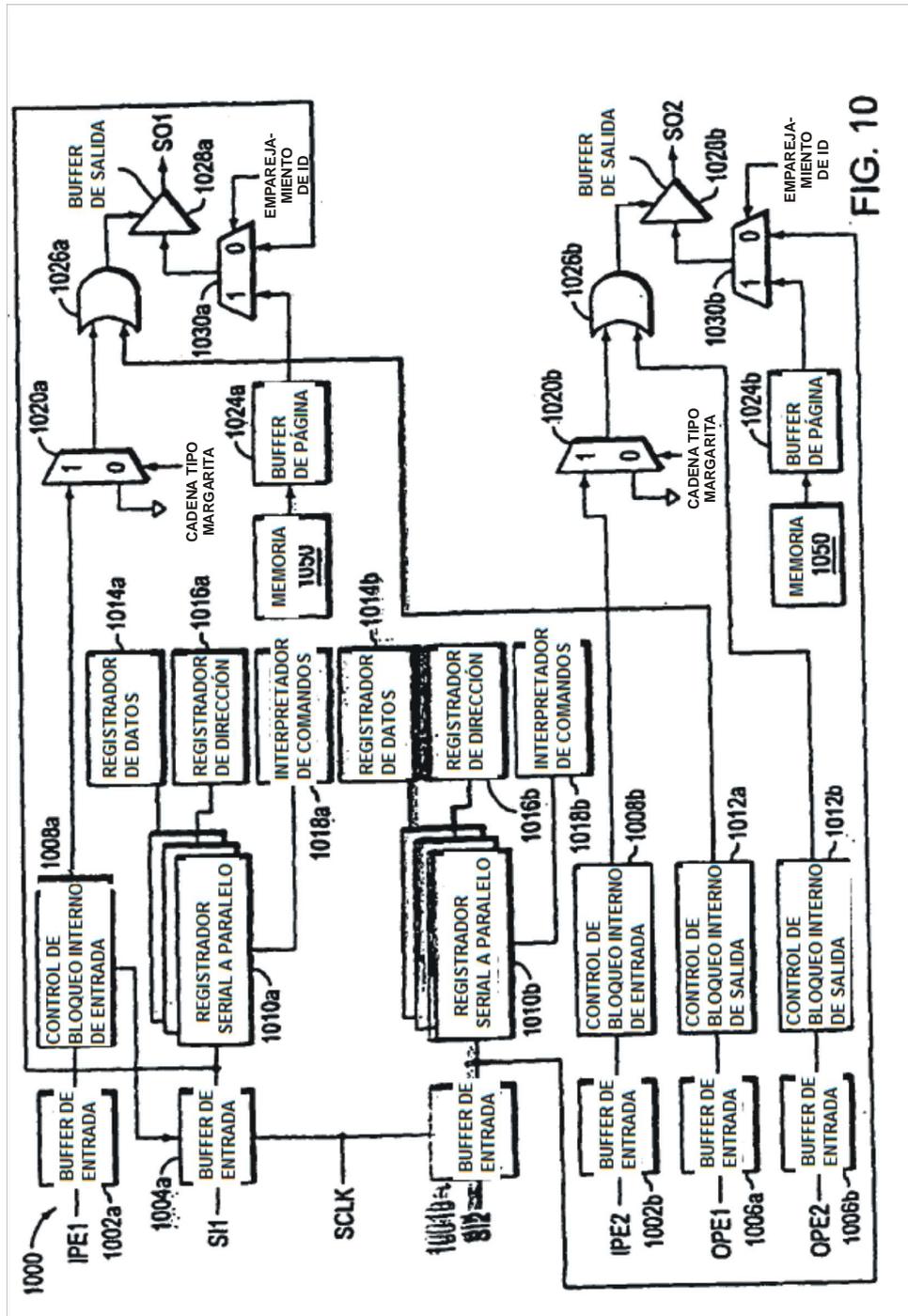


FIG. 10

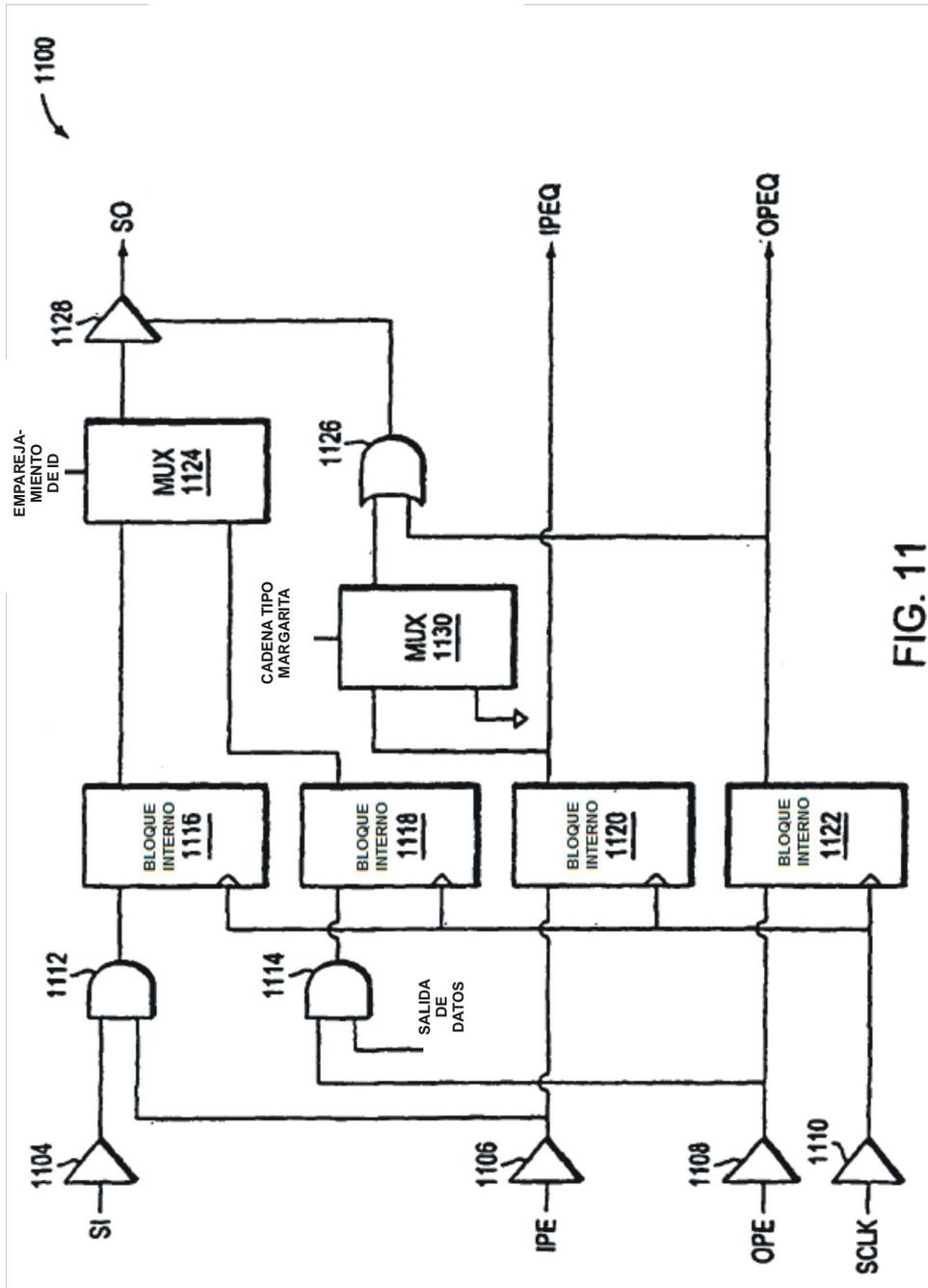


FIG. 11



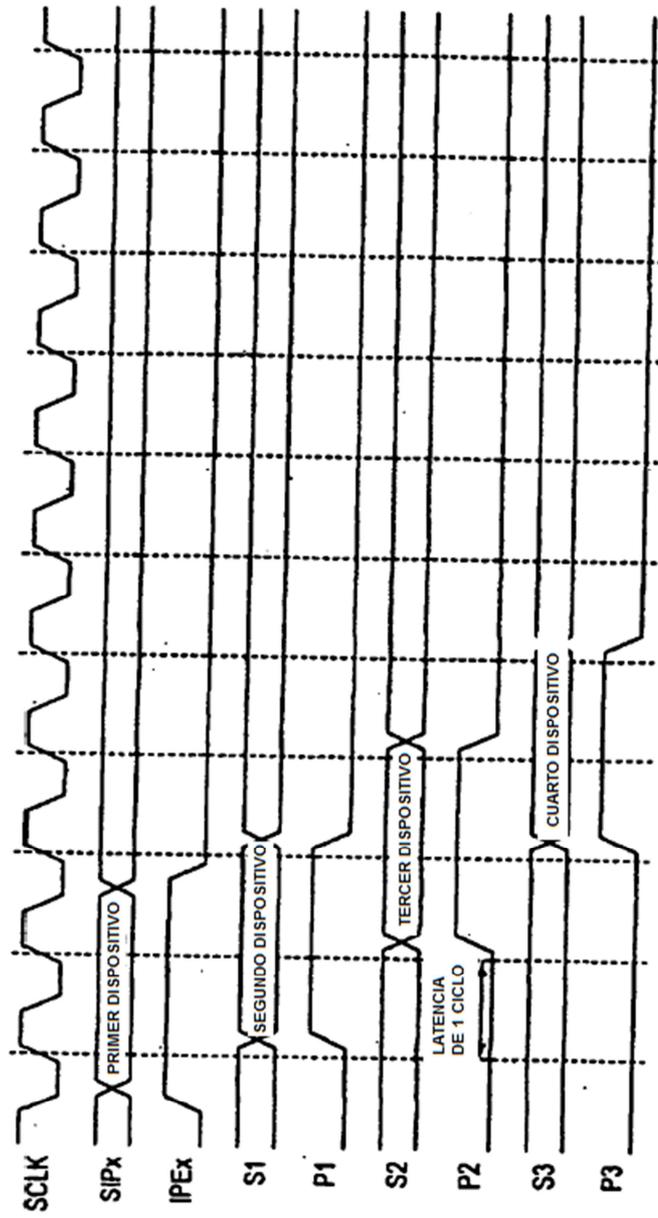


FIG. 13

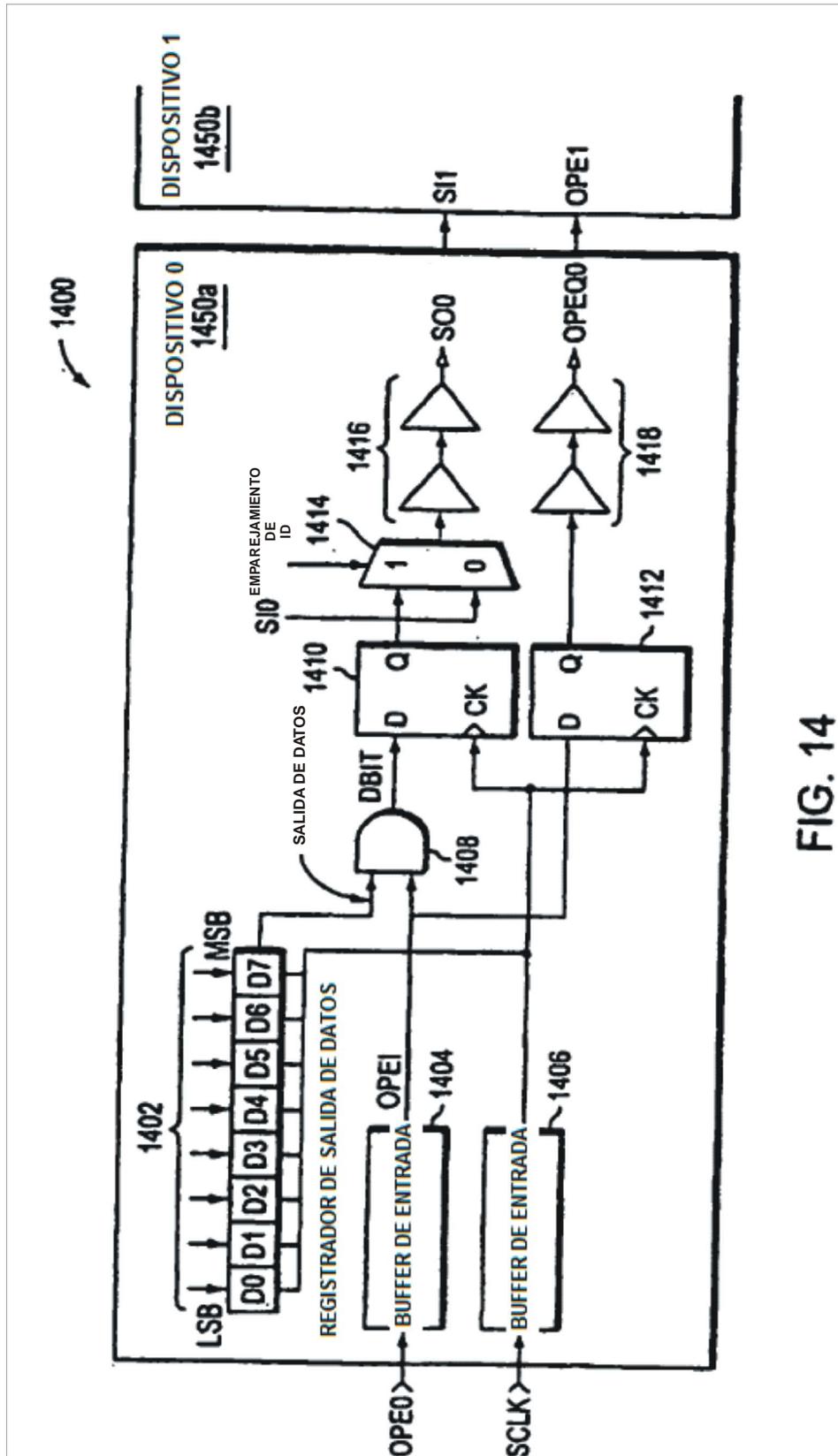


FIG. 14

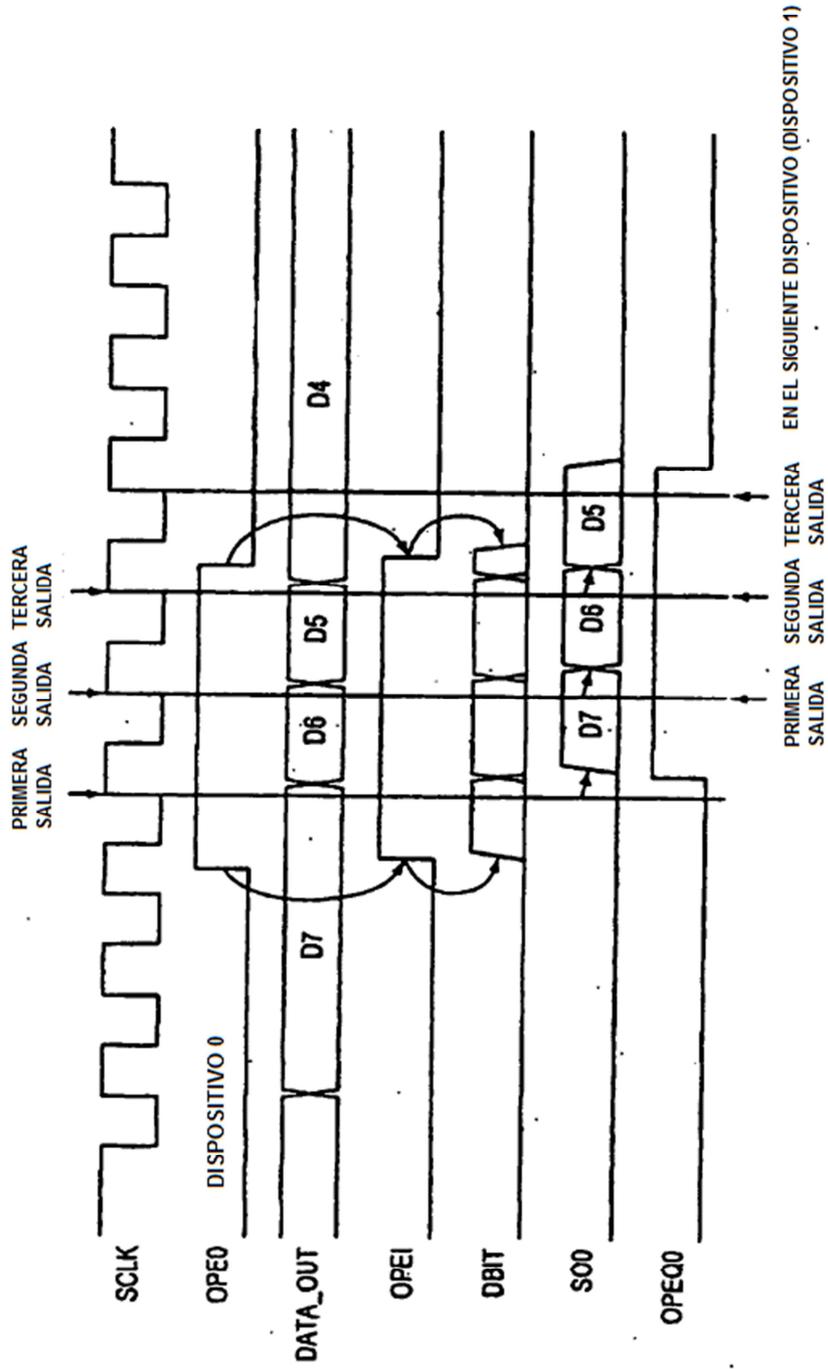


FIG. 15