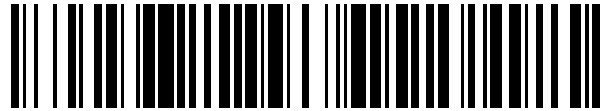


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 395 750**

51 Int. Cl.:

G04F 10/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **03.11.2009 E 09745054 (8)**

97 Fecha y número de publicación de la concesión europea: **17.10.2012 EP 2359199**

54 Título: **Convertidor de tiempo a digital de conformación de ruido**

30 Prioridad:

07.11.2008 US 266878

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

14.02.2013

73 Titular/es:

**TELEFONAKTIEBOLAGET L M ERICSSON
(PUBL) (100.0%)
164 83 Stockholm, SE**

72 Inventor/es:

EK, STAFFAN

74 Agente/Representante:

LINAGE GONZÁLEZ, Rafael

ES 2 395 750 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Convertidor de tiempo a digital de conformación de ruido

5 **Campo técnico**

La presente invención se refiere en general a convertidores de tiempo a digital y, más en particular, se refiere a convertidores de tiempo a digital de conformación de ruido.

10 **Antecedentes**

Un convertidor de tiempo a digital (TDC) proporciona una representación digital del tiempo de llegada de cada pulso entrante de una señal. Un TDC puede formarse conectando entre sí una cadena de inversores. Un pulso de inicio se propaga a través de la cadena de inversores y se muestrea con un pulso de finalización. El número de inversores a través de los cuales pasa el pulso de inicio proporciona una medida digital del tiempo de inicio a fin. La resolución asociada a este tipo de TDC está normalmente limitada por el retardo de puerta de los inversores, el cual depende en gran medida de la corriente, la tensión y la temperatura. Además, la linealidad del TDC es limitada debido a los desajustes del dispositivo y normalmente se compensa por la velocidad y la resolución. Se necesitan fases de inversores relativamente pequeños para mejorar la resolución del TDC ya que los inversores pequeños tienen una capacitancia parásita reducida. Sin embargo, se necesitan fases de inversores relativamente grandes para mejorar los desajustes y la linealidad del dispositivo. Pueden utilizarse técnicas de corrección digitales y procedimientos estadísticos para linealizar la función de transferencia del TDC, pero la resolución permanece limitada por el retardo de puerta.

Otro tipo de TDC es la línea de retardo Vernier, la cual utiliza la diferencia de retardo entre dos líneas de retardo. Sin embargo, los desajustes del dispositivo tienen un mayor impacto negativo en la linealidad de los TDC de tipo Vernier. Además, una línea de retardo muy larga es necesaria para conseguir una gama dinámica suficiente. Otros tipos de TDC utilizan un oscilador en anillo, el cual se activa cuando se inicia la medición de periodo de tiempo y se desactiva cuando termina la medición de periodo de tiempo. La conmutación puede realizarse colocando puertas en las celdas del inversor. La activación y desactivación del oscilador en anillo de esta manera fija los nodos internos del TDC a un estado de alta impedancia cuando se desactivan. La conformación de ruido se produce cuando las capacitancias parásitas del oscilador en anillo mantienen sus tensiones durante el estado inactivo de alta impedancia. Los TDC basados en osciladores en anillo pueden conseguir una resolución relativamente alta y mitigar los efectos de los desajustes de transistor. Sin embargo, el estado inactivo de alta impedancia crea una gran sensibilidad al ruido y a las corrientes de fuga. Por ejemplo, los TDC convencionales basados en osciladores en anillo experimentan altas corrientes de fuga, las cuales afectan a las tensiones del oscilador durante los estados de alta impedancia. Con un proceso de escalado, la corriente de fuga se agrava y depende en gran medida de la temperatura. Además, se introducen corrientes de ruido en los nodos de alta impedancia, lo que también afecta a las tensiones del oscilador. Además, las tensiones de los nodos de alta impedancia pueden verse afectadas negativamente por la inyección de cargas durante la conmutación. Pueden producirse errores de cómputo en el estado de alta impedancia debido a los problemas mencionados anteriormente. Los TDC convencionales basados en osciladores en anillo dependen en gran medida de la tensión durante los periodos de finalización e inicio, reduciéndose el rendimiento de la conformación de ruido en los TDC.

Algunos de estos TDC de la técnica anterior se dan a conocer en el documento US 4.939.382 y en el documento de Józef Kalisz et al. titulado "*Review of methods for time interval measurements with picosecond resolution; Methods for time interval measurements*" METROLOGICA, INSTITUTE OF PHYSICS Publishing, BRISTOL, GB.

Sumario

Un TDC incluye un oscilador que conmuta entre al menos dos frecuencias de funcionamiento diferentes para obtener mediciones digitalizadas precisas de cantidades de tiempo desconocidas. El TDC implementa conformación de ruido de cuantificación para obtener resultados de medición de tiempo altamente precisos. Además, la linealidad del TDC aumenta aleatorizando los errores introducidos por los desajustes entre los dispositivos de transistor. El TDC puede utilizarse en varias aplicaciones tales como un bucle digital de enganche de fase (DPLL). La utilización del TDC de alta precisión en un DPLL reduce el ruido de cuantificación y la necesidad de filtrado. Esto permite a su vez la utilización de mayores anchos de banda. Un mayor ancho de banda mejora el filtrado de ruido del oscilador y reduce el tiempo de estabilización del oscilador, ahorra energía y permite el uso de esquemas de modulación polares para los transmisores. La mejor linealidad del TDC elimina además la necesidad de un sistema de circuitos adicional para compensar la no linealidad, reduciéndose de este modo la complejidad del circuito, los costes de desarrollo y el consumo de energía.

Según una realización, el TDC incluye un oscilador controlado digitalmente, un circuito contador y un circuito de evaluación. El oscilador controlado digitalmente funciona en una primera frecuencia durante una primera parte de un periodo de una señal de referencia y cambia la frecuencia de funcionamiento de la primera frecuencia a una segunda frecuencia durante el periodo de señal de referencia en función de una diferencia de tiempo entre una señal

de interés y la señal de referencia. El circuito contador cuenta continuamente el número de transiciones de señal que se producen en una salida del oscilador controlado digitalmente durante el periodo de señal de referencia. El circuito de evaluación estima la diferencia de tiempo entre la señal de interés y la señal de referencia en función del número de transiciones de señal contadas durante el periodo de señal de referencia.

5 Evidentemente, la presente invención no está limitada a las características y ventajas anteriores. Los expertos en la técnica reconocerán características y ventajas adicionales tras la lectura de la siguiente descripción detallada y tras observar los dibujos adjuntos.

10 Breve descripción de los dibujos

La figura 1 es un diagrama de bloques de una realización de un convertidor de tiempo a digital de conformación de ruido.

15 La figura 2 es un cronograma que ilustra la generación de una señal de pulso utilizada para controlar el funcionamiento del convertidor de tiempo a digital de la figura 1.

Las figuras 3 y 4 son cronogramas asociados al funcionamiento del convertidor de tiempo a digital de la figura 1.

20 La figura 5 es un gráfico que ilustra las operaciones de cómputo y de cuantificación de errores del convertidor de tiempo a digital de la figura 1.

Las figuras 6 a 8 ilustran el convertidor de tiempo a digital de la figura 1 en diferentes fases de la transformación en el dominio z.

25 Las figuras 9 a 12 ilustran diferentes fases de un modo de calibración llevado a cabo para el convertidor de tiempo a digital de la figura 1.

30 La figura 13 es un diagrama de bloques de una realización de un bucle digital de enganche de fase que incluye el convertidor de tiempo a digital de la figura 1.

Descripción detallada

35 La figura 1 ilustra una realización de un convertidor de tiempo a digital (TDC) 100. El TDC 100 incluye un oscilador controlado digitalmente (DCO) 110, un circuito contador 120, un circuito de evaluación 130 y un generador de pulsos 140. El TDC 100 utiliza conformación de ruido para proporcionar resultados de medición de tiempo de resolución muy alta. Cuando el TDC 100 funciona en una frecuencia (REF) varias veces mayor que el ancho de banda de la señal de interés (INICIO), el TDC 100 tiene una relación de señal a ruido (SNR) relativamente alta en comparación con TDC convencionales de no conformación de ruido. Además, el TDC 100 lleva a cabo una conformación de ruido de cuantificación llevando el ruido de cuantificación hacia frecuencias más altas. El ruido de alta frecuencia puede filtrarse opcionalmente, lo que proporciona un aumento eficaz de la SNR dependiendo de la relación de sobremuestreo utilizada por el TDC 100.

45 El ruido de cuantificación conformado puede modelarse como ruido blanco filtrado por un filtro diferenciador. En un sistema muestreado, la función de transferencia de un filtro diferenciador puede describirse de la siguiente manera:

$$H_{NTF} = 1 - z^{-1} \quad (1)$$

50 La función de transferencia de ruido representada por la ecuación (1) puede realizarse tomando la diferencia entre los errores de cuantificación de las muestras de medición actuales y anteriores generadas por cualquier sistema de medición de cuantificación. Las muestras de medición se generan haciendo funcionar el DCO 110 en dos o más frecuencias diferentes durante cada periodo de señal de referencia, es decir, cada ciclo de la señal de referencia. La frecuencia de funcionamiento del DCO 110 se selecciona en función de un bit de ajuste de oscilador (OTB) introducido en el DCO 110.

55 En una realización, el OTB se controla mediante el generador de pulsos digitales 140. El generador de pulsos digitales 140 activa el pulso de OTB en respuesta a una transición de flanco de subida en la señal de interés (INICIO) y finaliza el pulso en respuesta a una transición de flanco de subida en la señal de referencia (REF), como se muestra en la figura 2. Por tanto, el pulso de OTB tiene un ancho correspondiente a la diferencia de tiempo entre los flancos de subida de las señales INICIO y REF. El DCO 110 funciona en una primera frecuencia (f1) cuando el pulso baja y en una segunda frecuencia (f2) cuando el pulso está activo. Por tanto, la frecuencia de salida del DCO 110 depende del estado del pulso de OTB, el cual depende a su vez de la relación de tiempo entre la señal de interés y la señal de referencia. Por consiguiente, la frecuencia de funcionamiento del DCO 110 cambia de la primera frecuencia (f1) a la segunda frecuencia (f2) más tarde en el periodo de señal de referencia cuando la

diferencia de tiempo entre REF e INICIO es relativamente pequeña, y más pronto en el periodo de señal de referencia cuando la diferencia de tiempo es relativamente grande. El circuito contador 120 del TDC 100 cuenta continuamente el número de transiciones de señal observadas en la salida del DCO 110 durante cada periodo de señal de referencia. En una realización, el circuito contador 120 incluye un contador modular 150 seguido de un
 5 circuito diferenciador 160. El contador modular 150 no se reajusta entre periodos de señal de referencia, lo que permite el uso de mayores velocidades de sincronización. El circuito de evaluación 130 estima la diferencia de tiempo entre la señal de interés y la señal de referencia en función de la salida del circuito contador 120. El circuito de evaluación 130 también determina las diferentes frecuencias de funcionamiento del DCO 110 durante un modo de calibración basándose en información de tiempo asociada a la señal de referencia.

10 Durante el funcionamiento, el TDC 100 mide y digitaliza una fracción de tiempo de un periodo de tiempo de referencia conocido. En mayor detalle, el generador de pulsos 140 desactiva el pulso de OTB durante la primera parte del periodo de señal de referencia, por ejemplo, desde un flanco de subida de REF hasta un flanco de subida de INICIO, como se muestra en la figura 2. Durante esta duración de tiempo, el DCO 110 funciona en una primera
 15 frecuencia (f_1). Después, el generador de pulsos 140 activa el pulso de OTB durante la fracción del periodo de señal de referencia que va a medirse, por ejemplo después de una transición de flanco de subida en INICIO hasta un flanco de subida de REF, como se muestra en la figura 2. El DCO 110 pasa a una segunda frecuencia de funcionamiento (f_2) durante esta parte del periodo de señal de referencia.

20 El circuito contador 120 está conectado a la salida del DCO 110 y cuenta continuamente el número de transiciones de señal en la salida del DCO durante cada periodo de señal de referencia. El circuito contador modular 150 acumula esencialmente la fase de DCO como se muestra en la figura 3, donde el primer gráfico muestra la señal de referencia y el segundo gráfico muestra la salida del circuito contador modular 150. Las diferentes pendientes mostradas en el gráfico inferior de la figura 3 muestran cómo varía la tasa de cambio en la salida del circuito
 25 contador modular 150 en función del valor del OTB. Es decir, la velocidad a la que el circuito contador modular 150 acumula la fase de DCO depende del OTB ya que la frecuencia de funcionamiento del DCO cambia cada vez que baja el pulso de OTB. En una realización, el circuito contador modular 150 incluye un sumador de n bits 152 y un circuito cerrojo 154. El circuito cerrojo 154 almacena la salida actual del sumador 152 cuando se activa mediante una transición de flanco de subida de la salida del DCO y el sumador 152 incrementa el estado actual del circuito
 30 cerrojo 154 en uno. El circuito diferenciador 160 compara el valor de cómputo del periodo de señal de referencia actual con el valor de cómputo del periodo de señal de referencia anterior. En una realización, el circuito diferenciador 160 incluye dos circuitos cerrojo 162, 164 y un restador 166. El primer circuito cerrojo 162 captura el valor de cómputo del periodo de señal de referencia más reciente durante una transición de flanco de subida de la señal de referencia. Este valor se pasa al segundo circuito cerrojo 164 durante la siguiente transición de flanco de
 35 subida de la señal de referencia. Por consiguiente, los circuitos cerrojo 162, 164 guardan conjuntamente los valores de cómputo de dos periodos de señal de referencia consecutivos. El restador 166 resta el valor de cómputo más reciente el valor de cómputo anterior, extrayendo el número de ciclos de DCO contados durante el último periodo de señal de referencia.

40 La figura 4 es un cronograma que ilustra un procesamiento de señal en diferentes fases del TDC 100. El gráfico superior muestra la señal de referencia (REF). El segundo gráfico empezando por arriba muestra el estado del primer circuito cerrojo 162 del circuito diferenciador 160 y el tercer gráfico empezando por arriba muestra el estado del segundo circuito cerrojo 164 del circuito diferenciador 160. El gráfico inferior muestra la salida del restador 166 para una señal que varía lentamente.

45 El circuito de evaluación 130 puede comprender lógica digital o cualquier otro tipo de lógica o sistema de circuitos para determinar las diferentes frecuencias de funcionamiento del DCO (por ejemplo, f_1 y f_2). El circuito de evaluación 130 determina las frecuencias de funcionamiento del DCO durante un modo de calibración. Las frecuencias de funcionamiento del DCO pueden variar con el proceso, la tensión y la temperatura. El DCO 110 está
 50 fijado a las frecuencias f_1 y f_2 , respectivamente, para un número de periodos de referencia durante el modo de calibración y un promedio temporal de la salida del contador 120 se calcula y se utiliza como las medidas de frecuencia, como se describirá posteriormente en mayor detalle en este documento. El circuito de evaluación 130 utiliza las medidas de frecuencia media temporal para calcular la fracción del periodo de señal de referencia durante el funcionamiento normal. Puesto que las frecuencias de funcionamiento del DCO (por ejemplo, f_1 y f_2) se calculan
 55 durante el modo de calibración, el circuito de evaluación 130 puede restar de la salida del circuito contador 120 un incremento de fase relacionado con una frecuencia (por ejemplo, f_1). La forma de onda resultante se muestra en la figura 5, donde la línea continua representa la forma de onda de fase asociada al DCO 110 en funcionamiento. La línea discontinua representa la forma de onda de fase después del procesamiento por parte del circuito de evaluación 130. Los errores de cuantificación $q[0]$, $q[1]$ que se extraen de sus medidas respectivas se añaden
 60 después automáticamente a las medidas subsiguientes, lo que significa que experimentan una conformación de ruido de primer orden.

Una explicación más teórica del TDC 100 se describe a continuación en el dominio z . La figura 6 muestra un modelo equivalente del circuito contador 120 en el que se utiliza una única frecuencia de muestra de entrada (REF). El
 65 contador modular 150 incluye dos sumadores 700, 702, dos circuitos cerrojo 704, 706, cada uno sincronizado por la señal de referencia, y un sumador 708. Las dos cantidades de entrada sumadas representan el incremento de fase

(medido en ciclos, no en radianes) del DCO 110 durante un periodo de señal de referencia. El circuito diferenciador 160 incluye un cuantificador 710 para truncar la medida de fase a un número entero, ya que el circuito contador modular 150 solo resuelve en la práctica múltiplos enteros de la fase de salida del DCO. La salida del cuantificador se almacena en un circuito cerrojo 712 sincronizado por la señal de referencia. Un restador 714 resta dos señales cuantificadas consecutivas para generar una salida de medición de tiempo (tpulso').

La figura 7 muestra el circuito contador 120 de manera más simplificada. Aquí, el circuito contador modular 150 incluye un único sumador 800 y un circuito cerrojo 802. El sumador 800 suma la salida del circuito cerrojo 802 con una primera entrada (u) representada por:

$$u = f_1 \cdot T_{ref} + (f_2 - f_1) \cdot t_{pulso} \quad (2)$$

El circuito diferenciador 160 incluye nuevamente el cuantificador 710, el circuito cerrojo 712 y el restador 714 para generar una salida de medición de tiempo (tpulso'), como se ha descrito anteriormente.

La figura 8 muestra el circuito contador 120 de manera aún más simplificada con respecto a un modelo lineal en el dominio z. El circuito contador modular 150 incluye un bloque de retardo 900 que tiene una salida retroalimentada a un bloque sumador 902 junto con una señal de entrada (U). La salida del bloque de retardo de contador modular 900 también se introduce en un sumador 904 del circuito diferenciador 160. Un valor de error de cuantificación (Qe) también se introduce en el sumador 904. La salida del sumador 904 se introduce en un bloque de retardo 906 y en un restador 908 del circuito diferenciador 160. El restador 908 genera una salida de medición de tiempo (Tpulso') obtenida mediante la siguiente función de transferencia:

$$H_{STF} = \frac{T_{pulso}'}{U} = \frac{1}{z-1} (1 - z^{-1}) = z^{-1} \quad (3)$$

La función de transferencia de Qe a Dt' viene dada por:

$$H_{NTF} = \frac{T_{pulso}'}{Q_e} = 1 - z^{-1} \quad (4)$$

Por consiguiente, la energía del error de cuantificación Qe se distribuye de manera uniforme en el dominio de frecuencia entre CC y la frecuencia de señal de referencia (aparte de su componente de CC). Por tanto, la PSD (densidad espectral de potencia) del ruido de cuantificación de salida se conforma en primer orden y la cantidad de entrada U, que depende de manera lineal de la fracción de tiempo desconocida, se retrasa.

En una realización, el DCO 110 es un oscilador en anillo. Según esta realización, el circuito contador 120 muestrea la salida de más de una etapa del oscilador en anillo para extraer un valor de cómputo medio. Extraer información de tiempo de más de una etapa del oscilador en anillo incrementa la resolución del TDC 100 y reduce la necesidad de una alta relación de sobremuestreo. En otra realización, el DCO 110 es un circuito tanque LC. En cada caso, el TDC 100 utiliza preferentemente una cantidad de tiempo mínima en cada estado de frecuencia del DCO durante cada periodo de señal de referencia. Esto impide zonas muertas en las que no pueden resolverse pulsos muy cortos debido a la incapacidad de activar y desactivar transistores de una manera ideal y suficientemente rápida. En una realización, el generador de pulsos 140 añade un retardo (d) al pulso de OTB, extendiendo el flanco de bajada del pulso de OTB más allá del flanco de subida de la señal de referencia (REF) para cada periodo de señal de referencia, como se muestra en la figura 2. El mismo retardo se utiliza durante el modo de calibración, de manera que el retardo no introduce errores en el proceso de medición de tiempo llevado a cabo por el TDC 100 durante el funcionamiento habitual.

En una realización, el modo de calibración comienza determinando la segunda frecuencia (f2). La segunda frecuencia puede determinarse haciendo que el bit OTB esté activo constantemente. La figura 9 muestra la fase de DCO cuando el bit OTB está constantemente activo, donde el eje x representa el tiempo medido en ciclos de referencia. Puesto que se supone que la señal de referencia es conocida, todas las frecuencias pueden normalizarse con respecto a la señal de referencia, de manera que la señal de referencia tiene una frecuencia = 1. Hacer que el OTB esté activo de esta manera provoca que el circuito contador 120 proporcione un valor de cómputo de 8 ó 9, como se muestra en la figura 9. En este ejemplo, el circuito contador 120 proporciona un valor de cómputo de 8 un tercio de las veces y un valor de cómputo de 9 dos tercios de las veces. Por tanto, en un largo periodo de tiempo, la segunda frecuencia (f2) tiene un valor medio temporal de 8,667. Cuanto más tiempo funcione el circuito contador 120, más precisa será la función de promedio temporal. Por ejemplo, si solo se utilizan las dos primeras medidas, la frecuencia media de f2 sería de 8,5.

Después se determina la primera frecuencia (f1). La primera frecuencia se determina fijando el bit OTB a cero. La figura 10 muestra la etapa de DCO cuando el bit OTB está fijado a cero. El mismo procedimiento para calcular f2 descrito anteriormente se repite de nuevo para calcular f1. En este ejemplo, f1 es el doble de la frecuencia de referencia. Por consiguiente, el circuito contador 120 proporciona un valor de cómputo de 2. El proceso de calibración puede terminar en este punto cuando el tiempo de conmutación de frecuencia es cero (es decir, no se añade ningún retardo al pulso de OTB para tener en cuenta las zonas muertas).

Sin embargo, cuando el generador de pulsos 140 añade un retardo (d) al pulso de OTB para tener en cuenta las zonas muertas descritas anteriormente, el modo de calibración también implica corregir el valor de retardo de tiempo. En una realización, el circuito de generación de pulsos 140 genera un único pulso de OTB que tiene un retardo de tiempo (d). La figura 11 muestra la fase de DCO cuando se añade un único retardo (d) al pulso de OTB cuando el bit OTB está fijado a cero. En este ejemplo, el circuito contador 120 proporciona valores de cómputo de 2 y 3 aproximadamente el mismo número de veces. Por consiguiente, la frecuencia equivalente (fm) = 2,5. Después de determinar los valores de f1, f2 y fm, el TDC 100 puede empezar su funcionamiento habitual. Considérese, por ejemplo, condiciones de funcionamiento normales en las que el tiempo que va a digitalizarse es 1/2 del periodo de tiempo de referencia. La figura 12 muestra la fase de DCO en estas condiciones. La figura 12 muestra que el DCO 110 funciona en f2 durante la mitad del periodo de referencia más el retardo de tiempo adicional (d) añadido para eliminar las zonas muertas. Los dos primeros números k en la salida del circuito contador 120 son 5 y 6, respectivamente. El circuito de evaluación 130 utiliza estos números para determinar la fracción de tiempo según la siguiente fórmula:

$$dt' = \frac{k - f_m}{f_2 - f_1} \Big|_{k=5} = \frac{5 - 2.5}{8.667 - 2} \approx 0.375 \Big|_{k=6} = \frac{6 - 2.5}{8.667 - 2} \approx 0.525 \quad (5)$$

El valor medio de la fracción de tiempo converge hacia 0,5 cuando el tiempo de entrada se mantiene relativamente constante a 0,5*Tref. El incremento de fase durante cada ciclo de referencia puede representarse como:

$$p = f_m + (f_2 - f_1) \cdot dt = 2.5 + (8.667 - 2) \cdot 0.5 \approx 5.83 \quad (6)$$

Como alternativa, el valor de incremento de fase del TDC 100 puede leerse en el gráfico mostrado en la figura 12.

El TDC 100 puede utilizarse en varios tipos de circuito. La figura 13 ilustra una realización en la que el TDC 100 está incluido en un bucle digital de enganche de fase (DPLL) 1000. El DPLL 1000 incluye un detector de fase 1010, un filtro paso bajo 1020, un DCO 1030 y el TDC 100. El TDC 100 procesa la salida del DCO de DPLL 1030 para determinar información de tiempo a partir de la salida de DCO. La información de tiempo extraída se retroalimenta al detector de fase 1010 para controlar el enganche de fase o frecuencia del DPLL 1000. En algunas realizaciones, el ancho de banda del DPLL no es mayor que algunos MHz. Por consiguiente, el TDC 100 muestrea la salida del DCO de DPLL a algunos cientos de MHz. La resolución y la SNR del DPLL 1000 aumentan significativamente ya que el TDC 100 utiliza sobremuestreo y conformación de ruido. La simulación ha mostrado que el TDC 100 mejora el ruido de fase integrado del DPLL 100 en más de 10 dB con respecto a TDC convencionales para las frecuencias de funcionamiento f2 = 6 GHz y f1 = 5 GHz del DCO. El ruido de fase integrado puede mejorarse adicionalmente si se hace que el filtro de bucle 1020 sea más pronunciado y/o aumentando la diferencia entre f1 y f2. Con la anterior gama de variaciones y aplicaciones en mente, debe entenderse que la presente invención no está limitada a la descripción anterior ni está limitada por los dibujos adjuntos. En cambio, la presente invención solo está limitada por las siguientes reivindicaciones.

REIVINDICACIONES

1. Un procedimiento de medición de una diferencia de tiempo entre una señal de interés (INICIO) y una señal de referencia (REF), que comprende:
- 5 hacer funcionar un oscilador controlado digitalmente, DCO, en una primera frecuencia (f1) durante una primera parte del periodo de señal de referencia;
- 10 cambiar la frecuencia de funcionamiento del DCO de la primera frecuencia a una segunda frecuencia (f2) durante el periodo de señal de referencia en función de la diferencia de tiempo entre la señal de interés y la señal de referencia;
- 15 contar continuamente (120) el número de transiciones de señal que se producen en una salida del DCO durante el periodo de señal de referencia; y
- 20 estimar (130) la diferencia de tiempo entre la señal de interés y la señal de referencia en función del número de transiciones de señal contadas durante el periodo de señal de referencia.
2. El procedimiento según la reivindicación 1, que comprende cambiar la frecuencia de funcionamiento del DCO de la primera frecuencia a la segunda frecuencia más pronto en el periodo de señal de referencia cuando la diferencia de tiempo es relativamente grande y más tarde en el periodo de señal de referencia cuando la diferencia de tiempo es relativamente pequeña.
3. El procedimiento según la reivindicación 1, que comprende:
- 25 aumentar un valor de cómputo en ejecución cada vez que se produce una transición de señal en la salida del DCO sobre una pluralidad de periodos de señal de referencia;
- 30 almacenar el valor de cómputo en ejecución acumulado durante cada periodo de señal de referencia; y
- 35 comparar los valores de cómputo en ejecución almacenados para periodos de señal de referencia consecutivos.
4. El procedimiento según la reivindicación 1, que comprende determinar la primera y la segunda frecuencia durante un modo de calibración.
5. El procedimiento según la reivindicación 4, que comprende determinar la primera y la segunda frecuencia en función de un número medio temporal de transiciones de señal observadas en la salida del DCO durante el modo de calibración.
6. El procedimiento según la reivindicación 1, que comprende:
- 40 generar un pulso que tiene un ancho correspondiente a la diferencia de tiempo entre la señal de interés y la señal de referencia; y
- 45 hacer funcionar el DCO en la primera frecuencia cuando el pulso baja y en la segunda frecuencia cuando el pulso está activo.
7. El procedimiento según la reivindicación 6, que comprende:
- 50 activar el pulso en respuesta a una transición de flanco de subida en la señal de interés; y
- 55 terminar el pulso en respuesta a una transición de flanco de subida en la señal de referencia.
8. El procedimiento según la reivindicación 6, que comprende extender el ancho del pulso en un retardo fijo.
9. El procedimiento según la reivindicación 6, que comprende introducir el pulso en el DCO como uno o más bits de sintonización de frecuencia.
10. El procedimiento según la reivindicación 1, en el que la señal de interés es una salida de un bucle digital de enganche de fase.
- 60 11. Un convertidor de tiempo a digital, que comprende:
- 65 un oscilador controlado digitalmente, DCO, configurado para funcionar en una primera frecuencia (f1) durante una primera parte de un periodo de una señal de referencia (REF) y para cambiar la frecuencia de funcionamiento de la primera frecuencia a una segunda frecuencia (f2) durante el periodo de señal de referencia en función de una

diferencia de tiempo entre una señal de interés (INICIO) y la señal de referencia;

un circuito contador (120) configurado para contar continuamente el número de transiciones de señal que se producen en una salida del DCO durante el periodo de señal de referencia; y

5 un circuito de evaluación (130) configurado para estimar la diferencia de tiempo entre la señal de interés y la señal de referencia en función del número de transiciones de señal contadas durante el periodo de señal de referencia.

10 12. El convertidor de tiempo a digital según la reivindicación 11, en el que el DCO está configurado para cambiar de la primera frecuencia a la segunda frecuencia más pronto en el periodo de señal de referencia cuando la diferencia de tiempo es relativamente grande y más tarde en el periodo de señal de referencia cuando la diferencia de tiempo es relativamente pequeña.

15 13. El convertidor de tiempo a digital según la reivindicación 11, en el que el circuito contador está configurado para aumentar un valor de cómputo en ejecución cada vez que se produce una transición de señal en la salida del DCO sobre una pluralidad de periodos de señal de referencia, para almacenar el valor de cómputo en ejecución acumulado durante cada periodo de señal de referencia y para comparar los valores de cómputo en ejecución almacenados para periodos de señal de referencia consecutivos.

20 14. El convertidor de tiempo a digital según la reivindicación 11, en el que el circuito de evaluación está configurado para determinar la primera y la segunda frecuencia durante un modo de calibración.

25 15. El convertidor de tiempo a digital según la reivindicación 14, en el que el circuito de evaluación está configurado para determinar la primera y la segunda frecuencia en función de un número medio temporal de transiciones de señal observadas en la salida del DCO durante el modo de calibración.

30 16. El convertidor de tiempo a digital según la reivindicación 11, que comprende un circuito de generación de pulsos configurado para generar un pulso que tiene un ancho correspondiente a la diferencia de tiempo entre la señal de interés y la señal de referencia y en el que el DCO está configurado para funcionar en la primera frecuencia cuando el pulso baja y en la segunda frecuencia cuando el pulso está activo.

35 17. El convertidor de tiempo a digital según la reivindicación 16, en el que el circuito de generación de pulsos está configurado para activar el pulso en respuesta a una transición de flanco de subida en la señal de interés y para terminar el pulso en respuesta a una transición de flanco de subida en la señal de referencia.

18. El convertidor de tiempo a digital según la reivindicación 16, en el que el circuito de generación de pulsos está configurado para extender el ancho del pulso en un retardo fijo.

40 19. El convertidor de tiempo a digital según la reivindicación 16, en el que el pulso se introduce en el DCO como uno o más bits de sintonización de frecuencia.

20. Un bucle digital de enganche de fase que comprende el convertidor de tiempo a digital según la reivindicación 11.

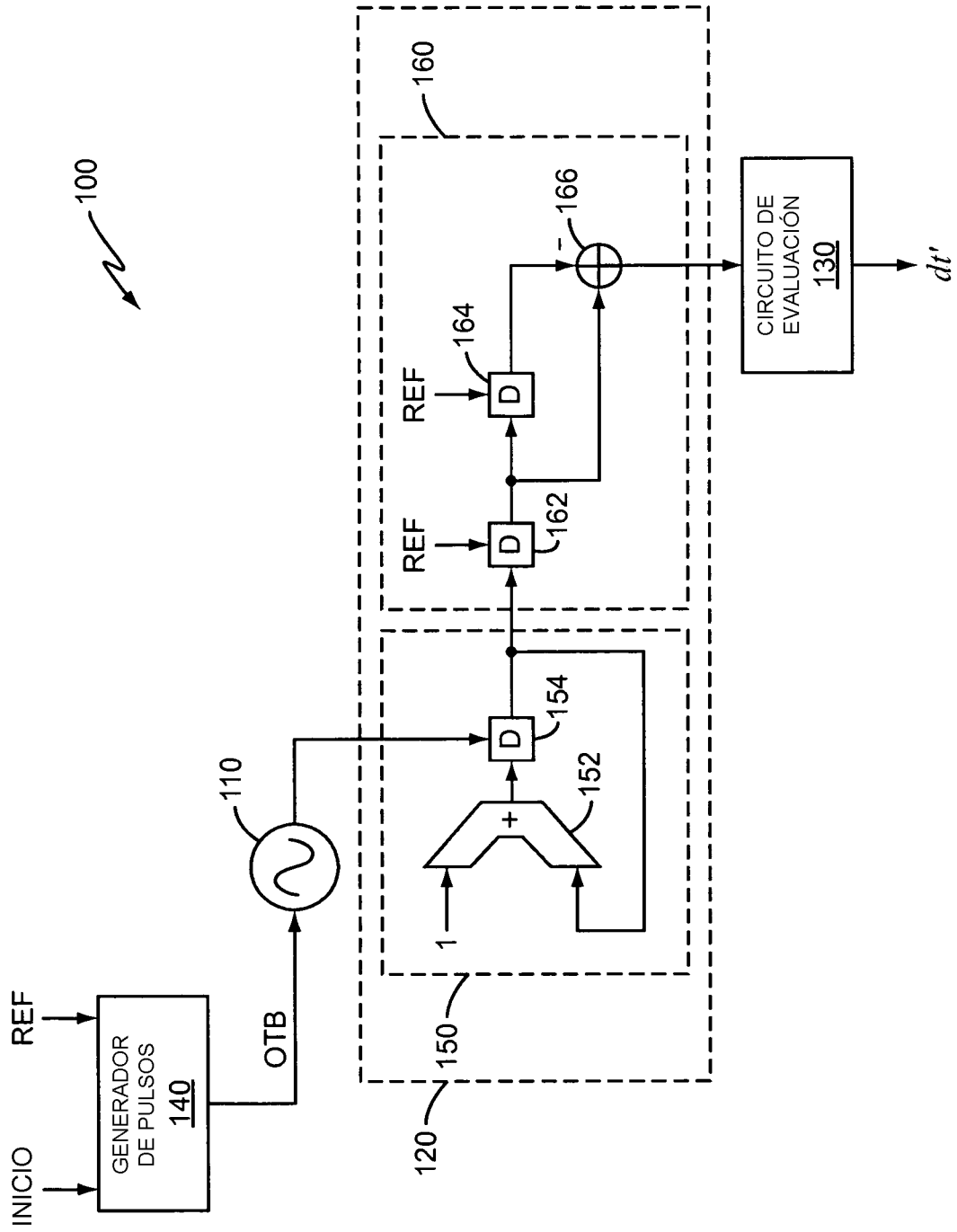


FIG. 1

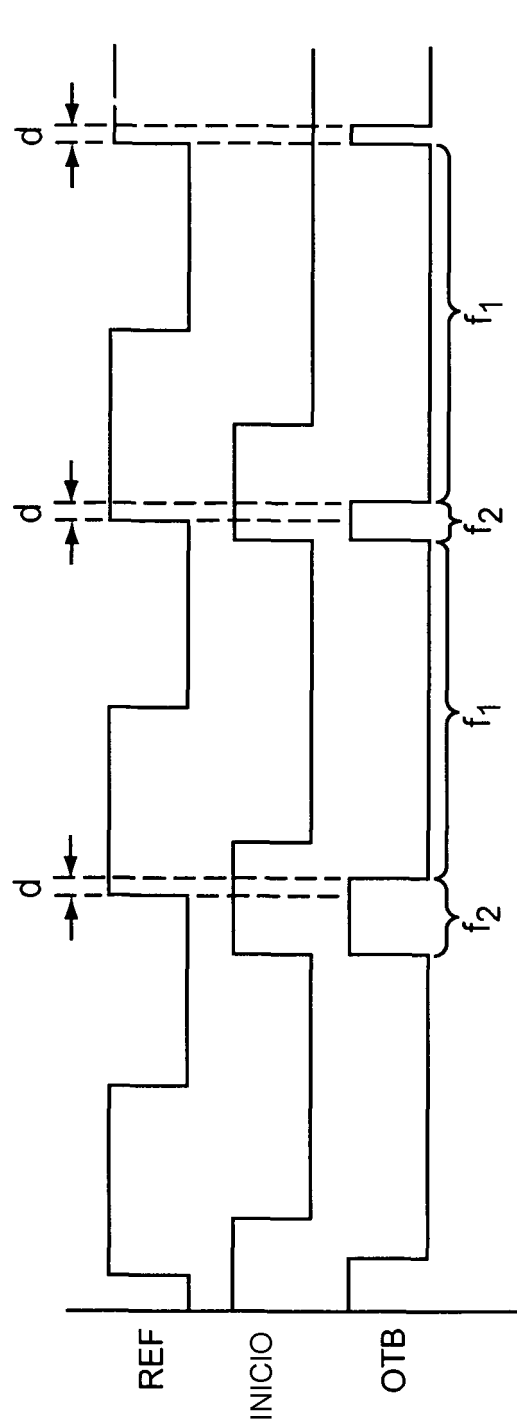
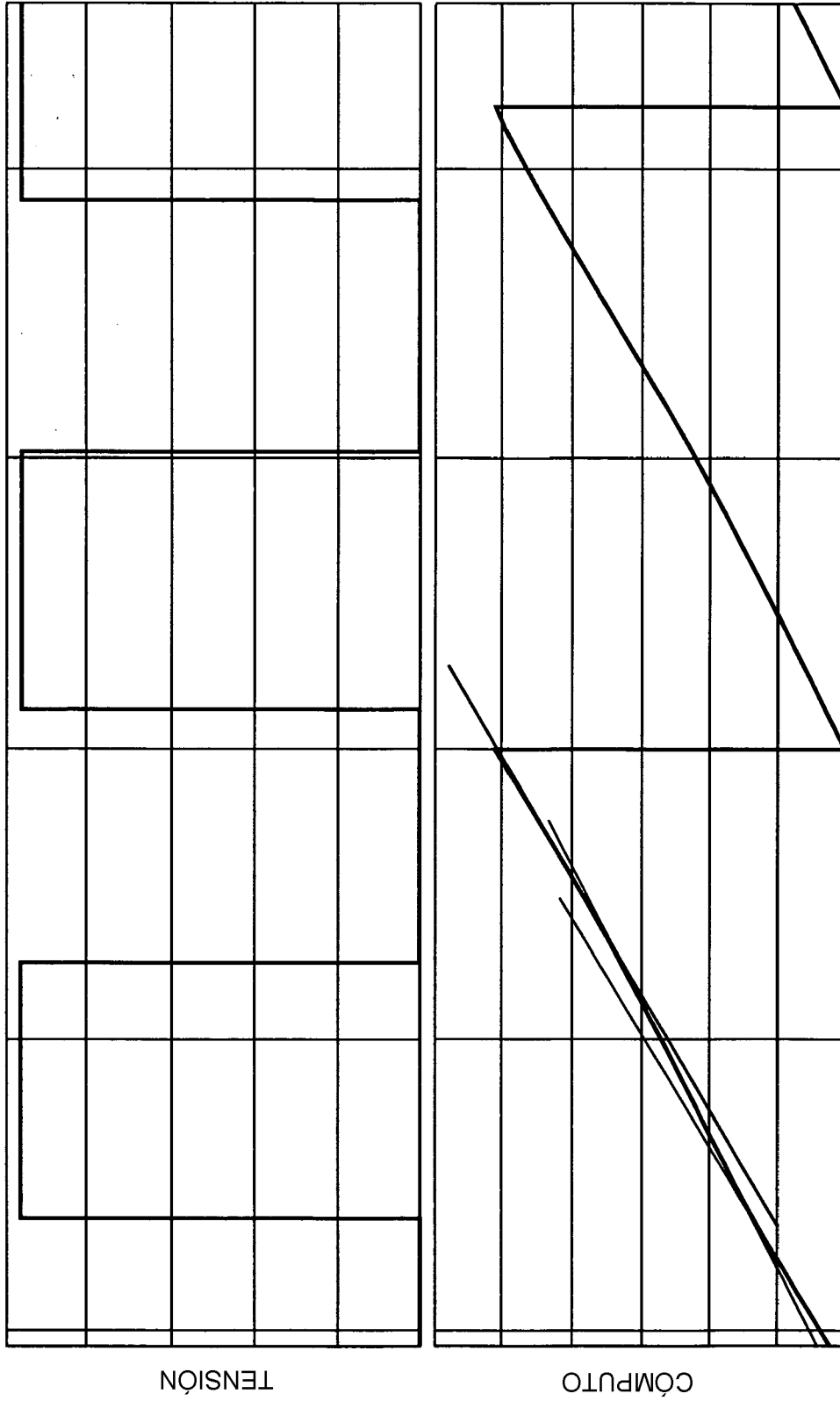


FIG. 2



TIEMPO

FIG. 3

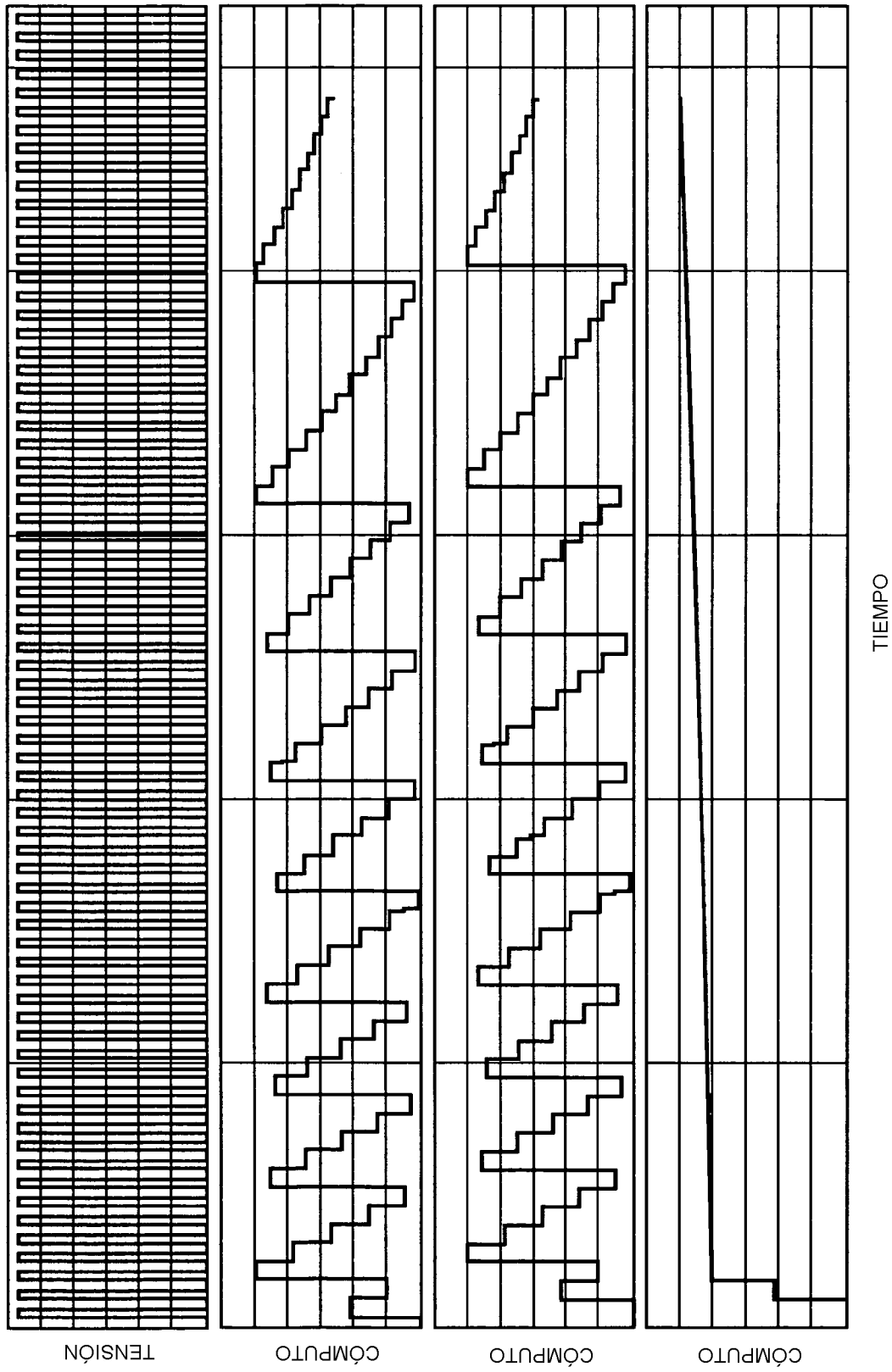


FIG. 4

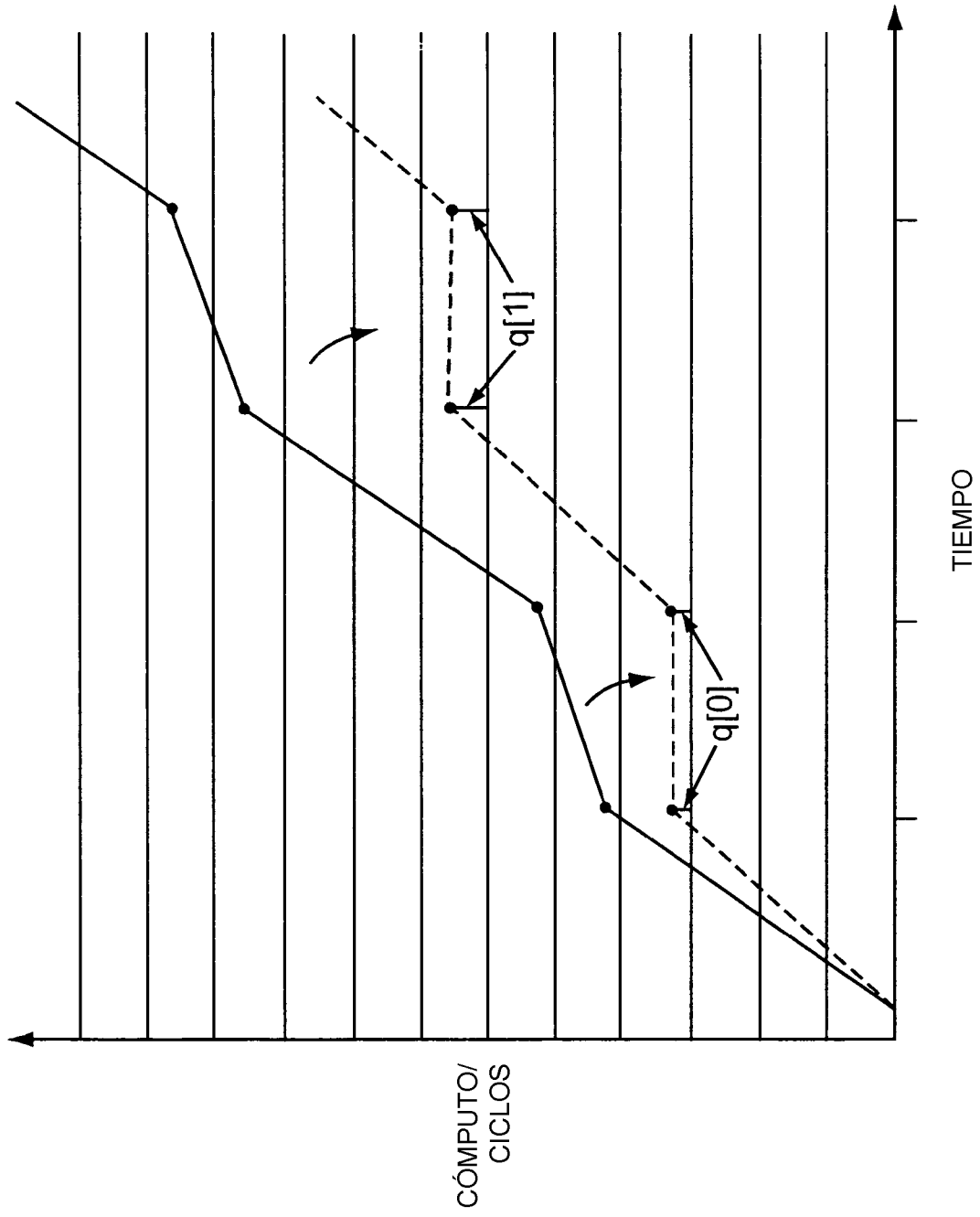


FIG. 5

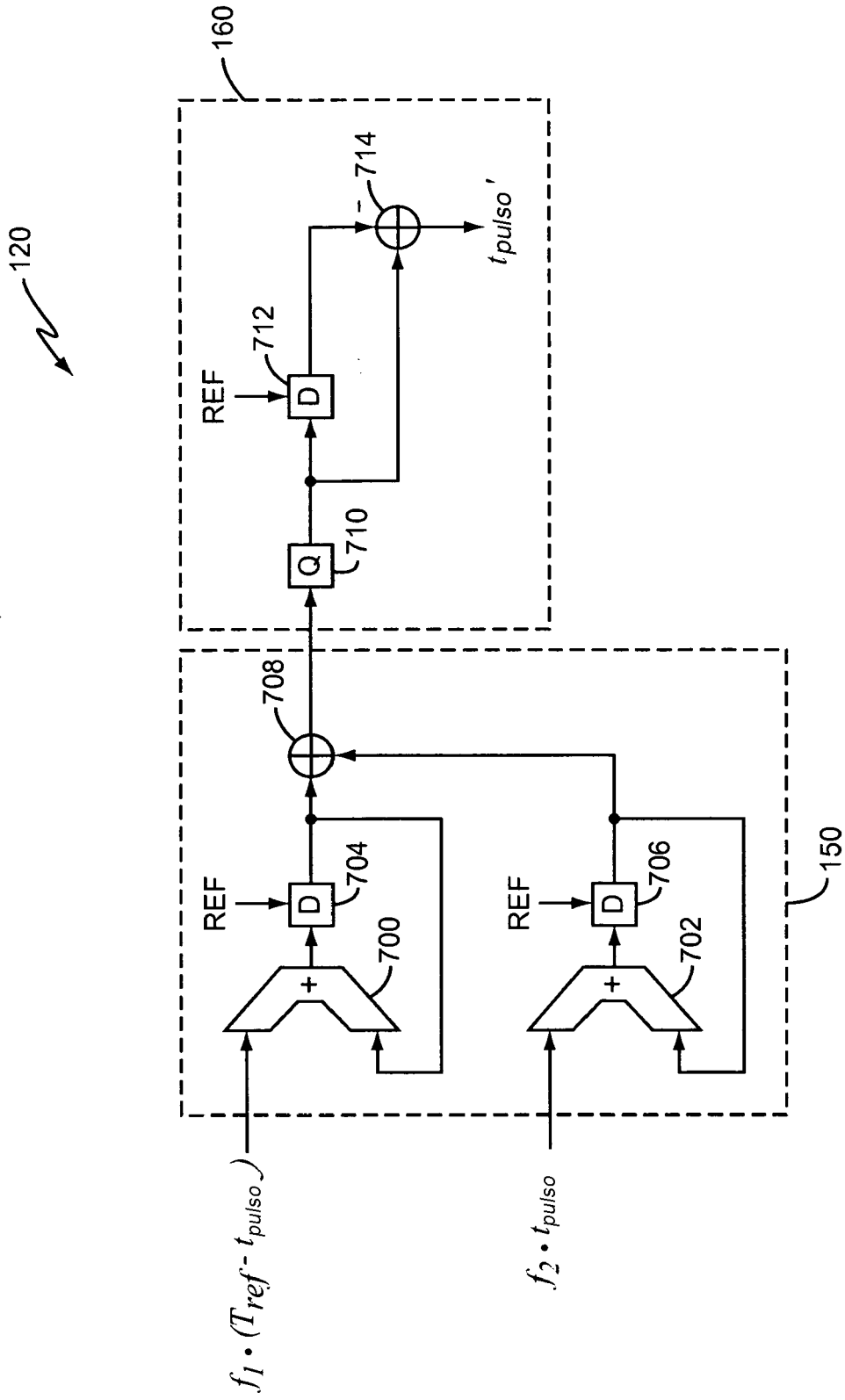


FIG. 6

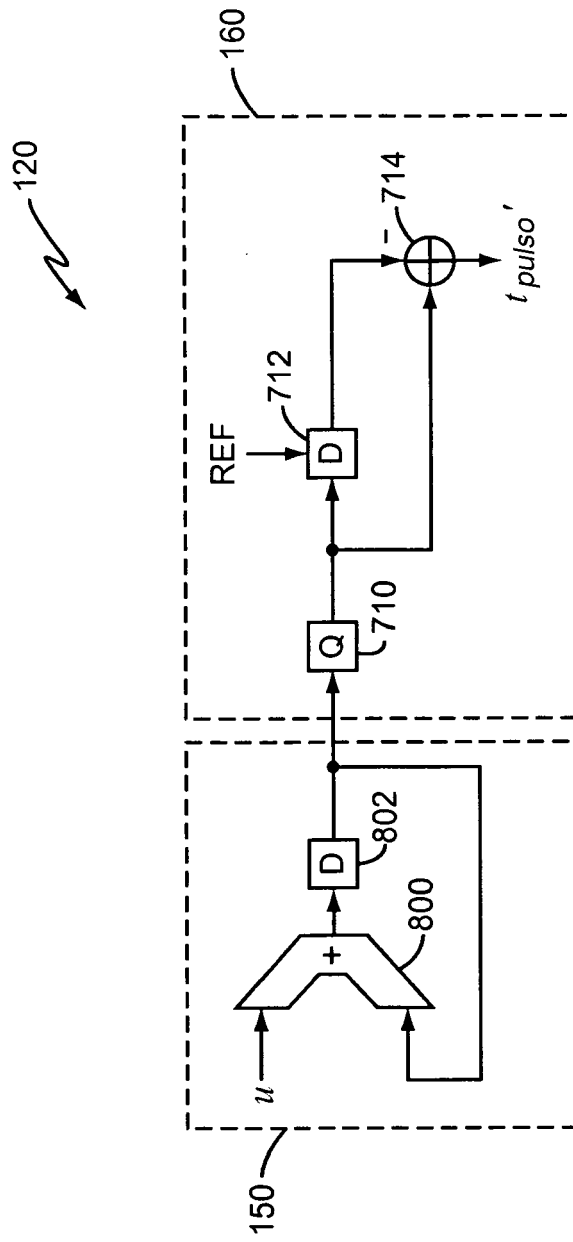


FIG. 7

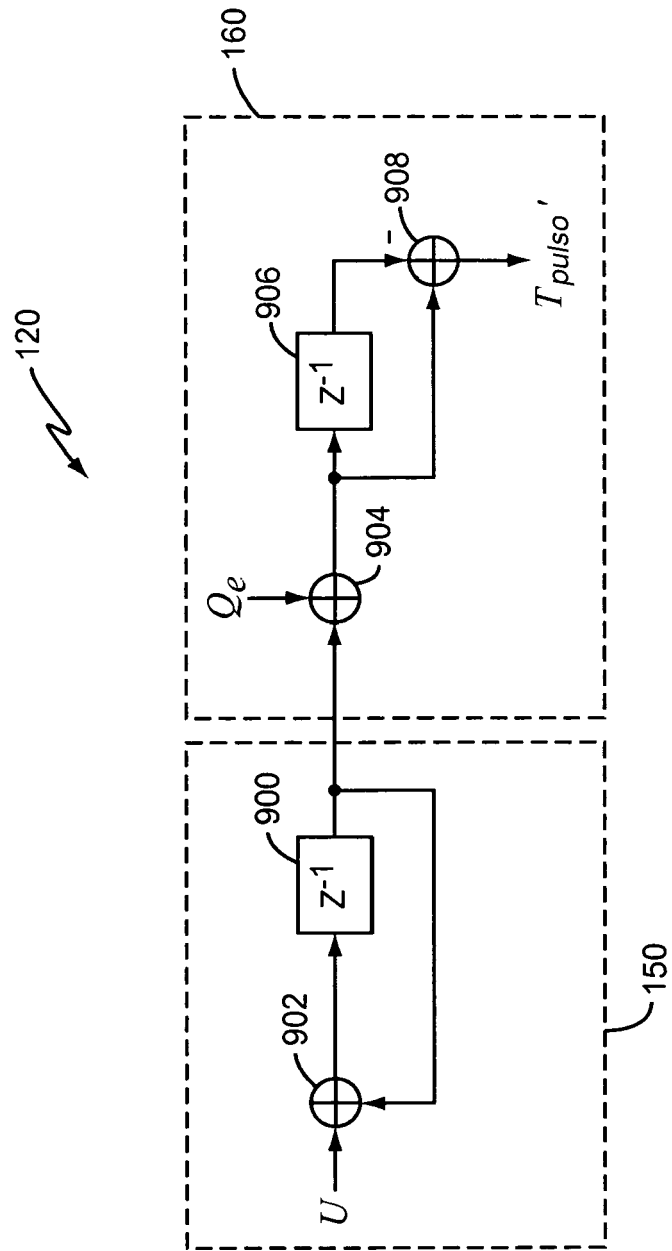


FIG. 8

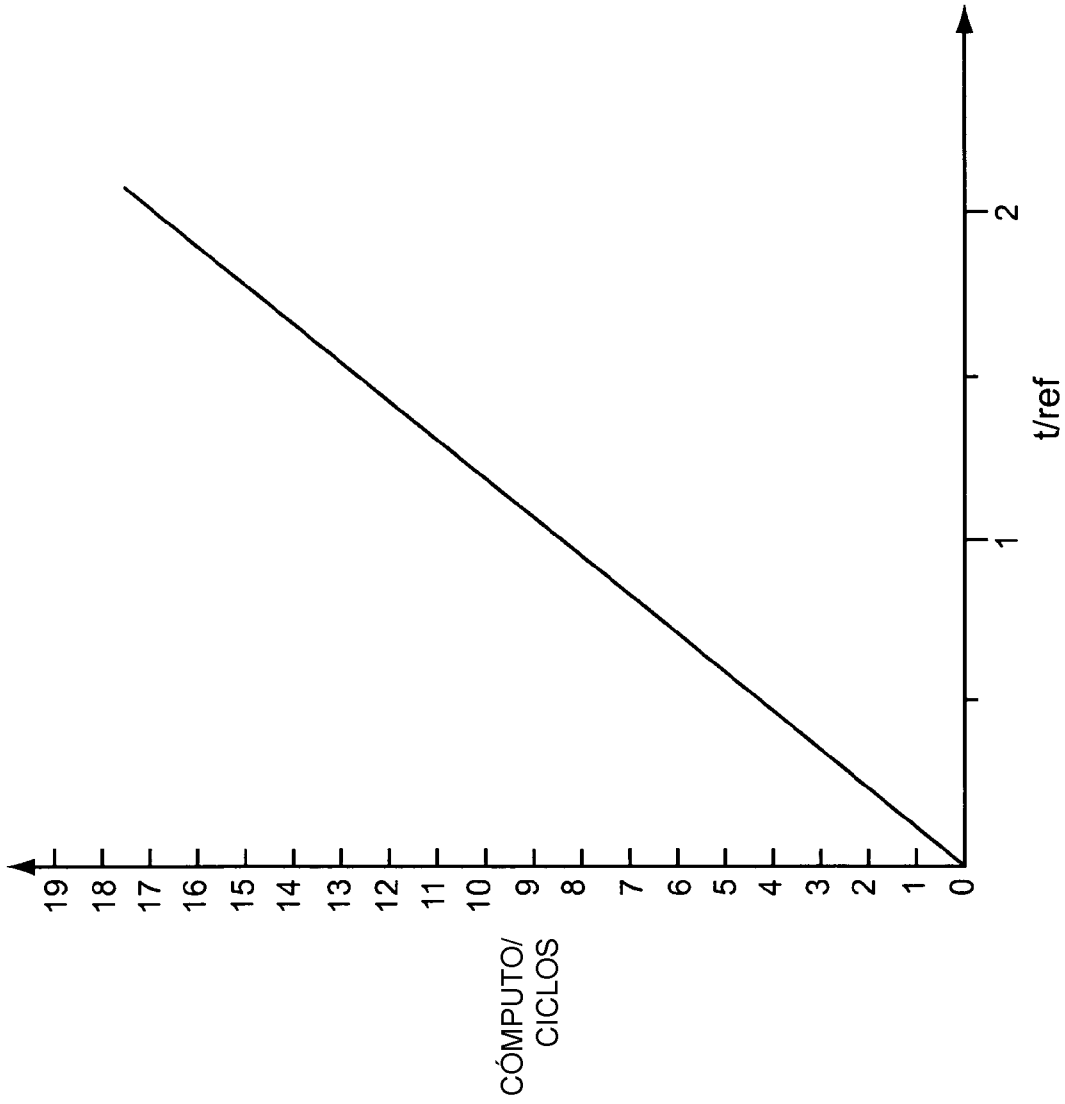


FIG. 9

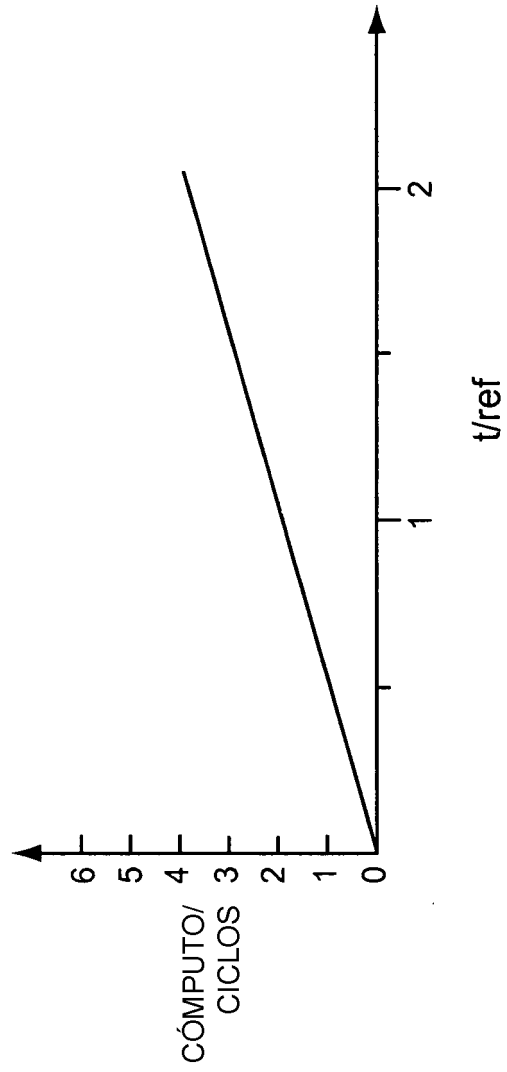


FIG. 10

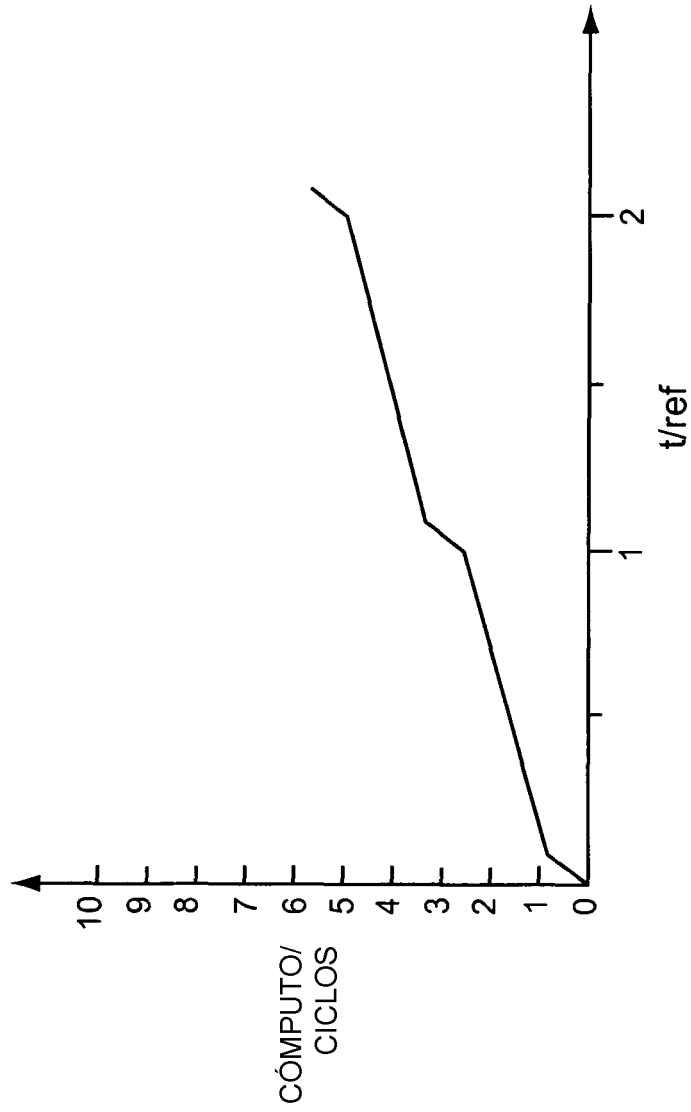


FIG. 11

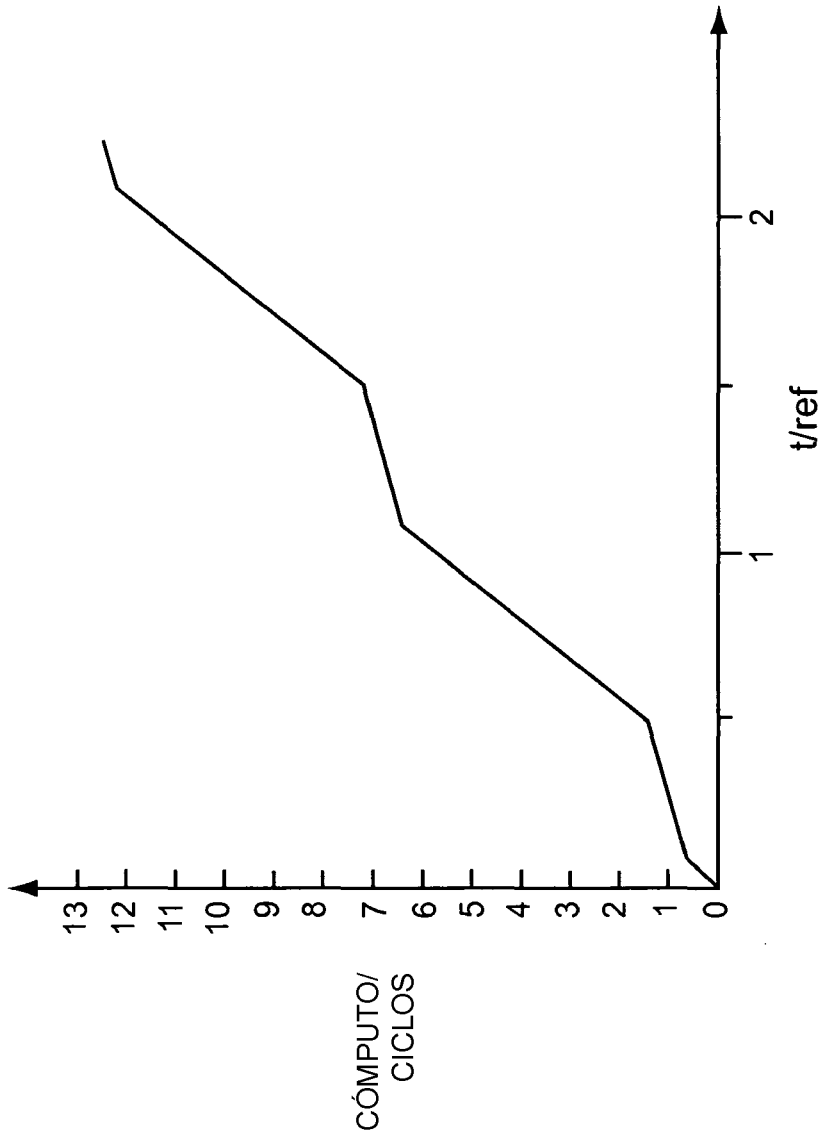


FIG. 12

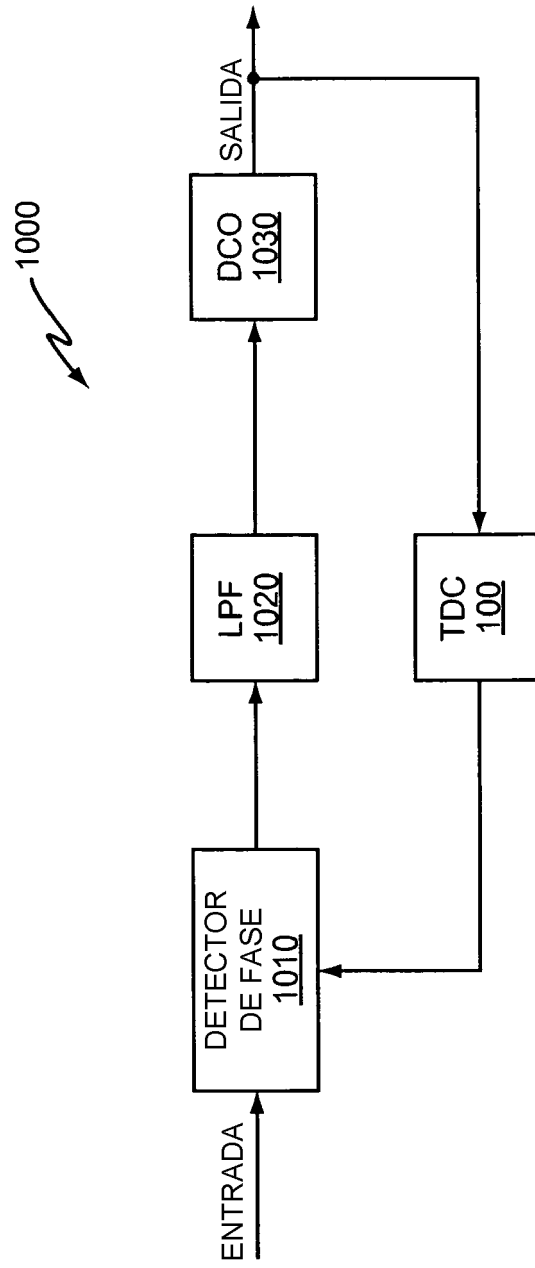


FIG. 13