

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 398 850**

51 Int. Cl.:

**G06F 13/42** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.12.2008 E 08172515 (2)**

97 Fecha y número de publicación de la concesión europea: **05.12.2012 EP 2163998**

54 Título: **Circuito de cooperación**

30 Prioridad:

**27.08.2008 TW 97132691**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**22.03.2013**

73 Titular/es:

**MACROBLOCK INC. (100.0%)  
6F-4, NO. 18, PU-TING RD.  
HSINCHU TAIWAN, R.O.C. 30072, TW**

72 Inventor/es:

**SHIH, FU-YANG y  
WU, KEN-TANG**

74 Agente/Representante:

**VALLEJO LÓPEZ, Juan Pedro**

**ES 2 398 850 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Circuito de cooperación

**Antecedentes de la invención****1. Campo de la invención:**

- 5 La presente invención se refiere en general a un circuito de cooperación y, más en particular, a un circuito de cooperación con un retardo de fase entre la fase de la señal de control de etapa actual y la fase de la señal de control de etapa anterior.

**2. Descripción de la técnica anterior:**

10 El circuito de cooperación, usado en la actualidad en el control de corriente de envergadura, se controla generalmente mediante conmutadores internos con bus de interfaz periférica serie (SPI), bus I2C, bus SM o bus PM, lo que da como resultado las siguientes desventajas:

15 1. Se requiere un ajuste externo de direccionamiento para el bus I2C, bus SM o bus PM. La frecuencia de reloj es demasiado baja (menos de 400 kHz) para la conmutación de alta frecuencia. Por ejemplo, se requiere que la frecuencia de reloj sea de 60 MHz para una modulación por ancho de pulso (PWM) de 500 kHz con una resolución de 7 bits.

2. Aun cuando el bus SPI es capaz de usar una topología de anillo sin direccionamiento externo, la baja frecuencia de reloj mencionada anteriormente no puede coincidir con el funcionamiento. Además, un funcionamiento de alta frecuencia de reloj consume mucha energía y provoca EMI y ruido.

20 3. Si el maestro necesita enviar los datos de ajuste tales como la carga, la resolución o el cambio de fase... etc. al esclavo, los esclavos deberían tener un reloj/oscilador interno para contar la carga, lo que añade el coste y consumo de energía. Si se usa un reloj externo, puede dar como resultado un alto consumo de energía y una interferencia EM. Y aún peor, si la frecuencia de reloj de cada IC es diferente, la frecuencia PWM de cada IC es diferente. Por lo tanto, existe una necesidad de proporcionar un circuito de cooperación sin direccionamiento adicional que sea capaz de lograr un bajo consumo energético, una baja EMI y una frecuencia PWM idéntica.

25 El documento: Huston B: "The serial peripheral interface (SPI) for low cost IC interconnection" Mini/Micro Northeast Computer-conference and exhibition, XX, XX, 1 de enero (01/01/1984) páginas 23/2-1 desvela un puerto de salida SPI de 8 bits, que puede ser en cascada.

El documento US 6.023.420 desvela un inversor trifásico para pequeños motores de alta velocidad y presenta probablemente la técnica anterior más cercana.

**30 Sumario de la invención**

Un objeto de la presente invención es proporcionar un circuito de cooperación que mejore la técnica anterior y que sea capaz de lograr, preferentemente, pequeñas ondas de potencia, baja EMI y frecuencia PWM idéntica entre módulos con retardos de fase.

35 Con el fin de lograr el objeto anterior, en una realización, la presente invención proporciona un circuito de cooperación de acuerdo con la reivindicación 1.

**Breve descripción de los dibujos**

Los objetos, valores y ventajas de la realización preferida de la presente invención se entenderán fácilmente por los dibujos adjuntos y las descripciones detalladas, en los que:

40 La figura 1 es un diagrama sistemático de un circuito de cooperación de acuerdo con la realización preferida de la presente invención;

La figura 2 es un diagrama sistemático de un circuito de cooperación de acuerdo con otra realización de la presente invención;

La figura 3 es una forma de onda del disparador de un circuito de cooperación en la figura 2;

La figura 4 es otra forma de onda del disparador de un circuito de cooperación en la figura 2;

45 La figura 5 es un diagrama sistemático de un circuito de cooperación de acuerdo con otra realización de la presente invención; y

La figura 6 es un diagrama sistemático de un circuito de cooperación de acuerdo con otra realización de la presente invención.

**Descripción detallada de la realización preferida**

La presente invención puede ejemplificarse mediante las realizaciones preferidas, como se describe en lo sucesivo en el presente documento.

La figura 1 es un diagrama sistemático de un circuito de cooperación de acuerdo con la realización preferida de la presente invención. Haciendo referencia a la figura 1, el circuito de cooperación 1 de la presente invención comprende: un primer módulo de control 2 y un segundo módulo de control 3. El primer módulo de control 2 es capaz de generar una primera señal de control CLK y una segunda señal de control DOUT0. El ancho de pulso de la primera señal de control CLK está determinado por el ancho de pulso de la segunda señal de control DOUT0 y el número de los módulos de circuito de cooperación. El segundo módulo de control 3 está acoplado al primer módulo de control 2 para recibir la primera señal de control CLK y la segunda señal de control DOUT0, y generar una tercera señal de control DOUT1 de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. El segundo módulo de control 3 provoca un retardo de fase entre la fase de la tercera señal de control DOUT1 y la fase de la segunda señal de control DOUT0 de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. La frecuencia y el ciclo de trabajo de la tercera señal de control DOUT1 son los mismos que la frecuencia y el ciclo de trabajo de la segunda señal de control DOUT0.

En una realización, de acuerdo con las necesidades del usuario, la tercera señal de control DOUT1 se retroalimenta al primer módulo de control 2. En otra realización, el primer módulo de control 2 genera una cuarta señal MODE de control. Cuando la cuarta señal MODE de control está en un estado, el primer módulo de control 2 envía la primera señal de control CLK y la segunda señal de control DOUT0 al segundo módulo de control 3 y determina el número del segundo módulo de control 3 de acuerdo con la tercera señal de control DOUT1 desde el segundo módulo de control 3 hacia el primer módulo de control 2. Cuando la cuarta señal MODE de control está en el estado, el primer módulo de control 2 envía la primera señal de control CLK y la segunda señal de control DOUT0 al segundo módulo de control 3 para habilitar el segundo módulo de control 3. Cuando la cuarta señal MODE de control está en otro estado, el segundo módulo de control 3 provoca un retardo de fase entre la fase de la tercera señal de control DOUT1 y la fase de la segunda señal de control DOUT0 de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. Para el cálculo de la frecuencia y el ancho de pulso, la frecuencia de la primera señal de control CLK es igual, preferentemente, a la frecuencia de la segunda señal de control DOUT0 multiplicada por el número del primer módulo de control 2 y los segundos módulos de control 3 habilitados. El ancho de pulso de la primera señal de control CLK es igual, preferentemente, al resto del ancho de pulso de la segunda señal de control DOUT0 dividido por el ciclo de la primera señal de control CLK.

Para el disparo del primer módulo de control 2 y el segundo módulo de control 3, es preferible que la tercera señal de control DOUT1 sea alta cuando la primera señal de control CLK se dispara por el borde de subida para un próximo instante después de que la segunda señal de control DOUT0 se dispara por el borde de subida para ser alta; de otro modo, la tercera señal de control DOUT1 es alta cuando la primera señal de control CLK se dispara por el borde de subida para un próximo instante después de que la primera señal de control CLK se dispara por el borde de bajada y la segunda señal de control DOUT0 es alta. La tercera señal de control DOUT1 es baja cuando la primera señal de control CLK se dispara por el borde de bajada para un próximo instante después de que la segunda señal de control DOUT0 se dispara por el borde de bajada para ser baja; de otro modo, la tercera señal de control DOUT1 es baja cuando la primera señal de control CLK se dispara por el borde de bajada para un próximo instante después de que la primera señal de control CLK se dispara por el borde de bajada y la segunda señal de control DOUT0 es baja. El ciclo de trabajo de un módulo de control se define entre el momento en que la segunda señal de control DOUT0 (o la tercera señal de control DOUT1) se dispara por el borde de subida para ser alta y el momento en que la segunda señal de control DOUT0 (o la tercera señal de control DOUT1) se dispara por el borde de bajada para ser baja. La forma de onda del disparador detallada se describirá con los terceros módulos de control plurales en lo sucesivo el presente documento.

La figura 2 es un diagrama sistemático de un circuito de cooperación de acuerdo con otra realización de la presente invención, y la figura 3 es una forma de onda del disparador de un circuito de cooperación en la figura 2. En la presente realización, se añaden dos terceros módulos de control para ejemplificar la presente invención. Es decir, además del primer módulo de control 2 y el segundo módulo de control 3, un tercer módulo de control 4 y un tercer módulo de control 5 están conectados en serie al segundo módulo de control 3. Es preferible que el segundo módulo de control 3, el tercer módulo de control 4 y el tercer módulo de control 5 sean idénticos. Haciendo referencia a la figura 2 y la figura 3, además del primer módulo de control 2 y el segundo módulo de control 3, el circuito de cooperación 1 de la presente invención comprende, además una pluralidad de terceros módulos de control (por ejemplo, el tercer módulo de control 4 y el tercer módulo de control 5). Los terceros módulos 4 y de control 5 y el segundo módulo de control 3 reciben la primera señal de control CLK. El tercer módulo de control 4 está acoplado al segundo módulo de control 3 para recibir la primera señal de control CLK y la tercera señal de control DOUT1, así como para generar una señal de control DOUT2 de etapa actual. El tercer módulo de control 5 está acoplado al tercer módulo de control 4 para recibir la señal de control DOUT2 de etapa actual y la primera señal de control CLK, así como para generar una señal de control DOUT3 de etapa actual. El segundo módulo de control 3 provoca un retardo de fase entre la fase de la tercera señal de control DOUT1 y la fase de la segunda señal de control DOUT0, de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. Cada uno de los terceros módulos de control (por ejemplo, el tercer módulo de control 4 y el tercer módulo de control 5) provoca un retardo de

fase entre la fase de la señal de control de etapa actual y la fase de la señal de control de etapa anterior, de acuerdo con la primera señal de control CLK y la señal de control de etapa anterior. La segunda señal de control DOUT0, la tercera señal de control DOUT1, la señal de control DOUT2 y la señal de control DOUT3 están todas en un estado.

5 Es preferible que, de acuerdo con las demandas del usuario, la señal de control DOUT3 desde un módulo de control de última etapa se retroalimente al primer módulo de control 2 para determinar si el circuito funciona normalmente. Es preferible que el primer módulo de control 2 genere una cuarta señal MODE de control para determinar el número de los módulos de control y para habilitar el segundo o el tercer módulo de control. Cuando la cuarta señal MODE de control está en un estado para determinar el número de los módulos de control y habilitar el segundo módulo de control 3 o el tercer módulo de control, el primer módulo de control 2 solo tiene que enviar un conjunto de parámetros (que pueden incluirse en la segunda señal de control DOUT0) desde el pin en el que se envía la segunda señal de control DOUT0 y enviar la primera señal de control CLK de cualquier frecuencia para disparar un módulo de control de próxima etapa (tal como el segundo módulo de control 3 o el tercer módulo de control) para leer y permitir que el conjunto de parámetros pase a través de los terceros módulos de control. El primer módulo de control 2, por lo tanto, puede determinar el número del segundo módulo de control 3 y el tercer módulo de control de acuerdo con la señal de control DOUT3 retroalimentada y habilitar o deshabilitar el segundo módulo de control 3 o los terceros módulos de control (tales como el tercer módulo de control 4 o el tercer módulo de control 5) de acuerdo con el conjunto de parámetros.

20 Cuando la cuarta señal MODE de control está en otro estado, el segundo módulo de control 3 provoca un retardo de fase entre la fase de la tercera señal de control DOUT1 y la fase de la segunda señal de control DOUT0, de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. Cada uno de los terceros módulos de control (tales como el tercer módulo de control 4 y el tercer módulo de control 5) provoca un retardo de fase entre la fase de la señal de control de etapa actual y la fase de la señal de control de etapa anterior, de acuerdo con la primera señal de control CLK y la señal de control de etapa anterior. Mientras tanto, la primera señal de control CLK, la segunda señal de control DOUT0 y la tercera señal de control DOUT1 muestran la frecuencia respectiva, el ancho de pulso respectivo y la fase respectiva, que pueden ajustarse por el usuario de acuerdo con las demandas prácticas. Además, el primer módulo de control 2 determina el número del segundo módulo de control 3 y los terceros módulos de control habilitados (tales como el tercer módulo de control 4 y el tercer módulo de control 5) de acuerdo con las demandas del usuario. La frecuencia y el ancho de pulso pueden calcularse como se ha descrito anteriormente. Preferentemente, la frecuencia de la primera señal de control CLK es igual a la frecuencia de la segunda señal de control DOUT0 multiplicada por el número del primer módulo de control 2, el segundo módulo de control 3 habilitado y los terceros módulos de control habilitados (tales como el tercer módulo de control 4 y el tercer módulo de control 5). El ancho de pulso de la primera señal de control CLK es igual, preferentemente, al resto del ancho de pulso de la segunda señal de control DOUT0 dividido por el ciclo de la primera señal de control CLK. La forma de onda del disparador para disparar el primer módulo de control 2, el segundo módulo de control 3 y los terceros módulos de control (tales como el tercer módulo de control 4 y el tercer módulo de control 5) se muestra en la figura 3. Después de que la señal de control de etapa anterior se dispara por el borde de subida para ser alta, la señal de control de etapa actual es alta cuando la primera señal de control se dispara por el borde de subida para un próximo instante. Después de que la señal de control de etapa anterior se dispara por el borde de bajada para ser baja, la señal de control de etapa actual es baja cuando la primera señal de control se dispara por el borde de bajada para un próximo instante. El ciclo D de trabajo se define entre el momento en que la señal de control de etapa actual se dispara por el borde de subida para ser alta y el momento en que la señal de control de etapa actual se dispara por el borde de bajada para ser baja. Por lo tanto, puede obtenerse la señal de control para cada uno de los módulos de control por el ciclo D de trabajo.

45 La figura 4 es otra forma de onda del disparador de un circuito de cooperación en la figura 2. Haciendo referencia a la figura 4 y la figura 2, cuando la cuarta señal MODE de control está en otro estado, el segundo módulo de control 3 provoca un retardo de fase entre la fase de la tercera señal de control DOUT1 y la fase de la segunda señal de control DOUT0, de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. Cada uno de los terceros módulos de control (tales como el tercer módulo de control 4 y el tercer módulo de control 5) provoca un retardo de fase entre la fase de la señal de control de etapa actual y la fase de la señal de control de etapa anterior, de acuerdo con la primera señal de control CLK y la señal de control de etapa anterior. Mientras tanto, la primera señal de control CLK, la segunda señal de control DOUT0 y la tercera señal de control DOUT1 muestran la frecuencia respectiva, el ancho de pulso respectivo y la fase respectiva, que pueden ajustarse por el usuario de acuerdo con las demandas prácticas. Además, el primer módulo de control 2 determina el número del segundo módulo de control 3 y los terceros módulos de control habilitados (tales como el tercer módulo de control 4 y el tercer módulo de control 5) de acuerdo con las demandas del usuario. La frecuencia y el ancho de pulso pueden calcularse como se ha descrito anteriormente. Preferentemente, la frecuencia de la primera señal de control CLK es igual al ancho de pulso de la segunda señal de control DOUT0 dividido por el número del primer módulo de control 2, el segundo módulo de control 3 habilitado y los terceros módulos de control habilitados (tales como el tercer módulo de control 4 y el tercer módulo de control 5). Cuando la primera señal de control CLK se dispara por el borde de bajada y la señal de control de etapa anterior es alta, la señal de control del módulo de control de etapa actual será alta cuando la primera señal de control CLK se dispare por el borde de subida para un próximo instante. Cuando la primera señal de control CLK se dispara por el borde de subida y la señal de control de etapa anterior es baja, la señal de control del módulo de control de etapa actual será baja cuando la primera señal de control se dispare por el

borde de bajada para un próximo instante. El ciclo D de trabajo se define entre el momento en que la señal de control de etapa actual se dispara por el borde de subida para ser alta y el momento en que la señal de control de etapa actual se dispara por el borde de bajada para ser baja. Por lo tanto, puede obtenerse la señal de control para cada uno de los módulos de control por el ciclo D de trabajo.

- 5 Desde la figura 3 y la figura 4, se observa que se genera un retardo de fase en ambos casos, aun cuando las formas de onda del disparador no sean las mismas. Por lo tanto, cualquier experto en la materia puede hacer fácilmente modificaciones en la forma de onda para lograr un retardo de fase dentro del alcance de la presente invención.

La figura 5 es un diagrama sistemático de un circuito de cooperación de acuerdo con otra realización de la presente invención. Haciendo referencia a la figura 5, además de que la primera señal de control CLK se envía directamente desde el primer módulo de control 2 a cada uno de los otros módulos de control, la primera señal de control CLK también puede pasar a través de cada uno de los módulos de control. En la figura 5, el tercer módulo de control de primera etapa (es decir, el tercer módulo de control 4) está acoplado al segundo módulo de control 3, mientras que el otro tercer módulo de control (es decir, el tercer módulo de control 5) está acoplado al tercer módulo de control de etapa anterior (es decir, el tercer módulo de control 4). El segundo módulo de control 3 genera la primera señal de control CLK enviada al tercer módulo de control de primera etapa (es decir, el tercer módulo de control 4) de acuerdo con la primera señal de control CLK, mientras que cada uno de los otros terceros módulos de control (es decir, el tercer módulo de control 5) genera la primera señal de control CLK enviada al tercer módulo de control de etapa anterior (es decir, el tercer módulo de control 4). Cada uno de los módulos de control genera la señal de control de etapa actual de acuerdo con la primera señal de control CLK y la tercera señal de control generada por el módulo de control de etapa anterior. Preferentemente, la primera señal de control generada por el módulo de control de última etapa (es decir, el tercer módulo de control 5) se retroalimenta al primer módulo de control 2. Preferentemente, el segundo módulo de control 3 y cada uno de los terceros módulos de control (tales como el tercer módulo de control 4 y el tercer módulo de control 5) comprenden una unidad de memoria intermedia (no mostrada), tal como un circuito de memoria intermedia, para memorizar o potenciar la primera señal de control CLK. Por lo tanto, el retardo de transmisión de la primera señal de control CLK y las terceras señales de control de cada uno de los módulos de control puede ajustarse para evitar un juicio erróneo por el módulo de control de próxima etapa. El segundo módulo de control 3 provoca un retardo de fase entre la fase de la tercera señal de control DOUT1 y la fase de la segunda señal de control DOUT0 de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. Cada uno de los terceros módulos de control (tales como el tercer módulo de control 4 y el tercer módulo de control 5) provoca un retardo de fase entre la fase de la señal de control de etapa actual y la fase de la señal de control de etapa anterior de acuerdo con la primera señal de control CLK que pasa a través del módulo de control de etapa anterior y la señal de control de etapa anterior. La segunda señal de control DOUT0, la tercera señal de control DOUT1, la tercera señal de control DOUT2 y la tercera señal de control DOUT3 están todas en un estado.

35 Es preferible que, de acuerdo con las demandas del usuario, la señal de control DOUT3 del módulo de control de última etapa se retroalimente al primer módulo de control 2 para determinar si el circuito funciona normalmente. Es preferible que el primer módulo de control 2 genere una cuarta señal MODE de control para determinar el número de los módulos de control y para habilitar el segundo o el tercer módulo de control. Cuando la cuarta señal MODE de control está en un estado para determinar el número de los módulos de control y habilitar el segundo módulo de control 3 o el tercer módulo de control, el primer módulo de control 2 solo tiene que enviar un conjunto de parámetros (que pueden incluirse en la segunda señal de control DOUT0) desde el pin en el que se envía la segunda señal de control DOUT0, y enviar la primera señal de control CLK de cualquier frecuencia para disparar un módulo de control de próxima etapa (tal como el segundo módulo de control 3 o el tercer módulo de control) para leer y permitir que el conjunto de parámetros pase a través de los terceros módulos de control. El primer módulo de control 2 puede determinar, por lo tanto, el número del segundo módulo de control 3 y el tercer módulo de control de acuerdo con la señal de control DOUT3 retroalimentada, y habilitar o deshabilitar el segundo módulo de control 3 o los terceros módulos de control (tales como el tercer módulo de control 4 o el tercer módulo de control 5) de acuerdo con el conjunto de parámetros.

50 Mientras tanto, la primera señal de control CLK, la segunda señal de control DOUT0 y la tercera señal de control DOUT1 muestran la frecuencia respectiva, el ancho de pulso respectivo y la fase respectiva, que pueden ajustarse por el usuario de acuerdo con las demandas prácticas. Cuando la cuarta señal MODE de control está en otro estado, el segundo módulo de control 3 provoca un retardo de fase entre la fase de la tercera señal de control DOUT1 y la fase de la segunda señal de control DOUT0, de acuerdo con la primera señal de control CLK y la segunda señal de control DOUT0. Cada uno de los terceros módulos de control (tales como el tercer módulo de control 4 y el tercer módulo de control 5) provoca un retardo de fase entre la fase de la señal de control de etapa actual y la fase de la señal de control de etapa anterior, de acuerdo con la primera señal de control CLK que pasa a través del módulo de control de etapa anterior y la señal de control de etapa anterior. El primer módulo de control 2 determina el número del segundo módulo de control 3 y los terceros módulos de control habilitados (tales como el tercer módulo de control 4 y el tercer módulo de control 5) de acuerdo con las demandas del usuario. La frecuencia y el ancho de pulso pueden calcularse como se ha descrito anteriormente. Preferentemente, la frecuencia de la primera señal de control CLK es igual a la frecuencia de la segunda señal de control DOUT0 dividida por el número del primer módulo de control 2, el segundo módulo de control 3 habilitado y los terceros módulos de control habilitados (tales como el tercer módulo de control 4 y el tercer módulo de control 5). En cuanto al disparo de los módulos de control,

consúltense las descripciones relacionadas con referencia a la figura 3 y la figura 4. En la figura 5, aun cuando la primera señal de control CLK se envía de una manera diferente en comparación con la figura 2, se genera también un retardo de fase. Por lo tanto, cualquier experto en la materia puede entender fácilmente que, usando el circuito de cooperación de la presente invención, cualquier modificación de la forma en que se envía la primera señal de control CLK todavía está dentro del alcance de la presente invención.

La figura 6 es un diagrama sistemático de un circuito de cooperación de acuerdo con otra realización de la presente invención. Haciendo referencia a la figura 6 y la figura 5, el circuito de cooperación en la figura 6 es similar al circuito de cooperación en la figura 5 excepto que, en la figura 6, el primer módulo de control 2 genera una primera señal de control CLK, una segunda señal de control (no mostrada) y una quinta señal de control SDOUT0. La quinta señal de control SDOUT0 comprende información del ancho de pulso y la frecuencia de la segunda señal de control. La frecuencia y el ancho de pulso de la primera señal de control CLK están determinados por la frecuencia y el ancho de pulso de la segunda señal de control. El segundo módulo de control 3 recibe la primera señal de control CLK y de este modo dispara el segundo módulo de control 3 con el fin de recibir la quinta señal de control SDOUT0 y generar una tercera señal de control (no mostrada) y la quinta señal de control SDOUT1 para enviarse al módulo de control 4 de próxima etapa. La quinta señal de control SDOUT2 puede generarse de manera similar cuando hay múltiples etapas. La quinta señal de control SDOUT3 del módulo de control de última etapa se retroalimenta al primer módulo de control 2. La segunda señal de control y las terceras señales de control se generan por los módulos de control sin la cuarta señal MODE de control en la realización anterior. Puesto que las quintas señales de control SDOUT0-SDOUT3 son señales de control digitales y la primera señal de control CLK dispara un módulo de control de próxima etapa para recibir señales, el ciclo D de trabajo con un retardo de fase puede enviarse a un módulo de control de próxima etapa modulando la primera señal de control CLK para ser alta/baja como se ha descrito anteriormente. Por ejemplo, el ciclo D de trabajo =  $T_{CLK} * n + m$ , en el que  $T_{CLK}$  es el ciclo de la primera señal de control CLK, "m" es la duración cuando la primera señal de control CLK es alta/baja, y E es el número de los módulos de control habilitados. Se transmiten "n" y E en la quinta señal de control SDOUT0. La quinta señal de control SDOUT0 transmite un encabezamiento, por ejemplo, 11111111 de acuerdo con la frecuencia de la primera señal de control CLK, de manera que el módulo de control de próxima etapa puede identificar la señal para ajustar el ciclo D de trabajo. Por ejemplo, cuando E = 4 y n = 3, se transmite 01000011, en el que los cuatro primeros dígitos 0100 representan E = 4, mientras que los cuatro últimos dígitos 0011 representan n = 3. Como el módulo de control de próxima etapa recibe la primera señal de control CLK, y la primera señal de control CLK dispara por el borde de subida la quinta señal de control SDOUT0, se determina que el ciclo D de trabajo del módulo de control de etapa actual vaya por detrás de la segunda señal de control durante un ciclo de la primera señal de control CLK, y se mantenga durante tres ciclos de la primera señal de control CLK antes de que termine en un cuarto borde de bajada de la primera señal de control CLK (tomando, por ejemplo, cuatro módulos de control). Un siguiente ciclo D de trabajo comienza en un siguiente borde de subida, en el que  $D = T_{CLK} * n + m$ , con un retardo de fase constante de un ciclo de la primera señal de control CLK. El segundo módulo de control mantiene la quinta señal de control SDOUT1 y la quinta señal de control SDOUT0 con un retardo de fase de un ciclo de la primera señal de control CLK, y transmite el contenido de la misma al módulo de control de próxima etapa. Las otras señales de control pueden transmitirse de manera similar. El ciclo de trabajo se actualiza cuando cada etapa de los módulos de control recibe una señal actualizada para ajustar el ciclo de trabajo, de manera que el ciclo de trabajo con un retardo de fase se transmite a un módulo de control de próxima etapa. De este modo, puede realizarse el ajuste de los datos digitales, tales como la codificación del encabezamiento o el contenido, para lograr el mismo objeto de varias maneras dentro del alcance de la presente invención. Por lo tanto, cualquier experto en la materia puede hacer modificaciones en el ajuste/codificación de las quintas señales de control SDOUT0-SDOUT3 para lograr el retardo de fase usando el circuito de cooperación de la presente invención.

En las realizaciones anteriores, los ejemplos se proporcionan solo para ejemplificar, pero no para limitar, la presente invención. Los diagramas de circuito, las formas de onda del disparador, los retardos de fase entre la primera señal de control y las diversas señales de control pueden modificarse de manera equivalente por el usuario para lograr diversos fines de acuerdo con las demandas del usuario.

Por consiguiente, la presente invención proporciona un circuito de cooperación capaz de lograr un bajo consumo de energía, una baja EMI y una frecuencia PWM idéntica. Por lo tanto, la presente invención es nueva, útil y no evidente.

Aunque la presente invención se ha desvelado e ilustrado con referencia a unas realizaciones específicas, los principios implicados son susceptibles de usarse en otras numerosas realizaciones que serán evidentes para los expertos en la materia. Por lo tanto, la presente invención solo puede estar limitada, como se ha indicado, por el alcance de las reivindicaciones adjuntas.

**REIVINDICACIONES**

1. Un circuito de cooperación (1), que comprende:

un primer módulo de control (2), capaz de generar una primera señal de control como una señal PWM y una segunda señal de control, estando la frecuencia y el ancho de pulso de la primera señal de control determinados por la frecuencia y el ancho de pulso de la segunda la señal de control y un segundo módulo de control (3), acoplado al primer módulo de control (2) para recibir la primera señal de control y la segunda señal de control y generar una tercera señal de control de acuerdo con la primera señal de control y la segunda señal de control; en el que el segundo módulo de control (3) provoca un retardo de fase entre la fase de la tercera señal de control y la fase de la segunda señal de control de acuerdo con la primera señal de control,

**caracterizado porque**

la frecuencia de la primera señal de control es igual a la frecuencia de la segunda señal de control multiplicada por el número de los módulos de control primero y segundo, y el ancho de pulso de la primera señal de control es igual al resto del ancho de pulso de la segunda señal de control dividido por el ciclo de la primera señal de control, y **porque** la frecuencia y el ciclo de trabajo de la tercera señal de control son los mismos que la frecuencia y el ciclo de trabajo de la segunda señal de control.

2. El circuito de cooperación (1) de acuerdo con la reivindicación 1, que además comprende:

una pluralidad de terceros módulos de control, capaces de recibir la primera señal de control, en el que un tercer módulo de control (4) de primera etapa está acoplado al segundo módulo de control (3) para recibir la primera señal de control y la tercera señal de control con el fin de generar una tercera señal de control de etapa actual del tercer módulo de control de primera etapa; en el que los terceros módulos de control (5) subsiguientes están acoplados en serie al tercer módulo de control (4) de primera etapa, y cada tercer módulo de control (5) subsiguiente se convierte en un tercer módulo de control (4) de etapa actual en secuencia a medida que las terceras señales de control (4, 5) son generadas por un tercer módulo de control (4) anterior; en el que el tercer módulo de control (4, 5) de etapa actual recibe la tercera señal de control de etapa actual desde el tercer módulo de control (4, 5) anterior y la primera señal de control, y genera una nueva tercera señal de control de etapa actual, en el que cada tercer módulo de control (4, 5) subsiguiente provoca un retardo de fase entre la fase de la tercera señal de control de etapa actual y la fase de la tercera señal de control de etapa actual generada por el tercer módulo de control (4, 5) anterior, de acuerdo con la primera señal de control y la tercera señal de control generada por el tercer módulo de control (4, 5) anterior.

3. El circuito de cooperación (1) de acuerdo con la reivindicación 1, que además comprende:

una pluralidad de terceros módulos de control (4, 5), en el que un tercer módulo de control (4) de primera etapa está acoplado al segundo módulo de control (3), mientras que los otros terceros módulos de control (5) están acoplados a un tercer módulo de control (4) de etapa anterior, en el que el segundo módulo de control (3) genera la primera señal de control enviada al tercer módulo de control (4) de primera etapa de acuerdo con la primera la señal de control, mientras que cada uno de los otros terceros módulos de control (4, 5) genera la primera señal de control enviada a un tercer módulo de control (4, 5) de próxima etapa de acuerdo con la primera señal de control del tercer módulo de control de etapa anterior, en el que cada uno de los módulos de control genera una primera señal de control de etapa actual y la tercera señal de control de etapa actual de acuerdo con la primera señal de control y la tercera señal de control generada por un módulo de control de etapa anterior, en el que el segundo módulo de control (3) provoca un retardo de fase entre la fase de la tercera señal de control y la fase de la segunda señal de control de acuerdo con la primera señal de control y la segunda señal de control, en el que cada uno de los terceros módulos de control provoca un retardo de fase entre la fase de una tercera señal de control de etapa actual y la fase de una tercera señal de control de etapa anterior de acuerdo con la primera señal de control y la señal de control de etapa anterior generada por el tercer módulo de control de etapa anterior.

4. El circuito de cooperación (1) de acuerdo con la reivindicación 1, en el que la tercera señal de control se retroalimenta al primer módulo de control (2) generando una cuarta señal de control, provocando el segundo módulo de control (3) un retardo de fase entre la fase de la tercera señal de control y la fase de la segunda señal de control de acuerdo con la primera señal de control y la segunda señal de control cuando la cuarta señal de control está en un estado, mientras que la primera señal de control, la segunda señal de control y la tercera señal de control muestran la frecuencia respectiva, el ancho de pulso respectivo y la fase respectiva, de manera que el primer módulo de control (2) envía la primera señal de control y la segunda señal de control al segundo módulo de control (3), y determina el número de segundos módulos de control (3) habilitados de acuerdo con la tercera señal de

control retroalimentada desde el segundo módulo de control (3) hacia el primer módulo de control (2) cuando la cuarta señal de control está en otro estado.

5 5. El circuito de cooperación (1) de acuerdo con la reivindicación 2, en el que una señal de control de última etapa de un tercer módulo de control de última etapa se retroalimenta al primer módulo de control (2) generando una cuarta  
 10 señal de control, provocando el segundo módulo de control (3) un retardo de fase entre la fase de la tercera señal de control y la fase de la segunda señal de control de acuerdo con la primera señal de control y la segunda señal de control, y provocando los terceros módulos de control un retardo de fase entre la fase de una señal de control de etapa actual y la fase de una señal de control de etapa anterior de acuerdo con la primera señal de control y la señal de control de etapa anterior cuando la cuarta señal de control está en un estado, mientras que la primera señal de control, la segunda señal de control y la tercera señal de control muestran la frecuencia respectiva, el ancho de pulso respectivo y la fase respectiva, de manera que el primer módulo de control (2) envía la primera señal de control al segundo módulo de control (3) para que además pase a través de cada uno de los terceros módulos de control, y determina el número de segundos y terceros módulos de control habilitados de acuerdo con la señal de control de última etapa retroalimentada hacia el primer módulo de control (2) cuando la cuarta señal de control está en otro estado.  
 15

20 6. El circuito de cooperación (1) de acuerdo con la reivindicación 3, en el que la primera señal de control y la tercera señal de control de un tercer módulo de control de última etapa se retroalimentan al primer módulo de control (2) generando una cuarta señal de control, provocando el segundo módulo de control (3) un retardo de fase entre la fase de la tercera señal de control y la fase de la segunda señal de control de acuerdo con la primera señal de control y la segunda señal de control, y provocando los terceros módulos de control un retardo de fase entre la fase de la señal de control de etapa actual y la fase de la tercera señal de control de etapa anterior de acuerdo con la primera señal de control que pasa a través del tercer módulo de control de etapa anterior y la tercera señal de control de etapa anterior cuando la cuarta señal de control está en un estado, mientras que la primera señal de control, la segunda señal de control y la tercera señal de control muestran la frecuencia respectiva, el ancho de pulso respectivo y la fase respectiva, de manera que el primer módulo de control (2) envía la primera señal de control al segundo módulo de control (3) para que además pase a través de cada uno de los terceros módulos de control, y determina el número de segundos y terceros módulos de control habilitados de acuerdo con la tercera señal de control retroalimentada desde el tercer módulo de control de última etapa hacia el primer módulo de control (2) cuando la cuarta señal de control está en otro estado.  
 25

30 7. El circuito de cooperación (1) de acuerdo con la reivindicación 1, en el que la tercera señal de control es alta cuando la primera señal de control se dispara por el borde de subida para un próximo instante después de que la segunda señal de control se dispara por el borde de subida, mientras que la tercera señal de control es alta cuando la primera señal de control se dispara por el borde de bajada para un próximo instante después de que la segunda señal de control se dispara por el borde de bajada.

35 8. El circuito de cooperación (1) de acuerdo con la reivindicación 2, en el que cada una de las terceras señales de control es alta cuando la primera señal de control se dispara por el borde de subida para un próximo instante después de que la segunda señal de control se dispara por el borde de subida, mientras que cada una de las terceras señales de control es alta cuando la primera señal de control se dispara por el borde de bajada para un próximo instante después de que la segunda señal de control se dispara por el borde de bajada.

40 9. El circuito de cooperación (1) de acuerdo con la reivindicación 3, en el que cada una de las terceras señales de control es alta cuando la primera señal de control se dispara por el borde de subida para un próximo instante después de que la segunda señal de control se dispara por el borde de subida, mientras que cada una de las terceras señales de control es alta cuando la primera señal de control se dispara por el borde de bajada para un próximo instante después de que la segunda señal de control se dispara por el borde de bajada.

45 10. El circuito de cooperación (1) de acuerdo con la reivindicación 1, en el que la tercera señal de control es alta cuando la primera señal de control se dispara por el borde de subida para un próximo instante si la primera señal de control se dispara por el borde de bajada y la segunda señal de control es alta, mientras que la tercera señal de control es baja cuando la primera señal de control se dispara por el borde de bajada para un próximo instante si la primera señal de control se dispara por el borde de subida y la segunda señal de control es baja.

50 11. El circuito de cooperación (1) de acuerdo con la reivindicación 2, en el que la tercera señal de control del módulo de control de etapa actual es alta cuando la primera señal de control se dispara por el borde de subida para un próximo instante si la primera señal de control se dispara por el borde de bajada y la tercera señal de control de etapa actual desde el tercer módulo de control anterior es alta, mientras que la tercera señal de control del módulo de control de etapa actual es baja cuando la primera señal de control se dispara por el borde de bajada para un próximo instante si la primera señal de control se dispara por el borde de subida y la tercera señal de control de etapa actual desde el tercer módulo de control anterior es baja.  
 55

12. El circuito de cooperación (1) de acuerdo con la reivindicación 3, en el que la tercera señal de control del módulo de control de etapa actual es alta cuando la primera señal de control se dispara por el borde de subida para un próximo instante si la primera señal de control se dispara por el borde de bajada y la tercera señal de control de



etapa actual desde el tercer módulo de control anterior es alta, mientras que la tercera señal de control del módulo de control de etapa actual es baja cuando la primera señal de control se dispara por el borde de bajada para un próximo instante si la primera señal de control se dispara por el borde de subida y la tercera señal de control de etapa actual desde el tercer módulo de control anterior es baja.

5 13. El circuito de cooperación (1) de acuerdo con la reivindicación 1, en el que  
el primer módulo de control (2) es capaz de generar una quinta señal de control que comprende información del  
ancho de pulso y de la frecuencia de la segunda señal de control  
10 el segundo módulo de control (3), acoplado al primer módulo de control (2) para recibir la quinta señal de control  
después de que la primera señal de control ha disparado el segundo módulo de control (3), y generar la quinta señal  
de control de un módulo de control de próxima etapa.

14. El circuito de cooperación (1) de acuerdo con la reivindicación 13, que además comprende:

15 una pluralidad de terceros módulos de control, capaces de recibir la primera señal de control,  
en el que un tercer módulo de control de primera etapa está acoplado al segundo módulo de control (3) para  
recibir la primera señal de control y la quinta señal de control con el fin de generar la tercera señal de control y  
la quinta señal de control de un módulo de control de etapa actual,  
en el que la quinta señal de control del módulo de control de etapa actual comprende información del ancho de  
pulso y de la frecuencia de la tercera señal de control,  
20 en el que los otros terceros módulos de control están acoplados a un tercer módulo de control de etapa anterior  
para recibir la quinta señal de control y la primera señal de control desde el tercer módulo de control de etapa  
anterior para generar la tercera señal de control y la quinta señal de control del tercer módulo de control de  
etapa actual,  
en el que el segundo módulo de control (3) provoca un retardo de fase entre la fase de la tercera señal de  
control y la fase de la segunda señal de control de acuerdo con la primera señal de control y la segunda señal  
de control,  
25 en el que cada uno de los terceros módulos de control provoca un retardo de fase entre la fase de la tercera  
señal de control de etapa actual y la fase de la tercera señal de control de etapa anterior de acuerdo con la  
primera señal de control y la tercera señal de control de etapa anterior.

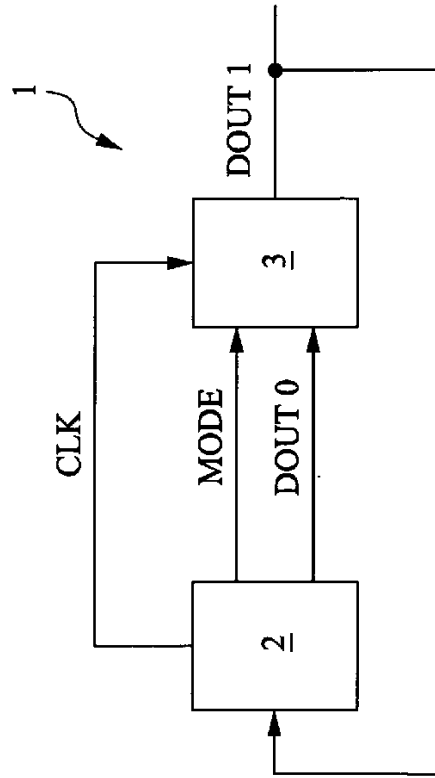


FIG.1

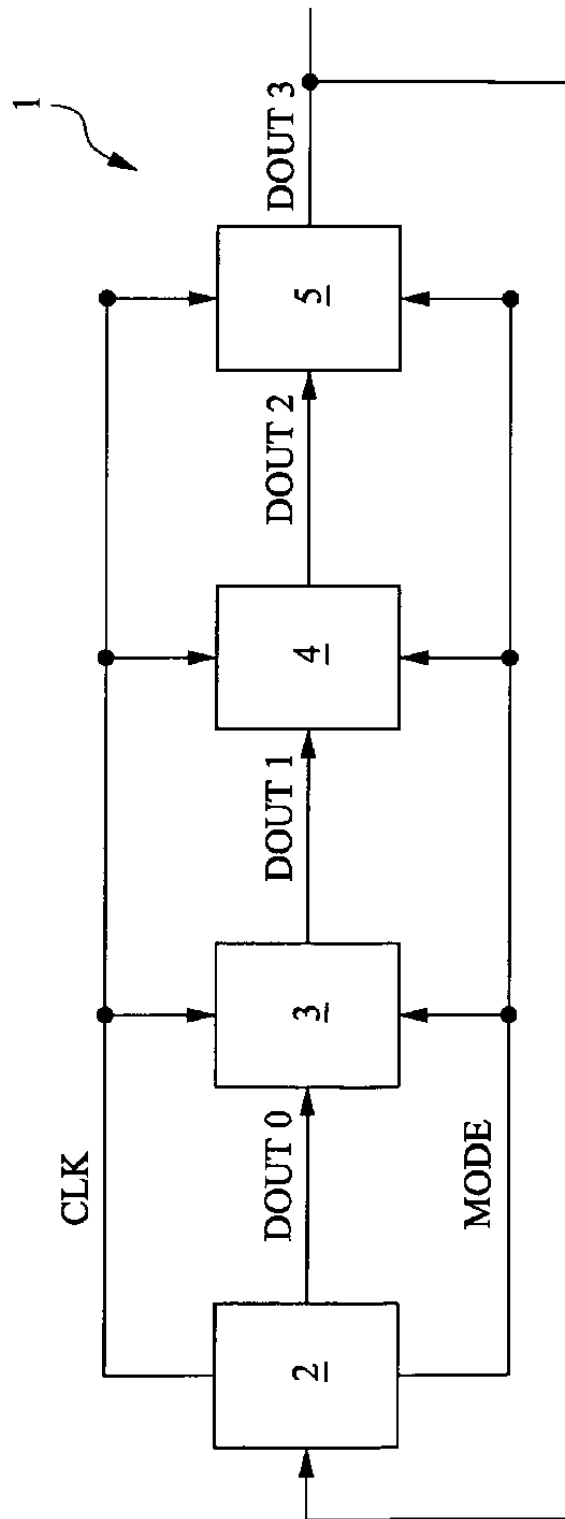


FIG. 2

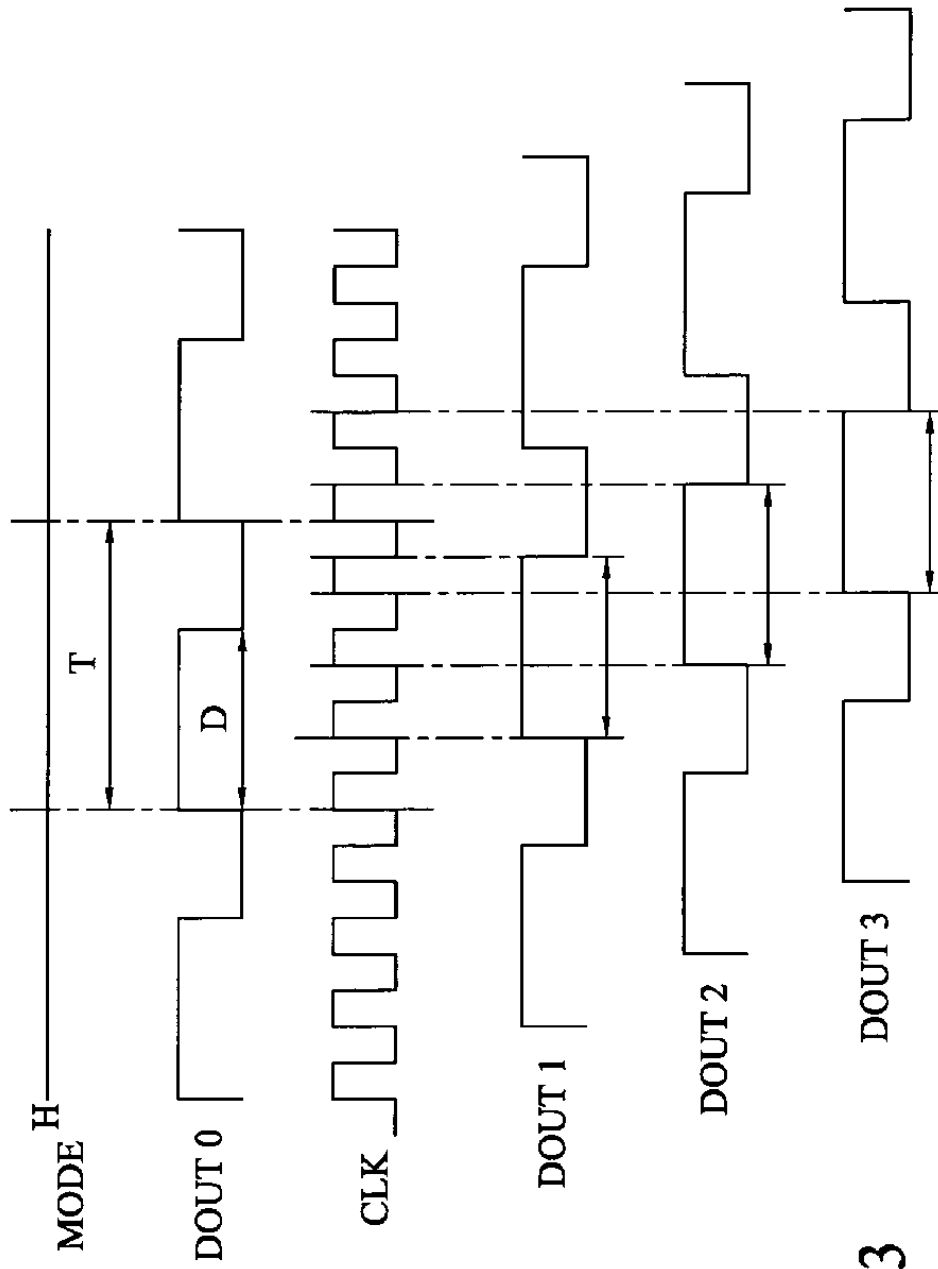


FIG.3

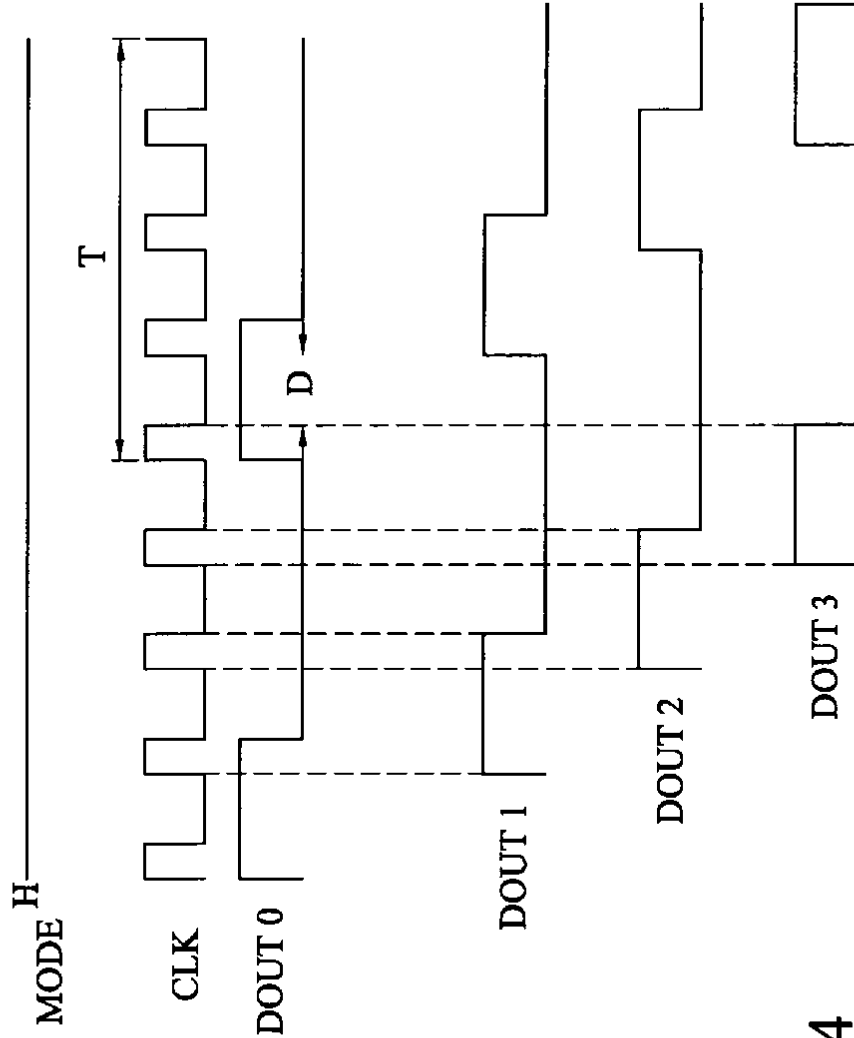


FIG.4

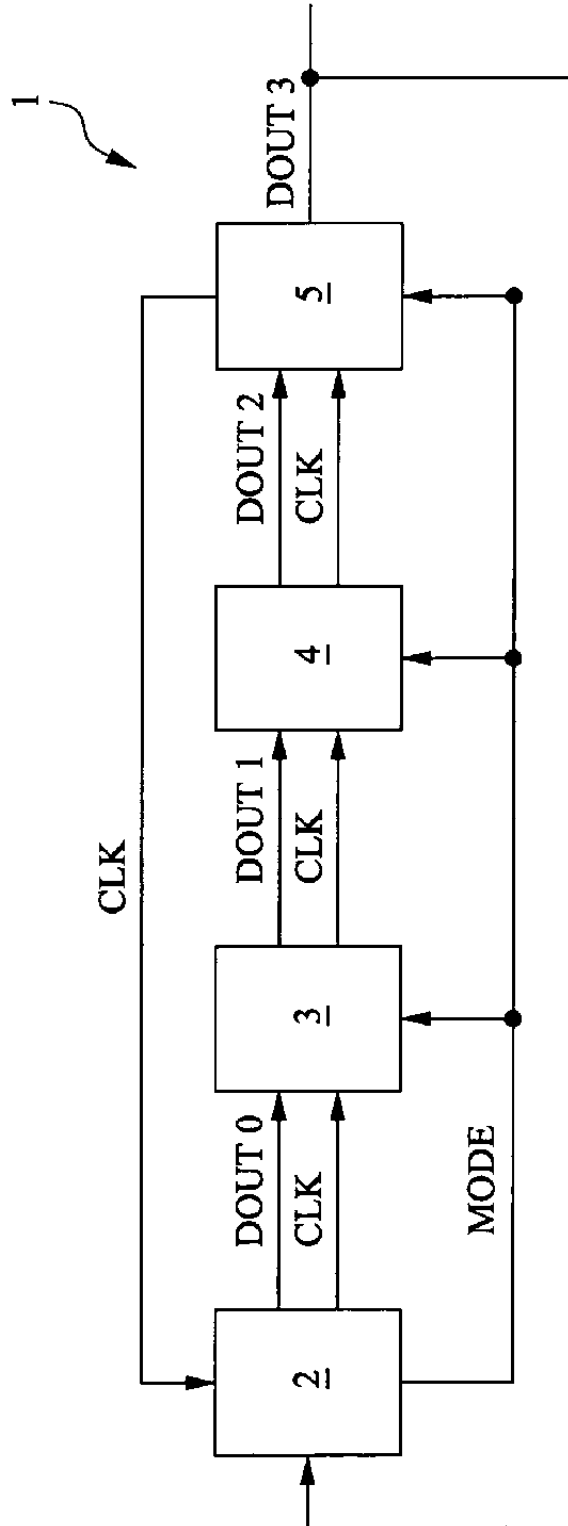


FIG.5

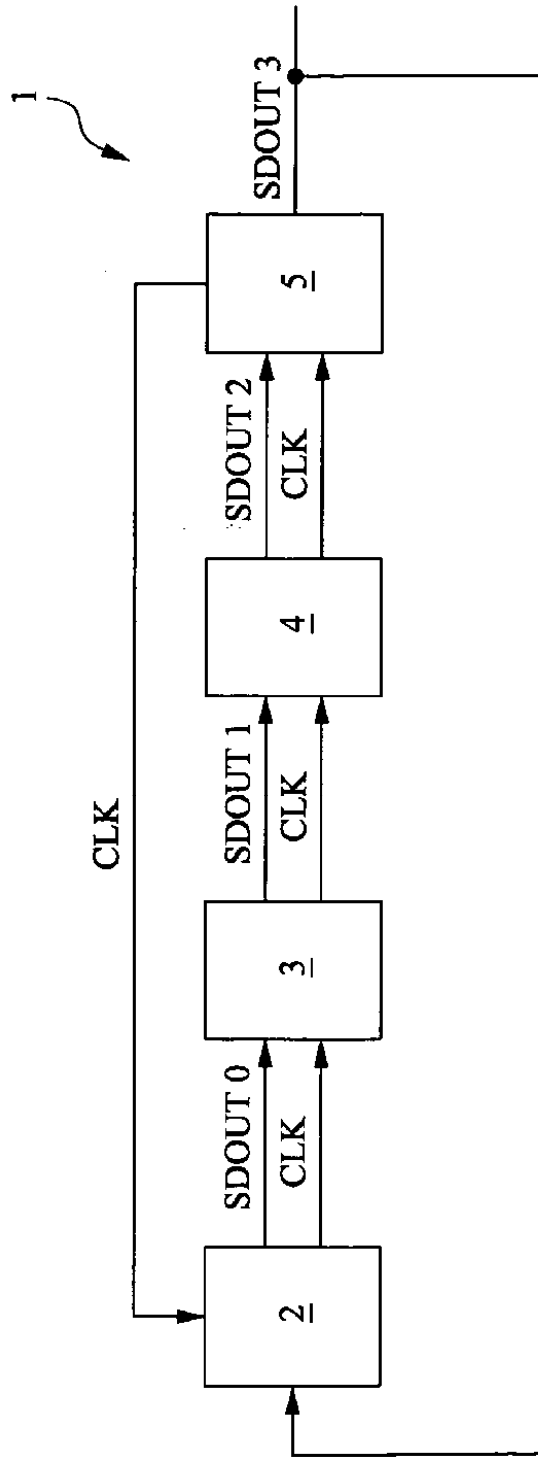


FIG.6