

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 399 953**

51 Int. Cl.:

G09G 1/16 (2006.01)

G09G 5/36 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.07.1998** **E 98306046 (8)**

97 Fecha y número de publicación de la concesión europea: **05.12.2012** **EP 0895216**

54 Título: **Dispositivo de almacenamiento de imagen y método de acceso**

30 Prioridad:

30.07.1997 JP 20437397

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

04.04.2013

73 Titular/es:

SONY CORPORATION (100.0%)
6-7-35 KITASHINAGAWA
SHINAGAWA-KU, TOKYO 141, JP

72 Inventor/es:

KONDO, TETSUJIRO

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 399 953 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de almacenamiento de imagen y método de acceso.

- 5 La presente invención se refiere a dispositivos de almacenamiento y a métodos de acceso a los mismos. Más particularmente, aunque no de forma limitativa, la invención se refiere a un dispositivo de almacenamiento y a un método de acceso que se usan preferentemente en la codificación jerárquica que divide una imagen en una pluralidad de capas que tienen números diferentes de píxeles.
- 10 En un método de codificación disponible, se usa una imagen de alta definición (datos de capa jerárquica inferior o de primera capa) para formar datos de imagen de una segunda capa que tiene un número menor de píxeles, a continuación los datos de imagen de la segunda capa se usan para formar datos de imagen de una tercera capa que tiene un número todavía menor de píxeles, y este proceso se repite hasta que se forman datos de imagen de la capa superior. A un método de codificación de este tipo se le denomina codificación jerárquica, en la cual, en un monitor
- 15 se presentan datos de imagen de cada capa de acuerdo con la definición respectiva (el número de píxeles). Así un usuario ve los datos de imagen mediante la selección de los datos de imagen que se corresponden con la definición del propio monitor del usuario, de entre los datos de imagen codificados jerárquicamente.
- 20 Los datos de imagen de una definición se tratan como datos de imagen de la (primera) capa jerárquica inferior para formar datos de imagen de capas superiores secuencialmente. Cuando todos estos datos se almacenan y transmiten tal como son, se requieren adicionalmente una capacidad de memoria añadida y una capacidad de transmisión de datos añadida para los datos de imagen de las capas superiores en comparación con el caso en el que solamente se almacenan o transmiten datos de imagen de la capa inferior.
- 25 En el contexto de la presente invención el objeto es un método de codificación jerárquica para restringir un incremento de la capacidad de memoria.
- Por ejemplo, supóngase en este momento que la suma de cuatro píxeles de 2×2 (filas $\times$ columnas) se trata como un píxel jerárquico superior (un valor de píxel) en una codificación jerárquica de tres capas. Haciendo referencia a la
- 30 figura 9A, 8×8 píxeles se consideran en este momento como una imagen de la capa jerárquica inferior, y se calcula la suma m_0 de los cuatro píxeles izquierdos superiores, 2×2 píxeles, h_{00} , h_{10} , h_{01} , y h_{11} , y a continuación la suma m_0 se trata como el píxel izquierdo superior en una segunda capa. De la misma manera, se calculan respectivamente la suma m_1 de los cuatro píxeles derechos superiores h_{20} , h_{30} , h_{21} , y h_{31} , la suma m_2 de los cuatro píxeles izquierdos inferiores h_{02} , h_{12} , h_{03} , y h_{13} , y la suma m_3 de los cuatro píxeles derechos inferiores h_{22} ,
- 35 h_{32} , h_{23} , y h_{33} en la capa jerárquica inferior, y estas sumas se tratan respectivamente como los píxeles derechos superiores, izquierdos inferiores y derechos inferiores en la segunda capa. Se calcula la suma q_0 de los cuatro píxeles m_0 , m_1 , m_2 , y m_3 como 2×2 píxeles en la segunda capa, y la suma es un píxel de una imagen en la capa jerárquica superior.
- 40 Si se almacenan todos los píxeles h_{00} a h_{33} , m_0 a m_3 , y q_0 , se requerirá adicionalmente la capacidad de memoria añadida para los píxeles m_0 a m_3 en la segunda capa y el píxel q_0 en la tercera capa.
- Haciendo referencia a la FIG. 9B, el píxel q_0 de la tercera capa se posiciona, por ejemplo, en lugar del píxel derecho inferior m_3 , de entre los píxeles de la segunda capa m_0 a m_3 . Así, la segunda capa se construye con los píxeles m_0
- 45 a m_2 y q_0 .
- Haciendo referencia a la FIG. 9C, el píxel m_0 de la segunda capa se posiciona, por ejemplo, en lugar del píxel izquierdo inferior h_{11} , de entre los píxeles de la primera capa h_{00} , h_{10} , h_{01} , y h_{11} , usándose todos ellos para determinar el píxel m_0 en la segunda capa. De modo similar, los restantes píxeles m_1 , m_2 , y q_0 en la segunda capa
- 50 sustituyen a los píxeles h_{31} , h_{13} , y h_{33} en la primera capa. Aunque el píxel q_0 no se obtiene directamente a partir de los píxeles h_{22} , h_{32} , h_{23} , y h_{33} , el píxel q_0 sustituye al píxel m_3 que se obtiene directamente a partir de estos píxeles, y así, el píxel q_0 se posiciona en lugar del píxel m_3 en la posición del píxel h_{33} .
- De esta manera, en referencia a la FIG. 9C, el número total de píxeles es 16 de 4×4 píxeles, y permanece sin cambios con respecto al número de píxeles en la capa jerárquica inferior mostrada en la FIG. 9A. Se evita así un
- 55 incremento de la capacidad de memoria.
- Los píxeles m_3 y h_{33} , sustituidos con el píxel q_0 , y los píxeles h_{11} , h_{31} y h_{13} , sustituidos respectivamente con los píxeles m_0 a m_2 , se decodifican de la manera siguiente.
- 60 Puesto que q_0 es la suma de m_0 a m_3 , se cumple la ecuación $q_0 = m_0 + m_1 + m_2 + m_3$. El píxel m_3 se determina a partir de la ecuación $m_3 = q_0 - (m_0 + m_1 + m_2)$.
- m_0 es la suma de h_{00} , h_{10} , h_{01} y h_{11} , se cumple la ecuación $m_0 = h_{00} + h_{10} + h_{01} + h_{11}$. Así, h_{11} se determina a
- 65 partir de la ecuación $h_{11} = m_0 - (h_{00} + h_{10} + h_{01})$. De modo similar, se determinan h_{31} , h_{13} , y h_{33} se determina después de la determinación de m_3 .

En la anterior codificación jerárquica, se requería convencionalmente un circuito de retardo para un retardo de línea del píxel de la primera capa (valor de píxel) además de una memoria de propósito general para almacenar los resultados de la codificación jerárquica (tal como una SRAM (Memoria Estática de Acceso Aleatorio) o una DRAM (RAM Dinámica)).

Por ejemplo, en referencia a la FIG. 9C, es necesario calcular la ecuación $h11 = m0 - (h00 + h10 + h01)$ para determinar, en la primera capa, el píxel h11, si h11 no se almacena. Los píxeles h00 y h10 en una primera línea y los píxeles h01 y m0 en una segunda línea son necesarios para calcular h11. Supóngase que los datos de imagen se leen de una memoria línea a línea desde la parte superior a la parte inferior, y el cálculo del píxel h11 debe esperar a la línea que comienza con h01, a saber, esperar a los píxeles m0, h00, h10, y h01 requeridos para calcular el píxel h11, con la línea que comienza con h00 retardada una línea.

Además de la memoria para almacenar los resultados de la codificación jerárquica, se requiere un circuito de retardo para el retardo de línea de los datos de imagen, provocando que el dispositivo resulte voluminoso.

El documento GB 2277012 da a conocer un sistema de almacenamiento para datos de imágenes, que comprende una pluralidad de memorias enlosadas (*tilled memories*). Al sistema se le alimenta un conjunto individual de direcciones de lectura desde un generador de direcciones de lectura. El aparato puede soportar operaciones simultáneas de lectura y escritura en la memoria enlosada proporcionando dos conjuntos correspondientes de bloques de memoria, en los cuales un conjunto se puede usar para leer mientras que el otro se usa para escribir.

El documento JP 1997 9102951 da a conocer un método para mejorar la eficacia espacial de un circuito de procesamiento de señales que tiene codificación y decodificación jerárquicas. El método evita tener que incrementar la capacidad de memoria para almacenar los datos jerárquicos, y evita también tener un circuito de retardo de elementos de imagen o un circuito de retardo de línea.

La invención se define en las reivindicaciones adjuntas.

Una forma preferida de implementación de la invención que se describe a continuación en la presente memoria pretende proporcionar un dispositivo de almacenamiento que es compacto.

La invención se describirá a continuación de forma adicional, por medio de un ejemplo ilustrativo y no limitativo, en referencia a los dibujos adjuntos, en los cuales:

la FIG. 1 es un diagrama de bloques que muestra la construcción de un dispositivo de almacenamiento;

la FIG. 2 muestra la organización de una pantalla de visualización para una imagen de la primera capa;

la FIG. 3 es un primer diagrama de bloques funcionales del dispositivo de almacenamiento de la FIG. 1;

la FIG. 4 es un segundo diagrama de bloques funcionales del dispositivo de almacenamiento de la FIG. 1;

la FIG. 5 es un tercer diagrama de bloques funcionales del dispositivo de almacenamiento de la FIG. 1;

la FIG. 6 es un cuarto diagrama de bloques funcionales del dispositivo de almacenamiento de la FIG. 1 correspondiente a una forma de realización de la presente invención;

la FIG. 7 ilustra una memoria de primera capa 2 de la FIG. 6, que está dividida en un banco A y en un banco B;

la FIG. 8 es un quinto diagrama de bloques funcionales del dispositivo de almacenamiento de la FIG. 1; y

las FIGS. 9A a 9C ilustran un proceso de codificación jerárquica.

A continuación se hace referencia a los dibujos.

La FIG. 1 muestra la construcción del dispositivo de almacenamiento.

Por ejemplo, el dispositivo de almacenamiento se construye con un chip CMOS (Semiconductor Metal Óxido Complementario), que está diseñado para realizar la codificación jerárquica con el fin de obtener, por ejemplo, tres imágenes de capa que tienen números diferentes de píxeles a partir de una imagen introducida en el mismo.

Más específicamente, a un circuito suministrador de direcciones 1 se le proporciona una dirección horizontal y una dirección vertical, concretamente direcciones correspondientes a las posiciones horizontal y vertical de cada píxel para la imagen introducida en el dispositivo de almacenamiento.

En la FIG. 2, el circuito suministrador de direcciones 1 recibe una imagen (datos de imagen digitales) en una pantalla de visualización individual construida con 512 píxeles en una dirección horizontal por 512 píxeles en una dirección vertical. Cada una de la dirección horizontal y la dirección vertical se expresa en nueve ($=\log_2 512$) bits.

- 5 El circuito suministrador de direcciones 1 procesa la dirección horizontal y la dirección vertical según sea necesario, y las alimenta hacia una memoria de primera capa 2, una memoria de segunda capa 3, y una memoria de tercera capa 4. Al circuito suministrador de direcciones 1 se le proporcionan también un reloj (no mostrado en las FIGS. 3 a 6 y la FIG. 8 que se describirán posteriormente), una señal de R/W (Lectura/Escritura), y una bandera jerárquica, además de las direcciones horizontal y vertical. El circuito suministrador de direcciones 1 proporciona una dirección a la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 en sincronización con el reloj. Como respuesta a la señal de R/W y la bandera jerárquica, el circuito suministrador de direcciones 1 procesa la dirección horizontal y la dirección vertical. Además, el circuito suministrador de direcciones 1 proporciona una señal de control predeterminada al circuito de RMW 5 según sea necesario.
- 10
- 15 La señal de R/W ordena la lectura de los datos de imagen desde el dispositivo de almacenamiento y la escritura de los datos de imagen en el dispositivo de almacenamiento, y la señal jerárquica ordena cuál de entre una imagen de primera capa, una imagen de segunda capa y una imagen de tercera capa, que se describirán posteriormente, se lee cuando se lee la imagen almacenada en el dispositivo de almacenamiento, y es, por ejemplo, una bandera de dos bits. Puesto que la escritura de los datos de imagen se realiza al mismo tiempo sobre la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4, la bandera jerárquica se ignora (inefectiva) cuando la señal de R/W indica la escritura. Puesto que las lecturas desde la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 se realizan individualmente, la bandera jerárquica es efectiva únicamente durante la lectura. No obstante, también es posible realizar una lectura al mismo tiempo desde la memoria de primera capa 2, la memoria de segunda capa 3, y la memoria de tercera capa 4. En este caso, no es necesario el uso de la bandera jerárquica.
- 20
- 25

La memoria de primera capa 2 almacena los datos de imagen, alimentados por el circuito de RMW 5, en una dirección designada por el circuito suministrador de direcciones 1, y lee los datos de imagen almacenados en la dirección y les da salida hacia el circuito de RMW 5. La memoria de primera capa 2 está diseñada para almacenar la imagen de primera capa, a saber, los datos de imagen introducidos en el dispositivo de almacenamiento, tal como son. La memoria de primera capa 2 está diseñada para almacenar por lo menos la imagen de primera capa en una pantalla de visualización, a saber, los datos de imagen de 512 x 512 píxeles tal como se muestra en la FIG. 2. Cada celda de memoria que constituye la memoria de primera capa 2 tiene por lo menos una longitud de datos igual al número de bits asignados a un píxel para la imagen de primera capa. Más específicamente, cuando un píxel para la imagen de primera capa se expresa en ocho bits, por ejemplo, una celda de memoria que constituye la memoria de primera capa 2 tiene por lo menos una longitud de datos de ocho bits.

30

35

La memoria de segunda capa 3 almacena los datos de imagen, alimentados por el circuito de RMW 5, en una dirección designada por el circuito suministrador de direcciones 1, y lee los datos de imagen almacenados en la dirección y les da salida hacia el circuito de RMW 5. La memoria de segunda capa 3 está diseñada para almacenar la imagen de segunda capa. Más específicamente, de la misma manera que la descrita en referencia a la FIG. 9, un píxel individual en la segunda capa se obtiene a partir de cuatro píxeles de 2 x 2 (filas x columnas) para la imagen de primera capa, y la memoria de segunda capa 3 está diseñada para almacenar la imagen de segunda capa construida con dichos píxeles. Además, la memoria de segunda capa 3 tiene por lo menos una capacidad de memoria que puede almacenar la imagen de segunda capa de una pantalla de visualización. Específicamente, puesto que un píxel en la segunda capa se obtiene a partir de 2 x 2 píxeles en la primera capa, la segunda capa de una pantalla de visualización se construye con $256 \times 256 (= 512/2 \times 512/2)$ píxeles. Así, la memoria de segunda capa 2 está diseñada para almacenar por lo menos la imagen de segunda capa que tiene dicho número de píxeles. Además, cada celda de memoria que constituye la memoria de segunda capa 3 tiene por lo menos una longitud de datos capaz de almacenar un píxel para la imagen de segunda capa sin pérdida de dígitos. Específicamente, puesto que un píxel en la primera capa se expresa en ocho bits, un píxel en la segunda capa, es la suma de cuatro píxeles de ocho bits, se expresa en diez ($=\log_2 (2^8 + 2^8 + 2^8 + 2^8)$) bits. Cada celda de memoria que constituye la memoria de segunda capa 3 tiene por lo menos una longitud de datos de diez bits.

40

45

50

La memoria de tercera capa 4 almacena los datos de imagen, alimentados por el circuito de RMW 5, en una dirección designada por el circuito suministrador de direcciones 1, y lee los datos de imagen almacenados en la dirección y les da salida hacia el circuito de RMW 5. La memoria de tercera capa 4 está diseñada para almacenar la imagen de tercera capa. Más específicamente, de la misma manera que la descrita en referencia a la FIG. 9, un píxel individual en la tercera capa se obtiene a partir de cuatro píxeles de 2 x 2 para la imagen de segunda capa, a saber, 4 x 4 píxeles en la primera capa, y la memoria de tercera capa 4 está diseñada para almacenar la imagen de tercera capa construida con dichos píxeles. Además, la memoria de tercera capa 4 tiene por lo menos una capacidad de memoria que puede almacenar la imagen de tercera capa de una pantalla de visualización. Específicamente, puesto que un píxel en la tercera capa se obtiene a partir de 2 x 2 píxeles en la segunda capa, la segunda capa de una pantalla de visualización se construye con $128 \times 128 (= 256/2 \times 256/2)$ píxeles. Así, la memoria de tercera capa 4 está diseñada para almacenar por lo menos la imagen de tercera capa que tiene dicho número de píxeles. Además, cada celda de memoria que constituye la memoria de tercera capa 4 tiene por lo menos una

55

60

65

longitud de datos que puede almacenar un píxel para la imagen de tercera capa sin pérdida de dígitos. Específicamente, puesto que un píxel en la segunda capa se expresa en diez bits, un píxel en la tercera capa, que es la suma de cuatro píxeles de diez bits, se expresa en 12 ($=\log_2 (2^{10} + 2^{10} + 2^{10} + 2^{10})$) bits. Cada celda de memoria que constituye la memoria de tercera capa 4 tiene por lo menos una longitud de datos de 12 bits.

A la memoria de primera capa 2, a la memoria de segunda capa 3 y a la memoria de tercera capa 4 se les suministra el reloj, y se realiza la lectura de datos y la escritura de datos en sincronización con el reloj.

El circuito de RMW 5 está diseñado para escribir los datos de imagen, introducidos en el dispositivo de almacenamiento, en la memoria de primera capa 2 como imagen de primera capa. El circuito de RMW 5 calcula también una imagen de segunda capa a partir de la imagen de primera capa, y la escribe en la memoria de segunda capa 3. Además, el circuito de RMW 5 calcula una imagen de tercera capa a partir de la imagen de primera capa (o la imagen de segunda capa), y la escribe en la memoria de tercera capa 4. El circuito de RMW 5 lee datos de imagen almacenados respectivamente en la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 y da salida a los datos de imagen leídos. Al circuito de RMW 5 se le suministra el reloj, la señal de R/W, la bandera jerárquica y la señal de control a la que da salida el circuito suministrador de direcciones 1, y realiza varios procesados como respuesta a la señal de R/W, la señal jerárquica y la señal de control en sincronización con el reloj.

A continuación se describe, en referencia a las FIGS. 3 a 5, el funcionamiento del dispositivo de almacenamiento.

Tal como se muestra en la FIG. 2, los datos de imagen de una pantalla de visualización construida con 512 x 512 píxeles, expresado cada píxel en ocho bits, se alimentan al dispositivo de almacenamiento como imagen de primera capa. A continuación, supóngase que los datos de imagen se escanean y suministran secuencialmente.

En cuanto a los píxeles para la imagen de primera capa, considérese que $h(0,0)$ representa el píxel izquierdo superior, y considérese que $h(x,y)$ representa un píxel en una columna $(x+1)$ -ésima desde la izquierda y en una fila $(y+1)$ -ésima desde la parte superior. Puesto que la imagen de primera capa está construida con 512 x 512 píxeles, cada uno de x e y adopta un entero que se sitúa dentro de un intervalo de entre 0 y 511 ($=2^9-1$).

A continuación se consideran las variables s y t , que adoptan cada uno de ellas un entero en el intervalo de entre 0 y 255 ($=2^8/2-1$), y un píxel en la segunda capa es la suma de 2 x 2 píxeles vecinos en la primera capa,

$$\begin{array}{ll} h(2s,2t), & h(2s+1,2t), \\ h(2s,2t+1), & h(2s+1,2t+1), \end{array}$$

y a continuación esta suma se designa por $m(s,t)$. Se cumple la siguiente ecuación.

$$m(s,t)=h(2s,2t)+h(2s+1,2t)+h(2s,2t+1)+h(2s+1,2t+1) \quad \dots \quad (1)$$

A continuación se consideran las variables m y n , que adoptan cada una de ellas un entero en el intervalo de entre 0 y 127 ($=2^7/4-1$), y un píxel en la tercera capa es la suma de 2 x 2 píxeles vecinos en la segunda capa,

$$\begin{array}{ll} m(2m,2n), & m(2m+1,2n), \\ m(2m,2n+1), & m(2m+1,2n+1), \end{array}$$

concretamente, es la suma de 4 x 4 píxeles vecinos en la primera capa,

$$\begin{array}{llll} h(4m,4n), & h(4m+1,4n), & h(4m+2,4n), & h(4m+3,4n), \\ h(4m,4n+1), & h(4m+1,4n+1), & h(4m+2,4n+1), & h(4m+3,4n+1), \\ h(4m,4n+2), & h(4m+1,4n+2), & h(4m+2,4n+2), & h(4m+3,4n+2), \\ h(4m,4n+3), & h(4m+1,4n+3), & h(4m+2,4n+3), & h(4m+3,4n+3), \end{array}$$

y a continuación la suma se designa por $q(m,n)$. Se cumple la siguiente ecuación.

$$\begin{array}{l} q(m,n)=m(2m,2n)+m(2m+1,2n)+m(2m,2n+1)+m(2m+1,2n+1) \\ = h(4m,4n)+h(4m+1,4n)+h(4m+2,4n)+h(4m+3,4n) \\ +h(4m,4n+1)+h(4m+1,4n+1)+h(4m+2,4n+1)+h(4m+3,4n+1) \\ +h(4m,4n+2)+h(4m+1,4n+2)+h(4m+2,4n+2)+h(4m+3,4n+2) \\ +h(4m,4n+3)+h(4m+1,4n+3)+h(4m+2,4n+3)+h(4m+3,4n+3) \\ \dots \quad (2) \end{array}$$

Durante la escritura de datos y la lectura de datos, al circuito suministrador de direcciones 1 se le proporciona una combinación de una dirección horizontal HA y una dirección vertical VA, (HA, VA), en sincronización con el reloj, por ejemplo, en el siguiente orden (correspondiente al orden de escaneo secuencial),

5 (0,0), (1,0),..., (511,0),
(0,1), (1,1),..., (511,1),

.

.

10 .

(0,511), (1, 511),..., (511,511).

15 A continuación, supóngase que ha1, ha2,..., ha8 (siendo ha8 el bit más significativo) representan los bits de la dirección horizontal de nueve bits HA, representando ha0 el bit menos significativo, y supóngase que va1, va2,..., va8 (siendo va8 el bit más significativo) representan los bits de la dirección vertical de nueve bits VA, representando hb0 el bit menos significativo.

20 Cuando los datos de imagen se escriben en el dispositivo de almacenamiento, al circuito de RMW 5 se le suministra secuencialmente la imagen de primera capa en sincronización con el reloj mientras que al circuito suministrador de direcciones 1 se le proporcionan la dirección horizontal HA y la dirección vertical VA, según se ha descrito anteriormente.

El acceso a la memoria de primera capa 2 se realiza de la manera siguiente.

25 En referencia a la FIG. 3, durante una operación de escritura (cuando la señal de R/W indica una operación de escritura), el circuito suministrador de direcciones 1 alimenta la dirección horizontal HA y la dirección vertical VA, suministradas al mismo, tal como son, a terminales de dirección (ADh, ADv) de la memoria de primera capa 2. El circuito de RMW 5 describe los datos de imagen de primera capa, suministrados al mismo, en una celda de memoria (no mostrada) en la memoria de primera capa 2 designada por la dirección horizontal HA y la dirección vertical VA. Se repite la misma etapa del proceso para almacenar la memoria de primera capa de una pantalla de visualización construida con 512 x 512 píxeles en la memoria de primera capa 2. De esta manera, en las direcciones de la memoria de primera capa 2

35 (0,0), (1,0),..., (511,0),
(0,1), (1,1),..., (511,1),

.

.

40 .

(0,511), (1, 511),..., (511,511),

se almacenan respectivamente píxeles de primera capa (valores de píxel)

45 h(0,0), h(1,0),..., h(511,0),
h(0,1), h(1,1),..., h(511,1),

.

.

50 .

h(0,511), h(1, 511),..., h(511,511)

55 Durante una operación de lectura (cuando la señal de R/W indica la operación de lectura), el circuito suministrador de direcciones 1 alimenta la dirección horizontal HA y la dirección vertical VA, suministradas al mismo, tal como son, a los terminales de dirección de la memoria de primera capa 2 cuando la bandera jerárquica indica la primera capa. El circuito de RMW 5 lee los datos de imagen de primera capa almacenados en la celda de memoria en la memoria de primera capa 2, designada por la dirección horizontal HA y la dirección vertical VA, y se repite la misma etapa del proceso para leer la memoria de primera capa de una pantalla de visualización construida con 512 x 512 píxeles desde la memoria de primera capa 2. De esta manera, se da salida a la imagen de primera capa escaneada secuencialmente.

A continuación se describe el acceso a la memoria de segunda capa 3.

65

Durante una operación de escritura, el circuito suministrador de direcciones 1 alimenta, a los terminales de dirección de la memoria de segunda capa 3, por ejemplo, ocho bits de orden superior ha_1 a ha_8 , sin el bit menos significativo ha_0 , como parte de la dirección horizontal HA suministrada al mismo, y ocho bits de orden superior va_1 a va_8 , sin el bit menos significativo va_0 , como parte de la dirección vertical VA suministrada al mismo, tal como se muestra en la FIG. 4. Además, el circuito suministrador de direcciones 1 da salida al bit menos significativo ha_0 de la dirección horizontal HA y el bit menos significativo va_0 de la dirección vertical VA al circuito de RMW 5 como señal de control.

En temporización con la alimentación de cada uno de los cuatro píxeles 2×2 de $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa representada por D1 tal como se muestra en la FIG. 2, al circuito de RMW 5, el circuito suministrador de direcciones 1 da salida a una señal indicativa de la misma dirección (s,t) en la memoria de segunda capa 3.

Por otro lado, en el circuito de RMW 5, los datos de imagen de primera capa suministrados al mismo se introducen en una unidad aritmética 13. La unidad aritmética 13 recibe una salida de un conmutador 12 así como los datos de imagen de primera capa, y los suma y alimenta la suma a una sección de escritura 14.

El conmutador 12 selecciona entre su terminal 12a y su terminal 12b en función de una salida de una puerta NOR 15. A los terminales 12a y 12b se les suministra una salida de una sección de lectura 11 y 0, respectivamente. La puerta NOR 15 recibe tanto el bit menos significativo ha_0 de la dirección horizontal HA como el bit menos significativo va_0 de la dirección vertical VA desde el circuito suministrador de direcciones 1. Su salida se encuentra en un nivel H únicamente cuando los bits menos significativos tanto ha_0 como va_0 son 0, a saber, en temporización con el suministro del píxel izquierdo superior $h(2s, 2t)$ de los 2×2 píxeles $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ de la primera capa a la unidad aritmética 13, y se encuentra en un nivel L el resto del tiempo.

El conmutador 12 está diseñado para seleccionar entre su terminal 12a y su terminal 12b en función de si la salida de la puerta NOR 15 se encuentra en un nivel L o en un nivel H.

La sección de lectura 11 lee datos (datos de almacenamiento) almacenados en la dirección correspondiente a una señal a la que da salida el circuito suministrador de direcciones 1.

En temporización con la alimentación del píxel izquierdo superior $h(2s, 2t)$ de los 2×2 píxeles $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa a la unidad aritmética 13, la sección de lectura 11 lee los datos almacenados en la dirección (s,t) en la memoria de segunda capa 3, y da salida a los mismos hacia el terminal 12a. Puesto que tanto el bit menos significativo ha_0 de la dirección horizontal HA como el bit menos significativo va_0 de la dirección vertical VA son 0, la salida de la puerta NOR 15 se impulsa a un nivel H, provocando que el conmutador 12 seleccione su terminal 12b.

Como consecuencia, se alimenta 0 hacia la unidad aritmética 13 a través del conmutador 12.

La unidad aritmética 13 suma el 0 y el píxel $h(2s, 2t)$ en la primera capa, y la suma resultante ($0+h(2s, 2t)$) se alimenta a la sección de escritura 14. La sección de escritura 14 escribe la salida de la unidad aritmética 13 en la dirección correspondiente a la salida del circuito suministrador de direcciones 1, a saber, la dirección (s,t) en la memoria de segunda capa 3.

En temporización con la alimentación del píxel $h(2s+1, 2t)$ a la derecha del píxel izquierdo superior $h(2s, 2t)$ de los 2×2 píxeles $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa hacia la unidad aritmética 13, la sección de lectura 11 lee los datos (en este caso, $0+h(2s, 2t)$) almacenados en la dirección (s,t) en la memoria de segunda capa 3, y da salida a los mismos hacia el terminal 12a.

Puesto que el bit menos significativo ha_0 de la dirección horizontal HA es un 1, siendo 0 el bit menos significativo va_0 de la dirección vertical VA, la salida de la puerta NOR 15 se impulsa a un nivel L, provocando que el conmutador 12 seleccione su terminal 12a.

Como resultado, la unidad aritmética 13 recibe los datos (datos de almacenamiento) leídos por la sección de lectura 11 (en este caso, $0+h(2s, 2t)$) a través del conmutador 12.

La unidad aritmética 13 suma los datos suministrados a través del conmutador 12 y el píxel $h(2s+1, 2t)$ en la primera capa, y la suma resultante ($0+h(2s, 2t)+h(2s+1, 2t)$) se alimenta a la sección de escritura 14. La sección de escritura 14 escribe la salida de la unidad aritmética 13 en la dirección correspondiente a la salida del circuito suministrador de direcciones 1, a saber, la dirección (s,t) en la memoria de segunda capa 3.

Comienza el suministro de los datos de imagen en una línea $2t+1$ desde la parte superior. En temporización con la alimentación del píxel izquierdo inferior $h(2s, 2t+1)$ de 2×2 píxeles $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa hacia la unidad aritmética 13, la sección de lectura 11 lee los datos (en este caso, $0+h(2s, 2t)+h(2s+1, 2t)$) almacenados en la dirección (s,t) en la memoria de segunda capa 3, y da salida a los mismos hacia el terminal 12a.

Puesto que el bit menos significativo ha0 de la dirección horizontal HA es un 0, siendo un 1 el bit menos significativo va0 de la dirección vertical VA, la salida de la puerta NOR 15 se impulsa a un nivel L, provocando que el conmutador 12 seleccione su terminal 12a.

Como resultado, la unidad aritmética 13 recibe los datos (datos de almacenamiento) leídos por la sección de lectura 11 (en este caso, $0+h(2s,2t)+h(2s+1,2t)$) a través del conmutador 12.

La unidad aritmética 13 suma los datos suministrados a través del conmutador 12 y el píxel $h(2s,2t+1)$ en la primera capa, y la suma resultante ($0+h(2s,2t)+h(2s+1,2t)+h(2s,2t+1)$) se alimenta a la sección de escritura 14. La sección de escritura 14 escribe la salida de la unidad aritmética 13 en la dirección correspondiente a la salida del circuito suministrador de direcciones 1, a saber, la dirección (s,t) en la memoria de segunda capa 3.

En temporización con la alimentación del píxel $h(2s+1,2t+1)$ a la derecha del píxel izquierdo inferior $h(2s,2t+1)$ de los 2×2 píxeles $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$ en la primera capa hacia la unidad aritmética 13, la sección de lectura 11 lee los datos (en este caso, $0+h(2s,2t)+h(2s+1,2t)+h(2s,2t+1)$) almacenados en la dirección (s,t) en la memoria de segunda capa 3, y da salida a los mismos hacia el terminal 12a.

Puesto que tanto el bit menos significativo ha0 de la dirección horizontal HA como el bit menos significativo va0 de la dirección vertical VA son un 1, la salida de la puerta NOR 15 se impulsa a un nivel L, provocando que el conmutador 12 seleccione su terminal 12a.

Como resultado, la unidad aritmética 13 recibe los datos (datos de almacenamiento) leídos por la sección de lectura 11 (en este caso, $0+h(2s,2t)+h(2s+1,2t)+h(2s,2t+1)$) a través del conmutador 12.

La unidad aritmética 13 suma los datos suministrados a través del conmutador 12 y el píxel $h(2s+1,2t+1)$ en la primera capa, y la suma resultante ($0+h(2s,2t)+h(2s+1,2t)+h(2s,2t+1)+h(2s+1,2t+1)$) se alimenta a la sección de escritura 14. La sección de escritura 14 escribe la salida de la unidad aritmética 13 en la dirección correspondiente a la salida del circuito suministrador de direcciones 1, a saber, la dirección (s,t) en la memoria de segunda capa 3.

La memoria de segunda capa 3 almacena finalmente la suma expresada por la ecuación $h(2s,2t)+h(2s+1,2t)+h(2s,2t+1)+h(2s+1,2t+1)$, a saber, el píxel de segunda capa (valor de píxel) $m(s,t)$ expresado por la ecuación (1).

De esta manera, la memoria de segunda capa 3 almacena la imagen de segunda capa construida con una pantalla de visualización de 256×256 píxeles.

Tal como se ha descrito anteriormente, los datos de imagen de primera capa se escriben la dirección (HA, VA) en la memoria de primera capa 2, designada por la dirección horizontal HA y la dirección vertical VA. Los datos de almacenamiento almacenados se leen a partir de la dirección de la memoria de segunda capa, designada por ha1 a ha8 y va1 a va8, partes de la dirección horizontal HA y la dirección vertical VA. Los datos de almacenamiento y los datos de imagen en la primera capa se suman, y la suma (primeros datos procesados) se escriben en la dirección de la memoria de primera capa 2 que almacenaba los datos de almacenamiento. Con esta disposición, se almacenan los datos de imagen de la primera capa mientras que se generan y almacenan al mismo tiempo los datos de imagen de la segunda capa. En resumen, los datos de imagen de segunda capa se obtienen basándose en tiempo real.

Puesto que la memoria de segunda capa 3 para almacenar la imagen de segunda capa ejecuta la función del circuito correspondiente al retardo de línea convencional, no hay necesidad de dicho circuito, y en el dispositivo de almacenamiento se implementa un diseño compacto.

Se describe a continuación la lectura de la imagen de segunda capa desde la memoria de segunda capa 3.

Durante una operación de lectura, el circuito suministrador de direcciones 1 alimenta, hacia los terminales de dirección de la memoria de segunda capa 2, por ejemplo, ocho bits de orden superior ha1 a ha8 de la dirección horizontal HA u ocho bits de orden superior va1 a va8 de la dirección vertical VA, suministradas al mismo, cuando la bandera jerárquica indica la segunda capa, mientras que da salida al bit menos significativo ha0 y al bit menos significativo va0 hacia el circuito de RMW 5 como señal de control.

En el circuito de RMW 5, la sección de lectura 11 recibe la bandera jerárquica, la señal de R/W y la salida de la puerta NOR 15. Con la señal de R/W que indica la operación de lectura y la bandera jerárquica que indica la segunda capa, la sección de lectura 11 lee y da salida a los datos de imagen almacenados en la dirección en la segunda capa, correspondiente a la señal a la que da salida el circuito suministrador de direcciones 1, únicamente cuando la salida de la puerta NOR 15 se encuentra en un nivel H.

A partir de la exposición anterior, cuando la combinación de la dirección horizontal HA y la dirección vertical VA es una de $(2s,2t)$, $(2s+1,2t)$, $(2s,2t+1)$, y $(2s+1,2t+1)$, el circuito suministrador de direcciones 1 da salida a la misma

dirección (s,t) hacia la memoria de segunda capa 3. Si se leen datos simplemente a partir de la dirección de la memoria de segunda capa 3 correspondiente a la señal a la que da salida el circuito suministrador de direcciones 1, se leen de manera repetida los mismos datos cuatro veces.

5 Por esta razón, la sección de lectura 11 está diseñada para leer el píxel (valor de píxel) $m(s,t)$ de la segunda capa a partir de la dirección (s,t) de la memoria de segunda capa 3 únicamente cuando la combinación de la dirección horizontal HA y la dirección vertical VA es (2s,2t), por ejemplo, de entre (2s,2t), (2s+1,2t), (2s,2t+1), y (2s+1,2t+1), a saber, cuando la salida de la puerta NOR 15 se encuentra en un nivel H.

10 Los datos de imagen de la segunda capa leídos por la sección de lectura 11 se alimentan a un conmutador 16. El conmutador 16 se activa únicamente cuando la señal de R/W indica la operación de lectura y se desactiva el resto del tiempo. Puesto que en este momento el conmutador 16 está activado, a los datos de imagen de la segunda capa leídos por la sección de lectura 11 se les da salida por medio del conmutador 16.

15 De esta manera, la imagen almacenada de segunda capa de una pantalla de visualización construida con 256 x 256 píxeles es leída desde la memoria de segunda capa 3. De este modo se da salida a una imagen de segunda capa escaneada secuencialmente.

A continuación se describe el acceso a la memoria de tercera capa 4.

20 Durante una operación de escritura, el circuito suministrador de direcciones 1 alimenta, hacia los terminales de dirección de la memoria de tercera capa 4, por ejemplo, siete bits de orden superior ha2 a ha8, sin bits de orden inferior ha0 y ha1, como parte de la dirección horizontal HA suministrada al mismo, y siete bits de orden superior va2 a va8, sin bits de orden inferior va0 y va1, como parte de la dirección vertical VA suministrada al mismo, tal como se muestra en la FIG. 5. Además, el circuito suministrador de direcciones 1 da salida tanto a los bits de orden inferior ha0 y ha1 de la dirección horizontal HA como a los bits de orden inferior va0 y va1 de la dirección vertical VA hacia el circuito de RMW 5 como señal de control.

30 En temporización con la alimentación de cada uno de 16 píxeles de 4 x 4 de $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+1,4n+1)$, $h(4m+2,4n+1)$, $h(4m+3,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, $h(4m+1,4n+3)$, $h(4m+2,4n+3)$, y $h(4m+3,4n+3)$ de la primera capa representados por D2 tal como se muestra en la FIG. 2, hacia el circuito de RMW 5, el circuito suministrador de direcciones 1 da salida a una señal indicativa de la misma dirección (s,t) en la memoria de tercera capa 4.

35 Por otro lado, en el circuito de RMW 5, los datos de imagen de primera capa suministrados al mismo se introducen en una unidad aritmética 23. La unidad aritmética 23 recibe una salida de un conmutador 22 así como los datos de imagen de primera capa, y los suma y alimenta la suma a una sección de escritura 24.

40 El conmutador 22 selecciona entre su terminal 22a y su terminal 22b en función de una salida de una puerta NOR 25. A los terminales 22a y 22b se les suministra una salida de una sección de lectura 21 y 0, respectivamente. La puerta NOR 25 recibe tanto los bits de orden inferior ha0 y ha1 de la dirección horizontal HA como los bits de orden inferior va0 y va1 de la dirección vertical VA desde el circuito suministrador de direcciones 1. Su salida se encuentra en un nivel H únicamente cuando los bits de orden inferior ha0 y ha1 y va0 y va1 son 0's, a saber, en temporización con el suministro del píxel izquierdo superior $h(4m,2n)$ de los 4 x 4 píxeles $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+1,4n+1)$, $h(4m+2,4n+1)$, $h(4m+3,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, $h(4m+1,4n+3)$, $h(4m+2,4n+3)$, y $h(4m+3,4n+3)$ de la primera capa, hacia la unidad aritmética 23, y se encuentra en un nivel L el resto del tiempo.

50 El conmutador 22 está diseñado para seleccionar su terminal 22a ó 22b en función de si la salida de la puerta NOR 25 se encuentra en un nivel H o un nivel L.

La sección de lectura 21 lee datos (datos de almacenamiento) almacenados en la dirección correspondiente a una señal a la que da salida el circuito suministrador de direcciones 1.

55 En temporización con la alimentación del píxel $h(4m,4n)$ de la primera capa hacia la unidad aritmética 23, la sección de lectura 21 lee los datos almacenados en la dirección (m,n) de la memoria de tercera capa 4, y da salida a los mismos hacia el terminal 22a. Puesto que los bits de orden inferior ha0 y ha1 de la dirección horizontal HA y los bits de orden inferior va0 y va1 de la dirección vertical VA son todos ellos 0's, la salida de la puerta NOR 25 se impulsa a un nivel H, provocando que el conmutador 22 seleccione su terminal 22b.

60 Como resultado, se alimenta 0 a la unidad aritmética 23 a través del conmutador 22.

65 La unidad aritmética 23 suma el 0 y el píxel $h(4m,4n)$ de la primera capa, y la suma resultante ($0+h(4m,4n)$) se alimenta a la sección de escritura 24. La sección de escritura 24 escribe la salida de la unidad aritmética 23 en la dirección correspondiente a la señal a la que da salida el circuito suministrador de direcciones 1, a saber, la dirección (m,n) de la memoria de tercera capa 4.

En temporización con la alimentación del píxel $h(4m+1,4n)$ a la derecha del píxel $h(4m,4n)$ de la primera capa hacia la unidad aritmética 23, la sección de lectura 21 lee los datos (en este caso, $0+h(4m,4n)$) almacenados en la dirección (m,n) de la memoria de tercera capa 4, y da salida a los mismos hacia el terminal 22a.

5 Puesto que los bits de orden inferior ha_0 y ha_1 de la dirección horizontal HA son respectivamente un 1 y un 0, siendo respectivamente 0 los bits de orden inferior va_0 y va_1 de la dirección vertical VA, la salida de la puerta NOR 25 se impulsa a un nivel L, provocando que el conmutador 22 seleccione su terminal 22a.

10 Como resultado, la unidad aritmética 23 recibe los datos (datos de almacenamiento) leídos por la sección de lectura 21 (en este caso, $0+h(4m,4n)$) a través del conmutador 22.

La unidad aritmética 23 suma los datos suministrados a través del conmutador 22 y el píxel $h(4m+1,4n)$ de la primera capa, y la suma resultante $(0+h(4m,4n)+h(4m+1,4n))$ se alimenta a la sección de escritura 24. La sección de escritura 24 escribe la salida de la unidad aritmética 23 en la dirección correspondiente a la señal a la que da salida el circuito suministrador de direcciones 1, a saber, la dirección (m,n) de la memoria de tercera capa 4.

20 En temporización con la alimentación del píxel $h(4m+2,4n)$ a la derecha del píxel $h(4m+1,4n)$ de la primera capa hacia la unidad aritmética 23, la sección de lectura 21 lee los datos (en este caso, $0+h(4m,4n)+h(4m+1,4n)$) almacenados en la dirección (m,n) de la memoria de tercera capa 4, y da salida a los mismos hacia el terminal 22a.

Puesto que los dos bits de orden inferior ha_0 y ha_1 de la dirección horizontal HA son respectivamente un 0 y un 1, siendo respectivamente 0 los dos bits de orden inferior va_0 y va_1 de la dirección vertical VA, la salida de la puerta NOR 25 se impulsa a un nivel L, provocando que el conmutador 22 seleccione su terminal 22a.

25 Como resultado, la unidad aritmética 23 recibe los datos (datos de almacenamiento) leídos por la sección de lectura 21 (en este caso, $0+h(4m,4n)+h(4m+1,4n)$) a través del conmutador 22.

30 La unidad aritmética 23 suma los datos suministrados a través del conmutador 22 y el píxel $h(4m+2,4n)$ de la primera capa, y la suma resultante $(0+h(4m,4n)+h(4m+1,4n)+h(4m+2,4n))$ se alimenta a la sección de escritura 24. La sección de escritura 24 escribe la salida de la unidad aritmética 23 en la dirección correspondiente a la señal a la que da salida el circuito suministrador de direcciones 1, a saber, la dirección (m,n) de la memoria de tercera capa 4.

35 En temporización con la alimentación de cada uno de los píxeles $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+1,4n+1)$, $h(4m+2,4n+1)$, $h(4m+3,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, $h(4m+1,4n+3)$, $h(4m+2,4n+3)$, y $h(4m+3,4n+3)$, de la primera capa hacia la unidad aritmética 23, se lleva a cabo la misma etapa de proceso que la descrita anteriormente, y la dirección (m,n) de la memoria de tercera capa 4 almacena finalmente el píxel (valor de píxel) $q(m,n)$ en la memoria de tercera capa 4, expresada por la ecuación (2).

40 De esta manera, la memoria de tercera capa 4 almacena la imagen de tercera capa construida con una pantalla de visualización de 128×128 píxeles.

45 Los datos de imagen de primera capa se almacenan mientras que los datos de imagen de segunda capa y los datos de imagen de tercera capa se generan y almacenan al mismo tiempo. En resumen, los datos de imagen de segunda y tercera capas se obtienen sobre la base de un tiempo real.

Puesto que la memoria de tercera capa 4 para almacenar la imagen de tercera capa lleva a cabo la función del circuito correspondiente a la línea de retardo convencional, no hay necesidad de dicho circuito, y en el dispositivo de almacenamiento se implementa un diseño compacto.

50 A continuación se describe la lectura de la imagen de tercera capa desde la memoria de tercera capa 4.

55 Durante una operación de lectura, el circuito suministrador de direcciones 1 alimenta, hacia los terminales de dirección de la memoria de segunda capa 3, por ejemplo, siete bits de orden superior ha_2 a ha_8 de la dirección horizontal HA o siete bits de orden superior va_2 a va_8 de la dirección vertical VA, suministradas al mismo, cuando la bandera jerárquica indica la tercera capa, mientras que da salida a los bits de orden inferior ha_0 y ha_1 y los dos bits de orden inferior va_0 y va_1 hacia el circuito de RMW 5 como señal de control.

60 La sección de lectura 21 recibe la bandera jerárquica, la señal de R/W y la salida de la puerta NOR 25 en el circuito de RMW 5. Con la señal de R/W que indica la operación de lectura y la bandera jerárquica que indica la tercera capa, la sección de lectura 21 lee y da salida a los datos de imagen almacenados en la dirección de la tercera capa, correspondiente a la señal a la que da salida el circuito suministrador de direcciones 1 únicamente cuando la salida de la puerta NOR 25 se encuentra en un nivel H.

65 A partir de la exposición anterior, cuando la combinación de la dirección horizontal HA y la dirección vertical VA es una de $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+1,4n+1)$, $h(4m+2,4n+1)$, $h(4m+3,4n+1)$,

$h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, $h(4m+1,4n+3)$, $h(4m+2,4n+3)$, y $h(4m+3,4n+3)$, el circuito suministrador de direcciones 1 da salida a la misma dirección (m,n) en cada una de las combinaciones. Si se leen datos simplemente a partir de la dirección de la memoria de tercera capa 4 correspondiente a la señal a la que da salida el circuito suministrador de direcciones 1, se leen los mismos datos de manera repetida 16 veces.

Por este motivo, la sección de lectura 21 lee el píxel (valor de píxel) $m(m,n)$ de la tercera capa a partir de la dirección (m,n) de la memoria de tercera capa 4 únicamente cuando la combinación de la dirección horizontal HA y la dirección vertical VA es $(4m,4n)$, a saber, cuando la salida de la puerta NOR 25 se encuentra en un nivel H.

Los datos de imagen de la tercera capa leídos por la sección de lectura 21 se alimentan hacia un conmutador 26. El conmutador 26 está activado únicamente cuando la señal de R/W indica la operación de lectura y esta desactivado el resto del tiempo. Puesto que en este momento el conmutador 26 está activado, a los datos de imagen de la tercera capa leídos por la sección de lectura 21 se les da salida a través del conmutador 26.

De esta manera, la imagen almacenada de tercera capa de una pantalla de visualización construida con 128×128 píxeles es leída desde el circuito de RMW 5. Así se da salida a una imagen de tercera capa escaneada secuencialmente.

La lectura de los datos de imagen de la segunda capa a partir de la memoria de segunda capa 3 se realiza según se ha descrito anteriormente. Alternativamente, la lectura de los datos de imagen se puede realizar permitiendo que el circuito suministrador de direcciones 1 presente los ocho bits de orden inferior $ha0$ a $ha7$ de la dirección horizontal HA y los ocho bits de orden inferior $va0$ a $va7$ de la dirección vertical VA, como la dirección de la memoria de segunda capa 3. De modo similar, la lectura de la imagen en la tercera capa desde la memoria de tercera capa 4 se puede realizar permitiendo que el circuito suministrador de direcciones 1 presente los siete bits de orden inferior $ha0$ a $ha6$ de la dirección horizontal HA y los siete bits de orden inferior $va0$ a $va6$ de la dirección vertical VA, como la dirección de la memoria de tercera capa 4.

Tal como ya se ha descrito en referencia a la FIG. 9, uno de los 2×2 píxeles vecinos $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$ de la primera capa, por ejemplo, el píxel inferior derecho $h(2s+1,2t+1)$, se determina a partir de los restantes píxeles $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$ de la primera capa y su suma, a saber el píxel $m(s,t)$ de la segunda capa.

Más específicamente, el píxel $h(2s+1,2t+1)$ de la primera capa se determina a partir de la siguiente ecuación.

$$h(2s+1,2t+1)=m(s,t)-(h(2s,2t)+h(2s+1,2t)+h(2s,2t+1))$$

Puesto que el píxel $h(2s+1,2t+1)$ de la primera capa se determina por lo tanto a partir de la ecuación anterior, no es necesario el almacenamiento del píxel.

La memoria de primera capa 2 se dispone sin la necesidad de la celda de memoria para almacenar el píxel $h(2s+1,2t+1)$, que es uno de los 2×2 píxeles $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$ de la primera capa.

En la descripción anterior, la memoria de primera capa 2 tiene por lo menos celdas de memoria con capacidad de almacenar datos de imágenes de 512×512 píxeles, aunque si el píxel $h(2s+1,2t+1)$ de la primera capa no se almacena, valen las celdas de memoria con capacidad de almacenar los datos de imágenes de $512 \times 512 \times 3/4$. En tal caso, la memoria de primera capa 2 tiene celdas de memoria (capacidad de memoria) correspondientes al número que se obtiene restando el número de direcciones en la memoria de segunda capa 3 (el número de píxeles 256×256) para una pantalla de la segunda capa) del número de píxeles para una pantalla de visualización de la imagen de la primera capa.

Uno de los 2×2 píxeles vecinos $m(2m,2n)$, $m(2m+1,2n)$, $m(2m,2n+1)$, y $m(2m+1,2n+1)$, de la segunda capa, por ejemplo, el píxel inferior derecho $m(2m+1,2n+1)$ se determina a partir de los píxeles restantes $m(2m,2n)$, $m(2m+1,2n)$, $m(2m,2n+1)$ de la segunda capa y su suma, a saber el píxel $q(m,n)$ de la tercera capa.

Más específicamente, el píxel $m(2m+1,2n+1)$ de la segunda capa se determina a partir de la siguiente ecuación.

$$m(2m+1,2n+1)=q(m,n)-(m(2m,2n)+m(2m+1,2n)+m(2m,2n+1))$$

Puesto que el píxel $m(2m+1,2n+1)$ de la segunda capa se determina por lo tanto a partir de la ecuación anterior, no es necesario el almacenamiento del píxel.

La memoria de segunda capa 3 se dispone por lo tanto sin necesidad de la celda de memoria para almacenar el píxel $m(2m+1,2n+1)$, que es uno de los 2×2 píxeles $m(2m,2n)$, $m(2m+1,2n)$, $m(2m,2n+1)$, y $m(2m+1,2n+1)$ de la segunda capa.

En la exposición anterior, la memoria de segunda capa 3 tiene por lo menos celdas de memoria con capacidad de almacenar datos de imágenes de 256×256 píxeles, aunque si el píxel $m(2m+1, 2n+1)$ de la primera capa no se almacena, valen las celdas de memoria con capacidad de almacenar los datos de imágenes de $256 \times 256 \times 3/4$. En tal caso, la memoria de segunda capa 3 tiene celdas de memoria correspondientes al número que se obtiene restando el número de direcciones en la memoria de tercera capa 4 (el número de píxeles (128×128) para una pantalla de la tercera capa) del número de píxeles para una pantalla de visualización de la imagen de segunda capa.

Incluso cuando la memoria de primera capa 2 y la memoria de segunda capa 3 tienen una capacidad de memoria menor según se ha descrito anteriormente, la escritura de datos de imagen en la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 se realiza según se ha descrito en referencia a las FIGS. 3 a 5. No obstante, en este caso, la memoria de primera capa 2 se presenta sin la celda de memoria para almacenar el píxel $h(2s+1, 2t+1)$ de la primera capa, a saber, sin la celda de memoria correspondiente a la dirección $(2s+1, 2t+1)$. Incluso si el circuito suministrador de direcciones 1 alimenta a la dirección $(2s+1, 2t+1)$ hacia la memoria de primera capa 2 mientras el circuito de RMW 5 alimenta el píxel $h(2s+1, 2t+1)$ de la primera capa, el píxel $h(2s+1, 2t+1)$ no se almacena en la memoria de primera capa 2.

De modo similar, la memoria de segunda capa 3 se presenta sin la celda de memoria para almacenar el píxel $m(2m+1, 2n+1)$ de la segunda capa, a saber, sin la celda de memoria correspondiente a la dirección $(2m+1, 2n+1)$. Incluso si el circuito suministrador de direcciones 1 alimenta la dirección $(2m+1, 2n+1)$ a la memoria de segunda capa 3 mientras el circuito de RMW 5 (sección de escritura 14 (FIG. 4)) alimenta el píxel $m(2m+1, 2n+1)$ de la segunda capa, el píxel $m(2m+1, 2n+1)$ no se almacena en la memoria de segunda capa 3.

Aunque la lectura de la imagen almacenada en la tercera capa en el dispositivo de almacenamiento se realiza de la misma manera que la descrita en referencia a la FIG. 5, la lectura de la imagen de la primera capa y la segunda capa se realiza de la manera siguiente.

La FIG. 6 muestra el dispositivo de almacenamiento de la FIG. 1, que tiene la memoria de primera capa 2 con su capacidad de memoria reducida cuando se realiza la operación de lectura de la imagen de primera capa.

En este caso, el circuito suministrador de direcciones 1 está construido con un circuito de retardo 31 y circuitos selectores 32 a 34. La dirección horizontal HA y la dirección vertical VA se alimentan al circuito de retardo 31, que retiene y da salida, por ejemplo, a los siete bits de orden superior va_2 a va_8 de la dirección vertical VA en una transición del tercer bit de orden inferior va_2 .

Específicamente, el circuito de retardo 31 detecta transiciones de 0 a 1 y 1 a 0 en el tercer bit de orden inferior va_2 de la dirección vertical VA, y retiene los bits de orden superior va_2 a va_8 de la dirección vertical VA inmediatamente anteriores a la transición, y a continuación les da salida junto con la dirección vertical restante y la dirección horizontal. La dirección horizontal HA y la dirección vertical VA a las que da salida el circuito de retardo 31 son la dirección horizontal HA y la dirección vertical VA suministradas al circuito suministrador de direcciones pero con un retardo de cuatro líneas ($=2^{3-1}$) introducido en ellas. Puesto que el circuito de retardo 31 simplemente retiene los siete bits de orden superior va_2 a va_8 de la dirección vertical VA, inmediatamente anteriores a la transición, cuando se produce la transición del tercer bit de orden inferior va_2 de la dirección vertical VA, el circuito de retardo 31 no es tan grande como el convencional para el retardo de línea de una imagen. El circuito de retardo 31 se puede construir con siete biestables para retener los siete bits de orden superior va_2 a va_8 de la dirección vertical VA, implementando un diseño compacto en el dispositivo.

A las primeras dirección vertical VA y dirección horizontal HA de cuatro líneas, generadas por el circuito de retardo 31 se les hace referencia respectivamente en adelante como dirección vertical retardada VA y dirección horizontal retardada HA (señal de dirección predeterminada) según sea necesario.

La dirección horizontal retardada HA y la dirección vertical retardada VA se alimentan al circuito selector 32. De entre la dirección horizontal retardada HA y la dirección vertical retardada VA, los ocho bits de orden superior ha_1 a ha_8 , excepto el bit menos significativo ha_0 , de la dirección horizontal retardada Ha, y los ocho bits de orden superior va_1 a va_8 , excepto el bit menos significativo va_0 , de la dirección vertical VA, se alimentan al circuito selector 33. Además, de entre la dirección horizontal retardada HA y la dirección vertical retardada VA, los siete bits de orden superior ha_2 a ha_8 , excepto los dos bits de orden inferior ha_0 y ha_1 , de la dirección horizontal retardada Ha, y los siete bits de orden superior va_2 a va_8 , excepto los dos bits de orden inferior va_0 y va_1 , de la dirección vertical VA, se alimentan al circuito selector 34.

El circuito selector 32 recibe la dirección horizontal HA y la dirección vertical VA, proporcionadas al circuito suministrador de direcciones 1, la dirección horizontal retardada HA, la dirección vertical retardada VA, y el tercer bit de orden inferior va_2 de la dirección vertical VA como señal de control. Como respuesta a la señal de control va_2 , el circuito selector 32 selecciona la dirección horizontal retardada HA y la dirección vertical retardada VA como una de una dirección del banco A y una dirección del banco B, y la dirección horizontal HA y la dirección vertical VA como la otra de la dirección del banco A y la dirección del banco B, para ser alimentadas respectivamente a terminales de direcciones del banco A y terminales de direcciones del banco B de la memoria de primera capa 2.

Supóngase que el circuito selector 32 selecciona, por ejemplo, la dirección horizontal retardada HA, y la dirección vertical retardada VA como dirección del banco A, y la dirección horizontal HA y la dirección vertical VA como dirección del banco B, y a continuación el circuito selector 32 vuelve a elegir la dirección horizontal retardada HA y la dirección vertical retardada VA como dirección del banco B y la dirección horizontal HA y la dirección vertical VA como dirección del banco A en el momento en el que se produce la transición de la señal de control va2. Cuando, posteriormente, es produce de nuevo la transición de la señal de control va2, el circuito selector 32 selecciona la dirección horizontal retardada HA y la dirección vertical retardada VA como dirección del banco A y la dirección horizontal HA y la dirección vertical VA como dirección del banco B. Cada vez que se produce una transición de la señal de control va2, la dirección horizontal retardada HA y la dirección vertical retardada VA alternan entre la dirección del banco A y la dirección del banco B mientras que la dirección horizontal HA y la dirección vertical VA alternan entre la dirección del banco B y la dirección del banco A.

El circuito selector 33 recibe, además de los ocho bits de orden superior ha1 a ha8 de la dirección horizontal retardada HA y los ocho bits de orden superior va1 a va8 de la dirección vertical retardada VA, los ocho bits de orden superior ha1 a ha8 de la dirección horizontal HA y los bits de orden superior va1 a va8 de la dirección vertical VA, proporcionadas al circuito suministrador de direcciones 1, y el tercer bit de orden inferior va2 de la dirección vertical VA como señal de control. Tal como en el circuito selector 32, en el circuito selector 33, cada vez que se produce una transición de la señal de control va2, los ocho bits de orden superior ha1 a ha8 de la dirección horizontal retardada HA y los ocho bits de orden superior va1 a va8 de la dirección vertical retardada VA alternan entre la dirección del banco A y la dirección del banco B mientras que los ocho bits de orden superior ha1 a ha8 de la dirección horizontal HA y los ocho bits de orden superior va1 a va8 de la dirección vertical VA alternan entre la dirección del banco B y la dirección del banco A.

Los bits seleccionados como dirección del banco A y dirección del banco B por parte del circuito selector 33 se alimentan respectivamente a terminales de direcciones del banco A y terminales de direcciones del banco B en la memoria de segunda capa 3.

El circuito selector 34 recibe, además de los siete bits de orden superior ha2 a ha8 de la dirección horizontal retardada HA y los siete bits de orden superior va2 a va8 de la dirección vertical retardada VA, los siete bits de orden superior ha2 a ha8 de la dirección horizontal HA y los siete bits de orden superior va2 a va8 de la dirección vertical VA, proporcionadas al circuito de suministro de direcciones 1, y el tercer bit de orden inferior va2 de la dirección vertical VA como señal de control. Tal como en el circuito selector 33, en el circuito selector 34, cada vez que se produce una transición de la señal de control va2, los siete bits de orden superior ha2 a ha8 de la dirección horizontal retardada HA y los siete bits de orden superior va2 a va8 de la dirección vertical retardada VA alternan entre la dirección del banco A y la dirección del banco B mientras que los siete bits de orden superior ha2 a ha8 de la dirección horizontal HA y los siete bits de orden superior va2 a va8 de la dirección vertical VA alternan entre la dirección del banco B y la dirección del banco A.

Los bits seleccionados como dirección del banco A y dirección del banco B por parte del circuito selector 34 son alimentados respectivamente a terminales de direcciones del banco A y terminales de direcciones del banco B en la memoria de tercera capa 4.

El espacio de direcciones de la memoria de primera capa 2 está dividido en dos bancos (bloques) de un banco A y un banco B en la forma de realización mostrada en la FIG. 6 (se cumple lo mismo en la FIG. 8 tal como se describirá a continuación). Específicamente, tal como se muestra en la FIG. 2, el área de memoria de la memoria de primera capa 2 para almacenar los píxeles sobre una línea 8α a una línea $8\alpha+3$ es el banco A y el área de memoria de la memoria de primera capa 2 para almacenar los píxeles sobre una línea $8\alpha+4$ a una línea $8\alpha+7$ es el banco B ($\alpha=0, 1, \dots, 63$).

Para permitir accesos simultáneos tanto al banco A como al banco B, hay disponibles dos terminales de direcciones, a saber, un terminal de direcciones (terminal de direcciones del banco A) para acceder al banco A y un terminal de direcciones (terminal de direcciones del banco B). El banco A y el banco B tienen respectivamente dos terminales de datos de banco A y dos terminales de datos de banco B, como terminales de entrada/salida para leer datos desde los mismos y escribir datos en ellos.

En la memoria de primera capa 2, se leen y escriben datos (datos del banco A) por medio de los terminales del banco A en la dirección (dirección del banco A) introducida en los terminales de direcciones del banco A mientras que se leen y escriben datos (datos del banco B) por medio de los terminales del banco B en la dirección (la dirección del banco B) introducida en los terminales de direcciones del banco B.

En esta forma de realización, la dirección horizontal retardada HA y la dirección vertical retardada VA son respectivamente la dirección horizontal HA y la dirección vertical VA excepto por un retardo de cuatro líneas introducido en las mismas (cuatro líneas en la imagen de primera capa). Cuando el circuito selector 32 selecciona, por ejemplo, la dirección horizontal HA y la dirección vertical VA como dirección del banco A y la dirección horizontal retardada HA y la dirección vertical retardada VA como dirección del banco B, se accede a las celdas de memoria de

la dirección del banco A correspondiente a la dirección horizontal HA y a la dirección vertical VA, aunque también se accede a las celdas de memoria de la dirección del banco B correspondiente a la dirección horizontal retardada HA y la dirección vertical retardada VA, a las que se accedió cuatro líneas antes.

Supóngase a continuación que la memoria de primera capa 2 está dividida en este momento en un área de memoria como banco A y un área de memoria como banco B tal como se muestra en la FIG. 7, y se accede a una celda de memoria en el banco A mientras que se accede al mismo tiempo a una celda de memoria en el banco B. Las celdas de memoria correspondientes en el banco A y el banco B a los que se ha accedido simultáneamente, están separadas por cuatro líneas en esta forma de realización. El motivo por el que las celdas de memoria correspondientes en el banco A y el banco B a los que se ha accedido simultáneamente están separadas por cuatro líneas es la siguiente: puesto que un único píxel en la tercera capa como capa jerárquica superior se corresponde con 4×4 píxeles en la primera capa en esta forma de realización, cada banco se basa preferentemente en por lo menos la unidad de 4×4 píxeles. El banco A y el banco B se alternan en este caso cada cuatro líneas. Alternativamente, el banco A y el banco B se pueden alternar cada cuatro columnas. El número de bancos no se limita a los dos bancos, banco A y banco B. Además, se forman bancos tanto en una dirección horizontal como en una dirección vertical, específicamente, en un patrón de cuadrícula.

Haciendo referencia de nuevo a la FIG. 6, tal como en la memoria de primera capa 2, el espacio de direcciones en la memoria de segunda capa 3 está dividido en dos bancos, el banco A y el banco B. Puesto que los números de píxeles en una dirección horizontal y en una dirección vertical para la imagen de segunda capa son respectivamente la mitad de los números de píxeles en una dirección horizontal y en una dirección vertical en la imagen de primera capa, el área de memoria de la memoria de segunda capa 3 para almacenar los píxeles en una línea 4α y una línea $4\alpha+1$ en la segunda capa es el banco A, y el área de memoria de la memoria de segunda capa 3 para almacenar los píxeles en una línea $4\alpha+2$ y una línea $4\alpha+3$ es el banco B.

Tal como en la memoria de primera capa 2, el espacio de direcciones en la memoria de tercera capa 4 está dividido en dos bancos, el banco A y el banco B. Puesto que los números de píxeles en una dirección horizontal y en una dirección vertical para la imagen de tercera capa son respectivamente $1/4$ los números de píxeles en una dirección horizontal y en una dirección vertical en la imagen de primera capa, el área de memoria de la memoria de tercera capa 4 para almacenar los píxeles en una línea 2α en la tercera capa es el banco A, y el área de memoria de la memoria de tercera capa 4 para almacenar los píxeles en una línea $2\alpha+1$ es el banco B.

Conectados a un circuito selector 41 se encuentran un terminal de datos de banco A y un terminal de datos de banco B, hacia los cuales se da salida respectivamente a datos (datos de banco A y datos de banco B) leídos desde el banco A y el banco B en la memoria de primera capa 2. El circuito suministrador de direcciones 1 alimenta el tercer bit de orden inferior $va2$ de la dirección vertical VA al circuito selector 41 como señal de control, y, como respuesta a la señal de control $va2$, el circuito selector 41 conecta uno de entre el terminal de datos del banco A y el terminal de datos del banco B a una sección de lectura 44 y el otro de entre el terminal de datos del banco A y el terminal de datos del banco B a una sección de lectura 45.

Cuando se produce una transición de la señal de control $va2$ en un instante de tiempo con el circuito selector 41 conectando el terminal de datos del banco A y el terminal de datos del banco B respectivamente a la sección de lectura 44 y la sección de lectura 45, el terminal de datos del banco A y el terminal de datos del banco B se reconectan respectivamente a la sección de lectura 45 y la sección de lectura 44. Cuando la señal de control $va2$ realiza nuevamente una transición, el circuito selector 41 conecta de nuevo el terminal de datos del banco A y el terminal de datos del banco B a la sección de lectura 44 y la sección de lectura 45, respectivamente. Cada vez que se produce una transición de la señal de control $va2$, el circuito selector 41 alterna la conexión del terminal de datos del banco A a entre la sección de lectura 44 y la sección de lectura 45 al mismo tiempo que alterna la conexión del terminal de datos del banco B a entre la sección de lectura 45 y la sección de lectura 44.

Conectados a un circuito selector 42 se encuentran un terminal de datos de banco A hacia el cual se alimentan los datos a escribir en el banco A de la memoria de segunda capa 3, un terminal de datos de banco A desde el cual se da salida a los datos leídos desde el banco A, un terminal de datos de banco B hacia el cual se alimentan los datos que se van a escribir en el banco B, y un terminal de datos de banco B desde el cual se da salida a los datos leídos desde el banco B. Al circuito selector 42 se le suministra también el tercer bit de orden inferior $va2$ de la dirección vertical VA desde el circuito suministrador de direcciones 1 como señal de control, y, como respuesta a la señal de control $va2$, el circuito selector 42 conecta unos de los terminales de datos de banco A y los terminales de datos de banco B a una sección de escritura 46 y una sección de lectura 47 mientras que conecta el otro de los terminales de datos de banco A y los terminales de datos de banco B a una sección de escritura 48 y una sección de lectura 49.

Cuando se produce una transición de la señal de control $va2$ en un instante de tiempo con el circuito selector 42 conectando los terminales de datos del banco A a la sección de escritura 46 y la sección de lectura 47 y los terminales de datos de banco B a la sección de escritura 48 y la sección de lectura 49, los terminales de datos del banco A se reconectan a la sección de escritura 48 y la sección de lectura 49 mientras que los terminales de datos del banco B se reconectan a la sección de escritura 46 y la sección de lectura 47. Cuando se produce nuevamente una transición de la señal de control $va2$, el circuito selector 42 conecta de nuevo los terminales de datos del banco

A a la sección de escritura 46 y la sección de lectura 47 mientras se conectan los terminales de datos del banco B a la sección de escritura 48 y la sección de lectura 49. Cada vez que se produce una transición de la señal de control va2, el circuito selector 42 alterna la conexión de los terminales de datos del banco A a entre la sección de escritura 46 y la sección de lectura 47, y la sección de escritura 48 y la sección de lectura 49 mientras que alterna la conexión de los terminales de datos del banco B a entre la sección de escritura 48 y la sección de lectura 49 y la sección de escritura 46 y la sección de lectura 47.

Conectados a un circuito selector 43 se encuentran un terminal de datos de banco A hacia el cual se alimentan los datos a escribir en el banco A de la memoria de tercera capa 4, un terminal de datos de banco A desde el cual se da salida a los datos leídos desde el banco A, un terminal de datos de banco B hacia el cual se alimentan los datos que se van a escribir en el banco B, y un terminal de datos de banco B desde el cual se da salida a los datos leídos del banco B. Al circuito selector 43 se le suministra también el tercer bit de orden inferior va2 de la dirección vertical VA desde el circuito suministrador de direcciones 1 como señal de control. De la misma manera que en el circuito selector 42, como respuesta a la señal de control va2, el circuito selector 43 alterna la conexión de los terminales de datos del banco A a entre una sección de escritura 50 y una sección de escritura 51, y una sección de escritura 52 y una sección de lectura 53 mientras que alterna la conexión de los terminales de datos del banco B a entre la sección de escritura 52 y la sección de lectura 53, y la sección de escritura 50 y la sección de lectura 51.

La sección de lectura 44 y la sección de lectura 45 leen datos desde la memoria de primera capa 2 por medio del circuito selector 41. Los datos leídos por la sección de lectura 44 se alimentan a una unidad aritmética 54 y a un circuito selector 58, y se alimentan también a una unidad aritmética 56 por medio de un conmutador 61. Los datos leídos por la sección de lectura 45 se alimentan a las unidades aritméticas 55 y 57. La sección de escritura 46 escribe la salida de la unidad aritmética 54 en la memoria de segunda capa 3 por medio del circuito selector 42. La sección de lectura 47 lee datos desde la memoria de segunda capa 3 por medio del circuito selector 42, y alimenta los datos a la unidad aritmética 54 y el circuito selector 58. La sección de escritura 48 escribe la salida de la unidad aritmética 55 en la memoria de segunda capa 3 por medio del circuito selector 42. La sección de lectura 49 lee datos desde la memoria de segunda capa 3 por medio del circuito selector 42, y alimenta los datos hacia la unidad aritmética 55 y un conmutador 62. La sección de escritura 50 escribe la salida de la unidad aritmética 56 en la memoria de tercera capa 4 por medio del circuito selector 43. La sección de lectura 51 lee datos desde la memoria de tercera capa 4 por medio del circuito selector 43, y alimenta los datos hacia la unidad aritmética 56 y el circuito selector 58. La sección de escritura 52 escribe la salida de la unidad aritmética 57 en la memoria de tercera capa 4 por medio del circuito selector 43. La sección de lectura 53 lee datos desde la memoria de tercera capa 4 por medio del circuito selector 43 y alimenta los datos hacia la unidad aritmética 57.

La unidad aritmética 54 resta la salida de la sección de lectura 44 de la salida de la sección de lectura 47, y alimenta la diferencia hacia la sección de escritura 46. La unidad aritmética 55 suma las salidas de la sección de lectura 45 y la sección de lectura 49, y alimenta la suma hacia la sección de escritura 48. La unidad aritmética 56 resta la señal suministrada por el conmutador 61 de la salida de la sección de lectura 51, y alimenta la diferencia hacia la sección de escritura 50. La unidad aritmética 57 suma las salidas de la sección de lectura 45 y la sección de lectura 53, y alimenta la suma hacia la sección de escritura 52. La unidad aritmética 57 suma también la salida de la sección de lectura 49 en su operación de suma cuando el conmutador 62 está activado y cuando la sección de lectura 49 proporciona su salida.

El circuito selector 58 selecciona una de las salidas de la sección de lectura 44, la sección de lectura 47 y la sección de lectura 51 como respuesta a las salidas de las puertas AND 59 y 60. La puerta AND 59 recibe el bit menos significativo ha0 de la dirección horizontal HA y el bit menos significativo va0 de la dirección vertical VA como señales de control desde el circuito suministrador de direcciones 1, calcula su producto lógico y lo alimenta hacia el circuito selector 58. La puerta AND 60 recibe el segundo bit de orden inferior ha1 de la dirección horizontal HA y el segundo bit de orden inferior va1 de la dirección vertical VA suministradas al circuito suministrador de direcciones 1 como señales de control, calcula su producto lógico y lo alimenta hacia el circuito selector 58.

En función de la salida de la puerta AND 59, el conmutador 61 selecciona entre su terminal 61a y su terminal 61b. A los terminales 61a y 61b se les suministran la salida de la sección de lectura 44 y la salida de la sección de lectura 47, respectivamente. En función de la salida de una puerta NOR 63, el conmutador 62 se activa y desactiva para conducir la salida de la sección de lectura 49 hacia la unidad aritmética 57. Igual que la puerta AND 59, la puerta NOR 63 recibe los bits menos significativos ha0 y va0, y su salida on/off controla al conmutador 62.

Así, el circuito de RMW 5 está construido con los circuitos selectores 41 a 43, las secciones de lectura 44 y 45, la sección de escritura 46, la sección de lectura 47, la sección de escritura 48, la sección de lectura 49, la sección de escritura 50, la sección de lectura 51, la sección de escritura 52, la sección de lectura 53, las unidades aritméticas 54 a 57, el circuito selector 58, las puertas AND 59 y 60, los conmutadores 61 y 62, la puerta NOR 63.

El reloj, la señal de R/W y la bandera jerárquica se omiten en la FIG. 6 (se cumple lo mismo en la FIG. 8 que se describirá a continuación).

A continuación se describe el funcionamiento del circuito de RMW 5.

Supóngase a continuación que el circuito selector 32 selecciona la dirección horizontal HA y la dirección vertical VA, suministradas al circuito suministrador de direcciones 1, como dirección del banco A, y la dirección horizontal retardada HA y la dirección vertical retardada VA como dirección del banco B.

De modo similar, los circuitos selectores 33 y 34 seleccionan la dirección del banco A y la dirección del banco B. Específicamente, el circuito selector 33 selecciona los ocho bits de orden superior ha1 a ha8 de la dirección horizontal HA y los ocho bits de orden superior va1 a va8 de la dirección vertical VA como dirección del banco A, y los ocho bits de orden superior ha1 a ha8 de la dirección horizontal retardada HA y los ocho bits de orden superior va1 a va8 de la dirección vertical retardada VA como dirección del banco B. El circuito selector 34 selecciona los siete bits de orden superior ha2 a ha8 de la dirección horizontal HA y los siete bits de orden superior va2 a va8 de la dirección vertical VA como dirección del banco A, y los siete bits de orden superior ha2 a ha8 de la dirección horizontal retardada HA y los siete bits de orden superior va2 a va8 de la dirección vertical retardada VA como dirección del banco B.

La dirección del banco A y la dirección del banco B seleccionadas en los circuitos selectores 32 a 34 se alimentan respectivamente a los terminales de direcciones de banco A y los terminales de direcciones de banco B de la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4.

En el circuito selector 41, el terminal de datos del banco A de la memoria de primera capa 2 está conectado a la sección de lectura 44 mientras que el terminal de datos del banco B está conectado a la sección de lectura 45. En el circuito selector 42, los terminales de datos del banco A de la memoria de segunda capa 3 están conectados a la sección de escritura 46 y a la sección de lectura 47 mientras que los terminales de datos del banco B están conectados a la sección de escritura 48 y a la sección de lectura 49. En el circuito selector 43, los terminales de datos del banco A de la memoria de tercera capa 4 están conectados a la sección de escritura 50 y a la sección de lectura 51 mientras que los terminales de datos del banco B están conectados a la sección de escritura 52 y a la sección de lectura 53.

La sección de lectura 44 lee, por medio del circuito selector 41, un píxel (valor de píxel) de la primera capa, almacenado en una dirección de banco A a la que da salida el circuito selector 32, y lo alimenta hacia la unidad aritmética 54, el circuito selector 58, y el terminal 61a del conmutador 61.

El circuito selector 58 selecciona y da salida a la salida de la sección de lectura 44 como un píxel de la primera capa cuando la salida de la puerta AND 59 no es un 1 (a saber, un 0). Específicamente, que la salida de la puerta AND 59 no sea un 1 significa que por lo menos uno de ha0 y va0 es un 0, y significa la temporización con la que se lee cualquiera de los tres píxeles $h(2s,2t)$, $h(2s+1,2t)$ y $h(2s,2t+1)$ excepto el píxel derecho inferior $h(2s+1,2t+1)$, de entre cuatro píxeles 2×2 de $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$, de la primera capa, representados por D1 tal como se muestra en la FIG. 2. Puesto que cualquiera de $h(2s,2t)$, $h(2s+1,2t)$ y $h(2s,2t+1)$ se almacena en la memoria de capa 2, el valor leído desde la memoria de primera capa 2, tal como es, se selecciona y se le da salida por medio del circuito selector 58.

La sección de lectura 47 lee, por medio del circuito selector 42, un píxel de segunda capa (valor de píxel) de la segunda capa almacenado en una dirección de banco A a la que da salida el circuito selector 33, y lo alimenta hacia la unidad aritmética 54, el circuito selector 58 y el terminal 61b del conmutador 61.

En temporización con el acceso a cualquiera de los cuatro píxeles 2×2 de $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$ de la primera capa, a saber, en temporización con el acceso a cualquiera de la dirección del banco A $(2s,2t)$, $(2s+1,2t)$, $(2s,2t+1)$, y $(2s+1,2t+1)$ en la memoria de primera capa 2, se accede a la dirección del banco A (s,t) de la memoria de segunda capa 3.

Cuando la sección de lectura 44 lee uno de los píxeles $h(2s,2t)$, $h(2s+1,2t)$, y $h(2s,2t+1)$ desde la memoria de primera capa 2 y lo alimenta hacia la unidad aritmética 54, la sección de lectura 47 lee los datos de la dirección del banco A (s,t) de la memoria de segunda capa 3 y los alimenta hacia la unidad aritmética 54.

La unidad aritmética 54 resta la salida de la sección de lectura 44 con respecto a la salida de la sección de lectura 47, y alimenta la diferencia hacia la sección de escritura 46. La sección de escritura 46 escribe la salida de la unidad aritmética 54 en la dirección del banco A (s,t) de la memoria de segunda capa 3 por medio del circuito selector 42.

El píxel de segunda capa $m(s,t)$, que es la suma de los cuatro píxeles 2×2 de $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$ de la primera capa, se almacena inicialmente en la dirección del banco A (s,t) de la memoria de segunda capa 3. Cuando la sección de lectura 44 lee el píxel $h(2s,2t)$ de la primera capa mientras la sección de lectura 47 lee los datos (en este caso, $m(s,t)$) almacenados en la dirección del banco A (s,t) de la memoria de segunda capa 3, la unidad aritmética 54 determina la diferencia $(m(s,t)-h(2s,2t))$ entre ellos, y la sección de escritura 46 la escribe en la dirección del banco A (s,t) de la memoria de segunda capa 3.

Cuando la sección de lectura 44 lee el píxel $h(2s+1,2t)$ de la primera capa, la sección de lectura 47 lee los datos (en

este caso, $m(s,t)-h(2s,2t)$ almacenados en la dirección del banco A (s,t) de la memoria de segunda capa 3. La unidad aritmética 54 determina la diferencia $(m(s,t)-h(2s,2t)-h(2s+1,2t))$ entre ellos y la sección de escritura 46 la escribe en la dirección del banco A (s,t) de la memoria de segunda capa 3.

5 Cuando la sección de lectura 44 lee el píxel $h(2s,2t+1)$ de la primera capa, la sección de lectura 47 lee los datos (en este caso, $m(s,t)-h(2s,2t)-h(2s+1,2t)$) almacenados en la dirección del banco A (s,t) de la memoria de segunda capa 3. La unidad aritmética 54 determina la diferencia $(m(s,t)-h(2s,2t)-h(2s+1,2t)-h(2s,2t+1))$ entre ellos y la sección de escritura 46 la escribe en la dirección del banco A (s,t) en la memoria de segunda capa 3. Finalmente, el píxel de primera capa $h(2s+1,2t+1)=(m(s,t)-h(2s,2t)-h(2s+1,2t)-h(2s,2t+1))$ se escribe en la dirección del banco A (s,t) en la memoria de segunda capa 3.

Los datos que leen la sección de lectura 47 desde la dirección del banco A (s,t) en la memoria de segunda capa 3, en temporización con el acceso a la dirección del banco A $(2s+1,2t+1)$ de la memoria de primera capa 2 (no hay ninguna celda de memoria correspondiente a esta dirección, e incluso si se realiza un intento de acceder a esta dirección, no se escribe nada en la misma y no se lee nada desde la misma), son el píxel derecho inferior (valor de píxel) $h(2s+1,2t+1)$, de entre cuatro píxeles 2×2 de $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$ en la primera capa, representados por D1 tal como se muestra en la FIG. 2 (excluyendo $h(4m+3,4n+3)$).

El circuito selector 58 selecciona y da salida a la salida de la sección de lectura 44, como un píxel, en la primera capa cuando la salida de la puerta AND 59 solamente (de las dos salidas de la puerta AND 59 y la puerta AND 60) es un 1 (por lo tanto, la salida de la puerta AND 60 es un 0). Específicamente, que la salida de la puerta AND 59 solamente sea un 1 significa que tanto $ha0$ como $va0$ son 1's y que $ha1$ y/o $va1$ son un 0, y significa la temporización con la que se lee el píxel derecho inferior $h(2s+1,2t+1)$, de entre los cuatro píxeles 2×2 de $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$, en la primera capa representados por D1 según se muestra en la FIG. 2 (excluyendo $h(4m+3,4n+3)$). Tal como se ha descrito anteriormente, el píxel $h(2s+1,2n+1)$ se lee de la dirección del banco A (s,t) en la memoria de segunda capa 3 por medio de la sección de lectura 47, y la salida de la sección de lectura 47 se selecciona y se le da salida por medio del circuito selector 58.

La sección de lectura 51 lee, a través del circuito selector 43 desde la memoria de tercera capa 4, un píxel (valor de píxel) en la tercera capa, almacenado en la dirección del banco A, a la que ha dado salida el circuito selector 34, y lo alimenta hacia la unidad aritmética 56 y el circuito selector 58.

En temporización con el acceso a cada uno de los 16 píxeles de 4×4 de $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+1,4n+1)$, $h(4m+2,4n+1)$, $h(4m+3,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, $h(4m+1,4n+3)$, $h(4m+2,4n+3)$, y $h(4m+3,4n+3)$, de la primera capa, representados por D2 tal como se muestra en la FIG. 2, según se ha descrito anteriormente, se accede a la dirección del banco A (m,n) de la memoria de tercera capa 4.

Cuando la sección de lectura 44 lee cada uno de los píxeles $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+2,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, y $h(4m+2,4n+3)$, en la memoria de primera capa 2, excluyendo el píxel derecho inferior $h(2s+1,2t+1)$ de los 2×2 píxeles de primera capa, y lo alimenta hacia el terminal 61a, la sección de lectura 51 lee datos de la dirección del banco A (m,n) en la memoria de tercera capa 4 y los alimenta hacia la unidad aritmética 56.

El conmutador 61 selecciona su terminal 61a cuando la salida de la puerta AND 59 es un 0. Cada uno de los píxeles $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+2,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, y $h(4m+2,4n+3)$, de la primera capa, a los que da salida la sección de lectura 44, se alimenta hacia la unidad aritmética 56 a través del conmutador 61.

Cuando la sección de lectura 47 da salida a píxeles $h(4m+1,4n+1)$, correspondientes al píxel inferior derecho $h(2s+1,2t+1)$ de los 2×2 píxeles de la primera capa, $h(4m+3,4n+1)$, y $h(4m+1,4n+3)$, cuando la salida de la puerta AND 59 es un 1, el conmutador 61 está diseñado para seleccionar su terminal 61b. Los píxeles $h(4m+1,4n+1)$, $h(4m+3,4n+1)$, y $h(4m+1,4n+3)$ obtenidos a la salida de la sección de lectura 47 se alimentan hacia la unidad aritmética 56 a través del conmutador 61.

La unidad aritmética 56 resta la salida del conmutador 61 con respecto a la salida de la sección de lectura 51, y alimenta la diferencia hacia la sección de escritura 50. La sección de escritura 50 escribe la salida de la unidad aritmética 56 en la dirección del banco A, (m,n) de la memoria de tercera capa 4 a través del circuito selector 43.

El píxel de tercera capa $q(m,n)$, que es la suma de los 16 píxeles de 4×4 de la primera capa, se almacena inicialmente en la dirección del banco A (m,n) en la memoria de tercera capa 4. Cuando la sección de lectura 44 lee el píxel $h(4m,4n)$ en la primera capa, la sección de lectura 51 lee los datos (en este caso, $q(m,n)$) almacenados en la dirección del banco A (m,n) en la memoria de tercera capa 4. La unidad aritmética 56 determina la diferencia $(q(m,n)-h(4m,4n))$ entre ellos y la sección de escritura 50 la escribe en la dirección del banco A (m,n) de la memoria de tercera capa 4.

Cuando la sección de lectura 44 lee el píxel $h(4m+1,4n)$ de la primera capa, la sección de lectura 51 lee los datos (en este caso, $q(m,n)-h(4m,4n)$) almacenados en la dirección del banco A (m,n) de la memoria de tercera capa 4. La unidad aritmética 56 determina la diferencia $(q(m,n)-h(4m,4n)-h(4m+1,4n))$ entre ellos y la sección de escritura 50 la escribe en la dirección del banco A (m,n) de la memoria de tercera capa 4.

De modo similar, posteriormente se reescribe de manera repetida el valor almacenado en la dirección del banco A (m,n) en la memoria de tercera capa 4.

Al leer el píxel de primera capa $h(4m+1,4n+1)$, correspondiente al píxel derecho inferior $h(2s+1,2t+1)$ en los 2×2 píxeles de la primera capa, la sección de lectura 47 lo alimenta hacia la unidad aritmética 56 a través del conmutador 61 tal como ya se ha descrito. A continuación, la dirección del banco A en la memoria de tercera capa 4 almacena los datos expresados por la ecuación $q(m,n)-h(4m,4n)-h(4m+1,4n)-h(4m+2,4n)-h(4m+3,4n)-h(4m,4n+1)$, y la sección de lectura 51 lee los datos y los alimenta hacia la unidad aritmética 56.

La unidad aritmética 56 resta la salida de la sección de salida 47 con respecto a la salida de la sección de lectura 51, y la sección de escritura 50 escribe la diferencia $(q(m,n)-h(4m,4n)-h(4m+1,4n)-h(4m+2,4n)-h(4m+3,4n)-h(4m,4n+1)-h(4m+1,4n+1))$ en la dirección del banco A (m,n) en la memoria de tercera capa 4.

Finalmente, cuando la sección de lectura 44 lee el píxel $h(4m+2,4n+3)$ de la primera capa, la sección de lectura 51 lee los datos almacenados en la dirección del banco A en la memoria de tercera capa 4 (en este caso, $q(m,n)-h(4m,4n)-h(4m+1,4n)-h(4m+2,4n)-h(4m+3,4n)-h(4m,4n+1)-h(4m+1,4n+1)-h(4m+2,4n+1)-h(4m+3,4n+1)-h(4m,4n+2)-h(4m+1,4n+2)-h(4m+2,4n+2)-h(4m+3,4n+2)-h(4m,4n+3)-h(4m+1,4n+3)$). La unidad aritmética 56 determina la diferencia entre ellos, y la sección de escritura 50 escribe la diferencia en la dirección del banco A (m,n) en la memoria de tercera capa 4. Específicamente, el píxel $(4m+3,4n+3)$ de la primera capa $(= q(m,n)-h(4m,4n)-h(4m+1,4n)-h(4m+2,4n)-h(4m+3,4n)-h(4m,4n+1)-h(4m+1,4n+1)-h(4m+2,4n+1)-h(4m+3,4n+1)-h(4m,4n+2)-h(4m+1,4n+2)-h(4m+2,4n+2)-h(4m+3,4n+2)-h(4m,4n+3)-h(4m+1,4n+3)-h(4m+2,4n+3))$ se escribe en la dirección del banco A (m,n) en la memoria de tercera capa 4.

Los datos que la sección de lectura 51 lee a partir de la dirección del banco A (m,n) en la memoria de tercera capa 4, en temporización con el acceso a la dirección del banco A $(4m+3,4n+3)$ en la memoria de primera capa 2 (no existe ninguna celda de memoria correspondiente a esta dirección, e incluso si se realiza un intento de acceder a esta dirección, no se escribe nada en ella y no se lee nada de ella), son el píxel derecho inferior (valor de píxel) $h(4m+3,4n+3)$, de entre los 16 píxeles de 4×4 de la primera capa, representados por D2 tal como se muestra en la FIG. 2.

El circuito selector 58 selecciona y da salida a la salida de la sección de lectura 51 como un píxel de primera capa cuando las salidas tanto de la puerta AND 59 como de la puerta AND 60 son 1's. Específicamente, que las salidas tanto de la puerta AND 59 como de la puerta AND 60 sean 1's significa que la totalidad de $ha0$, $va0$, $ha1$, y $va1$ son 1's, y significa la temporización con la que se lee el píxel derecho inferior $(4m+3,4n+3)$ de los 16 píxeles de 4×4 de la primera capa. La sección de lectura 51 lee el píxel $h(4m+3,4n+3)$ a partir de la dirección del banco A (m,n) en la memoria de tercera capa 4, y el circuito selector 58 selecciona y da salida a la salida de la sección de lectura 51.

Cuando los píxeles de la primera capa se leen de esta manera, la memoria de segunda capa 3 almacena el píxel de primera capa $h(2s+1,2t+1)$ (excluyendo $h(4m+3,4n+3)$), y la memoria de tercera capa 4 almacena el píxel de primera capa $h(4m+3,4n+3)$.

Los píxeles de la primera capa se reescriben, sustituyendo los valores almacenados de la memoria de segunda capa 3 y la memoria de tercera capa 4.

Los valores, así reescritos, de la memoria de segunda capa 3 y la memoria de tercera capa 4 necesitan ser restablecidos a sus píxeles originales en la memoria de segunda capa 3 y la memoria de tercera capa 4 (si no fuera necesario, los mismos se pueden dejar sin aplicar un restablecimiento).

Tal como ya se ha descrito, la memoria de primera capa 2 se divide en el banco A para almacenar los píxeles en la línea 8α a la línea $8\alpha+3$ y el banco B para almacenar los píxeles en la línea $8\alpha+4$ a la línea $8\alpha+7$. La memoria de segunda capa 3 se divide en el banco A para almacenar los píxeles en la línea 4α y la línea $4\alpha+1$ de la segunda capa, y el banco B para almacenar los píxeles en la línea $4\alpha+2$ y la línea $4\alpha+3$ en la segunda capa, y la memoria de tercera capa 4 se divide en el banco A para almacenar los píxeles en la línea 2α en la tercera capa y el banco B para almacenar los píxeles en la línea $2\alpha+1$.

En esta forma de realización, la dirección horizontal retardada HA y la dirección vertical retardada VA son respectivamente la dirección horizontal HA y la dirección vertical VA aunque con un retardo de cuatro líneas introducido en ellas. Tal como ya se ha descrito anteriormente, cuando la dirección horizontal HA y la dirección vertical VA se seleccionan como la dirección del banco A mientras la dirección horizontal retardada HA y la dirección vertical retardada VA se están seleccionando como la dirección del banco B, se accede a una celda de memoria en

el banco A para la dirección horizontal HA y la dirección vertical VA en la memoria de primera capa 2, y al mismo tiempo, se accede también a una celda de memoria en el banco B (la celda de memoria del banco B correspondiente a la posición de la celda de memoria del banco A) para la dirección horizontal retardada HA y la dirección vertical retardada VA.

De modo similar, en la memoria de segunda capa 3, se accede a una celda de memoria en el banco A mientras se accede a una celda de memoria en el banco B, a la cual se accedió dos líneas antes. En la memoria de tercera capa 4, se accede a una celda de memoria en el banco A mientras se accede a una celda de memoria en el banco B, a la cual se accedió una línea antes.

Cuando la sección de lectura 44 lee cada uno de los píxeles $h(2s,2t)$, $h(2s+1,2t)$, y $h(2s,2t+1)$ del banco A en la memoria de primera capa 2, la sección de lectura 45 lee, a través del circuito selector 41, cada uno de los píxeles $h(2s,2t')$, $h(2s+1,2t')$, y $h(2s,2t'+1)$ del banco B en la memoria de primera capa, a los que se accedió cuatro líneas antes, y lo alimenta hacia la unidad aritmética 55. En este caso, $t'=t-2$.

Cuando la sección de lectura 45 lee cada uno de los píxeles $h(2s,2t')$, $h(2s+1,2t')$, y $h(2s,2t'+1)$ del banco B en la memoria de primera capa 2, la sección de lectura 49 lee, a través del circuito selector 42, los datos de la dirección (dirección predeterminada) (s,t') en el banco B de la memoria de segunda capa 3 y alimenta los datos hacia la unidad aritmética 55.

La unidad aritmética 55 suma la salida de la sección de lectura 45 y la salida de la sección de lectura 49 y alimenta la suma hacia la sección de escritura 48. La sección de escritura 48 escribe la salida de la unidad aritmética 55 en la dirección del banco B (s,t') de la memoria de segunda capa 3 a través del circuito selector 42.

La dirección del banco B (s,t') en la memoria de segunda capa 3 almacena inicialmente el píxel de primera capa $h(2s+1,2t'+1)$ que se determinó accediendo al mismo dos líneas antes en la segunda capa (cuatro líneas antes en la primera capa). Cuando la sección de lectura 45 lee el píxel de primera capa $h(2s,2t')$ del banco B en la memoria de primera capa 2, la sección de lectura 49 lee los datos (en este caso, $h(2s+1,2t'+1)$) almacenados en la dirección del banco B (s,t') en la memoria de segunda capa 3. La unidad aritmética 55 determina la suma de los mismos $(h(2s,2t')+h(2s+1,2t')+h(2s+1,2t'+1))$ y la sección de escritura 48 la escribe en la dirección del banco B (s,t') en la memoria de segunda capa 3.

Además, cuando la sección de lectura 45 lee el píxel de primera capa $h(2s+1,2t')$ del banco B en la memoria de primera capa 2, la sección de lectura 49 lee los datos (en este caso, $h(2s,2t')+h(2s+1,2t'+1)$) almacenados en la dirección del banco B (s,t') en la memoria de segunda capa 3. La unidad aritmética 55 determina la suma de los mismos $(h(2s,2t')+h(2s+1,2t')+h(2s+1,2t'+1))$ y la sección de escritura 48 la escribe en la dirección del banco B (s,t') en la memoria de segunda capa 3.

Cuando la sección de lectura 45 lee el píxel de primera capa $h(2s,2t'+1)$ del banco B de la memoria de primera capa 2, la sección de lectura 49 lee los datos (en este caso, $h(2s,2t')+h(2s+1,2t')+h(2s+1,2t'+1)$) almacenados en la dirección del banco B (s,t') en la memoria de segunda capa 3. La unidad aritmética 55 determina la suma de los mismos $(h(2s,2t')+h(2s+1,2t')+h(2s,2t'+1)+h(2s+1,2t'+1))$ y en la sección de escritura 48 la escribe en la dirección del banco B (s,t') en la memoria de segunda capa 3. Escrito en la dirección del banco B (s,t') en la memoria de segunda capa 3 se encuentra el píxel de segunda capa original $m(s,t')$
 $(=h(2s,2t')+h(2s+1,2t')+h(2s,2t'+1)+h(2s+1,2t'+1))$.

Cuando la sección de lectura 44 lee, desde el banco A en la memoria de primera capa 2, cada uno de los píxeles de primera capa $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+2,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, y $h(4m+2,4n+3)$ en la primera capa, excepto el píxel derecho inferior $h(2s+1,2t+1)$ de los 2×2 píxeles en la primera capa, la sección de lectura 45 lee, por medio del circuito selector 41 desde el banco B en la memoria de primera capa 2, cada uno de los píxeles de primera capa cuatro líneas antes $h(4m,4n')$, $h(4m+1,4n')$, $h(4m+2,4n')$, $h(4m+3,4n')$, $h(4m,4n'+1)$, $h(4m+2,4n'+1)$, $h(4m,4n'+2)$, $h(4m+1,4n'+2)$, $h(4m+2,4n'+2)$, $h(4m+3,4n'+2)$, $h(4m,4n'+3)$, y $h(4m+2,4n'+3)$ y lo alimenta hacia la unidad aritmética 57. En este caso, $n'=n-1$.

La sección de lectura 53 lee los datos de la dirección del banco B (m,n') en la memoria de tercera capa 4 por medio del circuito selector 43, y los alimenta hacia la unidad aritmética 57.

La salida de la sección de lectura 49 se alimenta a la unidad aritmética 57 a través del conmutador 62. El conmutador 62 está activado únicamente cuando la salida de la puerta NOR 63 se encuentra en un nivel H ($ha0=va0=0$), y está desactivado el resto del tiempo. Por lo tanto, el conmutador 62 está activado únicamente cuando la sección de lectura 49 lee cada uno de los primeros píxeles de capa $h(4m+1,4n'+1)$, $h(4m+3,4n'+1)$, y $h(4m+1,4n'+3)$ desde el banco B en la memoria de segunda capa 3 y, como consecuencia, los píxeles de primera capa $h(4m+1,4n'+1)$, $h(4m+3,4n'+1)$, y $h(4m+1,4n'+3)$ se alimentan a la unidad aritmética 57 a través del conmutador 62.

La unidad aritmética 57 suma la salida de la sección de lectura 45 y la salida de la sección de lectura 53, y además suma la salida de la sección de lectura 49 en la operación de suma cuando el conmutador 62 se activa y cuando la sección de lectura 49 proporciona su salida, y la suma resultante se alimenta a la sección de escritura 52. La sección de escritura 52 escribe la salida de la unidad aritmética 57 en la dirección del banco B (m, n') en la memoria de tercera capa 4 a través del circuito selector 43.

La dirección del banco A (m, n') en la memoria de tercera capa 4 almacena inicialmente el píxel de primera capa $h(4m+3, 4n'+3)$ que se determinó accediendo al mismo una línea antes en la tercera capa (cuatro líneas antes en la primera capa). Cuando la sección de lectura 45 y la sección de lectura 49 leen el píxel de primera capa $h(4m, 4n')$ y $h(4m+1, 4n'+1)$, respectivamente, la sección de lectura 53 lee los datos (en este caso, $h(4m+3, 4n'+3)$) almacenados en la dirección del banco B (m, n') en la memoria de tercera capa 4. La unidad aritmética 57 determina la suma de los mismos ($h(4m, 4n') + h(4m+1, 4n'+1) + h(4m+3, 4n'+3)$), y la sección de escritura 52 la escribe en la dirección del banco B (m, n') en la memoria de tercera capa 4.

Cuando la sección de lectura 45 lee el píxel de primera capa $h(4m+1, 4n')$, la sección de lectura 53 lee los datos (en este caso, $h(4m, 4n') + h(4m+1, 4n'+1) + h(4m+3, 4n'+3)$) almacenados en la dirección del banco B (m, n') en la memoria de tercera capa 4. La unidad aritmética 57 determina la suma de los mismos ($h(4m, 4n') + h(4m+1, 4n') + h(4m+1, 4n'+1) + h(4m+3, 4n'+3)$), y la sección de escritura 52 la escribe en la dirección del banco B (m, n') de la memoria de tercera capa 4.

Finalmente, la sección de lectura 45 lee el primer píxel $h(4m+2, 4n'+3)$ y la sección de lectura 53 lee los datos (en este caso, $h(4m, 4n') + h(4m+1, 4n') + h(4m+2, 4n') + h(4m+3, 4n') + h(4m, 4n'+1) + h(4m+1, 4n'+1) + h(4m+2, 4n'+1) + h(4m+3, 4n'+1) + h(4m, 4n'+2) + h(4m+1, 4n'+2) + h(4m+2, 4n'+2) + h(4m+3, 4n'+2) + h(4m, 4n'+3) + h(4m+1, 4n'+3) + h(4m+2, 4n'+3) + h(4m+3, 4n'+3)$) almacenados en la dirección del banco B (m, n') en la memoria de tercera capa 4. La unidad aritmética 57 determina la suma de los mismos, y la sección de escritura 52 la escribe en la dirección del banco B (m, n') en la memoria de tercera capa 4. Específicamente, escrito en la dirección del banco B (m, n') en la memoria de tercera capa 4 se encuentra el píxel de tercera capa original $q(m, n') = h(4m, 4n') + h(4m+1, 4n') + h(4m+2, 4n') + h(4m+3, 4n') + h(4m, 4n'+1) + h(4m+1, 4n'+1) + h(4m+2, 4n'+1) + h(4m+3, 4n'+1) + h(4m, 4n'+2) + h(4m+1, 4n'+2) + h(4m+2, 4n'+2) + h(4m+3, 4n'+2) + h(4m, 4n'+3) + h(4m+1, 4n'+3) + h(4m+2, 4n'+3) + h(4m+3, 4n'+3)$.

Cuando se produce una transición del tercer bit de orden inferior va_2 de la dirección vertical VA , el circuito selector 32 selecciona la dirección horizontal HA y la dirección vertical VA , proporcionadas al circuito suministrador de direcciones 1, como dirección del banco B y la dirección horizontal retardada HA y la dirección vertical retardada VA como dirección del banco A.

De modo similar, los circuitos selectores 33 y 34 seleccionan la dirección del banco A y la dirección del banco B. Específicamente, el circuito selector 33 selecciona los ocho bits de orden superior ha_1 a ha_8 de la dirección horizontal HA y los ocho bits de orden superior va_1 a va_8 de la dirección vertical VA como dirección del banco B, y los ocho bits de orden superior ha_1 a ha_8 de la dirección horizontal retardada HA y los ocho bits de orden superior va_1 a va_8 de la dirección vertical retardada VA como dirección del banco A. El circuito selector 34 selecciona los siete bits de orden superior ha_2 a ha_8 de la dirección horizontal HA y los siete bits de orden superior va_2 a va_8 de la dirección vertical VA como dirección del banco B, y los siete bits de orden superior ha_2 a ha_8 de la dirección horizontal retardada HA y los siete bits de orden superior va_2 a va_8 de la dirección vertical retardada VA como dirección del banco A.

La dirección del banco A y la dirección del banco B seleccionadas en los circuitos selectores 32 a 34 se alimentan respectivamente a los terminales de direcciones de banco A y los terminales de direcciones del banco B de la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4.

En el circuito selector 41, el terminal de datos del banco B de la memoria de la primera capa 2 está conectado a la sección de lectura 44 mientras que el terminal de datos del banco A está conectado a la sección de lectura 45. En el circuito selector 42, los terminales de datos del banco B de la memoria de segunda capa 3 están conectados a la sección de escritura 46 y la sección de lectura 47 mientras que los terminales de datos del banco A están conectados a la sección de escritura 48 y la sección de lectura 49. En el circuito selector 43, los terminales de datos del banco B de la memoria de tercera capa 4 están conectados a la sección de escritura 50 y la sección de lectura 51 mientras que los terminales de datos del banco A están conectados a la sección de escritura 52 y la sección de lectura 53.

Se lleva a cabo el proceso idéntico al proceso anterior pero con el banco A y el banco B intercambiados en la descripción anterior.

A los píxeles de primera capa se les da salida por medio del circuito selector 58 mientras el contenido de almacenamiento de la memoria de segunda capa 3 y la memoria de tercera capa 4 se reescribe a los valores originales.

La FIG. 8 muestra la construcción del dispositivo de almacenamiento de la FIG. 1 para leer la imagen en la segunda capa cuando la memoria de primera capa 2 y la memoria de segunda capa 3 están dispuestas para tener una capacidad de memoria menor tal como ya se ha descrito. Tal como se muestra en la FIG. 8, se omite una porción relacionada con la memoria de primera capa 2.

El circuito suministrador de direcciones 1 está construido con un circuito de retardo 71 y circuitos selectores 73 y 74. El circuito de retardo 71 y los circuitos selectores 73 y 74 son idénticos en cuanto a construcción al circuito de retardo 31 y los circuitos selectores 33 y 34 respectivamente de la FIG. 6.

La memoria de segunda capa 3 y la memoria de tercera capa 4 son idénticas en cuanto a construcción a las respectivas mostradas en la FIG. 6.

El circuito de RMW 5 está construido con circuitos selectores 81 y 82, secciones de lectura 84 y 85, la sección de escritura 86, la sección de lectura 87, la sección de escritura 88, la sección de lectura 89, conmutadores 91 y 92, unidades aritméticas 94 y 95, el circuito selector 98, y puertas AND 99 y 100.

A los datos del banco A y a los datos del banco B leídos respectivamente desde el banco A y el banco B en la memoria de segunda capa 3 se les da salida hacia un terminal de datos de banco A y un terminal de datos de banco B, que están conectados al circuito selector 81. El circuito selector 81 recibe el tercer bit de orden inferior va2 de la dirección vertical VA desde el circuito suministrador de direcciones 1 como señal de control. Como respuesta a la señal de control va2, el circuito selector 81 conecta uno del terminal de datos de banco A y el terminal de datos de banco B a la sección de lectura 84 y el otro del terminal de datos de banco A y el terminal de datos de banco B a la sección de lectura 85.

Cuando se produce una transición de la señal de control va2 en un instante de tiempo con el circuito selector 81 conectando el terminal de datos del banco A y el terminal de datos del banco B respectivamente a la sección de lectura 84 y la sección de lectura 85, el terminal de datos del banco A y el terminal de datos del banco B se reconectan respectivamente a la sección de lectura 85 y la sección de lectura 84. Cuando se produce nuevamente una transición de la señal de control va2, el circuito selector 81 conecta nuevamente el terminal de datos del banco A y el terminal de datos del banco B a la sección de lectura 84 y la sección de lectura 85, respectivamente. Cada vez que se produce una transición de la señal de control va2, el circuito selector 81 alterna la conexión del terminal de datos del banco A a entre la sección de lectura 84 y la sección de lectura 85 mientras que alterna la conexión del terminal de datos del banco B a entre la sección de lectura 85 y la sección de lectura 84.

Conectados al circuito selector 82 se encuentran un terminal de datos de banco A hacia el cual se alimentan los datos a escribir en el banco A en la memoria de tercera capa 4, un terminal de datos de banco A desde el cual se da salida a los datos leídos desde el banco A, un terminal de datos de banco B hacia el cual se alimentan los datos a escribir en el banco B, y un terminal de datos B desde el cual se da salida a los datos leídos desde el banco B. Al circuito selector 82 se le proporciona también el tercer bit de orden inferior de va2 de la dirección vertical VA desde el circuito suministrador de direcciones 1 como señal de control. Como respuesta a la señal de control va2, el circuito selector 82 conecta unos de los terminales de datos de banco A y los terminales de datos de banco B a una sección de escritura 86 y una sección de lectura 87 mientras que conecta el otro de los terminales de datos de banco A y los terminales de datos de banco B a una sección de escritura 88 y una sección de lectura 89.

Cuando se produce una transición de la señal de control va2 en un instante de tiempo con el circuito selector 82 conectando los terminales de datos del banco A a la sección de escritura 86 y la sección de lectura 87 y los terminales de datos del banco B a la sección de escritura 88 y la sección de lectura 89, los terminales de datos del banco A se reconectan a la sección de escritura 88 y la sección de lectura 89 mientras que los terminales de datos del banco B se reconectan a la sección de escritura 86 y la sección de lectura 87. Cuando se produce nuevamente una transición de la señal de control va2, el circuito selector 82 conecta nuevamente los terminales de datos del banco A a la sección de escritura 86 y la sección de lectura 87 mientras que conecta los terminales de datos del banco B a la sección de escritura 88 y la sección de lectura 89. Cada vez que se produce una transición de la señal de control va2, el circuito selector 82 alterna la conexión de los terminales de datos del banco A a entre la sección de escritura 86 y la sección de lectura 87, y la sección de lectura 88 y la sección de lectura 89 mientras que alterna la conexión de los terminales de datos del banco B a entre la sección de escritura 88 y la sección de lectura 89 y la sección de lectura 86 y la sección de lectura 87.

Las secciones de lectura 84 y 85 leen datos desde la memoria de segunda capa 3 a través del circuito selector 81. Los datos leídos por la sección de lectura 84 se alimentan hacia el terminal 91b del conmutador 91 y el circuito selector 98. Los datos leídos por la sección de lectura 85 se alimentan hacia el terminal 92b del conmutador 92. La sección de escritura 86 escribe la salida de la unidad aritmética 94 en la memoria de tercera capa 4 por medio del circuito selector 82. La sección de lectura 87 lee datos de la memoria de tercera capa 4 por medio del circuito selector 82, y alimenta los datos hacia la unidad aritmética 94 y el circuito selector 98. La sección de escritura 88 escribe la salida de la unidad aritmética 95 en la memoria de tercera capa 4 por medio del circuito selector 82. La sección de lectura 89 lee datos desde la memoria de tercera capa 4 por medio del circuito selector 82, y alimenta los

datos hacia la unidad aritmética 95.

En función de la salida de la puerta AND 99, el conmutador 91 selecciona entre su terminal 91a y su terminal 91b, y su salida se alimenta hacia la unidad aritmética 94. Al terminal 91b se le suministra un 0. En función de la salida de la puerta AND 99, el conmutador 92 selecciona entre su terminal 92a y 92b, y su salida se alimenta hacia la unidad aritmética 95. Al terminal 92b se le suministra un 0.

La unidad aritmética 94 resta la salida del conmutador 91 con respecto a la salida de la sección de lectura 87, y alimenta la diferencia hacia la sección de escritura 86. La unidad aritmética 95 suma la salida de la sección de lectura 89 y la salida del conmutador 92, y alimenta la suma hacia la sección de escritura 88.

El circuito selector 98 selecciona una de las salidas de la sección de lectura 84 y la sección de lectura 87 como respuesta a las salidas de las puertas AND 99 y 100. La puerta AND 99 recibe el bit menos significativo ha0 de la dirección horizontal HA y el bit menos significativo va0 de la dirección vertical VA desde el circuito suministrador de direcciones 1 como señales de control, calcula su producto lógico y lo alimenta hacia el circuito selector 98, y los conmutadores 91 y 92. La puerta AND 100 recibe el segundo bit de orden inferior ha1 de la dirección horizontal HA y el segundo bit de orden inferior va1 de la dirección vertical VA proporcionadas al circuito suministrador de direcciones 1 como señal de control, y calcula su producto lógico y lo alimenta hacia el circuito selector 98.

A continuación se describe el funcionamiento del dispositivo del almacenamiento.

Supóngase en este momento que la dirección horizontal HA y la dirección vertical VA se seleccionan como dirección del banco A, y la dirección horizontal HA retardada y la dirección vertical VA retardada se seleccionan como dirección del banco B en el circuito selector 73 y el circuito selector 74.

Específicamente, el circuito selector 73 selecciona los ocho bits de orden superior ha1 a ha8 de la dirección horizontal HA y los ocho bits de orden superior va1 a va8 de la dirección vertical VA como dirección del banco A, y los ocho bits de orden superior ha1 a ha8 de la dirección horizontal HA retardada y los ocho bits de orden superior va1 a va8 de la dirección vertical VA retardada como dirección del banco B. El circuito selector 74 selecciona los siete bits de orden superior ha2 a ha8 de la dirección horizontal HA y los siete bits de orden superior va2 a va8 de la dirección vertical VA como dirección del banco A, y los siete bits de orden superior ha2 a ha8 de la dirección horizontal HA retardada y los siete bits de orden superior va2 a va8 de la dirección vertical VA retardada como dirección del banco B.

La dirección del banco A y la dirección del banco B seleccionadas en los circuitos selectores 73 y 74 se alimentan respectivamente hacia los terminales de direcciones del banco A y los terminales de direcciones del banco B de la memoria de segunda capa 3 y la memoria de tercera capa 4.

En el circuito selector 81, el terminal de datos del banco A de la memoria de segunda capa 3 está conectado a la sección de lectura 84 mientras que el terminal de datos del banco B está conectado a la sección de lectura 85. En el circuito selector 82, los terminales de datos del banco A de la memoria de tercera capa 4 están conectados a la sección de escritura 86 y la sección de lectura 87 mientras que los terminales de datos del banco B están conectados a la sección de escritura 88 y la sección de lectura 89.

La sección de lectura 84 lee, por medio del circuito selector 81, el píxel de segunda capa (valor de píxel) almacenado en la dirección del banco A en la memoria de segunda capa 3 a la que da salida el circuito selector 73 y lo alimenta hacia el terminal 91b del conmutador 91 y el circuito selector 98.

El circuito selector 98 selecciona y da salida a la salida de la sección de lectura 84 como píxel de segunda capa cuando la salida de la puerta AND 99 únicamente (de las salidas de las puertas AND 99 y 100) es un 1. Específicamente, que la salida de la puerta AND 99 sea un 1 significa que tanto ha0 como va0 son 1's, siendo ha1 y/o va1 un 0, y significa la temporización con la que se lee el píxel derecho inferior $h(2s+1, 2t+1)$ (excluyendo $h(4m+3, 4t+3)$), de entre los cuatro píxeles 2×2 de $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa, representados por D1 tal como se muestra en la FIG. 2.

En temporización con el acceso a cada uno de los cuatro píxeles 2×2 de $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa, se accede también al píxel de segunda capa $m(s, t)$. En temporización con el acceso a cada uno de los cuatro píxeles 2×2 de $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa, se da salida a los datos leídos desde la memoria de segunda capa 3, a saber, el píxel de segunda capa $m(s, t)$, y en este caso, se da salida de manera repetida cuatro veces al mismo píxel.

El circuito selector 98 selecciona y da salida a la sección de lectura 84, a saber, el píxel de segunda capa $m(s, t)$ en temporización con la lectura del píxel derecho inferior $h(2s+1, 2t+1)$ (excluyendo $h(4m+3, 4t+3)$), de entre los cuatro píxeles 2×2 de $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, y $h(2s+1, 2t+1)$ en la primera capa.

Por el mismo motivo, el conmutador 91 selecciona el terminal 91b únicamente en la temporización en la que la

sección de lectura 84 da salida al píxel de primera capa $h(2s+1,2t+1)$ (con la temporización en la que se produce la transición de la salida de la puerta AND 99 a un 1), y selecciona el terminal 91a el resto del tiempo. Específicamente, el píxel de segunda capa $m(s,t)$ al que da salida la sección de lectura 84 se alimenta hacia la unidad aritmética 94 únicamente en la temporización con la que se lee el píxel derecho inferior $h(2s+1,2t+1)$, de entre los cuatro píxeles 2×2 de $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$ en la primera capa, y se alimenta un 0 a la sección de lectura 94 el resto del tiempo.

La sección de lectura 87 lee, por medio del circuito selector 82, el píxel de tercera capa (valor de píxel) almacenado en la dirección de banco A a la que da salida el circuito selector 74, y lo alimenta tanto hacia la unidad aritmética 94 como al circuito selector 98.

En temporización en el acceso a cada una de las direcciones $(4m,4n)$, $(4m+1,4n)$, $(4m+2,4n)$, $(4m+3,4n)$, $(4m,4n+1)$, $(4m+1,4n+1)$, $(4m+2,4n+1)$, $(4m+3,4n+1)$, $(4m,4n+2)$, $(4m+1,4n+2)$, $(4m+2,4n+2)$, $(4m+3,4n+2)$, $(4m,4n+3)$, $(4m+1,4n+3)$, $(4m+2,4n+3)$, y $(4m+3,4n+3)$ en la memoria de primera capa, la sección de lectura 87 lee los datos desde la dirección del banco A en la memoria de tercera capa 4 y los alimenta hacia la unidad aritmética 94.

Siguiendo la descripción anterior, el conmutador 91 selecciona el terminal 91b en temporización en la realización de un acceso a cada una de las direcciones $(4m,4n)$, $(4m+1,4n)$, $(4m+2,4n)$, $(4m+3,4n)$, $(4m,4n+1)$, $(4m+2,4n+1)$, $(4m,4n+2)$, $(4m+1,4n+2)$, $(4m+2,4n+2)$, $(4m+3,4n+2)$, $(4m,4n+3)$, y $(4m+2,4n+3)$, excluyendo las direcciones $(4m+1,4n+1)$, $(4m+3,4n+1)$, $(4m+1,4n+3)$, y $(4m+3,4n+3)$ en correspondencia con la dirección $(2s+1,2t+1)$ de la memoria de primera capa 2. En este caso, la unidad aritmética 94 resta 0 de los datos leídos desde la dirección del banco A (m,n) en la memoria de tercera capa 4, y la diferencia, a saber, los propios datos leídos desde la dirección del banco A en la memoria de tercera capa 4 se alimentan hacia la sección de escritura 86. La sección de escritura 86 escribe, por medio del circuito selector 82, los datos desde la unidad aritmética 94 en la dirección del banco A (m,n) en la memoria de tercera capa 4. El valor almacenado en la dirección del banco A (m,n) en la memoria de tercera capa 4 permanece sin cambios con respecto al inmediatamente anterior.

En temporización con el acceso a cada una de las direcciones $(4m+1,4n+1)$, $(4m+3,4n+1)$, y $(4m+1,4n+3)$ en la memoria de primera capa 2, el conmutador 91 selecciona el terminal 91b. En este caso, la sección de lectura 84 lee cada uno de los píxeles de segunda capa $m(2m,2n)$, $m(2m+1,2n)$, y $m(2m,2n+1)$ desde la memoria de segunda capa 3, y lo alimenta hacia la unidad aritmética 94 por medio del conmutador 91.

La unidad aritmética 94 resta la salida de la sección de lectura 84 con respecto a la salida de la sección de lectura 87, y alimenta la diferencia hacia la sección de escritura 86. La sección de escritura 86 escribe la salida de la unidad aritmética 94 en la dirección del banco A (m,n) en la memoria de tercera capa 4 por medio del circuito selector 82.

La dirección del banco A (m,n) en la memoria de tercera capa 4 almacena inicialmente la suma de los 16 píxeles de 4×4 de $h(4m,4n)$, $h(4m+1,4n)$, $h(4m+2,4n)$, $h(4m+3,4n)$, $h(4m,4n+1)$, $h(4m+1,4n+1)$, $h(4m+2,4n+1)$, $h(4m+3,4n+1)$, $h(4m,4n+2)$, $h(4m+1,4n+2)$, $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m,4n+3)$, $h(4m+1,4n+3)$, $h(4m+2,4n+3)$, y $h(4m+3,4n+3)$ en la primera capa, a saber, el píxel $q(m,n)$ en la tercera capa, que es la suma de los cuatro píxeles 2×2 de $m(2m,2n)$, $m(2m+1,2n)$, $m(2m,2n+1)$, y $m(2m+1,2n+1)$ en la segunda capa, y la unidad aritmética 94 recibe el píxel de segunda capa $m(2m,2n)$ desde la sección de lectura 84 por medio del conmutador 91 con la temporización en la que se accede a la dirección $(4m+1,4n+1)$ en la memoria de primera capa 2 mientras que recibe, desde la sección de lectura 87, los datos (en este caso, $q(m,n)$) almacenados en la dirección del banco A en la memoria de tercera capa 4.

La unidad aritmética 94 determina la diferencia $(q(m,n)-m(2m,2n))$ entre ellos, y la sección de escritura 86 la escribe en la dirección del banco A (m,n) en la memoria de tercera capa 4.

En temporización con el acceso a la dirección $(4m+3,4n+1)$ en la memoria de primera capa 2, la unidad aritmética 94 recibe el píxel de segunda capa $m(2m+1,2n+1)$ desde la sección de lectura 84 por medio del conmutador 91, mientras que recibe, desde la sección de lectura 87, los datos (en este caso, $q(m,n)-m(2m,2n)$) almacenados en la dirección del banco A (m,n) en la memoria de tercera capa 4.

La unidad aritmética 94 determina la diferencia $(q(m,n)-m(2m,2n)-m(2m+1,2n))$ entre ellos, y la sección de escritura 86 la escribe en la dirección del banco A (m,n) en la memoria de tercera capa 4.

En temporización con el acceso a la dirección $(4m+1,4n+3)$ en la memoria de primera capa 2, la unidad aritmética 94 recibe el píxel de segunda capa $m(2m,2n+1)$ desde la sección de lectura 84 por medio del conmutador 91 mientras que recibe, desde la sección de lectura 87, los datos (en este caso, $q(m,n)-m(2m,2n)-m(2m+1,2n)$) almacenados en la dirección del banco A (m,n) en la memoria de tercera capa 4.

La unidad aritmética 94 determina la diferencia $(q(m,n)-m(2m,2n)-m(2m+1,2n)-m(2m,2n+1))$ entre ellos, y la sección de escritura 86 la escribe en la dirección del banco A (m,n) en la memoria de tercera capa 4.

Por lo tanto, escrito en la dirección del banco A (m,n) en la memoria de tercera capa 4 se encuentra el píxel de

segunda capa $m(2m+1,2n+1)=(q(m,n)-m(2m,2n)-m(2m+1,2n)-m(2m,2n+1))$.

Con la temporización en la que se accede a la dirección del banco A ($4m+3,4n+3$) en la memoria de primera capa 2 (a saber, con la temporización en la que se accede a la dirección del banco A ($2m+1,2n+1$) en la memoria de segunda capa 3; no existe ninguna celda de memoria correspondiente a esta dirección, e incluso si se realiza un intento de acceder a esta dirección, no se escribe nada en ella y no se lee nada desde ella), la sección de lectura 87 lee, desde la dirección del banco A (m,n) en la memoria de tercera capa 4, la suma ($m(2m+1,2n+1)$ en la segunda capa) de los píxeles inferiores derechos de 2×2 de $h(4m+2,4n+2)$, $h(4m+3,4n+2)$, $h(4m+2,4n+3)$, y $h(4m+3,4n+3)$ entre los 16 píxeles de 4×4 en la primera capa, representados por D2 en la FIG. 2.

El circuito selector 98 selecciona y da salida a la salida de la sección de lectura 51 como un píxel de segunda capa cuando las salidas de dos puertas AND 99 y 50 son 1's. Específicamente, que la salida de las dos puertas AND 99 y 50 sea un 1 significa que la totalidad de $ha0$, $va0$, $ha1$, y $va1$ son 1's, y significa la temporización con la que se accede a la dirección ($4m+3,4n+3$) en la memoria de primera capa 2. Tal como ya se ha descrito, los datos que lee la sección de lectura 87 desde la dirección del banco A (m,n) en la memoria de tercera capa 4 con esta temporización son el píxel de segunda capa ($2m+1,2n+1$), y estos datos son seleccionados y les da salida el circuito selector 98.

Cuando el píxel de segunda capa se lee de esta manera, la memoria de tercera capa 4 almacena el píxel de segunda capa $m(2m+1,2n+1)$ del mismo modo que el mostrado en la FIG. 6.

Específicamente, el píxel de segunda capa se escribe sustituyendo el píxel de tercera capa en la memoria de tercera capa.

El valor almacenado en la memoria de tercera capa 4 de esta manera necesita ser restablecido al píxel original de tercera capa.

Cuando la dirección horizontal HA y la dirección vertical VA se seleccionan como la dirección del banco A con la dirección horizontal HA retardada y la dirección vertical VA retardada seleccionadas como dirección del banco B, se accede a la celda de memoria del banco A correspondiente a la dirección horizontal HA y la dirección vertical VA en la memoria de primera capa 2 mientras que al mismo tiempo se realiza un acceso a la celda de memoria del banco B correspondiente a la dirección horizontal HA retardada y la dirección vertical VA retardada, habiéndose accedido a ellas dos cuatro líneas antes.

En la memoria de segunda capa 3, se accede a la celda de memoria del banco A mientras que al mismo tiempo se accede a la celda de memoria del banco B, a la que se accedió dos líneas antes. En la memoria de tercera capa 4, se accede a la celda de memoria del banco A mientras que se accede a la celda de memoria del banco B, a la cual se accedió una línea antes.

Cuando la sección de lectura 84 lee, desde el banco A en la memoria de segunda capa 3, cada uno de los píxeles de segunda capa $m(2m,2n)$, $m(2m+1,2n)$, y $m(2m,2n+1)$, la sección de lectura 85 lee, desde el banco B en la memoria de segunda capa 3, cada uno de los píxeles de segunda capa $m(2m,2n')$, $m(2m+1,2n')$ y $m(2m,2n'+1)$, respectivamente, y lo alimenta hacia el terminal 92b del conmutador 92. En este caso, $n'=n-1$.

Igual que el conmutador 91, el conmutador 92 está diseñado para seleccionar su terminal 92b únicamente con la temporización en la que la sección de lectura 84 da salida al píxel de primera capa $h(2s+1,2t+1)$ (con la temporización en la que se produce la transición de la salida de la puerta AND 99 a un 1), y selecciona su terminal 92a el resto del tiempo. A la unidad aritmética 95 se le suministra el píxel de segunda capa al que da salida la sección de lectura 85 únicamente en la temporización con la que se lee el $h(2s+1,2t+1)$ derecho inferior, de entre los cuatro píxeles de primera capa de 2×2 de $h(2s,2t)$, $h(2s+1,2t)$, $h(2s,2t+1)$, y $h(2s+1,2t+1)$, y se le suministra un 0 el resto del tiempo.

Cuando la sección de lectura 85 lee, desde el banco B en la memoria de segunda capa 3, cada uno de los píxeles de segunda capa $m(2m,2n')$, $m(2m+1,2n')$, y $m(2m,2n'+1)$, la sección de lectura 89 lee los datos desde la dirección del banco B (m,n') en la memoria de tercera capa 4 por medio del circuito selector 82, y los alimenta hacia la unidad aritmética 95.

La unidad aritmética 95 suma la salida de la sección de lectura 85 y la salida de la sección de lectura 89, y alimenta la suma hacia la sección de escritura 88. La sección de escritura 88 escribe la salida de la unidad aritmética 95 en la dirección de banco B (m,n') en la memoria de tercera capa 4 por medio del circuito selector 82.

La dirección del banco B (m,n') en la memoria de tercera capa 4 inicialmente almacena el píxel de segunda capa $m(2m+1,2n'+1)$ que se determinó accediendo al mismo en la segunda capa dos líneas antes (cuatro líneas antes para la primera capa). Cuando la sección de lectura 85 lee el píxel de segunda capa $m(2m,2n')$ desde el banco B en la memoria de segunda capa 3, la sección de lectura 89 lee los datos (en este caso, el píxel de segunda capa $m(2m+1,2n'+1)$) almacenados en la dirección del banco B (m,n') en la memoria de tercera capa 4. La unidad

aritmética 95 determina la suma de los mismos ($m(2m,2n')+m(2m+1,2n'+1)$), y la sección de escritura 88 la escribe en la dirección del banco B (m,n') en la memoria de tercera capa 4.

5 Cuando la sección de lectura 85 lee el píxel de segunda capa $m(2m+1,2n')$ desde el banco B en la memoria de segunda capa 3, la sección de lectura 89 lee los datos (en este caso, $m(2m,2n')+m(2m+1,2n'+1)$) almacenados en la dirección del banco B (m,n') en la memoria de tercera capa 4. En circuito selector 98 determina la suma de los mismos ($m(2m,2n')+m(2m+1,2n')+m(2m+1,2n'+1)$), y la sección de escritura 88 la escribe en la dirección del banco B (m,n') en la memoria de tercera capa 4.

10 Cuando la sección de lectura 85 lee el píxel de segunda capa $m(2m,2n'+1)$ desde el banco B en la memoria de segunda capa 3, la sección de lectura 89 lee los datos (en este caso, $m(2m,2n')+m(2m+1,2n')+m(2m+1,2n'+1)$) almacenados en la dirección del banco B (m,n') en la memoria de tercera capa 4. El circuito selector 95 determina la suma de los mismos ($m(2m,2n')+m(2m+1,2n')+m(2m,2n'+1)+m(2m+1,2n'+1)$), y la sección de escritura 88 la escribe en la dirección del banco B (m,n') en la memoria de tercera capa 4. Específicamente, la dirección del banco B (m,n') en la memoria de tercera capa 4 almacena el píxel original de tercera capa $q(m,n')=m(2m,2n')+m(2m+1,2n')+m(2m,2n'+1)+m(2m+1,2n'+1)=h(4m,4n), h(4m+1,4n), h(4m+2,4n), h(4m+3,4n), h(4m,4n+1), h(4m+1,4n+1), h(4m+2,4n+1), h(4m+3,4n+1), h(4m,4n+2), h(4m+1,4n+2), h(4m+2,4n+2), h(4m+3,4n+2), h(4m,4n+3), h(4m+1,4n+3), h(4m+2,4n+3), h(4m+3,4n+3)$.

20 Cuando se produce una transición del tercer bit de orden inferior $va2$ de la dirección vertical VA, las selecciones de las direcciones del banco A y la dirección del banco B se invierten en cada uno de los circuitos selectores 73 y 74. Específicamente, el circuito selector 73 selecciona los ocho bits de orden superior de $ha1$ a $ha8$ de la dirección horizontal HA y los ocho bits de orden superior $va1$ a $va8$ de la dirección vertical VA como dirección del banco B, y los ocho bits de orden superior $ha1$ a $ha8$ de la dirección horizontal HA retardada y los ocho bits de orden superior $va1$ a $va8$ de la dirección vertical VA retardada como dirección del banco A. El circuito selector 74 selecciona los siete bits de orden superior $ha2$ a $ha8$ de la dirección horizontal HA y los siete bits de orden superior $va2$ a $va8$ de la dirección vertical VA como dirección del banco B, y los siete bits de orden superior $ha2$ a $ha8$ de la dirección horizontal HA retardada y los siete bits de orden superior $va2$ a $va8$ de la dirección vertical VA retardada como dirección del banco A.

30 La dirección del banco A y la dirección del banco B seleccionados en los circuitos selectores 73 y 74 se alimentan respectivamente hacia los terminales de direcciones del banco A y los terminales de direcciones del banco B de la memoria de segunda capa 3 y la memoria de tercera capa 4.

35 En el circuito selector 81, el terminal de datos del banco B de la memoria de segunda capa 3 está conectado a la sección de lectura 84 mientras que el terminal de datos del banco A está conectado a la sección de lectura 85. En el circuito selector 82, los terminales de datos del banco B de la memoria de tercera capa 4 están conectados a la sección de escritura 86 y la sección de lectura 87 mientras que los terminales de datos del banco A están conectados a la sección de escritura 88 y la sección de lectura 89.

40 Se lleva a cabo el proceso idéntico al proceso anterior aunque con el banco A y el banco B intercambiados en la descripción anterior.

45 A los píxeles de segunda capa se les da salida por medio del circuito selector 98 mientras que el contenido de almacenamiento en la memoria de tercera capa 4 se reescribe en los valores originales.

50 Tal como se ha descrito anteriormente, cada una de la memoria de primera capa 2, memoria de segunda capa 3 y memoria de tercera capa 4 está dividida en dos bancos, el banco A y el banco B, y accediendo a los dos bancos en paralelo, se escriben los píxeles en la primera capa y en la segunda capa, sustituyendo los valores almacenados en la memoria de segunda capa 3 y en la memoria de tercera capa 4 y a continuación los datos reescritos se restablecen a los datos originales.

55 Específicamente, se lee el píxel de primera capa almacenado en la dirección del banco A en la memoria de primera capa 2, designada por la dirección horizontal HA y la dirección vertical VA, al mismo tiempo que se lee el píxel de segunda capa (primeros datos procesados) almacenado en la dirección del banco A en la memoria de segunda capa 3, designada por parte de la dirección horizontal HA y la dirección vertical VA. Restando el píxel de primera capa con respecto al píxel de segunda capa, se determina finalmente el primer píxel (segundos datos procesados), y el mismo se escribe en la dirección en la memoria de segunda capa 3 que almacenaba el píxel de segunda capa. Al mismo tiempo, se lee el píxel de primera capa almacenado en la dirección del banco B en la memoria de primera capa 2, designada por la dirección horizontal HA retardada y la dirección vertical VA retardada, mientras se lee el píxel de primera capa (los segundos datos procesados) almacenado en la dirección del banco B en la memoria de segunda capa 3 designada por parte de la dirección horizontal HA retardada y la dirección vertical VA retardada. Sumando estos píxeles de primera capa, se determina el píxel original de segunda capa (los primeros datos procesados) y a continuación el valor almacenado en la dirección del banco B en la memoria de segunda capa 3, que es el píxel de primera capa, se reescribe en el píxel original de segunda capa.

Aunque cada una de la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 está dividida en dos bancos, en esta forma de realización el banco A y el banco B, la división de los bancos no se limita a este método.

5 Aunque en esta forma de realización las operaciones de suma y resta se realizan en los datos leídos desde el banco A y el banco B, el procesado de los datos leídos desde el banco A y el banco B no se limita a las operaciones de suma y resta.

10 Aunque en esta forma de realización se accede a la memoria de segunda capa 3 y la memoria de tercera capa 4 usando la parte de la dirección horizontal HA y la dirección vertical VA proporcionada a la memoria de primera capa 2, se puede acceder a la memoria de segunda capa 3 y la memoria de tercera capa 4 usando una dirección dedicada (independiente) diferente con respecto a la dirección horizontal HA y la dirección vertical VA proporcionadas a la memoria de primera capa 2.

15 Aunque en esta forma de realización se accede a la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 usando la dirección horizontal y la dirección vertical correspondientes a la posición horizontal y la posición vertical de cada píxel para la imagen, se puede acceder a la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 usando una dirección en correspondencia con el curso del tiempo. En tal caso, los píxeles en la segunda y la tercera capas se pueden constituir con píxeles distribuidos en el curso de tiempo así como píxeles distribuidos en un espacio que se expanda en una dirección horizontal y una dirección vertical.

20 La memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 no se construyen necesariamente con sus memorias físicas respectivas, y se pueden construir todas ellas con una única memoria. En tal caso, la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 tienen sus propias áreas de memoria en la memoria única.

25 Aunque, en esta forma de realización, el circuito suministrador de direcciones 1, la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 y el circuito de RMW 5 están dispuestos todos ellos en un único chip, esto no es un requisito.

30 Aunque, en esta forma de realización, la cantidad de bits asignados a cada píxel en la primera capa es 8, y las longitudes de datos de las celdas de memoria en la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 son respectivamente 8, 10 y 12 bits para evitar la pérdida de dígitos, las longitudes de datos de las celdas de memoria en la memoria de primera capa 2, la memoria de segunda capa 3 y la memoria de tercera capa 4 se pueden fijar todas ellas de manera que sean 8 bits. No obstante, en tal caso, en cuanto a los píxeles en las segunda y tercera capas, se almacena el valor que se obtiene redondeando por defecto los dos bits de orden inferior de la suma de 2×2 píxeles en la primera y la segunda capas (el valor es idéntico al que se divide por 4, por lo tanto un promedio), y esto da como resultado la pérdida de dígitos, destruyendo la capacidad de restauración de datos.

35 Cuando se reduce la capacidad de memoria en la memoria de primera capa 2 y la memoria de segunda capa 3, permaneciendo sin almacenar algunos de los píxeles de primera capa y los píxeles de segunda capa, y se evita la pérdida de dígitos tal como se ha descrito anteriormente, los píxeles (valor de píxel) no almacenados en la primera y la segunda capa se determinan correctamente de acuerdo con las ecuaciones (1) y (2). Por otro lado, cuando algunos de los píxeles en la primera capa y la segunda capa no se almacenan, dejándose sin reparación la pérdida de dígitos, el valor de cada uno de los píxeles no almacenado en la primera y la segunda capa ya no se determina correctamente.

40 En la presente invención puede funcionar tanto en una imagen con exploración no entrelazada como en una imagen con exploración entrelazada.

El número de capas, en la forma de realización anterior tres, puede ser dos o cuatro o más.

45 Aunque la suma de cuatro píxeles de 2×2 en la capa jerárquica inferior forma un píxel (valor de píxel) en otra capa que es una capa superior a la capa inferior en esta forma de realización, el método de formación de los píxeles en la capa jerárquica superior no se limita a esto.

50 La presente invención, aunque en esta forma de realización se implementa utilizando hardware, se puede implementar permitiendo que un programa ejecute el proceso antes descrito.

55 Aunque se almacenan píxeles (valores de píxel) en una memoria, tal como una RAM (Memoria de Acceso Aleatorio) en la forma de realización descrita anteriormente, los píxeles se pueden almacenar (escribir) en un soporte de almacenamiento, tal como un disco magnético, un disco magneto-óptico, una cinta magnética, y una tarjeta óptica.

60 De acuerdo con el dispositivo de almacenamiento y el método de acceso, la primera memoria tiene direcciones

- 5 correspondientes a píxeles para datos de imágenes de entrada, con su área de memoria dividida en una pluralidad de bloques direccionables sobre la base de cada bloque individual. Los bloques de la primera memoria se direccionan simultáneamente de acuerdo con, por lo menos, una primera y una segunda señales de dirección. Las operaciones de escritura y lectura se realizan simultáneamente en direcciones, designadas por la primera y la segunda señales de dirección, en los bloques de la primera memoria. Esta disposición permite la ejecución de procesados paralelos en la pluralidad de bloques. Como consecuencia, la suma resultante de sumar píxeles en una pluralidad de líneas de los datos de imagen de entrada se restablece de nuevo a los datos de imagen de entrada originales sin necesidad de un circuito de retardo de línea.

REIVINDICACIONES

1. Dispositivo de almacenamiento adaptado para almacenar una imagen codificada jerárquicamente que presenta por lo menos una primera y una segunda capas de datos de imagen, proporcionando dicha primera capa la definición más alta de la imagen y presentando la segunda capa un número menor de píxeles y proporcionando una definición menor que la primera capa de la imagen, en el que 2x2 píxeles en la primera capa de la imagen se corresponden con un píxel en la segunda capa de la imagen, formándose dicho un píxel en la segunda capa de la imagen mediante la suma de los 2x2 píxeles correspondientes en la primera capa de la imagen; comprendiendo dicho dispositivo:

una primera área de memoria (2) que presenta una capacidad de memoria para almacenar 3/4 de los píxeles de la primera capa de la imagen, de tal manera que un píxel en cada uno de dichos 2x2 píxeles en la imagen de primera capa correspondiente a un píxel en la imagen de segunda capa no se almacena en la primera área de memoria; en el que las direcciones de los píxeles en la primera área de memoria se corresponden con sus posiciones respectivas en la imagen, dividiéndose dicha primera área de memoria en unos primer y segundo bloques, en el que los primer y segundo bloques son direccionables basándose en cada bloque individual proporcionando un primer terminal de direcciones en la primera área de memoria para el primer bloque y un segundo terminal de direcciones en la primera área de memoria para el segundo bloque;

una segunda área de memoria (3) adaptada para almacenar la segunda capa de la imagen, en el que dicha segunda área de memoria está dividida en unos primer y segundo bloques correspondientes respectivamente a los primer y segundo bloques de la primera área de memoria, en el que los primer y segundo bloques de la segunda área de memoria son direccionables basándose en cada bloque individual proporcionando un primer terminal de direcciones en la segunda área de memoria para el primer bloque y un segundo terminal de direcciones en la segunda área de memoria para el segundo bloque;

en el que el primer y el segundo bloques de la primera área de memoria almacenan cada 2N líneas alternas de la primera capa de la imagen respectivamente, en el que N es un número natural, y los primer y segundo bloques de la segunda área de memoria almacenan cada N líneas alternas correspondientes de la segunda capa de la imagen respectivamente;

un módulo de direccionamiento [1] adaptado para direccionar simultáneamente los bloques de dichas primera y segunda áreas de memoria de acuerdo con unas primera y segunda señales de dirección, en el que dicha primera señal de dirección y dicha segunda señal de dirección se corresponden con las posiciones horizontales y verticales de un píxel para dicha imagen de entrada, explorando así el módulo de direccionamiento secuencialmente a través de líneas de los datos de imagen y proporcionando simultáneamente:

(a) una primera y una segunda señal de dirección actual para un píxel en uno de los primer o segundo bloques en la primera área de memoria y simultáneamente una primera y una segunda señal de dirección actual para un píxel correspondiente en el bloque correspondiente de la segunda área de memoria, y (b) una primera y una segunda señal de dirección retardada para un píxel en el otro de los primer o segundo bloques en la primera área de memoria y simultáneamente una primera y una segunda señal de dirección retardada, para un píxel correspondiente en el bloque correspondiente de la segunda área de memoria;

en el que la primera y la segunda señales de dirección para la segunda área de memoria comprenden la parte de la primera y la segunda señales de dirección correspondientes para la primera área de memoria excluyendo el bit menos significativo, y en el que la primera y la segunda señales de dirección retardadas están retardadas en 2N líneas de la exploración secuencial; y

un módulo de lectura y escritura (5) para simultáneamente leer desde o escribir en direcciones, designadas por dichas primera y segunda señales de dirección, en los bloques de dichas primera y segunda áreas de memoria;

en el que dicho módulo de lectura y de escritura está configurado, cuando lee de acuerdo con la primera y la segunda señales de dirección actuales, cada uno sucesivamente de dichos tres de los 2x2 píxeles que están almacenados en la primera área de memoria, para restar el valor de cada píxel leído con respecto al valor del píxel correspondiente en la segunda memoria y para escribir el resultado de nuevo en dicho píxel correspondiente de la segunda área de memoria, formando de este modo, en el píxel de la segunda área de memoria después de que se hayan leído dichos tres píxeles, el valor del píxel para dichos 2x2 píxeles que no está almacenado en la primera área de memoria; y

en el que dicho módulo de lectura y de escritura está configurado, cuando se lee, de acuerdo con las primera y segunda señales de dirección retardadas, cada uno sucesivamente de dichos tres de los 2x2 píxeles que están almacenados en la primera área de memoria, para sumar el valor de cada píxel leído al valor del píxel correspondiente en la segunda memoria y para escribir el resultado de nuevo en la segunda área de memoria, restableciendo de este modo, en el píxel de la segunda área de memoria después de que se hayan leído dichos tres píxeles, el valor original del píxel igual a la suma de los 2x2 píxeles correspondientes en la primera capa de la

imagen;

incluyendo además dicho módulo de lectura y de escritura un selector (58) que está configurado para dar salida secuencialmente a los valores de los tres de dichos 2x2 píxeles de la primera capa de la imagen que están almacenados en la primera área de memoria y el valor del píxel correspondiente en la segunda área de memoria para el valor del píxel para dichos 2x2 píxeles de la primera capa de la imagen que no está almacenado en la primera área de memoria.

2. Método de funcionamiento de un dispositivo de almacenamiento para almacenar una imagen codificada jerárquicamente que presenta por lo menos una primera y una segunda capas de datos de imagen, proporcionando dicha primera capa la definición más alta de la imagen y presentando la segunda capa un número menor de píxeles y proporcionando una definición menor que la primera capa de la imagen, en el que 2x2 píxeles en la primera capa de la imagen se corresponden con un píxel en la segunda capa de la imagen, formándose dicho un píxel en la segunda capa de la imagen mediante la suma de los 2x2 píxeles correspondientes en la primera capa de la imagen; comprendiendo dicho dispositivo:

una primera área de memoria (2) que presenta una capacidad de memoria para almacenar 3/4 de los píxeles de la primera capa de la imagen, de tal manera que un píxel en cada uno de dichos 2x2 píxeles en la imagen de primera capa correspondiente a un píxel en la imagen de segunda capa no se almacena en la primera área de memoria; en el que las direcciones de los píxeles en la primera área de memoria se corresponden con sus posiciones respectivas en la imagen, dividiéndose dicha primera área de memoria en unos primer y segundo bloques, en el que los primer y segundo bloques son direccionables basándose en cada bloque individual proporcionando un primer terminal de direcciones en la primera área de memoria para el primer bloque y un segundo terminal de direcciones en la primera área de memoria para el segundo bloque;

una segunda área de memoria (3) adaptada para almacenar la segunda capa de la imagen, en el que dicha segunda área de memoria está dividida en unos primer y segundo bloques correspondientes respectivamente a los primer y segundo bloques de la primera área de memoria, en el que los primer y segundo bloques de la segunda área de memoria son direccionables basándose en cada bloque individual proporcionando un primer terminal de direcciones en la segunda área de memoria para el primer bloque y un segundo terminal de direcciones en la segunda área de memoria para el segundo bloque;

en el que el primer y el segundo bloques de la primera área de memoria almacenan cada 2N líneas alternas de la primera capa de la imagen respectivamente, el que N es un número natural, y los primer y segundo bloques de la segunda área de memoria almacenan cada N líneas alternas correspondientes de la segunda capa de la imagen respectivamente;

un módulo de direccionamiento [1] y un módulo de lectura y de escritura (5);

comprendiendo dicho método:

el módulo de direccionamiento que direcciona simultáneamente los bloques de dichas primera y segunda áreas de memoria de acuerdo con unas primera y segunda señales de dirección, en el que dicha primera señal de dirección y dicha segunda señal de dirección se corresponden con las posiciones horizontales y verticales de un píxel para dicha imagen de entrada, explorando así el módulo de direccionamiento secuencialmente a través de las líneas de los datos de imagen y proporcionando simultáneamente:

(a) una primera y una segunda señal de dirección actual para un píxel en uno de los primer o segundo bloques en la primera área de memoria y simultáneamente una primera y una segunda señal de dirección actual para un píxel correspondiente en el bloque correspondiente de la segunda área de memoria, y (b) una primera y una segunda señal de dirección retardada para un píxel en el otro de los primer o segundo bloques en la primera área de memoria y simultáneamente una primera y una segunda señal de dirección retardada, para un píxel correspondiente en el bloque correspondiente de la segunda área de memoria;

en el que la primera y la segunda señales de dirección para la segunda área de memoria comprenden la parte de la primera y la segunda señales de dirección correspondientes para la primera área de memoria excluyendo el bit menos significativo, y en el que las primera y segunda señales de dirección retardadas están retardadas en 2N líneas de la exploración secuencial; y

el módulo de lectura y escritura (5) simultáneamente lee desde o escribe en direcciones, designadas por dichas primera y segunda señales de dirección, en los bloques de dichas primera y segunda áreas de memoria;

en el que cuando dicho módulo de lectura y de escritura lee de acuerdo con la primera y la segunda señales de dirección actuales, cada uno sucesivamente de dichos tres de los 2x2 píxeles que están almacenados en la primera área de memoria, el módulo de lectura y de escritura resta el valor de cada píxel leído con respecto al valor del píxel correspondiente en la segunda memoria y escribe el resultado de nuevo en dicho píxel

correspondiente de la segunda área de memoria, formando de este modo, en el píxel de la segunda área de memoria después de que se hayan leído dichos tres píxeles, el valor del píxel para dichos 2x2 píxeles que no está almacenado en la primera área de memoria; y

5 en el que cuando dicho módulo de lectura y de escritura lee de acuerdo con las primera y segunda señales de dirección retardadas, cada uno sucesivamente de dichos tres de los 2x2 píxeles que están almacenados en la primera área de memoria, el módulo de lectura y de escritura suma el valor de cada píxel leído al valor del píxel correspondiente en la segunda memoria y escribe el resultado de nuevo en la segunda área de memoria, restableciendo de este modo, en el píxel de la segunda área de memoria después de que se hayan leído dichos
10 tres píxeles, el valor original del píxel igual a la suma de los 2x2 píxeles correspondientes en la primera capa de la imagen;

en el que dicho módulo de lectura y de escritura incluye además un selector (58) que da salida secuencialmente a los valores de los tres de dichos 2x2 píxeles de la primera capa de la imagen que están almacenados en la primera
15 área de memoria y el valor del píxel correspondiente en la segunda área de memoria para el valor del píxel para dichos 2x2 píxeles de la primera capa de la imagen que no está almacenado en la primera área de memoria.

FIG. 1

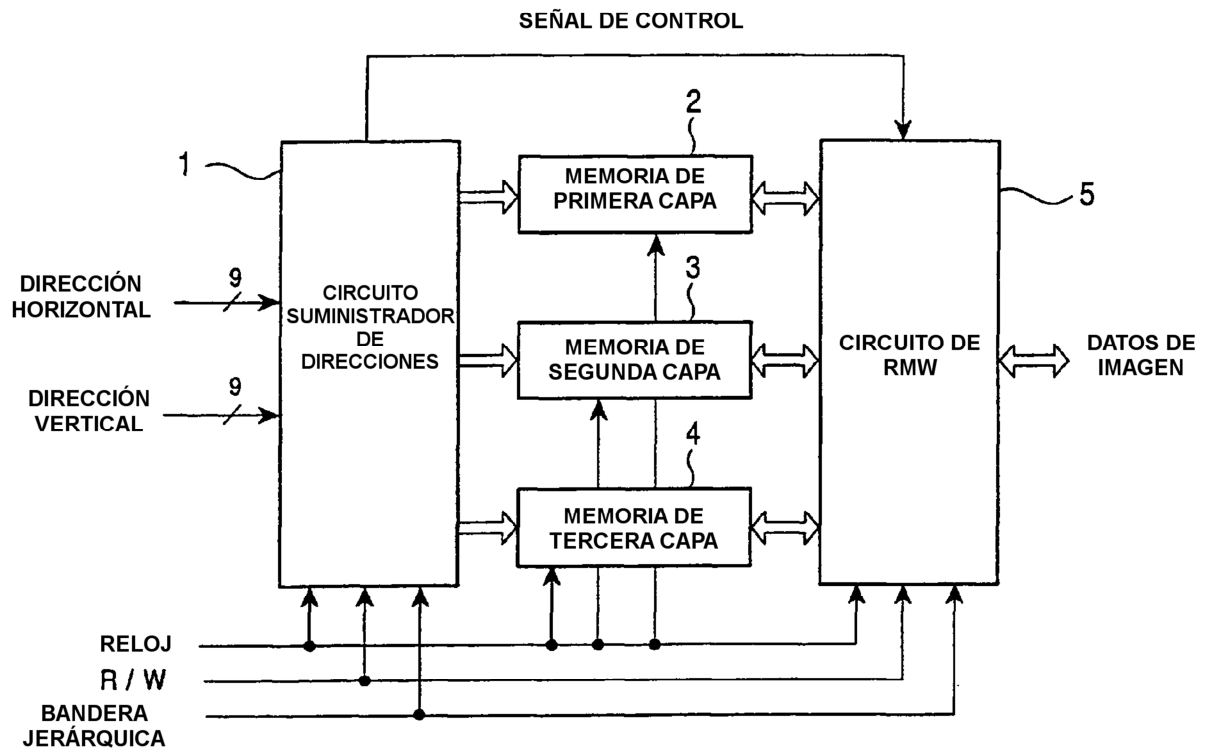


FIG. 2

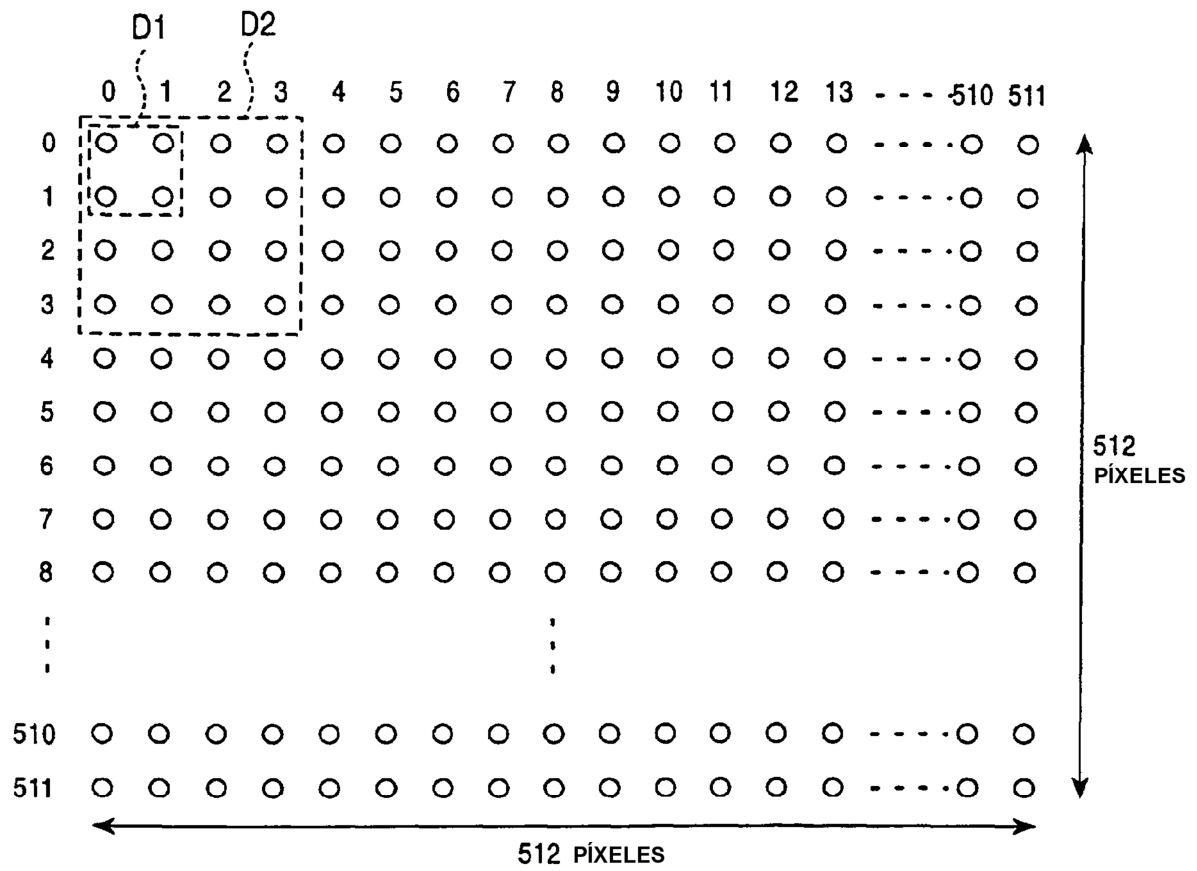


FIG. 3

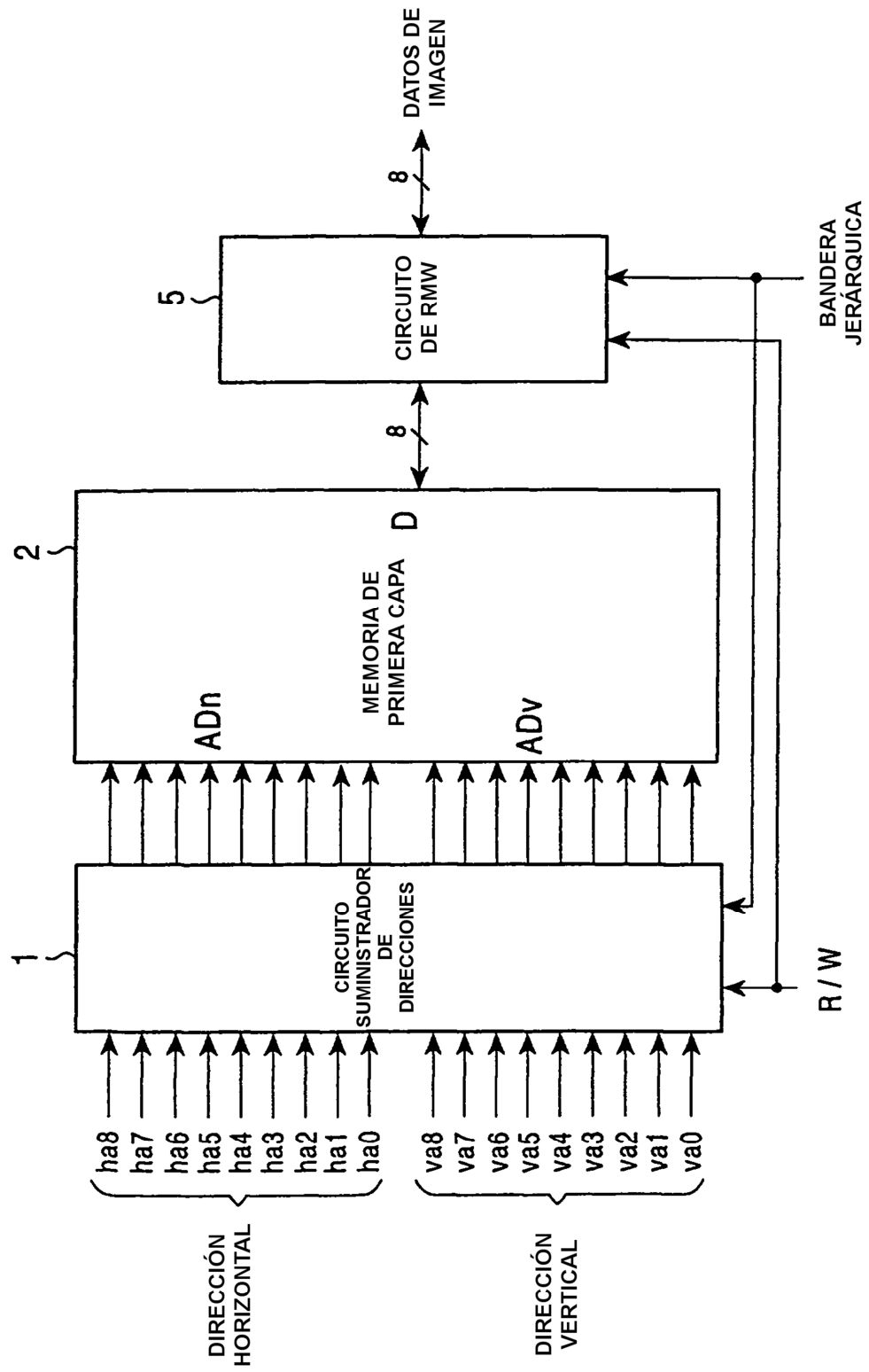


FIG. 4

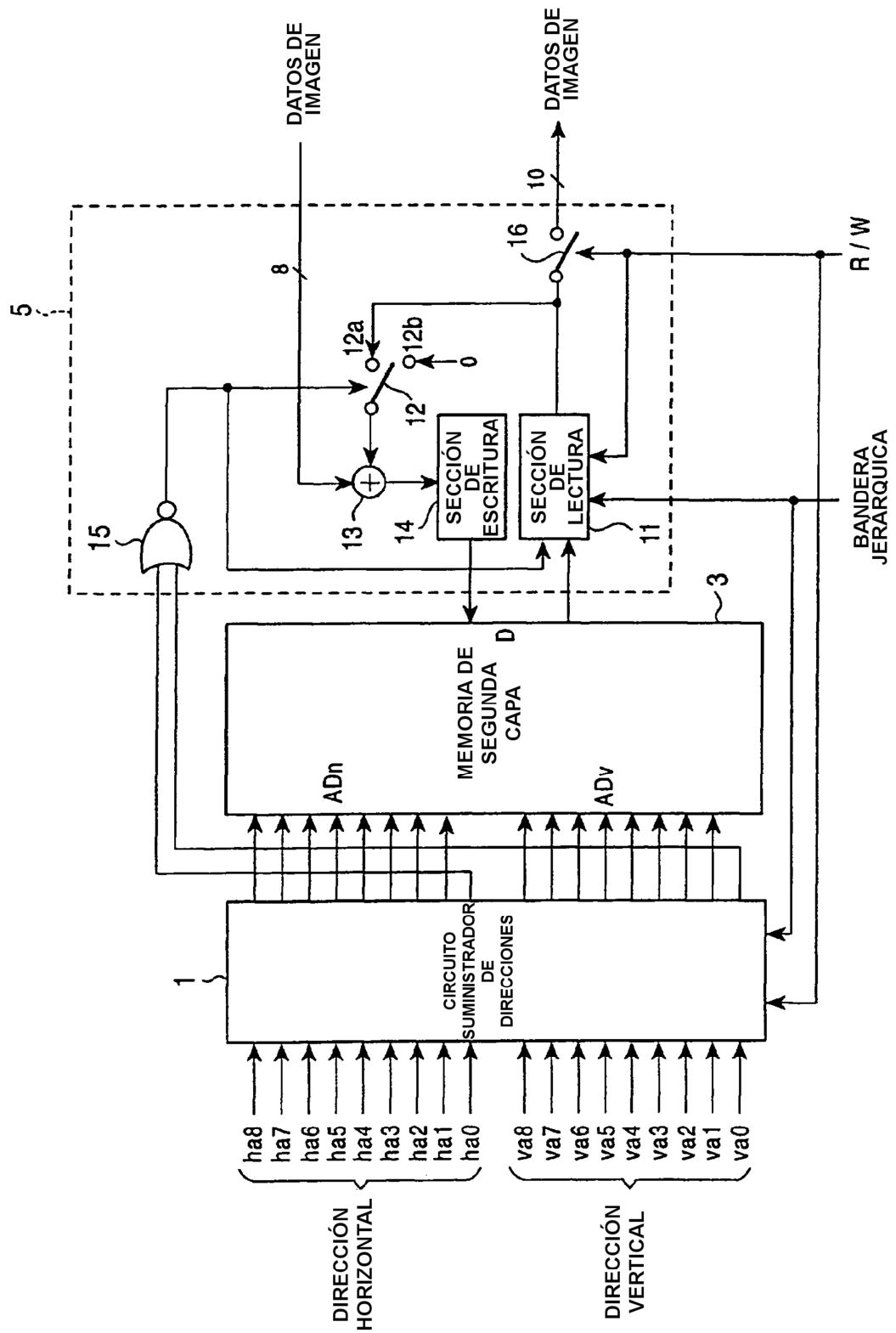


FIG. 5

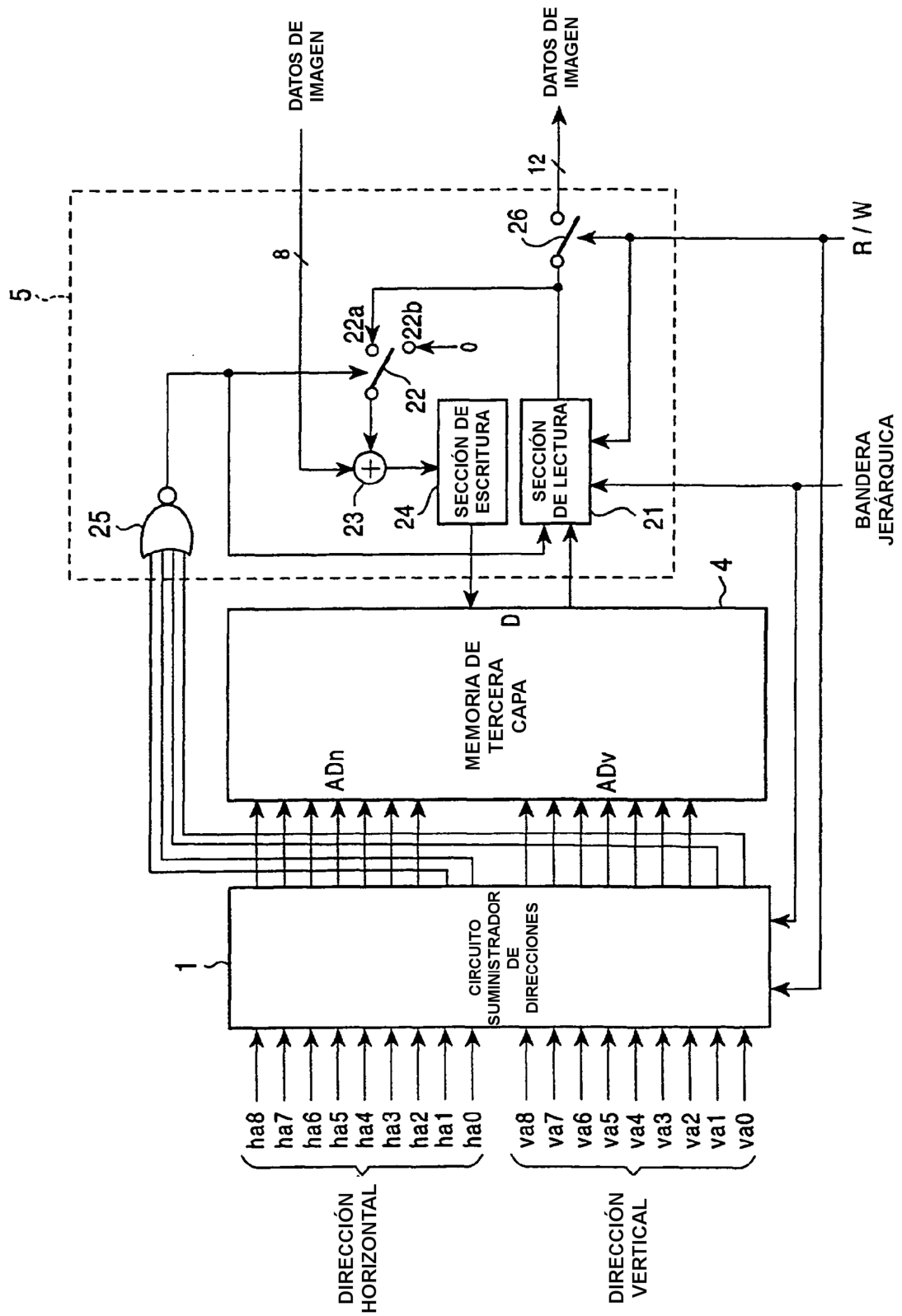


FIG. 6

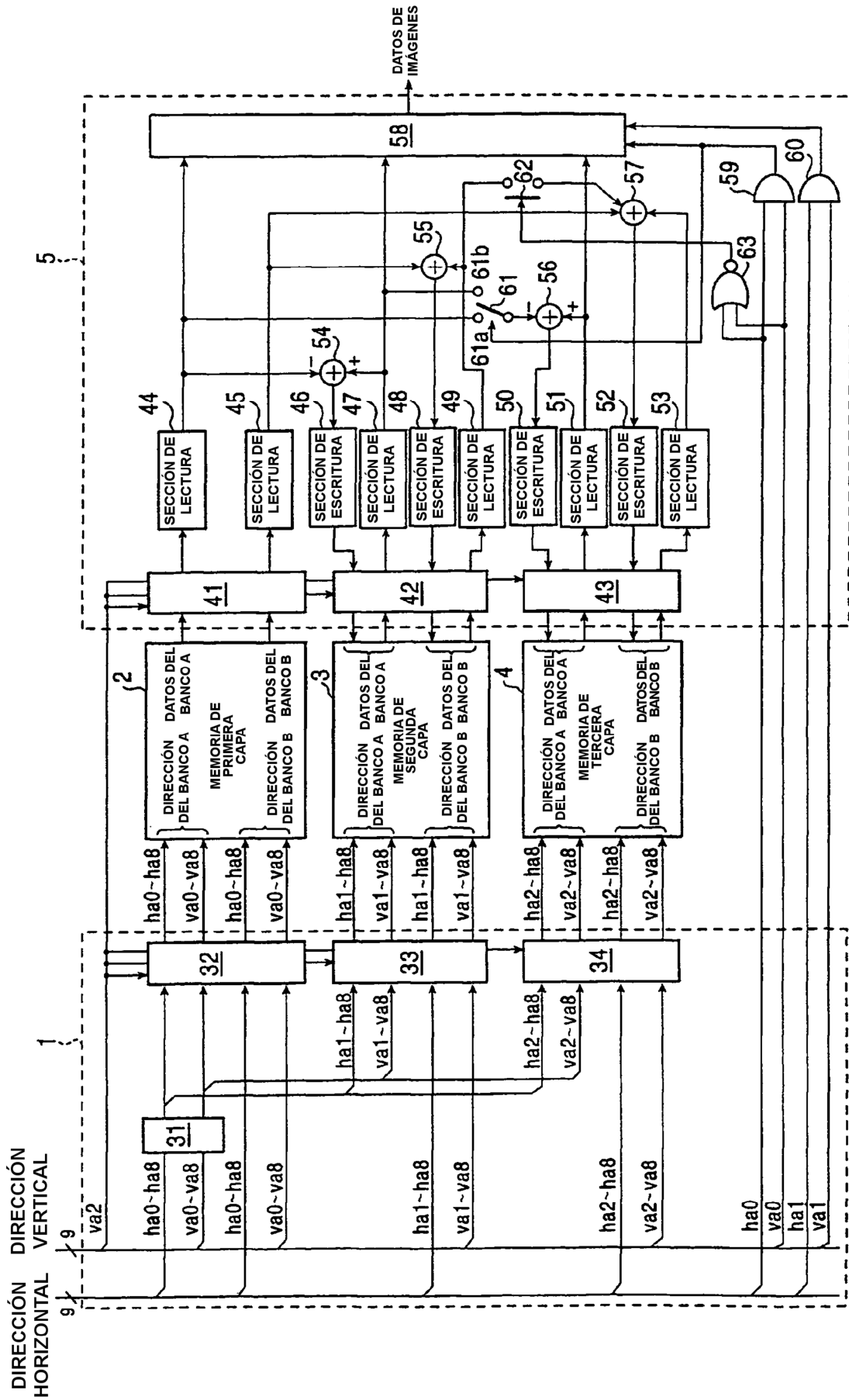


FIG. 7

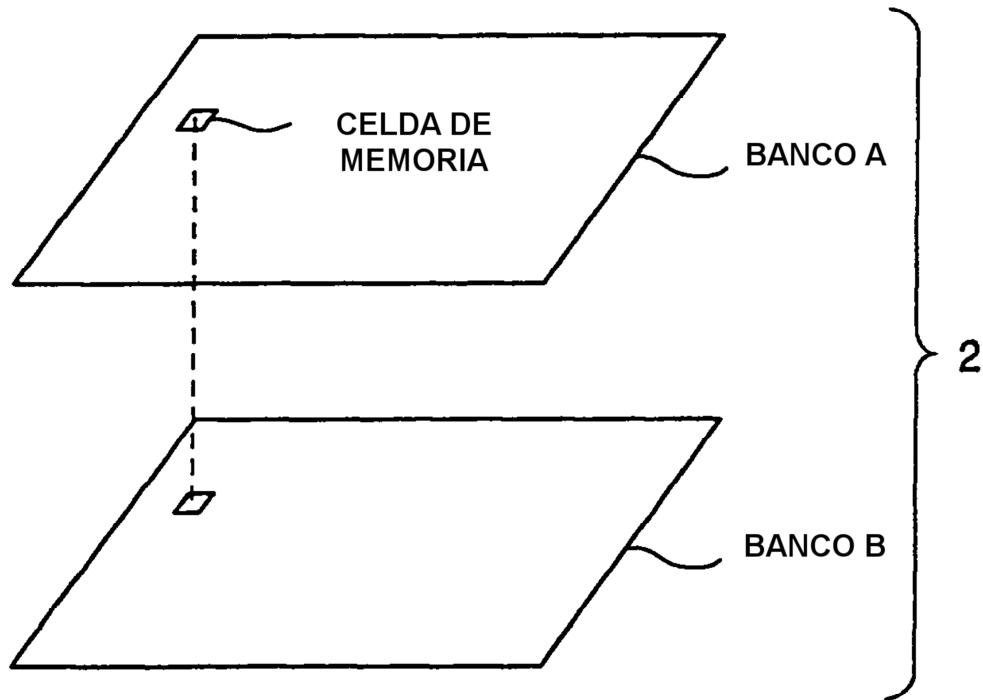


FIG. 8

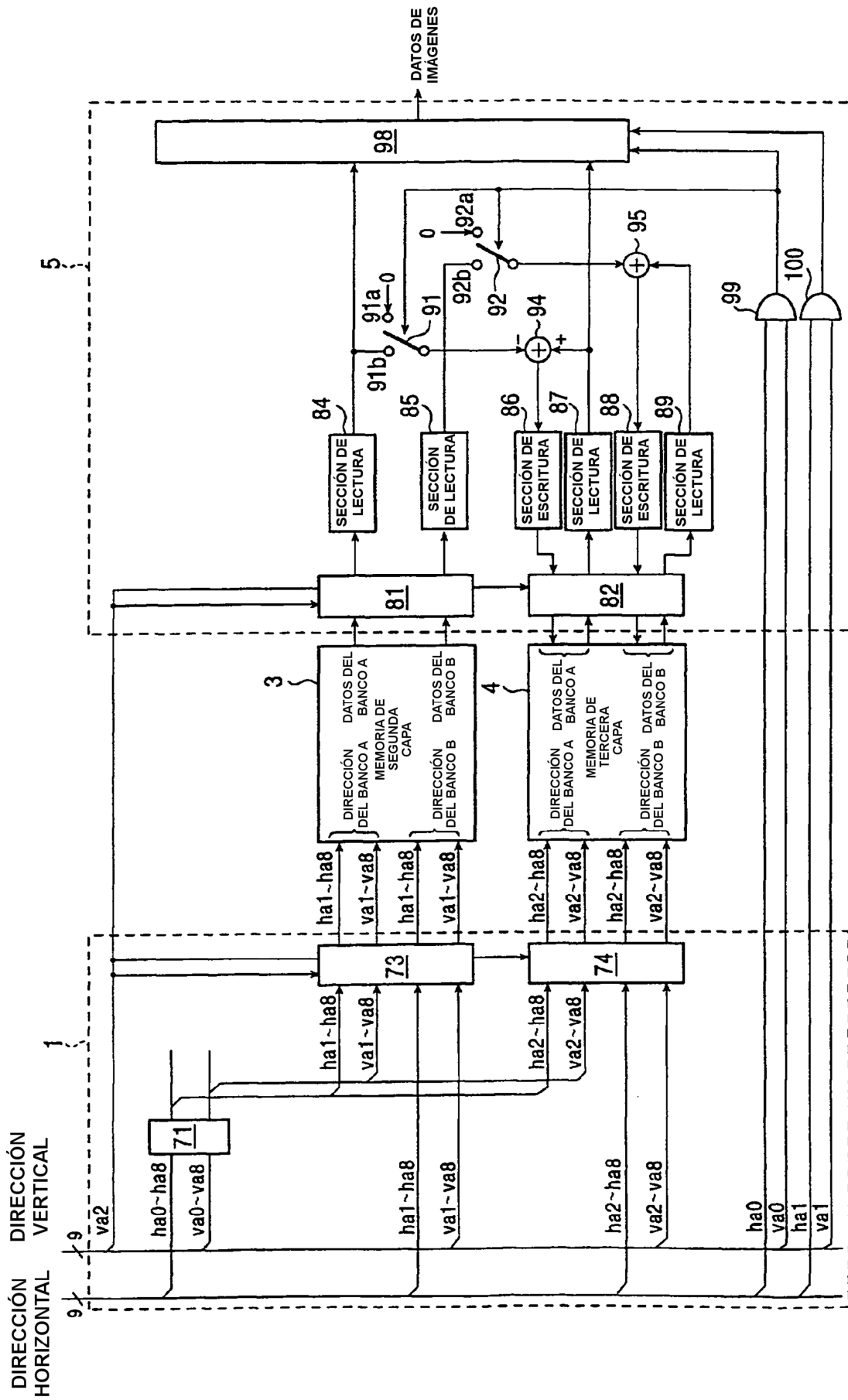


FIG. 9A

FIG. 9B

FIG. 9C

