

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 399 971**

51 Int. Cl.:

G02B 26/00 (2006.01)

G02F 1/313 (2006.01)

G09G 5/395 (2006.01)

G09G 3/34 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.09.2005 E 05796711 (9)**

97 Fecha y número de publicación de la concesión europea: **09.01.2013 EP 1800282**

54 Título: **Sistema y procedimiento para proporcionar una frecuencia variable de refresco de un dispositivo de visualización de moduladores interferométricos**

30 Prioridad:

27.09.2004 US 613526 P

08.07.2005 US 178036

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

04.04.2013

73 Titular/es:

QUALCOMM MEMS TECHNOLOGIES, INC.

(100.0%)

5775 MOREHOUSE DRIVE

SAN DIEGO, CA 92121, US

72 Inventor/es:

KOTHARI, MANISH;

CHUI, CLARENCE;

SETHI, GAURAV y

SAMPSELL, JEFFREY BRIAN

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 399 971 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento para proporcionar una frecuencia variable de refresco de un dispositivo de visualización de moduladores interferométricos

Antecedentes

5 Campo

El campo de la presente invención está relacionado con sistemas microelectromecánicos (MEMS).

Antecedentes

Los sistemas microelectromecánicos (MEMS) incluyen elementos micromecánicos, accionadores y electrónica. Pueden crearse elementos micromecánicos usando procedimientos de deposición, ataque químico y otros procedimientos de micromecanizado que decapan partes de sustratos y/o capas de materiales depositados o que añaden capas formando dispositivos eléctricos y electromecánicos. Un tipo de dispositivo MEMS se denomina modulador interferométrico. Tal como se usa en el presente documento, la expresión modulador interferométrico o fotomodulador interferométrico se refiere a un dispositivo que absorbe y/o refleja selectivamente la luz usando los principios de la interferencia óptica. En ciertas realizaciones, un modulador interferométrico puede comprender un par de placas conductoras, una o ambas de las cuales pueden ser transparentes y/o reflectantes en todo o en parte y capaces de un movimiento relativo tras la aplicación de una señal eléctrica apropiada. En una realización particular, una placa puede comprender una capa estacionaria depositada en un sustrato y la otra placa puede comprender una membrana metálica separada de la capa estacionaria por un espacio de aire. Según se describe con mayor detalle en el presente documento, la porción de una placa en relación con otra puede cambiar la interferencia óptica de la luz incidente en el modulador interferométrico. Tales dispositivos tienen una amplia gama de aplicaciones, y resultaría beneficioso en la técnica utilizar y/o modificar las características de estos tipos de dispositivos para que sus características puedan ser explotadas en la mejora de productos existentes y en la creación de nuevos productos que no se hayan desarrollado aún.

El documento WO 2003/044765 da a conocer un dispositivo de visualización electroóptico biestable con una pluralidad de píxeles, cada uno de los cuales es capaz de mostrar al menos tres niveles de gris, y versa acerca de un procedimiento de excitación del dispositivo de visualización. Un controlador del dispositivo de visualización comprueba si un ordenador requiere la presentación de una nueva imagen. En caso afirmativo, el controlador borra y repone el dispositivo de visualización y pasa a escribir la nueva imagen. Además, el controlador refresca periódicamente el dispositivo de visualización, tal como a intervalos de algunos minutos.

30 Resumen

El sistema, el procedimiento y los dispositivos de la invención tienen cada uno varios aspectos, ninguno de los cuales es responsable en exclusiva de sus atributos deseables. Sin limitar el alcance de la presente invención, ahora se expondrán brevemente sus características más prominentes. Tras considerar esta exposición, y particularmente tras leer la sección titulada "Descripción detallada de ciertas realizaciones", se entenderá cómo las características de la presente invención proporcionan ventajas que incluyen, por ejemplo, un consumo de energía reducido de un dispositivo de visualización al reducir la frecuencia de refresco del dispositivo de visualización.

En las reivindicaciones adjuntas se presentan aspectos de la invención.

Breve descripción de los dibujos

La FIG. 1 es una vista isométrica que representa una porción de una realización de un dispositivo de visualización de moduladores interferométricos en el que una capa reflectante amovible de un primer modulador interferométrico está en una posición relajada y una capa reflectante amovible de un segundo modulador interferométrico está en una posición activada.

La FIG. 2 es un diagrama de bloques de sistema que ilustra una realización de un dispositivo electrónico que incorpora un dispositivo de visualización de moduladores interferométricos 3×3.

La FIG. 3 es un diagrama de la posición especular amovible en función de la tensión aplicada para una realización ejemplar de un modulador interferométrico de la FIG. 1.

La FIG. 4 es una ilustración de un conjunto de tensiones de fila y de columna que puede usarse para excitar un dispositivo de visualización de moduladores interferométricos.

Las FIGURAS 5A y 5B ilustran un cronograma ejemplar para señales de fila y columna que pueden usarse para escribir una trama de datos de visualización en el dispositivo de visualización de moduladores interferométricos 3×3 de la FIG. 2.

Las FIGURAS 6A y 6B son diagramas de bloques de sistema que ilustran una realización de un dispositivo de visualización que comprende una pluralidad de moduladores interferométricos.

La FIG. 7A es una sección transversal del dispositivo de la FIG. 1.

La FIG. 7B es una sección transversal de una realización alternativa de un modulador interferométrico.

La FIG. 7C es una sección transversal de otra realización alternativa de un modulador interferométrico.

La FIG. 7D es una sección transversal de otra realización alternativa adicional de un modulador interferométrico.

La FIG. 7E es una sección transversal de una realización adicional de un modulador interferométrico.

5 La FIG. 8 es un diagrama de bloques que ilustra un controlador ejemplar de dispositivo que controla un dispositivo de visualización interferométrico.

La FIG. 9 es un diagrama de flujo que ilustra un procedimiento ejemplar de control de un dispositivo de visualización con el controlador ejemplar de dispositivo de la Figura 8.

10 La FIG. 10 es un diagrama de bloques que ilustra otro controlador ejemplar de dispositivo que controla un dispositivo de visualización interferométrico.

La FIG. 11 es un diagrama de flujo que ilustra un procedimiento ejemplar de control de un dispositivo de visualización usando el controlador ejemplar de dispositivo de la Figura 10.

Descripción detallada de las realizaciones preferentes

15 La siguiente descripción detallada está dirigida a ciertas realizaciones específicas de la invención. Sin embargo, la invención puede ser implementada de muchas maneras diferentes. En esta descripción se hace referencia a los dibujos, en los que las partes semejantes son designadas con números similares de principio a fin. Según será evidente por la siguiente descripción, las realizaciones pueden ser implementadas en cualquier dispositivo que esté configurado para mostrar una imagen, ya sea en movimiento (por ejemplo, vídeo) o estacionaria (por ejemplo, imagen fija), y ya sea en forma de texto o pictórica. Más en particular, se contempla que las realizaciones puedan implementarse o estar asociadas con varios dispositivos electrónicos tales como, sin limitación, teléfonos móviles, dispositivos inalámbricos, agendas electrónicas (PDA), ordenadores de mano o portátiles, receptores/navegadores de GPS, cámaras, reproductores de MP3, videocámaras, consolas de juegos, relojes de pulsera, relojes, calculadoras, monitores de televisión, pantallas planas, monitores de ordenador, dispositivos de visualización de automóvil (por ejemplo, el dispositivo de visualización del cuentakilómetros, etc.), controles y/o dispositivos de visualización de una cabina de mando, la visualización de visores de cámara (por ejemplo, la visualización de una cámara retrovisora en un vehículo), fotografías electrónicas, señales o carteles electrónicos, proyectores, estructuras arquitectónicas, envoltorios y estructuras estéticas (por ejemplo, visualización de imágenes en un objeto de joyería). También pueden usarse dispositivos MEMS de estructura similar a las de los descritos en el presente documento en aplicaciones distintas de la visualización, tales como en dispositivos electrónicos de conmutación.

20 Las realizaciones incluyen sistemas y procedimientos de actualización de un dispositivo de visualización con una frecuencia que está relacionada con la frecuencia con que los datos se escriben en el dispositivo de visualización, en vez de con una frecuencia, generalmente mayor, que no esté directamente relacionada con la frecuencia con la que los datos se escriben en el dispositivo de visualización. Por ejemplo, en una realización, se configura una memoria de bandera para indicar si una memoria intermedia de tramas de visualización ha recibido nuevos datos después de la última actualización del dispositivo de visualización. en una realización de ese tipo, un controlador consulta una memoria de bandera con una frecuencia especificada para determinar si diferir la actualización del dispositivo de visualización (o una porción del dispositivo de visualización) porque la memoria intermedia de tramas no ha recibido datos nuevos desde la última actualización del dispositivo de visualización. En otra realización, las actualizaciones del dispositivo de visualización son sustancialmente asíncronas y ocurren cuando el procesador escribe datos a uno o más registros de desplazamiento. Cuando se llena un registro de desplazamiento, por ejemplo al haber recibido datos para una fila dentro del dispositivo de visualización, los datos en el registro de desplazamiento se escriben al dispositivo de visualización.

25 En la Figura 1 se ilustra una realización de un dispositivo de visualización de moduladores interferométricos que comprende un elemento de visualización interferométrico MEMS. En estos dispositivos, los píxeles están en un estado claro u oscuro. En el estado claro ("activado" o "abierto"), el elemento de visualización refleja a un usuario una gran porción de la luz visible incidente. Cuando está en el estado oscuro ("desactivado" o "cerrado"), el elemento de visualización refleja al usuario poca luz visible incidente. Dependiendo de la realización, pueden invertirse las propiedades de reflexión de la luz de los estados "activado" y "desactivado". Los píxeles MEMS pueden configurarse para que reflejen predominantemente en colores seleccionados, permitiendo una visualización en color, además de en blanco y negro.

30 La Figura 1 es una vista isométrica que representa dos píxeles adyacentes en una serie de píxeles de un dispositivo de visualización, comprendiendo cada píxel un modulador interferométrico MEMS. En algunas realizaciones, un dispositivo de visualización de moduladores interferométricos comprende una matriz de filas/columnas de estos moduladores interferométricos. Cada modulador interferométrico incluye un par de capas reflectantes situadas a una distancia mutua variable y controlable para formar una cavidad óptica resonante con al menos una dimensión variable. En una realización, una de las capas reflectantes puede moverse entre dos posiciones. En la primera posición, denominada posición relajada en el presente documento, la capa reflectante amovible está situada a una distancia relativamente grande de una capa fija parcialmente reflectante. En la segunda posición, denominada posición activada en el presente documento, la capa reflectante amovible está situada más estrechamente adyacente a la capa parcialmente reflectante. La luz incidente que se refleja de las dos capas se interfiere

constructiva o destructivamente, dependiendo de la posición de la capa reflectante amovible, produciendo globalmente un estado ya sea reflectante o no reflectante para cada píxel.

La porción representada de la matriz de píxeles de la Figura 1 incluye dos moduladores interferométricos adyacentes 12a y 12b. En el modulador interferométrico 12a de la izquierda, se ilustra una capa reflectante amovible 14a en una posición relajada a una distancia predeterminada de una pila óptica 16a, que incluye una capa parcialmente reflectante. En el modulador interferométrico 12b de la derecha, la capa reflectante amovible 14b se ilustra en una posición activada adyacente a la pila óptica 16b.

Las pilas ópticas 16a y 16b (denominadas colectivamente pila óptica 16), según son objeto de referencia en el presente documento, comprenden normalmente varias capas fusionadas, que pueden incluir una capa electrodo, tal como óxido de indio-estaño (ITO), una capa parcialmente reflectante, tal como cromo, y un dieléctrico transparente. La pila óptica 16 es, así, eléctricamente conductora, parcialmente transparente y parcialmente reflectante, y puede fabricarse, por ejemplo, depositando una o más de las capas anteriores sobre un sustrato transparente 20. En algunas realizaciones, las capas son modeladas en tiras paralelas, y pueden formar electrodos de fila en un dispositivo de visualización según se describe adicionalmente en lo que sigue. Las capas reflectantes amovibles 14a, 14b pueden formarse como una serie de tiras paralelas de una capa o de capas metálicas depositadas (ortogonales a los electrodos 16a, 16b de fila) depositada encima de los pilares 18 y un material sacrificial intermedio depositado entre los pilares 18. Cuando se elimina por ataque químico el material sacrificial, las capas reflectantes amovibles 14a, 14b son separadas de las pilas ópticas 16a, 16b por un espacio definido 19. Puede usarse un material muy conductor y reflectante, como el aluminio, para las capas reflectantes 14, y estas tiras pueden formar electrodos de columna en un dispositivo de visualización.

Sin aplicar tensión alguna, la cavidad 19 permanece entre la capa reflectante amovible 14a y la pila óptica 16a, con la capa reflectante amovible 14a en un estado mecánicamente relajado, tal como se ilustra con el píxel 12a en la Figura 1. Sin embargo, cuando se aplica una diferencia de potencial a la fila y la columna seleccionadas, el condensador formado en la intersección de los electrodos de fila y columna en el píxel correspondiente se carga, y las fuerzas electrostáticas acercan los electrodos mutuamente. Si la tensión es lo suficientemente alta, la capa reflectante amovible 14 se deforma y es obligada a acercarse a la pila óptica 16. Una capa dieléctrica (no ilustrada en esta figura) dentro de la pila óptica 16 puede evitar cortocircuitos y controlar la distancia de separación entre las capas 14 y 16, tal como se ilustra con el píxel 12b de la derecha de la Figura 1. El comportamiento es el mismo con independencia de la polaridad de la diferencia de potencial aplicada. Así, la activación de fila/columna que puede controlar los estados reflectante o no reflectante de los píxeles es análoga en muchos sentidos a la usada en tecnologías LCD convencionales y otras tecnologías de dispositivos de visualización.

Las Figuras 2 a 5 ilustran un procedimiento y un sistema ejemplares para el uso de una matriz de moduladores interferométricos en una aplicación de dispositivo de visualización.

La Figura 2 es un diagrama de bloques de sistema que ilustra una realización de un dispositivo electrónico que puede incorporar aspectos de la invención. En la realización ejemplar, el dispositivo electrónico incluye un procesador 21 que puede ser cualquier procesador de uso general monochip o multichip, tal como un procesador ARM, Pentium®, Pentium II®, Pentium III®, Pentium IV®, Pentium® Pro, un 8051, un MIPS®, un Power PC®, un ALPHA® o cualquier microprocesador de uso especial, tal como un procesador de señales digitales, un microcontrolador o una matriz de puertas programables. Como es convencional en la técnica, el procesador 21 puede estar configurado para ejecutar uno o más módulos de soporte lógico. Además de ejecutar un sistema operativo, el procesador puede estar configurado para ejecutar una o más aplicaciones de soporte lógico, incluyendo un navegador, una aplicación telefónica, un programa de correo electrónico o cualquier otra aplicación de soporte lógico.

En una realización, el procesador 21 también está configurado para comunicarse con un controlador matricial 22. En una realización, el controlador matricial 22 incluye un circuito controlador 24 de filas y un circuito controlador 26 de columnas que proporcionan señales a un panel o matriz 30 de visualización (dispositivo de visualización). Las líneas 1-1 de la Figura 2 muestran la sección transversal de la matriz ilustrada en la Figura 1. Para los moduladores interferométricos MEMS, el protocolo de activación de fila/columna puede aprovechar una propiedad de histéresis de estos dispositivos ilustrada en la Figura 3. Puede requerir, por ejemplo, una diferencia de potencial de 10 voltios hacer que una capa amovible se deforme del estado relajado al estado activado. Sin embargo, cuando se reduce la tensión desde ese valor, la capa amovible mantiene su estado cuando la tensión vuelve a caer por debajo de los 10 voltios. En la realización ejemplar de la Figura 3, la capa amovible no se relaja completamente hasta que la tensión cae por debajo de 2 voltios. Así, hay un intervalo de tensión, aproximadamente de 3 a 7 V en el ejemplo ilustrado en la Figura 3, en el que existe una ventana de tensión aplicada dentro de la cual el dispositivo es estable ya sea en el estado relajado o en el estado activado. Esto se denomina en el presente documento "ventana de histéresis" o "ventana de estabilidad". Para una matriz de visualización que tenga las características de histéresis de la Figura 3, el protocolo de activación de fila/columna puede ser diseñado de tal modo que, durante la selección de la señal de una fila, los píxeles de la fila para la que se selecciona la señal que han de ser activados son expuestos a una diferencia de tensión de aproximadamente 10 voltios, y los píxeles que han de relajarse son expuestos a una diferencia de tensión cercana a cero voltios. Tras la selección de la señal, los píxeles son expuestos a una diferencia

de tensión de estado estacionario de aproximadamente 5 voltios, de modo que permanezcan en cualquier estado que la selección de señal de la fila los pusiera. Después de ser escrito, cada píxel ve una diferencia de potencial dentro de la "ventana de estabilidad" de 3-7 voltios en este ejemplo. Esta característica hace que el diseño de píxeles ilustrado en la Figura 1 sea estable en las mismas condiciones de tensión aplicada en el estado preexistente, ya sea activado o relajado. Dado que cada píxel del modulador interferométrico, ya esté en el estado activado o en el relajado, es esencialmente un condensador formado por las capas reflectantes fija y amovible, este estado estable puede mantenerse a una tensión dentro de la ventana de histéresis casi sin disipación de potencia. En esencia, no fluye corriente alguna al píxel si el potencial aplicado es fijo.

En aplicaciones típicas, puede crearse una trama de visualización afirmando el conjunto de electrodos de columna según el conjunto deseado de píxeles activados de la primera fila. A continuación, se aplica un impulso de fila al electrodo de la fila 1, activando los píxeles correspondientes a las líneas de columna afirmadas. Acto seguido, se cambia el conjunto afirmado de electrodos de columna para que se corresponda al conjunto deseado de píxeles activados de la segunda fila. Se aplica entonces un impulso al electrodo de la fila 2, activando los píxeles apropiados de la fila 2 según los electrodos de columna afirmada. Los píxeles de la fila 1 no se ven afectados por el impulso de la fila 2, y permanecen en el estado en el que fueron puestos durante el impulso de la fila 1. Esto puede repetirse para toda la serie de filas de manera secuencial para producir la trama. Generalmente, las tramas son refrescadas y/o actualizadas con nuevos datos de visualización repitiendo continuamente este procedimiento a cierto número deseado de tramas por segundo. También es bien conocida una amplia variedad de protocolos para excitar electrodos de fila y columna de matrices de píxeles para producir tramas de visualización, y puede ser utilizada en unión con la presente invención.

Las Figuras 4 y 5 ilustran un posible protocolo de actuación para crear una trama de visualización en la matriz de 3x3 de la Figura 2. La Figura 4 ilustra un posible conjunto de niveles de tensión de columna y fila que puede usarse para píxeles que presenten las curvas de histéresis de la Figura 3. En la realización de la Figura 4, activar un píxel implica poner la columna apropiada a una $-V_{\text{polarización}}$, y la fila apropiada a $+\Delta V$, lo que puede corresponder a -5 voltios y +5 voltios, respectivamente. La relajación del píxel se logra poniendo la columna apropiada a $+V_{\text{polarización}}$, y la fila apropiada a la misma $+\Delta V$, produciendo una diferencia de potencial de cero voltios en el píxel. En aquellas filas en las que la tensión de la fila se mantiene a cero voltios, los píxeles son estables en cualquier estado en el que estuvieran en origen, con independencia de si la columna está a $+V_{\text{polarización}}$, o a $-V_{\text{polarización}}$. Tal como también se ilustra en la Figura 4, se apreciará que pueden usarse tensiones de polaridad opuesta a las de las descritas en lo que antecede; por ejemplo, activar un píxel puede implicar poner la columna apropiada a $+V_{\text{polarización}}$, y la fila apropiada a $-\Delta V$. En esta realización, relajar el píxel se logra poniendo la columna apropiada a $-V_{\text{polarización}}$, y la fila apropiada a la misma $-\Delta V$, produciendo una diferencia de potencial de cero voltios en el píxel.

La Figura 5B es un cronograma que muestra una serie de señales de fila y de columna aplicadas a la matriz de 3x3 de la Figura 2 que dará como resultado la disposición de visualización ilustrada en la Figura 5A, en la que los píxeles activados son no reflectantes. Antes de escribir la trama ilustrada en la Figura 5A, los píxeles pueden estar en cualquier estado y, en este ejemplo, todas las filas están a 0 voltios, y todas las columnas están a +5 voltios. Con estas tensiones aplicadas, todos los píxeles son estables en sus estados existentes activados o relajados.

En la trama de la Figura 5A están activados los píxeles (1,1), (1,2), (2,2), (3,2) y (3,3). Para lograr esto, durante un "tiempo de línea" para la fila 1, las columnas 1 y 2 se ponen a -5 voltios y la columna 3 se pone a +5 voltios. Esto no cambia el estado de ningún píxel, porque todos los píxeles siguen en la ventana de estabilidad de 3-7 voltios. La fila 1 es objeto de selección de señales con un impulso que va de 0 hasta 5 voltios y vuelve a cero. Esto activa los píxeles (1,1) y (1,2) y relaja el píxel (1,3). Ningún otro píxel de la matriz se ve afectado. Para poner la fila 2 como se desea, se pone la columna 2 a -5 voltios, y las columnas 1 y 3 se ponen a +5 voltios. La misma selección de señales aplicada a la fila 2 activará entonces el píxel (2,2) y relajará los píxeles (2,1) y (2,3). De nuevo, ningún otro píxel de la matriz se ve afectado. La fila 3 se pone de forma similar poniendo las columnas 2 y 3 a -5 voltios y la columna 1 a +5 voltios. La selección de señales de la fila 3 pone los píxeles de la fila 3 según se muestra en la Figura 5A. Tras la escritura de la trama, los potenciales de fila son cero, y los potenciales de columna pueden permanecer ya sea a +5 o a -5 voltios, y el dispositivo de visualización es entonces estable en la disposición de la Figura 5A. Se apreciará que puede emplearse el mismo procedimiento para matrices de docenas o cientos de filas y columnas. También se apreciará que la sincronización, la secuencia y los niveles de las tensiones usadas para llevar a cabo la activación de filas y columnas puede variar ampliamente dentro de los principios generales esbozados en lo que antecede, y que el ejemplo anterior es únicamente ejemplar, y que puede usarse cualquier procedimiento de tensión de activación con los sistemas y los procedimientos descritos en el presente documento.

Las Figuras 6A y 6B son diagramas de bloques de sistema que ilustran una realización de un dispositivo 40 de visualización. El dispositivo 40 de visualización puede ser, por ejemplo, un teléfono celular o móvil. Sin embargo, los mismos componentes del dispositivo 40 de visualización o ligeras variaciones de los mismos son también ilustrativos de diversos tipos de dispositivos de visualización, tal como televisores y reproductores multimedia portátiles.

El dispositivo 40 de visualización incluye un alojamiento 41, una pantalla 30, una antena 43, un altavoz 45, un dispositivo 48 de entrada y un micrófono 46. El alojamiento 41 se forma generalmente a partir de cualquiera de varios procedimientos de fabricación que son bien conocidos para los expertos en la técnica, incluye el moldeo por

inyección y la formación al vacío. Además, el alojamiento 41 puede fabricarse de cualquiera de varios materiales, incluyendo, sin limitación, plástico, metal, vidrio, caucho y cerámica, o una combinación de los mismos. En una realización, el alojamiento 41 incluye porciones extraíbles (no mostradas) que pueden intercambiarse con otras porciones extraíble de color diferente, o que contengan logotipos, imágenes o símbolos diferentes.

5 La pantalla 30 del dispositivo ejemplar 40 de visualización puede ser cualquiera de varias pantallas, incluyendo una pantalla biestable, tal como la descrita en el presente documento. En otras realizaciones, la pantalla 30 incluye una pantalla de panel plano, tal como plasma, EL, OLED, LCD STN o LCD TFT, según se ha descrito en lo que antecede, o una pantalla de panel no plano, tal como un CRT u otro dispositivo de tubo, como conocen bien los expertos en la técnica. Sin embargo, para los fines de la descripción de la presente realización, la pantalla 30 incluye un dispositivo de visualización de moduladores interferométricos, tal como se describe en el presente documento.

10 En la Figura 6B se ilustran esquemáticamente los componentes de una realización del dispositivo ejemplar 40 de visualización. El dispositivo ejemplar 40 de visualización ilustrado incluye un alojamiento 41 y puede incluir componentes adicionales al menos parcialmente encerrados en el mismo. Por ejemplo, en una realización, el dispositivo ejemplar 40 de visualización incluye una interfaz 27 de red que incluye una antena 43 que está acoplada a un transceptor 47. El transceptor 47 está conectado al procesador 21, que está conectado a soporte físico 52 de acondicionamiento. El soporte físico 52 de acondicionamiento puede estar configurado para acondicionar una señal (por ejemplo, filtra una señal). El soporte físico 52 de acondicionamiento está conectado a un altavoz 45 y a un micrófono 46. El procesador 21 también está conectado a un dispositivo 48 de entrada y a un controlador 29 de dispositivo. El controlador 29 de dispositivo está acoplado a una memoria intermedia 28 de tramas y al controlador matricial 22, que, a su vez, está acoplado a una matriz 30 de visualización. Una fuente 50 de alimentación proporciona energía a todos los componentes según lo requiera el diseño particular del dispositivo ejemplar 40 de visualización.

15 La interfaz 27 de red incluye la antena 43 y el transceptor 47 para que el dispositivo ejemplar 40 de visualización pueda comunicarse con uno o más dispositivos en una red. En una realización, la interfaz 27 de red también puede tener algunas prestaciones de procesamiento para reducir los requisitos del procesador 21. La antena 43 es cualquier antena conocida a los expertos en la técnica para transmitir y recibir señales. En una realización, la antena transmite y recibe señales de RF según el estándar IEEE 802.11, incluyendo los IEEE 802.11(a), (b) o (g). En otra realización, la antena transmite y recibe señales de RF según el estándar BLUETOOTH. En el caso de un teléfono celular, la antena está diseñada para recibir señales CDMA, GSM, AMPS u otras señales conocidas que se usan para comunicarse dentro de una red inalámbrica de teléfonos celulares. El transceptor 47 preprocesa las señales recibidas de la antena 43 para que puedan ser recibidas y manipuladas ulteriormente por el procesador 21. El transceptor 47 también procesa señales recibidas del procesador 21 para que puedan ser transmitidas desde el dispositivo ejemplar 40 de visualización a través de la antena 43.

20 En una realización alternativa, el transceptor 47 puede ser sustituido por un receptor. En otra realización adicional, la interfaz 27 de red puede ser sustituida por una fuente de imágenes, que puede guardar o generar datos de imágenes que han de enviarse al procesador 21. Por ejemplo, la fuente de imágenes puede ser un disco de vídeo digital (DVD) o una unidad de disco duro que contenga datos de imágenes, o un módulo de soporte lógico que genere datos de imágenes.

25 El procesador 21 controla generalmente la operación en su conjunto del dispositivo ejemplar 40 de visualización. El procesador 21 recibe los datos, tales como datos comprimidos de imagen, de la interfaz 27 de red o de una fuente de imágenes y procesa los datos generando datos en bruto de imágenes o en un formato que sea fácilmente procesado como datos en bruto de imágenes. Acto seguido, el procesador 21 envía los datos procesados al controlador 29 de dispositivo o a la memoria intermedia 28 de tramas para su almacenamiento. Normalmente, datos en bruto se refiere a la información que identifica las características de la imagen en cada ubicación dentro de una imagen. Por ejemplo, tales características de imagen pueden incluir color, saturación y nivel de escala de grises.

30 En una realización, el procesador 21 incluye un microcontrolador, una CPU o una unidad lógica para controlar la operación del dispositivo ejemplar 40 de visualización. El soporte físico 52 de acondicionamiento generalmente incluye amplificadores y filtros para transmitir señales al altavoz 45 y para recibir señales del micrófono 46. El soporte físico 52 de acondicionamiento pueden ser componentes diferenciados dentro del dispositivo ejemplar 40 de visualización o puede estar incorporado dentro del procesador 21 o de otros componentes.

35 El controlador 29 de dispositivo toma los datos de imágenes en bruto generados por el procesador 21, ya sea directamente del procesador 21 o de la memoria intermedia 28 de tramas, y da nuevo formato a los datos en bruto de imágenes de forma apropiada para la transmisión a alta velocidad al controlador 22 de dispositivo. Específicamente, el controlador 29 de dispositivo da nuevo formato a los datos en bruto de imágenes formando un flujo de datos que tiene un formato de tipo reticulación, de modo que tenga un orden de tiempos adecuado para un barrido de la matriz 30 de visualización. Acto seguido, el controlador 29 de dispositivo envía la información formateada al controlador matricial 22. Aunque un controlador 29 de dispositivo, tal como un controlador de LCD, está a menudo asociado con el procesador 21 del sistema como un circuito integrado (IC) dedicado, tales controladores pueden ser implementados de muchas maneras. Pueden estar embebidos en el procesador 21 como

soporte físico, embebidos en el procesador 21 como soporte lógico, o plenamente integrados en el soporte físico con el controlador matricial 22.

5 Normalmente, el controlador matricial 22 recibe la información formateada del controlador 29 de dispositivo y da nuevo formato a los datos de vídeo en un conjunto paralelo de formas de onda que se aplica muchas veces por segundo a cientos y a veces a miles de conductores que salen de la matriz x-y de píxeles de la pantalla.

10 En una realización, el controlador 29 de dispositivo, en controlador matricial 22 y la matriz 30 de visualización son apropiados para cualquiera de los tipos de dispositivos de visualización descritos en el presente documento. Por ejemplo, en una realización, el controlador 29 de dispositivo es un controlador de dispositivo de visualización convencional o un controlador de dispositivo de visualización biestable (por ejemplo, un controlador de moduladores interferométricos). En otra realización, el controlador matricial 22 es un controlador convencional o un controlador de dispositivo de visualización biestable (por ejemplo, un controlador de moduladores interferométricos). En una realización, un controlador 29 de dispositivo está integrado con el controlador matricial 22. Tal realización es común en sistemas muy integrados, como teléfonos celulares, relojes y otros dispositivos de visualización de área pequeña. En otra realización adicional, la matriz 30 de visualización es una matriz de visualización normal o una matriz de visualización biestable (por ejemplo, un dispositivo de visualización que incluya una matriz de moduladores interferométricos).

15 El dispositivo 48 de entrada permite que un usuario controle la operación del dispositivo ejemplar 40 de visualización. En una realización, el dispositivo 48 de entrada incluye un teclado, tal como un teclado QWERTY o un teclado de teléfono, un botón, un conmutador, una pantalla sensible al tacto o una membrana sensible a la presión o al calor. En una realización, el micrófono 46 es un dispositivo de entrada para el dispositivo ejemplar 40 de visualización. cuando se usa el micrófono 46 para introducir datos en el dispositivo, un usuario puede proporcionar órdenes de voz para controlar operaciones del dispositivo ejemplar 40 de visualización.

20 La fuente 50 de alimentación puede incluir varios dispositivos de almacenamiento de energía bien conocidos en la técnica. Por ejemplo, en una realización, la fuente 50 de alimentación es una batería recargable, tal como una batería de níquel-cadmio o una batería de iones de litio. En otra realización, la fuente 50 de alimentación es una fuente de energía renovable, un condensador o una célula solar, incluyendo una célula solar de plástico y pintura de célula solar. En otra realización, la fuente 50 de alimentación está configurada para recibir energía por medio de un enchufe de pared.

25 En algunas implementaciones la programabilidad del control reside, tal como se ha descrito en lo que antecede, en un controlador de dispositivo que puede estar situado en varios lugares en el sistema electrónico de visualización. En algunos casos, la programabilidad del control reside en el controlador matricial 22. Los expertos en la técnica reconocerán que la optimización descrita en lo que antecede puede implementarse en cualquier número de componentes de soporte físico y/o soporte lógico y en diversas configuraciones.

30 Los detalles de la estructura de los moduladores interferométricos que operan según los principios expuestos en lo que antecede pueden variar mucho. Por ejemplo, las Figuras 7A-7E ilustran cinco realizaciones diferentes de la capa reflectante amovible 14 y sus estructuras de apoyo. La Figura 7A es una sección transversal de la realización de la Figura 1 en la que se deposita una tira de material metálico 14 sobre soportes 18 que se extienden ortogonalmente. En la Figura 7B, la capa reflectante amovible 14 está unida a soportes únicamente en las esquinas, sobre enlaces 32. En la Figura 7C, la capa reflectante amovible 14 está suspendida de una capa deformable 34 que puede comprender un metal flexible. La capa deformable 34 conecta, directa o indirectamente, con el sustrato 20 en torno al perímetro de la capa deformable 34. Estas conexiones son denominadas en el presente documento pilares de soporte. La realización ilustrada en la Figura 7D tiene tacos 42 de pilares de soporte sobre los que descansa la capa deformable 34. La capa reflectante amovible 14 permanece suspendida sobre la cavidad, como en las Figuras 7A-7C, pero la capa deformable 34 no forma los pilares de soporte rellenando los agujeros entre la capa deformable 34 y la pila óptica 16. Más bien, los pilares de soporte se forman de un material de planarización que se usa para formar los tacos 42 de pilares de soporte. La realización ilustrada en la Figura 7E se basa en la realización mostrada en la Figura 7D, pero también puede adaptarse para que funcione con cualquiera de las realizaciones ilustradas en las Figuras 7A-7C, así como con realizaciones adicionales no mostradas. En la realización mostrada en la Figura 7E, se ha usado una capa extra de metal u otro material conductor para formar una estructura 44 de bus. Esto permite un encaminamiento de las señales a lo largo de la parte trasera de los moduladores interferométricos, eliminando varios electrodos que, si no, habrían tenido que formarse en el sustrato 20.

35 En realizaciones tales como las mostradas en la Figura 7, los moduladores interferométricos funcionan como dispositivos de visión directa, en los que las imágenes se ven desde el lado frontal del sustrato transparente 20, el lado opuesto a aquel sobre el que está dispuesto el modulador. En estas realizaciones, la capa reflectante 14 protege ópticamente algunas porciones del modulador interferométrico en el lado de la capa reflectante opuesta al sustrato 20, incluyendo la capa deformable 34 y la estructura 44 de bus. Esto permite que las áreas protegidas se configuren y operen sin afectar negativamente a la calidad de la imagen. Esta arquitectura de moduladores separables permite que el diseño estructural y los materiales usados para los aspectos electromecánicos y los aspectos ópticos del modulador se seleccionen y funcionen con independencia mutua. Además, las realizaciones

mostradas en las Figuras 7C-7E tienen beneficios adicionales que se derivan de la separación de las propiedades ópticas de la capa reflectante 14 de sus propiedades mecánicas, que son realizadas por la capa deformable 34. Esto permite que el diseño estructural y los materiales usados para la capa reflectante 14 se optimicen con respecto a las propiedades ópticas, y que el diseño estructural y los materiales usados para la capa deformable 34 se optimicen con respecto a las propiedades mecánicas deseadas.

En una realización, el controlador 29 de dispositivo proporciona datos para excitar la matriz 30 en el controlador matricial 22 a una "frecuencia de refresco" especificada, que puede depender de las características de la matriz 30 de visualización objeto de direccionamiento. Por ejemplo, las pantallas STN se refrescan normalmente a 70 Hz o más, con independencia de la frecuencia de actualización del contenido. En este caso, el controlador 29 de dispositivo escribe el contenido de la memoria intermedia de tramas en los píxeles individuales de la pantalla para forma una imagen visible 70 veces cada segundo.

Generalmente, esta frecuencia de refresco es más rápida que la frecuencia con la que se recibe del procesador 21 nuevo contenido. La frecuencia de refresco de tal sistema es normalmente un compromiso entre varios factores. Por ejemplo, las pantallas tales como los tubos de rayos catódicos (CRT) o las pantallas de cristal líquido (LCD) no basadas en TFT normalmente no tienen ningún tipo de memoria de píxeles. Cada píxel de la pantalla puede presentar correctamente datos escritos al mismo solo durante un periodo de tiempo breve. En un CRT, este periodo depende normalmente de las propiedades de los elementos fosforescentes que componen el píxel y de la sensibilidad del sistema visual humano a las imágenes parpadeantes. En una LCD TFT, este periodo depende normalmente de la relajación de la imagen debida a la migración de impurezas iónicas en el material de cristal líquido. En una LCD STN, la frecuencia de refresco de la pantalla es normalmente mayor de 70 Hz, con independencia de la frecuencia de actualización del contenido, para mantener una calidad aceptable de imagen. En un CRT, la frecuencia de refresco de la pantalla es normalmente igual o mayor de 60 Hz.

En un dispositivo de visualización biestable, tal como moduladores interferométricos 12, tal refresco periódico para mantener el estado de visualización actual puede no ser necesario. Sin embargo, incluso para pantallas biestables, puede seleccionarse la frecuencia de refresco de la pantalla para que sea más rápida que la frecuencia máxima prevista de actualización del contenido. Por ejemplo, considérese un dispositivo telefónico móvil en el que el 90% del tiempo el contenido de la pantalla es un reloj o un cronómetro que cambia a 1 Hz y el 10% del tiempo la pantalla se usa para presentar vídeo a 30 Hz. A no ser que se incluya un medio de comunicación de la frecuencia prevista de actualización del contenido en el controlador 29 de dispositivo, el controlador 29 de dispositivo refresca generalmente la pantalla de forma continua a una frecuencia de vídeo de 30 Hz. Esto da como resultado una disipación innecesaria de energía para el 90% del tiempo, ya que la pantalla es refrescada a 30 Hz en lugar de a 1 Hz. En algunas aplicaciones, por ejemplo cuando el sistema funciona con energía de batería, las consideraciones de potencia pueden ser importantes. Generalmente, cuanto mayor sea la frecuencia de refresco, más potencia consumen la pantalla y el controlador. En una realización, el controlador 29 de dispositivo reduce el consumo de potencia proporcionando una frecuencia de refresco de la pantalla que varía con la frecuencia de actualización del contenido. En particular, en una realización, la matriz 30 de visualización incluye moduladores interferométricos 12 que mantienen el estado de la pantalla y, por ende, la salida de la pantalla mientras se aplica una tensión de polarización a los elementos interferométricos. Así, tal matriz 30 de visualización no precisa ser refrescada periódicamente para mantener la imagen mostrada. Las realizaciones pueden hacer uso de forma deseable de esta propiedad para proporcionar dispositivos electrónicos que tengan un menor consumo de energía disminuyendo la frecuencia de refresco en condiciones seleccionadas.

La Figura 8 es un diagrama de bloques que ilustra aspectos del dispositivo electrónico 40 de la Figura 6B. En particular, un controlador 29 dispositivos está configurado para actualizar periódicamente una pantalla por medio del controlador matricial 22. El controlador 29 dispositivos está configurado para actualizar la pantalla únicamente si la memoria intermedia 28 de tramas ha recibido datos del procesador 21 después de la última actualización o del último refresco de la pantalla. Una memoria 118 de bandera indica al controlador 29 de dispositivo si la memoria intermedia 28 de tramas ha recibido datos después de la última actualización.

En el dispositivo ejemplar 40, el procesador 21 está conectado eléctricamente a la memoria intermedia 28 de tramas a través de un bus 110. El bus 110 puede ser cualquier tipo adecuado de bus de datos capaz de comunicar datos de imágenes procedentes del procesador 21 a la memoria intermedia 28 de tramas. El bus 110 puede incluir un grupo de líneas de dirección que identifican una o más direcciones dentro de la memoria intermedia 28 de tramas y un grupo de líneas de datos sobre las que se escriben los datos de la imagen en la dirección identificada. Se puede multiplexar en el tiempo un único conjunto de líneas entre la identificación de una dirección y el proporcionamiento de datos que han de escribirse en esa dirección. El bus 110 puede incluir una línea de habilitación de la escritura que determine si un acceso a la memoria intermedia de tramas es de escritura o de lectura. Una memoria 118 de bandera está conectada al bus y configurada para ser puesta en un estado particular cuando la memoria intermedia 28 de tramas recibe datos por el bus 110.

En operación, el procesador 21 escribe nuevos datos de visualización a la memoria intermedia 28 de tramas a una frecuencia definida como la frecuencia de actualización del contenido. El controlador 29 de visualización consulta el estado de la memoria 118 de bandera a una frecuencia de consulta que puede ser más rápida, esencialmente igual

o más lenta que la frecuencia máxima de refresco del controlador 29 de visualización de la matriz 30 de visualización. El controlador 29 de visualización puede consultar leyendo datos de la memoria 118 de bandera y comparando esos datos con un primer estado que indique si se han escrito datos nuevos a la memoria intermedia 28 de tramas. El controlador 29 de visualización puede efectuar una lectura/comparación de la memoria de bandera para cada evento de consulta. Alternativamente, en cada evento de consulta, el controlador 29 de visualización lleva a cabo múltiples operaciones de lectura/comparación con base en la memoria 118 de bandera; por ejemplo, repitiendo un bucle durante un tiempo predeterminado o un número predeterminado de operaciones de lectura/comparación. El controlador 29 de visualización puede consultar. El controlador 29 de visualización puede llevar a cabo las operaciones de lectura/comparación con una frecuencia predeterminada, tal como 100 Hz, hasta que la memoria intermedia 29 de tramas reciba datos. el controlador 29 puede realizar reiteradamente las operaciones de lectura/comparación con una frecuencia dependiente de la disponibilidad del controlador 29 de visualización hasta que la memoria 118 de bandera indique que se han recibido datos. La memoria 118 de bandera o la memoria intermedia 28 de tramas pueden ser configuradas para generar una interrupción del controlador 29 de visualización cuando se reciben datos nuevos.

Un circuito de sincronización u oscilador 114 puede proporcionar una señal de sincronización a un controlador 29 de dispositivo. La señal de sincronización, en concierto con circuitería o soporte lógico dentro del controlador 29 de dispositivo, establece la frecuencia de consulta del controlador 29 de dispositivo. A intervalos definidos por la frecuencia de consulta, y controlado por la memoria 118 de bandera, el controlador 29 de dispositivo lee datos de la memoria intermedia 28 de tramas y escribe los datos en la fila y el píxel correspondientes de la matriz 30 de visualización mediante un circuito de salida tal como el controlador matricial 22. El controlador 29 de dispositivo puede diferir la actualización de la pantalla hasta el siguiente periodo de consulta si la memoria intermedia 28 de tramas no ha recibido datos desde la última actualización de la pantalla. El controlador 29 de dispositivo puede estar configurado para recibir del procesador 21 información de la frecuencia de consulta y configurar su circuitería interna o su soporte lógico para que funcione en consonancia con el oscilador 114. El controlador 29 del dispositivo puede operar usando una frecuencia fija de consulta. La frecuencia de consulta del controlador 29 de dispositivo puede ser establecida por un sistema operativo del procesador 21. La frecuencia de consulta puede ser proporcionada al sistema operativo por un programa de aplicación.

La memoria 118 de bandera puede conectarse al bus 110. La memoria intermedia de tramas puede incluir la memoria 118 de bandera. La memoria 118 de bandera puede proporcionarse en componentes separados diferenciados. El registro 118 de bandera puede incluir un circuito de memoria o uno o más registros configurados para guardar el valor de un dato. Cuando se comunican a la memoria intermedia 28 de tramas datos por el bus 110, el valor de un dato de la memoria 118 de bandera puede ponerse en un valor indicativo siempre que la línea de habilitación de la escritura del bus esté puesta a la habilitación de operaciones de escritura. Alternativamente, la memoria 118 de bandera se pone en respuesta a la dirección o de las propias señales de datos. La memoria 118 de bandera puede ser fijada por un circuito de memoria intermedia 28 de tramas. La memoria 118 de bandera puede ser configurada para que se ponga en un primer valor indicativo de ese tipo, por ejemplo 1, que indique que se han escrito datos en la memoria intermedia 28 de tramas, o en un segundo valor indicativo, por ejemplo 0, que indique que no se ha escrito dato alguno en la memoria intermedia 28 de tramas después de la última reposición de la memoria de bandera con el segundo valor indicativo. Normalmente, esta reposición de la memoria de bandera al segundo valor indicativo será coincidente con una actualización de la matriz 30 de visualización. la memoria 118 de bandera puede ser configurada para que almacene un conjunto de valores. Por ejemplo, la memoria 118 de bandera puede incluir suficiente capacidad de almacenamiento para guardar un valor indicativo para cada fila o columna. La memoria 118 de bandera puede incluir circuitería de decodificación de direcciones que reciba del bus la dirección de los datos cuando está habilitada una operación de escritura y establezca el valor de una ubicación correspondiente en la memoria 118 de bandera para indicar que se ha actualizado una porción particular de la memoria intermedia de tramas correspondiente a la información de direcciones.

El controlador 29 de dispositivo puede estar configurado para consultar la memoria 118 de bandera para una actualización a una frecuencia que es mayor que la frecuencia máxima prevista de actualización del contenido. Si el controlador 29 de dispositivo lee el primer valor indicativo de la memoria 118 de bandera, es decir, si se ha actualizado la memoria intermedia 28 de tramas, el controlador 29 de dispositivo escribe el segundo valor indicativo, por ejemplo 0, al registro 118, luego inicia el ciclo de refresco escribiendo el contenido de la memoria intermedia 28 de tramas a la matriz 30 de visualización. Al final de la actualización, el controlador 29 de dispositivo inicia de nuevo las consultas de la memoria 118 de bandera a una frecuencia predeterminada. Si durante su consulta el controlador 29 de dispositivo lee el segundo valor del registro 118, el controlador 29 de dispositivo no refresca la matriz 30 de visualización a partir de la memoria intermedia 28 de tramas. Esto permite el ajuste dinámico de la frecuencia de refresco de pantalla con base en la frecuencia de actualización del contenido.

La memoria 118 de bandera puede incluir una matriz de valores, cada uno correspondiente a un conjunto de filas en la memoria intermedia 28 de tramas. Cuando se actualiza cualquiera del conjunto de filas, el correspondiente valor de la matriz se pone al primer valor, por ejemplo 1. El controlador 29 de dispositivo puede comprobar la matriz de elementos con una frecuencia periódica. El controlador 29 de dispositivo puede comprobar la matriz de elementos según el orden de barrido de las filas de la matriz 30 de visualización. Si una de las filas ha sido actualizada, es decir, si el correspondiente elemento de la matriz contiene el primer valor, el controlador 29 de dispositivo repone el

valor del elemento de la matriz y prosigue con la actualización de las filas correspondientes de la pantalla. Si ninguna de las filas correspondientes a un valor del elemento de la matriz ha sido actualizada, el controlador 29 de dispositivo se salta la actualización de esas filas.

5 Tiene que reconocerse que pueden incluirse diferentes niveles de granularidad con un aumento o una disminución correspondientes en el tamaño de la matriz de valores en la memoria 118 de bandera. La matriz de valores de la memoria 118 de bandera corresponde a un conjunto de columnas. Alternativamente, el conjunto de filas o columnas incluye una sola fila o columna únicamente, es decir, la memoria 118 de bandera proporciona un elemento de matriz para cada fila o columna de la memoria intermedia de tramas. Alternativamente, le memoria 118 de bandera incluye un elemento de matriz para cada píxel de la pantalla.

10 La memoria intermedia 28 de tramas puede incluir memoria para guardar el contenido de toda la matriz 30 de visualización. Alternativamente, la memoria intermedia 28 de tramas recibe actualizaciones de bloques para la pantalla y proporciona memoria para guardar solo las actualizaciones de bloques para la pantalla y no la pantalla completa. La memoria para guardar las actualizaciones puede estar en forma de cola, una memoria intermedia en anillo o cualquier otra estructura adecuada de datos en memoria intermedia que se conocen en la técnica.

15 La Figura 9 es un diagrama de flujo que ilustra un procedimiento ejemplar 120 de control de la matriz 30 de visualización con el controlador ejemplar 29 de dispositivo de la Figura 8. Dependiendo de la implementación, las acciones o eventos de cualquier procedimiento descrito en el presente documento pueden llevarse a cabo en cualquier secuencia, pueden añadirse, fusionarse o excluirse por completo (por ejemplo, no todas las acciones o todos los eventos son necesarios para la práctica del procedimiento), a no ser que el texto indique específica y
20 claramente lo contrario. Además, a no ser que se indique claramente lo contrario, tales acciones o eventos pueden realizarse de forma concurrente o en paralelo en vez de secuencialmente. El procedimiento 120 incluye flujos sustancialmente concurrentes o paralelos que empiezan en los bloques 122 y 126. Empezando en el bloque 122, el procesador 21 proporciona datos a la memoria intermedia 28 de tramas a través del bus 110. Prosiguiendo al bloque 124, se actualiza la memoria 118 de bandera para reflejar que se han escrito datos a la memoria intermedia 28 de tramas después de la última reposición de la memoria 118 de bandera, lo que en el procedimiento 120 habría sido
25 coincidente con la última actualización de la matriz 30 de visualización. En una realización, la memoria 118 de bandera se actualiza cuando se configura la línea de habilitación de la escritura del bus 110.

Pasando al bloque 126, el controlador 29 de dispositivo aguarda el siguiente evento de consulta (que puede ser al comienzo del siguiente ciclo de visualización). El evento de consulta puede incluir una señal generada por la acción combinada del oscilador 114 y el soporte físico o el soporte lógico asociados dentro del controlador 29 de
30 dispositivo. Esta señal del evento de consulta estimula al controlador 29 de dispositivo para comprobar la memoria 118 de bandera. Acto seguido, en un bloque 128, el controlador 29 de dispositivo determina si la memoria 118 de bandera se ha puesto en un primer estado que indique que se han escrito datos nuevos en la memoria intermedia de tramas después de la última actualización de la matriz 30 de visualización. Si la memoria 118 de bandera indica que no se ha escrito a la pantalla ningún dato nuevo, el procedimiento 120 vuelve al bloque 126 y aguarda el siguiente momento de visualización. Si la memoria 118 de bandera indica que se han escrito datos nuevos en la pantalla después de la última actualización de la pantalla, el procedimiento 120 prosigue a un bloque 130, en el que el controlador 29 de dispositivo vacía (por ejemplo, pone la memoria en un segundo estado que indica que no se han
35 recibido datos desde la última actualización) la memoria 130 de bandera. A continuación, en el bloque 132, el controlador 29 de dispositivo proporciona los datos de la memoria intermedia de tramas a la pantalla 30 a través del controlador matricial 22.

Así, la matriz 30 de visualización se actualiza de forma deseable a una frecuencia que depende del contenido de los datos de visualización, por ejemplo la frecuencia de cambio de ese contenido y no meramente a una frecuencia fija que ese establece por la frecuencia máxima prevista de actualización del contenido. Esto reduce muchísimo el
45 consumo de energía del panel de visualización y del controlador.

Puede fijarse una frecuencia menor o mayor de consulta de la pantalla mediante soporte lógico que se ejecute en el procesador. Esta es comunicada al controlador 29 de dispositivo a través de la interfaz de la MPU. Pueden usarse estándares de interfaz de la MPU usados comúnmente para soportar la comunicación entre la MPU y el controlador 29 de dispositivo. Por ejemplo, un soporte lógico de reproducción de vídeo puede configurar la frecuencia de
50 consulta de la pantalla a un valor mayor cuando se reproduce vídeo, y luego devolver la frecuencia de consulta de la pantalla a su configuración previa cuando termina. Un soporte lógico de juegos puede variar la frecuencia de consulta de la pantalla dependiendo del estado del juego. Así, puede variarse la frecuencia de consulta de la pantalla para minimizar el consumo de energía. En tales implementaciones, el soporte lógico puede estar al tanto de que puede variarse de esta manera la frecuencia de consulta de la pantalla. Un sistema operativo en el dispositivo electrónico conectado a la matriz 30 de visualización puede proporcionar una interfaz de programación de aplicaciones (API) para configurar la frecuencia de consulta. En una implementación que tiene la API, puede configurarse la frecuencia de consulta para una porción de selección de la matriz 30 de visualización a un valor que sea diferente de la frecuencia de consulta de otras porciones de la pantalla. En otra implementación, el sistema operativo del procesador 21 puede configurar una frecuencia de consulta con base en el tipo de soporte lógico que
55 se ejecuta, en los servicios del sistema operativo que usa el soporte lógico o en otros datos heurísticos para

seleccionar una frecuencia de consulta. Puede configurarse un módulo de soporte lógico para que monitorice actualizaciones en los datos de visualización y seleccione de forma adaptativa una frecuencia de pantalla con base en la frecuencia de las actualizaciones. Así, la frecuencia de consulta puede hacerse igual, de forma deseable, a la frecuencia de cambio de los datos de la pantalla y, debido a la naturaleza de la pantalla interferométrica, por ejemplo, la capacidad de mantener un estado biestable con la aplicación de una tensión baja, es posible mantener la imagen sin necesidad del refresco frecuente de la pantalla para mantener una imagen inalterada.

Normalmente, un controlador 29 de dispositivo opera según estándares industriales definidos para que el procesador pueda ser usado con varias tecnologías diferentes de pantallas, tales como LCD, de fabricantes diferentes. Normalmente, el rediseño de un procesador y de la interfaz controlador de la MPU a una nueva interfaz de visualización es un cambio caro y que consume muchos recursos. El uso de una memoria 118 de bandera permite el uso de una interfaz estándar de la MPU entre el procesador 21 y la memoria intermedia 28 de tramas sin ninguna modificación en el procesador. Así, en una implementación, el bus 110 se atiene a un estándar de interfaz especificado, tal como un estándar industrial. En otra implementación, el bus 110 está configurado para permitir que el controlador 29 de dispositivo y la matriz 30 de visualización emulen la interfaz de visualización de las pantallas LCD. Así, puede fabricarse una pantalla interferométrica existente u otra pantalla biestable usando el controlador 29 de dispositivo y la matriz 30 de visualización sin necesitar cambiar el diseño de otros componentes del sistema, tal como el procesador 21. Así, el uso del procedimiento 120 por parte del controlador 29 de dispositivo puede ser también transparente al procesador 21 y al soporte lógico ejecutado por el procesador 21, de modo que no sea preciso hacer cambio alguno al procesador 21 ni al soporte lógico que se ejecuta en el procesador 21 para soportar la frecuencia variable de consulta.

La Figura 10 es un diagrama de bloques que ilustra otro controlador ejemplar 29 de dispositivo que contra una matriz 30 de visualización. En la realización ilustrada, el controlador 29 de dispositivo incluye una o más memorias o registros 140 de desplazamiento que están conectados al procesador 21 a través de un bus 142. En una realización, el bus 142 es una interfaz en serie, tal como un bus de interfaz en serie de periféricos (SPI). Los registros 140 de desplazamiento están conectados operativamente con el controlador matricial 22. Dado que este controlador ejemplar 29 de dispositivo no usa una memoria intermedia de tramas, su operación puede ser más inmediata (tiene una latencia reducida entre el momento en que el procesador 21 escribe los datos de imagen y el momento en que los datos de imagen son mostrados) que la de los sistemas en las realizaciones expuestas en lo que antecede. Así, el controlador 29 de la pantalla de la Figura 10 actualiza los datos únicamente en respuesta a la recepción de datos sin una frecuencia fija de consulta ni de refresco.

En una realización, el procesador 21 escribe en serie datos de imágenes a un registro 140 de desplazamiento correspondiente a una porción de la matriz 30 de visualización; por ejemplo, un registro 140 de desplazamiento puede representar solo la memoria requerida para una sola fila de la matriz 30 de visualización. En una realización, el procesador 21 proporciona los datos de forma asíncrona por el bus 142. Por ejemplo, el procesador 21 puede proporcionar los datos de la imagen al registro 140 de desplazamiento mientras el procesador 21 genera los datos de la imagen. Cuando se llena el registro 140 de desplazamiento, el registro 140 de desplazamiento de salida a los datos de visualización a la matriz 30 de visualización por medio del controlador matricial 22, que selecciona la señal de la fila o las filas mientras convierte los datos de la imagen en señales de tensión de la columna.

La Figura 11 es un diagrama de flujo que ilustra un procedimiento ejemplar 150 de control de la matriz 30 de visualización usando el controlador ejemplar 29 de dispositivo de la Figura 10. El procedimiento 150 se inicia en un bloque 152 en el que el procesador 21 proporciona datos de imágenes por el bus 142 a uno o más de los registros 140 de desplazamiento. Los registros 140 de desplazamiento reciben datos de ese tipo hasta que se llena el registro de desplazamiento; por ejemplo, cuando se recibe una fila de datos. A continuación, en el bloque 154, los registros 140 de desplazamiento llenos proporcionan datos al controlador matricial 22. En una realización, el controlador matricial 22 genera una selección de señal para una fila en la matriz 30 de visualización correspondiente a los datos de imagen del registro 140 de desplazamiento. En una realización tal, el controlador 26 de columnas incluye circuitería para recibir en paralelo los datos del registro de desplazamiento y convertir esos datos en tensiones de excitación de la columna para la matriz 30 de visualización.

En vista de lo que antecede, se apreciará que las realizaciones de la invención superan muchos de los problemas de la técnica proporcionando un controlador de dispositivo que ajusta dinámicamente la frecuencia de refresco de la pantalla para que coincida con la frecuencia de actualización del contenido y consumiendo menor potencia cuando se muestran imágenes y vídeo estáticos.

Aunque la anterior descripción detallada ha mostrado, descrito y señalado características novedosas de la invención en su aplicación a diversas realizaciones, se entenderá que los expertos en la técnica pueden realizar diversas omisiones, sustituciones y cambios en la forma y en detalles del dispositivo o el procedimiento ilustrados sin apartarse del alcance de las reivindicaciones adjuntas. Según se reconocerá, la presente invención puede implementarse de una forma que no proporcione todas las características y los beneficios expuestos en el presente documento, ya que algunas características pueden usarse o practicarse por separado de las demás.

REIVINDICACIONES

1. Un dispositivo interferométrico (30) de visualización para mostrar una imagen, comprendiendo el dispositivo:
 - un medio (29) para recibir asincrónamente una línea de datos indicativa de una porción de la imagen; y
 - un medio (22) para generar una señal para actualizar el dispositivo interferométrico de visualización para mostrar dicha porción de la imagen,
 - en el que el medio (29) de recepción asincrónica está configurado para proporcionar dichos datos al medio (22) de generación en respuesta a la recepción de los datos, y en el que el medio (22) de generación está configurado para actualizar un área del dispositivo de visualización correspondiente a dicha porción de la imagen para mostrar dicha porción de la imagen en respuesta a la recepción de los datos, y en el que el medio (22) de generación está configurado para no actualizar ni refrescar el dispositivo de visualización si no se reciben los datos.
2. El dispositivo de la reivindicación 1 en el que dicho medio (29) de recepción comprende una memoria.
3. El dispositivo de la reivindicación 1 en el que dicho medio (29) de recepción comprende un registro (140) de desplazamiento.
4. El dispositivo de cualquiera de las reivindicaciones 1 a 3 en el que dicho medio generador de señales comprende un circuito (22) de salida.
5. El dispositivo de la reivindicación 1 que, además, comprende:
 - un medio (21) para procesar los datos de imagen y proporcionar asincrónamente los datos a dicho medio (29) de recepción; y
 - un medio (22) para guardar datos en comunicación eléctrica con dicho medio de procesamiento.
6. El dispositivo de la reivindicación 5 en el que dicho medio de procesamiento comprende un procesador (21).
7. El dispositivo de la reivindicación 5 que, además, comprende:
 - un medio (142) para comunicar datos en el que dicho medio (21) de procesamiento está configurado para proporcionar asincrónamente los datos a dicho medio (29) de recepción por dicho medio (142) de comunicación de datos.
8. El dispositivo de la reivindicación 7 en el que dicho medio de comunicación de datos comprende un bus (142).
9. El dispositivo de la reivindicación 1 que, además, comprende:
 - un medio (30) de visualización en comunicación eléctrica con el medio (22) de generación; y
 - un procesador (21) configurado para procesar datos de imagen y proporcionar asincrónamente los datos al medio (29) de recepción de datos.
10. El dispositivo de la reivindicación 9 que, además, comprende:
 - un bus (142), en el que el procesador (21) está configurado para proporcionar asincrónamente los datos al medio (29) de recepción de datos por el bus (142).
11. El dispositivo de la reivindicación 10 en el que dicho bus (142) comprende un bus serie.
12. El dispositivo de la reivindicación 9 que, además, comprende:
 - un módulo fuente de imágenes configurado para enviar dichos datos de imagen a dicho procesador (21).
13. El dispositivo de la reivindicación 12 en el que dicho módulo fuente de imágenes comprende al menos uno de un receptor, un transceptor y un transmisor.
14. El dispositivo de la reivindicación 11 que, además, comprende:
 - un dispositivo (48) de entrada configurado para recibir datos de entrada y comunicar dichos datos de entrada a dicho procesador.
15. El dispositivo de la reivindicación 1 en el que el medio (22) de generación actualiza el dispositivo (30) de visualización siempre se que recibe la señal.
16. Un procedimiento de excitación de un dispositivo interferométrico (30) de visualización, comprendiendo el procedimiento:
 - recibir asincrónamente una línea de datos indicativa de al menos una porción de la imagen; y

en respuesta a la recepción de los datos, generar una señal para actualizar un área del dispositivo de visualización correspondiente a dicha porción de la imagen para mostrar dicha porción de la imagen, en el que el dispositivo de visualización ni se actualiza ni se refresca si no se reciben los datos.

- 5 **17.** Un medio de almacenamiento legible por ordenador que tiene guardadas en el mismo instrucciones que, cuando son ejecutadas, hacen que un circuito lógico lleve a cabo un procedimiento según se reivindica en la reivindicación 16.

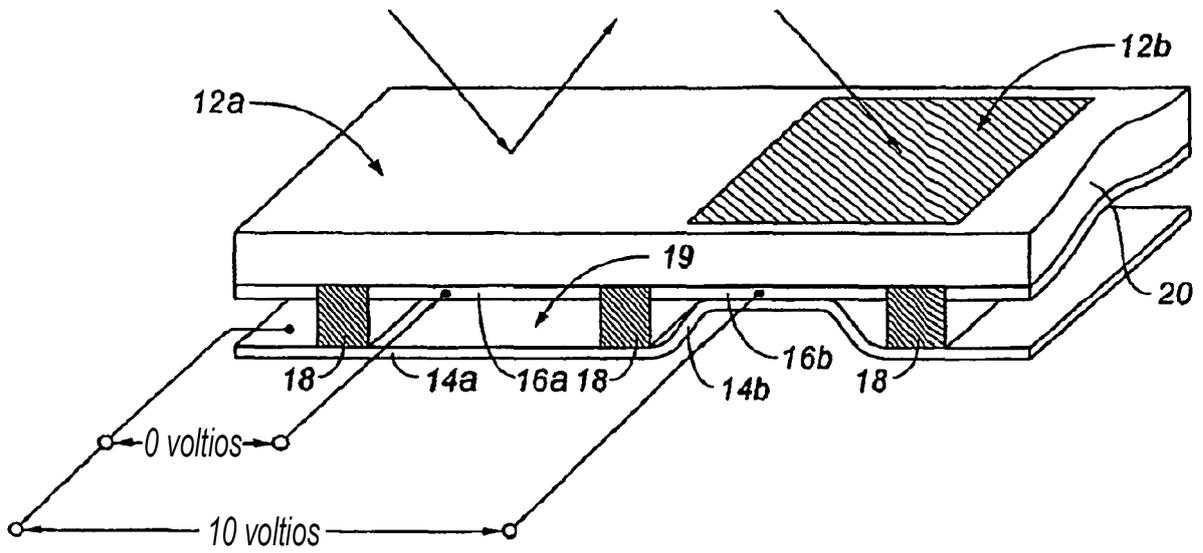


FIG. 1

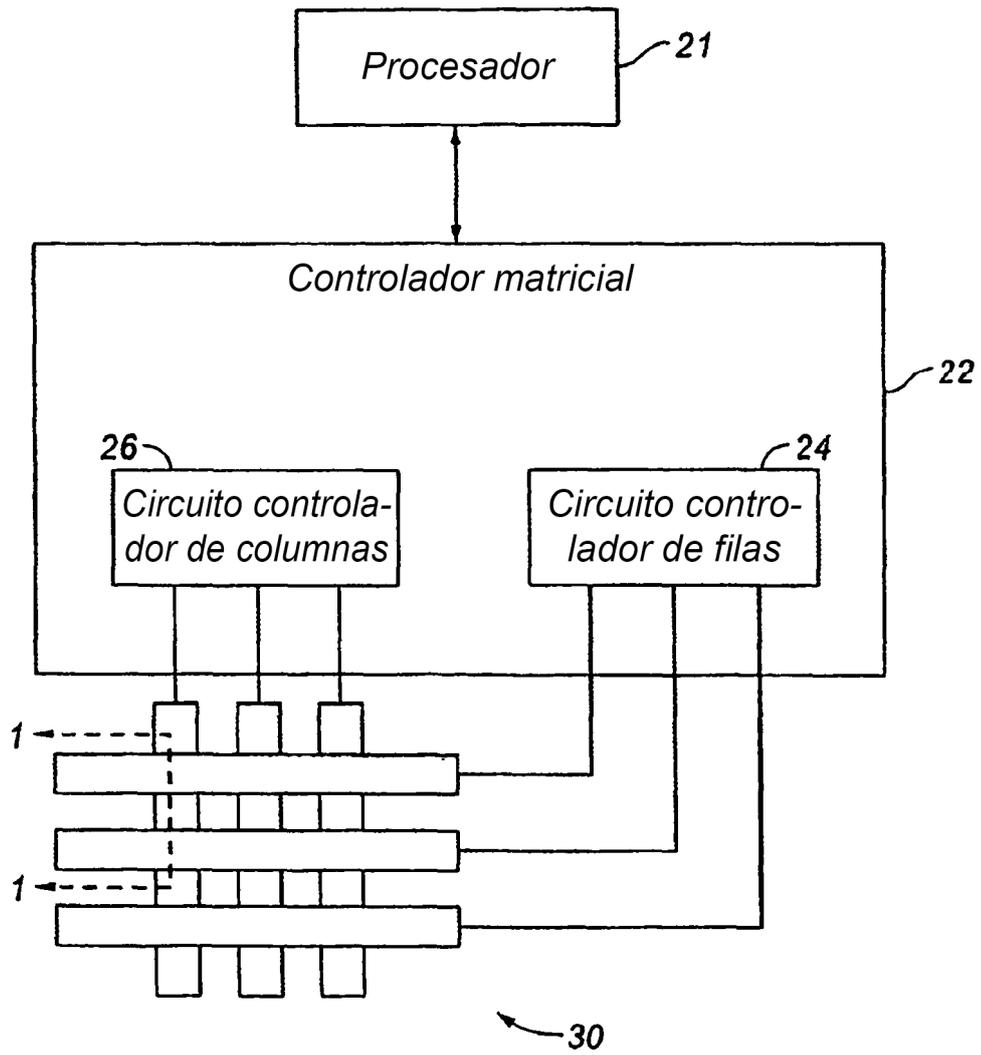


FIG. 2

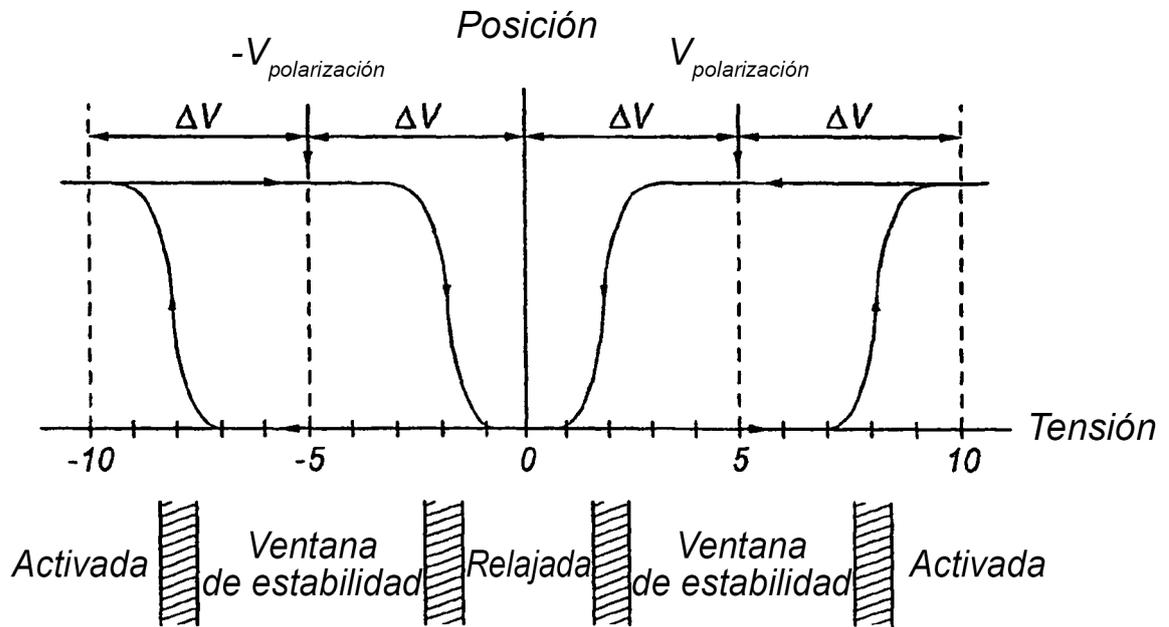


FIG. 3

Señales de salida de columna

	$+V_{polarización}$	$-V_{polarización}$
0	Estable	Estable
$+\Delta V$	Relajada	Activada
$-\Delta V$	Activada	Relajada

Señales de salida de fila

FIG. 4

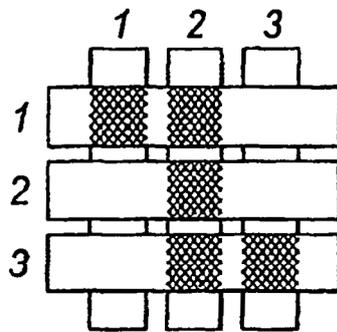


FIG. 5A

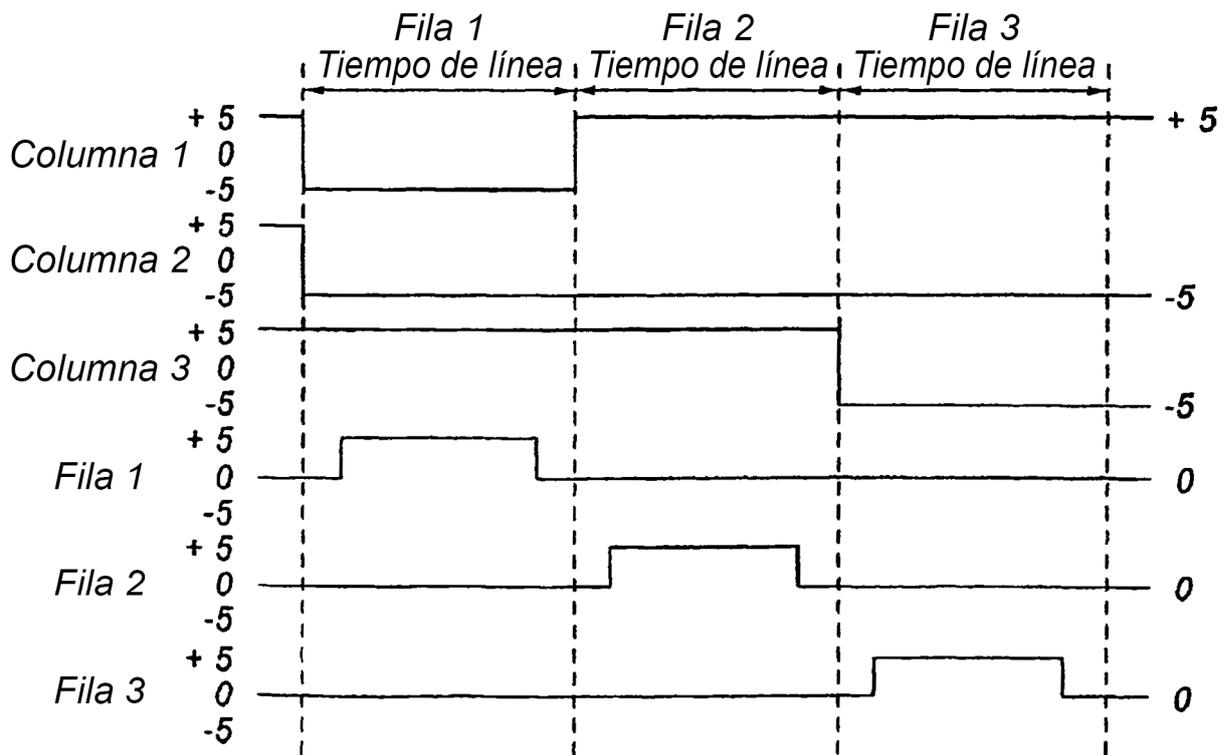


FIG. 5B

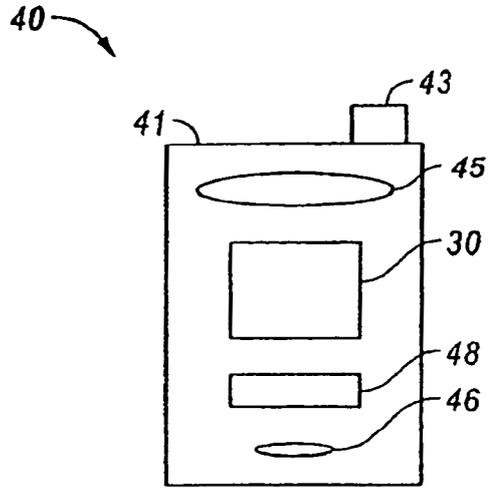


FIG. 6A

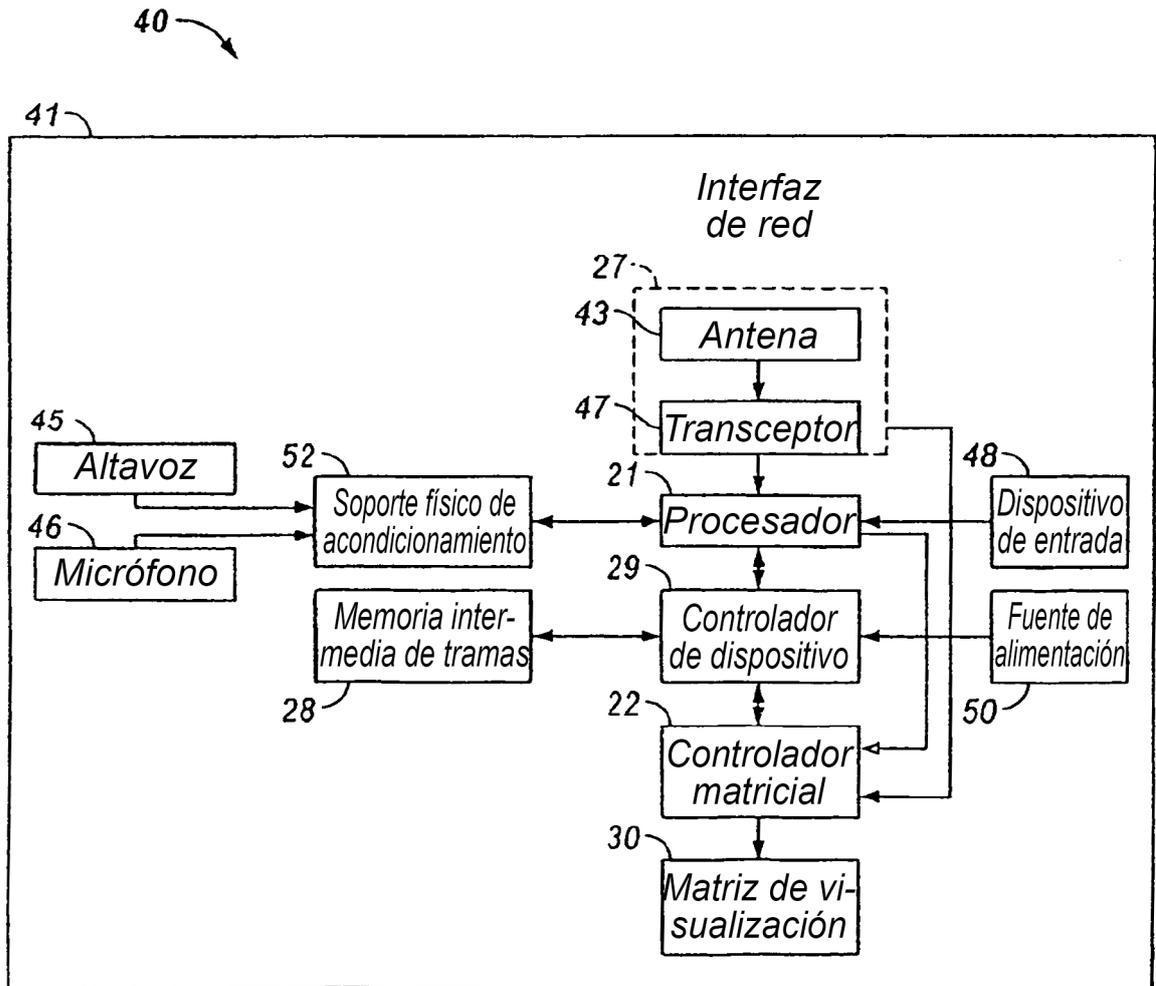


FIG. 6B

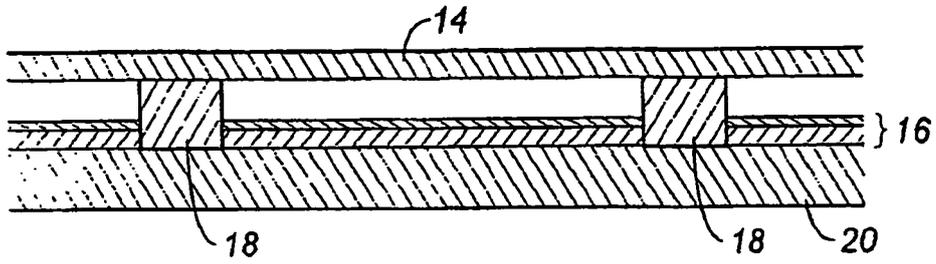


FIG. 7A

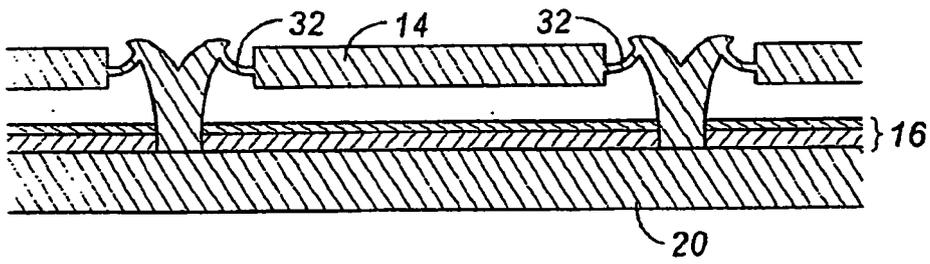


FIG. 7B

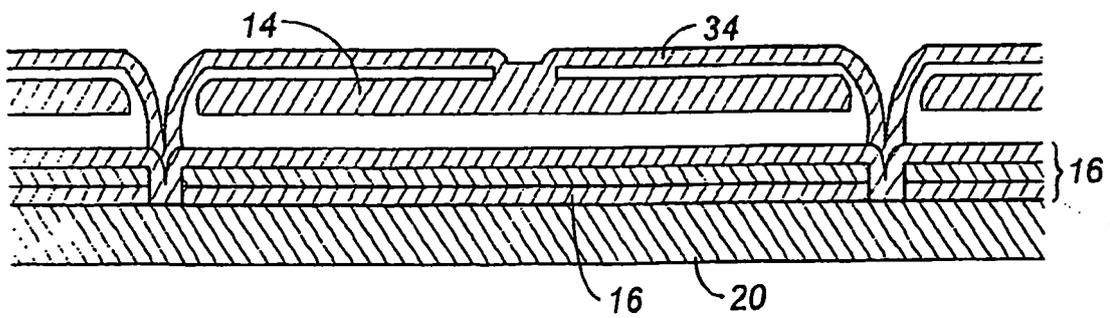


FIG. 7C

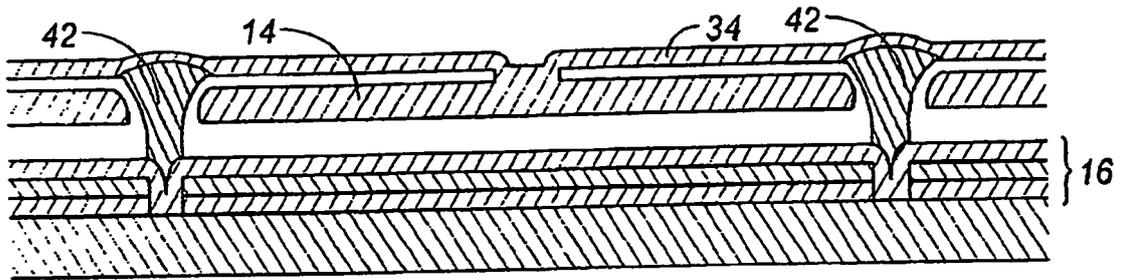


FIG. 7D

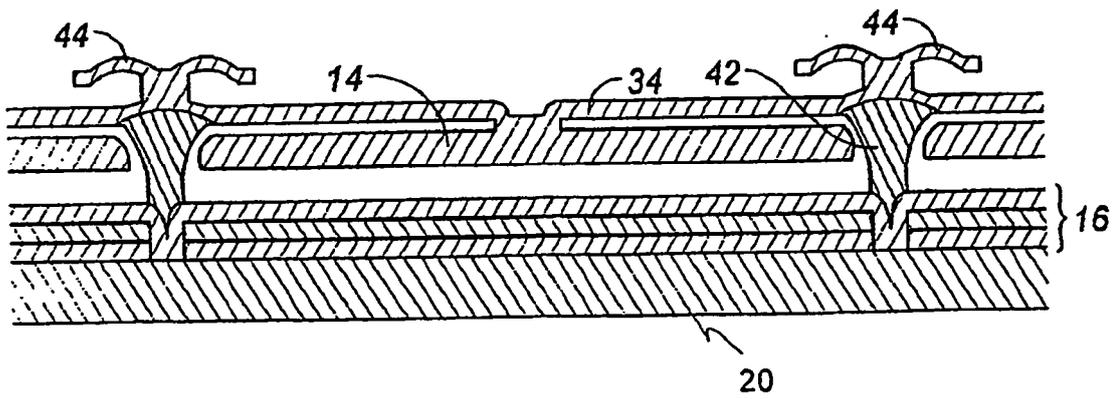
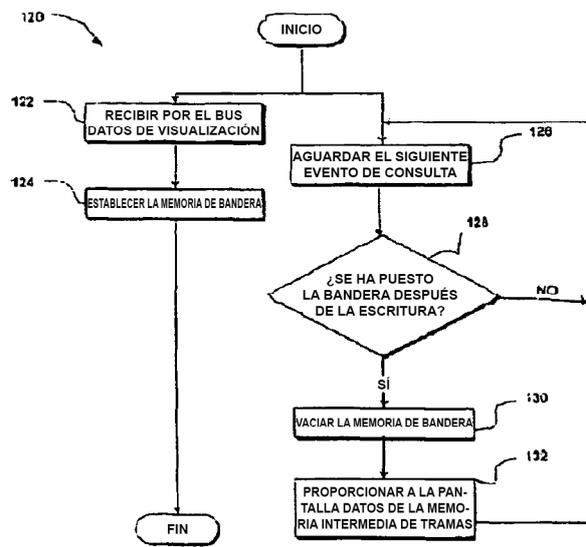
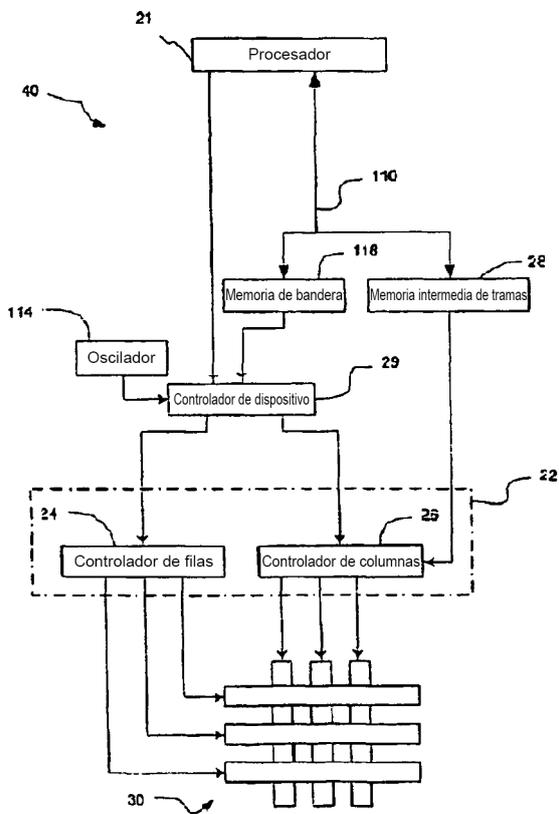
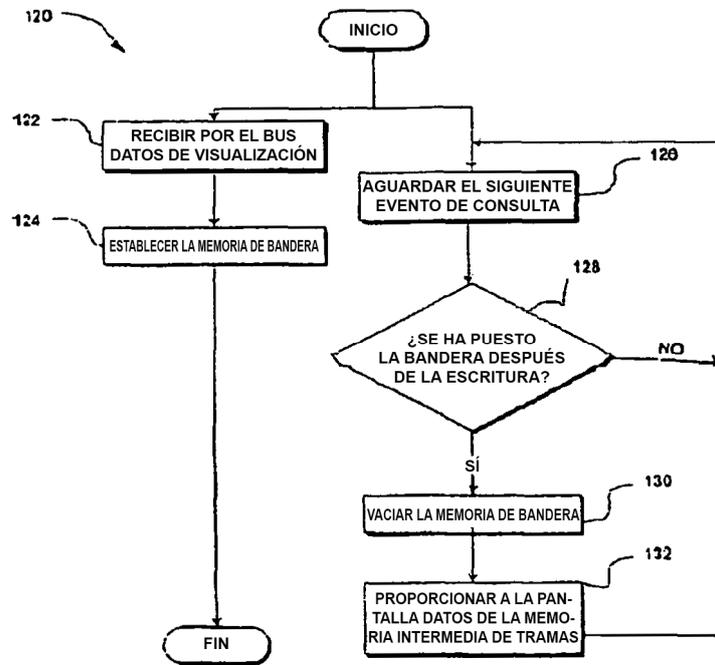


FIG. 7E





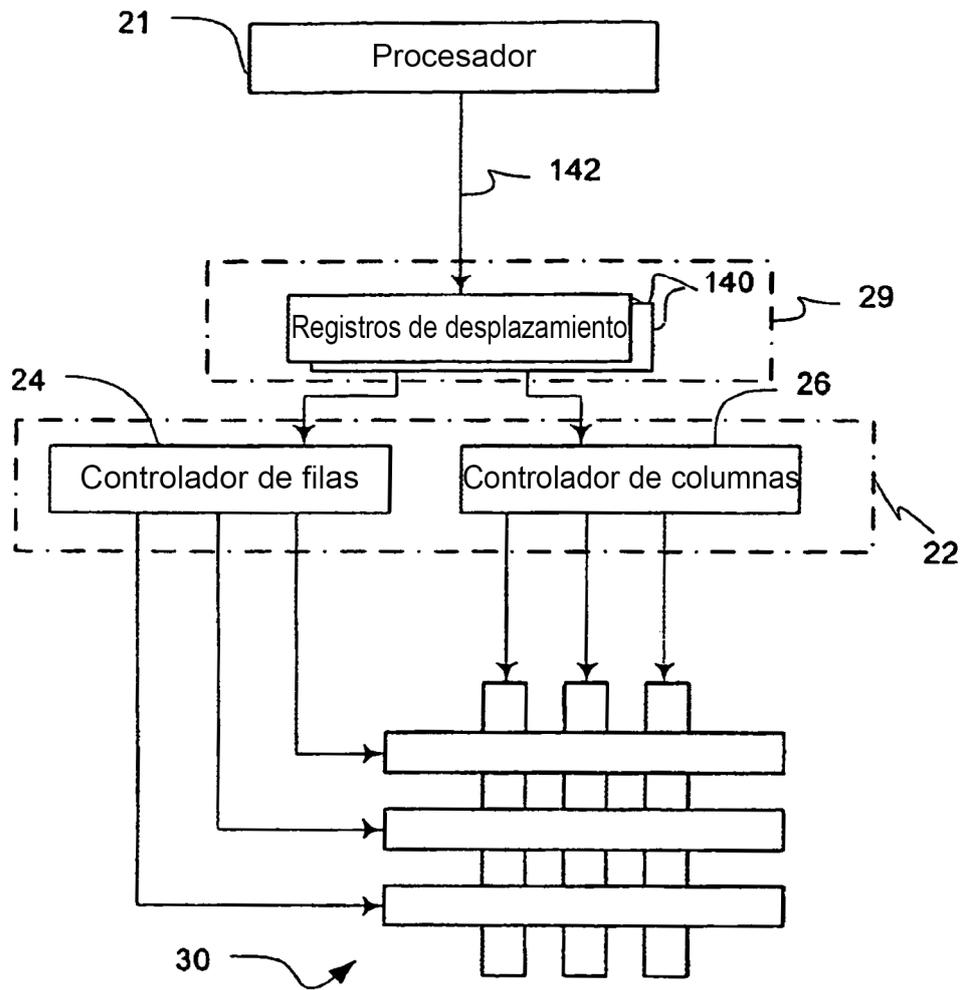


FIG. 10

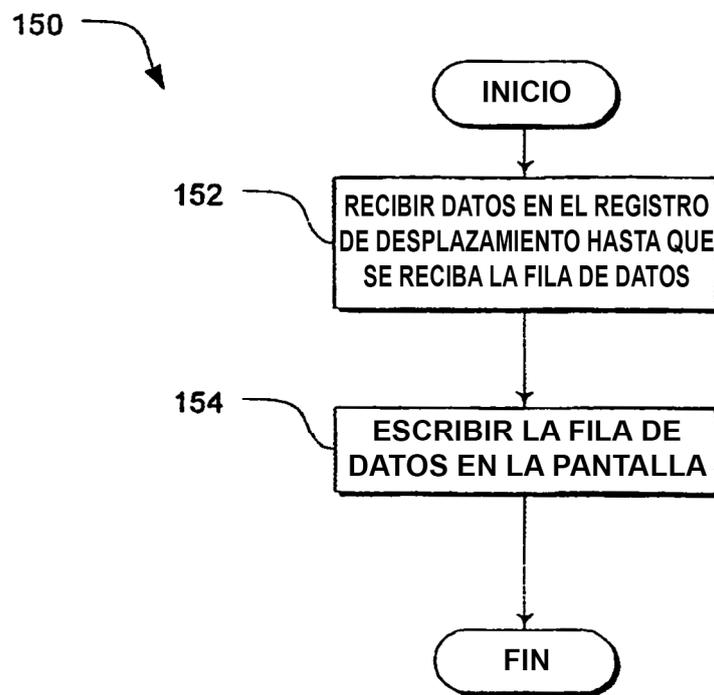


FIG. 11