

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 400 000**

51 Int. Cl.:

H01L 29/94 (2006.01)

H03B 5/12 (2006.01)

H03L 7/099 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **11.09.1997 E 08160622 (0)**

97 Fecha y número de publicación de la concesión europea: **21.11.2012 EP 1981087**

54 Título: **Dispositivo eléctrico que comprende una capacitancia o capacidad dependiente del voltaje o tensión y método de fabricación del mismo**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
04.04.2013

73 Titular/es:
TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)
(100.0%)
164 83 Stockholm , SE

72 Inventor/es:
MATTISSON, SVEN y
LITWIN, ANDREJ

74 Agente/Representante:
DE ELZABURU MÁRQUEZ, Alberto

ES 2 400 000 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo eléctrico que comprende una capacitancia o capacidad dependiente del voltaje o tensión y método de fabricación del mismo.

CAMPO TÉCNICO DE LA INVENCION

La presente invención se refiere a varactores y, en particular, a varactores adecuados para la integración. Este tipo de varactores se encuentran, por ejemplo, en circuitos Osciladores con Voltaje Controlado y en Bucles de Enganche de Fase que, a su vez, se emplean frecuentemente en dispositivos de comunicación de radio. La presente invención también se refiere a la fabricación de dichos dispositivos.

DESCRIPCIÓN DE LA TÉCNICA RELACIONADA

Un varactor es un dispositivo eléctrico que tiene un condensador controlado por una polarización de voltaje o corriente. Se emplea un varactor, por ejemplo, en Osciladores con Voltaje controlado, VCOs, donde se controla la frecuencia de un oscilador por medio de una polarización de voltaje o corriente. Se emplean los VCOs, por ejemplo, cuando se requiere una frecuencia variable o cuando se debe sincronizar una señal con respecto de una señal de referencia. En dispositivos de comunicación de radio, por ejemplo, teléfonos portátiles/celulares, se emplean frecuentemente VCOs en Bucles de Enganche de Fase, PLL, para generar las señales adecuadas. La generación de una señal de referencia que está sincronizada con una señal recibida por un receptor de radio, las operaciones de modulación/demodulación y la síntesis de frecuencias son ejemplos de tales usos. En la técnica anterior son conocidos varios varactores adecuados para tecnologías de Circuitos Integrados, IC. R. A. Molin y G. F. Foxhall describen en "Condensadores de voltaje o tensión variable con Unión Hiperabrupta e Iones Implantados", IEEE Trans. Dispositivos Electrónicos, ED-19, pp. 267f, 1972, el uso de diodos pn como varactores que se pueden emplear en tecnologías de BiCMOS o CMOS bipolares. También es conocido el uso de diodos Schottky o diodos MOS como varactores. Estos últimos son descritos, por ejemplo, por S. M. Sze en "Física de dispositivos semiconductores", John Wiley e Hijos, 2ª Edición, pp 368f. La integración de los varactores conocidos depende de la capacidad de la tecnología IC. Se proporciona un resumen de los dispositivos integrados para aplicaciones de RF en alta frecuencia en un proceso BiCMOS en J. N. Burghartz, M. Soyuer y K. Jenkins en "Componentes de microondas y RF integrados en tecnología BiCMOS", IEEE. Trans. Dispositivos Electrónicos, Vol. 43, pp. 1559-1570, Sept 1996. Como se establece en la página 1568 y en la figura 12, los varactores no son una parte del conjunto del dispositivo BiCMOS estándar. En su lugar, se propone utilizar una unión colector-base de un transistor bipolar como varactor. J. Craninckx y M. S. J. Steyaert sugieren en "Un VCO de 1,8 GHz con CMOS de bajo ruido de fase empleando inductores en espiral huecos optimizados", IEEE, J. Circuitos de estado sólido, Vol. 32, pp. 736-744, Mayo 1997, el uso de un diodo de unión de pozo p+/n como un varactor en un VCO que está integrado por medio de un proceso CMOS.

Aunque las formas conocidas de los varactores descritos anteriormente funcionan de forma razonablemente adecuada, tienen varias desventajas.

Una desventaja de los varactores conocidos es que son difíciles de fabricar con elevados factores de calidad, Q, especialmente para aplicaciones a alta frecuencia en un proceso CMOS convencional, debido a su elevada resistencia en serie o a las operaciones de fabricación adicionales requeridas. Esto da como resultado un bajo rendimiento y elevados costes de fabricación.

Otra desventaja de los varactores de unión pn conocidos es que en muchas aplicaciones, como cuando se emplean en la mayoría de circuitos VCO, se debe añadir al diseño un condensador DC de desacoplamiento, lo cual dificulta aún más la integración de este diseño en un IC. El uso de un condensador DC de desacoplamiento externamente al IC añade al coste total de la implementación y consume un valioso espacio en una Placa de Circuito Impreso, PCB. Estos inconvenientes se vuelven aún más pronunciados en dispositivos manuales, como teléfonos portátiles, que deben ser pequeños y de los que se producen grandes volúmenes.

El documento US 5.045.966 describe un método para formar una capacitancia o capacidad estable. El documento describe una capacitancia o capacidad en la que la longitud de la placa del condensador superior está hecha lo suficientemente corta de manera que los dopantes, que son implantados en las regiones expuestas del sustrato de ambas caras de la placa, se difuminarán indirectamente bajo la placa y se fusionarán sustancialmente bajo ella. Esto se logra mediante una menos que permisible separación de fuente/drenaje para un transistor MOS operable.

El documento JP 06132728 describe una propuesta para estrechar el rango variable de una frecuencia de oscilación de acuerdo con la finalidad de un VCO y para reducir la variación de sincronismo (jitter) incluso cuando un voltaje de control cambia en un amplio rango desde el voltaje a tierra al voltaje de entrada en un circuito de oscilación de tipo de control de voltaje realizado en un circuito integrado de tipo MOS. Los condensadores MOS están formados en un sustrato semiconductor de tipo N utilizando un circuito de oscilación LC de tipo de dos terminales con baja variación de sincronismo (jitter). El circuito está compuesto por la conexión de un circuito inversor formado en el sustrato semiconductor de tipo N con condensadores añadidos externamente y una bobina. Un electrodo de puerta de un condensador MOS está conectado a la entrada del circuito inversor, y el electrodo de puerta de otro condensador MOS está conectado a la salida del circuito inversor. Los electrodos de pozo de los condensadores MOS están

conectados a un terminal de impresión de voltaje de control, y el potencial de las capas de pozo en los condensadores MOS está controlado y ajustado por el voltaje de control.

5 Es un objeto de la presente invención proporcionar un varactor que supere o alivie los problemas mencionados anteriormente.

COMPENDIO DE LA INVENCION

10 Los problemas anteriormente mencionados son superados o aliviados facilitando un método de fabricación de un dispositivo eléctrico que tiene una capacitancia o capacidad dependiente del voltaje, de acuerdo con la reivindicación independiente. Las realizaciones son provistas de acuerdo con la reivindicación dependiente.

15 Los problemas de la técnica anterior son superadas facilitando un dispositivo eléctrico con una capacitancia o capacidad de voltaje, el cual puede ser implementado mediante el uso de un proceso convencional CMOS. Además. Ya que la capa aislante (en el caso de un transistor MOS: una capa de óxido) separa el elemento sustancialmente conductor conectado al primer electrodo (en el caso de un transistor MOS: la puerta) de la segunda y tercera regiones conectadas al segundo electrodo (en el caso de un transistor MOS: el drenaje/fuente), el dispositivo puede ser utilizado por ejemplo en un circuito VCO sin necesidad de un condensador de desacoplamiento DC.

20 Son ejemplos, un VCO, un PLL y un dispositivo de comunicación por radio que hace uso de un varactor tal como se ha tratado anteriormente. Así pues, se facilita un método de fabricación de un varactor de acuerdo con la presente invención.

25 Una ventaja de la presente invención es que un varactor que tiene un alto factor de calidad Q, es decir, que tiene una baja resistencia en serie, se puede realizar incluso para aplicaciones de alta frecuencia utilizando un proceso CMOS convencional sin añadir ninguna operación de fabricación. Los varactores se pueden fabricar, por tanto, con un alto rendimiento y bajo coste.

30 Además, una ventaja de la presente invención es que se proporciona un VCO que se puede realizar empleando un proceso CMOS convencional y cuyo diseño no requiere un condensador DC de desacoplamiento. Esto hace la implementación del VCO económica y físicamente de pequeño tamaño, ya que no se requiere ningún condensador DC de desacoplamiento ni en el IC ni externamente al IC en una PCB. Estas ventajas se vuelven aún más pronunciadas cuando se implementan en dispositivos manuales, como teléfonos portátiles, que deben ser pequeños y de los que se producen grandes volúmenes.

35 Ventajosamente, los métodos pueden proporcionar un Oscilador de Voltaje o tensión Controlada integrado y/o circuito de Bucle de Enganche de Fase, PLL, que incluye un varactor, como se ha descrito anteriormente, empleando un proceso CMOS convencional.

40 Debido a que muchas de las funciones de un dispositivo de comunicación de radio se pueden integrar en procesos CMOS convencionales, la integración de un circuito VCO y/o un circuito PLL junto con estas funciones permite a la presente invención proporcionar un dispositivo de comunicación de radio con un alto grado de integración, y por tanto de pequeñas dimensiones físicas. El alto grado de integración también reduce los costes de fabricación.

BREVE DESCRIPCION DE LOS DIBUJOS

45 La Figura 1 ilustra un varactor de acuerdo con un primer ejemplo, que comprende un transistor PMOS de enriquecimiento;
La Figura 2 ilustra un varactor de acuerdo con un primer ejemplo, que comprende un transistor NMOS de enriquecimiento;
50 La Figura 3 ilustra un varactor de acuerdo con un primer ejemplo, que comprende un transistor NMOS de empobrecimiento;
La Figura 4 ilustra un aspecto operativo del varactor del primer ejemplo;
La Figura 5 ilustra un diagrama de circuito equivalente del varactor del primer ejemplo;
La Figura 6 ilustra un diagrama de circuito de un Oscilador con Voltaje o tensión Controlada de acuerdo con un cuarto ejemplo;
55 La Figura 7 ilustra una vista superior de un varactor compuesto de acuerdo con un quinto ejemplo;
La Figura 8 ilustra una vista de una sección transversal a lo largo del eje VIII-VIII de la Figura 7;
La Figura 9 ilustra una vista de una sección transversal a lo largo del eje IX-IX de la Figura 7;
La Figura 10 ilustra una vista superior de un varactor compuesto de acuerdo con una tercera realización de la presente invención;
60 La Figura 11 ilustra una vista de una sección transversal a lo largo del eje XI-XI de la Figura 10;
La Figura 12 ilustra una vista de una sección transversal a lo largo del eje XII-XII de la Figura 10;
La Figura 13 ilustra una vista de una sección transversal a lo largo del eje XIII-XIII de la Figura 10.

DESCRIPCION DETALLADA DE LAS REALIZACIONES

65 Las realizaciones de la presente invención se describen a continuación únicamente a modo de ejemplo. Se debe hacer notar que los detalles ilustrados en las figuras pueden no estar dibujados a escala. Por el contrario, las

dimensiones de los detalles de las ilustraciones se eligen con el objetivo de mejorar la comprensión de la presente invención.

De acuerdo con la presente invención, se proporciona un dispositivo eléctrico que tiene una capacitancia o capacidad dependiente del voltaje o tensión. Dicho dispositivo se denomina también un varactor. Se apreciará que el varactor de la presente invención se puede integrar fácilmente en un proceso CMOS convencional.

La Figura 1 ilustra un varactor 10 de acuerdo con un primer ejemplo, que comprende un transistor PMOS de enriquecimiento. El transistor se forma en un sustrato 11 de silicio de tipo p. Un pozo 12 de tipo n se forma en el sustrato 11 de silicio de tipo p a partir de una primera superficie principal del sustrato p, y una región 13 de fuente de tipo p⁺ y una región 14 de drenaje de tipo p⁺ se forman en el pozo 12 de tipo n. La concentración de impurezas de las regiones 13, 14 de fuente y drenaje se elige mayor que la concentración de impurezas de la región 12 de pozo. A continuación, se forma una capa 15 de aislamiento, preferiblemente de óxido de silicio, sobre la primera superficie principal del sustrato y se forma una puerta 16 de poli-silicato sobre la capa 15 de aislamiento que al menos cubre una parte de la región 12 de pozo n que separa la región 13 de fuente y la región 14 de drenaje, y de forma que la puerta 16 está eléctricamente aislada de la región 12 de pozo n. Un electrodo común C_A del varactor 10 está formada mediante la conexión de la región 13 de fuente y la región 14 de drenaje. La conexión a la región 13 de fuente y a la región 14 de drenaje se lleva a cabo a través de un electrodo 17 de fuente y un electrodo 18 de drenaje, respectivamente. Un segundo electrodo C_B del varactor 10 está conectado a la puerta 16 por medio de un electrodo 19 de puerta.

La Figura 2 ilustra un varactor 20 de acuerdo con un segundo ejemplo, que comprende un transistor NMOS de enriquecimiento. El transistor está formado en un sustrato 21 de silicio de tipo p. Se forma un pozo 22 de tipo p en el sustrato 21 de silicio de tipo p a partir de una primera superficie principal del sustrato y una región 23 de fuente de tipo n⁺ y una región 24 de drenaje de tipo n⁺ se forman en el pozo 22 de tipo p. La concentración de impurezas de las regiones 23, 24 de fuente y drenaje se elige mayor que la concentración de impurezas de la región 22 de pozo. A continuación, se forma una capa 25 de aislamiento, preferiblemente de óxido de silicio, sobre la primera superficie principal del sustrato y se forma una puerta 26 de poli-silicato sobre la capa 25 de aislamiento que al menos cubre una parte de la región 22 de pozo p que separa la región 23 de fuente y la región 24 de drenaje, y de forma que la puerta 26 está eléctricamente aislada de la región 22 de pozo p. Un electrodo común C_A del varactor 20 está formado mediante la conexión de la región 23 de fuente y la región 24 de drenaje. La conexión a la región 23 de fuente y a la región 24 de drenaje se lleva a cabo a través de un electrodo 27 de fuente y un electrodo 28 de drenaje, respectivamente. Un segundo electrodo C_B del varactor 20 está conectado a la puerta 26 por medio de un electrodo 29 de puerta.

La Figura 3 ilustra un varactor 30 de acuerdo con un tercer ejemplo, que comprende un transistor NMOS de empobrecimiento. El transistor se forma en un sustrato 31 de silicio de tipo p. Se forma un pozo 32 de tipo n en el sustrato 31 de silicio de tipo p a partir de una primera superficie principal del sustrato y una región 33 de fuente de tipo n⁺ y una región 34 de drenaje de tipo n⁺ se forman en el pozo 32 de tipo p. La concentración de impurezas de las regiones 33, 34 de fuente y drenaje se elige mayor que la concentración de impurezas de la región 32 de pozo. A continuación, se forma una capa 35 de aislamiento, preferiblemente de óxido de silicio, sobre la primera superficie principal del sustrato y se forma una puerta 36 de poli-silicato sobre la capa 35 de aislamiento que cubre al menos una parte de la región 32 de pozo n que separa la región 33 de fuente y la región 34 de drenaje, y de forma que la puerta 36 está eléctricamente aislada de la región 32 de pozo n. Un electrodo común C_A del varactor 30 está formado mediante la conexión de la región 33 de fuente y la región 34 de drenaje. La conexión a la región 33 de fuente y a la región 34 de drenaje se lleva a cabo a través de un electrodo 37 de fuente y un electrodo 38 de drenaje, respectivamente. Un segundo electrodo C_B del varactor 30 está conectado a la puerta 36 por medio de un electrodo 39 de puerta.

Más generalmente, se puede definir que el varactor tiene una primera región 12, 22, 32 de un material semiconductor en el que se forman una segunda región 13, 23, 33 y una tercera región 14, 24, 34 de un material semiconductor. La segunda y tercera regiones está separadas por una región de separación. Una capa 15, 25, 35 eléctricamente aislante se forma sobre la primera región 12, 22, 32 al menos en una región correspondiente a la región de separación. A continuación, se forma un elemento 16, 26, 36 sustancialmente conductor sobre la capa 15, 25, 35 de aislamiento al menos en una región correspondiente a la región de separación, de forma que la capa 15, 25, 35 de aislamiento aísla eléctricamente el elemento 16, 26, 36 sustancialmente conductor de las primera, segunda y tercera regiones. El elemento 16, 26, 36 sustancialmente conductor está conectado a un electrodo C_B y la segunda y tercera regiones están conectadas a un electrodo común C_A.

Se debe hacer notar que la presente invención no está limitada al uso de materiales semiconductores de silicio. Se pueden utilizar en su lugar otros materiales semiconductores, como por ejemplo GaAs. Además, se pueden utilizar otros materiales diferentes del óxido de silicio, por ejemplo, nitruro de silicio o una combinación de óxido de silicio y nitruro de silicio, para formar la capa 15, 25, 35 de aislamiento. En esos casos, es más apropiado referirse a transistores de tipo Semiconductor de Aislador Metálico, MIS, en lugar de transistores de Semiconductor de Óxido Metálico, MOS.

Aunque los electrodos 17, 27, 37 de fuente, los electrodos 18, 28, 38 de drenaje y los electrodos 19, 29, 39 de puerta están incluidos en las realizaciones descritas anteriormente, se debe entender que la presente invención no se limita al uso de dichos electrodos. En su lugar, la región de fuente, la región de drenaje y la puerta pueden estar conectados por otros medios. Por ejemplo, se puede emplear poli-silicio para conseguir una conexión adecuada a la puerta y regiones con iones implantados en las regiones 12, 22, 32 de pozo o en el sustrato 11, 21, 31 para conectar la región 13, 23, 33 de fuente y la región 14, 24, 34 de drenaje. Se puede utilizar una combinación de métodos diferentes de conexión para un solo varactor.

La Figura 4 ilustra un aspecto operativo del varactor del primer ejemplo. El varactor 40 corresponde al varactor 10 de la Figura 1 y la Figura 5 ilustra un diagrama de circuito equivalente del varactor 40. Durante el funcionamiento, se aplica un voltaje o tensión entre los electrodos C_A y C_B , de modo que el potencial de C_A es mayor que el potencial en C_B . La región de la superficie de la región 12 de pozo se empobrece, y la anchura del empobrecimiento se ilustra en la Figura 4 por un contorno 41 de empobrecimiento. La capacitancia o capacidad del varactor será, entre otros, dependiente de una combinación en serie de la capacitancia o capacidad del óxido C_{OX} , o capacitancia o capacidad correspondiente si la capa de aislamiento no está hecha de un óxido, y de la capacitancia o capacidad de la capa de empobrecimiento del semiconductor C_P . La capacitancia o capacidad de la capa de empobrecimiento C_P será, a su vez, dependiente del potencial del pozo y del voltaje o tensión aplicada al dispositivo, es decir, entre la fuente/drenaje y la puerta. Se consigue un elevado rango dinámico del varactor fabricando la región de pozo tan poco dopada como sea posible en la región de la superficie, por ejemplo, bloqueando la implantación de umbral del proceso CMOS. También se consigue un elevado factor Q de los varactores manteniendo la resistencia eléctrica de la puerta R_{puerta} (y su conexión) y la resistencia eléctrica R_{canal} en la región 12 de fuente entre la región 13 de fuente y la región 14 de drenaje lo más baja posible. La resistencia eléctrica de una puerta de poli-silicio puede disminuir incluyendo una operación para silizar la puerta. La resistencia eléctrica que experimentan los portadores 42 de carga minoritarios en la región 12 de pozo se puede reducir mediante una puerta y región de canal de pequeñas dimensiones. Las pequeñas dimensiones de la puerta y de la región de canal, sin embargo, originan un varactor con una capacitancia o capacidad de un valor numérico a veces inaceptablemente bajo. Este problema se soluciona conectando un número adecuado de varactores en paralelo para formar un varactor compuesto. Las conexiones entre los varactores se llevan a cabo preferiblemente por medio de un material de baja resistencia, como aluminio, para mantener la resistencia entre los dispositivos en valores bajos, consiguiendo así un factor global Q alto del varactor compuesto.

Como se ha mencionado anteriormente, la capacitancia o capacidad C_D de la capa de empobrecimiento también es dependiente del potencial del pozo y, en consecuencia, el dispositivo también se puede operar aplicando potenciales fijos a los electrodos C_A y C_B y controlando la capacitancia o capacidad del dispositivo por medio de un voltaje o tensión adecuada aplicada al pozo. Alternativamente, se aplica un potencial fijo a uno de los electrodos C_A o C_B , el otro electrodo se conecta al pozo y el dispositivo se controla por medio de un voltaje o tensión adecuada aplicada al pozo.

Los aspectos operativos del primer ejemplo, descritos anteriormente, aplican también al segundo y tercer ejemplos después de las adaptaciones adecuadas a las polaridades aplicadas de acuerdo con principios bien conocidos en la técnica.

Aunque el primer, segundo y tercer ejemplos descritos anteriormente hacen uso de un sustrato de un semiconductor de tipo p, se puede utilizar igualmente un semiconductor de tipo n si las polaridades y los tipos de conductividad se adaptan de acuerdo a principios bien conocidos en la técnica.

En un proceso CMOS convencional de 0,25 μm o 0,35 μm , la longitud de puerta L_g que corresponde sustancialmente a la distancia entre la región de fuente y la región de drenaje se elige preferiblemente para que sea menor que 2 μm y más preferiblemente menor de 1 μm . La anchura de la puerta W_g se elige preferiblemente para que sea menor de 20 μm , por ejemplo 15 μm , 10 μm o 5 μm . En el caso de que se utilice un material de puerta de baja resistencia, como poli-silicio silizado con metal, la anchura de la puerta se puede elegir para que sea menor de 6 μm .

La Figura 6 ilustra un diagrama de circuito de un Oscilador de Voltaje Controlado 60 de acuerdo con un cuarto ejemplo. Los sustratos y las fuentes de un primer, un segundo y un tercer transistor de enriquecimiento NMOS, T_1 , T_2 y T_3 respectivamente, están conectados al potencial de tierra. La puerta del primer transistor T_1 está conectada al drenaje del segundo transistor T_2 y a la puerta del tercer transistor T_3 . La puerta del segundo transistor T_2 está conectada al drenaje del primer transistor T_1 y a un primer electrodo del primer inductor L_1 . Un segundo electrodo del primer inductor L_1 está conectado a un primer electrodo de una primera resistencia R_1 .

El drenaje del segundo transistor T_2 está conectado al primer electrodo de un segundo inductor L_2 . Un segundo electrodo del segundo inductor está conectado a una segunda resistencia R_2 . Un segundo electrodo de la primera resistencia R_1 está conectado a un segundo electrodo de la segunda resistencia R_2 , a un primer electrodo de una tercera resistencia R_{ext} y a un primer electrodo de una primera capacitancia o capacidad C_{ext} . Un segundo electrodo de la tercera resistencia está conectada a un voltaje o tensión de alimentación $+V_{cc}$ y un segundo electrodo de la primera capacitancia o capacidad C_{ext} está conectado al potencial de tierra. El circuito comprende además al menos

dos varactores V_1-V_n , donde n es el número de varactores. Un primer varactor compuesto se forma acoplado un número predeterminado de varactores V_1-V_n en paralelo, y un segundo varactor compuesto se forma conectando los varactores restantes en paralelo. Una conexión de entrada para recibir un voltaje o tensión V_{frec} que controla la frecuencia del Oscilador de Voltaje Controlado se conecta a un primer electrodo del primer y segundo varactores compuestos. Un segundo electrodo del primer varactor compuesto se conecta al drenaje del primer transistor T_1 , y un segundo electrodo del segundo varactor compuesto se conecta al drenaje del segundo transistor T_2 . En este ejemplo, los varactores V_1-V_n se forman empleando transistores de empobrecimiento NMOS. Los primeros electrodos de los varactores compuestos están constituidos por una conexión común entre el sustrato y todas las regiones de fuente y las regiones de drenaje de los transistores de empobrecimiento NMOS. El segundo electrodo del primer varactor compuesto está constituido por una conexión común entre las puertas de los transistores de empobrecimiento NMOS del primer varactor compuesto y el segundo electrodo del segundo varactor compuesto está constituido por una conexión común entre las puertas de los transistores de empobrecimiento NMOS del segundo varactor compuesto. Las puertas de los transistores de empobrecimiento NMOS se conectan preferiblemente al circuito VCO, y no a la conexión de entrada para recibir un voltaje o tensión V_{frec} , ya que la puerta tiene una capacitancia o capacidad parásita baja. La señal de salida I_{salida} del VCO se obtiene en el drenaje del tercer transistor T_3 . Opcionalmente, la tercera resistencia R_{ext} y la primera capacitancia o capacidad C_{ext} no están integrados en el chip. Además, es posible implementar el primer y segundo inductores L_1-L_2 haciendo uso de la inductancia de la unión de cables del IC. Se debe hacer notar que el sustrato de los transistores MOS que conforman los varactores compuestos V_1-V_n puede estar conectado a un potencial diferente de V_{frec} , por ejemplo, el potencial cero, siempre que el sustrato no forme un diodo directamente polarizado con ninguna otra región de los transistores. El funcionamiento de circuito VCO, como tal, es bien conocido en la técnica.

El mejor rendimiento para un circuito VCO dado con unos inductores dados está determinado por el factor Q y el rango dinámico (mínimo y máximo valor de capacitancia o capacidad) de los varactores (compuestos). De acuerdo con una cuarta realización de la presente invención se emplean transistores NMOS. Éstos tienen la menor resistencia parásita, y por tanto el mayor factor Q . El valor umbral se ajusta de forma que proporcione el mayor rango dinámico de los varactores (compuestos) que sea posible dentro de un rango (de voltaje o tensión) de polarización predeterminado.

En el caso en que los varactores de la presente invención estén integrados en un proceso CMOS convencional junto con otros dispositivos, las regiones de fuente y drenaje se deben aislar del sustrato, por ejemplo formando el varactor en al menos una región de pozo. Aunque se consiguen varactores con un elevado rango dinámico haciendo la región de pozo lo más ligeramente dopada como sea posible en la región de la superficie principal, por ejemplo bloqueando la implantación de umbrales del proceso CMOS, esto no es siempre necesario y, en esos casos, se pueden utilizar transistores MOS convencionales. Se debe hacer notar que la integración del varactor de la presente invención se puede llevar a cabo en procesos CMOS más antiguos donde se dispone de solamente una región de pozo con un tipo de conductividad opuesto al tipo de conductividad del sustrato.

Ventajosamente, los métodos pueden proporcionar un circuito Oscilador de Voltaje Controlado y/o Bucle de Enganche de Fase, PLL, (no mostrado) que incluye un varactor como el descrito anteriormente empleando un proceso CMOS convencional. Se emplea un PLL frecuentemente en dispositivos de comunicación de radio (no mostrados), como teléfonos portátiles/celulares, para sincronizar señales con señales de referencia posiblemente recibidas por medio de un receptor de radio y para generar frecuencias deseadas en un sintetizador de frecuencias. Como muchas de las funciones de un dispositivo de comunicación de radio se pueden integrar mediante procesos CMOS convencionales, la integración de circuitos VCO y/o PLL junto con estas funciones permite que la presente invención proporcione un dispositivo de comunicación de radio con un alto grado de integración, y por tanto pequeñas dimensiones físicas. El alto grado de integración también reduce los costes de fabricación.

Se presentan dos ejemplos más de varactores (compuestos) para ilustrar que los dispositivos eléctricos de la presente invención se pueden implementar de muchas maneras sin salirse del ámbito de la presente invención.

La FIGURA 7 ilustra una vista superior de un varactor 70 compuesto de acuerdo con un quinto ejemplo de la presente invención. Además, la FIGURA 8 y la FIGURA 9 ilustran vistas de secciones transversales a lo largo de los ejes VIII-VIII y IX-IX, respectivamente. Se forma una región 72 de tipo n en un sustrato 71 de tipo p . Las regiones 73, 74 de tipo p^+ se forman en la región 72 de pozo para formar islas igualmente espaciadas según una matriz bidimensional. Se forma una puerta 76 separada del pozo y el sustrato del semiconductor por una capa de aislamiento (no mostrada) en regiones que corresponden a regiones entre las regiones 73, 74 de tipo p^+ . Preferiblemente, pero no necesariamente, la puerta 76 también se extiende de forma que todas las regiones de tipo p^+ están rodeados por la puerta. La puerta 76 forma un primer electrodo del varactor 70 compuesto. Todas las regiones 73, 74 de tipo p^+ están conectadas en común por medio de una segunda capa de poli-silicio 77/78 y elementos 77, 78 conectores y forma un segundo electrodo del varactor 70 compuesto. Las regiones 73, 74 de tipo p^+ forman las regiones 73 de fuente y las regiones 74 de drenaje de forma que las regiones más cercanas a cada región 73 de fuente son regiones 74 de drenaje y viceversa.

En un ejemplo de un método de fabricación del varactor 70 compuesto del quinto ejemplo, la región 72 de pozo de tipo n se forma en primer lugar en el sustrato 71 de semiconductor de tipo p . Se forma una capa de aislamiento (no

mostrada) sobre la superficie de la región de pozo y sobre la misma se forma una primera capa de poli-silicio. Se forma una primera capa de máscara (no mostrada) sobre la primera capa de poli-silicio. La primera capa de máscara se expone a un ataque químico para que adopte una forma de rejilla (no mostrada). A continuación, se somete a ataque químico la primera capa de poli-silicio para formar la puerta 76. La puerta 76, en consecuencia, adopta la forma de rejilla de la máscara. La puerta 76 forma el primer electrodo del varactor compuesto. Los restos de la máscara se quitan y se forman las regiones 73 de fuente de tipo p^+ y las regiones 74 de drenaje de tipo p^+ mediante implantación de iones utilizando la puerta 76 como una máscara. Durante este proceso, la conductividad de la puerta 76 aumentará debido a la implantación de iones de la puerta. Alternativamente, la máscara se mantiene durante la implantación de iones. Preferiblemente, la conductividad de la puerta aumenta si se silidiza con metal la puerta 76.

Se forma una capa de aislamiento (no mostrada sobre la estructura y, sobre la misma, se forma una segunda capa de máscara (no mostrada). La segunda capa de máscara se expone y se ataca químicamente para formar una máscara (no mostrada) con aberturas en cada una de las regiones 73 de fuente y regiones 74 de drenaje. A continuación, en una operación de ataque químico se quita el material aislante de las aberturas. La segunda máscara entonces se quita y se forma sobre la misma la segunda capa 77/78 de poli-silicio. Se debe hacer notar que debido a la operación previa de ataque químico, la segunda capa de poli-silicio conectará cada una de las regiones 73 de fuente y de las regiones 74 de drenaje por medio de los elementos de conexión de poli-silicio 77 y 78 respectivamente. De este modo, la segunda capa 77/78 de poli-silicio forma el segundo electrodo del varactor compuesto. En un ejemplo alternativo, se emplea poli-silicio para formar los elementos 77, 78 de conexión y se emplea un electrodo de metal, en lugar de la capa 77/78 de poli-silicio, para conectar los elementos 77, 78 de conexión en común.

Se puede considerar que el dispositivo del quinto ejemplo está hecho de varios transistores MOS, cada uno de los cuales tiene una región 73 de fuente, una región 74 de drenaje, una puerta 76 y una región de canal formada entre la región 73 de fuente y la región 74 de drenaje, que están acopladas en paralelo por medio de la segunda capa de poli-silicio para formar un varactor compuesto. El funcionamiento de cada uno de los transistores MOS corresponderá, por tanto, al funcionamiento de los varactores que comprenden un transistor MOS, como se ha explicado anteriormente.

La FIGURA 10 ilustra una vista superior de un varactor 80 compuesto de acuerdo con un sexto ejemplo hecho mediante un método de acuerdo con la presente invención. Además, las FIGURA 11, FIGURA 12 y FIGURA 13 ilustran vistas de secciones transversales a lo largo de los ejes XI-XI, XII-XII y XIII-XIII, respectivamente, de la FIGURA 10. Se forma una región 82 de pozo de tipo n en un sustrato 81 de tipo p. Se forma en la región 82 de pozo una región 83, 91, 84, 90 de tipo p^+ con una forma de peine. Se forma una puerta 86, separada del sustrato 81 y de la región 82 de pozo por una capa de aislamiento (no mostrada), en regiones que corresponden a las regiones entre los "dedos" de la región 83, 91, 84, 90 de tipo p^+ con forma de peine. La puerta 86 también se extiende a lo largo de los bordes de los "dedos", de forma que se forma una puerta 86 común. La puerta 86 forma un primer electrodo del varactor 80 compuesto, y la región 83, 91, 84, 90 de tipo p^+ se conecta a un segundo electrodo (no mostrado) del varactor 80 compuesto.

En el método de fabricación de acuerdo con la presente invención del varactor 80 compuesto, la región 82 de pozo de tipo n se forma en el sustrato 81 de tipo p del semiconductor. Una capa de aislamiento (no mostrada) se forma sobre la superficie de la región de pozo, y sobre la misma se forma una capa de poli-silicio. Se forma una primera capa de máscara (no mostrada) sobre la capa de poli-silicio. La primera capa de máscara se expone a ataque químico para formar una primera máscara (no mostrada) con una forma de peine. A continuación, se realiza un ataque químico a la capa de poli-silicio para formar la puerta 86. En consecuencia, la puerta 86 adopta la forma de peine de la máscara. La puerta 86 forma un primer electrodo del varactor compuesto. El resto de la máscara se quita y se forma una segunda capa de máscara (no mostrada) sobre la estructura. La segunda capa de máscara se expone a ataque químico para formar una segunda máscara (no mostrada) con una abertura, de modo que los "dedos" de la puerta con forma de peine y el área que rodea a los "dedos" no están cubiertos por la máscara. A continuación, una región 83 de fuente de tipo p^+ , regiones 91 de drenaje y fuente de tipo p^+ combinadas, una región 84 de drenaje y regiones 90 de conexión para conectar estas regiones, se forman mediante implantación de iones empleando no sólo la segunda máscara, sino también la puerta 86 y una máscara. Durante este proceso, la conductividad de la puerta 86 aumentará debido a la implantación de iones de la puerta. Alternativamente, se mantiene la primera máscara durante la implantación de iones. Preferiblemente, la conductividad de la puerta aumenta si se tiene la puerta 86 silizada con metal. Las regiones 83, 91, 84 y 90 de implantación de iones se conectan, y esta conexión forma un segundo electrodo del varactor compuesto.

Se puede considerar que el dispositivo del sexto ejemplo está hecho de varios transistores MOS, cada uno de los cuales tiene una región 91 (u 83) de fuente, una región 91 (u 84) de drenaje, una puerta 86 y una región de canal formada entre la región de fuente y la región de drenaje, que están acopladas en paralelo, por medio de las regiones 90 de conexión, para formar un varactor compuesto. El funcionamiento de cada uno de los transistores MOS corresponderá por tanto al funcionamiento de los varactores que comprenden un transistor MOS, como se ha explicado anteriormente. En una realización alternativa (no mostrada), la puerta 86 se forma (al menos temporalmente durante la fabricación) de forma que también lleva a cabo la función de la segunda máscara y, por tanto, no se requiere segunda máscara para definir las regiones 83, 91, 84 y 90 que deben sufrir implantación de iones en las operaciones siguientes.

5 Los varactores (70, 80) compuestos del quinto y sexto ejemplos muestran ejemplos de dispositivos que tienen varios varactores acoplados en paralelo. Como se ha descrito anteriormente, se puede conseguir un elevado factor Q para cada varactor mediante una puerta y región de canal de pequeñas dimensiones y manteniendo la resistencia de la puerta (y su conexión) lo más baja posible. Una puerta y región de canal de pequeñas dimensiones, sin embargo, dan lugar a un varactor con una capacitancia o capacidad de un valor numérico que algunas veces es inaceptablemente pequeño. Una capacitancia o capacidad adecuada de un varactor compuesto, por ejemplo, los varactores compuestos de los ejemplos quinto y sexto (70, 80) se consigue, por tanto, acoplando un número adecuado de varactores en paralelo. De este modo, se proporcionan varactores compuestos con elevados valores de Q y capacitancias o capacidades adecuadas.

10 Una ventaja de la presente invención es que un varactor que tiene altos factores de calidad Q, es decir, que tiene una baja resistencia en serie, se puede realizar incluso para aplicaciones de alta frecuencia utilizando un proceso CMOS convencional sin añadir ninguna operación de fabricación. Los varactores, por tanto, se pueden fabricar con un alto rendimiento y bajos costes.

15 Además, una ventaja de la presente invención es que se proporciona un VCO que se puede realizar empleando un proceso CMOS convencional y cuyo diseño no requiere la adición de un condensador DC de desacoplamiento. Esto hace la implementación del VCO económica y físicamente de pequeño tamaño, ya que no se requiere ningún condensador DC de desacoplamiento ni en el IC ni externamente al IC en la PCB. Estas ventajas se vuelven aún más pronunciadas cuando se implementan en dispositivos manuales, como teléfonos portátiles, que deben ser pequeños y de los que se producen grandes volúmenes.

REIVINDICACIONES

1. Un método para fabricar un dispositivo eléctrico que tiene una capacitancia o capacidad dependiente de voltaje o tensión por medio de un proceso CMOS convencional que comprende las operaciones de:

- 5 formar una región de pozo (82) en un sustrato semiconductor (80);
- formar una primera capa de aislamiento sobre la superficie de la región de pozo;
- formar una primera capa de poli-silicio sobre la capa de aislamiento;
- formar una primera capa de máscara sobre la capa de poli-silicio;
- 10 exponer la primera capa de máscara y atacar químicamente la capa de máscara;
- atacar químicamente el poli-silicio en áreas donde la primera capa de máscara ha sido atacada químicamente para formar una primera región de electrodo (86);
- quitar el resto de la primera capa de máscara;
- 15 formar una segunda región de electrodo que comprende una pluralidad de regiones de dedos (83, 84, 91), separadas por regiones de separación, la primera región de electrodo (86) extendiéndose a lo largo de los bordes de las regiones de los dedos (83, 84, 91), y las regiones de los dedos empleando la primera región de electrodo como una máscara; y la segunda región de electrodo comprendiendo además una región de semiconductor (90) que conecta las regiones de los dedos (83, 84, 91).

20 2. Un método de acuerdo con la reivindicación 1, en el que la segunda región de electrodo está formada mediante implantación de iones.

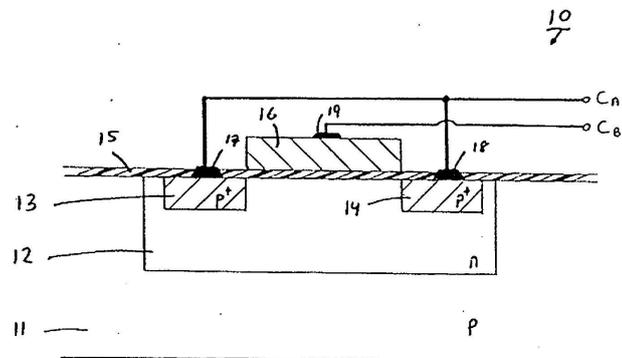


FIG 1

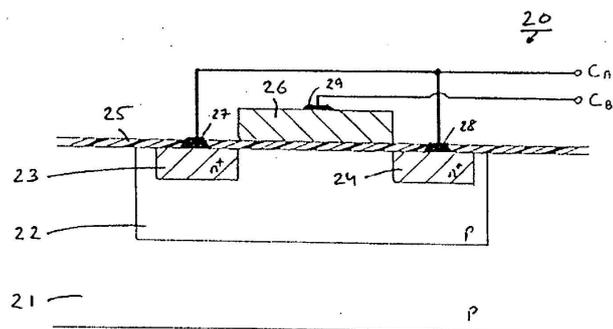


FIG 2

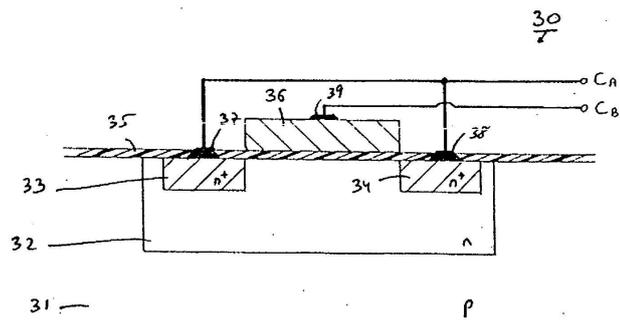


FIG 3

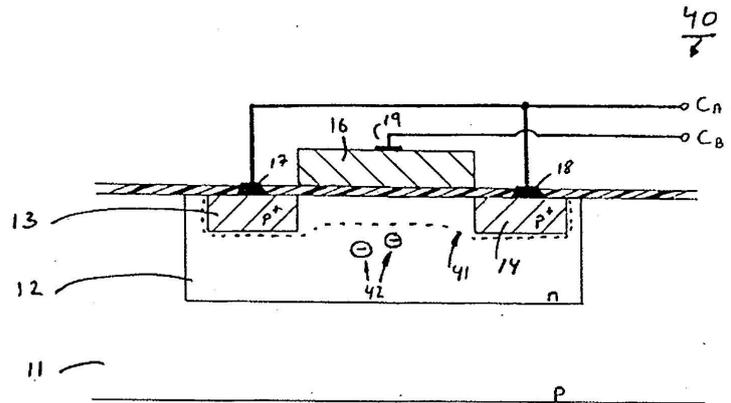


FIG 4

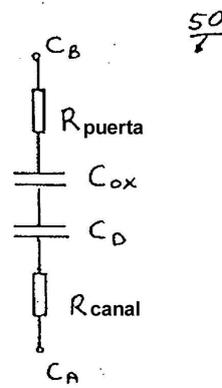


FIG 5

60

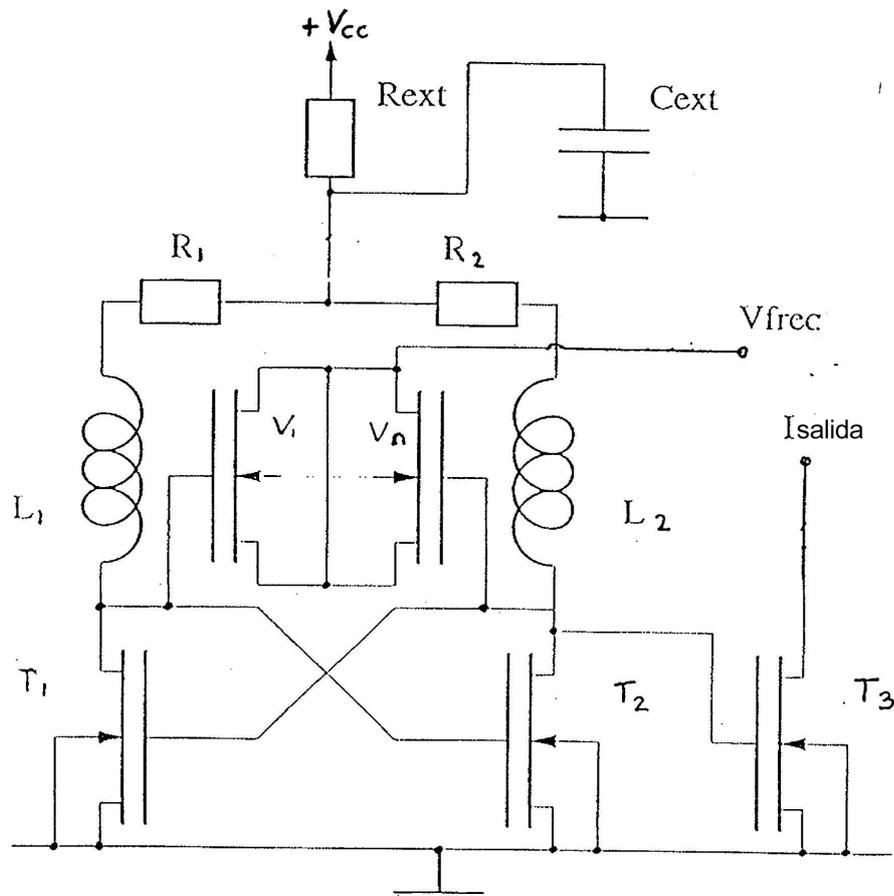


FIG 6

70
7

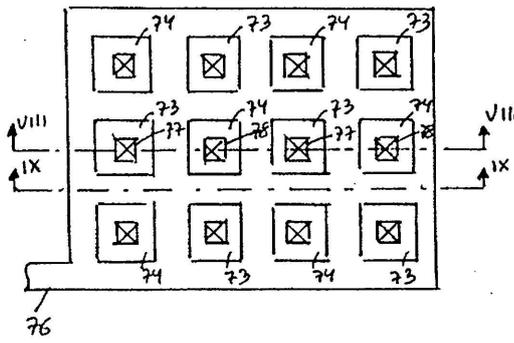


FIG 7

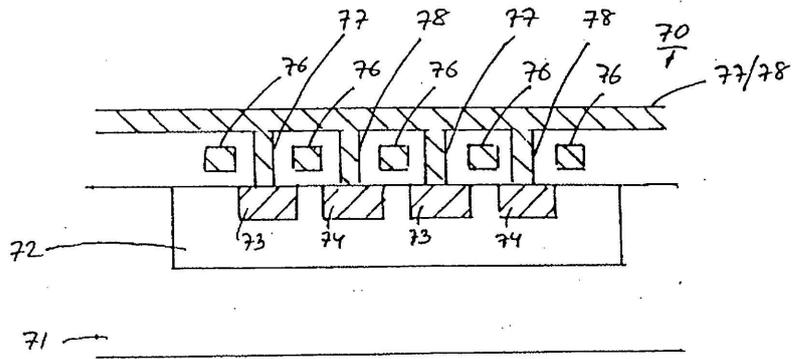


FIG 8

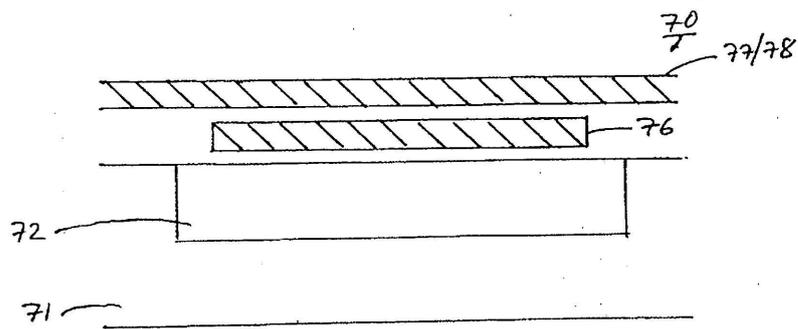


FIG 9

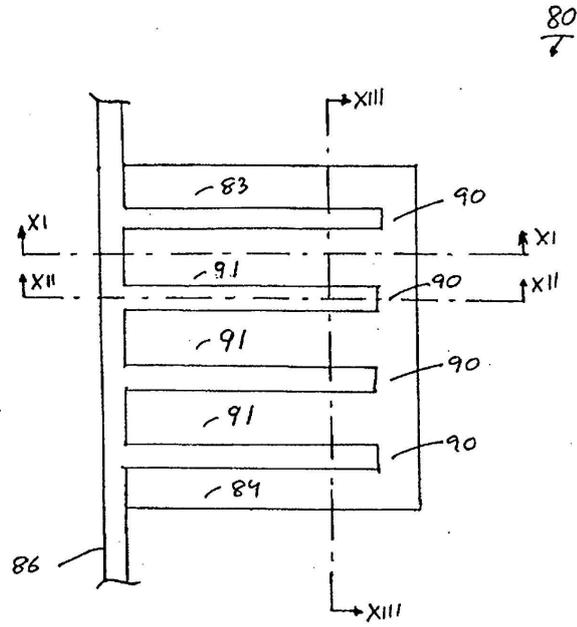


FIG 10

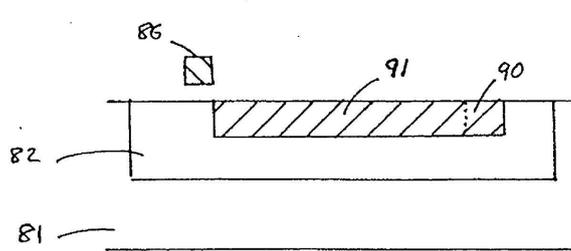


FIG 11

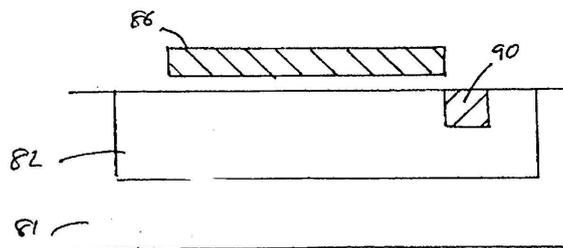


FIG 12

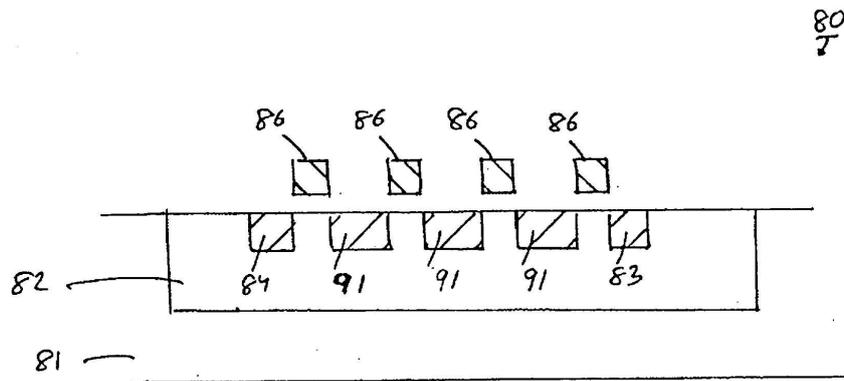


FIG 13