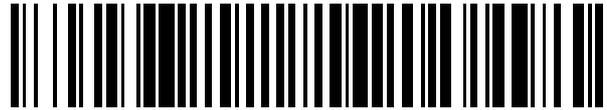


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 401 142**

51 Int. Cl.:

G11C 11/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.03.2009 E 09727965 (7)**

97 Fecha y número de publicación de la concesión europea: **13.02.2013 EP 2269192**

54 Título: **Diseño estructural de matriz de células binarias de memoria de acceso aleatorio magnetoresistiva (MRAM)**

30 Prioridad:

04.04.2008 US 98017

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

17.04.2013

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, California 92121-1714, US**

72 Inventor/es:

XIA, WILLIAM, H.

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 401 142 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Diseño estructural de matriz de células binarias de memoria de acceso aleatorio magnetoresistiva (MRAM)

Campo de la divulgación

5 Las realizaciones ejemplares de la invención se refieren a diseños estructurales de series de células binarias de Memoria de Acceso Aleatorio Magnetoresistiva (MRAM). Más particularmente, las realizaciones de la invención se refieren a diseños estructurales de series de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM).

Antecedentes

10 La Memoria de Acceso Aleatorio Magnetoresistiva (MRAM) es una tecnología de memoria no volátil que usa elementos magnéticos. Por ejemplo, la Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM) usa electrones que se hacen polarizados en giro como los electrones que pasan a través de una película fina (filtro de giro). Se conoce también la STT-MRAM como RAM de Transferencia de Par de Giro (STT-RAM), RAM de Conmutación de Magnetización de Transferencia de Par de Giro (Spin-RAM) y Transferencia de Momento de Giro (SMT-RAM).

15 Con referencia a la Figura 1, se ilustra un diagrama de una célula 100 STT-MRAM convencional. La celda 100 binaria STT-MRAM incluye el elemento 105 de almacenamiento de unión de túnel magnético (MTJ), transistor 110, línea 120 de bit y línea 130 de palabra. El elemento de almacenamiento MTJ se forma, por ejemplo, a partir de una capa fijada y una capa libre, cada una de las cuales puede mantener un campo magnético, separado por una capa de aislante (barrera de túnel) como se ilustra en la Figura 1. La célula 100 binaria STT-MRAM también incluye una
20 línea 140 de fuente, amplificador 150 de sentido, circuitería 160 de lectura / escritura y referencia 170 de línea de bit. Los expertos en la materia apreciarán que la operación y construcción de la célula 100 de memoria es conocida en la técnica. Se proporcionan detalles adicionales, por ejemplo, en M. Hosomi, y col., A Novel Nonvolatile Memory with Spin Transfer Torque Magnetoresistive Magnetization Switching: Spin-RAM, proceedings of IEDM conference (2005).

25 Con referencia a la Figura 2, en diseños convencionales, se disponen las líneas de fuente (SL) de las series de célula binaria de unión de túnel magnético (MTJ) para que sean paralelas a la línea de bit (BL) o la línea de palabra. Sin embargo, en diseños convencionales no hay solapamiento directo y paralelo entre la línea de fuente (SL) y la línea de bit (BL) debido a las reglas de espaciado de medios y metales. Por lo tanto, no se puede reducir o minimizar el tamaño mínimo de célula binaria como un resultado de las reglas de espaciado de metales y medios.

30 La Figura 3 es una vista de exploración de arriba a abajo de una serie de célula binaria de unión de túnel magnético (MTJ) convencionales que tienen líneas de fuente (SL) dispuestas paralelas a las líneas de bits (BL). Como se muestra en la Figura 3, las líneas de fuente (SL) no solapan las líneas de bits (BL), y por lo tanto, se limita el tamaño de célula binaria mediante las reglas de espaciado entre las líneas de fuente (SL) y las líneas de bits (BL). Se considera que la técnica anterior más reciente es el documento EP 1 321 941, que muestra un esquema de
35 conexión de línea de fuente convencional de una célula binaria.

Sumario

Las realizaciones ejemplares de la invención se refieren a diseños estructurales de series de células binarias de Memoria de Acceso Aleatorio Magnetoresistiva (MRAM). Más particularmente, las realizaciones de la invención se refieren a diseños estructurales de series de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (SST-MRAM). Por consiguiente, una realización ejemplar de la invención puede incluir una celda binaria de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM) como se describe en la reivindicación 1.

Breve descripción de los dibujos

45 Se presentan los dibujos adjuntos se presentan para ayudar en la descripción de realizaciones de la invención y se proporcionan únicamente para ilustración de las realizaciones y no como limitación de las mismas.

La Figura 1 ilustra una célula de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM) convencional.

La Figura 2 es una ilustración de una serie de célula binaria MRAM convencional.

La Figura 3 es una vista de exploración de arriba a abajo de una serie de célula binaria MRAM convencional.

50 La Figura 4 es un esquema de una realización de una serie de célula binaria MRAM.

La Figura 5 es una ilustración de arriba a abajo de una realización de una serie de célula binaria MRAM.

La Figura 6 es una vista de exploración de arriba a abajo de una realización de una serie de célula binaria MRAM.

La Figura 7 es otra vista de exploración de arriba a abajo de una realización de una serie de célula binaria MRAM.

La Figura 8 es una ilustración de sección transversal de la realización de la serie de célula binaria MRAM de la Figura 5 a lo largo de A8-A8.

5 La Figura 9 es una ilustración de sección transversal de la realización de la serie de célula binaria MRAM de la Figura 5 a lo largo de A9-A9.

La Figura 10 es una ilustración en perspectiva de una realización de una serie de célula binaria MRAM.

Descripción detallada

10 Se desvelan aspectos de la invención en la siguiente descripción y los dibujos relacionados se refieren a realizaciones específicas de la invención. Se pueden establecer realizaciones alternativas sin alejarse del alcance de la invención. Adicionalmente, no se describirán en detalle elementos de la invención bien conocidos o se omitirán para no oscurecer los detalles relevantes de la invención.

15 La palabra “ejemplar” se usa en el presente documento con el significado de “servir como un ejemplo, caso o ilustración”. Cualquier realización descrita en el presente documento como “ejemplar” no se debe interpretar necesariamente como preferida o ventajosa sobre otras realizaciones. De manera similar, la expresión “realizaciones de la invención” no requiere que todas las realizaciones de la invención incluyan la característica, ventaja o modo de operación analizados.

20 La terminología usada en el presente documento es para el fin de describir realizaciones particulares únicamente y no pretende ser limitante de realizaciones de la invención. Como se usa en el presente documento, las formas singulares “un”, “una” y “el”, “la” pretenden incluir las formas plurales asimismo, a menos que el contexto claramente indique de otra manera. Se entenderá adicionalmente que los términos “comprende”, “que comprende”, “incluye” y/o “que incluye”, cuando se usan en el presente documento, especifican la presencia de las características establecidas, enteros, etapas, operaciones, elementos y/o componentes, pero no impide la presencia o adición de una o más otras características, enteros, etapas, operaciones, elementos, componentes y/o grupos de los mismos.

25 Las realizaciones de la invención pueden proporcionar una serie de célula binaria MRAM que puede reducir el tamaño de célula binaria. Por ejemplo, una realización de una serie de célula binaria STT-MRAM puede reducir el tamaño de célula binaria promedio colocando al menos una porción de la línea de fuente (SL) en la parte superior de la línea de bit (BL) de modo que puede superar las limitaciones impuestas por el metal convencional y mediante reglas de espaciado de interconexión.

30 Las realizaciones pueden solucionar los problemas de las series de célula binaria MRAM convencionales. Las realizaciones pueden reducir los tamaños de célula binaria MTJ añadiendo mediante interconexiones a la línea de fuente (SL) y añadiendo una capa de metal fina en la parte superior (por ejemplo, M7) de manera que se configura la línea de fuente (SL) para que esté directamente en la parte superior de o por encima de (por ejemplo, solapando y paralela a) la línea de bit (BL) para superar el metal principal convencional y mediante limitaciones de regla de diseño, ahorrando de esta manera espacio de silicio.

35 Con referencia a las Figuras 4-10, las realizaciones de la invención pueden proporcionar una matriz de célula binaria MRAM que reduce o minimiza el tamaño de célula binaria. Por ejemplo, la Figura 4 ilustra esquemáticamente una realización de una matriz de célula binaria MRAM. Una realización de la matriz de célula binaria STT-MRAM puede reducir el tamaño de célula binaria promedio colocando la línea de fuente (SL) solapando y paralela a (por ejemplo, por encima) de la línea de bit (BL) para resolver o superar limitaciones que dan como resultado del metal convencional y mediante reglas de espaciado de interconexión. Como se muestra en la Figura 5, una célula 500 binaria STT-MRAM ejemplar incluye una línea de fuente (SL) formada en un primer plano y una línea de bit (BL) formada en un segundo plano. La línea de bit (BL) tiene un eje longitudinal que es paralelo a un eje longitudinal de la línea de fuente (SL). De acuerdo con las realizaciones ejemplares, la línea de fuente (SL) solapa al menos con una porción de la anchura de la línea binaria (BL), reduciendo de esta manera el tamaño de célula binaria. En una realización, la línea de fuente (SL) puede solapar sustancialmente la anchura de la línea de bit (BL), reduciendo adicionalmente de esta manera el tamaño de célula binaria. Como otro ejemplo, como se muestra en la realización ejemplar de la Figura 5, la línea de fuente (SL) puede solapar completamente la línea de bit (BL), reduciendo adicionalmente de esta manera el tamaño de célula binaria.

40 45 50 55 En la realización ejemplar ilustrada en la Figura 5, se reduce el tamaño de célula binaria MTJ añadiendo una capa de metal fina en la parte superior (M7) para formar la línea de fuente (SL) directamente en la parte superior de o por encima (por ejemplo, solapando y paralela a) la línea de bit (BL). Las capas de metal M5 y M7 se extienden en una dirección perpendicular al eje longitudinal de la línea de fuente (SL) y a la línea de bit (BL) y en el mismo plano al igual que las capas de metal respectivas M5 y M7 de manera que al menos una porción de las capas de metal M5 y M7 no se solapa con la línea de bit (BL). Una interconexión transversal conecta (por ejemplo, conecta eléctricamente) las porciones de las capas de metal M5 y M7, que no se solapan con la línea de bit (BL), entre sí.

Por ejemplo, en una realización, una porción de las capas de metal M5 y M7 se extiende en una dirección perpendicular al eje longitudinal de la línea de fuente (SL) y a la línea de bit (BL) y en el mismo plano al igual que las capas de metal M5 y M7 respectivas para formar extensiones laterales (por ejemplo, primera y segunda extensiones laterales). Una interconexión transversal conecta (por ejemplo, conecta eléctricamente) las extensiones laterales entre sí.

En una realización, se forma una capa de metal M6 en el área de las extensiones laterales entre las capas de metal M5 y M7. La realización ilustrativa mostrada en la Figura 5 incluye una interconexión transversal V5 para conectar la extensión lateral de la capa de metal M5 a la capa de metal M6 y una interconexión transversal V6 para conectar la capa de metal M6 a la extensión lateral de la capa de metal M7. Por lo tanto, la realización puede evitar cortar o interconectar la línea de fuente (por ejemplo, M7) a la línea de bit (BL) que, por lo demás, sería el resultado del solapamiento paralelo de la línea de fuente (SL) y la línea de bit (BL). Se describen a continuación ilustraciones de sección transversal de la realización de la matriz de célula binaria MRAM de la Figura 5 con referencia a las Figuras 8 y 9.

En otra realización ejemplar; se puede mover la célula MTJ una capa de metal hacia abajo, de manera que se puede usar el metal fino de la parte superior existente (por ejemplo, M6) como la línea de fuente (SL). Por consiguiente, en esta realización ilustrativa, no se incluye una capa de metal adicional (por ejemplo, M7) en la célula binaria.

La Figura 6 es una vista de exploración de arriba a abajo de una realización de una matriz 600 de célula binaria MRAM, que generalmente corresponde a la realización ilustrada en la Figura 5, con elementos similares que se etiquetan igual. La Figura 7 es otra vista de exploración de arriba a abajo de una realización de una matriz 700 de célula binaria MRAM que ilustra una mayor integración de escala de las células binaria.

La Figura 8 es una ilustración de sección transversal de la realización de un drenador 800 de la matriz de célula binaria MRAM de la Figura 5 a lo largo de A8-A8. Como se muestra en la Figura 8, se conectan las capas de metal M1, M2, M3, M4, M5 y M6 (BL) entre sí mediante interconexiones transversales V1, V2, V3, V4 y V5, respectivamente. Se configura la línea de fuente M7 para que sea paralela a y que solape con la capa de metal M6 (BL) pero no se interconecte.

La Figura 9 es una ilustración de sección transversal de la realización de una fuente 900 de la matriz de célula binaria MRAM de la Figura 5 a lo largo de A9-A9. Como se muestra en la Figura 9, se conectan las capas de metal M1, M2, M3, M4 y M5 entre sí mediante interconexiones transversales V1, V2, V3 y V4, respectivamente. Se extienden las capas de metal M5 y M7 en una dirección perpendicular al eje longitudinal de la línea de fuente (SL) y a la línea de bits (BL) y en el mismo plano que las capas de metal M5 y M7 respectivas para formar extensiones laterales (por ejemplo, primera extensión 910 lateral y una segunda extensión 920 lateral). Se forma una capa de metal (por ejemplo, M6 en la Figura 9) en el área de las extensiones laterales entre las capas de metal M5 y M7. Por ejemplo, como se muestra en la realización de la Figura 9, se puede formar la capa de metal (por ejemplo, M6) en el mismo plano que la línea de bit (BL), pero aislada eléctricamente de la línea de bit (BL). La realización incluye interconexiones transversales V5 y V6 para conectar la extensión 920 lateral de la capa de metal M5 a la capa de metal M6 y la capa de metal M6 a la extensión 910 lateral de la capa M7 de metal, respectivamente.

Como se muestra en la Figura 10, que es una ilustración en perspectiva de una realización de una fuente 900 de una matriz de célula binaria MRAM, se configura la línea de fuente (SL) (por ejemplo, M7) para que sea paralela a y que solape con la línea de bit (BL) pero no se interconecte (por ejemplo, no se interconecte eléctricamente). Por lo tanto, las realizaciones ejemplares pueden evitar cortar la línea de fuente (SL) (por ejemplo, M7) a la línea de bit (BL) que, por lo demás, sería el resultado del solapamiento paralelo de la línea de fuente (SL) y la línea de bit (BL), mientras que minimiza o reduce el tamaño de célula binaria promedio comparado con el diseño de célula binaria convencional.

De acuerdo con una realización, se pueden diseñar una o más interconexiones transversales (por ejemplo, V5 y V6) y una capa de metal fina en la parte superior (M7) para conectar la línea de fuente (SL) del transistor de acceso en una célula binaria MTJ de modo que se puede colocar la línea de fuente (SL) directamente en la parte superior de o por encima (por ejemplo, solapando y paralela a) de la línea de bit (BL) sin cortar o interconectar la línea de fuente (SL) (por ejemplo, M7) a la línea de bit (BL), reduciendo de esta manera el área de células binarias promedio.

Por consiguiente, una realización de la invención puede ser una célula binaria de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM) que incluye una línea de fuente (SL) formada en un primer plano, y una línea de bits (BL) formada en un segundo plano y que tiene un eje longitudinal que es paralelo a un eje longitudinal de la línea de fuente (SL), en el que la línea de fuente (SL) solapa al menos una porción de la línea de bit (BL). En una realización, la línea de fuente (SL) puede solapar sustancialmente la línea de bit (BL).

En una realización, la línea de fuente (SL) incluye una primera extensión 910 lateral que se extiende en el primer plano y en una dirección perpendicular al eje longitudinal de la línea de fuente (SL) de manera que una porción de la primera extensión 910 lateral no se solapa con la línea de bit (BL).

En otra realización, la línea de fuente es una primera capa de metal (por ejemplo, M7 (SL)) y la línea de bit es una segunda capa de metal (por ejemplo, BL). La célula binaria también puede incluir una tercera capa de metal (por

ejemplo, M5) formada en un tercer plano y que tiene un eje longitudinal que es paralelo al eje longitudinal de la primera capa de metal (por ejemplo, M7), en el que la segunda capa de metal (por ejemplo, BL) interpone la primera capa de metal (por ejemplo, M7) y la tercera capa de metal (por ejemplo, M5). La primera capa de metal (por ejemplo, M7) y/o la segunda capa de metal (por ejemplo, BL) pueden solapar al menos con una porción de la tercera capa de metal (por ejemplo, M5).

5 La tercera capa de metal (por ejemplo, M5) puede incluir una segunda extensión 920 lateral que se extiende en el tercer plano y en una dirección perpendicular al eje longitudinal de la tercera capa de metal (por ejemplo, M5). La primera extensión 910 lateral puede solapar con la segunda extensión 920 lateral y se puede conectar eléctricamente a la segunda extensión 920 lateral.

10 En una realización, al menos una interconexión transversal (por ejemplo, V5, V6, etc.) conecta la primera extensión 910 lateral con la segunda extensión 920 lateral. En otra realización, una cuarta capa de metal (por ejemplo, M6) interpone la primera extensión 910 lateral y la segunda extensión 920 lateral. Una primera interconexión transversal (por ejemplo, V6) conecta la primera extensión 910 lateral con la cuarta capa de metal (por ejemplo, M6), y una segunda interconexión transversal (por ejemplo, V5) conecta la cuarta capa de metal (por ejemplo, M6) con la segunda extensión 920 lateral. En una realización, se forma la cuarta capa de metal (por ejemplo, M6) en el segundo plano y se puede aislar eléctricamente de la segunda capa de metal (por ejemplo, BL).

15 En otras realizaciones, la célula binaria STT-MRAM puede incluir una línea de palabra, un elemento de almacenamiento y un transistor de línea de palabra acoplado al elemento de almacenamiento. El elemento de almacenamiento puede ser una unión de túnel magnético (MTJ), como se ilustra por ejemplo en la Figura 9, y se puede acoplar el transistor de línea de palabra en serie con la MTJ.

20 En otra realización, una célula binaria de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM) puede incluir una primera capa de metal (por ejemplo, M7) que forma una línea de fuente que tiene un eje longitudinal en un primer plano, y una segunda capa de metal (por ejemplo, BL) que forma una línea binaria que tiene un eje longitudinal en un segundo plano, en el que el eje longitudinal de la primera capa de metal (por ejemplo, M7) es paralelo al eje longitudinal de la segunda capa de metal (por ejemplo, BL), y en el que la primera capa de metal (por ejemplo, M7) solapa al menos una porción de la segunda capa de metal (por ejemplo, BL).

25 En otra realización, la matriz de célula binaria de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM) incluye una pluralidad de células binaria. Cada bit incluye una línea de fuente formada en un primer plano, y una línea de bit formada en un segundo plano y que tiene un eje longitudinal que es paralelo a un eje longitudinal de la línea de fuente, en el que la línea de fuente solapa (por ejemplo, en la parte superior o inferior) con al menos una porción de la línea de bit. Las realizaciones ejemplares de una matriz de célula binaria STT-MRAM pueden reducir el tamaño de célula binaria promedio colocando la línea de fuente (SL) solapando y generalmente paralela a la línea de bit (BL) para reducir el área usada en configuraciones de interconexión de metales y medios convencionales. Las realizaciones de las matrices de células binarias MRAM pueden reducir los tamaños de célula binaria añadiendo interconexiones transversales a la línea de fuente (SL) y añadiendo una capa de metal fina en la parte superior (por ejemplo, M7) de manera que se configura la línea de fuente (SL) para que esté directamente en la parte superior de o por encima de la línea de bit (BL) para superar las principales limitaciones de la regla de diseño de metales y medios convencionales, ahorrando espacio de esta manera.

30 Aunque la divulgación anterior muestra realizaciones ilustrativas de la invención, debe observarse que se podrían realizar diversos cambios y modificaciones en el presente documento sin alejarse del alcance de la invención como se define mediante las reivindicaciones adjuntas. No es necesario realizar las funciones, etapas y/o acciones de las reivindicaciones del procedimiento de acuerdo con las realizaciones de la invención descritas en el presente documento en ningún orden particular. Adicionalmente, aunque se pueden describir o reivindicar los elementos de la invención en el singular, se contempla el plural a menos que se establezca explícitamente limitación al singular.

45

REIVINDICACIONES

1. Una célula binaria de Memoria de Acceso Aleatorio Magnetoresistiva de Transferencia de Par de Giro (STT-MRAM) que comprende:

5 una primera capa de metal que forma una línea de fuente en un primer plano, que incluye una primera extensión (910) lateral que extiende la línea de fuente en el primer plano y en una dirección perpendicular a un eje longitudinal de la línea de fuente, de manera que una porción de la primera extensión (910) lateral no se solapa con una segunda capa de metal, que forma una línea de bit; y una segunda capa de metal formada en un segundo plano y que tiene un eje longitudinal que es paralelo al eje longitudinal de la primera capa de metal, en la que la primera capa de metal se solapa al menos con una porción de la segunda capa de metalcomprendiendo la célula binaria adicionalmente:

10 una tercera capa de metal formada en un tercer plano y que tiene un eje longitudinal que es paralelo al eje longitudinal de la primera capa de metal, incluyendo la tercera capa de metal una segunda extensión lateral se extiende en el tercer plano y en una dirección perpendicular al eje longitudinal de la tercera capa de metal,
 15 en la que la segunda capa de metal interpone la primera capa de metal y la tercera capa de metal, en la que la primera extensión (910) lateral solapa con la segunda extensión lateral y se conecta eléctricamente con la segunda extensión lateral, mediante al menos una interconexión transversal, en una fuente (900) de la célula binaria,

que comprende adicionalmente:

20 una interconexión transversal adicional entre la segunda capa de metal y la tercera capa de metal en un drenador (800) de la célula binaria; y
 un elemento de almacenamiento conectado eléctricamente a la línea de bit y a la tercera capa de metal mediante dicha interconexión transversal adicional;
 25 en la que la línea de fuente está eléctricamente conectada a una fuente de un transistor y la línea de bit está eléctricamente conectada a un drenador del transistor.

2. La célula binaria STT-MRAM de la reivindicación 1, en la que la primera capa de metal y/o la segunda capa de metal se solapan con al menos una porción de la tercera capa de metal.

3. La célula binaria STT-MRAM de la reivindicación 1, que comprende adicionalmente:

30 una cuarta capa de metal que interpone la primera extensión lateral y la segunda extensión lateral;
 una primera interconexión transversal que conecta la primera extensión lateral con la cuarta capa de metal; y
 una segunda interconexión transversal que conecta la cuarta capa de metal con la segunda extensión lateral.

4. La célula binaria STT-MRAM de la reivindicación 3, en la que la cuarta capa de metal está formada en el segundo plano y estáeléctricamente aislada de la segunda capa de metal.

35 5. La célula binaria STT-MRAM de la reivindicación 1, en la que la línea de fuente se solapa sustancialmente con la línea de bit.

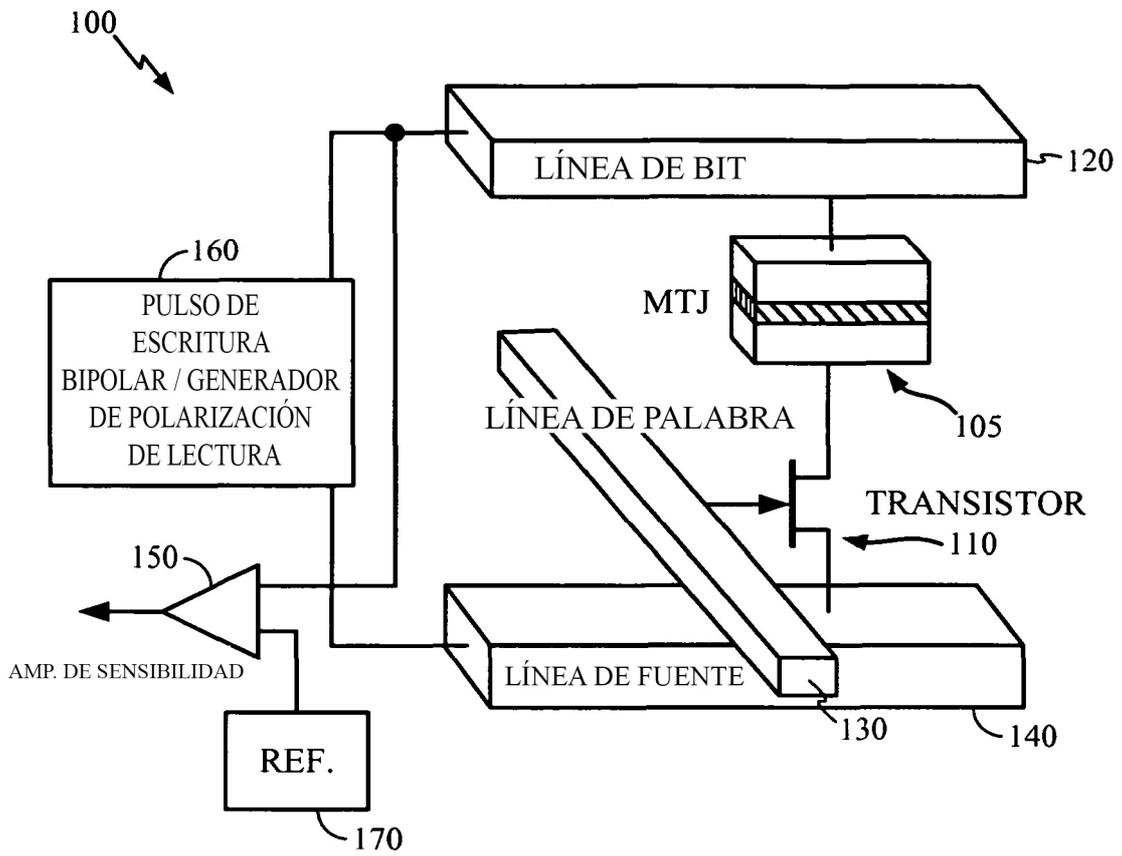
6. La célula binaria STT-MRAM de la reivindicación 1, que comprende adicionalmente:

una línea de palabra;
 un elemento de almacenamiento; y
 un transistor de línea de palabra acoplado al elemento de almacenamiento.

40 7. La célula binaria STT-MRAM de la reivindicación 6, en la que el elemento de almacenamiento es una unión de túnel magnético (MTJ) y en la que el transistor de línea de palabra está acoplada en serie con la MTJ.

8. Una matriz de célula binaria STT-MRAM que comprende:

una pluralidad de celdas binarias de la reivindicación 1.



TÉCNICA CONVENCIONAL

FIG. 1

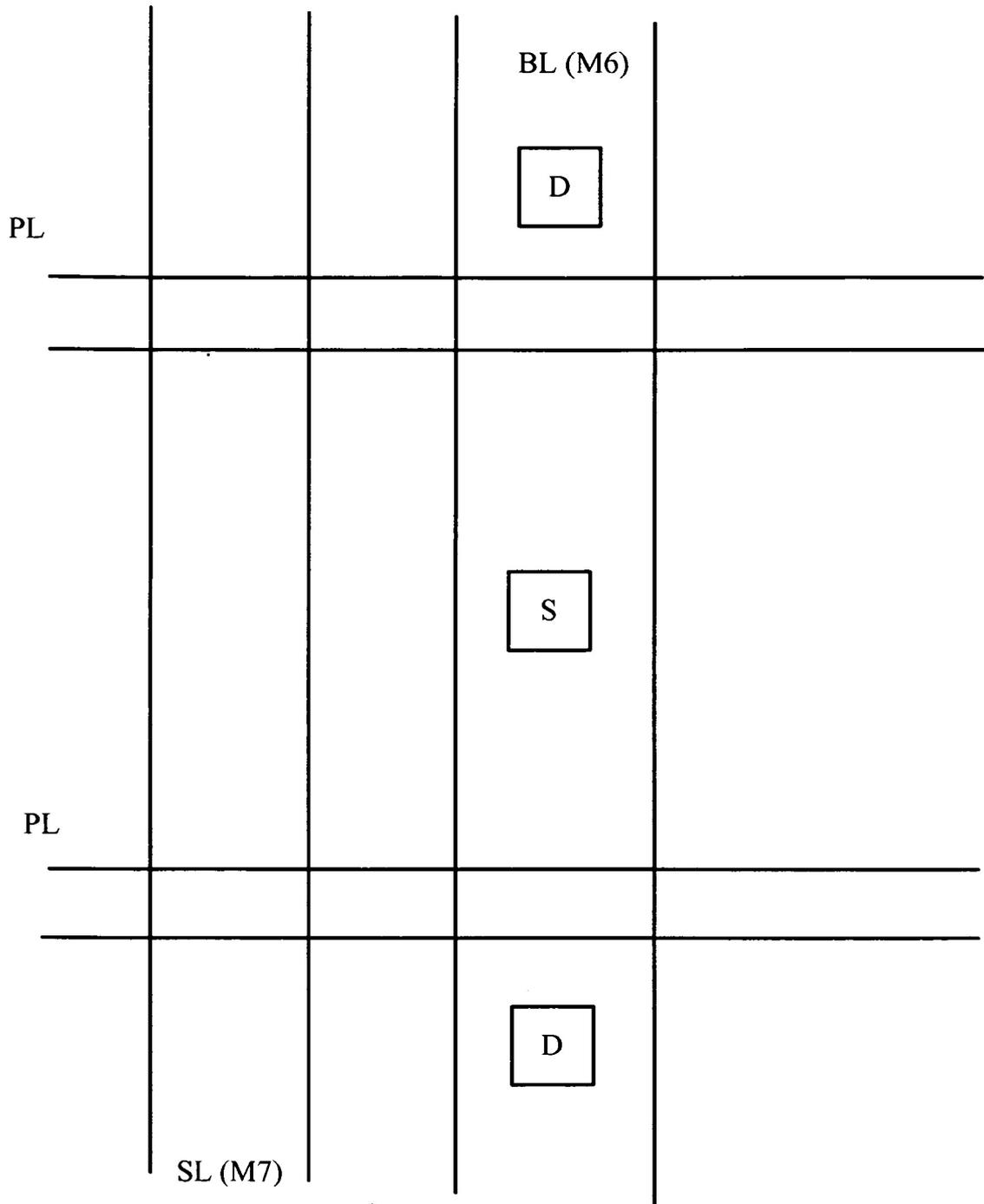


FIG. 2

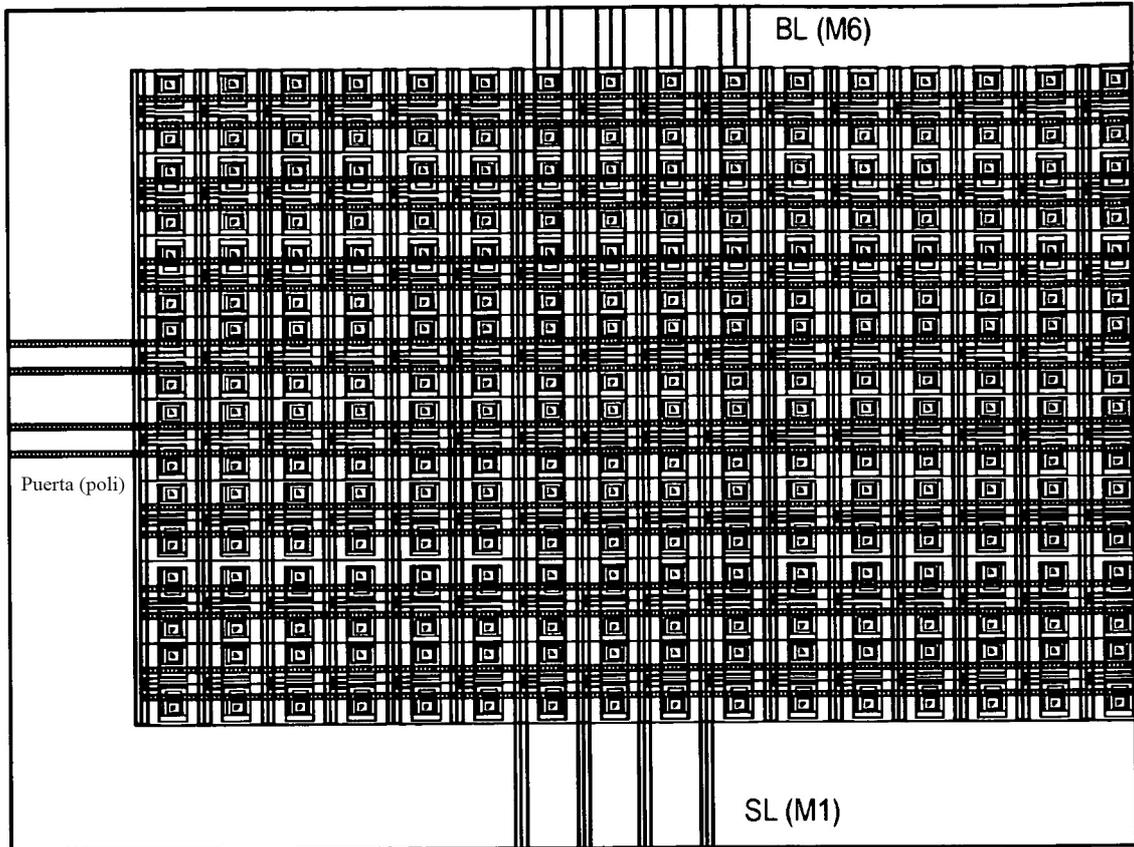


FIG. 3

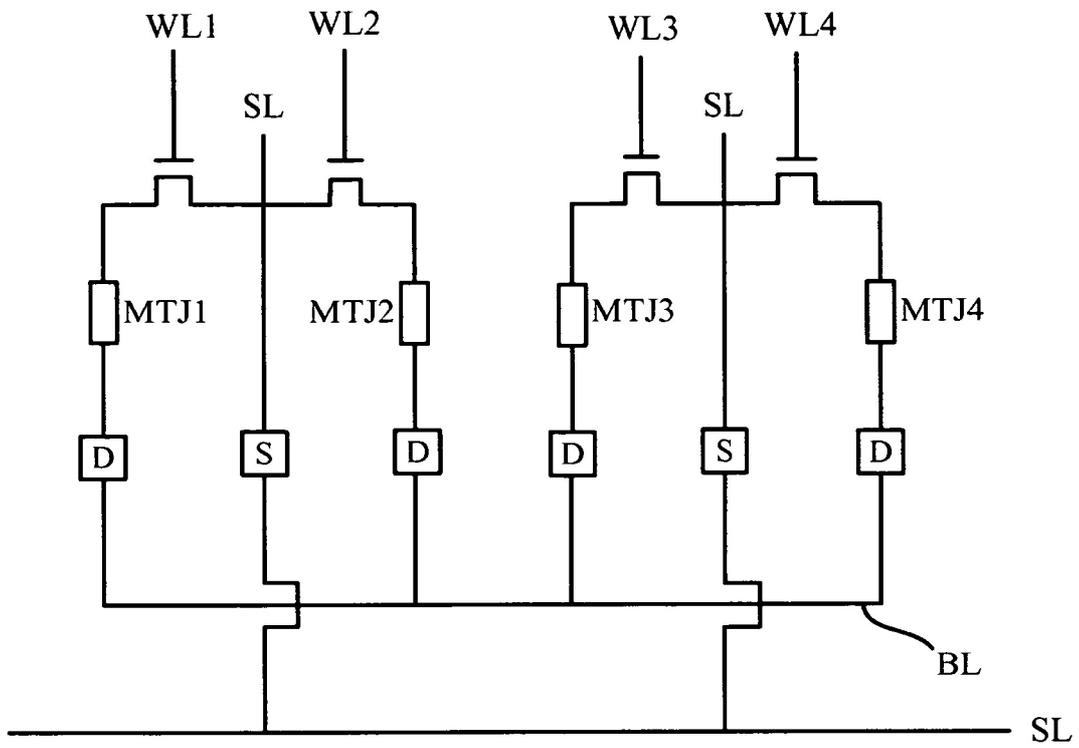


FIG. 4

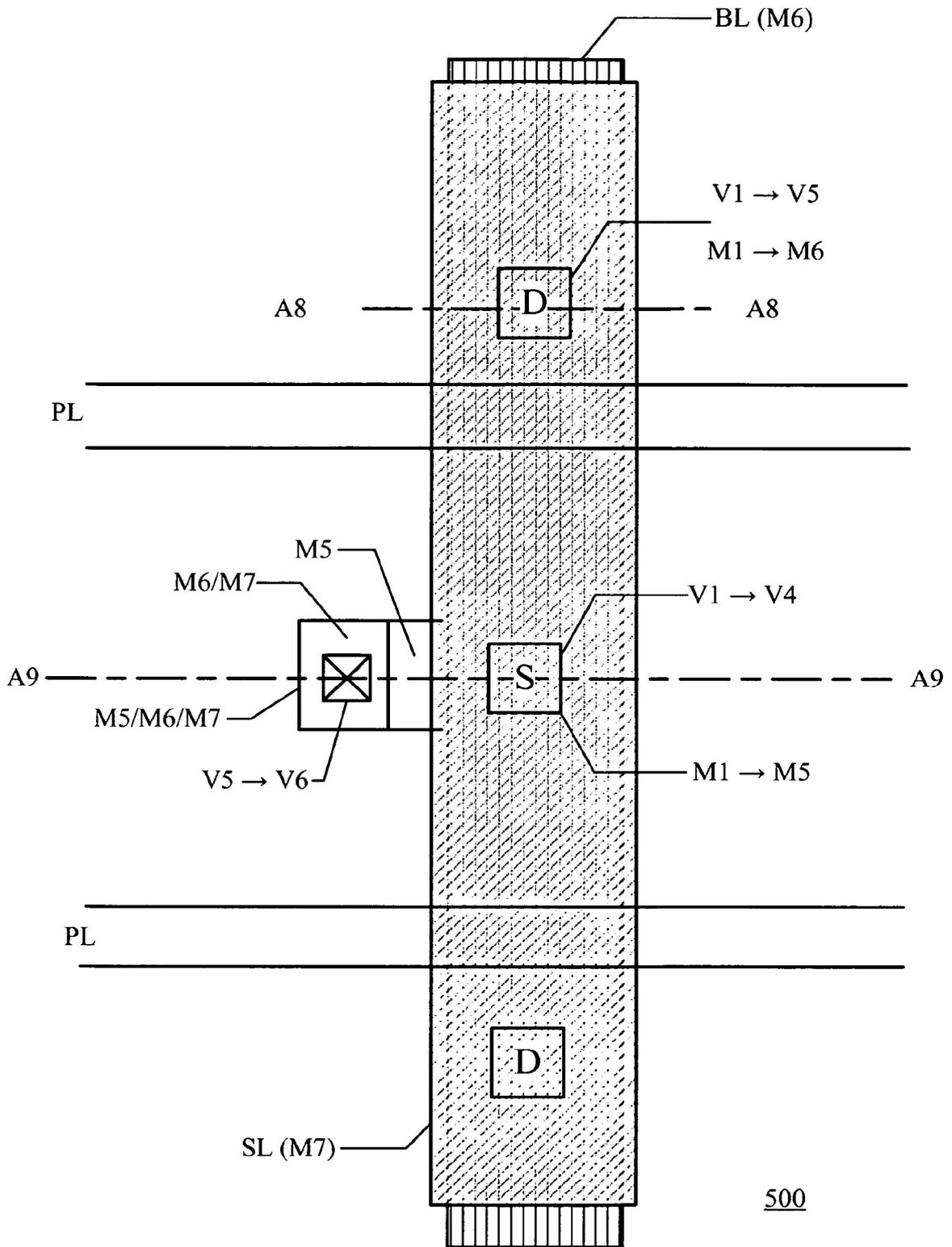
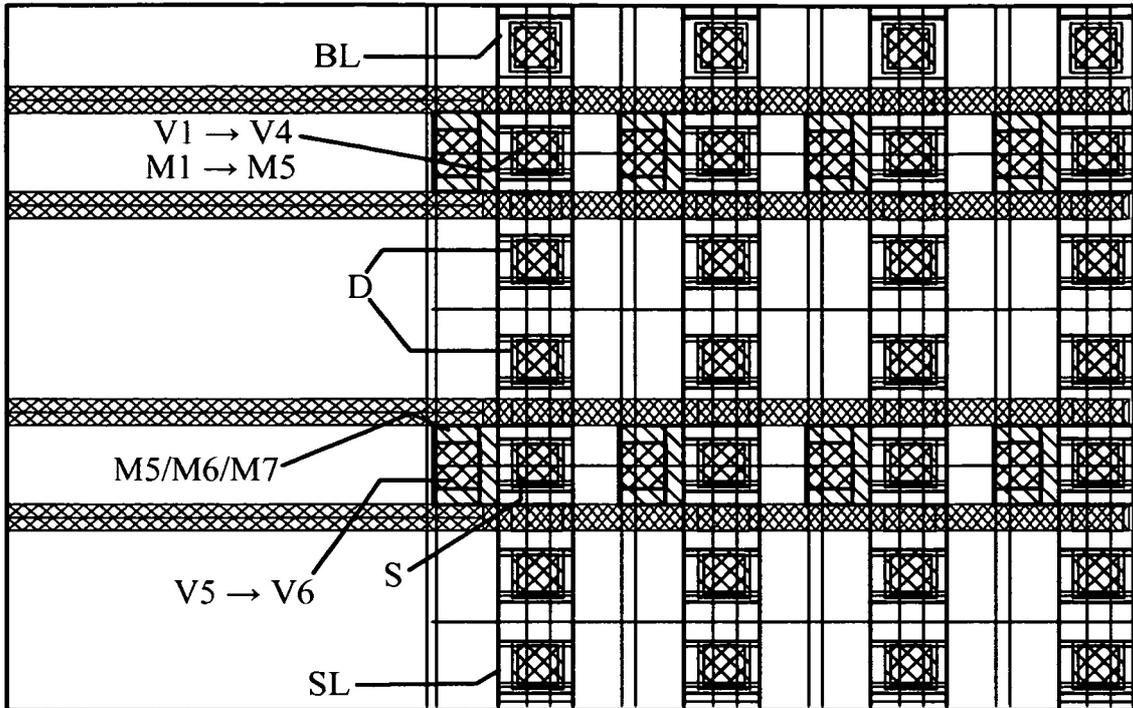
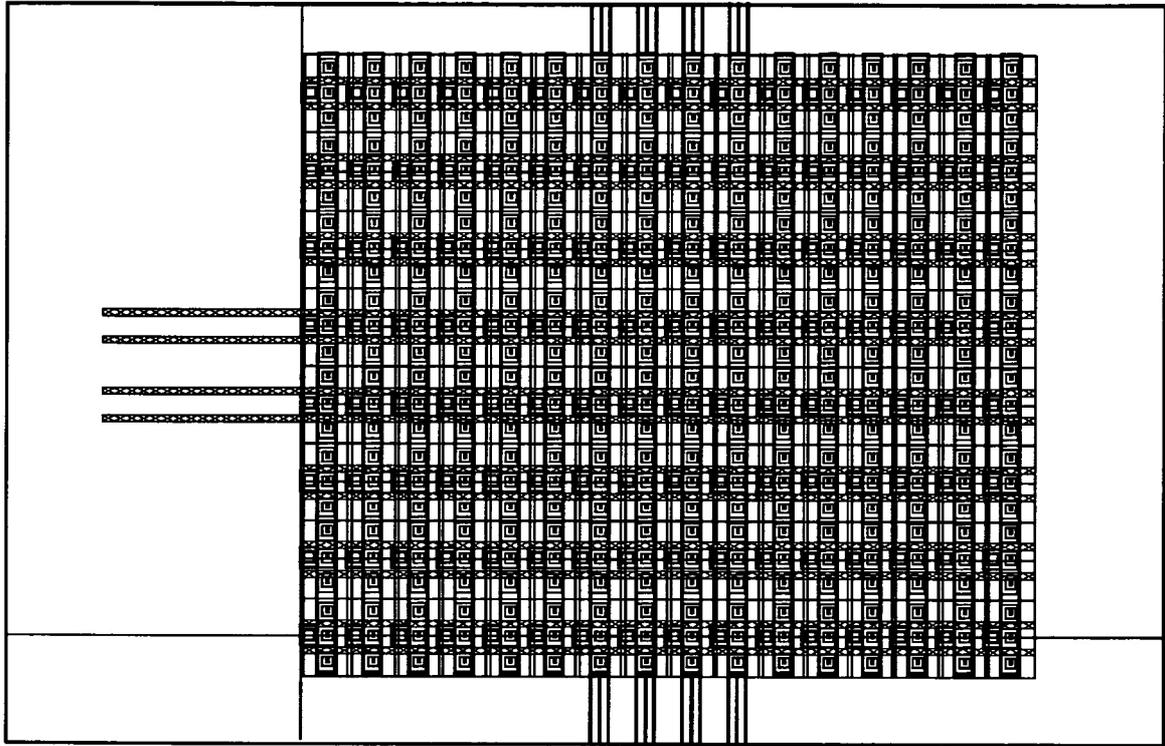


FIG. 5



600

FIG. 6



700

FIG. 7

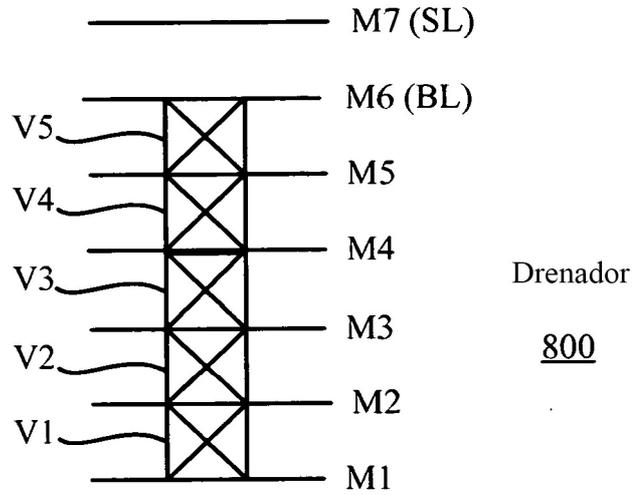


FIG. 8

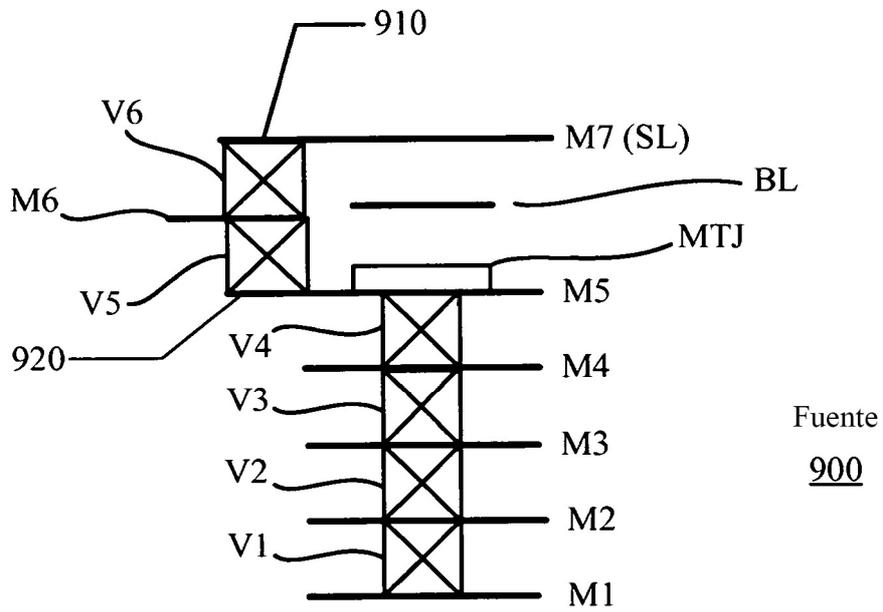


FIG. 9

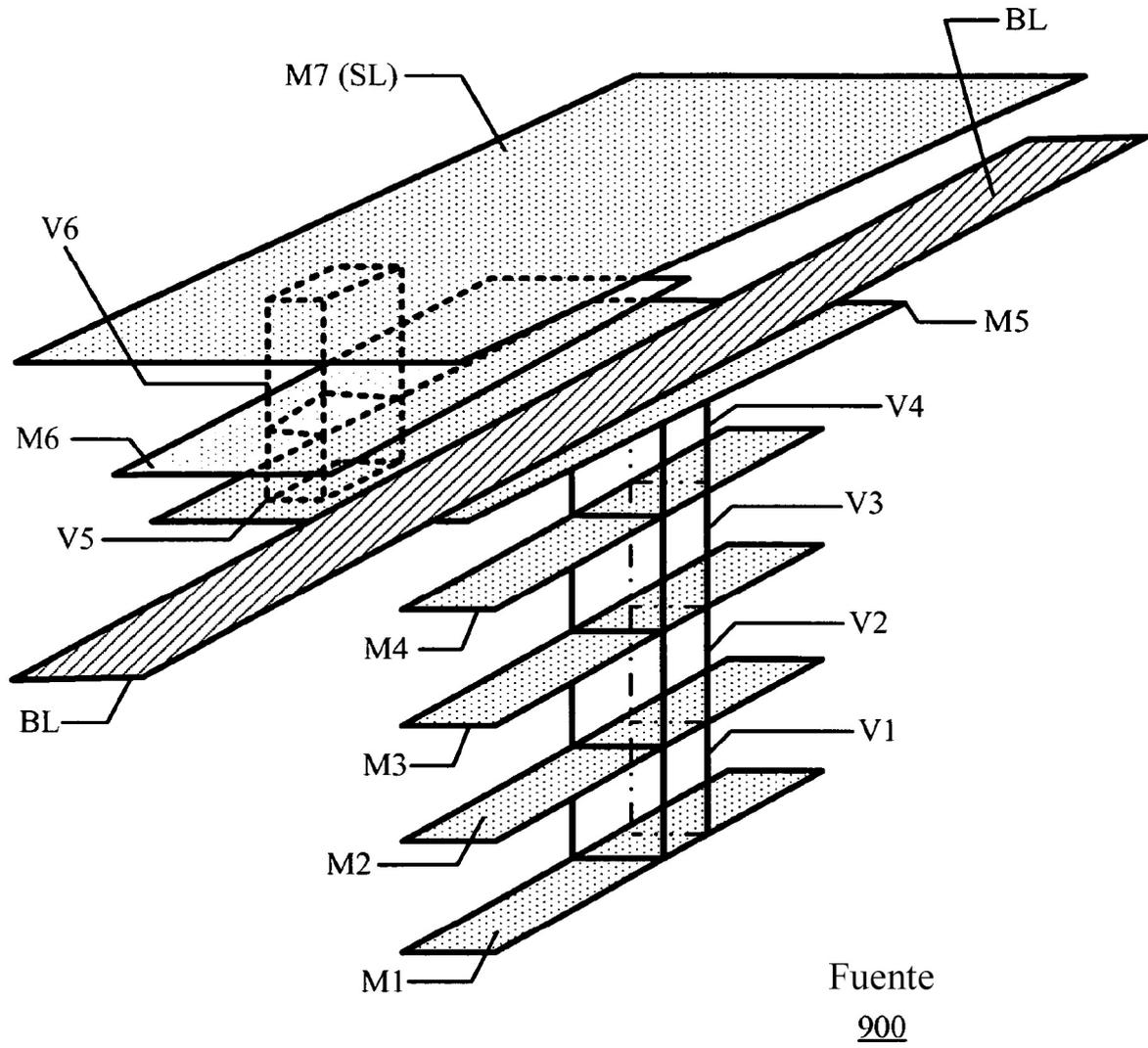


FIG. 10