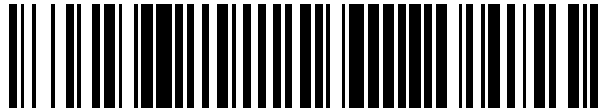


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 401 577**

51 Int. Cl.:

H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.04.2004 E 04728265 (2)**

97 Fecha y número de publicación de la concesión europea: **02.01.2013 EP 1624581**

54 Título: **Dispositivo de decodificación, método de decodificación y programa**

30 Prioridad:

13.05.2003 JP 2003133941
18.08.2003 JP 2003294383

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

22.04.2013

73 Titular/es:

SONY CORPORATION (100.0%)
7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-
KU
TOKYO 141-0001, JP

72 Inventor/es:

YOKOKAWA, TAKASHI;
MIYAUCHI, TOSHIYUKI, y
IIDA, YASUHIRO

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 401 577 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de decodificación, método de decodificación y programa.

5 **Campo técnico**

La presente invención se refiere a un aparato de decodificación, a un método de decodificación, y a un programa. Más particularmente, la presente invención se refiere a un aparato de decodificación y a un método de decodificación para decodificar códigos en los cuales la codificación se realiza usando códigos de comprobación de paridad de baja densidad (códigos LDPC), y a un programa para los mismos.

Antecedentes de la técnica

En los últimos años, la investigación, por ejemplo, en los sectores de la comunicación tales como la comunicación móvil y la comunicación en el espacio profundo, y los sectores de la radiodifusión tales como las emisiones de radiodifusión por ondas terrestres o digitales por satélite han progresado notablemente. Junto con esta situación, se ha llevado a cabo activamente una investigación sobre teorías de codificación para conseguir que la codificación y la decodificación con corrección de errores resulten eficaces.

Como límite teórico del rendimiento de un código, se conoce el límite de Shannon que se deduce a partir del denominado teorema de codificación de canales de Shannon (C. E. Shannon). Se han llevado a cabo investigaciones sobre teorías de codificación con el fin de desarrollar códigos que presenten un rendimiento próximo a este límite de Shannon. En los últimos años, como método de codificación que presenta un rendimiento próximo al límite de Shannon, se han desarrollado, por ejemplo, técnicas para lo que se conoce comúnmente como "turbo codificación", tal como los códigos convolucionales concatenados en paralelo (PCCC) y los códigos convolucionales concatenados en serie (SCCC). Además, mientras se ha ido desarrollando esta turbo codificación, se ha estado prestando atención a los códigos de comprobación de paridad de baja densidad (a los que en lo sucesivo se hará referencia como "códigos LDPC"), los cuales son un método de codificación que se ha conocido durante mucho tiempo.

Los códigos LDPC los propuso por primera vez R. G. Gallager, en "*Low Density Parity Check Codes*", Cambridge, Massachusetts: M. I. T. Press, 1963. Después de esto, se volvió a prestar atención a los códigos LDPC en "*Good error correcting codes based on very sparse matrices*", de D. J. C. MacKay, presentado en la IEEE Trans. Inf. Theory, IT-45, págs. 399 a 431, 1999, y en "*Analysis of low density codes and improved designs using irregular graphs*", de M. G. Luby, M. Mitzenmacher, M. A. Shokrollahi y D. A. Spielman, en *Proceedings of ACM Symposium on Theory of Computing*, págs. 249 a 258, 1998.

A partir de estas investigaciones recientes se está comenzando a saber que, para los códigos LDPC, a medida que la longitud del código aumenta, se puede obtener un rendimiento próximo al límite de Shannon, de manera similar a la turbo codificación. Además, puesto que los códigos LDPC tienen la propiedad de que la longitud mínima es proporcional a la longitud del código, presentan las ventajas de que las características de probabilidad de errores de bloque son buenas, y apenas se produce un fenómeno denominado de suelo de error, el cual se observa en características de decodificación correspondientes a la turbo codificación.

A continuación se describirán detalladamente dichos códigos LDPC. Los códigos LDPC son códigos lineales y no siempre es necesario que sean bidimensionales, pero en este caso, se proporciona una descripción suponiendo que los códigos LDPC son bidimensionales.

Las características más importantes de los códigos LDPC son que la matriz de comprobación de paridad que define los códigos LDPC es dispersa. En este caso, se forma una matriz dispersa de tal manera que el número de 1s en los elementos de la matriz es muy pequeño. Si la matriz de comprobación dispersa se indica como H, ejemplos de la misma incluyen una matriz de comprobación en la cual, tal como se muestra en la Fig. 1, el peso Hamming de cada columna (número de 1s; peso) es "3", y el peso Hamming de cada fila es "6".

Tal como se ha descrito anteriormente, a los códigos LDPC definidos por la matriz de comprobación H en la que el peso Hamming de cada fila y cada columna es fijo se les denomina "códigos LDPC regulares". Por otro lado, a los códigos LDPC definidos por una matriz de comprobación H en la cual el peso Hamming de cada fila y cada columna no es fijo se les denomina "códigos LDPC irregulares".

La codificación mediante dichos códigos LDPC se logra generando una matriz de generación G sobre la base de la matriz de comprobación H y generando una palabra de código mediante la multiplicación de esta matriz de generación G por un mensaje de información bidimensional. Más específicamente, un aparato de codificación destinado a realizar la codificación según códigos LDPC calcula una matriz de generación G en la cual se cumple la ecuación $GH^T = 0$ con una matriz transpuesta H^T de la matriz de comprobación H. En este caso, cuando la matriz de generación G es una matriz de $k \times n$, el aparato de codificación multiplica la matriz de generación G por un mensaje de información de k bits (vector u), y genera una palabra de código de n bits c (= uG). La palabra de código

generada por este aparato de codificación se transmite con el establecimiento de una correspondencia del bit de código cuyo valor es "0" a "+1" y el establecimiento de una correspondencia del bit de código cuyo valor es "1" a "-1", y se recibe en el lado de la recepción a través de un canal de comunicaciones predeterminado.

5 Por otro lado, la decodificación de los códigos LDPC se puede realizar por medio de un algoritmo de paso de mensajes por propagación de confianza (*belief propagation*) sobre una gráfica denominada de Tanner, la cual se forma con un nodo variable (denominado también nodo de mensaje) y un nodo de comprobación; este algoritmo de paso de mensajes fue propuesto por Gallager y se conoce como "decodificación probabilística". En lo sucesivo en la presente, a los nodos variables y a los nodos de comprobación también se les hace referencia simplemente como
10 nodos, cuando así resulte apropiado.

No obstante, en la decodificación probabilística, puesto que los mensajes intercambiados entre nodos son valores de números reales, con el fin de hallar una solución analítica, es necesario realizar un seguimiento de la distribución de probabilidad del mensaje que adopta un valor continuo. Esto requiere un análisis que implica un alto grado de
15 dificultad. Por consiguiente, Gallager ha propuesto un algoritmo A o un algoritmo B como algoritmo para decodificar códigos LDPC.

En general, la decodificación de los códigos LDPC se realiza de acuerdo con el procedimiento mostrado en la Fig. 2. En este caso, el valor de recepción se indica como U_0 (u_{0i}), la salida de mensaje del código de comprobación se indica como u_j , y la salida del mensaje del nodo variable se indica como v_i . En este caso, el mensaje es un valor de número real de tal manera que la probabilidad de "0" del valor se representa mediante la denominada razón de verosimilitud logarítmica.
20

Inicialmente, en la decodificación de los códigos LDPC, tal como se muestra en la Fig. 2, en la etapa S11, se recibe el valor de recepción U_0 (u_{0i}), el mensaje u_j se inicializa a 0, y una variable k que adopta un entero como contador para un proceso iterativo se inicializa a 0. A continuación, el proceso prosigue hacia la etapa S12. En la etapa S12, sobre la base del valor recibido U_0 (u_{0i}), se determina un mensaje v_i realizando un cálculo que se muestra en la ecuación (1). Además, sobre la base de este mensaje v_i , se determina un mensaje u_j realizando un cálculo que se muestra en la ecuación (2).
25
30

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j \quad \dots (1)$$

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots (2)$$

En este caso, d_v y d_c de las ecuaciones (1) y (2) son parámetros respectivamente que indican el número de 1s en la dirección vertical (en la dirección de las filas) y en la dirección horizontal (en la dirección de las columnas) de la matriz de comprobación H y que se pueden seleccionar según se desee. Por ejemplo, en el caso de un código (3, 6), $d_v=3$ y $d_c=6$.
35

En el cálculo de cada una de las ecuaciones (1) y (2), puesto que el mensaje introducido desde un borde desde el cual se va a dar salida a un mensaje no se usa como parámetro para un cálculo de suma o producto, el intervalo del cálculo de suma o producto está entre 1 y d_v-1 ó 1 y d_c-1 . En la práctica, el cálculo mostrado en la ecuación (2) se realiza creando de antemano una tabla de una función $R(v_1, v_2)$, mostrada en la ecuación (3), que se define por una salida con respecto a dos entradas v_1 y v_2 y usando esta tabla continuamente (de manera recursiva), tal como se muestra en la ecuación (4).
40
45

$$x = 2 \tanh^{-1} [\tanh(v_1/2) \tanh(v_2/2)] = R(v_1, v_2) \quad \dots (3)$$

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))) \quad \dots (4)$$

Además, en la etapa S12, la variable k se incrementa en 1, y a continuación el proceso prosigue hacia la etapa S13. En la etapa S13, se determina si la variable k es o no mayor que o igual a un número predeterminado N de decodificaciones iterativas. Cuando en la etapa S13 se determina que la variable k no es mayor que o igual a N , el proceso vuelve a la etapa S12, y se realiza nuevamente un procesado idéntico.
50

Cuando en la etapa S13 se determina que la variable k es mayor que o igual a N , el proceso prosigue hacia la etapa S14, donde se determina y se da salida al mensaje v que sirve como resultado decodificado, al cual se da salida finalmente como resultado de realizar el cálculo mostrado en la ecuación (5). Esto completa el proceso de decodificación de los códigos LDPC.
55

$$v_i = u_{oi} + \sum_{j=1}^{d_v} u_j \quad \dots (5)$$

En este caso, a diferencia del cálculo de la ecuación (1), el cálculo de la ecuación (5) se realiza usando los mensajes de entrada de todos los bordes conectados a los nodos variables.

5 En una decodificación de códigos LDPC de este tipo, por ejemplo, en el caso del código (3, 6), tal como se muestra en la Fig. 3, se intercambian mensajes entre nodos. En el nodo (nodo variable) indicado por “=” de la Fig. 3, se realiza el cálculo mostrado en la ecuación (1). En el nodo indicado por “+” (nodo de comprobación), se realiza el cálculo mostrado en la ecuación (2). En particular, en el algoritmo A, se forma el mensaje de manera que es bidimensional; en el nodo indicado por “+”, se realiza un cálculo de O exclusiva de $d_c - 1$ mensajes de entrada; y en el nodo indicado por “=”, con respecto al valor recibido R, cuando la totalidad de los $d_v - 1$ mensajes de entrada son valores de bit diferentes, se invierte el signo y se da salida al mismo.

15 Además, en los últimos años, se han llevado a cabo investigaciones sobre un método de implementación de la decodificación de códigos LDPC. Antes de describir el método de implementación, se describe de forma esquemática la decodificación de códigos LDPC.

La Fig. 4 muestra un ejemplo de una matriz de comprobación de paridad de códigos LDPC (3, 6) (una relación de codificación de 1/2, una longitud de código de 12). La matriz de comprobación de paridad de códigos LDPC se puede escribir usando una gráfica de Tanner, tal como se muestra en la Fig. 5. En la Fig. 5, los nodos indicados por “+” son nodos de comprobación, y los nodos indicados por “=” son nodos variables. Los nodos de comprobación y los nodos variables se corresponden con las filas y las columnas, respectivamente, de la matriz de comprobación de paridad. La línea de conexión entre el nodo de comprobación y el nodo variable es un borde y se corresponde con “1” de la matriz de comprobación. Es decir, cuando el elemento de la fila j-ésima y la columna i-ésima de la matriz de comprobación es 1, en la Fig. 5, el nodo variable i-ésimo (nodo de “=” desde la parte superior y el nodo de comprobación j-ésimo (nodo de “+” desde la parte superior están conectados entre sí por un borde. El borde indica que el bit de signo correspondiente al nodo variable tiene una condición de restricción correspondiente al nodo de comprobación. La Fig. 5 muestra una gráfica de Tanner de la matriz de comprobación de la Fig. 4.

30 En el algoritmo de suma producto, que es un método de decodificación de códigos LDPC, el cálculo del nodo variable y el cálculo del nodo de comprobación se realizan de manera repetida.

En el nodo variable, tal como se muestra en la Fig. 6, se realiza el cálculo de la ecuación (1). Es decir, en la Fig. 6, se calcula el mensaje v_i correspondiente al borde a calcular usando los mensajes u_1 y u_2 de los bordes restantes conectados al nodo variable, y la información recibida u_{oi} . Los mensajes correspondientes a los otros bordes también se calculan de manera similar.

40 Antes de describir el cálculo de los nodos de comprobación, la ecuación (2) se rescribe tal como se muestra en la ecuación (6) usando la ecuación $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$, donde $\text{sign}(x)$ es 1 cuando $x \geq 0$ y es -1 cuando $x < 0$.

$$\begin{aligned} u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\ &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\ &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \end{aligned} \quad \dots 6$$

45 Además, en el caso de $x \geq 0$, cuando se presenta la definición $\varphi = \ln(\tanh(x/2))$, puesto que $\varphi^{-1}(x) = 2 \tanh^{-1}(e^x)$, la ecuación (6) se puede describir como la ecuación (7).

$$u_j = \Phi^{-1} \left(\sum_{i=1}^{d_c-1} \Phi(v_i) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \quad \dots (7)$$

En el nodo de comprobación, tal como se muestra en la Fig. 7, se realiza el cálculo de la ecuación (7). Es decir, en la Fig. 7, se calcula el mensaje u_j correspondiente al borde para el cual se va a realizar un cálculo, usando los mensajes v_1, v_2, v_3, v_4 y v_5 de los bordes restantes conectados al nodo de comprobación. Los mensajes correspondientes a los otros bordes también se calculan de manera similar.

5 La función $\varphi(x)$ también se puede expresar como $\varphi(x) = \ln((e^x+1)/(e^x-1))$, y cuando $x > 0$, $\varphi(x) = \varphi^{-1}(x)$. Cuando las funciones $\varphi(x)$ y $\varphi^{-1}(x)$ se implementan como hardware, hay casos en los que se implementan usando una LUT (Tabla de Consulta), y las dos son la misma LUT.

10 Cuando el algoritmo de suma producto se implementa como hardware, es necesario realizar de manera repetida el cálculo de nodo variable expresado por la ecuación (1) y el cálculo de nodo de comprobación expresado por la ecuación (7) con una escala de circuito adecuada y con una frecuencia de funcionamiento apropiada.

15 Como ejemplo de la implementación del aparato de decodificación, en primer lugar se proporciona una descripción de un método de implementación en un caso en el que la decodificación se realiza simplemente llevando a cabo el cálculo de cada nodo de uno en uno secuencialmente (decodificación en serie total).

20 Se supone en este caso que se decodifican, por ejemplo, códigos (una relación de codificación de 2/3, y una longitud de código de 90) representados por una matriz de comprobación de 30 (filas) x 90 (columnas) de la Fig. 8. El número de 1s de la matriz de comprobación de la Fig. 8 es 269; por lo tanto, en la gráfica de la Tanner, el número de bordes resulta de 269. En este caso, en la matriz de comprobación de la Fig. 8, 0 se representa por “.”.

25 La Fig. 9 muestra un ejemplo de la configuración de un aparato de decodificación para decodificar códigos LDPC una vez.

En el aparato de decodificación de la Fig. 9, se calcula un mensaje correspondiente a un borde, para cada reloj con el cual funciona.

30 Más específicamente, el aparato de decodificación de la Fig. 9 incluye dos memorias 100 y 102 para bordes, un dispositivo de cálculo de nodos de comprobación 101, y un dispositivo de cálculo de nodos variables 103, una memoria 104 para recepción y una sección de control 105.

35 En el aparato de decodificación de la Fig. 9, se leen datos de mensajes, de uno en uno, desde la memoria 100 ó 102 para bordes, y usando los datos de mensajes, se calculan los datos de mensajes correspondientes al borde deseado. A continuación, los datos de mensajes determinados mediante ese cálculo se almacenan de uno en uno en la memoria 100 ó 102 para bordes, en una fase posterior. Cuando se va a realizar una decodificación iterativa, la decodificación iterativa se efectúa concatenando en serie una pluralidad de los aparatos de decodificación de la Fig. 9 para decodificar códigos LDPC una vez, o usando de manera repetida el aparato de decodificación de la Fig. 9. En este caso, se supone, por ejemplo, que hay una pluralidad de los aparatos de decodificación de la Fig. 9 conectados.

40 La memoria 100 para bordes almacena mensajes D100 suministrados desde el dispositivo de cálculo de nodos variables 103 del aparato de decodificación (no mostrado) en una fase previa, en el orden en el que el dispositivo de cálculo de nodos de comprobación 101 los lee en una fase posterior. A continuación, en la fase del cálculo de nodos de comprobación, la memoria 100 para bordes suministra, al dispositivo de cálculo de nodos de comprobación 101, los mensajes D100 en forma de una salida de mensaje D101, en el orden en el que se almacenan.

45 Sobre la base de la señal de control D106 suministrada desde la sección de control 105, el dispositivo de cálculo de nodos de comprobación 101 realiza un cálculo de acuerdo con la ecuación (7) usando el mensaje D101 suministrado desde la memoria 100 para bordes, y suministra un mensaje D102 determinado mediante ese cálculo a la memoria 102 para bordes en una fase posterior.

50 La memoria 102 para bordes almacena los mensajes D102 suministrados desde el dispositivo de cálculo de nodos de comprobación 101 en una fase previa, en el orden en el que los lee el dispositivo de cálculo de nodos variables 103 en una fase posterior. A continuación, en la fase del cálculo de nodos variables, la memoria 102 para bordes suministra el mensaje D102 como mensaje D103 al dispositivo de cálculo de nodos variables 103 en el orden en el que se almacenan.

55 Además, se suministra una señal de control D107 al dispositivo de cálculo de nodos variables 103 desde la sección de control 105, y se suministran al mismo datos recibidos D104 desde la memoria 104 para su recepción. Sobre la base de una señal de control D107, el dispositivo de cálculo de nodos variables 103 realiza un cálculo de acuerdo con la ecuación (1) usando el mensaje D103 suministrado desde la memoria 100 para bordes, y los datos recibidos D104 suministrados desde la memoria 100 para recepción, y suministra un mensaje D105, obtenido como resultado del cálculo, a la memoria 100 para bordes, del aparato de decodificación (no mostrado) en una fase posterior.

60 En la memoria 104 para recepción, se almacenan datos recibidos (códigos LDPC) que se convierten en códigos LDPC. La sección de control 105 suministra una señal de control D106 para controlar un cálculo de nodos variables

y una señal de control D107 para controlar un cálculo de nodos de comprobación al dispositivo de cálculo de nodos de comprobación 101 y al dispositivo de cálculo de nodos variables 103, respectivamente. La sección de control 105 suministra la señal de control D106 al dispositivo de cálculo de nodos de comprobación 101 cuando los mensajes de todos los bordes se almacenan en la memoria 100 para bordes, y la sección de control 105 suministra la señal de control D107 al dispositivo de cálculo de nodos variables 103 cuando los mensajes de todos los bordes se almacenan en la memoria 102 para bordes.

La Fig. 10 muestra un ejemplo de la configuración del dispositivo de cálculo de nodos de comprobación 101 de la Fig. 9 para realizar cálculos de nodos de comprobación de uno en uno.

En la Fig. 10, el dispositivo de cálculo de nodos de comprobación 101 se muestra suponiendo que cada mensaje, junto con el bit de signo, se cuantifica en un total de seis bits. Además, en la Fig. 10, se realiza un cálculo de nodos de comprobación de códigos LDPC representados por la matriz de comprobación de la Fig. 8. Además, se suministra un reloj CK al dispositivo de cálculo de nodos de comprobación 101 de la Fig. 10, suministrándose este reloj CK a relojes necesarios. Cada bloque realiza el procesamiento en sincronización con el reloj CK.

Basándose, por ejemplo, en una señal de control de 1 bit D106 suministrada desde la sección de control 105, el dispositivo de cálculo de nodos de comprobación 101 de la Fig. 10 realiza cálculos de acuerdo con la ecuación (7), usando los mensajes D101 que se ven de uno en uno desde la memoria 100 para bordes.

Más específicamente, en el dispositivo de cálculo de nodos de comprobación 101, se leen de uno en uno mensajes de 6 bits D101 (mensajes v_i) desde el nodo variable, correspondientes a cada columna de la matriz de comprobación, se suministra a la LUT 121 el valor absoluto D122 ($|v_i|$), que es los bits de orden inferior de los anteriores, y se suministra a un circuito EXOR 129 y a una memoria FIFO (Primero En Entrar, Primero En Salir) 133, respectivamente, un bit de signo D121, que es el bit más alto de los anteriores. Además, la señal de control D106 se suministra al dispositivo de cálculo de nodos de comprobación 101 desde la sección de control 105, y la señal de control D106 se suministra a un selector 124 y un selector 131.

La LUT 121 lee un resultado de cálculo de 5 bits D123 ($\varphi(|v_i|)$) de tal manera que el cálculo de $\varphi(|v_i|)$ de la ecuación (7) se realiza sobre el valor absoluto D122 ($|v_i|$), y lo suministra a un sumador 122 y una memoria FIFO 127.

El sumador 122 integra los resultados de cálculo D123 sumando entre sí los resultados de cálculo D123 ($\varphi(|v_i|)$) y un valor de 9 bits D124 almacenado en un registro 123, y almacena el valor de integración de 9 bits obtenido de ese modo en el registro 123 nuevamente. Cuando los resultados de cálculo para los valores absolutos D122 ($|v_i|$) de los mensajes D101 de todos los bordes sobre una fila de la matriz de comprobación se integran, se reinicializa el registro 123.

Cuando los mensajes D101 sobre una fila de la matriz de comprobación se leen de uno en uno y el valor integrado de tal modo que los resultados de cálculo D123 para una fila se almacenan en el registro 123, la señal de control D106 suministrada desde la sección de control 105 cambia de 0 a 1. Por ejemplo, cuando el peso de la fila es "9", la señal de control D106 es "0" del primer al octavo relojes, y "1" en el noveno reloj.

Cuando la señal de control D106 es "1", el selector 124 selecciona el valor almacenado en registro 123, es decir, el valor de 9 bits D124 ($\Sigma\varphi(|v_i|)$ desde $i = 1$ a $i = d_c$) de tal manera que $\varphi(|v_i|)$ se determina a partir de los mensajes D101 (mensajes v_i) de todos los bordes sobre una fila de la matriz de comprobación, y da salida al valor como valor D125 hacia un registro 125, mediante lo cual se almacena. El registro 125 suministra el valor almacenado D125 como valor de 9 bits D126 al selector 124 y al sumador 126. Cuando la señal de control D106 es "0", el selector 124 selecciona el valor D126 suministrado desde el registro 125, y da salida al valor hacia el selector 124, por medio del cual se almacena nuevamente. Es decir, hasta que no se integra $\varphi(|v_i|)$ determinada a partir de los mensajes D101 (mensajes v_i) de todos los bordes sobre una fila de la matriz de comprobación, el registro 125 suministra la $\varphi(|v_i|)$ integrada previamente al selector 124 y al sumador 126.

Por otro lado, la memoria FIFO 127 retarda los resultados del cálculo D123 ($\varphi(|v_i|)$) a los que da salida la LUT 121 hasta que se da salida a un valor nuevo D126 ($\Sigma\varphi(|v_i|)$ desde $i = 1$ a $i = d_c$) desde el registro 125, y los suministra como un valor de 5 bits D127 a un restador 126. El restador 126 resta, del valor D126 suministrado desde el registro 125, el valor D127 suministrado desde la memoria FIFO 127, y suministra el resultado restado en forma de un valor restado de 5 bits D128 a la LUT 128. Es decir, el restador 126 resta la $\varphi(|v_i|)$ determinada a partir de los mensajes D101 (mensajes v_i) del borde a determinar, con respecto al valor integrado de $\varphi(|v_i|)$ determinado a partir de los mensajes D101 (mensajes v_i) de todos los bordes sobre una fila de la matriz de comprobación, y suministra el valor restado ($\Sigma\varphi(|v_i|)$ de $i = 1$ a $i = d_c - 1$) en forma de un valor restado D128 a la LUT 128.

La LUT 128 da salida a los resultados del cálculo de 5 bits D129 ($\varphi^{-1}(\Sigma\varphi(|v_i|))$) de tal manera que el cálculo de $\varphi^{-1}(\Sigma\varphi(|v_i|))$ en la ecuación (7) se realiza sobre el valor restado D128 ($\Sigma\varphi(|v_i|)$ desde $i = 1$ a $i = d_c - 1$).

En paralelo con el procesamiento anterior, el circuito de EXOR 129 realiza una multiplicación de bits de signo calculando

la O exclusiva de un valor de 1 bit D131 almacenado en un registro 130 y el bit de signo D121, y almacena el resultado de la multiplicación de 1 bit D130 en el registro 130 nuevamente. Cuando se multiplican los bits de signo D121 de los mensajes D101 de todos los bordes sobre una fila de la matriz de comprobación, el registro 130 se reinicializa.

5 Cuando se almacenan los resultados multiplicados D130 ($\Pi \text{sign}(v_i)$ desde $i = 1$ a d_c) de tal manera que los bits de signo D121 de los mensajes D101 de todos los bordes de una fila de la matriz de comprobación se multiplican, la señal de control D106 suministrada desde la sección de control 105 cambia de "0" a "1".

10 Cuando la señal de control D106 es "1", el selector 131 selecciona el valor almacenado en el registro 130, es decir, el valor D131 ($\Pi \text{sign}(v_i)$ desde $i = 1$ a $i = d_c$) de tal manera que los bits de signo D121 de los mensajes D101 de todos los bordes sobre una fila de la matriz de comprobación se multiplican, y da salida al valor en forma de un valor de 1 bit D133 hacia un registro 132, por medio del cual se almacena. El registro 132 suministra el valor almacenado D132 en forma de un valor de 1 bit D132 al selector 131 y al circuito de EXOR 134. Cuando la señal de control D106 es "0", el selector 131 selecciona un valor D133 suministrado desde el registro 132, y da salida al valor hacia el registro 132, por medio del cual se almacena nuevamente. Es decir, hasta que no se multiplican los bits de signo D121 de los mensajes D101 (mensajes v_i) de todos los bordes sobre una fila de la matriz de comprobación, el registro 132 suministra el valor almacenado en el tiempo previo al selector 131 y al circuito de EXOR 134.

20 Por otro lado, la memoria FIFO 133 retarda los bits de signo D121 hasta que se suministra un valor nuevo D133 ($\Pi \text{sign}(v_i)$ desde $i = 1$ a $i = d_c$) desde el registro 132 al circuito de EXOR 134, y suministra el resultado en forma de un valor de 1 bit D134 al circuito de EXOR 134. El circuito de EXOR 134 divide el valor D133 por el valor D134 calculando la O exclusiva del valor D133 suministrado desde el registro 132 y el valor D134 suministrado desde la memoria FIFO 133, y da salida a un resultado dividido de 1 bit en forma de un valor dividido D135. Es decir, el circuito EXOR 134 divide el valor de multiplicación de los bits de signo D121 ($\text{sign}(|v_i|)$) de los mensajes D101 de todos los bordes sobre una fila de la matriz de comprobación por los bits de signo D121 ($\text{sign}(|v_i|)$) de los mensajes D101 del borde a determinar, y da salida al valor dividido ($\Pi \text{sign}(|v_i|)$ desde $i = 1$ a $i = d_c - 1$) en forma de un valor dividido D135.

30 En el dispositivo de cálculo de nodos de comprobación 101, se da salida en forma de un mensaje D102 (mensaje u_j) a un total de seis bits de tal modo que el resultado del cálculo de 5 bits D129 obtenido a la salida de la LUT 128 es los 5 bits de orden inferior y el valor dividido de 1 bit D135 obtenido a la salida del circuito de EXOR 134 es el bit de mayor orden.

35 Tal como se ha descrito anteriormente, en el dispositivo de cálculo de nodos de comprobación 101, se realiza el cálculo de la ecuación (7), y se determina un mensaje u_j .

40 Puesto que el máximo del peso de las filas de la matriz de comprobación de la Fig. 8 es 9, es decir, puesto que el número máximo de los mensajes suministrados al nodo de comprobación es 9, el dispositivo de cálculo de nodos de comprobación 101 tiene una memoria FIFO 127 y la memoria FIFO 133 para retardar nueve mensajes ($\varphi(|v_i|)$). Cuando se va a calcular un mensaje de la fila cuyo peso es menor que 9, la cantidad de retardo en la memoria FIFO 127 y la memoria FIFO 133 se reduce al valor del peso de la fila.

45 La Fig. 11 muestra un ejemplo de la configuración del dispositivo de cálculo de nodos variables 103 de la Fig. 9, para realizar cálculos de nodos variables de uno en uno.

50 En la Fig. 11, el dispositivo de cálculo de nodos variables 103 se muestra suponiendo que cada mensaje, junto con el bit de signo, se cuantifica en un total de seis bits. En la Fig. 11, se realiza el cálculo de nodos variables de códigos LDPC representados por la matriz de comprobación de la Fig. 8. Además, se suministra un reloj ck al dispositivo de cálculo de nodos variables 103 de la Fig. 11, y el reloj ck se suministra a bloques necesarios. Cada bloque realiza un procesamiento en sincronización con el reloj ck .

55 Basándose, por ejemplo, en una señal de control de 1 bit D107 suministrada desde la sección de control 105, el dispositivo de cálculo de nodos variables 103 de la Fig. 11 realiza cálculos de acuerdo con la ecuación (1) usando los mensajes D103 que se leen de uno en uno desde la memoria 102 para bordes y los datos recibidos D104 que se leen desde la memoria 104 para recepción.

60 Más específicamente, en el dispositivo de cálculo de nodos variables 103, se leen de uno en uno mensajes de 6 bits D103 (mensajes u_j) del nodo de comprobación en correspondencia con cada fila de la matriz de comprobación, y los mensajes D103 se suministran al sumador 151 y a la memoria FIFO 155. Además, en el dispositivo de cálculo de nodos variables 103, se leen de uno en uno datos recibidos de 6 bits D104 desde la memoria 104 para recepción, y los mismos se suministran al sumador 156. Además, se suministra una señal de control D107 al dispositivo de cálculo de nodos variables 103 desde la sección de control 105, y la señal de control D107 se suministra a un selector 153.

65

El sumador 151 integra los mensajes D103 sumando entre sí los mensajes D103 (mensajes u_j) y un valor de 9 bits D151 almacenado en el registro 152, y almacena el valor integrado de 9 bits en el registro 152 nuevamente. Cuando se integra el mensaje D103 de todos los bordes sobre una fila de la matriz de comprobación, se reinicializa el registro 152.

5 Cuando se leen de uno en uno los mensajes D103 de todos los bordes sobre una fila de la matriz de comprobación, y el valor tal que los mensajes D103 correspondientes a una columna se integran se almacena en el registro 152, la señal de control D107 suministrada desde la sección de control 105 cambia de entre "0" a "1". Por ejemplo, cuando el peso de la columna es "5", la señal de control D107 es "0" en el primer reloj hasta el cuarto reloj y es "0" en el quinto reloj.

10 Cuando la señal de control D107 es "1", el selector 153 selecciona el valor almacenado en el registro 152, es decir, un valor de 9 bits D151 ($\sum u_j$ desde $j = 1$ a d_v) de tal manera que se integran los mensajes D103 (mensajes u_j) de todos los bordes sobre una fila de la matriz de comprobación, y da salida al valor hacia el registro 154, por medio del cual el mismo se almacena. El registro 154 suministra el valor almacenado D151, en forma de un valor de 9 bits D152, al selector 153 y al sumador-restador 156. Cuando la señal de control D107 es "0", el selector 153 selecciona un valor D152 suministrado desde el registro 154, y da salida al valor hacia un registro 154, por medio del cual se almacena nuevamente. Es decir, hasta que no se integran los mensajes D103 (mensajes u_j) de todos los bordes sobre una fila de la matriz de comprobación, el registro 154 suministra el valor previamente integrado al selector 153 y al sumador-restador 156.

15 Por otro lado, la memoria FIFO 155 retarda el mensaje D103 del nodo de comprobación hasta que se da salida a un valor nuevo D152 ($\sum u_j$ desde $j = 1$ a d_v) desde el registro 154, y lo suministra en forma de un valor de 6 bits D153 al sumador-restador 156. El sumador-restador 156 resta el valor D153 suministrado desde la memoria FIFO 155, con respecto al valor D152 suministrado desde el registro 154. Es decir, el sumador-restador 156 resta el mensaje u_j del borde a determinar, con respecto al valor integrado de los mensajes D103 (mensajes u_j) de todos los bordes sobre una fila de la matriz de comprobación, y determina el valor restado ($\sum u_j$ desde $j = 1$ a $d_v - 1$). Además, el sumador-restador 156 suma los datos recibidos D104 suministrados desde la memoria 104 para recepción, al valor restado ($\sum u_j$ desde $j = 1$ a $d_v - 1$), y da salida al valor de 6 bits obtenido de este modo como mensaje D105 (mensaje v_i).

20 Tal como se ha descrito anteriormente, en el dispositivo de cálculo de nodos variables 103, se realiza el cálculo de la ecuación (1), y se determina el mensaje v_i .

25 Puesto que el máximo del peso de las columnas de la matriz de comprobación de la Fig. 8 es 5, es decir, puesto que el número máximo de los mensajes suministrados al nodo variable es 5, el dispositivo de cálculo de nodos variables 103 tiene una memoria FIFO 155 para retardar cinco mensajes (u_j). Cuando se va a calcular un mensaje de una columna cuyo peso es menor que 5, la cantidad de retardo en la memoria FIFO 155 se reduce al valor del peso de la columna.

30 En el aparato de decodificación de la Fig. 9, se suministra una señal de control desde la sección de control 105 de acuerdo con el peso de la matriz de comprobación. Según el aparato de decodificación de la Fig. 9, si son suficientes únicamente las capacidades de las memorias para bordes 100 y 102 y las memorias FIFO 127, 133, y 155 del dispositivo de cálculo de nodos de comprobación 101 y el dispositivo de cálculo de nodos variables 103, se pueden decodificar códigos LDPC de varias matrices de comprobación cambiando únicamente la señal de control.

35 Aunque no se muestra, en el aparato de decodificación de la Fig. 9, en la fase final de la decodificación, en lugar del cálculo de nodos variables de la ecuación (1), se realiza el cálculo de la ecuación (5), y se da salida al resultado del cálculo como resultado decodificado final.

40 Cuando se decodifican códigos LDPC usando de manera repetida el aparato de decodificación de la Fig. 9, el cálculo de los nodos de comprobación y el cálculo de los nodos variables se realizan de manera alternada. Es decir, en el aparato de decodificación de la Fig. 9, se realiza un cálculo de nodos variables por medio del dispositivo de cálculo de nodos variables 103 usando el resultado del cálculo de nodos de comprobación del dispositivo de cálculo de nodos de comprobación 101, y se realiza un cálculo de nodos de comprobación por medio del dispositivo de cálculo de nodos de comprobación 101 usando el resultado del cálculo de nodos variables del dispositivo de cálculo de nodos variables 103.

45 Por esta razón, para realizar una decodificación usando la matriz de comprobación que tiene 269 bordes de la Fig. 8, se requieren $269 \times 2 = 538$ relojes. Por ejemplo, para realizar 50 decodificaciones iterativas, son necesarias $538 \times 50 = 26.900$ operaciones de reloj mientras se recibe una trama en la cual 90 códigos (datos recibidos) se fijan como una trama, que es la longitud de código, y por lo tanto, resulta necesario un funcionamiento de alta velocidad de aproximadamente $300 (\cong 26.900/90)$ veces la frecuencia de recepción. Si se supone que la frecuencia de recepción es de varias decenas de MHz, se requiere un funcionamiento a una velocidad de GHz o mayor.

50 Además, en un caso en el que, por ejemplo, se concatenan 50 aparatos de decodificación de la Fig. 9 para

5 decodificar códigos LDPC, se puede realizar simultáneamente una pluralidad de cálculos de nodos variables y cálculos de nodos de comprobación. Por ejemplo, mientras se está realizando un cálculo de nodos variables de la primera trama, se realiza un cálculo de nodos de comprobación de la segunda trama, y se realiza un cálculo de nodos variables de la tercera trama. En este caso, mientras se reciben 90 códigos, puesto que es necesario calcular 269 bordes, es necesario que el aparato de decodificación funcione a una frecuencia de aproximadamente 3 ($\cong 269/90$) veces la frecuencia de recepción, y por lo tanto hay suficientes posibilidades de llevar a cabo el cálculo. No obstante, en este caso, la escala del circuito, en términos simples, resulta ser de 50 veces la del aparato de decodificación de la Fig. 9.

10 Seguidamente, se proporciona una descripción del método de implementación del aparato de decodificación en un caso en el que la decodificación se realiza llevando a cabo simultáneamente cálculos de todos los nodos (decodificación completa en paralelo).

15 Este método de implementación se describe, por ejemplo, en "Parallel Decoding Architectures for Low Density Parity Check Codes", de C. Howland y A. Blanksby, *Symposium on Circuits and Systems*, 2001.

20 Las Figs. 12A a 12C muestran la configuración de ejemplos del aparato de decodificación para decodificar los códigos (una relación de codificación de 2/3, y una longitud de código de 90) representados por la matriz de comprobación de la Fig. 8. La Fig. 12A muestra la configuración global del aparato de decodificación. La Fig. 12B muestra la configuración detallada de la parte superior de la figura rodeada por la línea de trazos B, del aparato de decodificación de la Fig. 12A. La Fig. 12C muestra la configuración detallada de la parte inferior de la figura rodeada por la línea de trazos C, del aparato de decodificación de la Fig. 12A.

25 El aparato de decodificación de las Figs. 12A a 12C incluye una memoria 205 para recepción, dos dispositivos de intercambio de bordes 200 y 203, dos memorias 202 y 206 para bordes, un dispositivo de cálculo de nodos de comprobación 201 constituido por 30 dispositivos de cálculo de nodos de comprobación 201₁ a 201₃₀, y un dispositivo de cálculo de nodos variables 204 constituido por 90 dispositivos de cálculo de nodos variables 204₁ a 204₉₀.

30 En el aparato de decodificación de las Figs. 12A a 12C, todos los datos de mensajes correspondientes a 269 bordes se leen simultáneamente desde la memoria 202 ó 206 para bordes, y usando los datos de los mensajes, se calculan nuevos datos de mensajes correspondientes a los 269 bordes. Además, todos los datos de mensajes nuevos determinados como resultado del cálculo se almacenan simultáneamente en la memoria 206 ó 202 para bordes, en una fase posterior. Usando de forma repetida el aparato de decodificación de las Figs. 12A a 12C, se efectúa una decodificación iterativa. A continuación se describirá cada sección de forma detallada.

35 La memoria 206 para bordes almacena simultáneamente todos los mensajes D206₁ a D206₉₀ de los dispositivos de cálculo de nodos variables 204₁ a 204₉₀ en una fase previa, lee los mensajes D206₁ a D206₉₀ como mensajes D207₁ a D207₉₀ en el siguiente reloj (la temporización del siguiente reloj), y los suministra como mensajes D200 (D200₁ a D200₉₀) al dispositivo de intercambio de bordes 200 en la fase sucesiva. El dispositivo de intercambio de bordes 200 reorganiza (intercambia) el orden de los mensajes D200₁ a D200₉₀ suministrados desde la memoria 206 para bordes de acuerdo con la matriz de comprobación de la Fig. 8, y los suministra como mensajes D201₁ a D201₃₀ a los dispositivos de cálculo de nodos de comprobación 201₁ a 201₃₀.

45 Los dispositivos de cálculo de nodos de comprobación 201₁ a 201₃₀ realizan un cálculo de acuerdo con la ecuación (7) usando los mensajes D201₁ a D201₃₀ suministrados desde el dispositivo de intercambio de bordes 200, y suministra los mensajes D202₁ a D202₃₀, obtenidos como resultado del cálculo, a la memoria 202 para bordes.

50 La memoria 202 para bordes almacena simultáneamente todos los mensajes D202₁ a D202₃₀ suministrados desde los dispositivos de cálculo de nodos de comprobación 201₁ a 201₃₀ en la fase previa, y la siguiente vez, suministra todos los mensajes D202₁ a D202₃₀, como mensajes D203₁ a D203₃₀, al dispositivo de intercambio de bordes 203 en la fase sucesiva.

55 El dispositivo de intercambio de bordes 203 reorganiza el orden de los mensajes D203₁ a D203₃₀ suministrados desde la memoria 202 para bordes, de acuerdo con la matriz de comprobación de la Fig. 8, y los suministra como mensajes D204₁ a D204₉₀ a los dispositivos de cálculo de nodos variables 204₁ a 204₉₀.

60 Los dispositivos de cálculo de nodos variables 204₁ a 204₉₀ realizan un cálculo de acuerdo con la ecuación (1) usando los mensajes D204₁ a D204₉₀ suministrados desde el dispositivo de intercambio de bordes 203 y los datos recibidos D205₁ a D205₉₀ suministrados desde la memoria 205 para recepción, y suministra mensajes D206₁ a D206₉₀, obtenidos como resultado del cálculo, a la memoria 206 para bordes en la fase sucesiva.

65 La Fig. 13 muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos de comprobación 201_m (m = 1, 2, ..., 30) de las Figs. 12A a 12C para realizar simultáneamente cálculos de nodos de comprobación.

En el dispositivo de cálculo de nodos de comprobación 201_m de la Fig. 13, de manera similar al dispositivo de cálculo

de nodos de comprobación 101 de la Fig. 10, se realiza el cálculo de nodos de comprobación de la ecuación (7), y los cálculos de nodos de comprobación se llevan a cabo simultáneamente para todos los bordes.

Más específicamente, en el dispositivo de cálculo de nodos de comprobación 201_m de la Fig. 13, se leen simultáneamente todos los mensajes D221₁ a D221₉ (v_i) del nodo variable correspondiente a cada fila de la matriz de comprobación de la Fig. 8, que se suministran desde el dispositivo de intercambio de bordes 200, y los valores absolutos D222₁ a D222₉ ($|v_i|$), que son los 5 bits respectivos de orden inferior de los mismos, se suministran a las LUTs 221₁ a 221₉, respectivamente. Los bits de signo de 1 bit D223₁ a D223₉, que son los bits de orden superior del mensaje D221₁ a D221₉ (v_i), se suministran a los circuitos de EXOR 226₁ a 226₉, respectivamente, y se suministran también al circuito de EXOR 225.

Las LUTs 221₁ a 221₉ leen resultados de cálculo de 5 bits D224₁ a D224₉ ($\varphi(|v_i|)$) de tal manera que el cálculo de $\varphi(|v_i|)$ de la ecuación (7) se realiza, respectivamente, sobre los valores absolutos D222₁ a D222₉ ($|v_i|$), respectivamente, y los suministra a los restadores respectivos 223₁ a 223₉. Las LUTs 221₁ a 221₉ suministran los resultados de cálculo D224₁ a D224₉ ($\varphi(|v_i|)$) a un sumador 222.

El sumador 222 calcula la suma total de los valores de los resultados de cálculo D224₁ a D224₉ ($\varphi(|v_i|)$) (la suma total de los resultados de cálculo para una fila), y suministra los resultados de cálculo de 9 bits D225 ($\Sigma\varphi(|v_i|)$ desde $i = 1$ a 9) a los restadores 223₁ a 223₉. Los restadores 223₁ a 223₉ restan los resultados de cálculo D224₁ a D224₉ ($\varphi(|v_i|)$) de los resultados de cálculo D225, respectivamente, y suministran el valor restado de 5 bits D227₁ a D227₉ a las LUTs 224₁ a 224₉. Es decir, los restadores 223₁ a 223₉ restan la $\varphi(|v_i|)$ determinada a partir del mensaje v_i del borde a determinar, con respecto al valor integrado de la $\varphi(|v_i|)$ determinada a partir del mensaje v_i de todos los bordes, y suministra los valores restados D227₁ a D227₉ ($\Sigma\varphi(|v_i|)$ desde $i = 1$ a 8) a las LUTs 224₁ a 224₉, respectivamente. Las LUTs 224₁ a 224₉ leen los resultados de cálculo de 5 bits D228₁ a D228₉ de tal manera que el cálculo de $\varphi^{-1}(\Sigma\varphi(|v_i|))$ de la ecuación (7) se realiza sobre los valores restados D227₁ a D227₉, y da salida a los mismo.

Por otro lado, el circuito de EXOR 225 realiza una multiplicación de los bits de signo D223₁ a D223₉ calculando la O exclusiva de todos los bits de signo D223₁ a D223₉, y suministra un valor de multiplicación de 1 bit D226 (valor de multiplicación de los bits de signo para una fila ($\Pi\text{sign}(v_i)$ desde $i = 1$ a 9)) al circuito de EXOR respectivo 226₁ a 226₉. Calculando la O exclusiva del valor de multiplicación D226 y los bits de signo D223₁ a D223₉, respectivamente, los circuitos de EXOR 226₁ a 226₉ determinan valores divididos de 1 bit D229₁ a D229₉ ($\Pi\text{sign}(v_i)$ desde $i = 1$ a 8) de tal manera que el valor de multiplicación D226 se divide por los bits de signo D223₁ a D223₉, respectivamente, y dan salida a los mismo.

En el dispositivo de cálculo de nodos de comprobación 201_m se da salida a un total de seis bits en forma de mensajes D230₁ a D230₉, obtenidos como resultados del cálculo de nodos de comprobación, de tal manera que los resultados de cálculo de 5 bits D228₁ a D228₉ obtenidos a la salida de las LUTs 224₁ a 224₉ se efectúan, cada uno de ellos, de manera que sean los cinco bits de orden inferior, y los valores divididos D229₁ a D229₉ obtenidos a la salida de los circuitos de EXOR 226₁ a 226₉ se efectúan, cada uno de ellos, de manera que sean el bit de orden superior.

Según la manera descrita anteriormente, en el dispositivo de cálculo de nodos de comprobación 201_m, se realiza el cálculo de la ecuación (7), y se determina el mensaje u_j .

En la Fig. 13, se muestra el dispositivo de cálculo de nodos de comprobación 201_m suponiendo que cada mensaje, junto con el bit de signo, se cuantifica a un total de seis bits. El circuito de la Fig. 13 se corresponde con un nodo de comprobación. Para la matriz de comprobación que se va a procesar en este caso en la Fig. 8, puesto que existen nodos de comprobación de 30 filas, que es el número de las filas de los mismos, el aparato de decodificación de las Figs. 12A a 12C tiene 30 dispositivos de cálculo de nodos de comprobación 201_m mostrados en la Fig. 13.

En el dispositivo de cálculo de nodos de comprobación 201_m de la Fig. 13, se pueden calcular simultáneamente nueve mensajes. Con respecto al peso de las filas de la matriz de comprobación a procesar en este caso en la Fig. 8, el peso de la primera fila es 8, y el peso de la segunda fila es 9, es decir, existe un caso en el que el número de mensajes suministrados al nodo de comprobación es 8 y existen nueve casos en los que el número de mensajes es 9. Por lo tanto, el dispositivo de cálculo de nodos de comprobación 201₁ tiene una configuración de circuito con capacidad de calcular simultáneamente ocho mensajes, de manera similar al circuito de la Fig. 13, y los restantes dispositivos de cálculo de nodos de comprobación 201₂ a 201₃₀ están configurados de la misma manera que para el circuito de la Fig. 13.

La Fig. 14 muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos variables 204_p ($p = 1, 2, \dots, 90$) de las Figs. 12A a 12C para realizar simultáneamente cálculos de nodos variables.

En los dispositivos de cálculo de nodos variables 204_p de la Fig. 14, de manera similar al dispositivo de cálculo de nodos variables 103 de la Fig. 11, se realizan los cálculos de nodos variables de la ecuación (1), y los cálculos de

5 nodos variables se realizan simultáneamente para todos los bordes.

Más específicamente, en los dispositivos de cálculo de nodos variables 204_p de la Fig. 14, se lee simultáneamente la totalidad de los mensajes de 6 bits D251₁ a D251₅ (mensajes u_j) del nodo de comprobación correspondiente a cada fila de la matriz de comprobación, que se suministran desde el dispositivo de intercambio de bordes 203, y estos mensajes se suministran a los sumadores respectivos 252₁ a 252₅ y se suministran también al sumador 251. Además, los datos recibidos D271 se suministran al dispositivo de cálculo de nodos variables 204_p desde la memoria 205 para recepción, y los datos recibidos D271 se suministran a los sumadores-restadores 252₁ a 252₅.

10 El sumador 251 integra todos los mensajes D251₁ a D251₅ (mensajes u_j), y suministra un valor integrado de 9 bits D252 (el valor de suma total de los mensajes para una columna ($\sum u_j$ desde $j = 1$ a 5)) a los sumadores-restadores 252₁ a 252₅. Los sumadores-restadores 252₁ a 252₅ restan los mensajes D251₁ a D251₅ (mensajes u_j) del valor sumado D252, respectivamente. Es decir, los sumadores-restadores 252₁ a 252₅ restan los mensajes D251₁ a D251₅ (mensajes u_j) del borde a determinar, con respecto al valor integrado D252 de los mensajes u_j de todos los bordes, respectivamente, y determinan el valor restado ($\sum u_j$ desde $j = 1$ a 4).

15 Además, los sumadores-restadores 252₁ a 252₅ suman los datos recibidos D271 (u_{0i}) al valor restado ($\sum u_j$ desde $j = 1$ a 4), y dan salida a valores sumados de 6 bits D253₁ a D253₅ en forma de los resultados de los cálculos de nodos variables.

20 Según la manera descrita anteriormente, en el dispositivo de cálculo de nodos variables 204_p, se realiza el cálculo de la ecuación (1), y se determina el mensaje v_i.

25 En la Fig. 14, los dispositivos de cálculo de nodo variable 204_p se muestran suponiendo que cada mensaje, junto con el bit de signo, se cuantifica a seis bits. El circuito de la Fig. 14 se corresponde con un nodo variable. Con respecto a la matriz de comprobación a procesar en este caso en la Fig. 8, puesto que existen nodos variables de 90 columnas, que es el número de las columnas de los mismos, el aparato de decodificación de las Figs. 12A a 12C tiene 90 circuitos que se muestran en la Fig. 14.

30 En los dispositivos de cálculo de nodos variables 204_p de la Fig. 14, es posible calcular simultáneamente cinco mensajes. La matriz de comprobación a procesar en este caso en la Fig. 8 tiene 15, 45, 29, y 1 columnas que tienen respectivamente pesos de 5, 3, 2, y 1. Por lo tanto, 15 dispositivos de cálculo de nodos variables de entre los dispositivos de cálculo de nodos variables 204₁ a 204₉₀ tienen la misma configuración de circuito que la correspondiente al circuito de la Fig. 14. Los restantes 45, 29, y 1 dispositivos de cálculo de nodos variables tienen la configuración de circuito con capacidad de calcular simultáneamente 3, 2, y 1 mensajes de modo similar al circuito de la Fig. 14.

35 Aunque no se muestra, también en el aparato de decodificación de las Figs. 12A a 12C, de modo similar al caso de la Fig. 9, en la fase final de la decodificación, en lugar del cálculo de nodos variables de la ecuación (1), se realiza el cálculo de la ecuación (5), y se da salida al resultado del cálculo como resultado decodificado final.

40 De acuerdo con el aparato de decodificación de las Figs. 12A a 12C, es posible calcular simultáneamente todos los mensajes correspondientes a 269 bordes con un reloj.

45 Cuando la decodificación se realiza usando de manera repetida el aparato de decodificación de las Figs. 12A a 12C, se llevan a cabo de forma alternada el cálculo de nodos de comprobación y el cálculo de nodos variables, y se puede realizar una decodificación con dos relojes. Por lo tanto, por ejemplo, con el fin de llevar a cabo 50 decodificaciones, es necesario que el aparato de decodificación funcione con $2 \times 50 = 100$ relojes mientras se reciben datos recibidos en los cuales los códigos que tienen una longitud de código de 90 son una trama, y por lo tanto, se puede usar aproximadamente la misma frecuencia de funcionamiento que la frecuencia de recepción. En general, puesto que la longitud de código correspondiente a los códigos LDPC es de hasta entre varios miles y varias decenas de miles, si se usa el aparato de decodificación de las Figs. 12A a 12C, el número de decodificaciones se puede incrementar notablemente, y se puede esperar una mejora en el rendimiento de la corrección de errores.

50 No obstante, en el aparato de decodificación de las Figs. 12A a 12C, puesto que los cálculos de mensajes correspondientes a todos los bordes de una gráfica de Tanner se realizan en paralelo, la escala del circuito se incrementa en proporción a la longitud del código. Cuando el aparato de decodificación de las Figs. 12A a 12C se configura como un aparato para realizar la decodificación de códigos LDPC que tienen una matriz de comprobación particular, de una longitud de código particular y una relación de codificación particular, resulta difícil que el aparato de decodificación lleve a cabo la decodificación de códigos LDPC que tienen otra matriz de comprobación, de otra longitud de código y otra relación de codificación. Es decir, a diferencia del aparato de decodificación de la Fig. 9, resulta difícil que el aparato de decodificación de las Figs. 12A a 12C haga frente a la decodificación de varios códigos incluso si se cambia solamente la señal de control, y la dependencia con respecto a los códigos es elevada.

55 Además del aparato de decodificación de la Fig. 9 y las Figs. 12A a 12C, el método de implementación para calcular

simultáneamente mensajes en unidades de cuatro mensajes, en lugar de un mensaje, o todos los mensajes, se describe, por ejemplo, en "VLSI Architectures for Iterative Decoders in Magnetic Recording Channels", de E. Yeo, P. Pakzad, B. Nikolic y V. Anantharam, *IEEE Transactions on Magnetics*, Vol. 37, n.º 2, Marzo de 2001. En este caso, se producen problemas en el sentido de que, en general, no resulta sencillo evitar una lectura simultánea de o una escritura simultánea en direcciones diferentes de la memoria, y el control de acceso a la memoria resulta difícil.

Además, también se ha propuesto un método de implementación por aproximación al algoritmo de suma producto. No obstante, en este método, se provoca en la aparición de un deterioro del rendimiento. Para implementar el algoritmo de suma producto en forma de hardware, existen, tal como se ha descrito anteriormente, un método en el cual se realizan, en serio, de uno en uno, cálculos de mensajes correspondientes a los bordes (un cálculo de nodos de comprobación y un cálculo de nodos de bits), un método en el cual todos los cálculos de mensajes se realizan en paralelo (paralelo completo), y un método en el cual los cálculos de mensajes se realizan en unidades de varios cálculos en paralelo (paralelo).

No obstante, en el método en el que se realizan de uno en uno cálculos de mensajes correspondientes a los bordes, se requiere una elevada frecuencia de funcionamiento. Por consiguiente, como método para incrementar el caudal, se conoce un método para disponer el aparato en una estructura de canalización (*pipeline*). En este caso, la escala del circuito, en particular, (la capacidad de) la memoria, se incrementa.

En el método en el que todos los cálculos de mensajes se realizan en paralelo, la escala del circuito para la lógica se incrementa, y la dependencia con respecto a los códigos es alta.

En el método en el cual los cálculos de mensajes se realizan en unidades de varios cálculos en paralelo, el control del acceso a memoria resulta difícil.

El documento WO 02/103631 da a conocer un método y un aparato para usar técnicas de decodificación con paso de mensajes, que resultan particularmente bien adecuadas para su uso con códigos de comprobación de paridad de baja densidad (LDPC). El método conlleva la decodificación de estructuras de gráficas que están compuestas en gran medida por múltiples copias idénticas de una gráfica mucho menor. Copias de la gráfica menor se someten a una operación de permutación controlada para crear la estructura de grupo mayor. Las mismas operaciones de permutación controlada se implementan directamente para soportar el paso de mensajes entre las copias duplicadas de la gráfica pequeña. La operación de permutación puede comprender una permutación cíclica.

Exposición de la invención

La presente invención se ha realizado teniendo en cuenta dichas circunstancias y se define en las reivindicaciones adjuntas. Un objetivo de la presente invención es restringir la frecuencia de funcionamiento a un intervalo suficientemente viable al mismo tiempo que restringir la escala del circuito tanto para lógica como para memoria, y disponer de la capacidad de controlar fácilmente el acceso a memoria.

Tal como se ha descrito en la presente, una matriz de comprobación de los códigos LDPC se puede representar mediante una combinación de una pluralidad de sub-matrices de $P \times P$, en donde se realizan simultáneamente P cálculos de nodos de comprobación para decodificar los códigos LDPC, y se realizan simultáneamente P cálculos de nodos variables para decodificar los códigos LDPC.

Breve descripción de los dibujos

La Fig. 1 ilustra una matriz de comprobación H de códigos LDPC.

La Fig. 2 es un diagrama de flujo que ilustra un procedimiento para decodificar códigos LDPC.

La Fig. 3 ilustra el flujo de mensajes.

La Fig. 4 muestra un ejemplo de una matriz de comprobación de códigos LDPC.

La Fig. 5 muestra una gráfica de Tanner de la matriz de comprobación.

La Fig. 6 muestra un nodo variable.

La Fig. 7 muestra un nodo de comprobación.

La Fig. 8 muestra un ejemplo de una matriz de comprobación de códigos LDPC.

La Fig. 9 es un diagrama de bloques que muestra un ejemplo de la configuración de un aparato de decodificación de códigos LDPC para llevar a cabo cálculos de nodos de uno en uno.

- La Fig. 10 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos de comprobación para calcular mensajes de uno en uno.
- 5 La Fig. 11 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos variables para calcular mensajes de uno en uno.
- La Fig. 12A es un diagrama de bloques que muestra un ejemplo de la configuración de un aparato de decodificación de códigos LDPC para realizar simultáneamente todos los cálculos de nodos.
- 10 La Fig. 12B es un diagrama de bloques que muestra un ejemplo de la configuración del aparato de decodificación de códigos LDPC para realizar simultáneamente todos los cálculos de nodos.
- La Fig. 12C es un diagrama de bloques que muestra un ejemplo de la configuración del aparato de decodificación de códigos LDPC para realizar simultáneamente todos los cálculos de nodos.
- 15 La Fig. 13 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos de comprobación para calcular simultáneamente mensajes.
- La Fig. 14 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos variables para calcular simultáneamente mensajes.
- 20 La Fig. 15 muestra una matriz, que se divide en 5 x 5 unidades.
- La Fig. 16A es un diagrama de bloques que muestra un ejemplo de la configuración de una forma de realización de un aparato de decodificación en el cual se aplica la presente invención.
- 25 La Fig. 16B es un diagrama de bloques que muestra un ejemplo de la configuración de la forma de realización del aparato de decodificación en el cual se aplica la presente invención.
- La Fig. 16C es un diagrama de bloques que muestra un ejemplo de la configuración de la forma de realización del aparato de decodificación en el cual se aplica la presente invención.
- 30 La Fig. 17 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación de las Figs. 16A a 16C.
- 35 La Fig. 18 es un diagrama de bloques que muestra un ejemplo de una configuración de un aparato de decodificación que no constituye una forma de realización de la presente invención.
- La Fig. 19 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos de comprobación.
- 40 La Fig. 20 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos variables.
- La Fig. 21 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de la Fig. 18.
- 45 La Fig. 22 es un diagrama de bloques que muestra un ejemplo de la configuración del dispositivo de cálculo de la Fig. 18.
- 50 La Fig. 23 es un diagrama de bloques que muestra un ejemplo de la configuración de una memoria para almacenar resultados de decodificación en curso de la Fig. 18.
- La Fig. 24 es un diagrama de temporización que ilustra el funcionamiento de una RAM para almacenar resultados de decodificación en curso de la Fig. 18.
- 55 La Fig. 25 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación de la Fig. 18.
- La Fig. 26 es un diagrama de bloques que muestra un ejemplo de una configuración de un aparato de decodificación que no constituye una forma de realización de la presente invención.
- 60 La Fig. 27 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de nodos de comprobación.
- 65 La Fig. 28 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de

5 nodos variables.

La Fig. 29 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo de la Fig. 26.

La Fig. 30 es un diagrama de bloques que muestra un ejemplo de la configuración del dispositivo de cálculo de la Fig. 26.

La Fig. 31 es un diagrama de bloques que muestra un ejemplo de la configuración de una memoria para almacenar resultados de decodificación en curso de la Fig. 26.

La Fig. 32 es un diagrama de temporización que ilustra el funcionamiento de una RAM para almacenar resultados de decodificación en curso de la Fig. 31.

La Fig. 33 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación de la Fig. 26.

La Fig. 34 es un diagrama de bloques que muestra un ejemplo de la configuración de una forma de realización de un ordenador en el cual se aplica la presente invención.

Modo óptimo para llevar a cabo la invención

A continuación se describirán detalladamente, en referencia a los dibujos, formas de realización específicas en las cuales se aplica la presente invención.

La Fig. 15 muestra un ejemplo de una matriz de comprobación de 30 x 9, que se divide en unidades de matrices 5 x 5. La matriz de comprobación de la Fig. 15 es la misma que la matriz de comprobación mostrada en la Fig. 8.

En la Fig. 15, la matriz de comprobación se representa mediante una combinación de una matriz unidad de 5 x 5, una matriz en la que uno o más 1s, que son elementos de la matriz unidad, se sustituyen por 0 (a la que en lo sucesivo se hace referencia en la presente como "matriz cuasi unidad" cuando resulte apropiado), una matriz en la cual la matriz unidad o la matriz cuasi unidad se desplaza cíclicamente (a la que se hará referencia en lo sucesivo, en la presente, como "matriz de desplazamiento" cuando resulte apropiado), una suma de dos o más (diversas) de la matriz unidad, la matriz cuasi unidad, y la matriz de desplazamiento (a la que se hará referencia en lo sucesivo, en la presente, como "matriz suma" cuando resulte apropiado), y una matriz 0 de 5 x 5. Los códigos LDPC representados por la matriz de comprobación de la Fig. 15 tienen una relación de codificación de 2/3 y una longitud de código de 9.

Puede decirse que la matriz de comprobación de la Fig. 15 está formada por una matriz de 5 x 5, una matriz cuasi unidad, una matriz de desplazamiento, una matriz suma, y una matriz 0. Por lo tanto, a estas matrices de 5 x 5, que forman la matriz de comprobación, se les hará referencia en lo sucesivo, en la presente, como "sub-matrices", cuando así resulte apropiado.

Las Figs. 16A a 16C muestran un ejemplo de la configuración de una forma de realización de un aparato de decodificación para decodificar códigos LDPC representados por la matriz de comprobación de la Fig. 15. Las Figs. 16A a 16C son diagramas de bloques que muestran un ejemplo de la configuración de una forma de realización de dicho aparato de decodificación. La Fig. 16A muestra la configuración global del aparato de decodificación. La Fig. 16B muestra la configuración detallada de la parte izquierda de la figura rodeada por la línea de trazos B, del aparato de decodificación de la Fig. 16A. La Fig. 16C muestra la configuración detallada de la parte derecha de la figura rodeada por la línea de trazos C, del aparato de decodificación de la Fig. 16A.

Un aparato de decodificación 300 de las Figs. 16A a 16C incluye conmutadores 310 y 315, una memoria de almacenamiento de datos de bordes 311 constituida por seis FIFOs 311₁ a 311₆, un selector 312, un dispositivo de cálculo de nodos de comprobación 313 constituido por cinco dispositivos de cálculo de nodo de comprobación 313₁ a 313₅, dos circuitos de desplazamiento cíclico 314 y 320, una memoria de almacenamiento de datos de bordes 316 constituida por 18 FIFOs 316₁ a 316₁₈, un selector 317, una memoria de datos recibidos 318 para almacenar información recibida, un dispositivo de cálculo de nodos variables 319, y una sección de control 321.

Antes de describir detalladamente cada sección del aparato de decodificación 300, se describirá en primer lugar el método de almacenamiento de datos en las memorias de almacenamiento de datos de bordes 311 y 316.

La memoria de almacenamiento de datos de bordes 311 incluye seis FIFOs 311₁ a 311₆, siendo el número tal que 30, el número de filas, de la matriz de comprobación se divide por 5, el número de filas. La FIFO 311_y (y = 1, 2, ..., 6) se forma de tal modo que se pueden leer o escribir simultáneamente mensajes correspondientes a cinco bordes, que es el número de las filas y las columnas de la sub-matriz. La longitud (el número de fases) de la misma es 9, que es el número máximo de 1s (peso Hamming) en la dirección de las flechas de la matriz de comprobación.

En la FIFO 311₁, los datos correspondientes a las posiciones de 1s desde la primera fila hasta la quinta fila de la matriz de comprobación de la Fig. 15 se almacenan de tal modo que los 1s se compactan con mayor proximidad (de un modo que se ignoran 0s) en la dirección horizontal (en la dirección de las columnas) para cada fila. Es decir, si la fila j-ésima y la columna i-ésima se indica como (j, i), en el primer elemento (la primera fase) de la FIFO 311₁, se almacenan datos correspondientes a las posiciones de 1s de la matriz unidad de 5 x 5 desde (1, 1) a (5, 5) de la matriz de comprobación. En el segundo elemento, se almacenan los datos correspondientes a las posiciones 1s de la matriz de desplazamiento (matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en tres hacia la derecha) desde (1, 21) a (5, 25) de la matriz de comprobación, que es la sub-matriz de la matriz de comprobación. Además, en el tercer a octavo elementos, de manera similar, se almacenan datos de tal modo que se correspondan con la sub-matriz de la matriz de comprobación. En el noveno elemento, se almacenan datos correspondientes a las posiciones de 1s de la matriz de desplazamiento (la matriz de desplazamiento en la que los 1s de la primera fila dentro de la matriz unidad de 5 x 5 se sustituyen por 0, y la matriz unidad se desplaza cíclicamente en uno hacia la izquierda) desde (1, 86) a (5, 90) de la matriz de comprobación. En este caso, en la matriz de desplazamiento (1, 86) a (5, 90) de la matriz de comprobación, puesto que no hay 1s en la primera fila, el número de elementos resulta de 8 únicamente para la primera fila de la FIFO 311₁, y el número de elementos resulta ser 9 para las filas restantes.

En la FIFO 311₂, se almacenan los datos correspondientes a las posiciones de los 1s desde la sexta fila hasta la décima fila de la matriz de comprobación de la Fig. 15. Es decir, en el primer elemento de la FIFO 311₂, se almacenan datos correspondientes a las posiciones de los 1s de la primera matriz de desplazamiento que forma la matriz suma desde (6, 1) a (10, 5) de la matriz de comprobación (la matriz suma que es la suma de una primera matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en uno hacia la derecha y una segunda matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en dos hacia la derecha). En el segundo elemento, se almacenan datos correspondientes a las posiciones de los 1s de la segunda matriz de desplazamiento que forma la matriz suma (6, 1) a (10, 5) de la matriz de comprobación.

Más específicamente, para la sub-matriz cuyo peso es 2 ó mayor, los datos (el mensaje correspondiente a los bordes pertenecientes a la matriz unidad, a la matriz suma, o la matriz de desplazamiento) correspondientes a las posiciones de los 1s de la matriz unidad cuyo peso es 1, la matriz cuasi unidad, o la matriz de desplazamiento, cuando la sub-matriz se representa en forma de la suma de dos o más de la matriz unidad de (P x P) cuyo peso es 1, la matriz cuasi unidad en la que uno o más 1s, que son elementos de la matriz unidad, se sustituyen por 0, y la matriz de desplazamiento en la que la matriz unidad o la matriz cuasi unidad se desplaza cíclicamente, se almacenan en la misma dirección (las mismas FIFOs de entre las FIFOs 311₁ a 311₆).

A partir de aquí, para los elementos tercero a noveno, los datos se almacenan de tal modo que se correspondan con la matriz de comprobación. El número de los elementos de la FIFO 311₂ es 9 para todas las filas.

De modo similar, para las FIFOs 311₃ a 311₆, los datos se almacenan de tal modo que se correspondan con la matriz de comprobación, y la longitud de cada una de las FIFOs 311₃ a 311₆ es 9.

La memoria 316 para almacenar datos de bordes está formada por 18 FIFOs 316₁ a 316₁₈, siendo el número tal que 90, el número de filas de la matriz de comprobación, se divide por 5, el número de las filas de sub-matriz. La FIFO 316_x (x = 1, 2, ..., 18) se forma de tal modo que se pueden leer o escribir simultáneamente mensajes correspondientes a cinco bordes, de manera que el número es el número de las filas y el número de las columnas de la sub-matriz.

En la FIFO 316₁, los datos correspondientes a las posiciones de los 1s desde la primera columna hasta la quinta columna de la matriz de comprobación de la Fig. 15, se almacenan de tal manera que se compactan con una mayor proximidad en la dirección vertical (en la dirección de las filas) para cada columna (de un modo en el que se ignoran 0s). Es decir, en el primer elemento (la primera fase) de la FIFO 316₁, se almacenan datos correspondientes a las posiciones de los 1s de la matriz unidad de 5 x 5 desde (1, 1) hasta (5, 5) de la matriz de comprobación. En el segundo elemento, se almacenan datos correspondientes a las posiciones de los 1s de la primera matriz de desplazamiento que forma la matriz suma de (6, 1) a (10, 5) de la matriz de comprobación (la matriz suma, que es la suma de una primera matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en uno hacia la derecha y una segunda matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en dos hacia la derecha). En el tercer elemento, se almacenan datos correspondientes a las posiciones de los 1s de la segunda matriz de desplazamiento que forma la matriz suma de (6, 1) a (10, 5) de la matriz de comprobación.

Más específicamente, para la sub-matriz cuyo peso es 2 ó mayor, los datos (mensajes correspondientes a los bordes pertenecientes a la matriz unidad, la matriz cuasi unidad, o la matriz de desplazamiento) correspondientes a la posición de los 1s de la matriz unidad cuyo peso es 1, la matriz cuasi unidad, o la matriz de desplazamiento cuando la sub-matriz se representa en forma de la suma de dos o más de la matriz unidad de (P x P) cuyo peso es 1, la matriz cuasi unidad en la que los 1s, que son elementos de la matriz unidad, se sustituyen por 0, y la matriz de desplazamiento en la que la matriz unidad o la matriz cuasi unidad se desplaza cíclicamente, se almacenan en la misma dirección (la misma FIFO de entre las FIFOs 316₁ a 316₁₈).

A partir de aquí, para los elementos cuarto y quinto, también se almacenan datos de tal manera que se correspondan con la matriz de comprobación. El número de elementos (el número de fases) de la FIFO 316₁ es 5, que es el número máximo de 1s (peso Hamming) en la dirección de las filas desde la primera columna hasta la quinta columna de la matriz de comprobación.

Además, para las FIFOs 316₂ y 316₃, de forma similar, se almacenan datos de tal manera que se correspondan con la matriz de comprobación, y cada una de la longitud (el número de fases) de la misma es 5. Además, de modo similar, para las FIFOs 316₆ a 316₁₂, se almacenan datos de tal manera que se correspondan con la matriz de comprobación, y cada una de las longitudes de las mismas es 3. Además, de manera similar, para las FIFOs 316₁₃ a 316₁₈, se almacenan datos de tal modo que se correspondan con la matriz de comprobación, y cada una de las longitudes de la misma es 2. No obstante, puesto que el primer elemento de la FIFO 316₁₈ se corresponde con (1, 86) a (5, 90) de la matriz de comprobación, y no hay 1s en la quinta columna ((1, 90) a (5, 90) de la matriz de comprobación), no se almacenan datos.

A continuación se proporcionará detalladamente una descripción del funcionamiento de cada sección del aparato de decodificación 300 de las Figs. 16A a 16C. Se suministran cinco mensajes (datos) D319 a un conmutador 310 desde un circuito de desplazamiento cíclico 320. Además, se suministra al conmutador 310, desde la sección de control 321, una señal de control D320 que indique información (datos de matriz) en relación con a qué fila de la matriz de comprobación pertenece. Basándose en la señal de control D320, se selecciona una FIFO para almacenar cinco mensajes (datos) D319 de entre las FIFOs 311₁ a 311₆, y los cinco datos de mensajes D319 se almacenan conjuntamente en la FIFO seleccionada de manera secuencial.

La memoria de almacenamiento de datos de bordes 311 incluye seis FIFOs 311₁ a 311₆. En las FIFOs 311₁ a 311₆ de la memoria de almacenamiento de datos de bordes 311, se suministran conjuntamente cinco mensajes D319 desde el conmutador 310 de manera secuencial, y las FIFOs 311₁ a 311₆ almacenan conjuntamente los cinco mensajes D319 de manera secuencial (simultáneamente). Además, cuando se van a leer datos, la memoria de almacenamiento de datos de bordes 311 lee secuencialmente los cinco mensajes (datos) D311₁ desde la FIFO 311₁, y los suministra al selector 312 en la fase sucesiva. Después de que se haya completado la lectura de los mensajes D311₁ desde la FIFO 311₁, la memoria de almacenamiento de datos de bordes 311 también lee secuencialmente mensajes D311₁ a D311₆ desde las FIFOs 311₂ a 311₆, respectivamente, y los suministra al selector 312.

Una señal de selección D321 que indica la selección de la FIFO desde la cual se leen datos de mensajes (la FIFO desde la cual se han leído actualmente datos) de entre las FIFOs 311₁ a 311₆ se suministra al selector 312 desde la sección de control 321, y también, se suministran cinco mensajes (datos) D311₁ a 311₆ al selector 312 desde la memoria de almacenamiento de datos de bordes 311. El selector 312 selecciona la FIFO desde la cual se han leído actualmente datos, de entre las FIFOs 311₁ a 311₆ de acuerdo con una señal de selección D321, y suministra los cinco datos de mensajes suministrados de la FIFO seleccionado, como mensajes D312, a la sección de cálculo de nodos de comprobación 313.

La sección de cálculo de nodos de comprobación 313 incluye cinco dispositivos de cálculo de nodos de comprobación 313₁ a 313₅. Se suministran cinco mensajes D312 a la sección de cálculo de nodos de comprobación 313 por medio del selector 312, y los mensajes D312 se suministran individualmente a cada uno de los dispositivos de cálculo de nodos de comprobación 313₁ a 313₅. Además, se suministra una señal de control D322 al dispositivo de cálculo de nodos de comprobación 313 desde la sección de control 321, y la señal de control D322 se suministra a los dispositivos de cálculo de nodos de comprobación 313₁ a 313₅. Los dispositivos de cálculo de nodos de comprobación 313₁ a 313₅ realizan simultáneamente cálculos de acuerdo con la ecuación (7) usando los mensajes D312, y determinan mensajes D313 correspondientes a cinco bordes como resultado de los cálculos. La sección de cálculo de nodos de comprobación 313 suministra los cinco mensajes D313, obtenidos como resultado de los cálculos por parte de los dispositivos de cálculo de nodos de comprobación 313₁ a 313₅, al circuito de desplazamiento cíclico 314.

Una señal de control D322 suministrada desde la sección de control 321 al dispositivo de cálculo de nodos de comprobación 313 se corresponde con la señal de control D106 de la Fig. 10. Las secciones de cálculo de nodos de comprobación 313₁ a 313₅ están configuradas, cada una de ellas, de la misma manera que el dispositivo de cálculo de nodos de comprobación 101 mostrado en la Fig. 10.

Los cinco mensajes D313 calculados en la sección de cálculo de nodos de comprobación 313 se suministran al circuito de desplazamiento cíclico 314. Además, una señal de control D323 que indica información (datos de matriz) en relación con el hecho de que el borde correspondiente al mensaje D313 se conecta como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 314 desde la sección de control 321. El circuito de desplazamiento cíclico 314 desplaza cíclicamente los cinco mensajes D313 sobre la base de la señal de control D323, y suministra el resultado en forma de un mensaje D314 al conmutador 315.

Una señal de control D324 que indica información en relación con a qué columna de la matriz de comprobación

pertenecen los cinco mensajes (datos) D314 suministrados desde el circuito de desplazamiento cíclico 314 se suministra al conmutador 315, y también se suministra el mensaje D314 al mismo desde el circuito de desplazamiento cíclico 314. Basándose en la señal de control D324, el conmutador 315 selecciona la FIFO para almacenar el mensaje D314 de entre las FIFOs 316₁ a 316₁₈, y suministra conjuntamente los cinco mensajes D314 de manera secuencial.

Una memoria de almacenamiento de datos de bordes 316 incluye 18 FIFOs 316₁ a 316₁₈. Los cinco mensajes D314 se suministran conjuntamente de manera secuencial (simultáneamente) desde el conmutador 315 a las FIFOs 316₁ a 316₁₈ de la memoria de almacenamiento de datos de bordes 316, y las FIFOs 316₁ a 316₁₈ almacenan conjuntamente los cinco mensajes D314 de manera secuencial. Además, cuando se van a leer los datos, la memoria 316 para almacenar datos de bordes secuencialmente lee cinco mensajes D315₁ desde la FIFO 316₁ y los suministra al selector 317 en la fase sucesiva. Después de que se haya completado la lectura de los datos desde la FIFO 316₁, la memoria 316 para almacenar datos de bordes lee secuencialmente los mensajes D315₂ a D31318 también desde las FIFOs 316₁ a 316₁₈ y los suministra al selector 317.

Desde la sección de control 321 se suministra al selector 317 una señal de selección D325 que indica la selección de la FIFO para leer datos de mensajes (la FIFO desde la cual se han leído datos actualmente) de entre las FIFOs 316₁ a 316₁₈, y también, se suministran al mismo datos de mensajes D315₁ a D31318 desde la memoria de almacenamiento de datos de bordes 316. Basándose en la señal de selección D325, el selector 317 selecciona la FIFO desde la cual se han leído datos actualmente, de entre las FIFOs 316₁ a 316₁₈, y suministra los cinco datos de mensajes suministrados desde la FIFO seleccionada, como mensajes D316, a la sección de cálculo de nodos variables 319 y al bloque antes descrito (no mostrado) para realizar el cálculo de la ecuación (5).

Por otro lado, la memoria 318 para datos recibidos ha calculado la LLR (razón de verosimilitud logarítmica) de recepción a partir de la información recibida, a través del canal de comunicaciones. Cinco elementos de la LLR de recepción calculada se suministran conjuntamente (simultáneamente) como datos recibidos D317 (códigos LDPC) a la sección de cálculo de nodos variables 319 y al bloque (no mostrado) para recibir el cálculo de la ecuación (5). La memoria 318 para datos recibidos lee los datos recibidos D317 en la secuencia necesaria para el cálculo de nodos variables de la sección de cálculo de nodos variables 319.

La sección de cálculo de nodos variables 319 incluye cinco dispositivos de cálculo de nodos variables 319₁ a 319₅. Se suministran cinco mensajes D316 a la sección de cálculo de nodos variables 319 por medio del selector 317, y los mensajes D316 se suministran individualmente a cada uno de los dispositivos de cálculo de nodos variables 319₁ a 319₅. Además, los cinco elementos de los datos recibidos D317 se suministran a la sección de cálculo de nodos variables 319 desde la memoria 318 para datos recibidos, y los elementos de los datos recibidos D317 se suministran individualmente a cada uno de los dispositivos de cálculo de nodos variables 319₁ a 319₅. Además, se suministra una señal de control D326 desde la sección de control 321 a la sección de cálculo de nodos variables 319, y la señal de control D326 se suministra a los dispositivos de cálculo de nodos variables 319₁ a 319₅.

Los dispositivos de cálculo de nodos variables 319₁ a 319₅ realizan cálculos de acuerdo con la ecuación (1) usando los mensajes D316 y los datos recibidos D317, y determinan mensajes D318 correspondientes a cinco bordes como resultado de los cálculos. La sección de cálculo de nodos variables 319 suministra los cinco mensajes D318, obtenidos como resultado de los dispositivos de cálculo de nodos variables 319₁ a 319₅, al circuito de desplazamiento cíclico 320.

En este caso, la señal de control D326 suministrada desde una sección de control 521 a la sección de cálculo de nodos variables 319 se corresponde con la señal de control D107 de la Fig. 11, y los dispositivos de cálculo de nodos variables 319₁ a 319₅ están configurados, cada uno de ellos, de la misma manera que el dispositivo de cálculo de nodos variables 103 de la Fig. 11.

Se suministran cinco mensajes D318 al circuito de desplazamiento cíclico 320 desde la sección de cálculo de nodos variables 319. Además, se suministra al circuito de desplazamiento cíclico 320, desde la sección de control 321, una señal de control D327 que indica información (datos de matriz) en relación con el hecho de que el borde correspondiente al mensaje D318 se conecta como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación. Basándose en la señal de control D327, el circuito de desplazamiento cíclico 320 realiza un desplazamiento cíclico para reorganizar los mensajes D327, y suministra los resultados como mensajes D319 al conmutador 310.

La sección de control 321 suministra una señal de selección D320 al conmutador 310 y suministra una señal de selección D321 al selector 312 con el fin de controlarlos, respectivamente. La sección de control 321 suministra una señal de control D322 a la sección de cálculo de nodos de comprobación 313, suministra una señal de control D323 al circuito de desplazamiento cíclico 314, y suministra una señal de control D324 al conmutador 315 con el fin de controlarlos, respectivamente. Además, la sección de control 321 suministra una señal de selección D325 al selector 317, suministra una señal de control D326 a la sección de cálculo de nodos variables 319, y suministra una señal de control D327 al circuito de desplazamiento cíclico 320 con el fin de controlarlos, respectivamente.

Como resultado de llevarse a cabo una circulación de la anterior operación, se puede efectuar una decodificación de los códigos LDPC. Después de que el aparato de decodificación 300 de las Figs. 16A a 16C decodifique los códigos LDPC un número predeterminado de veces, el aparato de decodificación 300 determina un resultado decodificado final (no mostrado) de acuerdo con la ecuación (5) y da salida al mismo.

Para las partes en las que faltan datos de bordes (mensajes correspondientes a los bordes), durante el almacenamiento en la memoria (cuando se almacenan datos en las memorias de almacenamiento de datos de bordes 311 y 316), no se almacenan ningún mensaje. Durante el cálculo de nodos (durante el cálculo de nodos de comprobación en la sección de cálculo de nodos de comprobación 313 y durante el cálculo de nodos variables en la sección de cálculo de nodos variables 319), no se realiza ningún cálculo.

La Fig. 17 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación 300 de las Figs. 16A a 16C. Este proceso se inicia cuando en la memoria 318 para datos recibidos se almacenan datos recibidos a decodificar.

En la etapa S31, la sección de cálculo de nodos variables 319 realiza un cálculo de nodos variables.

Más específicamente, se suministran cinco mensajes D316 (mensajes u_j) a la sección de cálculo de nodos variables 319 por medio del selector 317. Es decir, la memoria de almacenamiento de datos de bordes 316 lee secuencialmente los cinco mensajes D316₁ almacenados en la etapa S39 (a describir posteriormente) desde la FIFO 316₁, y después de esto, lee secuencialmente mensajes D316₂ a D316₁₈ también desde las FIFOs 316₂ a 316₁₈, y los suministra al selector 317.

Una señal de selección D307 que indica la selección de la FIFO (la FIFO desde la cual se han leído datos actualmente) desde la cual se va a leer un mensaje (datos), de entre las FIFOs 316₁ a 316₁₈, se suministra al selector 317 desde la sección de control 321, y también, se suministran datos de mensajes D316₁ a D316₁₈ al selector 317 desde la memoria de almacenamiento de datos de bordes 316. Basándose en la señal de selección D307, el selector 317 selecciona la FIFO desde la cual se han leído datos actualmente, de entre las FIFOs 316₁ a 316₁₈, y suministra los cinco elementos de los datos de mensajes suministrados desde la FIFO seleccionada, como mensajes D316, a la sección de cálculo de nodos variables 319.

Cuando no se ha realizado todavía un cálculo de nodos de comprobación sobre los datos recibidos D309 suministrados desde la memoria 306 y no se ha almacenado un mensaje D304 en la memoria de almacenamiento de datos de bordes 316, la sección de cálculo de nodos variables 319 fija el mensaje u_j a un valor inicial usado para un cálculo de nodos variables.

Los cinco elementos de los datos recibidos D309 (valor recibido u_{0i}) se suministran a la sección de cálculo de nodos variables 319 desde la memoria 318 para datos recibidos, y los datos recibidos D309 se suministran individualmente a cada uno de los dispositivos de cálculo de nodos variables 319₁ a 319₅. Además, se suministra una señal de control D315 a la sección de cálculo de nodos variables 319 desde la sección de control 321, y la señal de control D315 se suministra a los dispositivos de cálculo de nodos variables 319₁ a 319₅.

Basándose en la señal de control D315, los dispositivos de cálculo de nodos variables 319₁ a 319₅ realizan simultáneamente cálculos de acuerdo con la ecuación (1) usando los mensajes D316 y los datos recibidos D309, y determinan cinco mensajes D319 como resultado de los cálculos.

Es decir, la señal de control D315 suministrada a la sección de cálculo de nodos variables 319 por la sección de control 321 se corresponde con la señal de control D107 descrita en referencia a la Fig. 11 descrita anteriormente. Cada uno de los dispositivos de cálculo de nodos variables 319₁ a 319₅ lee un mensaje necesario D314 (D316) de la memoria de almacenamiento de datos de bordes 316 por medio del selector 317 de acuerdo con la señal de control D309, y también lee los cinco datos recibidos D309 suministrados desde la memoria 318 para datos recibidos, respectivamente, realizan un cálculo de nodos variables, y simultáneamente determinan cinco mensajes D319 como resultado de los cálculos.

Después del procesado de la etapa S31, el proceso prosigue hacia la etapa S32, en donde la sección de cálculo de nodos variables 319 suministra los cinco mensajes D319 (mensajes v_i), obtenidos como resultado de los cálculos de nodos variables de los dispositivos de cálculo de nodos variables 319₁ a 319₅, al circuito de desplazamiento cíclico 320. A continuación, el proceso prosigue hacia la etapa S33.

La etapa S33, el circuito de desplazamiento cíclico 320 desplaza (reorganiza) cíclicamente los cinco mensajes D318 suministrados desde la sección de cálculo de nodos variables 319.

Más específicamente, un mensaje D318 se suministra al circuito de desplazamiento cíclico 320 desde la sección de cálculo de nodos variables 319. Además, una señal de control D327 que indica información (datos de matriz) en relación con el hecho de que el borde correspondiente al mensaje D318 se conecta como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se

suministra al circuito de desplazamiento cíclico 320 desde la sección de control 321. Basándose en la señal de control D327, el circuito de desplazamiento cíclico 320 desplaza cíclicamente cinco mensajes D327, y suministra los resultados como el mensaje sD319 al conmutador 310.

5 Después del procesado de la etapa S33, el proceso prosigue hacia la etapa S34, en donde el conmutador 310 suministra los cinco mensajes D319 suministrados desde el circuito de desplazamiento cíclico 320 a la memoria de almacenamiento de datos de bordes 311.

10 Más específicamente, un mensaje (datos) D304 se suministra al conmutador 310 desde el circuito de desplazamiento cíclico 320, y también, se suministra al conmutador 310 una señal de control D312 que indique información en relación con a qué fila de la matriz de comprobación pertenece el mensaje D304. Basándose en la señal de control D312, el conmutador 310 selecciona la FIFO para almacenar los mensajes D304, de entre la FIFO 300₁ a 300₆, y suministra secuencialmente los cinco elementos de los datos de mensajes D304 conjuntamente en la FIFO seleccionada.

15 A continuación, la FIFO 300₁ a 300₁₈ de la memoria de almacenamiento de datos de bordes 311 almacenan conjuntamente los cinco elementos de los datos de mensajes D304 suministrados desde el conmutador 310 de forma secuencial.

20 Después del procesado de la etapa S34, el proceso prosigue hacia la etapa S35, donde la sección de control 321 determina si la sección de cálculo de nodos variables 319 ha calculado o no los mensajes del número total de bordes. Cuando se determina que no se han calculado los mensajes del número total de bordes, el proceso vuelve a la etapa S31, y el procesado antes descrito se realiza nuevamente.

25 Por otro lado, cuando, en la etapa S35, se determina que la sección de cálculo de nodos variables 319 ha calculado los mensajes del número total de bordes, el proceso prosigue hacia la etapa S36, donde la sección de cálculo de nodos de comprobación 313 realiza un cálculo de nodos de comprobación.

30 Más específicamente, se suministran cinco mensajes D302 a la sección de cálculo de nodos de comprobación 313 por medio del selector 312. Es decir, la memoria de almacenamiento de datos de bordes 311 lee secuencialmente, desde la FIFO 311₁ cinco mensajes D311₁ (mensajes v_i) almacenados en la etapa S34, y después de esto, lee secuencialmente los datos de mensajes D311₂ a D311₆ también desde las FIFOs 311₂ a 311₆, y los suministra al selector 312.

35 Una señal de selección D321 que indica la selección de la FIFO para leer datos de mensajes (la FIFO desde la cual se han leído datos actualmente), de entre las FIFOs 311₁ a 311₆, se suministra al selector 312 desde la sección de control 321, y también se suministran al selector 312 desde la memoria de almacenamiento de datos de bordes 311 datos de mensajes D311₁ a D311₆. Basándose en la señal de selección D321, el selector 301 selecciona la FIFO desde la cual se han leído datos actualmente, y suministra cinco elementos de los datos de mensajes suministrados desde la FIFO seleccionada, como mensajes D311, a la sección de cálculo de nodos de comprobación 313.

40 Además, una señal de control D322 se suministra a la sección de cálculo de nodos de comprobación 313 desde la sección de control 321. Basándose en la señal de control D322, los dispositivos de cálculo de nodos de comprobación 313₁ a 313₅ de la sección de cálculo de nodos de comprobación 313 realizan simultáneamente cálculos de nodos de comprobación de acuerdo con la ecuación (7) usando los mensajes D302, y determinan cinco mensajes D303 (mensajes u_j) como resultado de los cálculos.

45 Más específicamente, la señal de control D322 suministrada a la sección de cálculo de nodos de comprobación 313 por la sección de control 321 se corresponde con la señal de control D106 en la Fig. 10 antes descrita. Basándose en la señal de control D322, los dispositivos de cálculo de nodos de comprobación 313₁ a 313₅ realizan, cada uno de ellos, un cálculo de nodos de comprobación mientras leen un mensaje necesario D311 (D312) desde la memoria de almacenamiento de datos de bordes 311 por medio del selector 312, y determinan simultáneamente cinco mensajes D313 como resultado de los cálculos.

55 Después del procesado de la etapa S37, el proceso prosigue hacia la etapa S38, donde la sección de cálculo de nodos de comprobación 313 da salida a cinco mensajes D313 obtenidos como resultado del cálculo de nodos de comprobación, hacia el circuito de desplazamiento cíclico 314. A continuación, el proceso prosigue hacia la etapa S38.

60 En la etapa S38, el circuito de desplazamiento cíclico 314 desplaza cíclicamente los cinco mensajes D313 suministrados desde la sección de cálculo de nodos de comprobación 313.

65 Más específicamente, los mensajes D313 se suministran al circuito de desplazamiento cíclico 314 desde la sección de cálculo de nodos de comprobación 313. Además, una señal de control D314 que indica información (datos de matriz) en relación con el hecho de que el borde correspondiente al mensaje D313 se conecta como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de

comprobación, se suministran al circuito de desplazamiento cíclico 314 desde la sección de control 321. Basándose en la señal de control D314, el circuito de desplazamiento cíclico 314 desplaza cíclicamente los cinco mensajes D313, y suministra los resultados como mensajes D304 al conmutador 315.

5 Después del procesado de la etapa S38, el proceso prosigue hacia la etapa S39, donde el conmutador 315 almacena los cinco mensajes D304 suministrados desde el circuito de desplazamiento cíclico 314, en la memoria de almacenamiento de datos de bordes 316.

10 Más específicamente, los cinco mensajes (datos) D304 se suministran desde el circuito de desplazamiento cíclico 314 al conmutador 316, y también, se suministra al conmutador 316, desde el circuito de desplazamiento cíclico 314, una señal de control D324 que indica información en relación con a qué fila de la matriz de comprobación pertenecen los mensajes (datos) D304. Basándose en la señal de control D324, el conmutador 316 selecciona la FIFO para almacenar el mensaje D304 de entre las FIFOs 316₁ a 316₁₈ de la memoria de almacenamiento de datos de bordes 316, y suministra conjuntamente los cinco elementos de los datos de mensajes D304 a la FIFO seleccionada de forma secuencial.

15 A continuación, las FIFOs 316₁ a 316₁₈ de la memoria de almacenamiento de datos de bordes 316 almacenan conjuntamente los cinco elementos de los datos de mensajes D304 suministrados desde el conmutador 316 de manera secuencial.

20 Después del procesado de la etapa S39, el proceso prosigue hacia la etapa S40, donde la sección de control 321 determina si la sección de cálculo de nodos de comprobación 313 ha calculado o no los mensajes del número total de los bordes. Cuando se determina que no se han calculado los mensajes del número total de los bordes, el proceso vuelve a la etapa S36, y se realiza nuevamente el procesado antes descrito.

25 Por otro lado, cuando la sección de control 321 determina, en la etapa S40, que la sección de cálculo de nodos de comprobación 313 ha calculado los mensajes del número total de los bordes, se completa el procesado.

30 Cuando el aparato de decodificación 300 realiza de manera repetida el proceso de decodificación de la Fig. 17 para el número de decodificaciones y la sección de cálculo de nodos de comprobación 313 realiza el cálculo de nodos de comprobación, el mensaje D304, obtenido como resultado del cálculo de nodos de comprobación, se suministra desde la memoria de almacenamiento de datos de bordes 316, por medio del selector 317, a un bloque (no mostrado) para realizar el cálculo de la ecuación (5) antes descrito. Los datos recibidos D309 se suministran además al bloque (no mostrado) desde la memoria 306 para datos recibidos. El bloque (no mostrado) realiza el cálculo de la ecuación (5) usando los mensajes D304 y los datos recibidos D309, y da salida al resultado del cálculo como resultado decodificado final.

35 En la descripción anterior, aunque se usa una FIFO para almacenar datos de bordes (aunque la memoria de almacenamiento de datos de bordes 311 y 316 está formada por FIFOs, se puede usar una RAM en lugar de la FIFO. En ese caso, para la RAM, se requieren una anchura de bits con la cual se puedan leer simultáneamente p informaciones de borde (mensajes correspondientes a bordes), y las número-total-de-bordes/p palabras. Para escribir en la RAM, cuando se realiza la lectura sucesiva, la posición en la que se leen los datos a escribir se determina sobre la base de la información de la matriz de comprobación, y los datos se escriben en esa posición. Para la lectura desde la RAM, los datos se leen secuencialmente desde el comienzo de la dirección. Es decir, en la RAM, los datos de mensajes se almacenan en la secuencia en la que se leen de tal modo que se compacten con una mayor aproximación, y los datos de mensajes se leen en la secuencia de la posición de almacenamiento. Si se usa la RAM en lugar de la FIFO, los selectores 312 y 317 no son necesarios.

40 Cuando la anchura de bits física de la FIFO y la RAM no es suficiente, proporcionando la misma señal de control mediante el uso de una pluralidad de RAMs, estas últimas se pueden considerar lógicamente como una RAM.

45 En el aparato de decodificación 300 de las Figs. 16A a 16C, se realiza un cálculo de nodos variables usando el mensaje u_j obtenido como resultado del cálculo de nodos de comprobación, y se realiza un cálculo de nodos de comprobación usando el mensaje v_i obtenido como resultado de ese cálculo. Por lo tanto, son necesarias la memoria de almacenamiento de datos de bordes 311 y la memoria de almacenamiento de datos de bordes 316 para almacenar todos los mensajes u_j correspondientes a los bordes obtenidos como resultado del cálculo de nodos de comprobación y todos los mensajes v_i correspondientes a los bordes obtenidos como resultado del cálculo de nodos variables. Es decir, en el aparato de decodificación, se requiere una memoria de la capacidad necesaria para almacenar mensajes de dos veces el número de 1s de la matriz de comprobación H.

50 Por consiguiente, para reducir adicionalmente la escala del circuito del aparato de decodificación, a continuación se describe un aparato de decodificación en el cual la capacidad de la memoria se reduce adicionalmente en comparación con el aparato de decodificación 300 de las Figs. 16A a 16C.

55 La Fig. 18 es un diagrama de bloques que muestra un ejemplo de un aparato de decodificación para decodificar códigos LDPC representados por la matriz de comprobación de la Fig. 15. Este aparato de decodificación no

constituye una forma de realización de la invención.

En un aparato de decodificación 400 de la Fig. 18, la memoria de almacenamiento de datos de bordes 311 de las Figs. 16A y 16B se forma como una memoria 410 para almacenar resultados de decodificación en curso que tienen una capacidad menor que la de la memoria de almacenamiento de datos de bordes 311.

El aparato de decodificación 400 incluye una memoria 410 para almacenar resultados de decodificación en curso, un circuito de desplazamiento cíclico 411, una sección de cálculo 412 constituida por cinco dispositivos de cálculo 412₁ a 412₅, una memoria 413 para almacenar resultados de decodificación en curso, un circuito de desplazamiento cíclico 414, una sección de cálculo 415 constituida por cinco dispositivos de cálculo 415₁ a 415₅, una memoria 416 para recepción, y una sección de control 417.

A continuación se proporcionará una descripción, en referencia a la Fig. 19 a la Fig. 22, de la relación entre los dispositivos de cálculo 412₁ a 412₅ de la sección de cálculo 412 y los dispositivos de cálculo 415₁ a 415₅ de la sección de cálculo 415 de la Fig. 18, el dispositivo de cálculo de nodos de comprobación 101 de la Fig. 10, y el dispositivo de cálculo de nodos variables 103 de la Fig. 11.

La Fig. 19 y la Fig. 20 son iguales a la Fig. 10 que muestra el dispositivo de cálculo de nodos de comprobación 101 y la Fig. 11 que muestra el dispositivo de cálculo de nodos variables 103, respectivamente. La Fig. 21 muestra un ejemplo de la configuración de una sección de cálculo 412_k ($k = 1, 2, \dots, 5$). La Fig. 22 muestra un ejemplo de la configuración de una sección de cálculo 415_k ($k = 1, 2, \dots, 5$).

En el aparato de decodificación 400 de la Fig. 18, en lugar de que el dispositivo de cálculo 412_k realice un cálculo de nodos de comprobación y la sección de cálculo 415_k realice un cálculo de nodos variables, el dispositivo de cálculo 412_k realiza parte del cálculo de nodos de comprobación y del cálculo de nodos variables, y el dispositivo de cálculo 415_k realiza parte del resto del cálculo de nodos variables.

Más específicamente, el dispositivo de cálculo 412_k de la Fig. 21 se forma con un bloque A' y un bloque B'. El bloque A' está configurado de la misma manera que el bloque destinado a realizar el cálculo de nodos de comprobación del dispositivo de cálculo de nodos de comprobación 101 de la Fig. 19. El bloque B' está configurado de la misma manera que el bloque B, que es parte del dispositivo de cálculo de nodos variables 103 de la Fig. 20, para restar el mensaje u_j correspondiente al borde a determinar, con respecto al valor integrado de los mensajes u_j correspondientes a todos los bordes de cada columna de la matriz de comprobación. Por otro lado, el dispositivo de cálculo 415_k de la Fig. 22 se forma a partir de un bloque C'. El bloque C' se configura de la misma manera que el bloque C, que es otra parte del dispositivo de cálculo de nodos variables 103 de la Fig. 20, para integrar los mensajes u_j correspondientes a los bordes de cada columna de la matriz de comprobación y sumar el valor recibido u_{0i} al valor integrado.

El dispositivo de cálculo 412_k de la Fig. 21 suministra los resultados de los cálculos del bloque A y el bloque B, es decir, resultados de decodificación en curso u_j tales que se ha realizado parte del cálculo de nodos de comprobación y el cálculo de nodos variables, a la memoria 413 para almacenar resultados de decodificación en curso. El dispositivo de cálculo 415_k de la Fig. 22 suministra los resultados de decodificación en curso v , tales que se ha realizado parte del resto del cálculo de nodos variables, a la memoria 410 para almacenar resultados de decodificación en curso.

Por lo tanto, es posible que el aparato de decodificación 400 de la Fig. 18 realice el cálculo de nodos de comprobación y el cálculo de nodos variables llevando a cabo de forma alterna el cálculo del dispositivo de cálculo 412_k y el cálculo del dispositivo de cálculo 415_k con el fin de realizar la decodificación.

En el dispositivo de cálculo 412_k de la Fig. 22, puesto que los resultados de decodificación en curso u_j correspondientes a los bordes a determinar se restan de los resultados de decodificación en curso v obtenidos como resultado del cálculo del dispositivo de cálculo 415_k en el bloque B usando los resultados de decodificación en curso u_j correspondientes a los bordes a determinar, que se almacenan en la memoria 413 para almacenar resultados de decodificación en curso, no se requiere la memoria FIFO 155 de la Fig. 20.

Seguidamente, se proporciona una descripción del cálculo realizado por el dispositivo de cálculo 412_k y el cálculo realizado por el dispositivo de cálculo 415_k usando ecuaciones.

Más específicamente, la sección de cálculo 412 realiza un primer cálculo de acuerdo con la ecuación (7) antes descrita y la ecuación (8) que se describe posteriormente, y suministra los resultados de decodificación en curso u_j , que son los resultados del primer cálculo, a la memoria 410 para almacenar resultados de decodificación en curso, con lo cual los mismos se almacenan. La sección de cálculo 415 lleva a cabo un segundo cálculo de acuerdo con la ecuación (5) antes descrita, y suministra los resultados de decodificación en curso v , que son los resultados del segundo cálculo, a la memoria 410 para almacenar resultados de decodificación en curso, por medio de la cual los mismos se almacenan.

$$v_i = v - u_{dv} \quad \dots (8)$$

5 u_{dv} de la ecuación (8) representa los resultados en curso (en este caso, los propios resultados del cálculo de nodos de comprobación) del cálculo de nodos de comprobación del borde para el cual se va a determinar el mensaje de la columna i -ésima de la matriz de comprobación H . Es decir, u_{dv} es los resultados de decodificación en curso correspondientes al borde a determinar.

10 Más específicamente, los resultados de decodificación en curso v , obtenidos como resultado del segundo cálculo de acuerdo con la ecuación (5) antes descrita, son tales que el valor recibido u_{0i} y los resultados de decodificación en curso u_j del cálculo de nodos de comprobación de todos los bordes correspondientes a los 1s de cada fila de la columna i -ésima de la matriz de comprobación H se multiplican entre sí. El valor v_i usado para la ecuación (7) antes descrita resulta tal que los resultados de decodificación en curso u_{dv} del cálculo de nodos de comprobación de los bordes para los cuales se van a determinar mensajes, de entre los resultados de decodificación en curso u_j del cálculo de nodos de comprobación de los bordes correspondientes a los 1s de cada fila, de la columna i -ésima de la matriz de comprobación H , se restan de los resultados de decodificación en curso v obtenidos como resultado del segundo cálculo de acuerdo con la ecuación (5). Es decir, el cálculo de la ecuación (1) para determinar el valor v_i usado para el cálculo de la ecuación (7) es un cálculo en el cual se combinan la ecuación (5) y la ecuación (8) antes descritas.

20 Por lo tanto, en el aparato de decodificación 400, el primer cálculo de acuerdo con la ecuación (7) y la ecuación (8) por parte de la sección de cálculo 412, y el segundo cálculo de acuerdo con la ecuación (5) por parte de la sección de cálculo 415 se realizan de forma alternada, y la sección de cálculo 415 da salida al resultado del segundo cálculo final como resultados de decodificados, posibilitando la realización de una decodificación repetida de códigos LDPC.

25 En este caso, los resultados del primer cálculo de acuerdo con la ecuación (7) y la ecuación (8) se describen como resultados de decodificación en curso u_j , y estos resultados de decodificación en curso u_j son iguales a los resultados del cálculo de nodos de comprobación u_j de la ecuación (7).

30 Puesto que la v de la ecuación (5), que se determina a partir del segundo cálculo, es tal que los resultados del cálculo de nodos de comprobación u_j de los bordes a partir de los cuales se van a determinar mensajes se suman a los resultados del cálculo de nodos variables v_i de la ecuación (1), únicamente se determina una de las v con respecto a una columna (un nodo variable) de la matriz de comprobación H .

35 En el aparato de decodificación 400, la sección de cálculo 412 realiza el primer cálculo usando los resultados de decodificación en curso v (los segundos resultados de decodificación en curso) correspondientes a la columna de la matriz de comprobación H , que son los resultados del segundo cálculo por parte de la sección de cálculo 415, y almacena, en la memoria 413 destinada a almacenar resultados de decodificación en curso, los resultados de la decodificación en curso u_j (los primeros resultados de decodificación en curso) del cálculo de nodos de comprobación de los bordes de los mensajes (los mensajes a los que se da salida hacia cada borde por parte de cada nodo de comprobación (de los bordes correspondientes a los 1s de cada fila) de la columna i -ésima de la matriz de comprobación H , obtenida como resultado del cálculo. Por lo tanto, la capacidad de la memoria 413 para almacenar resultados de decodificación en curso resulta de un valor tal que, de manera similar al número de 1s (el número total de bordes) de la matriz de comprobación y el número de bits de cuantificación se multiplican entre sí. Por otro lado, la sección de cálculo 415 realiza un segundo cálculo usando los resultados de decodificación en curso u_j correspondientes a los 1s de cada fila, de la columna i -ésima de la matriz de comprobación H , que son los resultados del primer cálculo por parte de la sección de cálculo 412 y el valor recibido u_{0i} , y almacena los resultados de decodificación en curso v correspondientes a la columna i -ésima obtenidos como resultado del cálculo, en la memoria 410 destinada a almacenar resultados de decodificación en curso. Por lo tanto, la capacidad necesaria para la memoria 410 para almacenar resultados de decodificación en curso resulta de un valor tal que el número de columnas de la matriz de comprobación, que es menor que el número de 1s de la matriz de comprobación, es decir, la longitud de código de los códigos LDPC, y el número de bits de cuantificación del número de bits de cuantificación se multiplican entre sí.

55 Por lo tanto, en el aparato de decodificación 400 destinado a decodificar códigos LDPC, en el cual los 1s en la matriz de comprobación H están dispersos, la capacidad de la memoria correspondiente a la memoria 410 para almacenar resultados de decodificación en curso se puede reducir en comparación con la memoria de almacenamiento de datos de bordes 311 de las Figs. 16A y 16B. Como resultado, se puede reducir la escala de los circuitos del aparato de decodificación 400.

60 Además, en el aparato de decodificación 400, puesto que la sección de cálculo 415 realiza un segundo cálculo de acuerdo con la ecuación (5), el aparato de decodificación 400 no es necesario que disponga del bloque (no mostrado) destinado a realizar el cálculo de la ecuación (5) para calcular los resultados decodificados finales en el aparato de decodificación 300 de las Figs. 16A a 16C. De este modo, cuando se compara con el aparato de decodificación 300 de las Figs. 16A a 16C, se puede reducir la escala de los circuitos del aparato de decodificación de la Fig. 18.

A continuación se proporcionará detalladamente una descripción del funcionamiento de cada sección del aparato de decodificación 400 de la Fig. 18.

5 Cinco resultados de decodificación en curso D415 correspondientes a cinco columnas de la matriz de comprobación, que son los resultados del segundo cálculo por parte de la sección de cálculo 415, se suministran a la memoria 410 para almacenar resultados de decodificación en curso desde la sección de cálculo 415. La memoria 410 destinada a almacenar resultados de decodificación en curso almacena los cinco resultados de decodificación en curso D415 suministrados desde la sección de cálculo 415 de manera secuencial, comenzando desde la primera dirección.

10 Más específicamente, en la primera dirección de la memoria 410 destinada a almacenar resultados de decodificación en curso, se almacenan los resultados de decodificación en curso v desde la primera columna hasta la quinta columna de entre los resultados de decodificación en curso correspondientes a la columna de la matriz de comprobación. De modo similar, en la segunda dirección, se almacenan los resultados de decodificación en curso v desde la sexta columna hasta la décima columna, y en la tercera dirección, se almacenan los resultados de decodificación en curso desde la 11ª columna hasta la 15ª columna. A partir de aquí, de manera similar, los
15 resultados de decodificación en curso v desde la 16ª columna hasta la 19ª columna se almacenan en la cuarta dirección hasta la 18ª dirección en unidades de cinco resultados, y un total de 90 resultados de decodificación en curso v se almacenan en la memoria 410 destinada a almacenar resultados de decodificación en curso. Por lo tanto, el número de palabras de la memoria 410 para almacenar resultados de decodificación en curso resulta de 18 tal que 90, el número de columnas de la matriz de comprobación H (la longitud de código de los códigos LDPC) de la Fig. 15, se divide por 5, el número de resultados de decodificación en curso que se leen y escriben
20 simultáneamente.

25 La memoria 410 destinada a almacenar resultados de decodificación en curso lee simultáneamente, a partir de los resultados de decodificación en curso D415 que ya se han almacenado, cinco resultados de decodificación en curso v , que son "1" en la fila correspondiente de la matriz de comprobación H , de los resultados de decodificación en curso u_j a determinar por la sección de cálculo 412 en la fase sucesiva, y los suministra como resultados de decodificación en curso D410 al circuito de desplazamiento cíclico 411.

30 La memoria 410 destinada a almacenar resultados de decodificación en curso está formada, por ejemplo, por una RAM de un solo puerto con capacidad de leer y escribir simultáneamente cinco resultados de decodificación en curso. Puesto que, en la memoria 410 destinada a almacenar resultados de decodificación en curso, se almacenan los resultados de decodificación en curso v correspondientes a la columna en la cual se realiza el cálculo por medio del segundo cálculo de la sección de cálculo 415, la cantidad de datos almacenados en la memoria 410 destinada
35 a almacenar resultados de decodificación en curso, es decir, la capacidad de almacenamiento necesaria para la memoria 410 destinada a almacenar resultados de decodificación en curso, es un valor de multiplicación del número de bits de cuantificación de los resultados de decodificación en curso y el número de columnas de la matriz de comprobación H (la longitud de código de los códigos LDPC).

40 Cinco resultados de decodificación en curso D410 se suministran al circuito de desplazamiento cíclico 411 desde la memoria 410 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D619 que indica información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso D410, se disponen como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se suministra al
45 circuito de desplazamiento cíclico 411 desde la sección de control 417. El circuito de desplazamiento cíclico 611 realiza un desplazamiento cíclico de reorganización de los cinco resultados decodificados D410 sobre la base de la señal de control D619, y suministra los resultados como resultados de decodificación en curso D411 a la sección de cálculo 412.

50 La sección de cálculo 412 incluye cinco dispositivos de cálculo 412₁ a 412₅. Los cinco resultados de decodificación en curso D411 (los segundos resultados de decodificación en curso) v , que se obtienen como resultado del segundo cálculo por parte de la sección de cálculo 415, se suministran a la sección de cálculo 412 desde el circuito de desplazamiento cíclico 411. Además, los cinco resultados de decodificación en curso D413 (los primeros resultados de decodificación en curso) u_j , obtenidos previamente como resultado del primer cálculo por parte de los dispositivos
55 de cálculo 412₁ a 412₅, se suministran a la sección de cálculo 412 desde la memoria 413 destinada a almacenar resultados de decodificación en curso. Los cinco resultados de decodificación en curso D411 y los cinco resultados de decodificación en curso D413 se suministran a cada uno del dispositivo de cálculo 412₁ a 412₅. Además, se suministra una señal de control D419 a la sección de cálculo 412 desde la sección de control 417, y la señal de control D419 se suministra a los dispositivos de cálculo 412₁ a 412₅. La señal de control D419 es una señal común a los cinco dispositivos de cálculo 412₁ a 412₅.
60

Los dispositivos de cálculo 412₁ a 412₅ realizan el primer cálculo de acuerdo con la ecuación (7) y la ecuación (8) usando los resultados de decodificación en curso D411 y los resultados de decodificación en curso D413, y determinan los resultados de decodificación en curso D412 (v_i). La sección de cálculo 412 suministra los cinco
65 resultados de decodificación en curso D412 correspondientes a cinco 1s de la matriz de comprobación, que se obtienen como resultado de los cálculos por parte de los dispositivos de cálculo 412₁ a 412₅, a la memoria 413

destinada a almacenar resultados de decodificación en curso.

La memoria 413 destinada a almacenar resultados de decodificación en curso está formada, por ejemplo, por dos RAMs de un solo puerto con capacidad de leer y escribir simultáneamente cinco resultados de decodificación en curso. Los cinco resultados de decodificación en curso D412 se suministran a la memoria 413 destinada a almacenar resultados de decodificación en curso, desde la sección de cálculo 412, y también se suministra a la memoria 413 desde la sección de control 417 una señal de control D420 para controlar la lectura y escritura de los resultados de decodificación en curso 413.

Sobre la base de la señal de control D420, la memoria 413 destinada a almacenar resultados de decodificación en curso almacena conjuntamente los cinco resultados de decodificación en curso D412 suministrados desde la sección de cálculo 412, y al mismo tiempo, lee los cinco resultados de decodificación en curso D412, que ya se han almacenado, y los suministra como resultados de decodificación en curso D413 a la sección de cálculo 412 y al circuito de desplazamiento cíclico 414. Es decir, la memoria 413 destinada a almacenar resultados de codificación en curso realiza simultáneamente la lectura de los resultados de decodificación en curso D413 a suministrar a la sección de cálculo 412 y al circuito de desplazamiento cíclico 414 y la escritura de los resultados de decodificación en curso D412 suministrados desde la sección de cálculo 412.

En la memoria 413 destinada a almacenar resultados de decodificación en curso, se almacenan los resultados de decodificación en curso u_j del cálculo de nodos de comprobación de los bordes correspondientes a los 1s de cada fila, de la columna i -ésima de la matriz de comprobación H , que se calculan por medio del primer cálculo de la sección de cálculo 412. Por lo tanto, la cantidad de datos almacenados en la memoria 413 destinada a almacenar resultados de decodificación en curso, es decir, la capacidad de almacenamiento necesaria para la memoria 413 destinada a almacenar resultados de decodificación en curso, resulta ser el valor de multiplicación del número de los bits de cuantificación de los resultados de decodificación en curso y el número de 1s de la matriz de comprobación.

Cinco resultados de decodificación en curso D413 (los resultados de decodificación en curso u_j) se suministran al circuito de desplazamiento cíclico 414 desde la memoria 413 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D421 que indica información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso D413, se disponen como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 414 desde la sección de control 417. El circuito de desplazamiento cíclico 414 realiza un desplazamiento cíclico de reorganización de los cinco resultados de decodificación en curso D413 sobre la base de la señal de control D421, y suministra los resultados como resultados de decodificación en curso D414 a la sección de cálculo 415.

La sección de cálculo 415 incluye cinco dispositivos de cálculo 415₁ a 415₅. Se suministran cinco resultados de decodificación en curso D414 a la sección de cálculo 415 desde el circuito de desplazamiento cíclico 414, y los resultados de decodificación en curso D414 se suministran a los dispositivos de cálculo respectivos 415₁ a 415₅. Además, cinco datos recibidos D417 (códigos LDPC) se suministran a la sección de cálculo 415 desde la memoria 417 para recepción, y los datos recibidos D417 se suministran a los dispositivos de cálculo respectivos 415₁ a 415₅. Además, una señal de control D422 se suministra a la sección de cálculo 417 desde la sección de control 417, y la señal de control D422 se suministra a los dispositivos de cálculo 415₁ a 415₅. La señal de control D422 es una señal común a los cinco dispositivos de cálculo 417₁ a 417₅.

Los dispositivos de cálculo 415₁ a 415₅ realizan, cada uno de ellos, el segundo cálculo de acuerdo con la ecuación (5) usando los resultados de decodificación en curso D414 y los datos recibidos D417, y determinan resultados de decodificación en curso D415. La sección de cálculo 415 suministra los cinco resultados de decodificación en curso D415 (v), obtenidos como resultado del segundo cálculo por parte de los dispositivos de cálculo 415₁ a 415₅, a la memoria 410 destinada a almacenar resultados de decodificación en curso. Además, cuando el cálculo que se está realizando actualmente es el segundo cálculo final, la sección de cálculo 415 da salida a los cinco resultados de decodificación en curso D415, que se obtienen como resultado de cálculo, como resultados decodificados finales.

La memoria 416 para recepción almacena, como datos recibidos D417, la LLR (razón de verosimilitud logarítmica) de recepción, que es el valor de probabilidad de 0 del bit de signo, que se calcula a partir del valor recibido (el bit de signo), recibido a través del canal de comunicaciones.

Es decir, en la primera dirección de la memoria 416 para recepción, se almacenan los datos recibidos D417 correspondientes a la primera columna hasta la quinta columna de la matriz de comprobación de entre los datos recibidos D417 correspondientes a la columna de la matriz de comprobación. A continuación, en la segunda dirección, se almacenan los datos recibidos D417 correspondientes a la sexta columna hasta la décima columna de la matriz de comprobación, y en la tercera dirección, se almacenan los datos recibidos D417 correspondientes a la 11ª columna hasta la 16ª columna de la matriz de comprobación. A partir de aquí, de modo similar, en la cuarta dirección hasta la 18ª, los datos recibidos D417 correspondientes a la 17ª hasta la 90ª se almacenan en unidades de cinco datos.

A continuación, una memoria 616 para recepción lee los datos recibidos D417 que ya se han almacenado en unidades de cinco datos en la secuencia necesaria para cálculos de nodos variables, y los suministra a la sección de cálculo 415.

5 La memoria 416 para recepción está formada, por ejemplo, por una RAM de un solo puerto con capacidad de leer y escribir simultáneamente cinco datos recibidos. La cantidad de datos almacenados en la memoria 416 para recepción, es decir, la capacidad de almacenamiento necesaria para la memoria 315 para recepción, es el valor de multiplicación de la longitud de código de los códigos LDPC y el número de bits de cuantificación de los datos recibidos. El número de palabras de la memoria 416 para recepción es 18, que es el valor tal que la longitud de código de los códigos LDPC, es decir, 90, el número de columnas de la matriz de comprobación, se divide por 5, el número de elementos de los datos recibidos D417 a leer simultáneamente.

15 La sección de control 417 suministra una señal de control D418 al circuito de desplazamiento cíclico 411 y suministra una señal de control D419 a la sección de cálculo 412 para controlarlos, respectivamente. La sección de control 417 suministra una señal de control D420 a la memoria 413 destinada a almacenar resultados de decodificación en curso, suministra una señal de control D421 al circuito de desplazamiento cíclico 414, y suministra una señal de control D421 a la sección de cálculo 415 para controlarlos, respectivamente.

20 Como resultado de la circulación de los datos en el orden de la memoria 410 destinada a almacenar resultados de decodificación en curso, el circuito de desplazamiento cíclico 411, la sección de cálculo 412, la memoria 413 destinada a almacenar resultados de decodificación en curso, el circuito de desplazamiento cíclico 414, y la sección de cálculo 415, el aparato de decodificación 400 puede realizar una decodificación. En el aparato de decodificación 400, después de que se realicen de forma repetida decodificaciones un número predeterminado de veces, se da salida a los resultados de decodificación en curso D415, que son los resultados del segundo cálculo por parte de la sección de cálculo 415, como resultados decodificados finales.

25 La Fig. 21 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo 412₁ de la sección de cálculo 412 de la Fig. 18.

30 En la Fig. 21, se proporciona una descripción del dispositivo de cálculo 412₁, y el dispositivo de cálculo 412₂ al dispositivo de cálculo 412₅ están configurados también de la misma manera.

35 En la Fig. 21, el dispositivo de cálculo 412₁ se muestra suponiendo que cada uno de los resultados de decodificación en curso (u_{dv}), obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, junto con el bit de signo, se cuantifica a un total de seis bits, y cada uno de los resultados de decodificación en curso (v) obtenidos como resultado del segundo cálculo por parte del dispositivo de cálculo 415 se cuantifica a nueve bits. Además, se suministra un reloj ck al dispositivo de cálculo 412₁ de la Fig. 21, y este reloj ck se suministra a bloques necesarios. A continuación, cada bloque realiza el procesado en sincronización con el reloj ck .

40 Sobre la base de la señal de control D419 suministrada desde la sección de control 417, el dispositivo de cálculo 412₁ de la Fig. 21 realiza un primer cálculo de acuerdo con la ecuación (7) y la ecuación (8) usando los resultados de decodificación en curso D413 (u_{dv}) obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, los cuales se leen de uno en uno desde la memoria 413 destinada a almacenar resultados de decodificación en curso, y los resultados de decodificación en curso D411 (v), los cuales se leen de uno en uno desde el circuito de desplazamiento cíclico 411.

45 Más específicamente, un resultado de decodificación en curso D411 de entre los cinco resultados de decodificación en curso de 9 bits D411 (v) suministrados desde el circuito de desplazamiento cíclico 411 se suministra al dispositivo de cálculo 412₁. Además, un resultado de decodificación en curso D413, que es el resultado del cálculo por parte de la sección de cálculo 412 en el tiempo previo, de entre los cinco resultados de decodificación en curso de 6 bits D413 (u_j), que son los resultados del cálculo por parte de la sección de cálculo 412 en el tiempo previo, los cuales se suministran desde la memoria 413 destinada a almacenar resultados de decodificación en curso, se suministra al dispositivo de cálculo 412₁. Los resultados de decodificación en curso de 9 bits D411 (v) y los resultados de decodificación en curso de 6 bits D413 (u_{dv}) se suministran al restador 431. Además, la señal de control D419 se suministra al dispositivo de cálculo 412₁ desde la sección de control 417, y la sección de control D419 se suministra al selector 435 y al selector 442.

50 El restador 431 resta el resultado de decodificación en curso de 6 bits D413 (u_j) con respecto al resultado de decodificación en curso de 9 bits D411 (v), y da salida al valor restado de 6 bits D431. Es decir, el restador 431 realiza un cálculo de acuerdo con la ecuación (8), y da salida al valor restado D431 (v_i), el cual es el resultado del cálculo.

55 Un bit de signo D432 ($sign(v_i)$) que indica el signo positivo o negativo del bit de mayor orden de entre el valor restado de 6 bits D431 obtenido a la salida del restador 431, se suministra al circuito de EXOR 440, y el valor absoluto D433 ($|v_i|$) de los cinco bits de orden inferior se suministra a la LUT 432.

La LUT 432 lee los resultados de cálculo de 5 bits D434 ($\varphi(|v_i|)$) de tal manera que el cálculo de $\varphi(|v_i|)$ en la ecuación (7) se realiza sobre el valor absoluto D433 ($|v_i|$), y los suministra a un sumador 433 y a una memoria FIFO 438.

5 El sumador 433 integra los resultados de cálculo D434 sumando entre sí los resultados de cálculo D434 ($\varphi(|v_i|)$) y el valor de 9 bits D435 almacenado en el registro 434, y almacena el valor integrado de 9 bits, obtenido como resultado, en el registro 434 nuevamente. Cuando se integran los resultados de cálculo para el valor absoluto D433 ($|v_i|$) determinado a partir de los resultados de decodificación en curso D411 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, se reinicializa el registro 434.

10 Cuando se leen de uno en uno de los resultados de decodificación en curso D411 sobre una fila de la matriz de comprobación, y el valor integrado tal que los resultados de cálculo D434 para una fila se integran se almacena en el registro 434, la señal de control D419 suministrada desde la sección de control 417 cambia de 0 a 1. Por ejemplo, cuando el peso de la fila es "9", la señal de control D419 es "0" en el primer hasta el octavo relojes, y es "1" en el noveno reloj.

15 Cuando la señal de control D419 es "1", el selector 435 selecciona el valor almacenado en el registro 434, es decir, el valor de 9 bits D435 ($\Sigma\varphi(|v_i|)$) desde $i = 1$ a $i = d_c$) tal que se integran la $\varphi(|v_i|)$ determinada a partir de los resultados de decodificación en curso D411 (los resultados de decodificación en curso v) correspondientes a todos los 1s sobre una fila de la matriz de comprobación, y da salida al valor como un valor D436 hacia el registro 436, por medio del cual se almacena. El registro 436 suministra el valor almacenado D436 como un valor de 9 bits D437 al selector 435 y al sumador 437. Cuando la señal de control D419 es "0", el selector 435 selecciona el valor D437 suministrado desde el registro 436, y da salida al valor hacia el registro 436, mediante el cual se almacena nuevamente. Es decir, hasta que no se integra la $\varphi(|v_i|)$ determinada a partir de los resultados de decodificación en curso D411 (los resultados de decodificación en curso v) correspondientes a todos los 1s sobre una fila de la matriz de comprobación, el registro 436 suministra la $\varphi(|v_i|)$ integrada en el tiempo previo al selector 435 y al sumador 437.

20 Por otro lado, la memoria FIFO 438 retarda el resultado de cálculo de D434 ($\varphi(|v_i|)$) obtenido a la salida de la LUT 432 hasta que se dé salida a un nuevo valor D437 ($\Sigma\varphi(|v_i|)$) desde $i = 1$ a $i = d_c$) desde el registro 436, y lo suministra como un valor de 5 bits D438 al restador 437. El restador 437 resta el valor D438 suministrado desde la memoria FIFO 438, con respecto al valor D437 suministrado desde el registro 436, y suministra el resultado restado como un valor restado de 5 bits D439 a la LUT 439. Es decir, el restador 437 resta, con respecto al valor integrado de $\varphi(|v_i|)$ determinado a partir de los resultados de decodificación en curso D411 (los resultados de decodificación en curso v) correspondientes a todos los 1s sobre una fila de la matriz de comprobación, los resultados de decodificación en curso correspondientes a los bordes a determinar, es decir, la $\varphi(|v_i|)$ determinada a partir de los resultados de decodificación en curso D411 (los resultados de decodificación en curso v) correspondientes a los 1s predeterminados de la matriz de comprobación, y suministra el valor restado ($\Sigma\varphi(|v_i|)$) desde ($i = 1$ a $i = d_c - 1$) como un valor restado D439 a la LUT 439.

30 La LUT 439 da salida al resultado de cálculo de 5 bits D440 ($\varphi^{-1}(\Sigma\varphi(|v_i|))$) tal que el cálculo de $\varphi^{-1}(\Sigma\varphi(|v_i|))$ en la ecuación (7) se realiza sobre el valor restado D439 ($\Sigma\varphi(|v_i|)$) desde $i = 1$ a $i = d_c - 1$).

35 En paralelo con el procesado anterior, el circuito de EXOR 440 realiza una multiplicación de bits de signo calculando la O exclusiva de un valor de 1 bit D442 almacenado en el registro 441 y el bit de signo D432, y almacena un resultado de multiplicación de 1 bit D441 en el registro 441 nuevamente. Cuando el bit de signo D432 determinado a partir de los resultados de decodificación en curso D411 correspondientes a todos los 1s sobre una fila de la matriz de comprobación se multiplica, se reinicializa el registro 441.

40 Cuando se multiplican los resultados de multiplicación D441 ($\Pi\text{sign}(v_i)$) desde $i = 1$ a d_c) tal que en el registro 441 se almacenan los bits de signo D432 determinados a partir de los resultados de decodificación en curso D411 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, la señal de control D419 suministrada desde la sección de control 417 cambia de "0" a "1".

45 Cuando la señal de control D419 es "1", el selector 442 selecciona el valor almacenado en el registro 441, es decir, el valor D442 ($\Pi\text{sign}(v_i)$) desde $i = 1$ a $i = d_c$) tal que se multiplica el bit de signo D432 determinado a partir de los resultados de decodificación en curso D411 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, y da salida al valor como un valor de 1 bit D443 hacia el registro 443. El registro 443 suministra el valor almacenado D443 como un valor de 1 bit D444 a un selector 442 y a un circuito de EXOR 445. Cuando la señal de control D419 es "0", el selector 442 selecciona un valor D444 suministrado desde el registro 443, y da salida al valor hacia el registro 443, por medio del cual se almacena nuevamente. Es decir, hasta que no se multiplica el bit de signo D432 determinado a partir de los resultados de decodificación en curso D411 (los resultados de decodificación en curso v) correspondientes a todos los 1s sobre una fila de la matriz de comprobación, el registro 443 suministra el valor almacenado en el tiempo previo al selector 442 y al circuito de EXOR 445.

60 Por otro lado, la memoria FIFO 444 retarda el bit de signo D432 hasta que se suministra un valor nuevo D444 ($\Pi\text{sign}(v_i)$) desde $i = 1$ a $i = d_c$) desde el registro 443 al circuito de EXOR 445, y lo suministra como un valor de 1 bit D445 al

65

circuito de EXOR 445. El circuito de EXOR 445 divide el valor D444 por el valor D445 calculando la O exclusiva del valor D444 suministrado desde el registro 443 y el valor D445 suministrado desde la memoria FIFO 444, y da salida al resultado dividido de 1 bit como valor dividido D446. Es decir, el circuito de EXOR 445 divide el valor multiplicado del bit de signo D432 ($\text{sign}(v_i)$) determinado a partir de los resultados de decodificación en curso D411 correspondientes a todos los 1s sobre una fila de la matriz de comprobación por el bit de signo D432 ($\text{sign}(v_i)$) determinado a partir de los resultados de decodificación en curso D411 correspondientes a 1s predeterminados de la matriz de comprobación, y da salida al valor dividido ($\Pi\text{sign}(v_i)$) desde $i = 1$ a $i = d_c - 1$) como un valor dividido D446.

En el dispositivo de cálculo 412₁, se da salida a un total de seis bits, en los cuales los resultados de cálculo de 5 bits D440 obtenidos a la salida de la LUT 439 son los cinco bits de orden inferior y el valor dividido de 1 bit D446 obtenido a la salida del circuito de EXOR 445 es el bit de mayor orden, como resultados de decodificación en curso D412 (los resultados de decodificación en curso u_j).

Tal como se ha descrito anteriormente, en el dispositivo de cálculo 412₁, se realizan los cálculos de la ecuación (7) y la ecuación (8), y se determina el resultado de decodificación en curso u_j .

Puesto que el máximo del peso de las filas de la matriz de comprobación de la Fig. 15 es 9, es decir, puesto que el número máximo de los resultados de decodificación en curso D411 (v) y los resultados de decodificación en curso D413 (u_{dv}) suministrados al dispositivo de cálculo 412₁ es 9, el dispositivo de cálculo 412₁ tiene una memoria FIFO 438 para retardar nueve resultados de cálculo D434 ($\varphi(|v_i|)$) determinados a partir de los nueve resultados de decodificación en curso D411, y una memoria FIFO 444 para retardar nueve bits de signo D432. Cuando se va a calcular el mensaje de la fila cuyo peso es menor que 9, la cantidad del retardo en la memoria FIFO 438 y la memoria FIFO 444 se reduce al valor del peso de la fila.

La Fig. 22 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo 415₁ de la sección de cálculo 415.

En la Fig. 22 se proporciona una descripción del dispositivo de cálculo 415₁, y el dispositivo de cálculo 415₂ al dispositivo de cálculo 415₅ están configurados también de la misma manera.

En la Fig. 22, el dispositivo de cálculo 415₁ se muestra suponiendo que cada resultado de decodificación en curso (u_j) obtenido como resultado del primer cálculo por parte del dispositivo de cálculo 412, junto con el bit de signo, se cuantifica a un total de seis bits. Además, se suministra un reloj ck al dispositivo de cálculo 415₁ de la Fig. 22, y este reloj ck se suministra a bloques necesarios. Cada bloque realiza un procesado en sincronización con el reloj ck .

Basándose en la señal de control D422 suministrada desde la sección de control 417, el dispositivo de cálculo 415₁ de la Fig. 22 realiza un segundo cálculo de acuerdo con la ecuación (5) usando los datos recibidos D417 (el valor recibido u_{oi}) leídos de uno en uno desde la memoria 416 para recepción y los resultados de decodificación en curso D414 (u_j) leídos de uno en uno desde el circuito de desplazamiento cíclico 414.

Más específicamente, en el dispositivo de cálculo 415₁, los resultados de decodificación en curso de 6 bits D414 (los resultados de decodificación en curso u_j) correspondientes a los 1s de cada fila de la matriz de comprobación se leen de uno en uno desde el circuito de desplazamiento cíclico 414, y los resultados de decodificación en curso D414 se suministran al sumador 471. Además, en el dispositivo de cálculo 415₁, los datos recibidos de 6 bits D417 se leen de uno en uno desde la memoria 416 para recepción, y se suministran al sumador 475. Además, una señal de control D422 se suministra al dispositivo de cálculo 415₁ desde la sección de control 417, y la señal de control D422 se suministra al selector 473.

El sumador 471 integra los resultados de decodificación en curso D414 sumando entre sí los resultados de decodificación en curso D414 (los resultados de decodificación en curso u_j) y el valor integrado de 9 bits D471 almacenado en el registro 472, y almacena el valor integrado de 9 bits en el registro 472 nuevamente. Cuando se integran los resultados de decodificación en curso D414 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, se reinicializa el registro 472.

Cuando se leen de uno en uno los resultados de decodificación en curso D414 sobre una fila de la matriz de comprobación, y el valor tal que se integran los resultados de decodificación en curso D414 para una fila se almacena en el registro 472, la señal de control D422 suministrada desde la sección de control 417 cambia de "0" a "1". Por ejemplo, cuando el peso de la columna es "5", la señal de control D422 es "0" en el primer reloj hasta el cuarto reloj, y es "1" en el quinto reloj.

Cuando la señal de control D422 es "1", el selector 473 selecciona el valor almacenado en el registro 472, es decir, un valor de 9 bits 471 ($\sum u_j$ desde $j = 1$ a d_v) tal que se integran los resultados de decodificación en curso D414 (los resultados de decodificación en curso u_j) de todos los bordes sobre una fila de la matriz de comprobación, y da salida al valor hacia el registro 474, por medio del cual se almacena. El registro 474 suministra el valor almacenado D471 como un valor de 9 bits D472 al selector 471 y al sumador 475. Cuando la señal de control D422 es "0", el selector 473 selecciona el valor D472 suministrado desde el registro 474, y da salida al valor hacia el registro 474,

por medio del cual se almacenan nuevamente. Es decir, hasta que no se integran los resultados de decodificación en curso D414 (los resultados de decodificación en curso u_j) de todos los bordes sobre una fila de la matriz de comprobación, el registro 474 suministra el valor integrado previamente al selector 473 y al sumador 475.

5 El sumador 475 suma entre sí el valor de 9 bits D472 y los datos recibidos de 6 bits D417 suministrados desde la memoria 416 para recepción, y da salida al valor de 6 bits obtenido de este modo, como resultado de decodificación en curso D415 (los resultados de decodificación en curso v).

10 Tal como se ha descrito anteriormente, el dispositivo de cálculo 415₁, se realiza el cálculo de la ecuación (5), y se determina el resultado de decodificación en curso v .

15 Puesto que el máximo de los pesos de las columnas de la matriz de comprobación de la Fig. 8 es 5, es decir, puesto que el número máximo de los resultados de decodificación en curso u_j suministrados al dispositivo de cálculo 415₁ es 5, el dispositivo de cálculo 415₁ suma entre sí un máximo de cinco resultados de decodificación en curso de 6 bits u_j . Por lo tanto, la salida del dispositivo de cálculo 415₁ es un valor de 9 bits.

La Fig. 23 es un diagrama de bloques que muestra un ejemplo de la configuración de la memoria 413 para almacenar resultados de decodificación en curso de la Fig. 18.

20 La memoria 413 para almacenar resultados de decodificación en curso incluye conmutadores 501 y 504, y dos RAMs 502 y 503 para almacenar resultados de decodificación en curso, las cuales son RAMs de un solo puerto.

25 Antes de describir detalladamente cada sección de la memoria 413 destinada a almacenar resultados de decodificación en curso, se describirá en primer lugar el método de almacenamiento de datos en las RAMs 502 y 503 destinadas a almacenar resultados de decodificación en curso.

30 Las RAMs 502 y 503 para almacenar resultados de decodificación en curso almacenan los resultados de decodificación en curso D412 que se obtienen como resultado del primer cálculo y que se suministran por medio de un conmutador 501.

35 Más específicamente, en la primera dirección hasta la novena dirección de la RAM 502 destinada a almacenar resultados de decodificación en curso, los resultados de decodificación en curso D412 (D501) correspondientes a los 1s desde la primera fila hasta la quinta fila de la matriz de comprobación H de la Fig. 15 se almacenan de tal manera que los mismos se compactan con una mayor proximidad (en un modo según el cual se ignoran 0s) en la dirección horizontal (en la dirección de las columnas) para cada fila.

40 Más específicamente, cuando la fila j -ésima y la columna i -ésima se indican como (j, i) , en la primera dirección de la RAM 502 destinada a almacenar resultados de decodificación en curso, se almacenan datos correspondientes a 1s de la matriz unidad de 5×5 desde $(1, 1)$ $(5, 5)$, lo cual es una sub-matriz de la matriz de comprobación de la Fig. 15. En la segunda dirección, se almacenan datos correspondientes a 1s de la matriz de desplazamiento $(1, 21)$ hasta $(5, 25)$ (una matriz de desplazamiento en la cual la matriz unidad de 5×5 se desplaza cíclicamente en tres hacia la derecha, que es una sub-matriz de la matriz de comprobación de la Fig. 15. De modo similar, en la tercera dirección hasta la octava dirección, también se almacenan datos de tal manera que se correspondan con la sub-matriz de la matriz de comprobación de la Fig. 15. A continuación, en la novena dirección, se almacenan datos correspondientes a 1s de la matriz de desplazamiento desde $(1, 86)$ hasta $(5, 90)$ de la matriz de comprobación (la matriz de desplazamiento en la cual los 1s de la primera fila de la matriz unidad de 5×5 se sustituyen por 0s, y la matriz unidad se desplaza cíclicamente en uno hacia la izquierda). En este caso, en la matriz de desplazamiento desde $(1, 86)$ hasta $(5, 90)$ de la matriz de comprobación de la Fig. 15, puesto que no existen 1s en la primera fila, no se almacenan datos en la novena dirección.

50 En la 10ª dirección hasta la 18ª de la RAM 502 destinada a almacenar datos de decodificación en curso, se almacenan datos correspondientes a los 1s desde la 11ª fila hasta la 15ª fila de la matriz de comprobación de la Fig. 15. Es decir, en la 10ª dirección, se almacenan datos correspondientes a 1s de la matriz, en la cual la matriz unidad de 5×5 desde $(11, 6)$ hasta $(15, 10)$ de la matriz de comprobación se desplaza cíclicamente en tres hacia la derecha. En la 11ª dirección, se almacenan datos correspondientes a 1s de la matriz de desplazamiento que constituye la matriz suma (la matriz suma, que es la suma de la matriz unidad de 5×5 y la matriz de desplazamiento en la cual la matriz unidad de 5×5 se desplaza cíclicamente en tres hacia la derecha) desde $(11, 11)$ hasta $(15, 15)$ de la matriz de comprobación. En la dirección 12ª, se almacenan datos correspondientes a 1s de la matriz unidad que constituye la matriz suma desde $(11, 6)$ hasta $(15, 10)$ de la matriz de comprobación. A partir de aquí, también en la 13ª dirección hasta la 18ª dirección, se almacenan datos de tal manera que se correspondan con la matriz de comprobación.

65 Más específicamente, para la sub-matriz cuyo peso es 2 ó mayor, los datos (los resultados de decodificación en curso de los mensajes correspondientes a los bordes pertenecientes a la matriz unidad, la matriz cuasi unidad, o la matriz de desplazamiento) correspondientes a las posiciones de los 1s de la matriz unidad cuyo peso es 1, la matriz cuasi unidad, o la matriz de desplazamiento cuando la sub-matriz se representa en forma de la suma de dos o más

de la matriz unidad de ($P \times P$) cuyo peso es 1, la matriz cuasi unidad en la que uno o más 1s, que son los elementos de la matriz unidad, se sustituyen por 0, y una matriz de desplazamiento en la que la matriz o la matriz cuasi unidad se desplaza cíclicamente, se almacenan en la misma dirección.

5 De modo similar, en la dirección 19ª hasta la dirección 27ª de la RAM 502 destinada a almacenar datos de decodificación en curso, los datos correspondientes a los 1s desde la 21ª primera hasta la 25ª fila se almacenan de tal manera que se correspondan con la matriz de comprobación de la Fig. 15. Es decir, el número de palabras de la RAM 502 destinada a almacenar resultados de decodificación en curso es 27.

10 En la primera dirección hasta la novena dirección de una RAM 503 destinada a almacenar datos de decodificación en curso, los resultados de decodificación en curso D412 (D502) correspondientes a los 1s desde la sexta hasta la 10ª fila de la matriz de comprobación H de la Fig. 15 se almacenan de tal manera que se compactan con mayor proximidad en la dirección horizontal (en la dirección de las columnas) para cada fila (de una manera en la que se ignoran 0s).

15 Más específicamente, en la primera dirección de la RAM 503 destinada a almacenar resultados de decodificación en curso, se almacenan datos correspondientes a los 1s de la primera matriz de desplazamiento que constituye la matriz suma desde (6, 1) hasta (10, 5) (la matriz suma, que es la suma de una primera matriz de desplazamiento en la que la matriz unidad de 5×5 se desplaza cíclicamente en uno hacia la derecha y una segunda matriz de desplazamiento en la que la matriz unidad se desplaza cíclicamente en dos hacia la derecha), que es una sub-matriz de la matriz de comprobación. En la segunda dirección, se almacenan datos correspondientes a los 1s de la segunda matriz de desplazamiento que constituye la matriz suma desde (6, 1) hasta (10, 5), que es una sub-matriz de la matriz de comprobación. A partir de aquí, también en la tercera dirección hasta la novena dirección, se almacenan datos de tal manera que se correspondan con la sub-matriz de la matriz de comprobación.

25 De modo similar, en la 10ª dirección hasta la 18ª de la RAM 503 destinada a almacenar decodificación en curso, se almacenan datos correspondientes a los 1s desde la 16ª hasta la 20ª fila de la matriz de comprobación de la Fig. 15, de tal manera que se correspondan con la matriz de comprobación de la Fig. 15. En la 19ª hasta la 27ª se almacenan datos correspondientes a los 1s desde la 26ª fila hasta la 30ª de la matriz de comprobación de la Fig. 15, de tal manera que se correspondan con la matriz de comprobación de la Fig. 15. Es decir, el número de palabras de la RAM 503 destinada a almacenar resultados de decodificación en curso es 27.

35 Según la manera descrita anteriormente, el número de palabras de las RAMs 502 y 503 destinadas a almacenar resultados de decodificación en curso es 27. Es decir, el número de palabras resulta ser un valor tal que 9, que es el peso de las filas de la matriz de comprobación, se multiplica por 30, el número de filas, el resultado multiplicado (el número de 1s de la matriz de comprobación) se divide por 5, el número de resultados de decodificación en curso D501, que se leen simultáneamente, y además, el resultado se divide por 2, el número RAM 502 para almacenar resultados de decodificación en curso que posee la memoria 413 destinada a almacenar resultados de decodificación en curso.

40 A continuación se proporcionará detalladamente una descripción del funcionamiento de cada sección de la memoria 413 destinada a almacenar resultados de decodificación en curso de la Fig. 23.

45 Cuando la sección de cálculo 412 realiza el primer cálculo, los resultados de decodificación en curso D412 (u_j), obtenidos como resultado del primer cálculo, se suministran desde la sección de cálculo 412 a la memoria 413 destinada a almacenar resultados de decodificación en curso. Y los resultados de decodificación en curso D412 se escriben en una dirección predeterminada de una de entre la RAM 502 destinada a almacenar resultados de decodificación en curso y la RAM 503 destinada a almacenar resultados de decodificación en curso. Al mismo tiempo, los resultados de decodificación en curso D412 (u_j), obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, se leen desde la otra RAM, y se les da salida hacia la sección de cálculo 412. Por otro lado, cuando la sección de cálculo 415 realiza el segundo cálculo, la memoria 413 destinada a almacenar resultados de decodificación en curso no realiza ninguna escritura en la RAM 502 destinada a almacenar resultados de decodificación en curso o en la RAM 503 destinada a almacenar resultados de decodificación en curso, lee los resultados de decodificación en curso desde una dirección predeterminada de una de las RAMs, y los suministra al circuito de desplazamiento cíclico 414.

55 Los cinco resultados de decodificación en curso D412 se suministran desde la sección de cálculo 412 al conmutador 501, y también se suministra al conmutador 501 desde la sección de control 417 una señal de control D420₁ que indica la selección de una de entre la RAM 502 destinada a almacenar resultados de decodificación en curso y la RAM 503 destinada a almacenar resultados de decodificación en curso, como memoria para escribir los resultados de decodificación en curso D412. Basándose en la señal de control D420₁, el conmutador 501 selecciona una de entre la RAM 502 destinada a almacenar resultados de decodificación en curso y la RAM 503 destinada a almacenar resultados de decodificación en curso, y suministra los cinco resultados de decodificación en curso D412 a la RAM seleccionada.

60 Los cinco resultados de decodificación en curso D412 se suministran como resultados de decodificación en curso

D501 a la RAM 502 destinada a almacenar resultados de decodificación en curso, desde el conmutador 501, y también, se suministra a la misma una señal de control D420₂ que indica la dirección, desde la sección de control 417. La RAM 502 destinada a almacenar resultados de decodificación en curso lee los cinco resultados de decodificación en curso D501, obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, que ya están almacenados en la dirección indicada por la sección de control D420₂, y los suministra como resultados de decodificación en curso D503 al conmutador 504. Además, la RAM 502 destinada a almacenar resultados de decodificación en curso almacena (escribe) los cinco resultados de decodificación en curso D501, suministrados desde el conmutador 501, en la dirección indicada por la señal de control D420₂.

Los cinco resultados de decodificación en curso D412 se suministran como resultados de decodificación en curso D502 a la RAM 503 destinada a almacenar resultados de decodificación en curso desde el conmutador 501, y también se suministra a la RAM 503, desde la sección de control 417, una señal de control D420₃ que indica la dirección. La RAM 503 destinada a almacenar los resultados de decodificación en curso lee los cinco resultados de decodificación en curso D502, obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, que ya se han almacenado en la dirección indicada por la señal de control D420₃, y los suministra como resultados de decodificación en curso D504 al conmutador 504. Además, la RAM 502 destinada a almacenar resultados de decodificación en curso almacena (escribe) los cinco resultados de decodificación en curso D502, suministrados desde el conmutador 501, en la dirección indicada por la señal de control D420₃.

Los resultados de decodificación en curso D503 se suministran al conmutador 504 desde la RAM 502 destinada a almacenar resultados de decodificación en curso, o los resultados de decodificación en curso D504 se suministran al conmutador 504 desde la RAM 503 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D420₄ que indica la selección de una de entre la RAM 502 destinada a almacenar resultados de decodificación en curso y la RAM 503 destinada a almacenar resultados de decodificación en curso se suministra al conmutador 504 desde la sección de control 417. Basándose en la señal de control D420₁ el conmutador 504 selecciona una de entre la RAM 502 destinada a almacenar resultados de decodificación en curso y la RAM 503 destinada a almacenar resultados de decodificación en curso, y suministra los cinco resultados de decodificación en curso, suministrados desde la RAM seleccionada, como los cinco resultados de decodificación en curso D413, a la sección de cálculo 412 y al circuito de desplazamiento cíclico 414.

La Fig. 24 es un diagrama de temporización que ilustra operaciones de lectura y escritura de la RAM 502 destinada a almacenar resultados de decodificación en curso y la RAM 503 destinada a almacenar resultados de decodificación en curso de la memoria 413 destinada a almacenar resultados de decodificación en curso.

En la Fig. 24, el eje horizontal indica el tiempo (t).

En la memoria 413 destinada a almacenar resultados de decodificación en curso, cuando la sección de cálculo 412 va a realizar el primer cálculo, sobre la base de la señal de control D420₂, la RAM 502 destinada a almacenar resultados de decodificación en curso lee nueve veces los resultados de decodificación en curso D501 correspondientes a los 1s desde la primera fila hasta la quinta fila de la matriz de comprobación, que están almacenados en la misma dirección, de entre los resultados de decodificación en curso D501 obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, que ya están almacenados, en unidades de cinco resultados, y los suministra a la sección de cálculo 412 por medio del conmutador 504. Es decir, puesto que el peso de las filas de la matriz de comprobación H de la Fig. 15 es 9, hay nueve resultados de decodificación en curso correspondientes a los 1s de cada fila de la matriz de comprobación H, y la RAM 502 destinada a almacenar resultados de decodificación en curso lee nueve veces los resultados de decodificación en curso D501 correspondientes a los 1s desde la primera fila hasta la quinta fila en unidades de cinco resultados.

Seguidamente, sobre la base de la señal de control D420₃, la RAM 503 destinada a almacenar resultados de decodificación en curso lee continuamente nueve veces los resultados de decodificación en curso D502 correspondientes a los 1s desde la sexta fila hasta la 10ª fila, que están almacenados en la misma dirección, de entre los resultados de decodificación en curso D502 obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, que ya están almacenados, en unidades de cinco resultados, y los suministra a la sección de cálculo 412 por medio del conmutador 504. Al mismo tiempo, los cinco resultados de decodificación en curso D412 correspondientes a los 1s desde la primera fila hasta la quinta fila de la matriz de comprobación, que se obtienen como resultado del primer cálculo que está siendo realizado actualmente por la sección de cálculo 412, se suministran como resultados de decodificación en curso D501 a la RAM 502 destinada a almacenar resultados de decodificación en curso por medio del conmutador 501. Sobre la base de la señal de control D420₂, la RAM 502 destinada a almacenar resultados de decodificación en curso almacena continuamente nueve veces los resultados de decodificación en curso D501 en la dirección en la que se almacenan los resultados de decodificación en curso D503 ya leídos.

Después de esto, sobre la base de la señal de control D420₂, la RAM 502 destinada a almacenar resultados de decodificación en curso lee continuamente nueve veces los resultados de decodificación en curso D501 correspondientes a los 1s desde la 11ª fila hasta la 15ª fila de la matriz de comprobación, que están almacenados en la misma dirección, de entre los resultados de decodificación en curso D501 ya almacenados, obtenidos como

5 resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, en unidades de cinco resultados, y los suministra a la sección de cálculo 412 por medio del conmutador 504. Al mismo tiempo, cinco resultados de decodificación en curso D412 correspondientes a los 1s desde la sexta fila hasta la 10ª fila de la matriz de comprobación, que se obtiene como resultado del primer cálculo que está siendo realizado actualmente por la sección de cálculo 412, se suministran como resultados de decodificación en curso D502 a la RAM 503 destinada a almacenar resultados de decodificación en curso, por medio del conmutador 501. Sobre la base de la señal de control D420₃, la RAM 503 destinada a almacenar resultados de decodificación en curso almacena continuamente nueve veces los resultados de decodificación en curso D502 en la dirección en la que están almacenados los resultados de decodificación en curso D504 ya leídos.

10 A partir de aquí, de modo similar, hasta que los resultados de decodificación en curso correspondientes a todos los 1s de la matriz de comprobación, que se obtienen como resultado del primer cálculo por parte de la sección de cálculo 412, no se almacenan en la RAM 502 destinada a almacenar resultados de decodificación en curso o en la RAM 503 destinada para almacenar resultados de decodificación en curso, la RAM 502 destinada a almacenar resultados de decodificación en curso y la RAM 503 destinada a almacenar resultados de decodificación en curso realizan de forma alternada la lectura o escritura en unidades de nueve veces.

15 En la memoria 413 destinada a almacenar resultados de decodificación en curso, cuando la sección de cálculo 415 realiza el segundo cálculo, basándose en la señal de control D420₂, los resultados de decodificación en curso D503 ya almacenados, que se obtienen como resultado del primer cálculo, desde la RAM 502 destinada a almacenar resultados de decodificación en curso, o basándose en la señal de control D420₃, los resultados de decodificación en curso D504 ya almacenados, obtenidos como resultado del primer cálculo, se leen desde la RAM 503 destinada a almacenar resultados de decodificación en curso, y los resultados de decodificación en curso leídos se suministran al circuito de desplazamiento cíclico 414 por medio del conmutador 504.

20 La Fig. 25 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación 400 de la Fig. 18. Este proceso se inicia, por ejemplo, cuando datos recibidos, que van a ser decodificados, se almacenan en la memoria 416 para recepción.

25 En la etapa S50, el circuito de desplazamiento cíclico 414 desplaza cíclicamente los cinco resultados de decodificación en curso D413 a almacenar en la etapa S56 (que se describirá posteriormente), los cuales se suministran desde la memoria 413 destinada a almacenar resultados de decodificación en curso, y los suministra a la sección de cálculo 415.

30 Más específicamente, cinco resultados de decodificación en curso D413 se suministran al circuito de desplazamiento cíclico 414 desde la memoria 413 destinada a almacenar resultados de decodificación en curso, y también, una señal de control D421 que indique información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso D413, se disponen como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 414 desde la sección de control 417. Sobre la base de la señal de control D421, el circuito de desplazamiento cíclico 414 desplaza cíclicamente (reorganiza) los cinco resultados de decodificación en curso D413, y suministra los resultados como resultados de decodificación en curso D414 a la sección de cálculo 415.

35 Cuando no se ha realizado todavía el primer cálculo sobre los datos recibidos D417 suministrados a la memoria 416 para recepción, y los resultados de decodificación en curso D413 no están almacenados en la memoria 413 destinada a almacenar resultados de decodificación en curso, la sección de cálculo 415 fija los resultados de decodificación en curso u_j a un valor inicial.

40 En la etapa S51, la sección de cálculo 415 realiza el segundo cálculo, y suministra los resultados de decodificación en curso D415, que son los resultados del cálculo, a la memoria 410 destinada a almacenar resultados de decodificación en curso.

45 Más específicamente, en la etapa S50, los cinco resultados de decodificación en curso D414 se suministran a la sección de cálculo 415 desde el circuito de desplazamiento cíclico 414, y también se suministran a la sección de cálculo 415, desde la memoria 416 para datos recibidos, cinco datos recibidos D417. Los resultados de decodificación en curso D415 y los datos recibidos D417 se suministran individualmente a cada uno de los dispositivos de cálculo 415₁ a 415₅ de la sección de cálculo 415. Además, una señal de control D422 se suministra a la sección de cálculo 415 desde la sección de control 417, y la señal de control D422 se suministra al dispositivo de cálculo 415₁ a 415₅.

50 Basándose en la señal de control D422, los dispositivos de cálculo 415₁ a 415₅ realizan, cada uno de ellos, un cálculo de acuerdo con la ecuación (5) usando los resultados de decodificación en curso D414 y los datos recibidos D417, y suministran los resultados de decodificación en curso D415 (v) correspondientes a la columna de la matriz de comprobación, que se obtienen como resultado del cálculo, a la memoria 410 destinada a almacenar resultados de decodificación en curso.

5 Después del procesado de la etapa S51, el proceso prosigue hacia la etapa S52, en donde la memoria 410 destinada a almacenar resultados de decodificación en curso almacena los resultados de decodificación en curso D415 suministrados desde la sección de cálculo 415 en la etapa S51. En la misma dirección, y a continuación el proceso prosigue hacia la etapa S53.

10 En la etapa S53, la sección de control 417 determina si la sección de cálculo 415 ha calculado o no todos los resultados de decodificación en curso D415 correspondientes a las columnas de la matriz de comprobación. Cuando se determina que no se han calculado todos los resultados de decodificación en curso D415, el proceso vuelve a la etapa S50, y el procesado antes descrito se realiza nuevamente.

15 Por otro lado, cuando la sección de control 417 determina, en la etapa S53, que la sección de cálculo 415 ha calculado todos los resultados de decodificación en curso D415 correspondientes a la columna de la matriz de comprobación, el proceso prosigue hacia la etapa S54, donde el circuito de desplazamiento cíclico 411 desplaza cíclicamente los resultados de decodificación en curso D410 (v) suministrados desde la memoria 410 destinada a almacenar resultados de decodificación en curso.

20 Más específicamente, cinco resultados de decodificación en curso D410 se suministran al circuito de desplazamiento cíclico 411 desde la memoria 410 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D418 que indica información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso D410, se disponen como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 411 desde la sección de control 417. Sobre la base de la señal de control D418, el circuito de desplazamiento cíclico 411 desplaza cíclicamente (reorganiza) los
25 cinco resultados de decodificación en curso D410, y los suministra como resultados de decodificación en curso D411 a la sección de cálculo 412.

30 Después del procesado de la etapa S54, el proceso prosigue hacia la etapa S55, donde la sección de cálculo 412 realiza el primer cálculo, y suministra los resultados de decodificación en curso D412, que son los resultados del cálculo, al circuito de desplazamiento cíclico 414.

35 Más específicamente, los cinco resultados de decodificación en curso D411 (v) se suministran a la sección de cálculo 412 desde el circuito de desplazamiento cíclico 411 en la etapa S54. Además, los cinco resultados de decodificación en curso D412 (D413) (u_j), obtenidos como resultado del primer cálculo por parte de la sección de cálculo 412 en el tiempo previo, que ya se han almacenado en la etapa S56 (que se describirá posteriormente), se suministran a la sección de cálculo 412. Los resultados de decodificación en curso D411 y los resultados de decodificación en curso D413 se suministran individualmente a cada uno de los dispositivos de cálculo 412₁ a 412₅ de la sección de cálculo 412. Además, una señal de control D419 se suministra a la sección de cálculo 412 desde la sección de control 417, y la señal de control D419 se suministra al dispositivo de cálculo 412₁ a 412₅.

40 Sobre la base de la señal de control D419, los dispositivos de cálculo 412₁ a 412₅ realizan, cada uno de ellos, cálculos de acuerdo con la ecuación (7) y la ecuación (8) usando los resultados de decodificación en curso D411 y los resultados de decodificación en curso D413, y suministran los resultados de decodificación en curso D412 (u_j), obtenidos como resultado del cálculo, a la memoria 413 destinada a almacenar resultados de decodificación en curso.
45

50 Después del procesado de la etapa S55, el proceso prosigue hacia la etapa S56, donde la memoria 413 destinada a almacenar resultados de decodificación en curso almacena en la misma dirección los cinco resultados de decodificación en curso D412 suministrados desde la sección de cálculo 412 en la etapa S55, y el proceso a continuación prosigue hacia la etapa S57.

55 En la etapa S57, la sección de control 417 determina si la sección de cálculo 412 ha calculado o no los resultados de decodificación en curso D412 correspondientes a todos los 1s de la matriz de comprobación. Cuando se determina que no se han calculado todos los 1s de la matriz de comprobación, el proceso vuelve a la etapa S54, y el procesado antes descrito se realiza nuevamente.

60 Por otro lado, cuando la sección de control 417 determina, en la etapa S57, que la sección de cálculo 412 ha calculado los resultados de decodificación en curso D412 correspondientes a todos los 1s, se completa el procesado.

El aparato de decodificación 400 realiza de manera repetida el proceso de decodificación de la Fig. 25 en correspondencia con el número de decodificaciones, y al mensaje D415 obtenido como resultado del segundo cálculo final se le da salida como resultados decodificados finales.

65 En la descripción anterior, aunque la memoria 413 destinada a almacenar resultados de decodificación en curso se forma a partir de dos RAMs de un solo puerto, la misma se puede formar a partir de tres o más RAMs si la lectura y

la escritura no se producen simultáneamente desde y en una RAM. Cuando la anchura de bits física de la RAM no es suficiente, proporcionando la misma señal de control mediante el uso de una pluralidad de RAMs, las mismas se pueden considerar lógicamente como una RAM.

5 Para las partes en las que faltan datos de bordes (mensajes correspondientes a bordes), durante el almacenamiento en la memoria (cuando se almacenan datos en las memorias 410 y 413 destinadas a almacenar resultados de decodificación en curso, no se almacenan ningún mensaje, y durante el cálculo (durante el primer cálculo en la sección de cálculo 412 y durante el segundo cálculo en la sección de cálculo 415), no se realiza ningún cálculo.

10 La Fig. 26 es un diagrama de bloques que muestra un ejemplo de un aparato de decodificación para decodificar CÓDIGOS LDPC representados por la matriz de comprobación de la Fig. 15. Este aparato de decodificación no constituye una forma de realización de la invención.

15 En un aparato de decodificación 600 de la Fig. 26, la memoria de almacenamiento de datos de bordes 316 de las Figs. 16A y 16C se forma como una memoria 613 destinada a almacenar resultados de decodificación en curso, que tiene una capacidad menor que la correspondiente a la memoria de almacenamiento de datos de bordes 316.

20 El aparato de decodificación 600 incluye una memoria 610 para almacenar resultados de decodificación en curso, un circuito de desplazamiento cíclico 611, una sección de cálculo 612 constituida por cinco dispositivos de cálculo 612₁ a 612₅, una memoria 613 para almacenar resultados de decodificación en curso, un circuito de desplazamiento cíclico 614, una sección de cálculo 615 constituida por cinco dispositivos de cálculo 615₁ a 615₅, una memoria 616 para recepción, y una sección de control 617.

25 En referencia a la Fig. 27 hasta la Fig. 30, se proporciona una descripción de la relación entre el dispositivo de cálculo 612₁ al dispositivo de cálculo 612₅ de la sección de cálculo 612 de la Fig. 26, del dispositivo de cálculo 615₁ al dispositivo de cálculo 615₅ de la sección de cálculo 615 de la Fig. 30, el dispositivo de cálculo de nodos de comprobación 101 de la Fig. 10, y el dispositivo de cálculo de nodos variables 103 de la Fig. 11.

30 La Fig. 27 y la Fig. 28 son iguales a la Fig. 10 descrita anteriormente, que muestra el dispositivo de cálculo de nodos de comprobación 101, y la Fig. 11 descrita anteriormente, que muestra el dispositivo de cálculo de nodos variables 103, respectivamente. La Fig. 29 muestra un ejemplo de la configuración de un dispositivo de cálculo 612_k (k = 1, 2, ..., 5). La Fig. 30 muestra un ejemplo de la configuración de un dispositivo de cálculo 615_k (k = 1, 2, ..., 5).

35 En el aparato de decodificación 600 de la Fig. 26, en lugar de que el dispositivo de cálculo 612_k realice el cálculo de nodos de comprobación y la sección de cálculo 615_k realice el cálculo de nodos variables, el dispositivo de cálculo 612_k realiza parte del cálculo de nodos de comprobación, y el dispositivo de cálculo 615_k realiza parte del resto del cálculo de nodos de comprobación y parte del cálculo de nodos variables.

40 Más específicamente, el dispositivo de cálculo 612_k de la Fig. 29 está formado por los bloques D' y E'. El bloque D' está configurado de la misma manera que el bloque D para integrar valores tales que los cálculos de φ se realizan sobre los valores absolutos de los mensajes v_i correspondientes a todos los bordes de cada columna de la matriz de comprobación, siendo el bloque D una parte del dispositivo de cálculo de nodos de comprobación 101 de la Fig. 27. El bloque E' está configurado de la misma manera que el bloque E para multiplicar los bits de signo de los mensajes v_i correspondientes a todos los bordes de cada columna de la matriz de comprobación.

45 Por otro lado, el dispositivo de cálculo 615_k de la Fig. 30 está formado por los bloques F', G', y H'. El bloque F' está configurado de la misma manera que el bloque F para dividir el valor multiplicado de los bits de signo de los mensajes v_i correspondientes a todos los bordes de cada columna de la matriz de comprobación, por el bit de signo del mensaje v_i correspondiente al borde a determinar, y para realizar el cálculo de φ^{-1} sobre el valor obtenido restando el valor tal que el cálculo φ se realiza sobre el valor absoluto del mensaje v_i correspondiente al borde a determinar con respecto al valor integrado de los valores tales que el cálculo φ se realiza sobre los valores absolutos del mensaje v_i correspondiente a todos los bordes de cada columna de la matriz de comprobación, siendo el bloque F' otra parte del dispositivo de cálculo de nodos de comprobación 101 de la Fig. 19. El bloque G' está configurado de la misma manera que el bloque G para realizar el cálculo de φ sobre el valor absoluto del mensaje v_i . El bloque H' está configurado de la misma manera que el bloque H para realizar el cálculo de nodos variables del dispositivo de cálculo de nodos variables 103 de la Fig. 20.

50 El dispositivo de cálculo 612_k de la Fig. 29 suministra los resultados de cálculo del bloque A y el bloque B, es decir, resultados de decodificación en curso w tales que se realiza parte del cálculo de nodos de comprobación, a la memoria 613 destinada a almacenar resultados de decodificación en curso. El dispositivo de cálculo 615_k de la Fig. 30 suministra resultados de decodificación en curso v_i' tales que se realizan parte del resto del cálculo de nodos de comprobación y el cálculo de nodos de variables, a la memoria 610 destinada a almacenar resultados de decodificación en curso.

65 Por lo tanto, es posible que el aparato de decodificación 600 de la Fig. 26 realice el cálculo de nodos de

comprobación y el cálculo de nodos variables llevando a cabo de forma alternada el cálculo del dispositivo de cálculo 612_k y el cálculo del dispositivo de cálculo 615_k con el fin de llevar a cabo la decodificación.

5 En el dispositivo de cálculo 615_k de la Fig. 30, usando los resultados de decodificación en curso v_i' correspondientes al borde a determinar, que se almacenan en la memoria 610 destinada a almacenar resultados de decodificación en curso, el bloque C resta los resultados de decodificación en curso v_i' correspondientes al borde a determinar, con respecto al valor absoluto de los resultados de decodificación en curso w obtenidos como resultado del cálculo del dispositivo de cálculo 612_k, y multiplica el bit de signo de los resultados de decodificación en curso w por el bit de signo de los resultados de decodificación en curso v_i' correspondientes al borde a determinar. Por lo tanto, no se requieren la memoria 127 ni la memoria FIFO 133 de la Fig. 27.

15 Seguidamente, mediante el uso de ecuaciones, se proporciona una descripción de los cálculos realizados por el dispositivo de cálculo 612₁ al dispositivo 612₅ de la sección de cálculo 612 y los cálculos realizados por el dispositivo de cálculo 615₁ al dispositivo de cálculo 615₅ de la sección de cálculo 615.

La sección de cálculo 612 realiza un primer cálculo de acuerdo con la ecuación (9), y suministra los resultados de decodificación en curso w , que son los resultados del primer cálculo, a la memoria 613 destinada a almacenar resultados de decodificación en curso, por medio de la cual se almacenan. La sección de cálculo 615 lleva a cabo la ecuación antes descrita (1) y el segundo cálculo de acuerdo con las ecuaciones (10) y (11) y suministra resultados de decodificación en curso v_i' , que son los resultados del segundo cálculo, a la memoria 610 destinada a almacenar resultados de decodificación en curso, por medio de la cual los mismos se almacenan.

$$w = \sum_{i=1}^{d_c} |v_i'| \times \prod_{i=1}^{d_c} \text{sign}(v_i') \quad \dots(9)$$

$$25 \quad u_j = \emptyset^{-1} (|w| - |v_i'|) \times \text{sign}(v_i') \times \text{sign}(w) \quad \dots(10)$$

$$v_i' = \emptyset(|v_i|) \times \text{sign}(v_i) \quad \dots(11)$$

30 Más específicamente, los resultados de decodificación en curso w , obtenidos como resultado del primer cálculo de acuerdo con la ecuación (9), son tales que la suma total de los valores absolutos $|v_i'|$ de los resultados de decodificación en curso v_i' del cálculo de nodos de comprobación, correspondientes a todos los 1s de la fila j -ésima de la matriz de comprobación H , que se obtienen como resultado de segundo cálculo de acuerdo con la ecuación (1), la ecuación (10), y la ecuación (11), y el signo de bit de signo (v_i') se multiplican entre sí. Por lo tanto, tal como se muestra en la ecuación (10), la u_j obtenida por medio del cálculo de nodos de comprobación de acuerdo con la ecuación (7) se puede expresar usando un valor tal que el valor absoluto $|v_i'|$ de los resultados de decodificación en curso v_i' , correspondientes al borde a determinar, de entre (una pluralidad de) resultados de decodificación en curso v_i' correspondientes a "1s" (bordes) de cada columna, de la fila j -ésima de la matriz de comprobación H , se resta de los valores absolutos $|w|$ de los resultados de decodificación en curso w , que se obtienen como resultado del primer cálculo de acuerdo con la ecuación (9).

45 En el aparato de decodificación 600, se realizan de forma alternada el primer cálculo de acuerdo con la ecuación (9) por parte de la sección de cálculo 612, y el segundo cálculo de acuerdo con la ecuación (1), la ecuación (10), y la ecuación (11), y la sección de cálculo 615 realiza un cálculo de acuerdo con la ecuación (5) usando los resultados del primer cálculo final, y da salida a los resultados de cálculo como resultados decodificados, realizando así decodificaciones iterativas de códigos LDPC.

50 Más específicamente, en el aparato de decodificación 600, la sección de cálculo 612 realiza el primer cálculo usando los resultados de decodificación en curso v_i' correspondientes a todos los 1s de la fila j -ésima de la matriz de comprobación H , que son los resultados del segundo cálculo por parte de la sección de cálculo 615, y almacena los resultados de decodificación en curso w correspondientes a cada fila de la matriz de comprobación, que se obtienen como resultado del cálculo, en la memoria 613 destinada a almacenar resultados de decodificación en curso. Por lo tanto, la capacidad de la memoria 613 destinada a almacenar resultados de decodificación en curso resulta ser un valor tal que el número de filas de la matriz de comprobación, que es menor que el número de "1s" de la matriz de comprobación, y el número de bits de cuantificación de los resultados de decodificación en curso w se multiplican entre sí. La sección de cálculo 615 realiza el segundo cálculo usando los resultados de decodificación en curso w correspondientes a cada fila de la columna i -ésima de la matriz de comprobación H , que son los resultados del primer cálculo de la sección de cálculo 612, y el valor recibido u_{0i} , y almacena los resultados de decodificación en curso v_i' del cálculo de nodos de comprobación, correspondientes a los 1s (bordes) de la columna i -ésima de la matriz de comprobación, que se obtienen como resultado de cálculo, en la memoria 610 destinada a almacenar resultados de decodificación en curso. Por lo tanto, la capacidad necesaria para la memoria 610 destinada a almacenar resultados de decodificación en curso resulta ser un valor tal que el número de 1s de la matriz de

comprobación y el número de bits de cuantificación de los resultados de decodificación en curso v_i' se multiplican entre sí, de modo similar a la memoria de almacenamiento de datos de bordes 311 de las Figs. 16A y 16B para almacenar los resultados del cálculo de nodos variables.

5 Por lo tanto, en el método de decodificación 600, cuando se compara con la memoria de almacenamiento de datos de bordes 311 de las Figs. 16A y 16B, se puede reducir la capacidad de la memoria correspondiente a la memoria 610 destinada a almacenar resultados de decodificación en curso. Esto posibilita la reducción de la escala de los circuitos del aparato de decodificación 600.

10 A continuación se describe detalladamente el funcionamiento de cada sección del aparato de decodificación 600 de la Fig. 26.

15 Basándose en una señal de control D618, la memoria 610 destinada a almacenar resultados de decodificación en curso almacena conjuntamente los cinco resultados de decodificación en curso D615 suministrados desde la sección de cálculo 615, y al mismo tiempo, lee los cinco resultados de decodificación en curso D615 ya almacenados, y los suministra como resultados de decodificación en curso D610 al circuito de desplazamiento cíclico 611 y a la sección de cálculo 615. Es decir, la memoria 610 destinada a almacenar resultados de decodificación en curso realiza simultáneamente la lectura de los resultados de decodificación en curso D610 al suministrar al circuito de desplazamiento cíclico 611 y la escritura de los resultados de decodificación en curso D615 suministrados desde la sección de cálculo 615.

20 En la memoria 610 destinada a almacenar resultados de decodificación en curso, se almacenan los resultados de decodificación en curso v_i' (los segundos resultados de decodificación en curso) correspondientes a 1s (bordes) de la matriz de comprobación, que se calculan por medio del segundo cálculo de la sección de cálculo 615. Por lo tanto, la cantidad de datos almacenados en la memoria 610 destinada a almacenar resultados de decodificación en curso, es decir, la capacidad de almacenamiento requerida para la memoria 610 destinada a almacenar resultados de decodificación en curso, resulta ser el valor multiplicado del número de bits de cuantificación de los resultados de decodificación en curso y el número de 1s (el número total de los bordes).

25 La memoria 610 destinada a almacenar resultados de decodificación en curso incluye, por ejemplo, dos RAMs de un solo puerto con capacidad de leer y escribir simultáneamente cinco resultados de decodificación en curso. Se suministran cinco resultados de decodificación en curso D615 a la memoria 610 destinada a almacenar resultados de decodificación en curso desde la sección de cálculo 615, y también se suministra a la memoria 610 desde la sección de control 617 una señal de control D618 para controlar la lectura y la escritura de los resultados de decodificación en curso D615.

30 Se suministran cinco resultados de decodificación en curso D610 al circuito de desplazamiento cíclico 611 desde la memoria 610 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D619 que indique información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso D610, se disponen como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base de la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 611 desde la sección de control 617. Basándose en la señal de control D619, el circuito de desplazamiento cíclico 611 realiza un desplazamiento cíclico de reorganización de los cinco resultados decodificados D610, y suministra los resultados como resultados de decodificación en curso D611 a la sección de cálculo 612.

35 La sección de cálculo 612 incluye cinco dispositivos de cálculo 612₁ a 612₅. Los cinco resultados de decodificación en curso D611 (segundos resultados de decodificación en curso) (v_i') se suministran a la sección de cálculo 612 desde el circuito de desplazamiento cíclico 611, y los cinco resultados de decodificación en curso D611 (los primeros resultados de decodificación en curso) (w) se suministran a los dispositivos de cálculo 612₁ a 612₅, respectivamente. Una señal de control D620 se suministra a la sección de cálculo 612 desde la sección de control 617, y la señal de control D620 se suministra a los dispositivos de cálculo 612₁ a 612₅. La señal de control D620 es una señal común para los cinco dispositivos de cálculo 612₁ a 612₅.

40 Los dispositivos de cálculo 612₁ a 612₅ realizan, cada uno de ellos, el primer cálculo usando los resultados de decodificación en curso D611 de acuerdo con la ecuación (9) para determinar resultados de decodificación en curso D612 (w). La sección de cálculo 612 suministra los cinco resultados de decodificación en curso D612, que se obtienen como resultado de los cálculos por parte de los dispositivos de cálculo 612₁ a 612₅, a la memoria 613 destinada a almacenar resultados de decodificación en curso.

45 Los cinco resultados de decodificación en curso D612 correspondientes a la fila de matriz de comprobación, que son los resultados del primer cálculo de la sección de cálculo 612, se suministran a la memoria 613 destinada a almacenar resultados de decodificación en curso, desde la sección de cálculo 612. La memoria 613 destinada a almacenar resultados de decodificación en curso almacena los cinco resultados de decodificación en curso D612 suministrados desde la sección de cálculo 612, de forma secuencial, comenzando desde la primera dirección.

Más específicamente, en la primera dirección de la memoria 613 destinada a almacenar resultados de decodificación en curso, se almacenan los resultados de decodificación en curso w desde la primera fila hasta la quinta fila de entre los resultados de decodificación en curso correspondientes a la fila de la matriz de comprobación. De modo similar, en la segunda dirección, se almacenan los resultados de decodificación en curso w desde la sexta fila hasta la 10ª fila, y en la tercera dirección, se almacenan los resultados de decodificación en curso w desde la 11ª fila hasta la 15ª fila. A partir de aquí, de modo similar, los resultados de decodificación en curso w desde la 16ª fila hasta la 30ª fila se almacenan en la cuarta dirección hasta la sexta dirección en unidades de cinco resultados, y un total de 60 resultados de decodificación en curso w se almacena en la memoria 613 destinada a almacenar resultados de decodificación en curso. Por lo tanto, el número de palabras de la memoria 610 destinada a almacenar resultados de decodificación en curso resulta ser de 6 tal que 30, el número de filas de la matriz de comprobación H de la Fig. 15 se divide por 5, el número de los resultados de decodificación en curso, que se leen y escriben simultáneamente.

La memoria 613 destinada a almacenar resultados de decodificación en curso lee simultáneamente cinco resultados de decodificación en curso w , que son "1s" en la columna de la matriz de comprobación H , con los cuales se corresponden los resultados de decodificación en curso v_i' a determinar por la sección de cálculo 615, a partir de los cinco resultados de decodificación en curso $D613$ ya almacenados, y los suministra como resultados de decodificación en curso $D613$ al circuito de desplazamiento cíclico 614.

La memoria 613 destinada a almacenar resultados de decodificación en curso incluye, por ejemplo, una RAM de un solo puerto con capacidad de leer y escribir simultáneamente cinco resultados de decodificación en curso. Puesto que los resultados de decodificación en curso w correspondientes a la fila, que se calculan por medio del primer cálculo de la sección de cálculo 612, se almacenan en la memoria 613 destinada a almacenar resultados de decodificación en curso, la cantidad de datos almacenados en la memoria 613 destinada a almacenar resultados de decodificación en curso, es decir, la capacidad de almacenamiento requerida para la memoria 613 destinada a almacenar resultados de decodificación en curso, resulta ser el valor multiplicado del número de bits de cuantificación de los resultados de decodificación en curso y el número de filas de la matriz de comprobación H .

Los cinco resultados de decodificación en curso $D613$ (los resultados de decodificación en curso w) se suministran al circuito de desplazamiento cíclico 614 desde la memoria 613 destinada a almacenar resultados de decodificación en curso. Además, una señal de control $D621$ que indica información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso $D613$, se disponen como resultado de cuántas veces, por ejemplo, se desplaza la matriz unidad que forma la base en la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 614 desde la sección de control 617. Basándose en la señal de control $D621$, el circuito de desplazamiento cíclico 614 realiza un desplazamiento cíclico de reorganización de los cinco resultados de decodificación en curso $D613$, y suministra los resultados como resultados de decodificación en curso $D614$ a la sección de cálculo 615.

La sección de cálculo 615 incluye cinco dispositivos de cálculo 615_1 a 615_5 . Cinco resultados de decodificación en curso $D614$ (w) se suministran a la sección de cálculo de nodos variables 615 desde el circuito de desplazamiento cíclico 614, y también se suministran cinco resultados de decodificación en curso $D610$ (v_i') a la sección de cálculo de nodos variables 615 desde la memoria 610 destinada a almacenar resultados de decodificación en curso. Los resultados de decodificación en curso $D614$ y los resultados de decodificación en curso $D610$ se suministran a cada uno de los dispositivos de cálculo 615_1 a 615_5 . Cinco datos recibidos $D617$ se suministran a la sección de cálculo 615 desde la memoria 617 para recepción, y los elementos de datos recibidos $D617$ se suministran individualmente a los dispositivos de cálculo 615_1 a 615_5 . Además, una señal de control $D622$ se suministra a la sección de cálculo 617 desde la sección de control 617, y la señal de control $D622$ se suministra a los dispositivos de cálculo 615_1 a 615_5 . La señal de control $D622$ es una señal común para los cinco dispositivos de cálculo 617_1 a 617_5 .

Los dispositivos de cálculo 615_1 a 615_5 realizan, cada uno de ellos, el segundo cálculo de acuerdo con la ecuación (1), la ecuación (10), y la ecuación (11) usando los resultados de decodificación en curso $D614$ y $D611$, y los datos recibidos $D617$ (CÓDIGOS LDPC) con el fin de determinar cinco resultados de decodificación en curso $D615$ (v_i') correspondientes a 1s de cada columna de la matriz de comprobación. La sección de cálculo 615 suministra los cinco resultados de decodificación en curso $D615$, que se obtienen como resultado del segundo cálculo por parte de los dispositivos de cálculo 615_1 a 615_5 , a la memoria 610 destinada a almacenar resultados de decodificación en curso.

La memoria 616 para recepción almacena, como datos recibidos 617, la LLR (razón de verosimilitud logarítmica) de recepción que es el valor de probabilidad de 0 del bit de signo, el cual se calcula a partir del valor recibido (bit de signo), recibido a través del canal de comunicaciones.

Más específicamente, en la primera dirección de la memoria 616 para recepción, se almacenan los datos recibidos $D617$ correspondientes a la primera columna hasta la quinta columna de la matriz de comprobación, de entre los datos recibidos $D617$ correspondientes a la columna de la matriz de comprobación. En la segunda dirección, se almacenan los datos recibidos $D617$ desde la sexta columna hasta la 10ª columna de la matriz de comprobación, y en la tercera dirección, se almacenan los datos recibidos $D617$ desde la 11ª hasta la 16ª de la matriz de

comprobación. A partir de aquí, de modo similar, en la cuarta dirección hasta la 18ª, se almacenan los datos recibidos D617 correspondientes a la 17ª columna hasta la 90ª columna, en unidades de cinco elementos de los datos.

5 A continuación, la memoria 616 para recepción lee simultáneamente los datos recibidos D617 ya almacenados, en la secuencia necesaria para el segundo cálculo por parte de la sección de cálculo 615, en unidades de cinco elementos de los datos, y los suministra a la sección de cálculo 615.

10 La memoria 616 para recepción incluye, por ejemplo, una RAM de un solo puerto. La cantidad de datos almacenados en la memoria 616 para recepción, es decir, la capacidad de almacenamiento necesaria para la memoria 616 para recepción, es el valor multiplicado de la longitud de código de los códigos LDPC y el número de bits de cuantificación de los datos recibidos. Además, el número de palabras de la memoria 616 para recepción es 18 tal que la longitud de código de los códigos LDPC, es decir, 90, el número de columnas de la matriz de comprobación, se divide por 5, el número de elementos de los datos recibidos D617, que se leen simultáneamente.

15 La sección de control 617 suministra la señal de control D618 a la memoria 610 destinada a almacenar resultados de decodificación en curso y suministra la señal de control D619 al circuito de desplazamiento cíclico 611 con el fin de controlarlos, respectivamente. Además, la sección de control 617 suministra la señal de control D620 a la sección de cálculo 612 y suministra la señal de control D621 al circuito de desplazamiento cíclico 614 con el fin de controlarlos, respectivamente.

20 Como resultado de la circulación de los datos en el orden de la memoria 610 destinada a almacenar resultados de decodificación en curso, el circuito de desplazamiento cíclico 611, la sección de cálculo 612, la memoria 613 destinada a almacenar resultados de decodificación en curso, el circuito de desplazamiento cíclico 614, y la sección de cálculo 615, el aparato de decodificación 600 puede realizar una decodificación. En el aparato de decodificación 600, después de que se realicen decodificaciones de manera repetida un número predeterminado de veces, la sección de cálculo 615 realiza un cálculo de acuerdo con la ecuación (5), y se da salida a los resultados de cálculo como resultados decodificados finales.

25 La Fig. 29 es un diagrama de bloques que muestra un ejemplo de la configuración de un dispositivo de cálculo 612₁ de la sección de cálculo 612 de la Fig. 26.

30 En la Fig. 29 se describe el dispositivo de cálculo 612₁, y desde el dispositivo de cálculo 612₂ hasta el dispositivo de cálculo 612₅ están configurados también de la misma manera.

35 Además, en la Fig. 29, se muestra el dispositivo de cálculo 612₁ suponiendo que cada resultado de decodificación en curso (v_i'), obtenido como resultado del segundo cálculo por parte del dispositivo de cálculo 615, se cuantifica en seis bits. Se suministra un reloj ck al dispositivo de cálculo 612₁ de la Fig. 29, y el reloj ck se suministra a bloques necesarios. Cada bloque realiza el procesamiento en sincronización con el reloj ck.

40 Basándose en la señal de control D620 suministrada desde la sección de control 617, el dispositivo de cálculo 612₁ de la Fig. 29 realiza un primer cálculo de acuerdo con la ecuación (9) usando los resultados de decodificación en curso D611 (v_i'), que se leen de uno en uno desde el circuito de desplazamiento cíclico 611.

45 Más específicamente, un resultado de decodificación en curso D611 de entre los cinco resultados de decodificación en curso de 6 bits D611 (v_i') suministrados desde el circuito de desplazamiento cíclico 611, se suministra al dispositivo de cálculo 612₁, el bit D631, que es el bit de mayor orden, se suministra al circuito de EXOR 635, y el valor absoluto D632 ($|v_i'|$), que es los cinco bits de orden inferior de los resultados de decodificación en curso de 6 bits D611 (v_i'), se suministran al sumador 631. Además, la señal de control D620 se suministra al dispositivo de cálculo 612₁ desde la sección de control 617, y la señal de control D620 se suministra al selector 633 y al selector 637.

50 El sumador 631 integra los valores absolutos D632 ($|v_i'|$) sumando entre sí el valor absoluto D632 ($|v_i'|$) y el valor de 9 bits D633 almacenado en el registro 632, y almacena el valor integrado de 9 bits, obtenido como resultado, en el registro 632 nuevamente. Cuando se integran los valores absolutos D632 ($|v_i'|$) determinados a partir de los resultados de decodificación en curso D611 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, se reinicializa el registro 632.

55 Cuando los resultados de decodificación en curso D611 sobre una fila de la matriz de comprobación se leen de uno en uno y el valor integrado tal que se integran los valores absolutos D632 para una fila, se almacena en el registro 632, la señal de control D620 suministrada desde la sección de control 617 cambia de 0 a 1. Por ejemplo, cuando el peso de las filas es "9", la señal de control D620 es "0" en el primer hasta el octavo relojes, y es "1" en el noveno reloj.

60 Cuando la señal de control D620 es "1", el registro 632 selecciona el valor almacenado en el sector 633, es decir, un valor de 9 bits D633 ($\sum |v_i'|$ de $i=1$ a $i=d_c$) tal que se integran los valores absolutos D632 ($|v_i'|$) de los resultados de

5 decodificación en curso D611 (los resultados de decodificación en curso v_i') correspondientes a todos los 1s sobre una fila de la matriz de comprobación, y da salida al valor como un valor D634 hacia el registro 634, por medio del cual se almacena. El registro 634 suministra el valor almacenado D634 como un valor de 9 bits D635 al selector 633, y también da salida al mismo. Cuando la señal de control D620 es "0", el selector 633 selecciona el valor D635 suministrado desde el registro 634, y da salida al valor hacia el registro 634, por medio del cual se almacena nuevamente. Es decir, hasta que no se integran los valores absolutos D632 ($|v_i'|$) de los resultados de decodificación en curso D611 (los resultados de decodificación en curso v_i') correspondientes a todos los 1s sobre una fila de la matriz de comprobación, el registro 634 suministra el $|v_i'|$ previamente integrado al selector 633, y también da salida al mismo.

10 En paralelo con el procesado anterior, el circuito de EXOR 635 realiza una multiplicación de los bits de signo calculando la O exclusiva de un valor de 1 bit D637 almacenado en el registro 636 y el bit de signo D631, y almacena el resultado de multiplicación de 1 bit D636 en el registro 636 nuevamente. Cuando se multiplican los bits de signo D631 de los resultados de decodificación en curso D611 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, se reinicializa el registro 636.

15 Cuando los resultados de multiplicación D636 ($\pi \text{sign}(v_i')$ de $i=1$ a d_c), tales que se multiplican los bits de signo D631 determinados a partir de los resultados de decodificación en curso D611 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, se almacenan en el registro 636, la señal de control D620 suministrada desde la sección de control 617 cambia de "0" a "1".

20 Cuando la señal de control D620 es "1", el selector 637 selecciona el valor almacenado en el registro 636, es decir, el valor D637 ($\pi \text{sign}(v_i')$ de $i=1$ a $i=d_c$) tal que se multiplican los bits de signo D631 de los resultados de decodificación en curso D611 correspondientes a todos los 1s sobre una fila de la matriz de comprobación, y da salida al valor como un valor de 1 bit D638 hacia el registro 638, por medio del cual se almacena. El registro 638 suministra el valor almacenado D638 como un valor de 1 bit D639 al sector 637, y da salida al mismo. Cuando la señal de control D620 es "0", el selector 637 selecciona el valor D639 suministrado desde el registro 638, y da salida al valor hacia el registro 638, por medio del cual se almacena nuevamente. Es decir, hasta que no se multiplican los bits de signo D631 de los resultados de decodificación en curso D611 (los resultados de decodificación en curso v_i') correspondientes a todos los 1s sobre una fila de la matriz de comprobación, el registro 638 suministra el valor almacenado previamente al selector 637 y da salida al mismo.

25 En el dispositivo de cálculo 612₁, se da salida, como resultados de decodificación en curso D612 (los resultados de decodificación en curso w), a un total de 10 bits, en los cuales el valor de 9 bits D635 ($\square |v_i'|$ de $i=1$ a $i=d_c$) obtenida la salida del registro 634 se hace que sean los nueve bits de orden inferior y el valor de 1 bit D639 ($\text{sign}(v_i')$ obtenida a la salida del registro 638 se hace que sea el bit de orden superior.

30 Tal como se ha descrito anteriormente, en el dispositivo de cálculo 612₁, se realiza el cálculo de la ecuación (9), y se determina el resultado de decodificación en curso w .

35 La Fig. 30 es un diagrama de bloques que muestra un ejemplo de la configuración del dispositivo de cálculo 615₁ de la sección de cálculo 615 de la de la Fig. 26.

40 En la Fig. 30, se describe el dispositivo de cálculo 615₁, y desde el dispositivo de cálculo 615₂ hasta el dispositivo de cálculo 615₅ están configurados también de la misma manera.

45 Además, en la Fig. 30, se muestra el dispositivo de cálculo 615₁ suponiendo que cada resultado de decodificación en curso (w), obtenido como resultado del primer cálculo por parte del dispositivo de cálculo 612, junto con el bit de signo, se cuantifica a un total de 10 bits, y cada resultado de decodificación en curso (u_j) obtenido previamente como resultado del segundo cálculo, que se suministra desde la memoria 610 destinada a almacenar resultados de decodificación en curso, junto con el bit de signo, se cuantifica a un total de seis bits. Además, se suministra un reloj ck al dispositivo de cálculo 615₁ de la Fig. 30, y el reloj ck se suministra a bloques necesarios. Cada bloque realiza un procesado en sincronización con el reloj ck .

50 Basándose en la señal de control D622 suministrada desde la sección de control 617, el dispositivo de cálculo 615₁ de la Fig. 30, realiza un segundo cálculo de acuerdo con la ecuación (1), la ecuación (10) y la ecuación (11) usando los elementos de datos recibidos D617 (los valores recibidos u_{0i}), que se leen de uno en uno desde la memoria 610 para recepción, los resultados de decodificación en curso D614 (w), que se leen de uno en uno desde el circuito de desplazamiento cíclico 614, y los resultados de decodificación en curso D610 (v_i'), obtenidos previamente como resultado del segundo cálculo por parte de la sección de cálculo 615, que se leen de uno en uno desde la memoria 610 destinada a almacenar resultados de decodificación en curso.

55 Más específicamente, en el dispositivo de cálculo 615₁, los resultados de decodificación en curso de 10 bits D614 (los resultados de decodificación en curso w) correspondientes a la fila de la matriz de comprobación se leen de uno en uno desde el circuito de desplazamiento cíclico 614. Los resultados de decodificación en curso de 6 bits D610 (los resultados de decodificación en curso v_i'), obtenidos previamente como resultado del segundo cálculo por parte

de la sección de cálculo 615, se leen de uno en uno desde la memoria 610 destinada a almacenar resultados de decodificación en curso. El bit de signo D651 (sign (w)) del bit de mayor orden de los resultados de decodificación en curso D614 y el bit de signo D653 (sign (u_j)) del bit de mayor orden de los resultados de decodificación en curso D610 se suministran al circuito de EXOR 653. Un valor absoluto D652 (|w|) de los nueve bits de orden inferior de los resultados de decodificación en curso D614 y el bit de signo D653 (|v_i'|) de los nueve bits de orden inferior de los resultados de decodificación en curso D610 se suministran a un restador 651. Además, en el dispositivo de cálculo 615₁, los elementos de los datos recibidos de 6 bits D617 se leen de uno en uno desde la memoria 616 para recepción, y se suministran a un sumador 658. Además, en el dispositivo de cálculo 615₁, la señal de control D622 se suministra desde la sección de control 617, y la señal de control D622 se suministra al selector 656.

El restador 651 resta el valor absoluto D654 con respecto al valor absoluto D652, y suministra un valor restado de 5 bits D655 a una LUT 652. La LUT 652 da salida al resultado de cálculo de 5 bits D656 ($\varphi^{-1}(|w| - |v_i'|)$) tal que el cálculo de φ^{-1} se realiza sobre el valor restado D655.

Por otro lado, el circuito de EXOR 653 multiplica entre sí el bit de signo D651 y el bit de signo D653 calculando la O exclusiva del bit de signo D651 (sign (w)) y el bit de signo D653 (sign (v_i')), y da salida a un resultado de multiplicación de 1 bit como valor multiplicado D657. A continuación, un valor de 6 bits D658, en el cual los resultados de cálculo de 5 bits D656 suministrados desde la LUT 652 se hace que sean los cinco bits de orden inferior ($\varphi^{-1}(|w| - |v_i'|)$) y el valor de 1 bit D657 (sign (w) x sign (v_i')) suministrado desde el circuito de EXOR 653 se hace que sea el bit de mayor orden, se suministra a un sumador 654, y se suministra también a una memoria FIFO 659.

Según la manera descrita anteriormente, se realiza el cálculo de acuerdo con la ecuación (10), y el valor de 6 bits D658 (u_j), que es el resultado del cálculo, se suministra al sumador 654 y se suministra también a la memoria FIFO 659.

El sumador 654 integra los valores D658 sumando entre sí el valor de 6 bits D658 (u_j) y el valor de 9 bits D659 almacenado en el registro 655, y almacena el valor integrado de 9 bits, obtenido como resultado, nuevamente en el registro 655. Cuando el valor D658 correspondiente a todos los 1s sobre una columna de la matriz de comprobación se integra, se reinicializa el registro 655.

Cuando los valores D658 sobre una columna de la matriz de comprobación se leen de uno en uno y el valor tal que se integra en los valores D658 para una columna se almacena en el registro 655, la señal de control D622 suministrada desde la sección de control 617 cambia de "0" a "1". Por ejemplo, cuando el peso de las columnas es "5", la señal de control D622 es "0" en el primer a cuarto relojes, y es "1" en el quinto reloj.

Cuando la señal de control D622 es "1", el selector 656 selecciona el valor almacenado en el registro 655, es decir, un valor de 9 bits D659 ($\square u_j$ desde j=1 a d_v) tal que el valor D658 (u_j) correspondiente a los 1s sobre una columna de la matriz de comprobación se integran, y da salida al valor hacia el registro 657, por medio del cual se almacena. El registro 657 suministra el valor almacenado D659 como valor de 9 bits D660 a un selector 471 y a un sumador 658. Cuando la señal de control D622 es "0", el selector 656 selecciona el valor D660 suministrado desde el registro 657, y da salida al valor hacia el registro 657, por medio del cual se almacena nuevamente. Es decir, hasta que no se integran los valores D658 (u_j) correspondientes a los 1s sobre una columna de la matriz de comprobación, el registro 657 suministra el valor integrado previamente al selector 656 y al sumador 658.

El sumador 658 suma entre sí el valor de 9 bits D660 y los datos recibidos de 6 bits D617 suministrados desde la memoria 616 para recepción, y suministra el valor de 9 bits D661 obtenido como resultado.

En el dispositivo de cálculo 615, cuando se va a realizar el cálculo final, el sumador 658 da salida al valor de 9 bits D661 como resultados decodificados finales. Es decir, la sección de cálculo 615 realiza un cálculo de acuerdo con la ecuación (5).

Por otro lado, hasta que no se da salida a un valor nuevo D660 ($\square u_j$ desde j=1 a j=d_v) desde el registro 665, la memoria FIFO 659 retarda el valor de 6 bits D658 (u_j), y suministra el valor como valor de 6 bits D662 al restador 660. El restador 660 resta el valor de 6 bits D662 con respecto al valor de 9 bits D660, y da salida al valor restado D663. Es decir, el restador 660 resta el valor correspondiente al borde a determinar, es decir, el valor D658 (u_j) correspondiente a 1s predeterminados de la matriz de comprobación, con respecto al valor integrado de los valores D658 correspondientes a los 1s sobre una columna de la matriz de comprobación, y da salida al valor restado ($\square u_j$ desde i = 1 a i = d_v - 1) como un valor restado de 6 bits D663.

Según la manera descrita anteriormente, se realiza el cálculo de acuerdo con la ecuación (1), y se da salida al valor restado de 6 bits D663 (v_i), que es el resultado del cálculo. A continuación, el valor absoluto (|v_i|) de los cinco bits de orden inferior del valor restado de 6 bits D663 obtenido a la salida del restador 660 se suministra a la LUT 661, y se da salida al bit de signo (sign (v_i)) del bit de mayor orden, como valor D665.

5 La LUT 661 da salida a los resultados de cálculo de 5 bits D666 ($\varphi(|v_i|)$) tales que el cálculo de φ se realiza sobre el valor absoluto ($|v_i|$). A continuación, la LUT 661 suministra, como resultados de decodificación en curso (v_i'), un total de seis bits, en los cuales se hace que el resultado de cálculo de 5 bits D666 ($\varphi(|v_i|)$) obtenido a la salida de la LUT 661 sea los cinco bits de orden inferior y se hace que el valor D665 (sign (v_i)) sea el bit de mayor orden, hacia la memoria 610 destinada a almacenar resultados de decodificación en curso.

Tal como se ha descrito anteriormente en el dispositivo de cálculo 615₁, se realizan los cálculos de la ecuación (1), la ecuación (10), y la ecuación (11), y se determinan los resultados de decodificación en curso v_i' .

10 El máximo del peso de las columnas de la matriz de comprobación de la Fig. 15 es 5, es decir, el número máximo de los resultados de decodificación en curso D614 (w) y los resultados de decodificación en curso D610 (v_i') suministrados al dispositivo de cálculo 615₁ es 5. Por lo tanto, el dispositivo de cálculo 615₁ tiene una memoria FIFO 659 para retardar los cinco resultados de decodificación en curso D614 y los cinco resultados de cálculo D658 (u_i) determinados a partir de los resultados de decodificación en curso D610. Cuando se va a calcular un mensaje cuyo peso de las columnas es menor que 5, la cantidad de retardo en la memoria FIFO 659 se reduce al valor del peso de las columnas.

20 La Fig. 31 es un diagrama de bloques que muestra un ejemplo de la configuración de la memoria 610 destinada a almacenar resultados de decodificación en curso de la Fig. 26.

La memoria 610 destinada a almacenar resultados de decodificación en curso incluye conmutadores 701 y 704, y RAMs 702 y 703 destinadas a almacenar resultados de decodificación en curso, las cuales son dos RAMs de un solo puerto.

25 Antes de describir detalladamente cada sección de la memoria 610 destinada a almacenar resultados de decodificación en curso, se describirá en primer lugar el método para almacenar datos en las RAMs 702 y 703 destinadas a almacenar resultados de decodificación en curso.

30 Las RAMs 702 y 703 destinadas a almacenar los resultados de decodificación en curso almacenan los resultados de decodificación en curso D615 que se obtienen como resultado del primer cálculo por parte de la sección de cálculo 612 y que se suministran por medio del conmutador 701.

35 Más específicamente, en la primera dirección hasta la quinta dirección de la RAM 702 destinada a almacenar resultados de decodificación en curso, los resultados de decodificación en curso D615 (D701) correspondientes a 1s desde la primera columna hasta la quinta columna de la matriz de comprobación H de la Fig. 15 se almacenan de tal manera que se compactan con mayor proximidad en la dirección horizontal (en la dirección de las columnas) para cada fila (en una manera según la cual se ignoran los 0s).

40 Más específicamente, cuando la fila j-ésima y la columna i-ésima se indican como (j, i), en la primera dirección de la RAM 702 destinada a almacenar resultados de decodificación en curso, se almacenan datos correspondientes a 1s de la matriz unidad de 5 x 5 desde la (1, 1) hasta (5, 5) de la matriz de comprobación de la Fig. 15. En la segunda dirección, se almacenan datos correspondientes a las posiciones de 1s de una primera matriz de desplazamiento que forma una matriz suma desde (6, 1) hasta (10, 5) de la matriz de comprobación de la Fig. 15 (una matriz suma, la cual es la suma de la primera matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en uno hacia la derecha, y una segunda matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en dos hacia la derecha). Además, en la tercera dirección se almacenan datos correspondientes a posiciones de 1s de la segunda matriz de desplazamiento que forma la matriz suma desde (6, 1) hasta (10, 5) de la matriz de comprobación. A partir de aquí, también en la cuarta dirección y la quinta dirección se almacenan datos de tal manera que se correspondan con la matriz de comprobación de la Fig. 15.

50 En la sexta dirección hasta la 10^a dirección de la RAM 702 destinada a almacenar decodificación en curso, se almacenan datos correspondientes a los 1s desde la 11^a columna hasta la 15^a columna de la matriz de comprobación de la Fig. 15. Es decir, en la sexta dirección, se almacenan datos correspondientes a las posiciones de los 1s de la primera matriz de desplazamiento que forma la matriz suma desde (11, 11) hasta (15, 15) de la matriz de comprobación (la matriz suma, que es la suma de la matriz unidad de 5 x 5 y la primera matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en tres hacia la derecha), y en la séptima dirección, se almacenan datos correspondientes a los 1s de la matriz unidad que forma la matriz suma (11, 11) a (15, 15) de la matriz de comprobación. A partir de aquí, también en la octava dirección hasta la 10^a dirección, se almacenan datos de tal manera que se correspondan con la matriz de comprobación.

60 De modo similar, en la 10^a dirección hasta la 28^a dirección de la RAM 702 destinada a almacenar decodificación en curso, de tal manera que se correspondan con la matriz de comprobación de la Fig. 15, se almacenan datos correspondientes a 1s desde la 21^a columna hasta la 25^a columna, desde la 31^a columna hasta la 35^a columna, desde la 41^a columna hasta la 45^a columna, desde la 51^a columna hasta la 55^a columna, desde la 61^a columna hasta la 65^a columna, desde la 71^a columna hasta la 75^a columna, desde la 81^a columna hasta la 85^a columna. Es decir, el número de palabras de la RAM 702 destinada a almacenar resultados de decodificación en curso es 28.

5 En la primera dirección hasta la quinta dirección de la RAM 703 destinada a almacenar resultados de decodificación en curso, se almacenan los resultados de decodificación en curso D615 (D702) correspondientes a 1s desde la sexta columna hasta la 10ª columna de la matriz de comprobación H de la Fig. 15, de tal manera que los mismos se compactan con mayor proximidad en la dirección horizontal (en la dirección de las columnas) para cada fila (de una manera de la cual se ignoran 0s).

10 Más específicamente, en la primera dirección de la RAM 703 destinada a almacenar resultados de decodificación en curso, se almacenan datos correspondientes a 1s de la primera matriz de desplazamiento que forma la matriz suma desde (6, 1) hasta (10, 5) (la matriz suma, que es la suma de la primera matriz de desplazamiento en la que la matriz unidad de 5 x 5 se desplaza cíclicamente en uno hacia la derecha, y la segunda matriz de desplazamiento en la que la matriz unidad se desplaza cíclicamente en dos hacia la derecha), que es la sub-matriz de la matriz de comprobación. En la segunda dirección, se almacenan datos correspondientes a 1s de la segunda matriz de desplazamiento que forma la matriz suma desde (6, 1) hasta (10, 5), que es la sub-matriz de la matriz de comprobación. A partir de aquí, de modo similar, en la tercera dirección hasta la quinta dirección, también se almacenan datos de tal modo que se correspondan con la sub-matriz de la matriz de comprobación.

20 De modo similar, en la sexta dirección hasta la segunda dirección de la RAM 703 destinada a almacenar decodificación en curso, se almacenan datos correspondientes a 1s desde la 16ª columna hasta la 20ª columna de la matriz de comprobación de la Fig. 15, desde la 26ª columna hasta la 30ª columna, desde la 36ª columna hasta la 40ª columna, desde la 46ª columna hasta la 50ª columna, desde la 56ª columna hasta la 60ª columna, desde la 66ª columna hasta la 70ª columna, desde la 76ª columna hasta la 80ª columna, desde la 86ª columna hasta la 90ª columna. Es decir, el número de palabras de la RAM 703 destinada a almacenar resultados de decodificación en curso es 26.

25 Tal como se ha descrito anteriormente, el número de palabras de la RAM 702 destinada a almacenar resultados de decodificación en curso es 28, y el número de palabras RAM 703 destinada a almacenar resultados de decodificación en curso es 26.

30 La Fig. 32 es un diagrama de temporización que ilustra el funcionamiento de la lectura y escritura de la RAM 702 destinada a almacenar resultados de decodificación en curso y la RAM 703 destinada a almacenar resultados de decodificación en curso de la memoria 610 destinada a almacenar resultados de decodificación en curso.

35 En la Fig. 32, el eje horizontal indica tiempo (t).

40 En la memoria 610 destinada a almacenar resultados de decodificación en curso, cuando se va a realizar el primer cálculo por parte de la sección de cálculo 612, basándose en una señal de control D720₂ suministrada desde la sección de control 617, los resultados de decodificación en curso D703 ya almacenados, obtenidos como resultado del segundo cálculo, se leen desde la RAM 702 destinada a almacenar resultados de decodificación en curso, o basándose en la señal de control D720₃ suministrada desde la sección de control 617, los resultados de decodificación en curso D704 ya almacenados, obtenidos como resultado del segundo cálculo, se leen desde la RAM 703 destinada a almacenar resultados de decodificación en curso. Los resultados de decodificación en curso leídos se suministran al circuito de desplazamiento cíclico 614 por medio del conmutador 704.

45 Cuando la sección de cálculo 615 va a realizar el segundo cálculo, los resultados de decodificación en curso D615 (v_i'), obtenidos como resultado del segundo cálculo, se suministran a la memoria 610 destinada a almacenar resultados de decodificación en curso, desde la sección de cálculo 615. Al mismo tiempo que los resultados de decodificación en curso D615 se escriben en una dirección predeterminada de una de entre la RAM 702 destinada a almacenar resultados de decodificación en curso y la RAM 703 destinada a almacenar resultados de decodificación en curso, los resultados de decodificación en curso D610 (v_i'), obtenidos previamente como resultado del segundo cálculo por parte de la sección de cálculo 615, se leen desde la otra RAM y se las da salida hacia la sección de cálculo 615 por medio del circuito de desplazamiento cíclico 614.

50 Los cinco resultados de decodificación en curso D615 se suministran al conmutador 701 desde la sección de cálculo 615, y también se suministra al conmutador 701 una señal de control D720₁ que indica la selección de una de entre la RAM 702 destinada a almacenar resultados de decodificación en curso y la RAM 703 destinada a almacenar resultados de decodificación en curso como memoria para escribir los resultados de decodificación en curso D615. Basándose en la señal de control D720₁, el conmutador 701 selecciona una de entre la RAM 702 destinada a almacenar resultados de decodificación en curso y la RAM 703 destinada a almacenar resultados de decodificación en curso, y suministra los cinco resultados de decodificación en curso D612 a la seleccionada de las mismas.

55 Los cinco resultados de decodificación en curso D612 se suministran como resultados de decodificación en curso D701 a la RAM 702 destinada a almacenar resultados de decodificación en curso, desde el conmutador 701, y también se suministra a la misma, desde la sección de control 617, una señal de control D702₂ que indica la dirección. La RAM 702 destinada a almacenar resultados de decodificación en curso lee los cinco resultados de decodificación en curso D701, obtenidos previamente como resultado del segundo cálculo por parte de la sección de

cálculo 615, que ya se han almacenado en la dirección indicada por la señal de control D720₂, y los suministra como resultados de decodificación en curso D703 al conmutador 704. Además, la RAM 702 destinada a almacenar resultados de decodificación en curso almacena (escribe) los cinco resultados de decodificación en curso D702, suministrados desde el conmutador 701, en la dirección indicada por la señal de control D720₂.

5 Los cinco resultados de decodificación en curso D615 se suministran como resultados de decodificación en curso D702 a la RAM 703 destinada a almacenar resultados de decodificación en curso, desde el conmutador 701, y también se suministra a la misma, desde la sección de control 617, una señal de control D720₃ que indica la dirección. La RAM 703 destinada a almacenar resultados de decodificación en curso lee los cinco resultados de
10 decodificación en curso D702, obtenidos previamente como resultado del segundo cálculo por parte de la sección de cálculo 615, que ya están almacenados en la dirección indicada por la señal de control D720₃, y los suministra como resultado de decodificación en curso D704 al conmutador 704. Además, la RAM 702 destinada a almacenar resultados de decodificación en curso almacena (escribe) los cinco resultados de decodificación en curso D702 suministrados desde el conmutador 701, en la dirección indicada por la señal de control D720₃.

15 Los resultados de decodificación en curso D703 se suministran al conmutador 704 desde la RAM 702 destinada a almacenar resultados de decodificación en curso, o los resultados de decodificación en curso D704 se suministran al mismo desde la RAM 703 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D720₄ que indica la selección de una de entre la RAM 702 destinada a almacenar resultados de decodificación en curso y la RAM 703 destinada a almacenar resultados de decodificación en curso se suministra al
20 mismo desde la sección de control 617. Basándose en la señal de control D720₄, el conmutador 704 selecciona una de entre la RAM 702 destinada a almacenar resultados de decodificación en curso y la RAM 703 destinada a almacenar resultados de decodificación en curso, y suministra los cinco resultados de decodificación en curso suministrados desde la RAM seleccionada como cinco resultados de decodificación en curso D610 a la sección de
25 cálculo 615.

En la memoria 610 destinada a almacenar resultados de decodificación en curso, cuando la sección de cálculo 615 va a realizar el segundo cálculo, basándose en la señal de control D720₂, la RAM 702 destinada a almacenar resultados de decodificación en curso lee cinco veces los resultados de decodificación en curso D701
30 correspondientes a 1s desde la primera columna hasta la quinta columna de la matriz de comprobación, que se almacenan en la misma dirección, de entre los resultados de decodificación en curso D701 ya almacenados, obtenidos previamente como resultado del segundo cálculo por parte de la sección de cálculo 615, en unidades de cinco resultados, y los suministra a la sección de cálculo 615 por medio del conmutador 704. Es decir, puesto que el peso de las columnas de la matriz de comprobación H de la Fig. 15 es 5, existen cinco resultados de decodificación
35 en curso correspondientes a 1s de cada columna de la matriz de comprobación H, y la RAM 702 destinada a almacenar resultados de decodificación en curso lee cinco veces los resultados de decodificación en curso D701 correspondientes a 1s desde la primera columna hasta la quinta columna, en unidades de cinco resultados.

Seguidamente, basándose en la señal de control D720₃, la RAM 703 destinada a almacenar resultados de decodificación en curso lee continuamente cinco veces los cinco resultados de decodificación en curso D702 correspondientes a 1s desde la sexta columna hasta la 10ª columna de la matriz de comprobación, que se
40 almacenan en la misma dirección, de entre los resultados de decodificación en curso D702 obtenidos previamente como resultado del segundo cálculo por parte de la sección de cálculo 615, que ya están almacenados, y los suministra a la sección de cálculo 615 por medio del conmutador 704 y el circuito de desplazamiento cíclico 614. Al mismo tiempo, los cinco resultados de decodificación en curso D615 correspondientes a 1s desde la primera columna hasta la quinta columna de la matriz de comprobación, obtenidos como resultado del segundo cálculo que está realizando actualmente la sección de cálculo 615, se suministran como resultados de decodificación en curso D701 a la RAM 702 destinada a almacenar resultados de decodificación en curso por medio del conmutador 701. Basándose en la señal de control D720₂, la RAM 702 destinada a almacenar resultados de decodificación en curso
50 almacena continuamente cinco veces los resultados de decodificación en curso D701 en la dirección en la cual se almacenan los resultados de decodificación en curso D703 ya leídos.

Después de esto, basándose en la señal de control D720₂, la RAM 702 destinada a almacenar resultados de decodificación en curso lee continuamente cinco veces los resultados de decodificación en curso D701 correspondientes a 1s desde la 11ª columna hasta la 15ª columna de la matriz de comprobación, que se almacenan
55 en la misma dirección, de entre los resultados de decodificación en curso D701 ya almacenados, obtenidos previamente como resultado del segundo cálculo por parte de la sección de cálculo 615, en unidades de cinco resultados, y los suministra a la sección de cálculo 615 por medio del conmutador 704. Al mismo tiempo, los cinco resultados de decodificación en curso D612 correspondientes a 1s desde la sexta columna hasta la 10ª columna de la matriz de comprobación, que se obtienen como resultado del segundo cálculo que está realizando actualmente la sección de cálculo 615, se suministran como resultados de decodificación en curso D702 a la RAM 703 destinada a almacenar resultados de decodificación en curso por medio del conmutador 701. Basándose en la señal de control D720₃, la RAM 703 destinada a almacenar resultados de decodificación en curso almacena continuamente cinco veces los resultados de decodificación en curso D702 ya leídos, en la dirección en la que se almacenan los
60 resultados de decodificación en curso D704.
65

A partir de aquí, de modo similar, hasta que los resultados de decodificación en curso correspondientes a todos los 1s, que se obtienen como resultado del segundo cálculo por parte de la sección de cálculo 615, no se almacenan en la RAM 702 destinada a almacenar resultados de decodificación en curso o en la RAM 703 destinada a almacenar resultados de decodificación en curso, la RAM 702 destinada a almacenar resultados de decodificación en curso y la RAM 703 destinada a almacenar resultados de decodificación en curso realizan de forma alternada la lectura y escritura de cinco veces.

La Fig. 33 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación 600 de la Fig. 26. Este proceso se inicia cuando, por ejemplo, datos recibidos a decodificar se almacenan en la memoria 616 para recepción.

En la etapa S70, el circuito de desplazamiento cíclico 614 realiza un desplazamiento cíclico de reorganización de los cinco resultados de decodificación en curso D613 almacenados en la etapa S76 (que se describirá posteriormente), los cuales se suministran desde la memoria 613 destinada a almacenar resultados de decodificación en curso, y los suministra a la sección de cálculo 615.

Más específicamente, los cinco resultados de decodificación en curso D613 se suministran al circuito de desplazamiento cíclico 614 desde la memoria 613 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D621 que indica información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso D613, se disponen como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 614 desde la sección de control 617. Basándose en la señal de control D621, el circuito de desplazamiento cíclico 614 desplaza cíclicamente (reorganiza) los cinco resultados de decodificación en curso D613, y los suministra como resultados de decodificación en curso D614 a la sección de cálculo 615.

Cuando no se ha realizado el primer cálculo sobre los datos recibidos D617 suministrados desde la memoria 616 para recepción, y los resultados de decodificación en curso D612 no se han almacenado en la memoria 613 destinada a almacenar resultados de decodificación en curso, la sección de cálculo 615 fija el resultado a un valor inicial.

En la etapa S71, la sección de cálculo 615 realiza el segundo cálculo, y suministra los resultados de decodificación en curso D615, que son los resultados del cálculo, a la memoria 610 destinada a almacenar resultados de decodificación en curso.

Más específicamente, los cinco resultados de decodificación en curso D614 se suministran a la sección de cálculo 615 desde el circuito de desplazamiento cíclico 614 en la etapa S70, y los resultados de decodificación en curso previos D610 se suministran a la misma, desde la memoria 610 destinada a almacenar resultados de decodificación en curso, en la etapa S72 (que se describirá posteriormente). Cinco elementos de datos recibidos D617 se suministran desde la memoria 616 para datos recibidos, y los cinco resultados de decodificación en curso D615 y D610, y los datos recibidos D617 se suministran individualmente a cada uno de los dispositivos de cálculo 615₁ a 615₅ de la sección de cálculo 615. Además, la señal de control D622 se suministra a la sección de cálculo 615 desde la sección de control 617, y la señal de control D622 se suministra a los dispositivos de cálculo 615₁ a 615₅.

Basándose en la señal de control D622, los dispositivos de cálculo 615₁ a 615₅ realizan, cada uno de ellos, un cálculo de acuerdo con la ecuación (1), la ecuación (10) y la ecuación (11) usando los resultados de decodificación en curso D614 y D610 y los datos recibidos D617, y suministran los resultados de decodificación en curso D615 (v_i') correspondientes a 1s de cada columna de la matriz de comprobación, que se obtienen como resultado del cálculo, a la memoria 610 destinada a almacenar resultados de decodificación en curso.

Después del procesado de la etapa S71, el proceso prosigue hacia la etapa S72, donde la memoria 610 destinada a almacenar resultados de decodificación en curso almacena los resultados de decodificación en curso D615 suministrados desde la sección de cálculo 615 en la etapa S71, en la misma dirección, lee los resultados de decodificación en curso D615 (D610) ya almacenados, y los suministra al circuito de desplazamiento cíclico 611 y a la sección de cálculo 615.

Después del procesado de la etapa S72, el proceso prosigue hacia la etapa S73, donde la sección de control 617 determina si la sección de cálculo 615 ha calculado o no todos los resultados de decodificación en curso D615 correspondientes a 1s de cada columna de la matriz de comprobación. Cuando la sección de control 617 determina que no se han calculado todos los resultados de decodificación en curso D615, el proceso vuelve a la etapa S70, y el procesado antes descrito se realiza nuevamente.

Por otro lado, cuando la sección de control 617 determina en la etapa S73 que la sección de cálculo 615 ha calculado todos los resultados de decodificación en curso D615, el proceso prosigue hacia la etapa S74, donde el circuito de desplazamiento cíclico 611 desplaza cíclicamente los resultados de decodificación en curso D610 (v_i') suministrados de la memoria 610 destinada a almacenar resultados de decodificación en curso.

Más específicamente, los cinco resultados de decodificación en curso D610 se suministran al circuito de desplazamiento cíclico 611 desde la memoria 610 destinada a almacenar resultados de decodificación en curso. Además, una señal de control D619 que indica información (datos de matriz) en relación con el hecho de que los 1s de la matriz de comprobación, que se corresponde con los resultados de decodificación en curso D610, se disponen como resultado de cuántas veces, por ejemplo, se desplaza cíclicamente la matriz unidad que forma la base en la matriz de comprobación, se suministra al circuito de desplazamiento cíclico 611 desde la sección de control 617. Basándose en la señal de control D619, el circuito de desplazamiento cíclico 611 desplaza cíclicamente (reorganiza) los cinco resultados de decodificación en curso D610, y los suministra como resultados de decodificación en curso D611 a la sección de cálculo 612.

Después del procesado de la etapa S74, el proceso prosigue hacia la etapa S75, donde la sección de cálculo 612 realiza el primer cálculo, y suministra los resultados de decodificación en curso D612, que son los resultados del cálculo, al circuito de desplazamiento cíclico 614.

Más específicamente, los cinco resultados de decodificación en curso D611 (v_i') se suministran a la sección de cálculo 612 desde el circuito de desplazamiento cíclico 611 en la etapa S74, y los resultados de decodificación en curso D611 se suministran individualmente a cada uno de los dispositivos de cálculo 612₁ a 612₅ de la sección de cálculo 612. Además, la señal de control D621 se suministra a la sección de cálculo 612 desde la sección de control 617, y la señal de control D621 se suministra a los dispositivos de cálculo 612₁ a 612₅.

Basándose en la señal de control D619, los dispositivos de cálculo 612₁ a 612₅ realizan, cada uno de ellos, un cálculo de acuerdo con la ecuación (9) usando los resultados de decodificación en curso D611, y suministran los resultados de decodificación en curso D612 (w) correspondientes a la fila de la matriz de comprobación, que se obtienen como resultado del cálculo, a la memoria 613 destinada a almacenar resultados de decodificación en curso.

Después del procesado de la etapa S75, el proceso prosigue hacia la etapa S76, donde la memoria 613 destinada a almacenar resultados de decodificación en curso almacena los resultados de decodificación en curso D612 suministrados desde la sección de cálculo 612 en la etapa S75, en la misma dirección, y a continuación el proceso prosigue hacia la etapa S77.

En la etapa S77, la sección de control 617 determina si la sección de cálculo 612 ha calculado o no los resultados de decodificación en curso D612 correspondientes a todas las filas de la matriz de comprobación. Cuando la sección de control 617 determina que no se han calculado todos los resultados de decodificación en curso, el proceso vuelve a la etapa S74, y el procesado antes descrito se realiza nuevamente.

Por otro lado, cuando la sección de control 617 determina en la etapa S77 que la sección de cálculo 612 ha calculado los resultados de decodificación en curso D612 correspondientes a todas las filas, se completa el procesado.

El aparato de decodificación 600 realiza de manera repetida el proceso de decodificación de la Fig. 33 para el número de decodificaciones, y al valor D661 obtenido por medio de la sección de cálculo 621, como resultado del cálculo de acuerdo con la ecuación antes descrita (5) se le da salida como resultados decodificados finales.

En la descripción anterior, aunque la memoria 610 destinada a almacenar resultados de decodificación en curso se forma a partir de dos RAMs de un solo puerto, la misma se puede formar a partir de tres o más RAMs si la lectura y la escritura no se producen simultáneamente desde y hacia una RAM. Cuando la anchura de bits física de la RAM es insuficiente, proporcionando la misma señal de control mediante el uso de una pluralidad de RAMs, se puede suponer lógicamente que estas últimas son como una RAM.

Para las partes en las que faltan datos de bordes (mensajes correspondientes a bordes), durante el almacenamiento en la memoria (cuando se almacenan datos en las memorias 610 y 613 destinadas a almacenar resultados de decodificación en curso), no se almacena ningún mensaje, y durante el cálculo (durante el primer cálculo en la sección de cálculo 612 y durante el segundo cálculo en la sección de cálculo 615), no se realiza ningún cálculo.

Si se usa un desplazador de barril (*barrel shifter*) para los circuitos de desplazamiento cíclico 314 y 320 de las Figs. 16A y 16B, los circuitos de desplazamiento cíclico 411 y 414 de la Fig. 18, y el circuito de desplazamiento cíclico 611 y 614 de la Fig. 26, se pueden lograr las operaciones deseadas al mismo tiempo que se reduce la escala de los circuitos.

En el caso antes descrito, con vistas a simplificar la descripción, como ejemplo se usa un caso, en el cual p es 5, es decir, el número de filas y el número de cálculo de la sub-matriz que forma la matriz de comprobación es 5. No es necesario que el número de filas y el número de columnas de la sub-matriz sea siempre 5, y puede adoptar un valor diferente en función de la matriz de comprobación. Por ejemplo, p puede ser 360 ó 392.

Además, tal como se ha descrito en la presente, se usan códigos LDPC de una longitud de código de 90 y una relación de codificación de 2/3. No obstante, la longitud de código y la relación de codificación pueden ser cualquier valor. Por ejemplo, cuando el número de filas y el número de columnas, p , de la sub-matriz es 5, si el número total de los bordes es menor que o igual a 5, se pueden decodificar códigos de LDPC incluso de cualquier longitud de código y relación de codificación usando el aparato de decodificación 300 de las Figs. 16A a 16C, el aparato de decodificación 400 de la Fig. 18, y el aparato de decodificación 600 de la Fig. 26 únicamente cambiando la señal de control.

Además, el aparato de decodificación para ciertos códigos LDPC, que satisfacen las condiciones en las cuales el número de filas y el número de columnas, p , de la sub-matriz es un valor predeterminado, y el número total de los bordes es menor que o igual a un valor particular, puede decodificar códigos LDPC de cualquier relación de codificación deseada con cualquier longitud de código deseada, que satisfagan las condiciones.

Cuando la matriz de comprobación no es un múltiplo del número p de las filas y columnas de la sub-matriz, la presente invención se puede aplicar suponiendo que la matriz de comprobación es un múltiplo de p mediante la asignación de elementos de todos los 0s al exterior de las fracciones de la matriz de comprobación.

Seguidamente, la serie de procesos antes descrita se puede llevar a cabo por hardware, y la misma también se puede realizar por software. Cuando la serie de procesos se lleva a cabo por software, el programa que forma el software se instala en un ordenador de propósito general, etcétera.

Por consiguiente, la Fig. 34 muestra un ejemplo de la configuración de una forma de realización de un ordenador en el cual se instala un programa para ejecutar la serie de procesos antes descrita.

El programa se puede grabar de antemano en un disco duro 905 y una ROM 903 que actúen como soporte de grabación, incorporados en el ordenador.

Alternativamente, el programa se puede almacenar (grabar) temporal o permanentemente en un soporte de grabación extraíble 911, tal como un disco flexible, un CD-ROM (Disco Compacto-Memoria de Solo Lectura), un disco MO (Magneto-Óptico), un DVD (Disco Versátil Digital), un disco magnético, o una memoria de semiconductores. Dicho soporte de grabación extraíble 911 se puede proporcionar como el denominado paquete de software.

Además de instalarse en un ordenador desde el soporte de grabación extraíble 911, tal como el descrito anteriormente, se pueden transferir programas al ordenador de una forma inalámbrica desde un sitio de descarga por medio de un satélite artificial para radiodifusión digital por satélite o se puede transferir por cable hacia el ordenador por medio de una red, tal como una LAN (Red de Área Local) o Internet. En el ordenador, los programas que se transfieren de dicha manera se pueden recibir en una sección de comunicaciones 908, y se pueden instalar en el disco duro 905 contenido en la misma.

El ordenador incorpora una CPU (Unidad de Procesado Central) 902. Una interfaz de entrada/salida 910 está conectada a la CPU 902 por medio de un bus 901. Cuando un usuario introduce una instrucción accionando una sección de entrada 907 que incluye un teclado, un ratón, un micrófono, etcétera, por medio de la interfaz de entrada/salida 910, la CPU 902 ejecuta el programa almacenado en la ROM (Memoria de Solo Lectura) 903 de acuerdo con dicha instrucción. Alternativamente, la CPU 902 carga, en la RAM (Memoria de Acceso Aleatorio) 904, el programa almacenado en el disco 905, el programa que se transfiere desde un satélite o una red, que es recibido por la sección de comunicaciones 908, y que se instala en el disco duro 905, o el programa que se lee desde el soporte de grabación extraíble 911 cargado en una unidad controladora 909 y se instala en el disco duro 905, y la CPU 902 ejecuta el programa. Como consecuencia, la CPU 902 realiza un procesado de acuerdo con los diagramas de flujo antes descrito o un procesado de acuerdo con los diagramas de bloques antes descritos. A continuación, por ejemplo, la CPU 902 da salida al resultado del procesado por medio de la interfaz de entrada/salida 910, desde una sección de salida 906 que incluye una LCD (Pantalla de Cristal Líquido), un altavoz, etcétera, transmite el resultado del procesado desde la sección de comunicaciones 908, y además lo graba en el disco duro 905 según se requiera.

En esta memoria, no es necesario ejecutar cronológicamente, de acuerdo con las órdenes descritas como diagramas de flujo, las etapas de procesado para escribir el programa con el fin de permitir que el ordenador realice un procesado diverso. Además, las mismas se pueden ejecutar de forma simultánea o individual (por ejemplo, un procesado paralelo o un procesado basado en objetos).

El programa se puede procesar por medio de un ordenador o se puede procesar por medio de una pluralidad de ordenadores de una manera distribuida. Además, el programa se puede transferir a un ordenador distante y puede ser procesado por este último.

Para decodificar códigos LDPC que tienen una matriz de comprobación que se puede representar mediante una combinación de una matriz unidad de $(P \times P)$, una matriz cuasi unidad en la que uno o más 1s, que son elementos de la matriz unidad, se sustituyen por 0, una matriz de desplazamiento en la que la matriz unidad o la matriz cuasi

unidad se desplaza cíclicamente, una matriz suma, que es la suma de dos o más de la matriz unidad, la matriz cuasi unidad, y la matriz de desplazamiento, y una matriz 0 ($P \times P$), se adopta a una arquitectura para realizar simultáneamente p cálculos de nodos de comprobación y p cálculos de nodos variables. Como consecuencia, realizando simultáneamente p cálculos de nodos, la frecuencia de funcionamiento se puede restringir dentro de un intervalo viable. Así, aunque se puede realizar un número elevado de decodificaciones iterativas, es posible evitar que se produzca un acceso simultáneo a diferentes direcciones durante la escritura en y la lectura desde la memoria (FIFO y RAM).

Cuando se decodifican códigos LDPC representados por la matriz de comprobación de la Fig. 15 usando de manera repetida el aparato de decodificación 300 de las Figs. 16A a 16C, puesto que es posible realizar cálculos sobre 269 bordes cada cinco bordes para cada nodo de comprobación y cada nodo variable. Por lo tanto, para una decodificación, es necesario que el aparato de decodificación realice $269/5 \times 2 \cong 108$ operaciones de reloj. Por lo tanto, para realizar 50 decodificaciones, aunque se reciben 90 informaciones de código, es necesario que el aparato de decodificación realice $108 \times 50 = 5.400$ operaciones de reloj, y por tanto, se puede usar una frecuencia de funcionamiento de aproximadamente 60 veces la frecuencia de recepción. Por lo tanto, según el aparato de decodificación de las Figs. 16A a 16C, cuando se compara con el aparato de decodificación de la Fig. 9 para realizar cálculos de nodos de uno en uno, es necesaria solamente una frecuencia de funcionamiento de $1/5$. Cuando se considera desde el aspecto de la escala de los circuitos, puesto que el tamaño de la memoria es el mismo, incluso si el circuito lógico resulta ser ligeramente mayor, la influencia sobre el conjunto es pequeña.

El aparato de decodificación 400 de la Fig. 18 y el aparato de decodificación 600 de la Fig. 26 tienen una capacidad de memoria menor que la del aparato de decodificación 300 de las Figs. 16A a 16C.

Por ejemplo, cuando la matriz de comprobación de los códigos LDPC es la matriz de comprobación de la Fig. 15 y el número de bits de cuantificación de los códigos LDPC es 6, en el aparato de decodificación 300 de las Figs. 16A a 16C, la memoria de almacenamiento de datos de bordes requiere dos RAMs que tengan la capacidad de 269 (el número total de los bordes) $\times 6 = 1.614$ bits, es decir, la capacidad de $1.614 \times 2 = 3.228$ bits para las dos RAMs. En comparación, por ejemplo, cuando el número de bits de cuantificación de los resultados de decodificación en curso v es 9, en el aparato de decodificación 400 de la Fig. 18, es necesario que la memoria 413 destinada a almacenar resultados de decodificación en curso esté provista de una RAM que tenga una capacidad de 1.614 bits del número total de los bordes, y es necesario que la memoria 410 destinada a almacenar resultados de decodificación en curso esté provista de una RAM que tenga una capacidad del valor multiplicado de la longitud de código (el número de las columnas de la matriz de comprobación) de los códigos LDPC y el número de bits de cuantificación de los resultados de decodificación en curso v , es decir, la capacidad de $90 \times 9 = 810$ bits. Por lo tanto, se puede reducir la escala de los circuitos del aparato de decodificación. Además, en el aparato de decodificación 400 de la Fig. 18, puesto que no es necesario que la sección de cálculo 415 destinada a realizar el segundo cálculo disponga de una memoria FIFO, se puede reducir la escala de los circuitos del conjunto lógico.

Además, por ejemplo, cuando la matriz de comprobación de los códigos LDPC es la matriz de comprobación de la Fig. 15, y el número de bits de cuantificación de los resultados de decodificación en curso v es 10, en el aparato de decodificación 600 de la Fig. 26, es necesario que la memoria 610 destinada a almacenar resultados de decodificación en curso esté provista de una RAM que tenga una capacidad de 1.614 bits del número total de los bordes, y es necesario que la memoria 613 destinada a almacenar resultados de decodificación en curso esté provista de una RAM que tenga una capacidad del valor multiplicado del número de filas de la matriz de comprobación y los resultados de decodificación en curso v , es decir, una capacidad de $30 \times 10 = 300$ bits. Por lo tanto, se puede reducir la escala de los circuitos del aparato de decodificación. Además, en el aparato de decodificación 600 de la Fig. 26, puesto que no es necesario que la sección de cálculo 612 destinada a realizar el primer cálculo disponga de una memoria FIFO, se puede reducir la escala de los circuitos del conjunto lógico.

En general, puesto que la longitud de código de los códigos LDPC es de hasta entre varios miles y varias decenas de miles, se usan los códigos LDPC cuyo valor de p tiene un tamaño de varios cientos. En ese caso, se incrementan las ventajas de usar el aparato de decodificación según la presente invención.

Además, puesto que el aparato de decodificación según la presente invención implementa fielmente el algoritmo de suma producto, no se producen pérdidas de decodificación aparte de la cuantificación de mensajes.

Aplicabilidad industrial

Teniendo en cuenta los puntos de vista anteriores, usando el aparato de decodificación según la presente invención, resulta posible una decodificación de alto rendimiento.

REIVINDICACIONES

- 5 1. Aparato de decodificación de paso de mensajes (300) para decodificar un código de Comprobación de Paridad de Baja Densidad (LDPC) adaptado para implementar una propagación de confianza sobre una representación en gráfica Tanner del código LDPC, en el que la matriz de comprobación correspondiente a la gráfica Tanner de dicho código LDPC se representa mediante una combinación de una pluralidad de sub-matrices de P x P, y el código LDPC usa, como sub-matriz:
- 10 una matriz unidad de P x P,
- una matriz cuasi-unidad, en la que uno o más 1s de una matriz unidad de P x P se sustituyen por 0,
- 15 una matriz de desplazamiento, en la que dicha matriz unidad o dicha matriz cuasi-unidad se desplaza cíclicamente,
- una matriz suma de P x P, que es la suma de dos o más de dicha matriz unidad, dicha matriz cuasi-unidad, y dicha matriz de desplazamiento, presentando dicha matriz suma de P x P un peso de filas o columnas de 2 ó mayor,
- 20 o una matriz cero de P x P,
- y dicha combinación incluye matrices suma de P x P,
- 25 comprendiendo dicho aparato de decodificación:
- unos primeros medios de cálculo (313) adaptados para realizar simultáneamente P cálculos de nodos de comprobación con el fin de decodificar dicho código LDPC y para obtener datos de mensajes correspondientes a P bordes como resultado de dichos P cálculos de nodos de comprobación;
- 30 unos segundos medios de cálculo (319) adaptados para realizar simultáneamente P cálculos de nodos variables con el fin de decodificar dichos códigos LDPC y para obtener datos de mensajes correspondientes a P bordes como resultado de dichos P cálculos de nodos variables; y
- 35 unos medios de almacenamiento de datos de bordes (311 ó 316) adaptados para leer simultáneamente, desde una etapa de una FIFO o una palabra de una RAM, y para escribir simultáneamente, en una etapa de una FIFO o una palabra de una RAM, datos de mensajes correspondientes a P bordes, que se obtienen a partir de los primeros medios de cálculo (313) como resultado de dichos P cálculos de nodos de comprobación o a partir de los segundos medios de cálculo (319) como resultado de dichos P cálculos de nodos variables, estando dichos
- 40 medios de almacenamiento de datos de bordes adaptados además para almacenar, en una etapa de una FIFO o una palabra de una RAM, para una matriz suma, cuyo peso de filas o columnas es 2 o mayor, mensajes correspondientes a P bordes pertenecientes a una matriz unidad, matriz cuasi-unidad, o matriz de desplazamiento incluida en la suma con el fin de formar dicha matriz suma cuyo peso de filas o columnas es 2 o mayor.
- 45 2. Aparato de decodificación según la reivindicación 1, en el que dichos primeros medios de cálculo tienen P dispositivos de cálculo de nodos de comprobación para realizar cálculos de nodos de comprobación, y
- 50 dichos segundos medios de cálculo tienen P dispositivos de cálculo de nodos variables para realizar cálculos de nodos variables.
3. Aparato de decodificación según la reivindicación 1, que comprende además:
- 55 unos medios de almacenamiento de información recibida (318) para almacenar la información recibida de códigos LDPC y para leer simultáneamente P elementos de dicha información recibida.
4. Aparato de decodificación según la reivindicación 3, en el que dichos medios de almacenamiento de información recibida almacenan dicha información recibida, de tal manera que la información recibida se pueda leer en la secuencia necesaria para dicho cálculo de nodos variables.
- 60 5. Aparato de decodificación según la reivindicación 1, que comprende además:
- unos medios de reorganización (314, 320) para reorganizar mensajes obtenidos como resultado de dichos P cálculos de nodos de comprobación o dichos P cálculos de nodos variables.
- 65

6. Aparato de decodificación según la reivindicación 5, en el que dichos medios de reorganización comprenden un desplazador de barril.

5 7. Método de decodificación usado por un aparato de decodificación de paso de mensajes (300) para decodificar un código de Comprobación de Paridad de Baja Densidad (LDPC) adaptado para implementar una propagación de confianza sobre una representación en gráfica Tanner del código LDPC, en el que la matriz de comprobación correspondiente a la gráfica Tanner de dicho código LDPC se representa mediante una combinación de una pluralidad de sub-matrices de P x P, y el código LDPC usa, como sub-matriz:

10 una matriz unidad de P x P,

una matriz cuasi-unidad, en la que uno o más 1s de una matriz unidad de P x P se sustituyen por 0,

15 una matriz de desplazamiento, en la que dicha matriz unidad o dicha matriz cuasi-unidad se desplaza cíclicamente,

una matriz suma de P x P, que es la suma de dos o más de dicha matriz unidad, dicha matriz cuasi-unidad, y dicha matriz de desplazamiento, presentando dicha matriz suma de P x P un peso de filas o columnas de 2 o mayor,

20 o una matriz cero de P x P,

y dicha combinación incluye unas matrices suma de P x P,

25 comprendiendo dicho método de decodificación las siguientes etapas de método:

realizar simultáneamente P cálculos de nodos de comprobación con el fin de decodificar dicho código LDPC y obtener datos de mensajes correspondientes a P bordes como resultado de dichos P cálculos de nodos de comprobación usando unos primeros medios de cálculo (313);

30 realizar simultáneamente P cálculos de nodos variables con el fin de decodificar dichos códigos LDPC y obtener datos de mensajes correspondientes a P bordes como resultado de dichos P cálculos de nodos variables usando unos segundos medios de cálculo (319); y

35 leer simultáneamente, desde una etapa de una FIFO de unos medios de almacenamiento de datos de bordes (311 ó 316) o una palabra de una RAM de los medios de almacenamiento de datos de bordes (311 ó 316), y escribir simultáneamente, en una etapa de una FIFO de los medios de almacenamiento de datos de bordes (311 ó 316) o una palabra de una RAM de los medios de almacenamiento de datos de bordes (311 ó 316), datos de mensajes correspondientes a P bordes, que se obtienen a partir de los primeros medios de cálculo (313) como resultado de dichos P cálculos de nodos de comprobación o a partir de los segundos medios de cálculo (319) como resultado de dichos P cálculos de nodos variables, incluyendo almacenar, en una etapa de una FIFO o una palabra de una RAM, para una matriz suma cuyo peso de filas o columnas es 2 ó mayor, mensajes correspondientes a P bordes pertenecientes a una matriz unidad, matriz cuasi-unidad, o matriz de desplazamiento incluida en la suma con el fin de formar dicha matriz suma cuyo peso de filas o columnas es 2 o mayor.

8. Programa de ordenador para permitir que un ordenador decodifique códigos LDPC realizando todas las etapas del método de la reivindicación 7.

50

FIG. 1

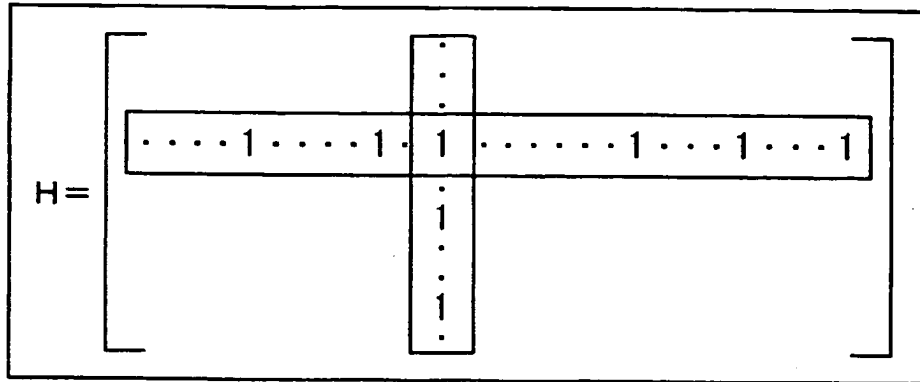


FIG. 2

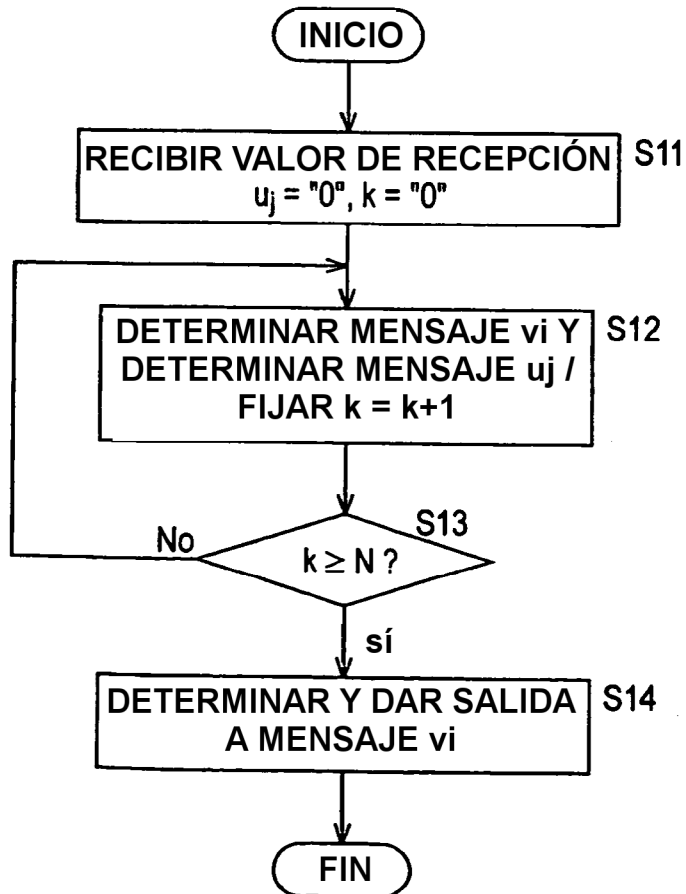


FIG. 3

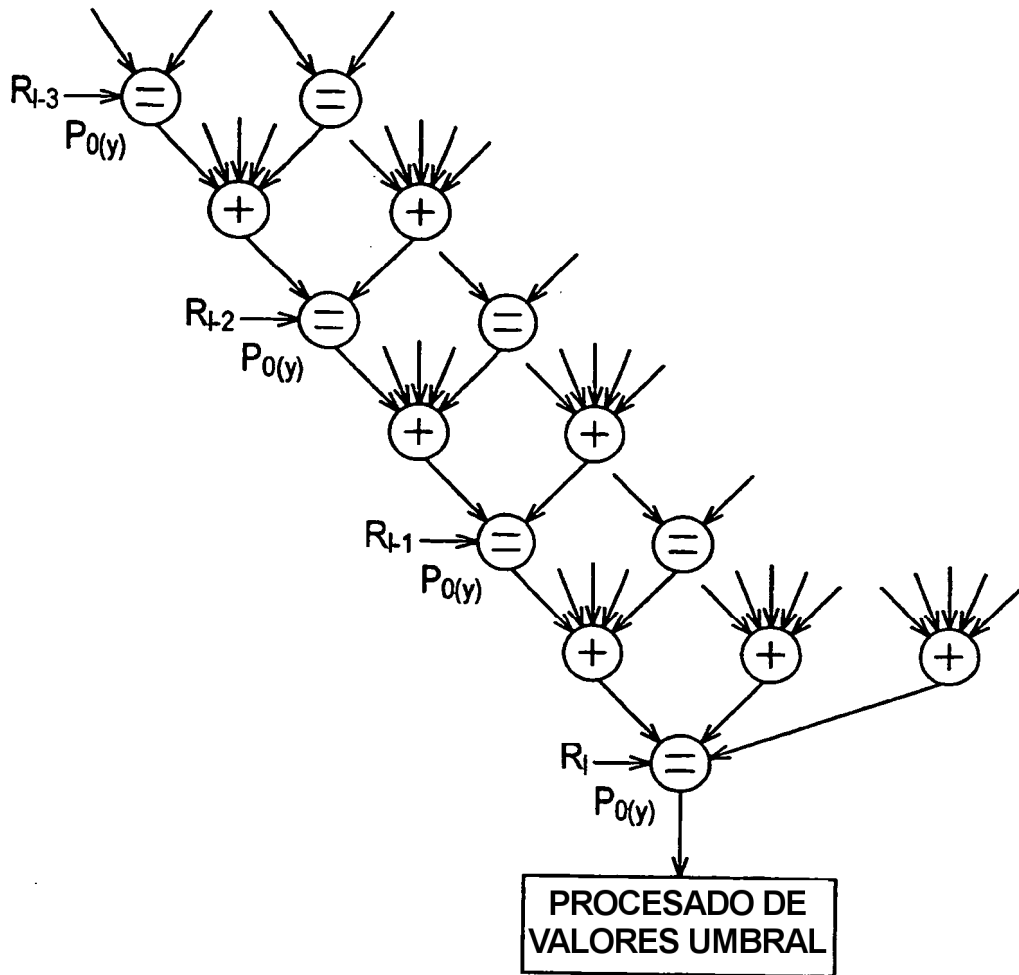


FIG. 4

H =	1	1	1	0	0	0	1	0	1	1	0	0
	1	1	0	1	1	0	0	0	0	0	1	1
	0	0	1	1	1	1	1	0	0	1	0	0
	0	0	0	1	1	1	0	1	1	0	0	1
	1	1	0	0	0	1	0	1	0	1	1	0
	0	0	1	0	0	0	1	1	1	0	1	1

FIG. 5

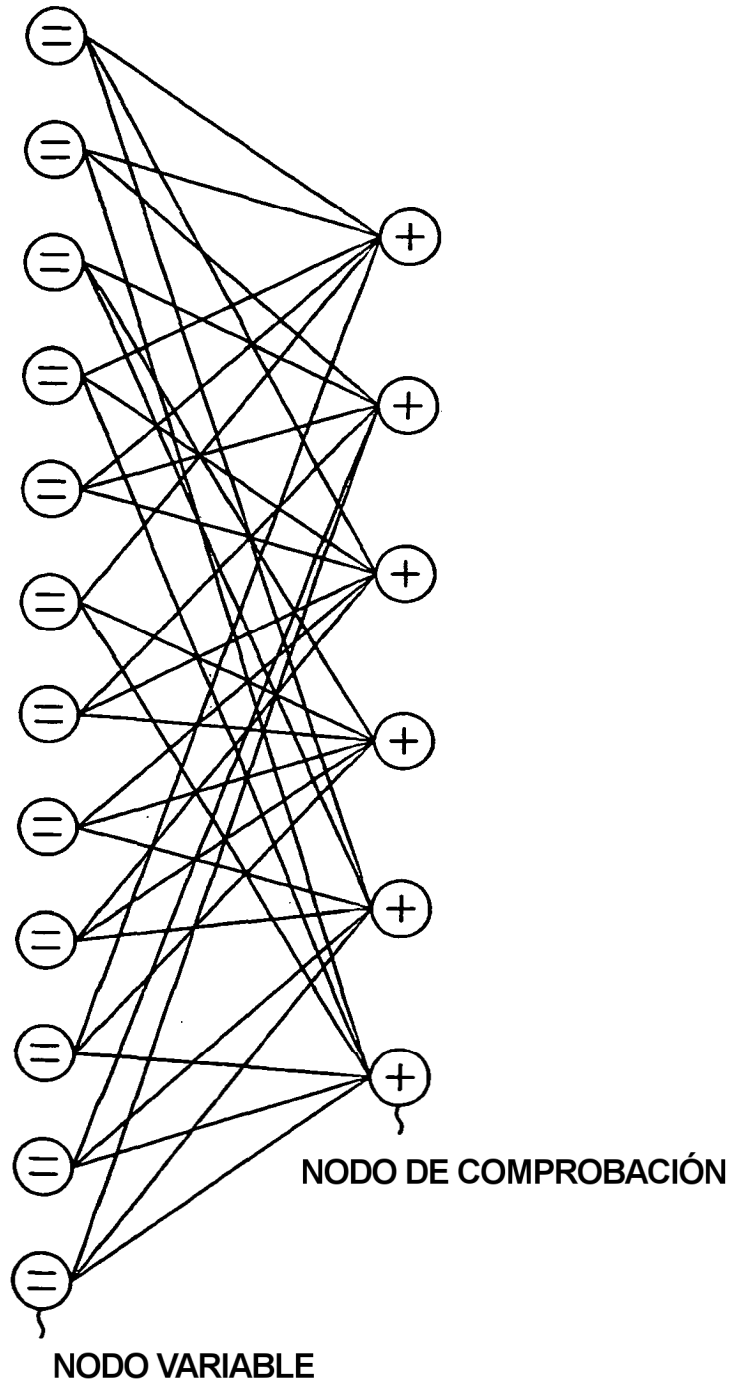


FIG. 6

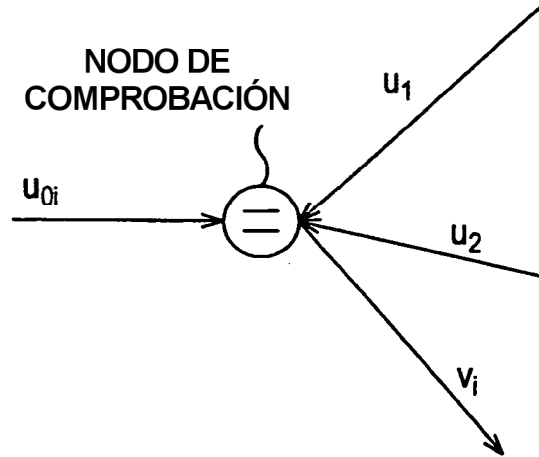


FIG. 7

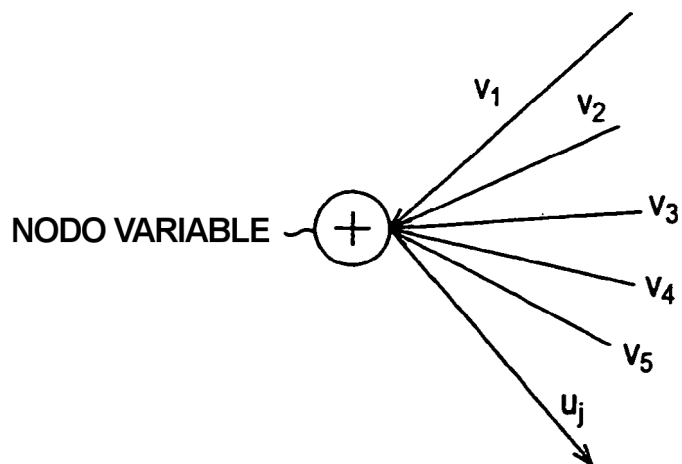


FIG. 8

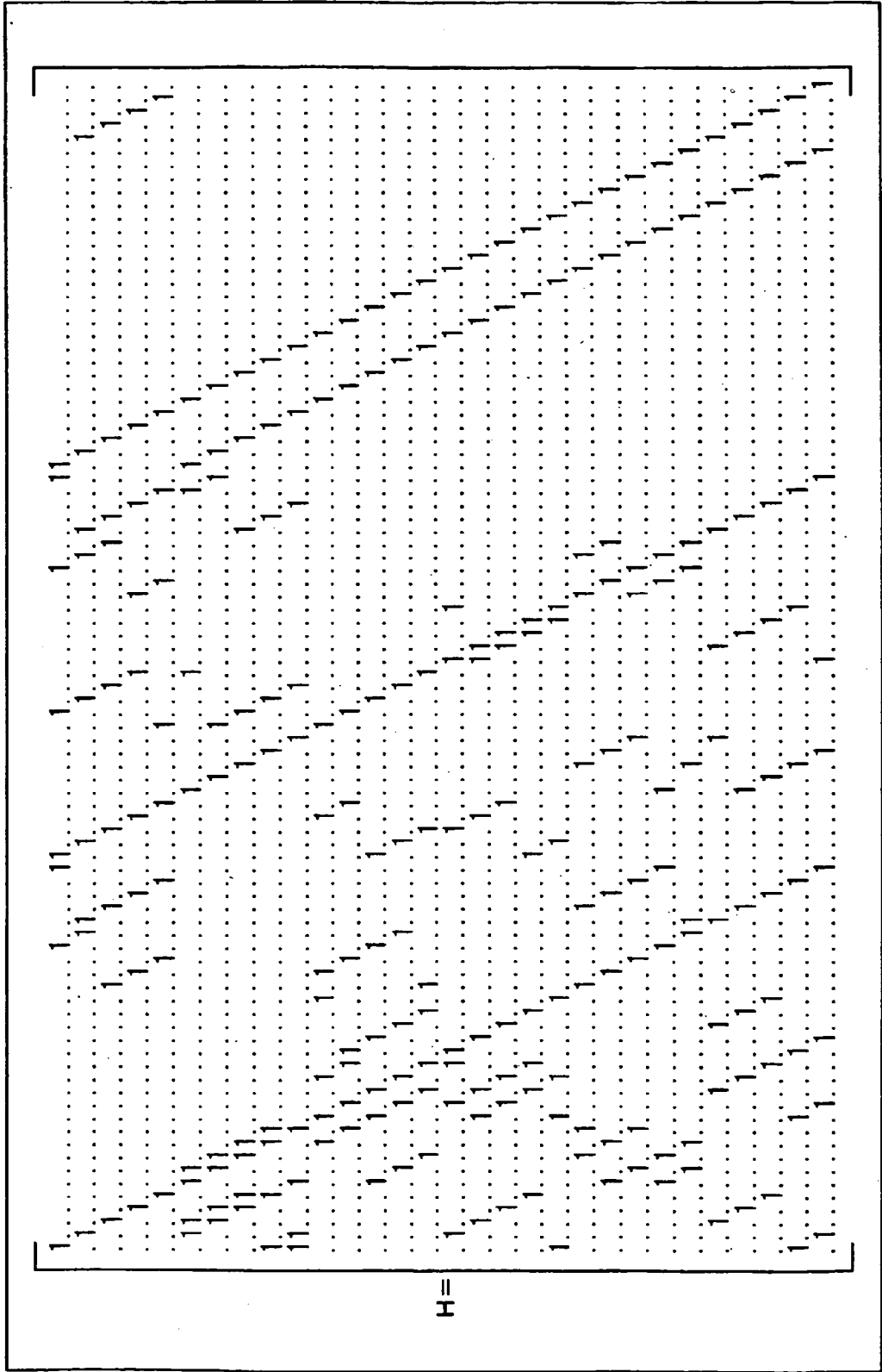


FIG. 9

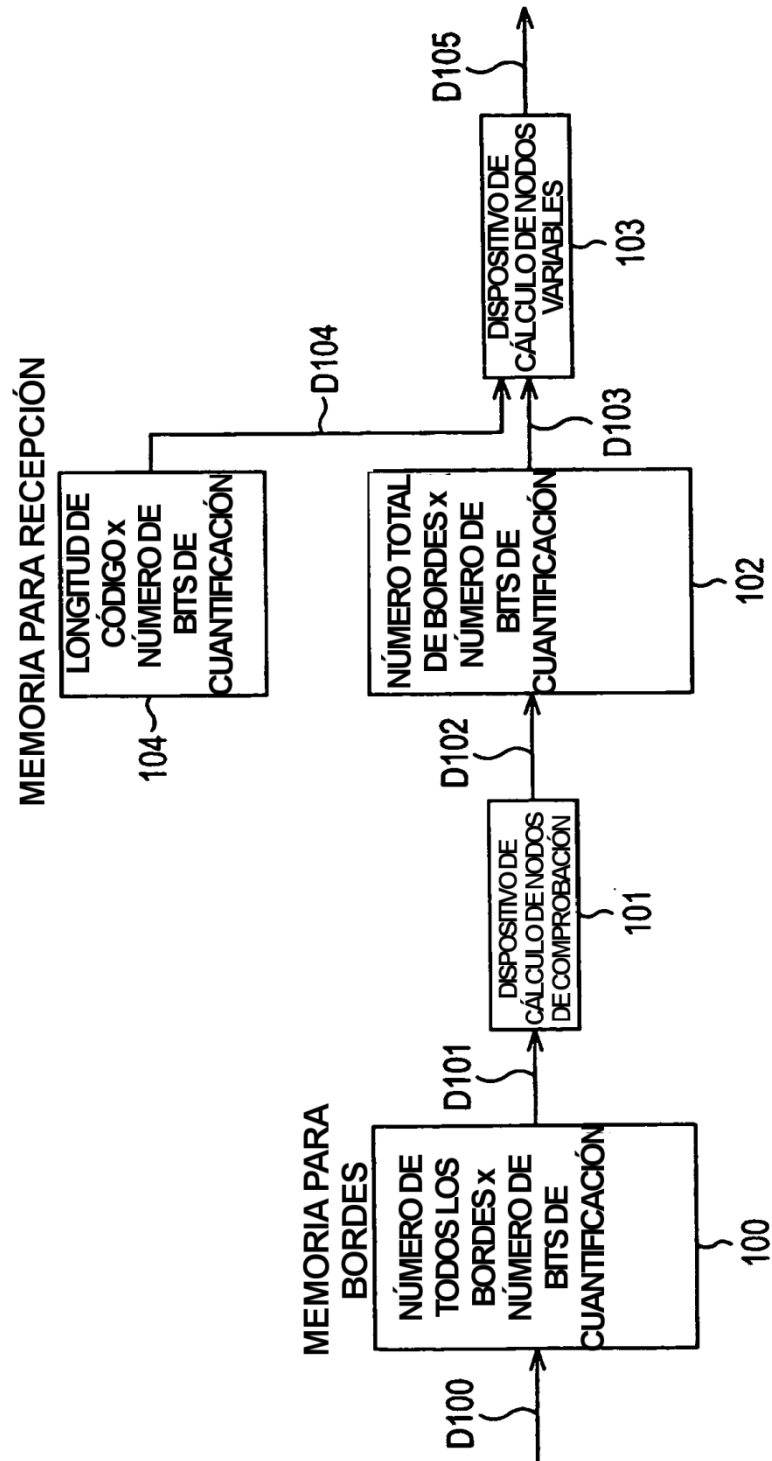


FIG. 10

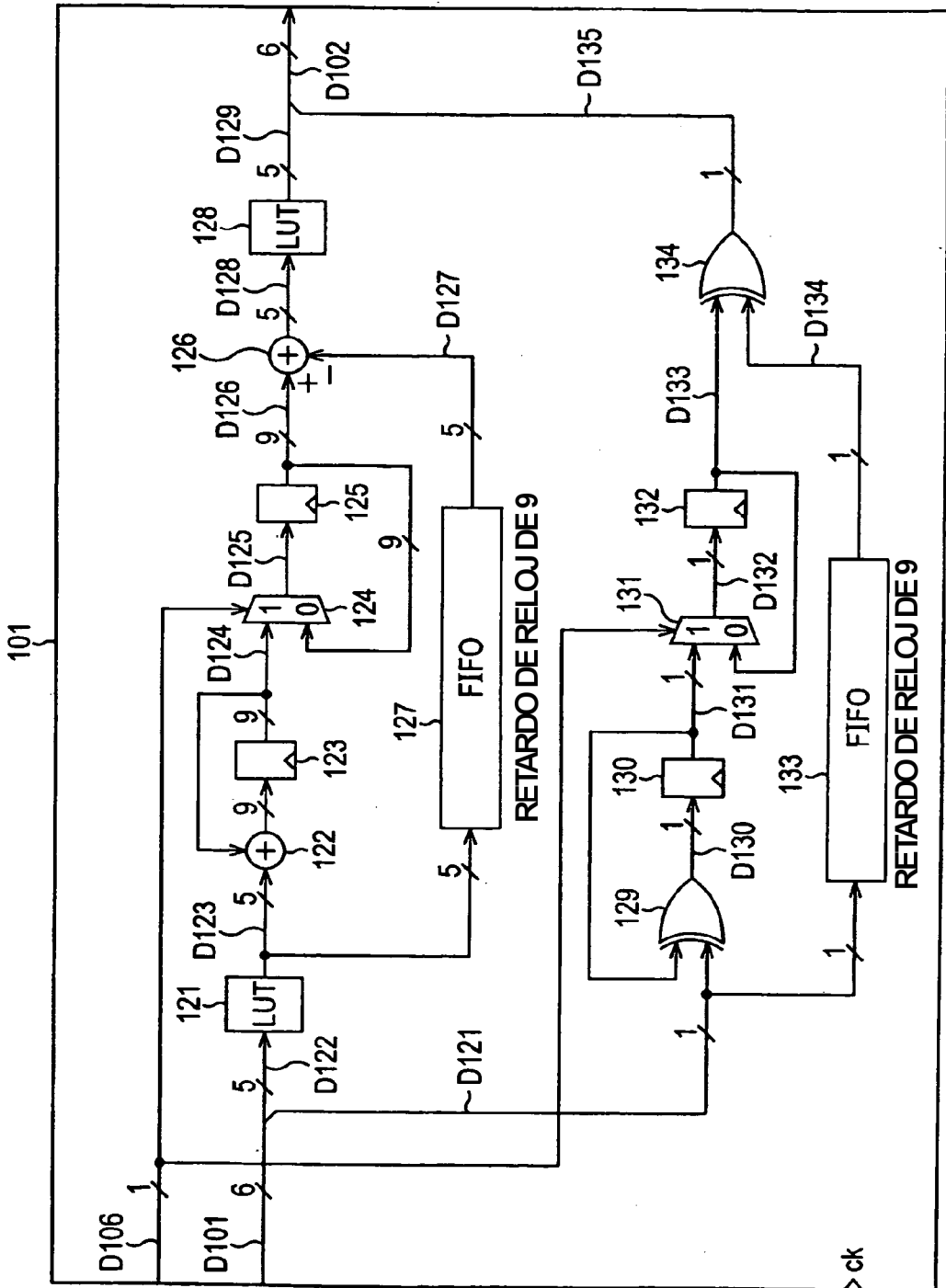


FIG. 11

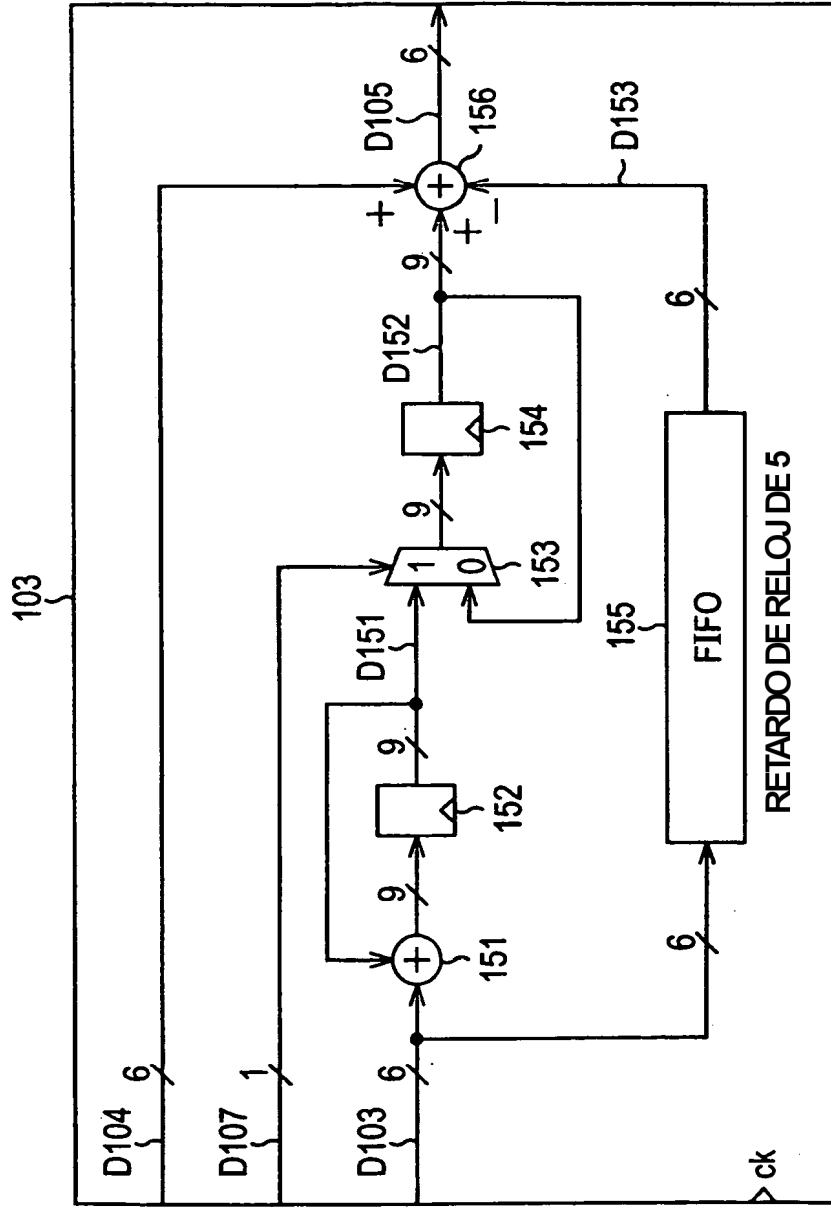


FIG. 12A

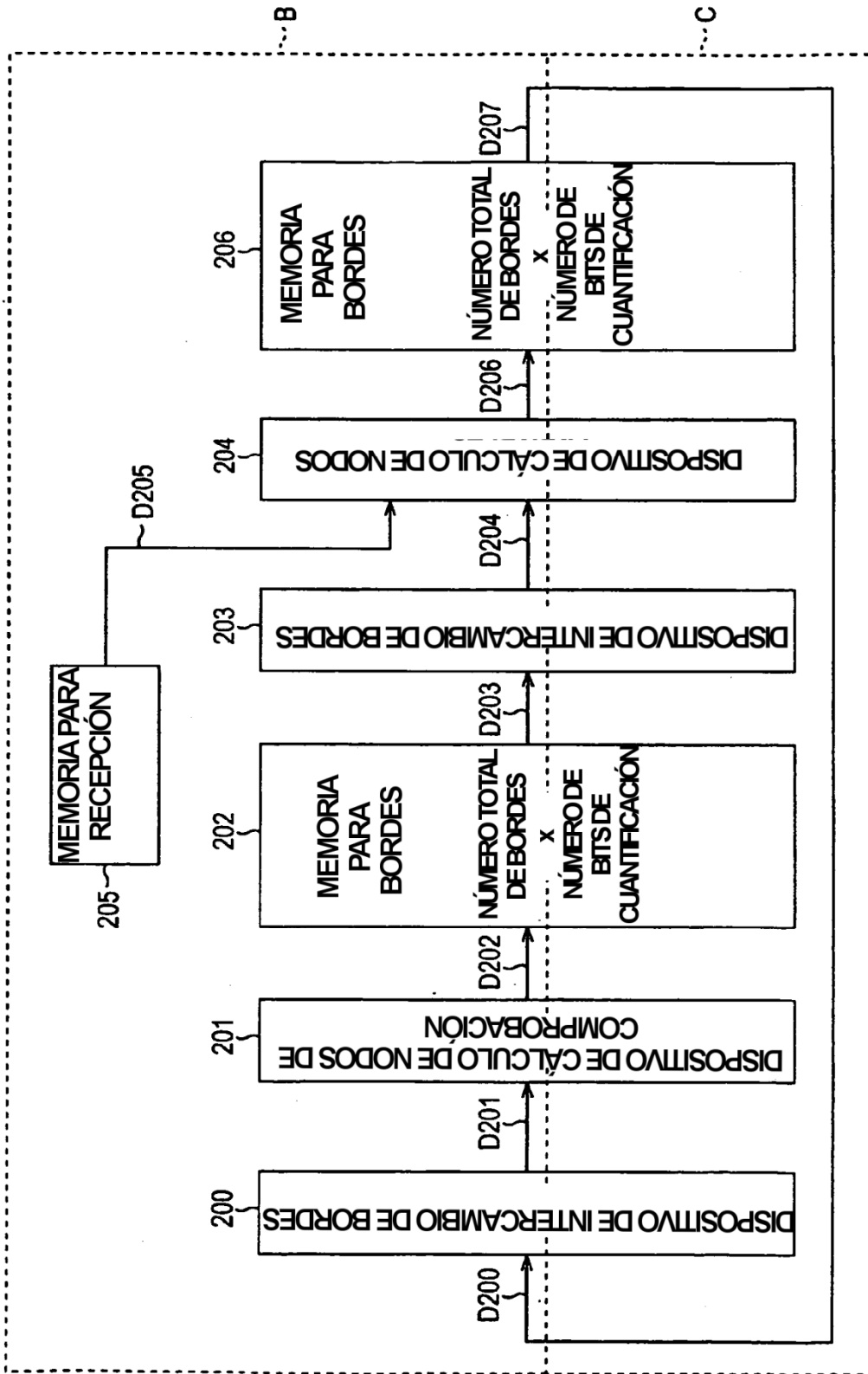


FIG. 13

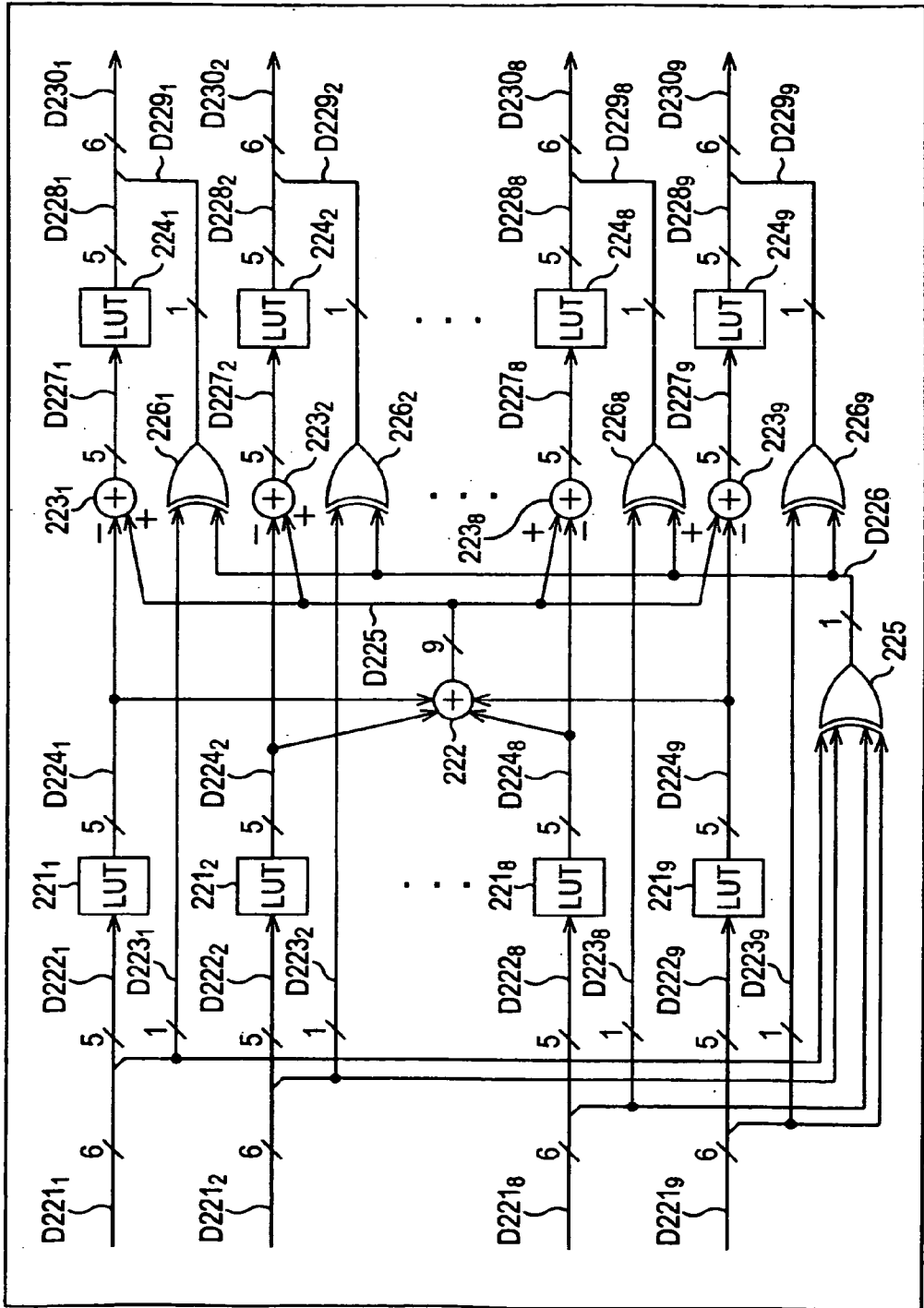


FIG. 14

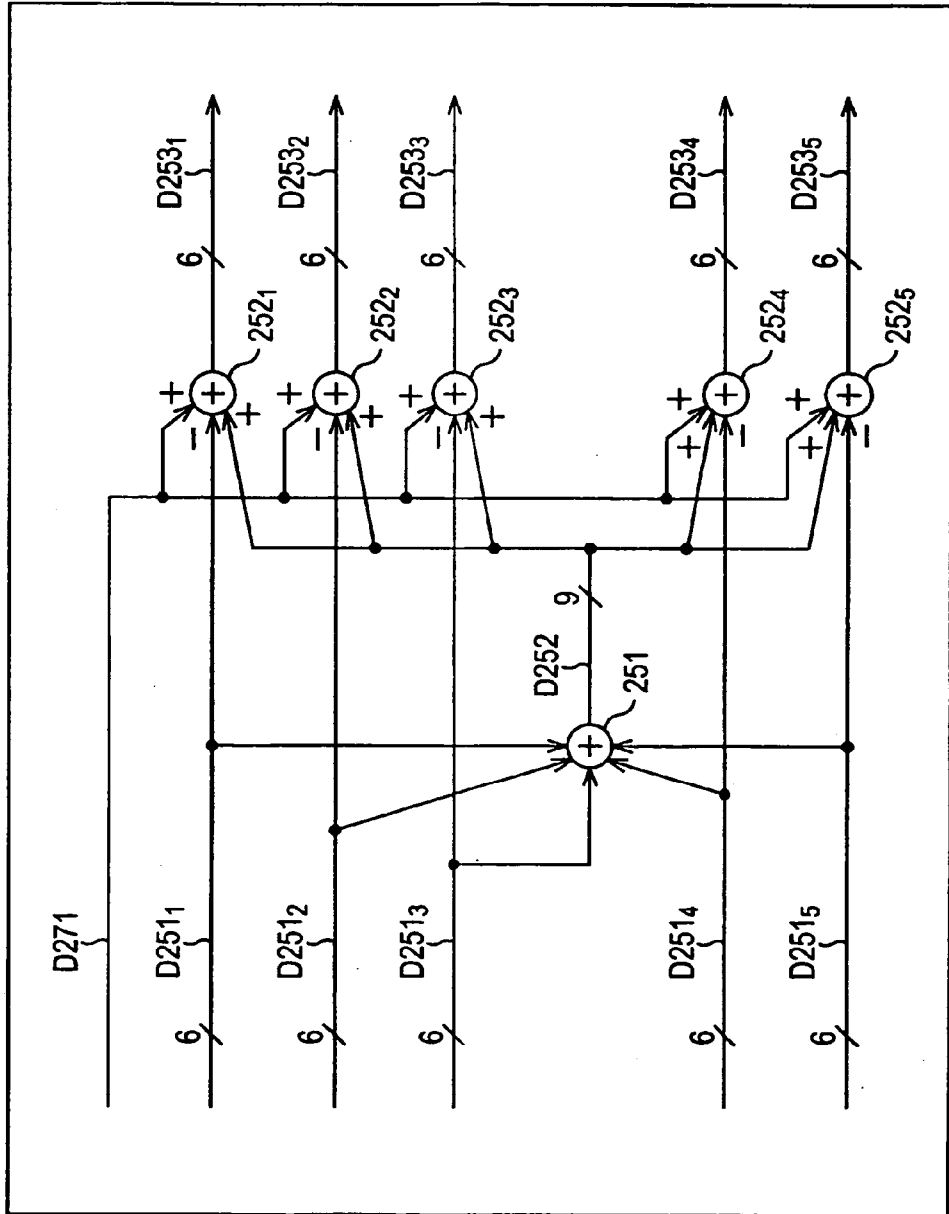
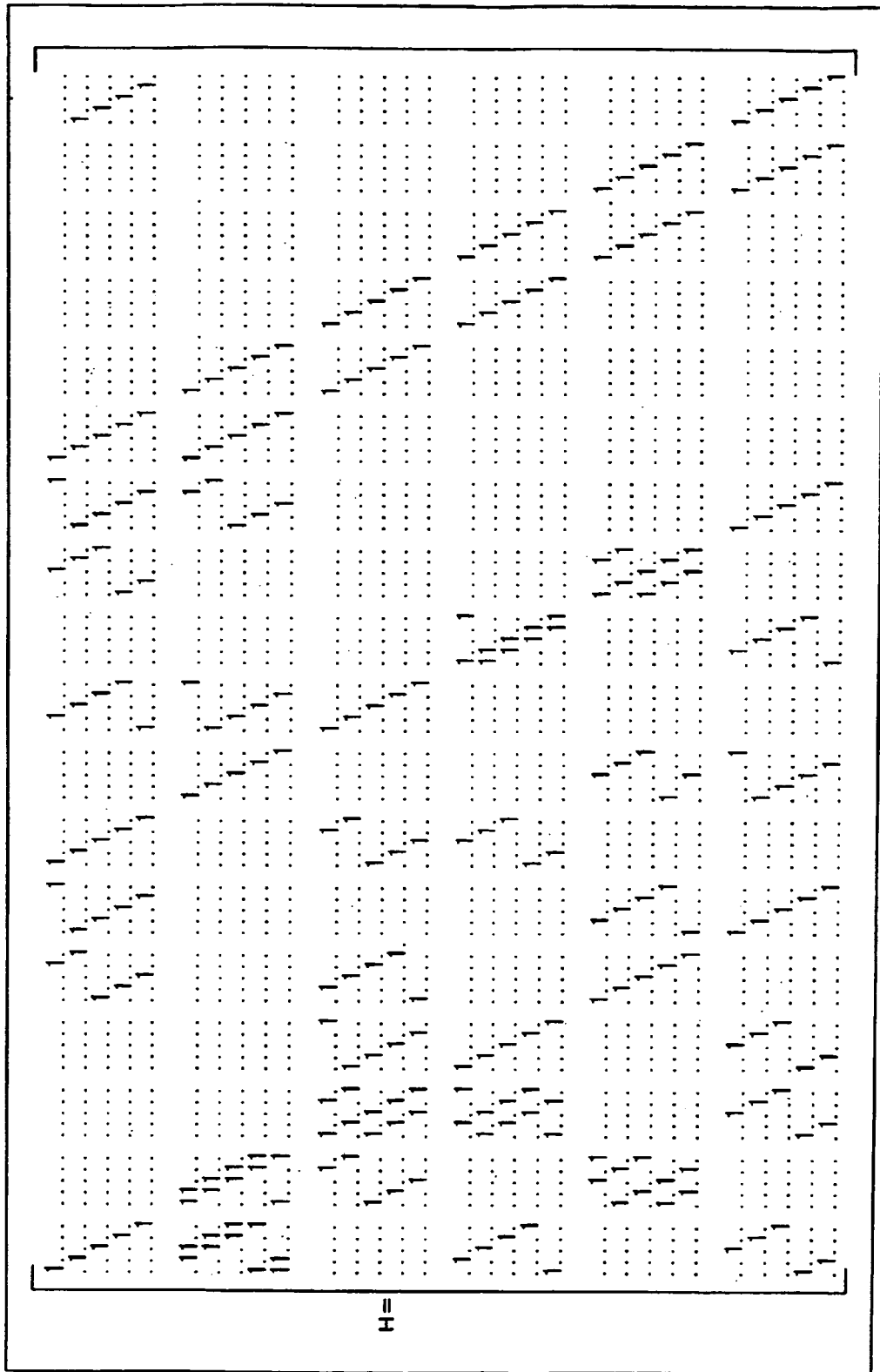


FIG. 15



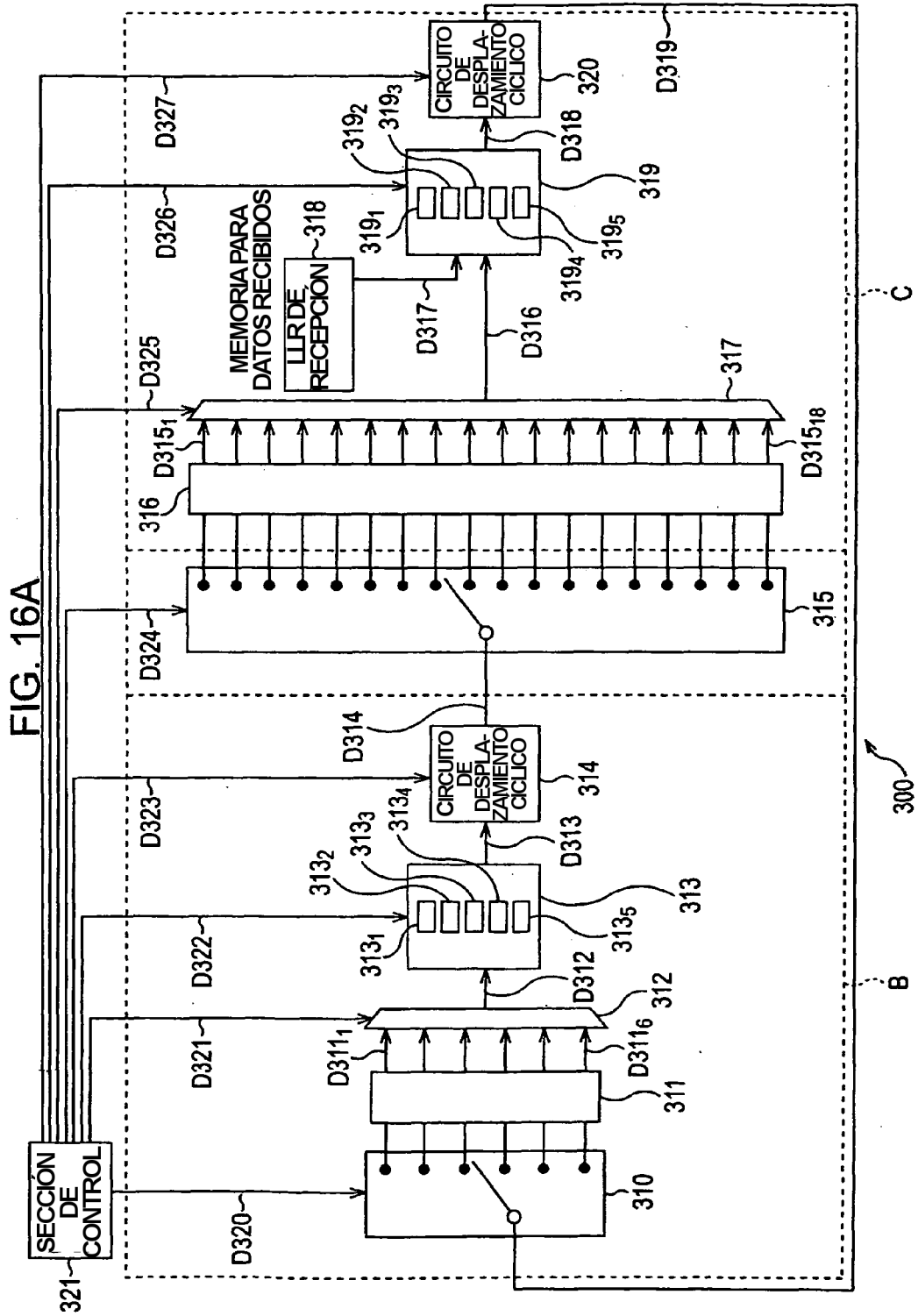


FIG. 16B

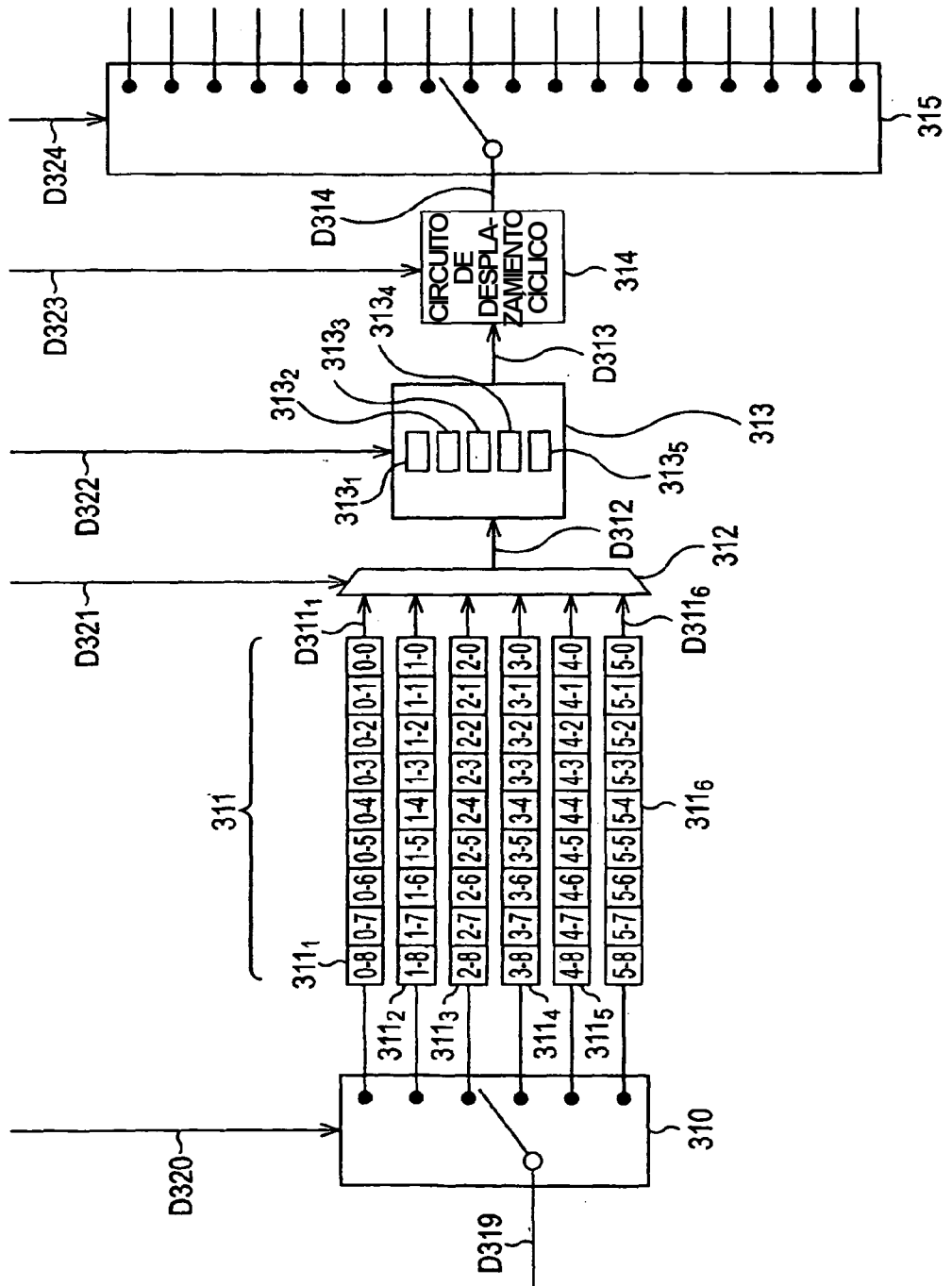


FIG. 16C

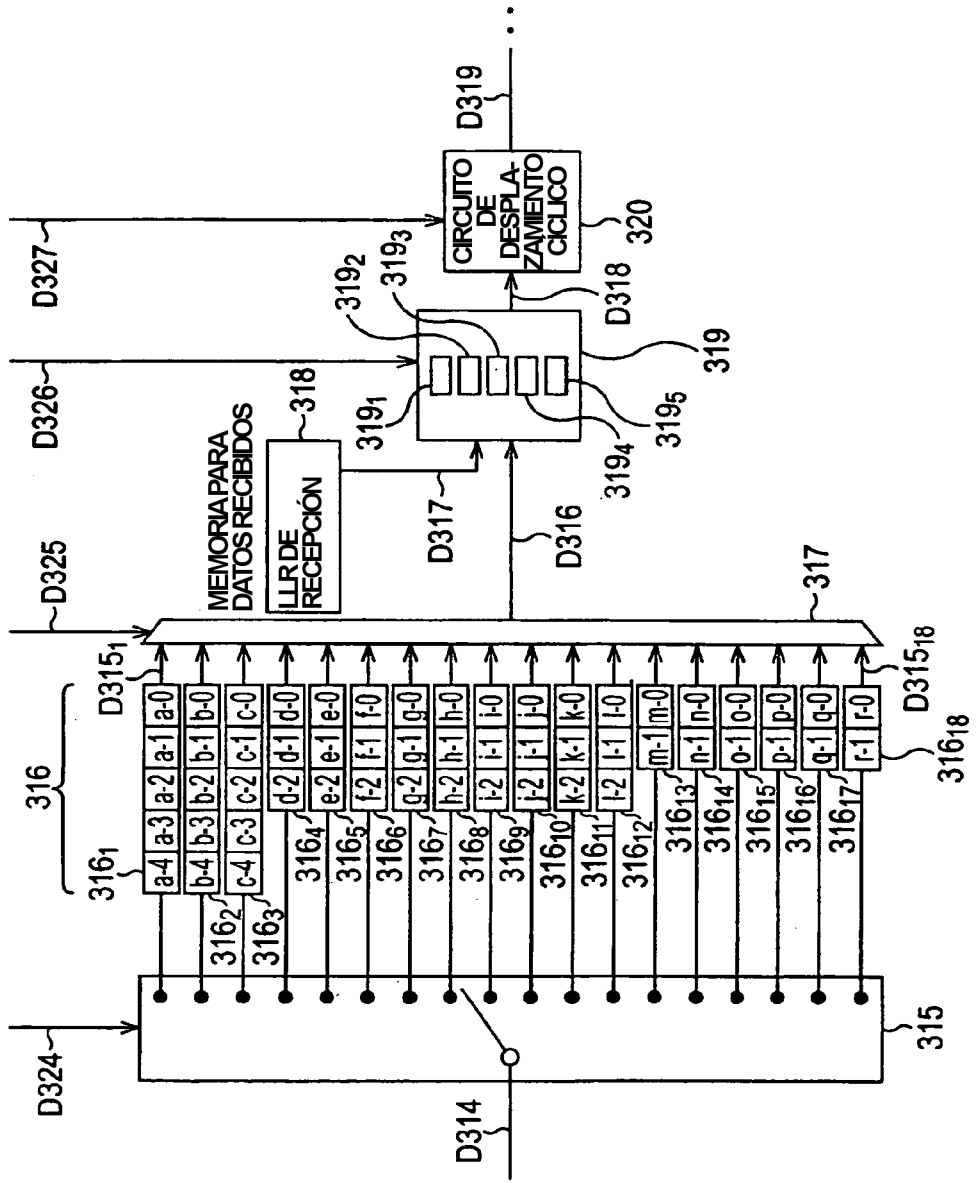


FIG. 17

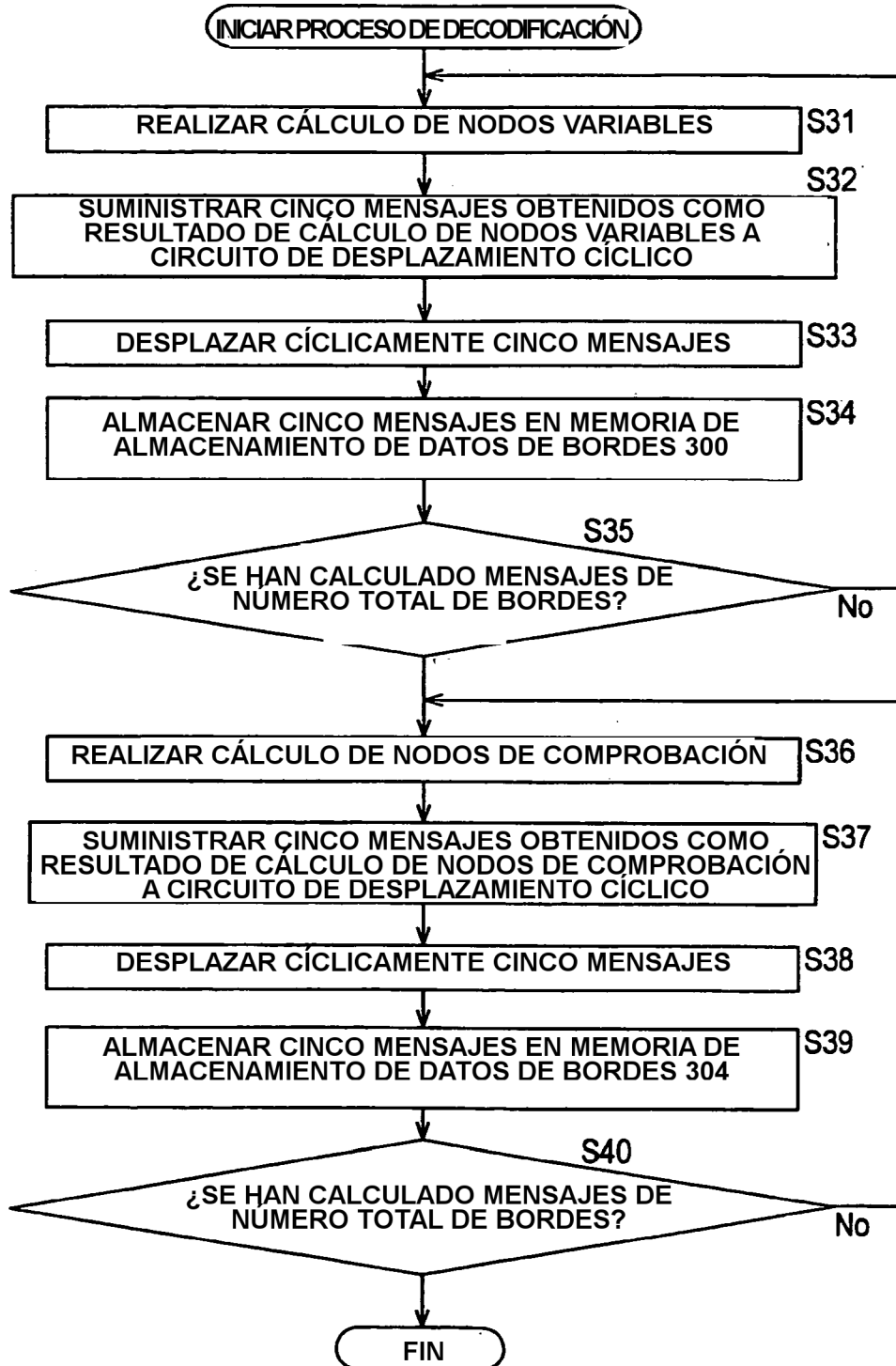


FIG. 18

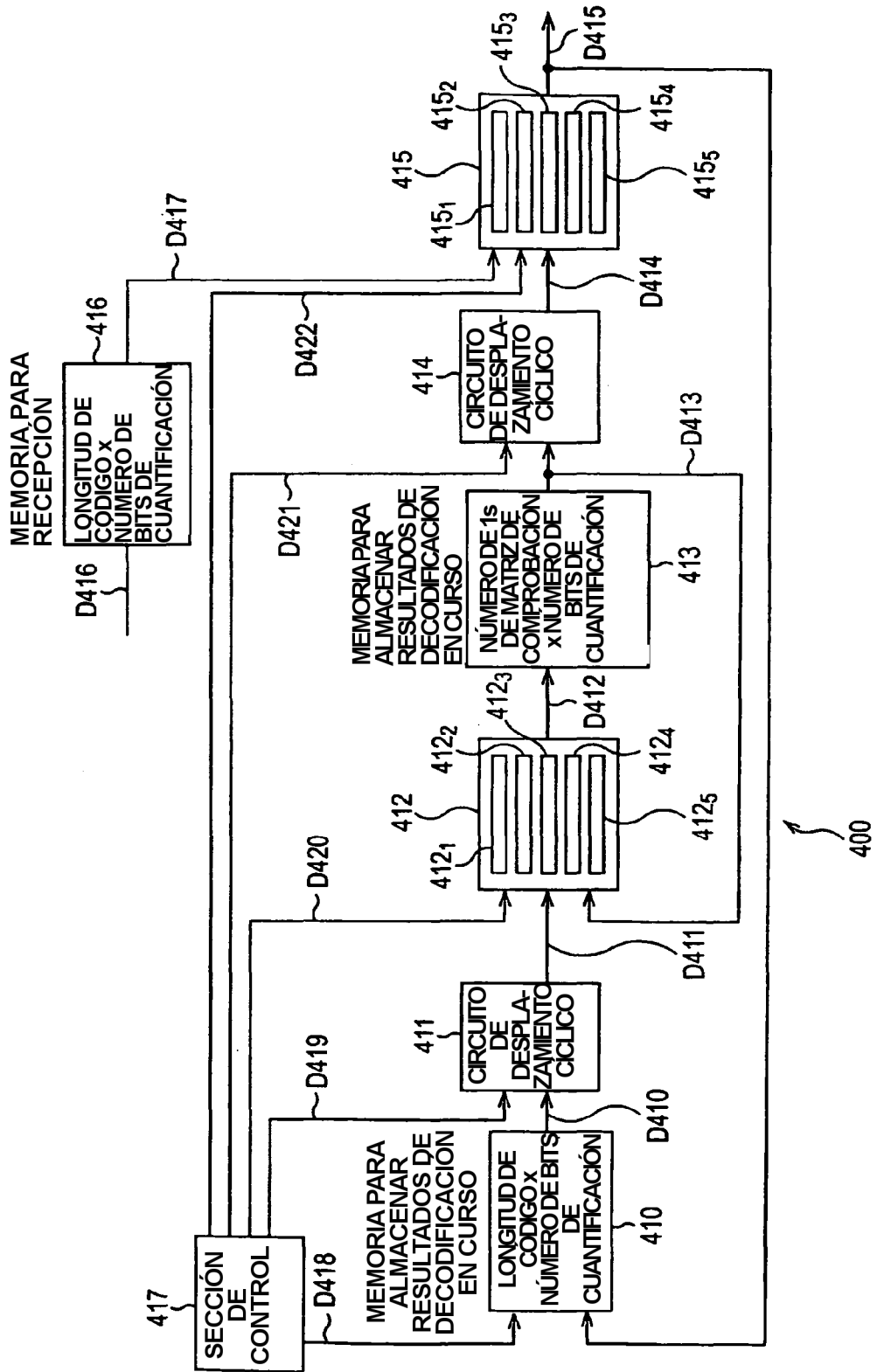


FIG. 19

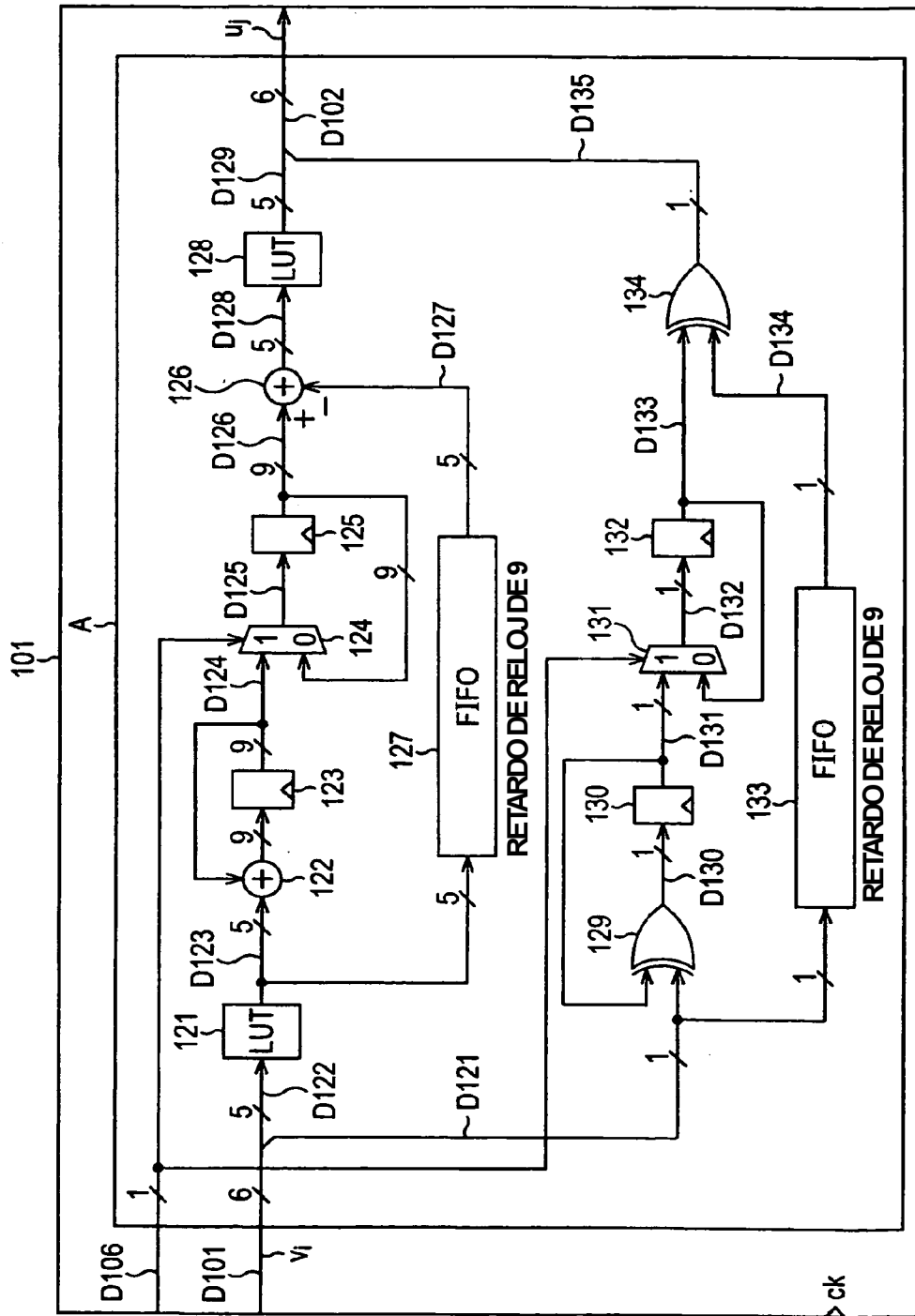


FIG. 20

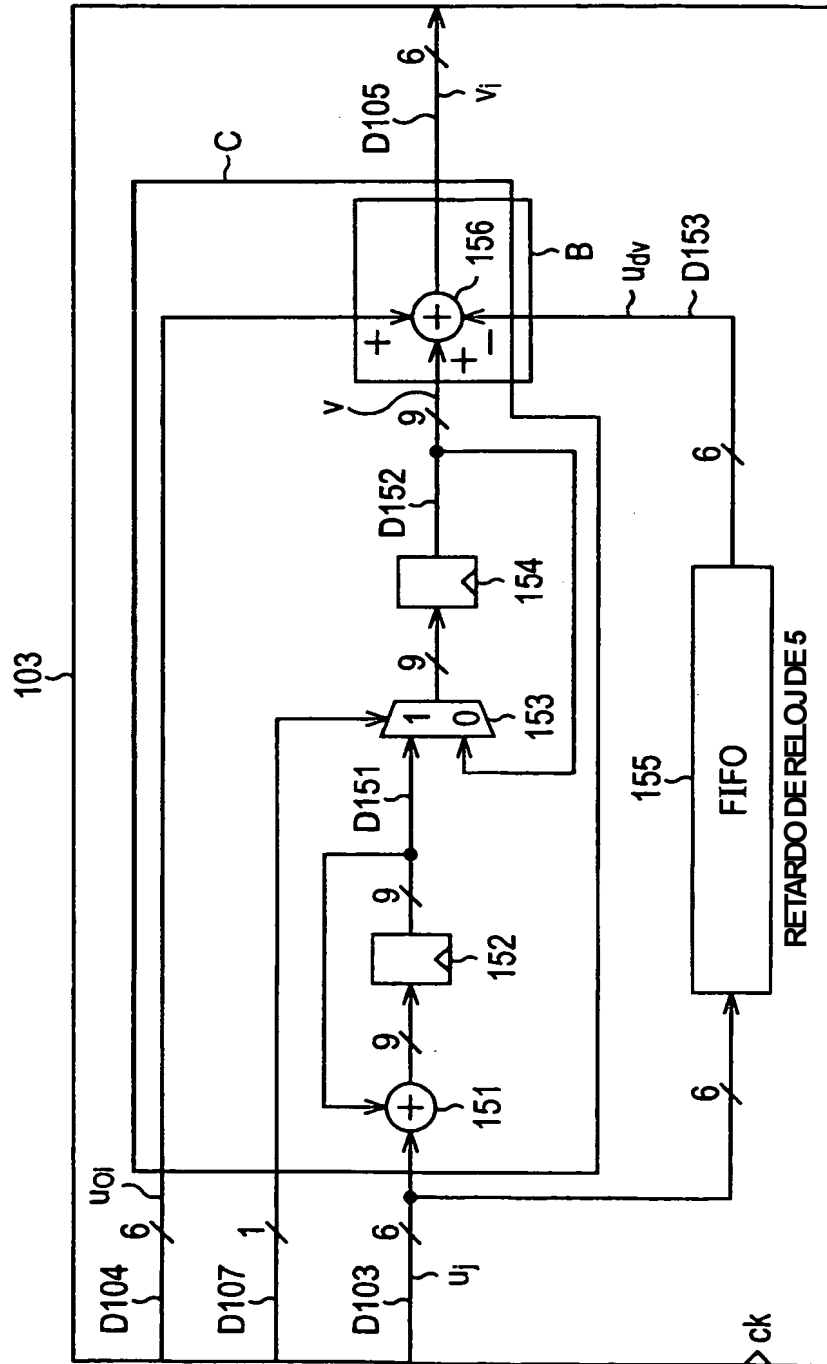


FIG. 21
4121

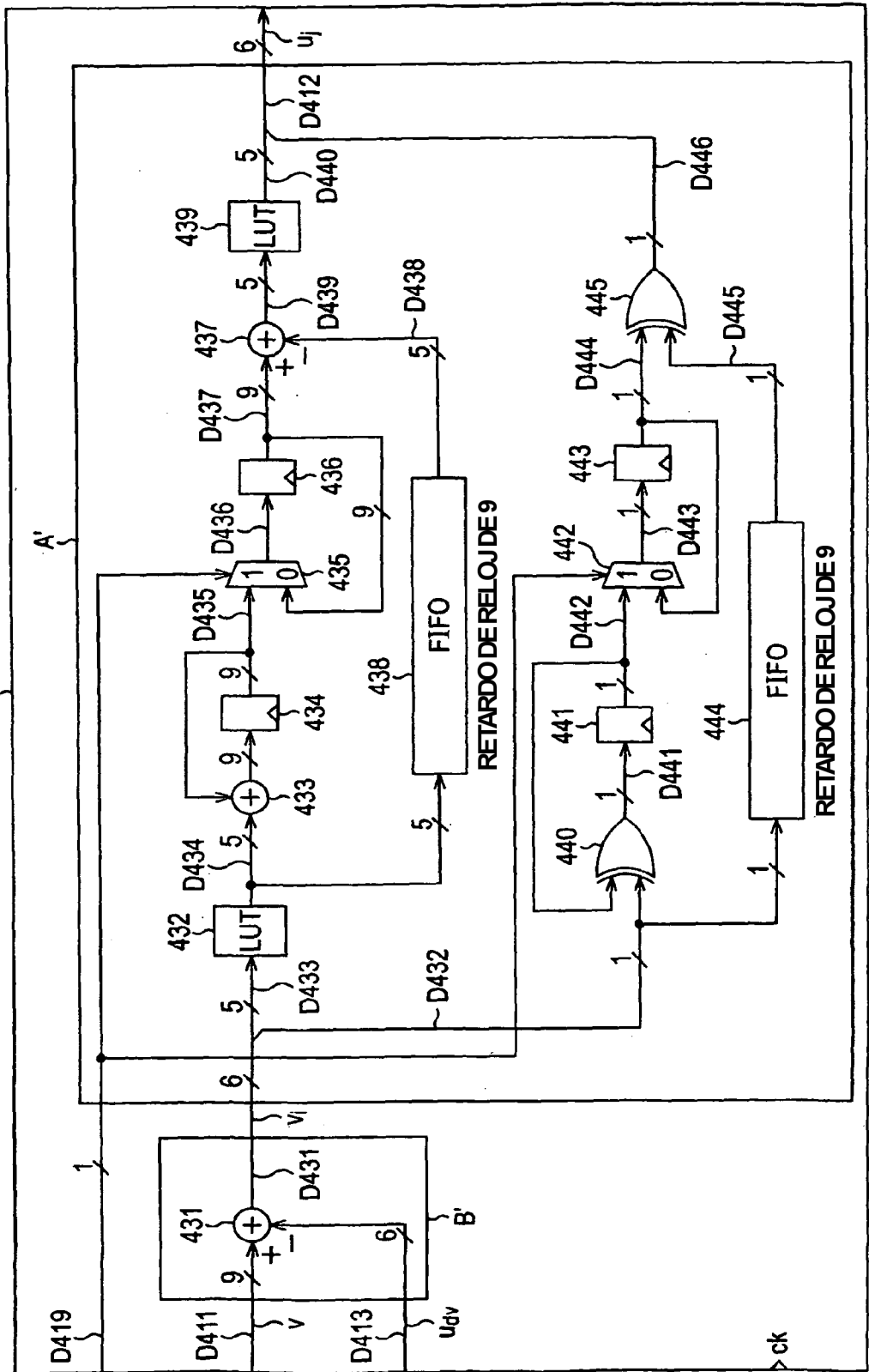


FIG. 22

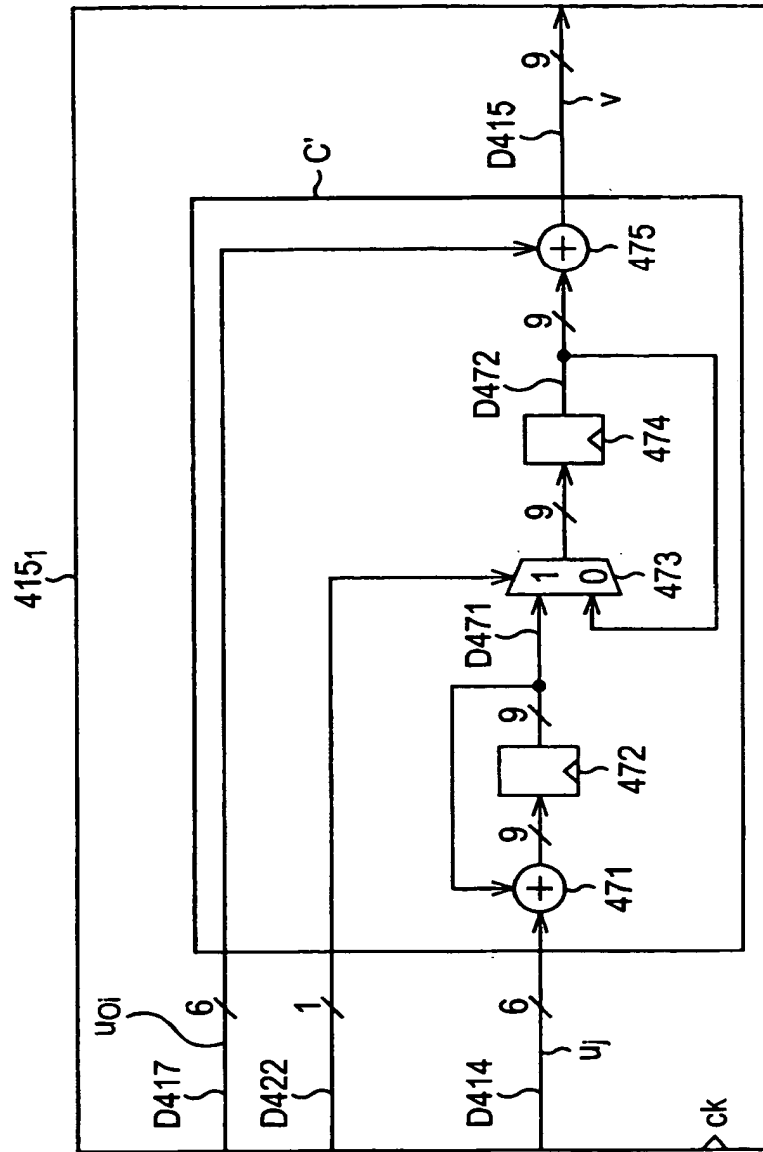


FIG. 23

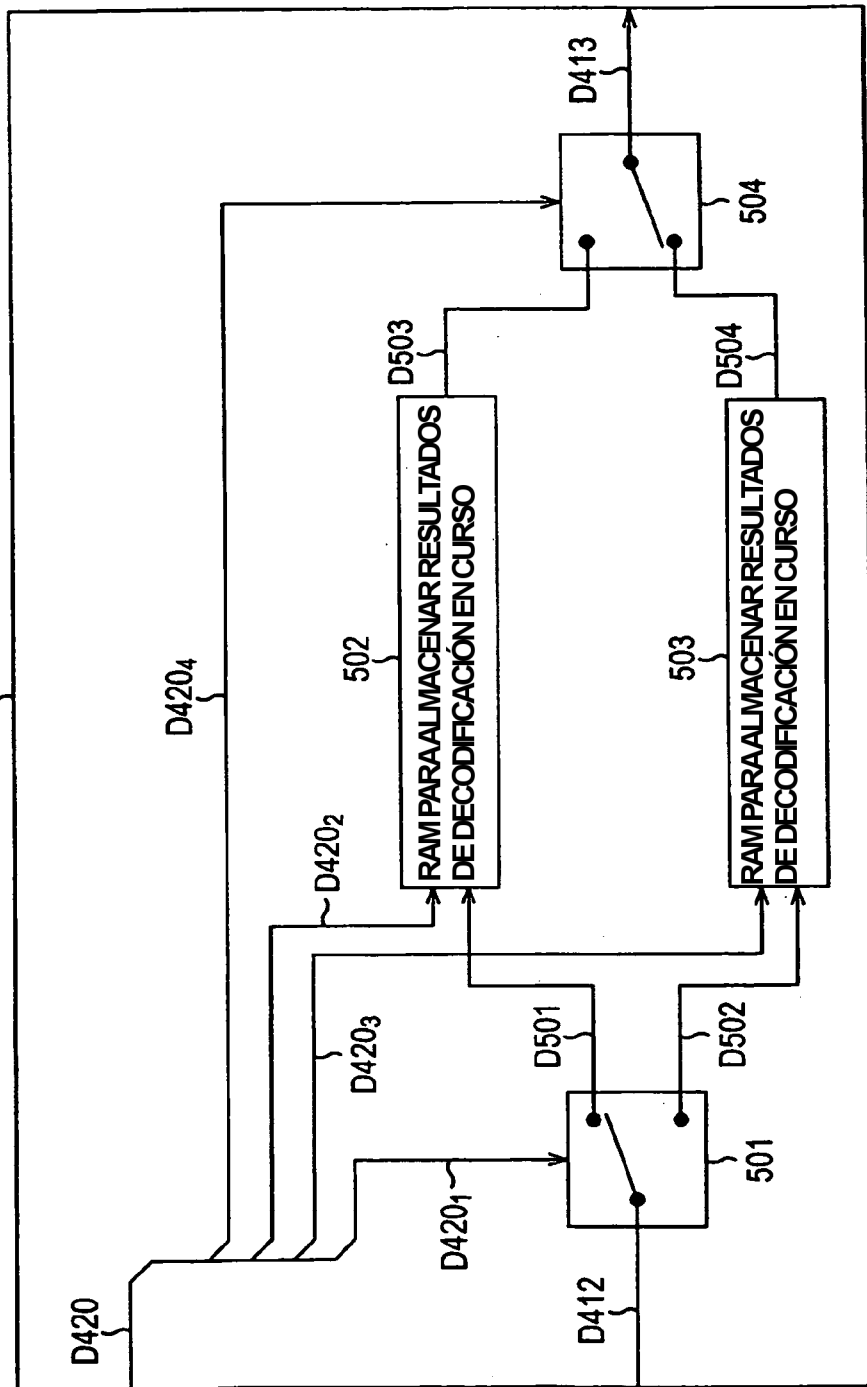


FIG. 24

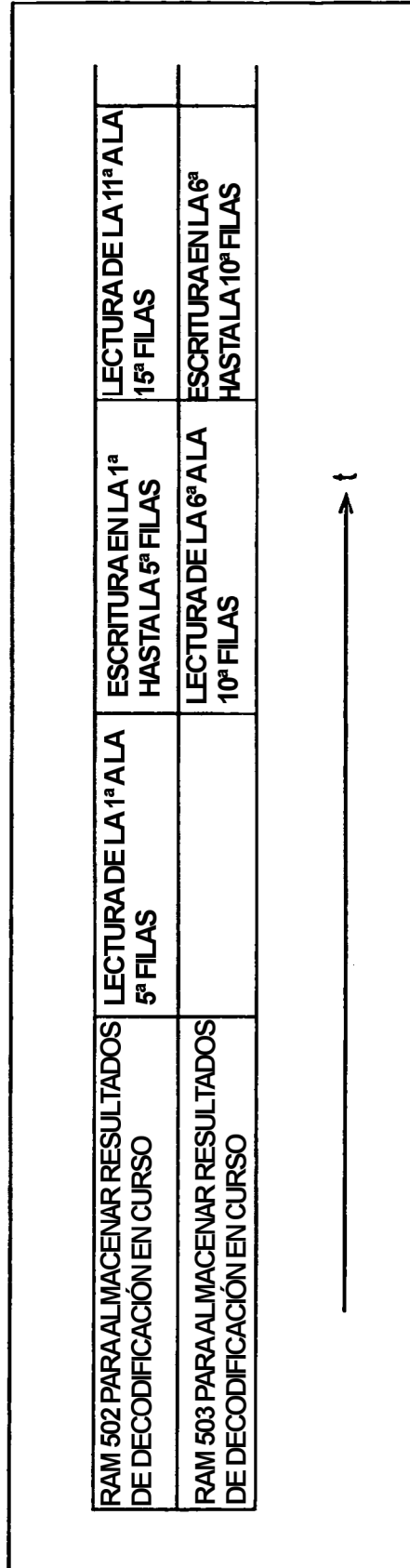


FIG. 25

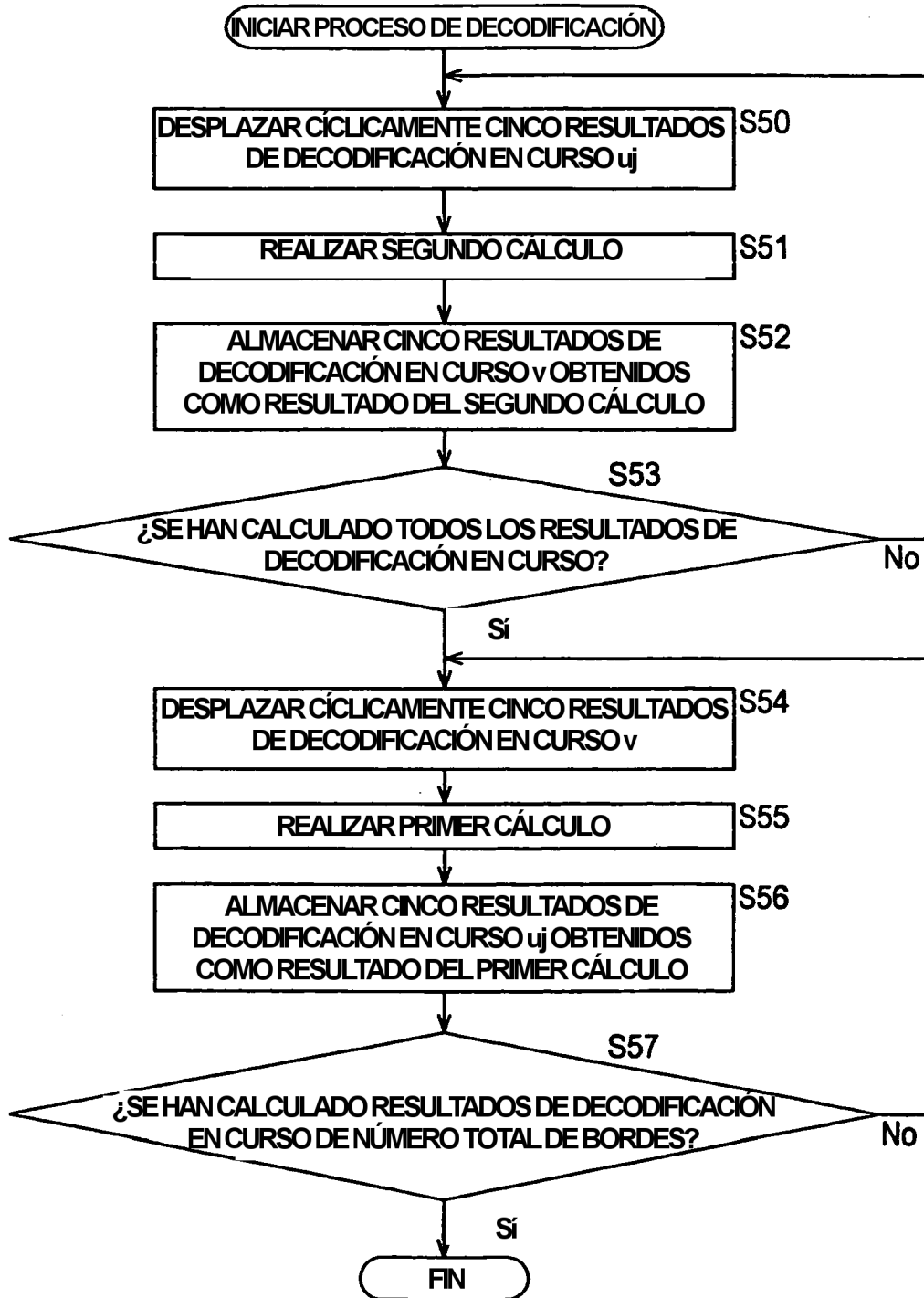


FIG. 26

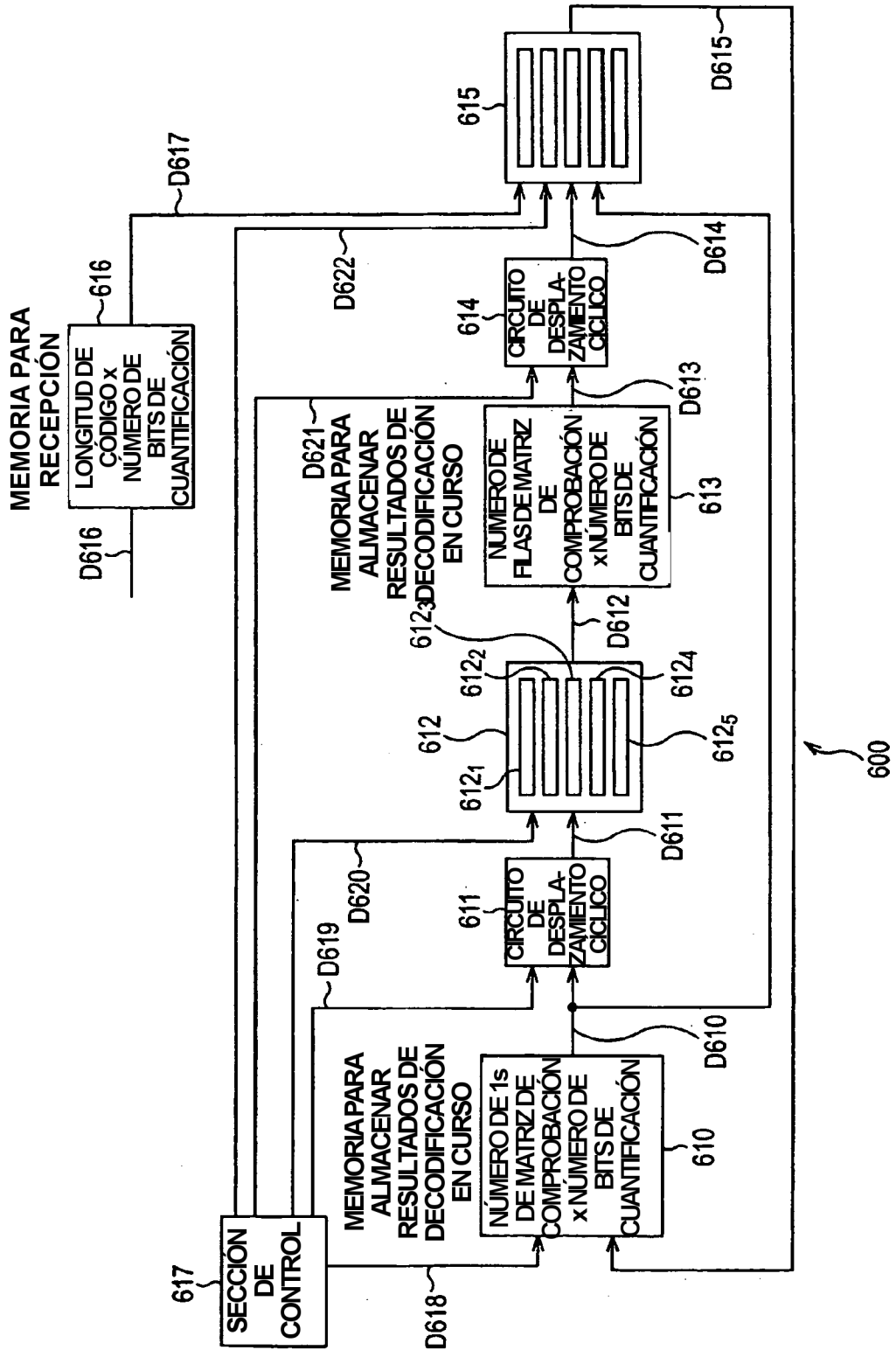


FIG. 27

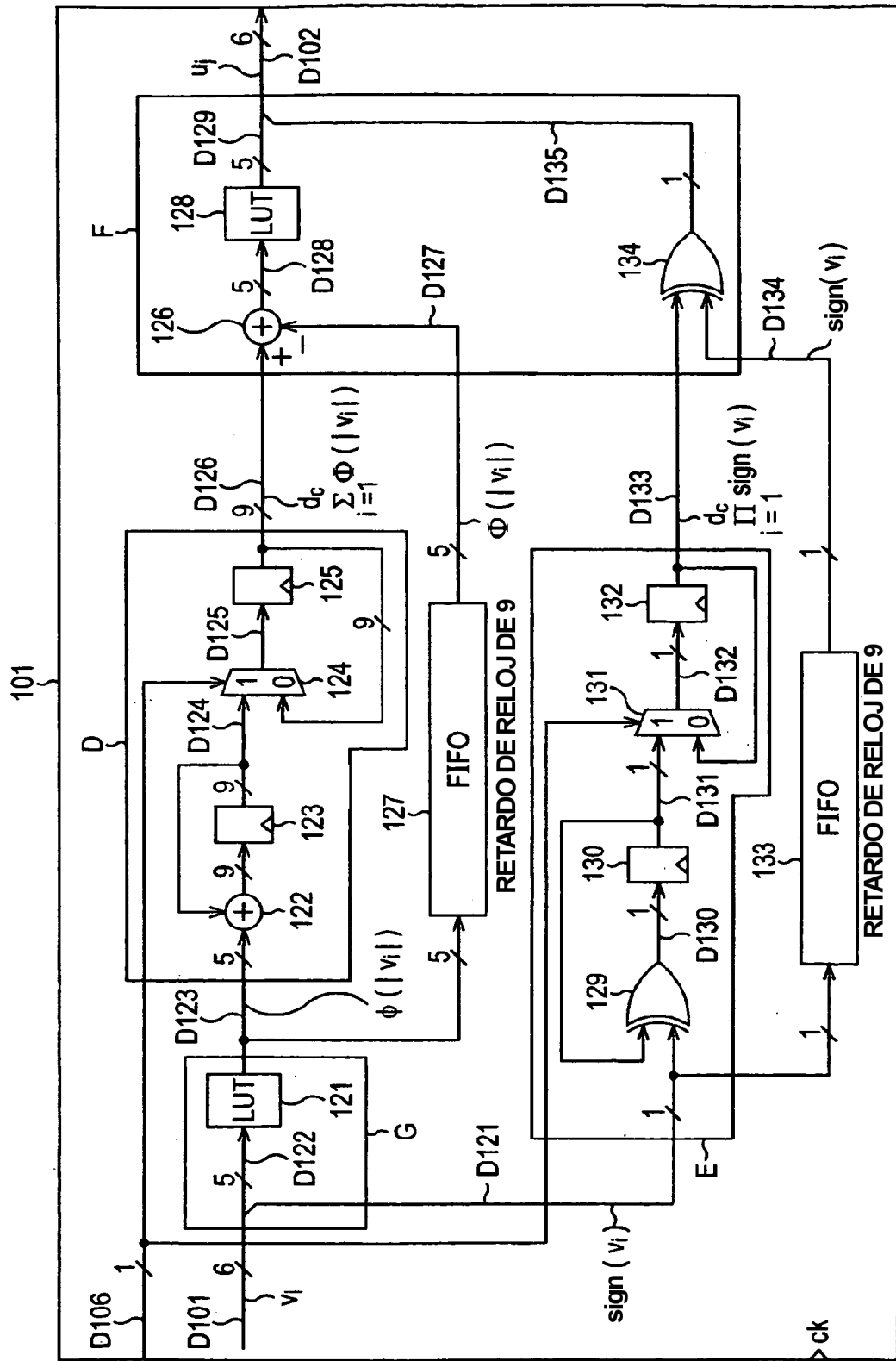


FIG. 29

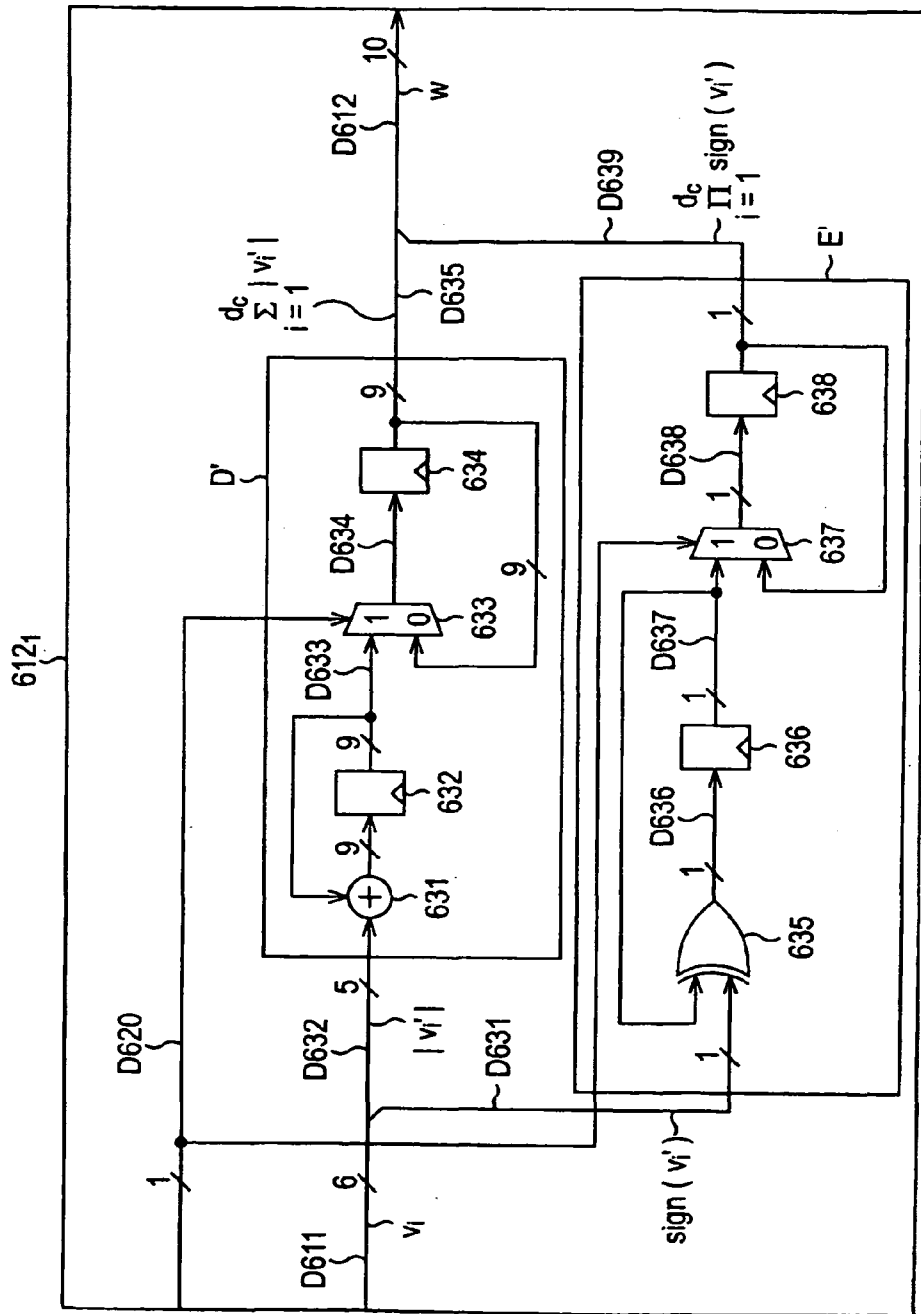


FIG. 30

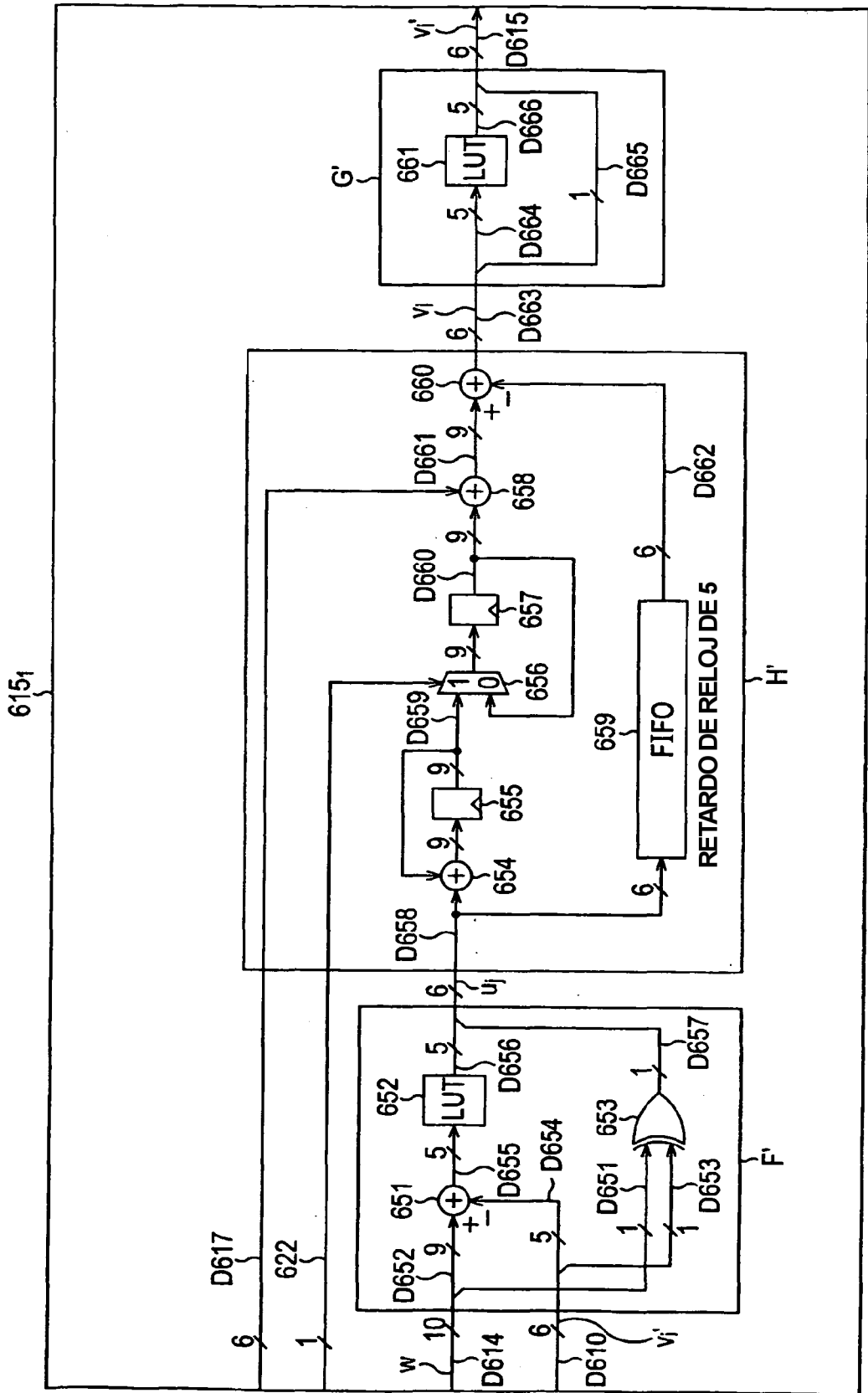


FIG. 31

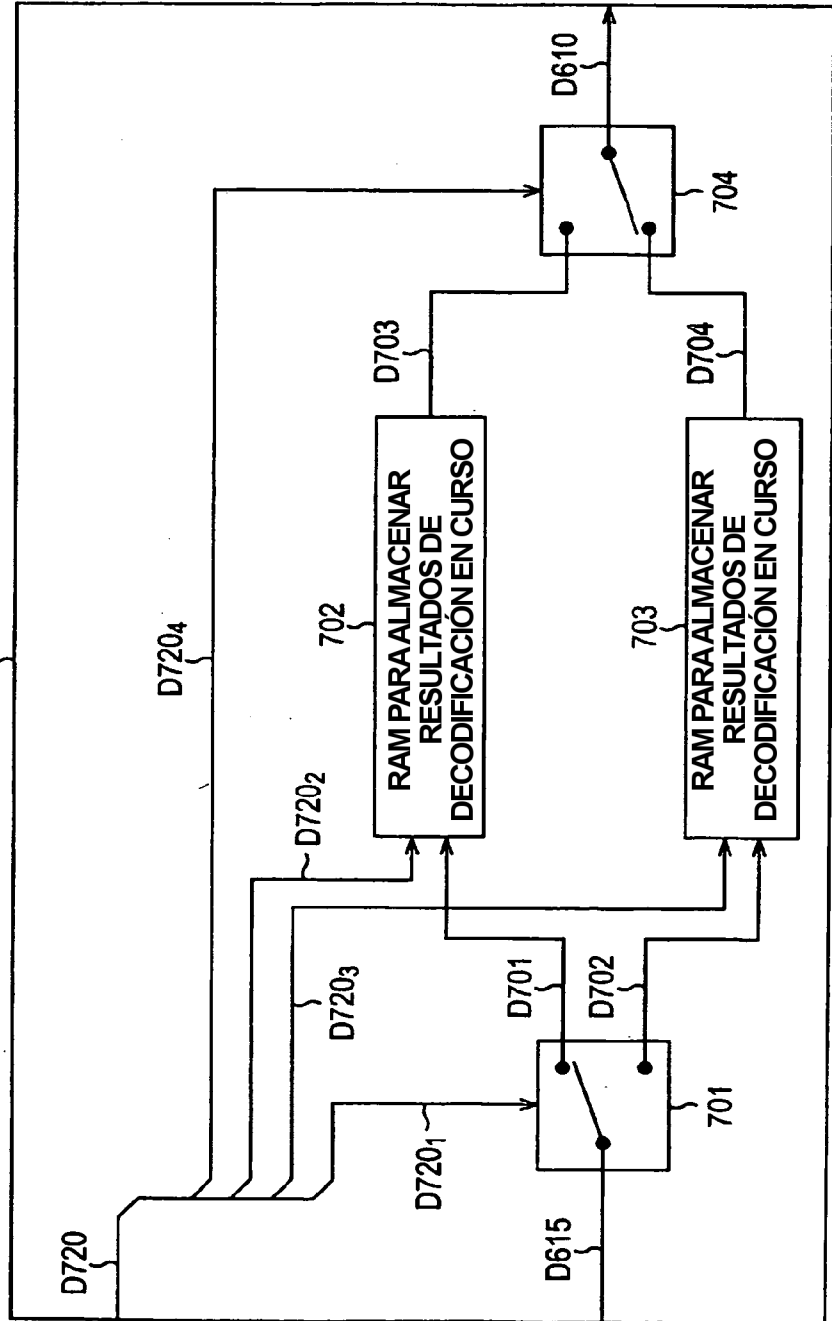


FIG. 32

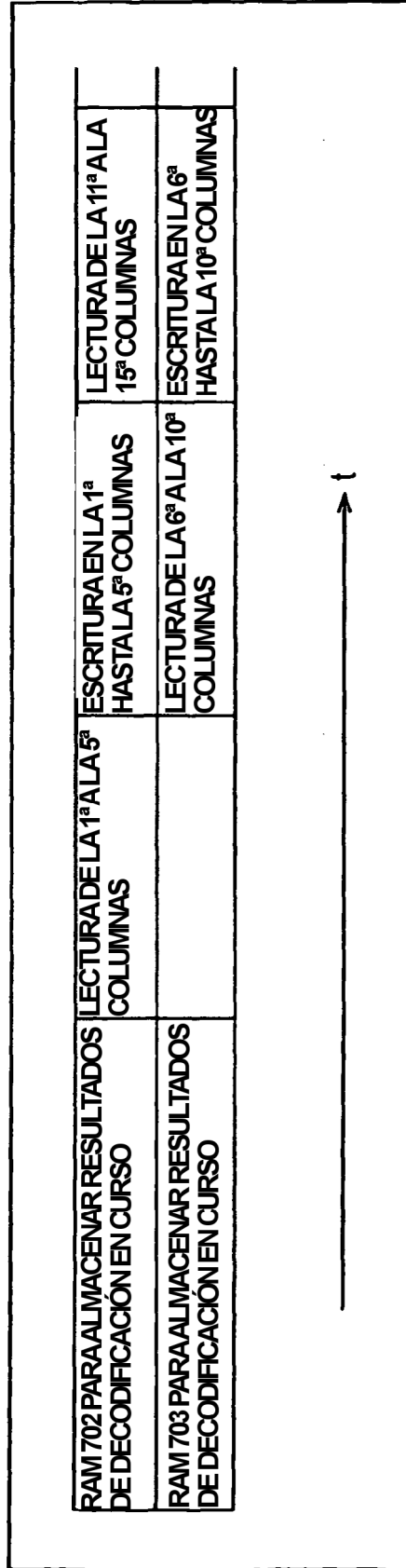


FIG. 33

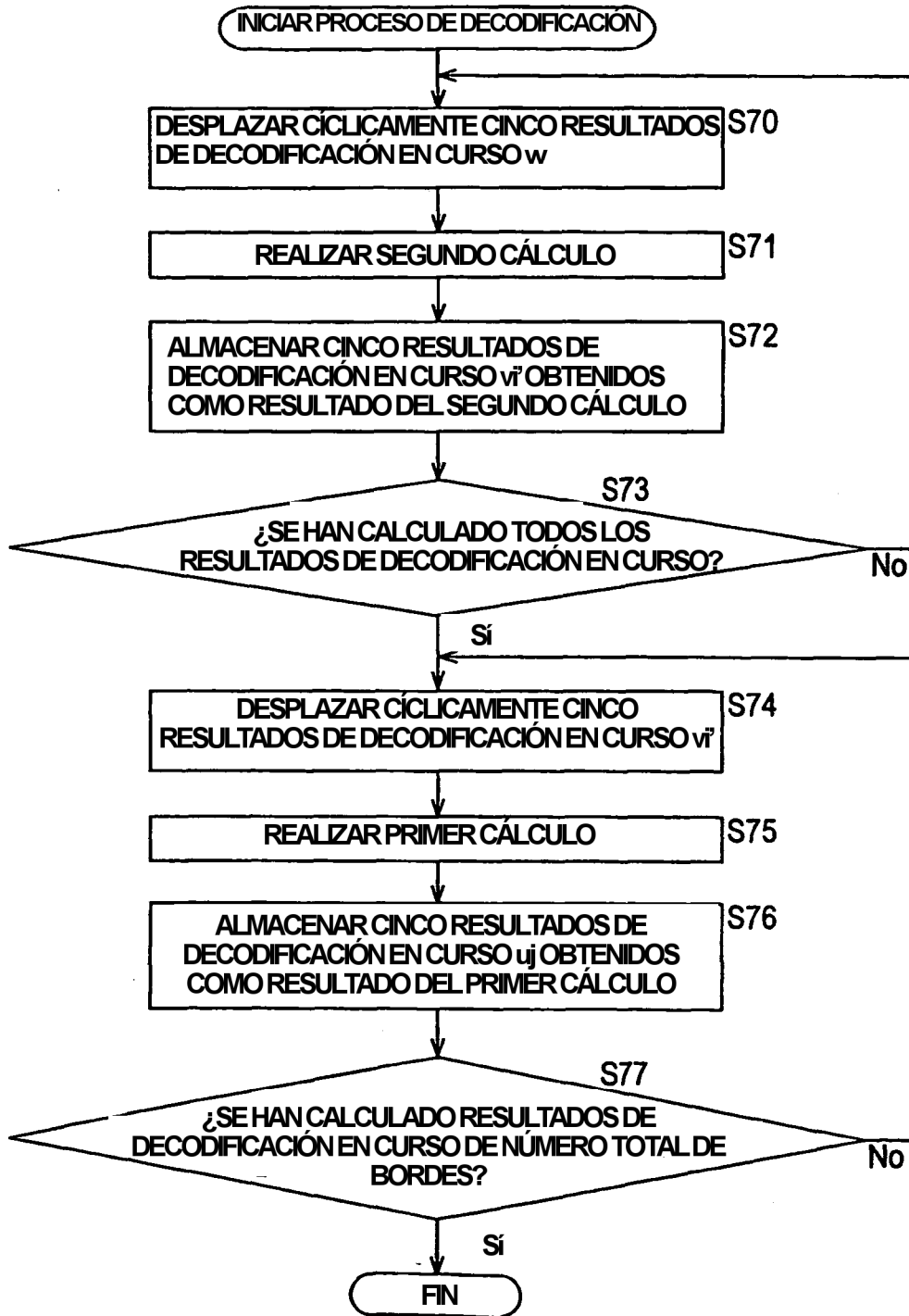


FIG. 34

