(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 401 678**

(51) Int. Cl.:

G11C 11/417 (2006.01)
G11C 8/08 (2006.01)
G11C 5/14 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **30.06.2006** **E 11167484 (2)**

(97) Fecha y número de publicación de la concesión europea: **19.12.2012** **EP 2362398**

(54) Título: **Circuito integrado con tensión de alimentación independiente para la memoria que es diferente de la tensión de alimentación del circuito lógico**

(30) Prioridad:

01.07.2005 US 173565

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
23.04.2013

(73) Titular/es:

APPLE INC. (100.0%)
1 Infinite Loop,
Cupertino, CA 95014, US

(72) Inventor/es:

CAMPBELL, BRIAN, J.;
VON KAENEL, VINCENT, R.;
SCOTT, GREGORY, S.;
SANTHANAM, SRIBALAN y
MURRAY, DANIEL, C.

(74) Agente/Representante:

FÀBREGA SABATÉ, Xavier

ES 2 401 678 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito integrado con tensión de alimentación independiente para la memoria que es diferente de la tensión de alimentación del circuito lógico.

ANTECEDENTES

Campo de la invención

Esta invención se refiere al campo de los circuitos integrados que incluyen memorias integradas como la memoria de acceso aleatorio estática (SRAM) y, más concretamente, a la alimentación de tales circuitos integrados.

Descripción de la Técnica Anterior

Como el número de transistores incluidos en un único circuito integrado "chip" ha aumentado y como ha aumentado la frecuencia de operación de los circuitos integrados, la gestión de la energía consumida por un circuito integrado ha seguido aumentando en importancia. Si no se gestiona el consumo de energía, satisfacer los requerimientos térmicos del circuito integrado (p. ej., proporcionando los componentes necesarios para enfriar adecuadamente el circuito integrado durante su operación para mantenerse dentro de los límites térmicos del circuito integrado) puede ser demasiado costoso o incluso imposible. Además, en algunas aplicaciones como los dispositivos alimentados por baterías, la gestión del consumo de energía en un circuito integrado puede ser clave para proporcionar una vida útil de la batería aceptable.

El consumo de energía en un circuito integrado se relaciona con la tensión de alimentación proporcionada al circuito integrado. Por ejemplo, muchos circuitos lógicos digitales representan un uno binario y un cero binario como tensión de alimentación y la tensión de tierra, respectivamente (o viceversa). Como la lógica digital se evalúa durante su funcionamiento, las señales con frecuencia efectúan una transición completamente de una tensión a otra. De esta manera, la energía consumida en un circuito integrado depende de la magnitud de la tensión de alimentación con respecto a la tensión de tierra. Reducir la tensión de alimentación generalmente lleva a un menor consumo de energía. Sin embargo, existen límites a la cantidad que puede reducirse la tensión de alimentación.

Un límite a la reducción de la tensión de alimentación que se experimenta en los circuitos integrados que integran memorias (como SRAM) está relacionado con la robustez de la memoria. A medida que la tensión de alimentación se reduce por debajo de una cierta tensión, disminuye la capacidad de escribir y leer la memoria de forma fiable. La menor fiabilidad puede tener varios orígenes. Las resistencias de algunos dispositivos en la memoria (p. ej., los transistores “pass gate” o de paso que acoplan líneas de bit a las celdas de memoria en una SRAM) pueden cambiar a medida que cae la tensión de alimentación. La resistencia cambiada puede afectar a la capacidad para sobreexcitar la celda de memoria para una escritura o para descargar la línea de bit para una lectura. Además, en algunos diseños, los transistores en la memoria son transistores de tensión umbral alta (V_T alta). Es decir, la tensión umbral a la que los transistores se activan (o "encienden"... es decir conducen activamente la corriente) es mayor que otros transistores en el circuito integrado. La tensión umbral de tales transistores no escala bien con la tensión de alimentación. Por consiguiente, el "punto de disparo" (el punto en el que se produce una escritura a una celda de memoria) como porcentaje de la tensión de alimentación empeora a medida que se reduce la tensión de alimentación. Como ejemplo, en un proceso actual de fabricación de circuitos integrados, una tensión de alimentación por debajo de aproximadamente 0,9 voltios resulta en la disminución de la capacidad para escribir la memoria de forma fiable. De manera similar, disminuye la capacidad de leer de forma rápida y/o fiable la memoria. Por consiguiente, la tensión de alimentación a la que la robustez de la memoria comienza a verse afectada ha servido como base para reducir la tensión de alimentación a un circuito integrado que incluye memoria.

La publicación de la solicitud de patente estadounidense US 2005/0002224 A1 de Kawata et al. describe un circuito integrado semiconductor que comprende una matriz de memoria y un circuito decodificador correspondiente. Con el objetivo de mantener un margen de operación y un consumo bajo de potencia mediante un aumento de la velocidad y alta integración US 2005/0002224 A1 propone hacer funcionar una matriz de memoria a un primer nivel de tensión y el decodificador de memoria a un segundo nivel de tensión menor. Se aplica un desplazamiento de nivel desde el menor al mayor entre el decodificador y la matriz de memoria con respecto a una señal de selección de línea de palabra generada por el decodificador en el nivel de tensión menor. La señal de selección de línea de palabra se aplica entonces a línea de palabra de la matriz de memoria.

US 2005/0002224 describe un circuito integrado que comprende unos circuitos lógicos alimentados con una tensión baja y una matriz de celdas de memoria estática alimentada continuamente con una tensión alta en el que se lleva a cabo la selección de columna y línea de palabra en el dominio de alta tensión.

RESUMEN

La invención se define mediante un circuito integrado como en la reivindicación 1 y un procedimiento para hacer funcionar un circuito de memoria como en la reivindicación 11.

En una realización, un circuito integrado comprende al menos un circuito lógico alimentado por una primera tensión de alimentación y al menos un circuito de memoria acoplado al circuito lógico y alimentado por una segunda tensión de alimentación. El circuito de memoria está configurado para ser leído y escribir en él en respuesta a un circuito lógico incluso si la primera tensión de alimentación en meno que la segunda tensión de alimentación durante su utilización.

En otra realización, un procedimiento comprende un circuito lógico que lee de una celda de memoria, el circuito lógico alimentado por una primera tensión de alimentación-, y la celda de memoria correspondiente a la lectura utilizando señales que están referenciadas a la primera tensión de alimentación, en donde la celda de memoria está alimentada por una segunda tensión de alimentación que es mayor que la primera tensión de alimentación durante su utilización.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La siguiente descripción detallada hace referencia a los dibujos adjuntos, que se describen brevemente a continuación.
La Figura 1 es un diagrama de bloques de una forma de realización de un circuito integrado.
La Figura 2 es un diagrama de bloques de una forma de realización de un circuito de memoria mostrado en la Figura 1.
La Figura 3 es un diagrama de circuito de una forma de realización de una matriz de memoria mostrada en la Figura 2.
La Figura 4 es un diagrama de circuito de una forma de realización de un cambiador de nivel mostrado en la Figura 2.
La Figura 5 es un diagrama de circuito de otra forma de realización de un cambiador de nivel mostrado en la Figura 2.
La Figura 6 es un diagrama de circuito de una forma de realización de un controlador de línea de palabra mostrado en la Figura 2.
La Figura 7 es un diagrama de flujo que ilustra una forma de realización de un procedimiento.

Aunque la invención es susceptible a diversas modificaciones y formas alternativas, se muestran formas de realización específicas de la misma a modo de ejemplo en los dibujos y se describirán en detalle en este documento. Sin embargo, debe entenderse que los dibujos y la descripción detallada de los mismos no pretenden limitar la invención a la forma particular descrita, sino por el contrario, la intención es cubrir todas las modificaciones, equivalentes y alternativas que se encuentran dentro del alcance de la presente invención tal como se definen en las reivindicaciones adjuntas.

DESCRIPCION DETALLADA DE LAS FORMAS DE REALIZACIÓN

Volviendo a la Figura 1, se muestra un diagrama de bloques de una forma de realización de un circuito integrado 10. En la forma de realización ilustrada, el circuito integrado incluye una pluralidad de circuitos lógicos 12 y una pluralidad de circuitos de memoria 14. Los circuitos lógicos 12 se acoplan a los circuitos de memoria 14. Los circuitos lógicos 12 son alimentados por una primera tensión de alimentación proporcionada al circuito integrado 10 (indicada como V_L en la Figura 1). Los circuitos de memoria 14 son alimentados por una segunda tensión de alimentación proporcionada al circuito integrado 10 (indicada como V_M en la Figura 1). En la forma de realización ilustrada, los circuitos de memoria 14 también son alimentados por la tensión de alimentación V_L, como se explicará más detalladamente para determinadas formas de realización más adelante. El circuito integrado 10 puede comprender generalmente los circuitos lógicos 12 y los circuitos de memoria 14 integrados en un único sustrato semiconductor (o chip).

Los circuitos lógicos 12 pueden implementar generalmente la operación para la que se diseña el circuito integrado. Los circuitos lógicos 12 pueden generar diversos valores durante la operación, que los circuitos lógicos 12 pueden almacenar en los circuitos de memoria 14. Además, los circuitos lógicos 12 pueden leer diversos valores de los circuitos de memoria 14 sobre los que operar. Por ejemplo, en diversas formas de realización, los circuitos de memoria 14 pueden incluir memoria utilizada para cachés, archivos de registro, estructuras de datos específicas de circuito integrado, etc. Los circuitos de memoria 14 pueden implementar cualquier tipo de memoria de lectura/de escritura. En el ejemplo que se presenta más adelante, se utilizará una memoria SRAM. Hay que reseñar que, aunque la forma de realización ilustrada incluye una pluralidad de circuitos lógicos 12 y una pluralidad de circuitos de memoria 14, diversas formas de realización pueden incluir por lo menos un circuito lógico 12 y por lo menos un circuito de memoria 14.

En general, si un circuito lógico 12 va a acceder a un circuito de memoria 14, el circuito lógico 12 puede generar diversas señales de control para el circuito de memoria 14. Por ejemplo, las señales de control pueden incluir una dirección que identifica la ubicación de la memoria en el circuito de memoria 14 a la que se accederá, una señal de habilitación de lectura que puede afirmarse para llevar a cabo una lectura, y una señal de habilitación de escritura

que puede afirmarse para llevar a cabo una escritura. Para una lectura, el circuito de memoria 14 puede enviar datos al circuito lógico 12. Para una escritura, el circuito lógico 12 puede suministrar datos al circuito de memoria 14 para su almacenamiento.

Al separar la tensión de alimentación para los circuitos lógicos 12 y los circuitos de memoria 14, la tensión de alimentación para los circuitos lógicos 12 (V_L) puede reducirse por debajo del nivel al que los circuitos de memoria 14 pueden operar de manera robusta. La tensión de alimentación para los circuitos de memoria 14 (V_M) puede mantenerse a la tensión de alimentación mínima que proporciona un funcionamiento robusto de la memoria (o mayor, si se desea). De esta manera, la tensión de alimentación V_L puede ser menor que la tensión de alimentación V_M durante el uso. Otras veces, la tensión de alimentación V_L puede superar la tensión de alimentación V_M durante el uso (p. ej., en momentos cuando se desea un mayor rendimiento y mayor consumo de energía es aceptable para lograr un mayor rendimiento). De manera alternativa, la tensión de alimentación V_M puede aumentarse para que coincida con la tensión de alimentación V_L si la tensión de alimentación V_L excediese de lo contrario la tensión de alimentación V_M.

En general, una tensión de alimentación puede ser una tensión proporcionada a un circuito para alimentar el circuito, proporcionando la energía eléctrica para permitir que el circuito genere una o más salidas en respuesta a una o más entradas. En diversos puntos en este documento, puede hacerse referencia a las tensiones de alimentación como mayores o menores que otras tensiones de alimentación. Es decir, la magnitud de la tensión puede ser mayor que (o menor que) la magnitud de la otra tensión.

Volviendo a la Figura 2, se muestra un diagrama de bloques de una forma de realización de un circuito de memoria 14A. El circuito de memoria 14A puede ser uno de los circuitos de memoria 14. Otros circuitos de memoria 14 pueden ser similares. En la forma de realización de la Figura 2, el circuito de memoria 14A incluye un circuito cambiador de nivel 20, un conjunto de circuitos de control de línea de palabra 22, una matriz de memoria 24, un circuito de deshabilitación de la señal de reloj 26, y un circuito generador de señales de control 28. El cambiador de nivel 20 y los controladores de línea de palabra 22 son alimentados por la tensión de alimentación V_M. La matriz de memoria 24 y el generador de señales de control 28 son alimentados por las tensiones de alimentación V_M y V_L. El circuito de deshabilitación de la señal de reloj 26 es alimentado por la tensión de alimentación V_L. El cambiador de nivel 20 y el circuito de deshabilitación de la señal de reloj 26 se acoplan para recibir una entrada de reloj (gclk) y una o más entradas de habilitación (En) desde los circuitos lógicos 12. El circuito de deshabilitación de la señal de reloj 26 se configura para generar una salida de reloj (clk) a los controladores de línea de palabra 22 y el cambiador de nivel 20 también se configura para generar una salida de reloj (clk_e) a los controladores de línea de palabra 22. Los controladores de línea de palabra 22 se acoplan adicionalmente para recibir una o más entradas de dirección (entradas Addr) de los circuitos lógicos 12. Los controladores de línea de palabra 22 se configuran para generar un conjunto de líneas de palabra a la matriz de memoria 24 (WL0…WLN). La matriz de memoria 24 se acopla adicionalmente para recibir datos (Din) y proporcionar datos (Dout) a/desde los circuitos lógicos 12. Además, la matriz de memoria 24 se acopla para recibir diversas señales de control del generador de señales de control 28. Por ejemplo, las señales de control pueden incluir una señal de habilitación de escritura (WE) y una señal de habilitación de lectura (RE). La señal de control puede incluir también una señal de precarga (PChg), y cualquier otra señal de control deseada. El generador de señales de control 28 puede generar las señales de control para la matriz de memoria 24 desde las entradas de control correspondientes de los circuitos lógicos 12, y puede cambiar el nivel de las señales de control, en algunas formas de realización.

La matriz de memoria 24 puede comprender una pluralidad de celdas de memoria que son alimentadas por la tensión de alimentación V_M. Sin embargo, el circuito de memoria 14A se diseña para proporcionar acceso a la matriz de memoria 24 mediante los circuitos lógicos 12, incluso si los circuitos lógicos 12 se alimentan con una tensión de alimentación V_L menor que la tensión de alimentación V_M. Cada celda de memoria se activa para el acceso (lectura o escritura) por una de las líneas de palabra WL0...WLN acopladas a esa celda de memoria. Una o más celdas de memoria acopladas a la misma línea de palabra forman una "palabra" para el acceso en la matriz de memoria 24. Es decir, los bits de la palabra pueden ser leídos/escritos como un grupo. De esta manera el ancho de la palabra puede ser el ancho de las señales Din y Dout de la matriz de memoria 24.

Dado que las celdas de memoria son alimentadas por la tensión de alimentación V_M, las líneas de palabra también pueden ser alimentadas por la tensión de alimentación V_M. Es decir, cuando una línea de palabra se afirma alta, la línea de palabra puede estar a aproximadamente una tensión V_M. De esta manera, los controladores de línea de palabra 22 se alimentan con la tensión de alimentación V_M.

Los controladores de línea de palabra 22 activan una línea de palabra dada en base a las entradas de dirección de los circuitos lógicos 12. La dirección identifica la palabra en la matriz de memoria 24 para que sea accedida por un acceso dado generado por los circuitos lógicos 12. En algunas formas de realización, los circuitos lógicos 12 pueden incluir circuitos que descodifican parcial o totalmente la dirección, y las entradas de dirección pueden ser la dirección total o parcialmente descodificada. De manera alternativa, los controladores de línea de palabra 22 pueden implementar la función de descodificación completa y las entradas de dirección pueden codificar la dirección. En general, cada dirección diferente hace que se afirme una línea de palabra diferente WL0 a WLN.

Dado que los controladores de línea de palabra 22 se alimentan con la tensión de alimentación V_M, las entradas a los controladores de línea de palabra 22 que se acoplan a las puertas de los transistores de metal óxido semiconductor de tipo p (PMOS) en los controladores de línea de palabra 22 pueden ser llevadas a una tensión V_M cuando se llevan a alto (para asegurar que los transistores PMOS, que se alimentan con una tensión de alimentación V_M, se apagan totalmente cuando la puerta se lleva a alto). Es decir, si la puerta del transistor PMOS es llevada a una tensión inferior a la tensión de alimentación V_M en su fuente, la tensión de puerta respecto a la fuente del transistor PMOS es todavía negativa y por tanto el transistor PMOS todavía puede estar activo aunque se pretenda lógicamente que esté inactivo. Si los controladores de línea de palabra 22 se diseñaran con circuitos MOS complementarios (CMOS) estáticos, cada entrada se acoplaría a la puerta de un transistor PMOS y sería llevada a una tensión V_M cuando se llevase a alto. En una forma de realización, los controladores de línea de palabra 22 pueden implementarse con puertas lógicas dinámicas. De esta manera, la señal de reloj que precarga el circuito (clk_e) se acopla a la puerta de un transistor PMOS y puede ser llevada a una tensión V_M. Otras señales, acopladas a las puertas de transistores MOS de tipo n (NMOS), pueden ser controladas con la tensión V_L. De esta manera, las entradas de dirección de los circuitos lógicos 12 pueden proporcionarse directamente a los controladores de línea de palabra 22 (sin cambio de nivel). Además, la señal clk del circuito de deshabilitación de la señal de reloj 26 (alimentado con la tensión V_L y por tanto llevado a la tensión V_L cuando se lleva a alto) puede proporcionarse directamente a los controladores de línea de palabra 22.

El cambiador de nivel 20 se configura para generar la señal clk_e en respuesta a la señal gclk y la señal En. Si la señal (o señales) En indica que el reloj está habilitado para el ciclo de reloj actual, el cambiador de nivel 20 puede generar la señal clk_e cambiando el nivel de la señal gclk de manera que la afirmación en alto de la señal clk_e sea a una tensión V_M. Si la señal (o señales) En indica que el reloj está deshabilitado, el cambiador de nivel 20 puede mantener la señal clk_e estable a un nivel bajo (tierra). En otras implementaciones, el cambiador de nivel 20 puede mantener la señal clk_e estable a un nivel alto (V_M) si la señal (o señales) En indica que el reloj está deshabilitado. La señal gclk, proporcionada desde los circuitos lógicos 12, puede estar a una tensión V_L cuando se afirma alta.

En general, un circuito de cambio de nivel puede ser un circuito configurado para cambiar el nivel de una señal de entrada para producir una señal de salida. Cambiar el nivel de una señal puede referirse a cambiar la afirmación en alto de la señal de una tensión alta a otra. El cambio de nivel puede llevarse a cabo en cualquier dirección (p. ej., la tensión después del cambio de nivel puede ser mayor o menor que la tensión antes del cambio de nivel). En algunas formas de realización, la afirmación en bajo puede mantener la tensión de tierra alimentada al circuito integrado 10 (no mostrada en las figuras, habitualmente denominada V_{SS}). Una señal que es llevada a una afirmación en alto igual a una tensión de alimentación dada puede referirse como en el "dominio" de esa tensión de alimentación o "referida a" esa tensión de alimentación.

Aunque la presente forma de realización proporciona señales de habilitación y el cambiador de nivel 20 tiene una función de deshabilitación de la señal de reloj además de una función de cambio de nivel, otras formas de realización pueden no incluir las señales de habilitación y pueden generar incondicionalmente la señal de salida a partir de las señales de entrada. Además, en otras formas de realización, puede utilizarse un cambiador de nivel 20 que no integra la función de habilitación/deshabilitación con un circuito de deshabilitación de la señal de reloj similar al circuito de deshabilitación de la señal de reloj 26. La salida de un circuito de deshabilitación de la señal de reloj puede cambiarse de nivel mediante un cambiador de nivel de este tipo, por ejemplo. Además, puede utilizarse un cambiador de nivel 20 que no implemente la función de habilitación/deshabilitación sin un circuito de deshabilitación de la señal de reloj 26 (p. ej., para la generación de señales de control en el generador de señales de control 28). Además, otras formas de realización pueden emplear otras construcciones de los controladores de línea de palabra 22 y puede cambiarse el nivel de señales adicionales proporcionadas a los controladores de línea de palabra 22.

El circuito de deshabilitación de la señal de reloj 26 genera la señal clk en respuesta a la señal (o señales) En y la señal gclk (similar al análisis anterior para el cambiador de nivel). Si la señal (o señales) En indica que el reloj está habilitado para el ciclo de reloj actual, el circuito de deshabilitación de la señal de reloj 26 puede generar la señal clk en respuesta a la señal gclk. Si la señal (o señales) En indica que el reloj está deshabilitado, el circuito de deshabilitación de la señal de reloj 26 puede mantener la señal clk estable a un nivel bajo (tierra). En otras implementaciones, el circuito de deshabilitación de la señal de reloj 26 puede mantener la señal clk estable a un nivel alto (V_L) si la señal (o señales) En indica que el reloj está deshabilitado. En otras formas de realización, puede eliminarse el circuito de deshabilitación de la señal de reloj 26 y la señal clk_e puede utilizarse en lugar de la señal clk en los controladores de línea de palabra 22.

En algunas formas de realización, el retardo a través del cambiador de nivel 20 puede ser aproximadamente el mismo que el retardo a través del circuito de deshabilitación de la señal de reloj 26. En tales formas de realización, puede minimizarse el impacto del cambiador de nivel 20 en el camino de tiempo crítico del circuito integrado 10 (en caso de haberlo).

Como se ha mencionado anteriormente, el circuito de memoria 14A se diseña para proporcionar acceso de lectura/escritura a la matriz de memoria 24 incluso si la tensión de alimentación V_M es mayor que la tensión de alimentación V_L. El cambiador de nivel 20 que cambia de nivel las señales de entrada y el controlador de línea de palabra 22 que opera a la tensión V_M proporcionan el inicio de un acceso. Las señales Din y Dout proporcionan la

entrada de datos (para una escritura) o la salida de datos (para una lectura), y por tanto están en el dominio V_L utilizado por los circuitos lógicos 12 en esta forma de realización. La matriz de memoria 24 también puede alimentarse con la tensión V_L, y puede configurarse para operar con las señales Din y Dout en el dominio V_L. En otras formas de realización, las señales Din y Dout pueden cambiarse de nivel entre los dominios V_L y V_M, o pueden cambiarse de nivel sólo las señales Din y las señales Dout pueden estar en el dominio V_M.

En una forma de realización, por lo menos los circuitos amplificadores de detección (amplificador de detección) en la matriz de memoria 24 que detectan los bits leídos de las celdas de memoria se alimentan con la tensión V_L. De esta manera, los amplificadores de detección también pueden proporcionar un cambio de nivel al dominio V_L para las señales Dout. En otra forma de realización, los circuitos amplificadores de detección pueden alimentarse con la tensión V_M y las señales Dout pueden encontrarse en el dominio V_M. En otra implementación, las líneas de bit acopladas a las celdas de memoria para comunicar los bits dentro y fuera de las celdas de memoria pueden estar en el dominio V_L y por tanto otros circuitos que se acoplan a las líneas de bit pueden ser alimentados con la tensión de alimentación V_L (excepto para las propias celdas de memoria).

Como se ha mencionado anteriormente, las señales en el dominio V_L que se acoplan a las puertas de los transistores PMOS que son alimentados por la tensión de alimentación V_M pueden cambiarse de nivel. De esta manera, en diversas formas de realización, algunas de las señales de control proporcionadas a la matriz de memoria 24 pueden ser cambiadas de nivel. El generador de señales de control 28 puede proporcionar el cambio de nivel, según sea necesario, en diversas formas de realización. Si una señal de control dada no se cambia de nivel, el generador de señales de control 28 puede generar la señal de control utilizando los circuitos alimentados por la tensión de alimentación V_L. Si una señal de control dada se cambia de nivel, el generador de señales de control 28 puede incluir un cambiador de nivel para cambiar al dominio V_M.

Volviendo a continuación a la Figura 3, se muestra un diagrama de circuitos de una parte de una forma de realización de la matriz de memoria 24. La parte mostrada en la Figura 3 puede corresponder a un bit 0 de las señales Din y Dout (mostrado como Din0 y Dout0, respectivamente, en la Figura 3). Pueden implementarse otras partes similares a la parte mostrada en la Figura 3 para otros bits en la palabra Din/Dout. En la forma de realización de la Figura 3, la matriz de memoria 24 incluye unos circuitos controladores de línea de bit 30, unas celdas de memoria 32A-32N, un circuito de precarga de línea de bit 34, un circuito de mantenimiento de línea de bit 36, y un amplificador de detección 38. Las celdas de memoria 32A-32N se alimentan con la tensión de alimentación V_M. Los controladores de línea de bit 30, el circuito de precarga de línea de bit 34, el circuito de mantenimiento de línea de bit 36, y el amplificador de detección 38 son alimentados por la tensión de alimentación V_L. Los controladores de línea de bit 30, las celdas de memoria 32A-32N, el circuito de precarga de línea de bit 34, el circuito de mantenimiento de línea de bit 36, y el amplificador de detección 38 se acoplan a un par de líneas de bit (BL y BL barra, esta última indicada como BL con una barra sobre ella en la Figura 3). La celda de memoria 32A se acopla a la línea de palabra WL0, y la celda de memoria 32N se acopla a la línea de palabra WLN. Otras celdas de memoria, no mostradas explícitamente en la Figura 3 pero indicadas mediante las elipses entre las celdas de memoria 32A y 32N, se acoplan a otras líneas de palabra. El circuito de precarga de línea de bit 34 se acopla a una señal de entrada de precarga (PChg en la Figura 3) que está en el dominio L V_L en la presente forma de realización. Los controladores de línea de bit 30 se acoplan para recibir la señal Din0 y la señal de habilitación de escritura (WE). El amplificador de detección 38 se acopla a la señal Dout0 y la señal de habilitación de lectura (RE).

La celda de memoria 32A se muestra en mayor detalle en la Figura 3, y las demás celdas de memoria como la celda de memoria 32N pueden ser similares. La celda de memoria 32A de la Figura 3 incluye una celda CMOS SRAM típica que comprende unos inversores de acoplamiento cruzado 40A-40B acoplados a las líneas de bit a través de unos transistores NMOS T_1 y T_2. En algunas formas de realización, los transistores en las celdas de memoria 32A-32N pueden ser transistores de V_T alta. Las puertas de los transistores T_1 y T_2 se acoplan a la línea de palabra WL0. Por consiguiente, cuando la línea de palabra WL0 se afirma alta, los transistores T_1 y T_2 proporcionan una ruta conductora entre los inversores 40A-40B y las líneas de bit. Puesto que las líneas de palabra están en el dominio V_M, los transistores T_1 y T_2 pueden tener una resistencia, cuando se activan, como se ha diseñado para la matriz de memoria 24. La resistencia se relaciona con la tensión de la puerta respecto a la fuente de los transistores T_1 y T_2. La resistencia de los transistores T_1 y T_2, en comparación con los transistores en los inversores 40A-40B que también se alimentan con la tensión V_M, puede escalar con la tensión V_M.

En general, las líneas de bit pueden utilizarse para transferir un bit dentro y fuera de una celda de memoria 32A-32N que se activa utilizando la línea de palabra correspondiente. Las líneas de bit representan el bit de manera diferencial, siendo BL el valor verdadero del bit y siendo BL barra el complemento del bit.

Para llevar a cabo una operación de escritura, los controladores de línea de bit 30 pueden activarse afirmando la señal WE. Los controladores de línea de bit 30 llevan el bit Din0 en la línea BL, y el complemento del bit Din0 en la línea BL barra. La escritura de la celda de memoria 32A-32N puede ser llevada a cabo principalmente por la línea de bit que es llevada baja, y así llevar las líneas de bit en el dominio V_L puede ser suficiente para escribir de forma fiable la celda de memoria. Por ejemplo, si la celda de memoria 32A está almacenando actualmente un 1 binario y se está escribiendo a un cero, los controladores de línea de bit 30 llevan la línea BL baja y la línea BL barra a V_L. El transistor PMOS en el inversor 40B está intentando mantener la salida del inversor 40B en un uno lógico (tensión

V_M). Los controladores de línea de bit 30 se diseñan para sobreexcitar los transistores en los inversores 40A-40B, y por tanto la salida del inversor 40B (entrada del inversor 40A) se lleva a cero. La salida del inversor 40A se cambia también a un uno binario, deshabilitando el transistor PMOS en el inversor 40B y completando la rotación de la celda de memoria 32A. De esta manera, en la forma de realización ilustrada, la señal WE y la señal Din0 pueden no ser cambiadas de nivel al dominio V_M.

En otras realizaciones las líneas de bit pueden estar en el dominio V_M. Los controladores de línea de bit 30 pueden ser dinámicos, o pueden recibir el Din0 cambiado de nivel y las señales WE en tales realizaciones. Los controladores de línea de bit 30 pueden ser alimentados adicionalmente por la tensión de alimentación V_M en tales realizaciones.

Para las operaciones de lectura, las líneas de bit pueden precargarse antes de la activación de una celda de memoria 32A-32N a través de una línea de palabra correspondiente. La celda de memoria activada 32A-32N descarga una de las líneas de bit en base al valor almacenado de la celda de memoria, y el amplificador de detección 38 detecta el diferencial entre las líneas de bit y amplifica el diferencial para producir el bit de salida Dout0. Dado que se está detectando un diferencial, siempre que las líneas de bit estén equilibradas en aproximadamente la misma tensión antes del inicio de la lectura, el valor correcto puede leerse. Por consiguiente, operar las líneas de bit en el dominio V_L también puede ser suficiente para las operaciones de lectura. En otras realizaciones si las líneas de bit están en el dominio V_M (p. ej., si el circuito de precarga de línea de bit 34 y el circuito de mantenimiento de la línea de bit 36 se alimentan con la tensión de alimentación V_M), el amplificador de detección 38 puede proporcionar el cambio de nivel de las señales de vuelta a la señal Dout0 en el dominio V_L. En otro circuito más, la señal Dout0 puede estar en el dominio V_M y el amplificador de detección 38 también puede ser alimentado por la tensión de alimentación V_M.

El amplificador de detección 38 puede comprender cualquier circuito amplificador de detección que se acopla para recibir un par de líneas de bit y detecta un diferencial entre el par para llevar un bit de salida. En otras formas de realización, el amplificador de detección 38 puede proporcionar un par de bits diferenciales con un giro completo de señal, amplificada del diferencial detectado en las líneas de bit. Por ejemplo, un diferencial de aproximadamente 100 milivoltios en las líneas de bit puede ser suficiente para que el amplificador de detección 38 detecte la diferencia. El amplificador de detección 38 en la forma de realización ilustrada es controlado por la señal RE. En la forma de realización ilustrada, la señal RE no se cambia de nivel al dominio V_M. En otras formas de realización en las que el amplificador de detección 38 es alimentado por la tensión V_M, la señal RE puede cambiarse de nivel al dominio V_M si se acopla a uno o más transistores PMOS S en el amplificador de detección 38 que también se acoplan a la tensión de alimentación V_M.

El circuito de precarga de línea de bit 34 es alimentado por la tensión de alimentación V_L, y puede precargar las líneas de bit en respuesta a la afirmación (baja) de la señal PChg para preparar las líneas de bit para una lectura. En la forma de realización ilustrada, el circuito de precarga de línea de bit 34 puede comprender unos transistores PMOS que tengan sus puertas acopladas a la señal de precarga. Los transistores PMOS mostrados verticalmente en la Figura 3 pueden precargar las líneas de bit, y el transistor PMOS horizontal puede proporcionar el equilibrio de la tensión en las líneas de bit. En otras formas de realización, pueden utilizarse dos circuitos de precarga de línea de bit. Puede utilizarse un circuito de precarga de línea de bit si la operación anterior era una lectura, ya que las líneas de bit no están completamente descargadas en una operación de lectura. Ambos circuitos de precarga pueden utilizarse si la operación anterior era una escritura, para precargar la línea de bit que se descargó completamente (o casi completamente) a una tensión cercana a la de tierra. Como se ha mencionado anteriormente, en otras realizaciones el circuito de precarga de línea de bit 34 puede ser alimentado por la tensión de alimentación V_M y la señal PChg puede cambiarse de nivel hacia el dominio V_M en tales formas de realización.

El circuito de mantenimiento de línea de bit 36 puede proporcionarse para mantener la precarga en una de las líneas de bit durante una operación de lectura o escritura en respuesta a la otra línea de bit que está cayendo. Como se ha mencionado anteriormente, en otras realizaciones el circuito de mantenimiento de línea de bit 36 puede ser alimentado por la tensión de alimentación V_M.

Aunque los ejemplos concretos del circuito de precarga de línea de bit 34 y del circuito de mantenimiento de línea de bit 36 se ilustran en la Figura 3, cualquier diseño para el circuito de precarga de línea de bit 34 y/o el circuito de mantenimiento de línea de bit 36 puede utilizarse en otras formas de realización.

Aunque la celda de memoria 32A se muestra como una celda CMOS SRAM, otras celdas de memoria pueden utilizarse en otras formas de realización. En general, una celda de memoria puede comprender un circuito configurado para almacenar un bit y estar configurado para permitir la lectura y escritura del bit.

Volviendo a continuación a la Figura 4, se muestra un diagrama de circuitos de una forma de realización 20a del cambiador de nivel 20. En la forma de realización de la Figura 4, el cambiador de nivel 20a incluye una etapa de cambio que comprende los transistores T_3-T_9 y un inversor de salida que comprende los transistores T_{10}-T_{13}. T_3 tiene una fuente acoplada a la tensión de alimentación V_M, una puerta acoplada a un nodo N1, y un drenaje acoplado a la fuente de T_4. Las puertas de T_4 y T_5 se acoplan a la señal gclk, y los drenajes de T_4, T_5, y T_6 se acoplan al nodo N2.

Las fuentes de T_5 y T_6 se acoplan a tierra. La puerta de T_6 se acopla a una inversión de la señal En, proporcionada desde el inversor 50. La salida del inversor 50 y la señal gclk son entradas a una puerta NOR 52, que tiene su salida acoplada a las puertas de T_8 y T_9. La fuente de T_9 se acopla a tierra. Los drenajes de T_8 y T_9 se acoplan al nodo N1. La fuente de T_8 se acopla al drenaje de T_7, que tiene su fuente acoplada a la tensión de alimentación V_M. La puerta del transistor T_7 se acopla al nodo N2. El nodo N1 es la salida de la etapa de cambio y alimenta la entrada al inversor de salida. Las puertas de T_{11} y T_{12} se acoplan al nodo N1, y los drenajes de T_{11} y T_{12} se acoplan a la señal clk_e. La fuente de T_{11} se acopla al drenaje de T_{10}, que tiene su fuente acoplada a la tensión de alimentación V_M y su puerta acoplada a la tensión de alimentación V_L. La fuente de T_{12} se acopla al drenaje de T_{13}, que tiene su fuente acoplada a tierra. La puerta de T_{13} se acopla a la tensión de alimentación V_L.

En primer lugar se describirá el funcionamiento de la etapa de cambio. Por razones de simplicidad, se dará por hecho que la señal En está afirmada para indicar que está habilitada (y por tanto T_6 está deshabilitada y la puerta NOR 52 pasa inversión de la señal gclk). Cuando gclk efectúa una transición de baja a alta, T_5 se activa y comienza descargando el nodo N2. T_4 también es desactivado por la transición de gclk, aislando el nodo N2 de T_3. A medida que el nodo N2 se descarga, T_7 se activa y comienza a cargar el nodo N1 a la tensión de alimentación V_M (T_8 también se activa, y T_9 se desactiva, por la transición a baja en la salida de la puerta NOR 52 debido a la alta transición de la señal gclk). Por consiguiente, N1 resulta en el mismo estado lógico que la señal gclk, a la tensión de alimentación V_M. Cuando gclk efectúa una transición de alto a bajo, la salida de la puerta NOR efectúa una transición de bajo a alto y T_9 se activa. T_9 empieza descargando el nodo N1. T_8 también es desactivado por la transición de gclk, aislando el nodo N1 de T_7. De esta manera, el nodo N1 se descarga a tierra. A medida que el nodo N1 se descarga, T3 se activa y comienza cargando el nodo N2 a la tensión de alimentación V_M (T_4 también es activado por la transición a baja de gclk), desactivando así T_7.

T_4 y T_8 puede limitar la disipación de energía durante la transición, aislando los nodos N2 y N1, respectivamente, de T_3 y T_7, respectivamente. T_3 y T_7 pueden ser retardados a la desactivación con respecto a la activación de T_5 y T_9, respectivamente, dado que T_3 y T_7 se desactivan a través de la carga de los nodos N1 y N2, respectivamente. Aislando T_3 y T_7 de sus respectivos nodos N2 y N1 cuando T_5 y T_9 son activados, puede evitarse que T_3 y T_7 combatan la descarga de sus respectivos nodos N2 y N1. T_4 y T_8 son opcionales y pueden eliminarse en otras formas de realización. En tales formas de realización, los drenajes de T_3 y T_7 pueden acoplarse a los drenajes de T_5 y T_9, respectivamente.

En esta forma de realización, el cambiador de nivel 20a también proporciona la funcionalidad de deshabilitación de la señal de reloj a través de la señal de habilitación. Si la señal de habilitación se niega (baja), T_6 se activa a través de la salida del inversor 50 y T_8 se activa a través de la salida de la puerta NOR 52. T_6 descarga el nodo N2 (que activa T_7). T_7 y T_8 en serie cargan el nodo N1. T_3 se desactiva a medida que el nodo N1 se carga. De esta manera, el nodo de salida N1 puede mantenerse estable a la tensión de alimentación V_M si la señal de habilitación se niega, independiente del estado de la señal gclk. En otras formas de realización, el cambiador de nivel 20a puede no implementar la deshabilitación de la señal de reloj. En tales formas de realización, pueden eliminarse T_6 y el inversor 50, y la puerta NOR 52 puede sustituirse por un inversor con la señal gclk como entrada.

El inversor de salida proporciona almacenamiento en búfer de salida, que puede permitir que los transistores T_3-T_9 sean más pequeños. El inversor de salida es opcional y puede eliminarse en otras formas de realización. T_{11} y T_{12} proporcionan la inversión. En la forma de realización ilustrada, se proporcionan los transistores T_{10} y T_{13} para ayudar a ajustar el retardo del cambiador de nivel 20a al circuito de deshabilitación de la señal de reloj 26. Estos transistores son opcionales y pueden eliminarse en otras formas de realización. En tales formas de realización, la fuente de T_{11} puede acoplarse a la tensión de alimentación V_M y la fuente de T_{12} puede acoplarse a tierra. De manera alternativa, sólo T_{10} puede eliminarse en otras formas de realización.

La forma de realización de la Figura 4 proporciona una inversión de gclk a las señales clk_e. Es decir, las señales gclk y clk_e pueden estar aproximadamente 180 grados fuera de fase (donde el retardo a través del cambiador de nivel 20a puede explicar que las señales estén algo menos de 180 grados fuera de fase). La forma de realización de la Figura 5 es un ejemplo de una segunda forma de realización del cambiador de nivel 20 (cambiador de nivel 20b) que proporciona una clk_e aproximadamente en fase con la señal gclk (pero que se retarda debido al retardo del cambiador de nivel 20b).

La forma de realización de la Figura 5 incluye una etapa de cambio que comprende T_3-T_5 y T_7-T_9 y un inversor de salida que comprende T_{10}-T_{13}. T_3-T_5, T_7-T_9 y T_{10}-T_{13} se acoplan entre sí y a los nodos N1 y N2 de manera similar a la forma de realización de la Figura 4. T_3-T_5, T_7-T_9 y T_{10}-T_{13} operan de manera similar a la descripción de la Figura 4 en respuesta a las entradas alta y baja en sus terminales de puerta. Las observaciones con respecto a las partes que son opcionales pueden ser similares a la descripción de la Figura 4 también. Sin embargo, las puertas de T_4 y T_5 se acoplan para recibir una inversión de la señal gclk, en lugar de la señal gclk, cuando se afirma la señal En (a través de una puerta NAND 54). La salida de la puerta NAND 54 se invierte a través del inversor 56, la salida del cual se acopla a las puertas de T_8 y T_9. Por consiguiente, el nodo N1 efectúa una transición a baja si la señal gclk efectúa una transición a alta y el nodo N1 efectúa una transición a alta si la gclk efectúa una transición a baja. La clk_e de salida es la inversión del nodo N1, y por tanto está aproximadamente en fase con la señal gclk (que se retarda por el retardo del cambiador de nivel 20b). Si la señal de habilitación se niega, la salida de la puerta NAND 54 es alta y la

salida del inversor 56 es baja, manteniendo así el nodo N1 estable a la tensión de alimentación V_M (y la clk_e a la tensión de tierra) independiente de la señal gclk. Las formas de realización del cambiador de nivel 20b que no implementan la deshabilitación de la señal de reloj pueden reemplazar la puerta NAND 54 con un inversor (o pueden eliminar la puerta NAND 54 y pueden acoplar el nodo N2 a la etapa de inversor de salida).

La Figura 6 es un diagrama de circuito de una forma de realización de un controlador de línea de palabra 22A, que puede ser uno de los controladores de línea de palabra 22. Otros controladores de línea de palabra 22 pueden ser similares. El controlador de línea de palabra 22A genera la línea de palabra WL0 en esta forma de realización. El controlador de línea de palabra 22A ilustra una forma de realización de un circuito dinámico para controlar la línea de palabra WL0. En la forma de realización ilustrada, el controlador de línea de palabra 22A incluye los transistores T_{14}-T_{18} y un inversor 60 alimentado por la tensión de alimentación V_M. T_{14} tiene una fuente acoplada a la tensión de alimentación V_M, una puerta acoplada a la señal de reloj clk_e del cambiador de nivel 20, y un drenaje acoplado al nodo N3. T_{15}-T_{17} se acoplan en serie, teniendo T_{15} su drenaje acoplado al nodo N3 y teniendo T_{17} su fuente acoplada a tierra. Las puertas de T_{15} y T_{16} se acoplan para recibir las entradas de dirección A1 y A2, y la puerta de T_{17} se acopla a la señal de reloj clk del circuito de deshabilitación de la señal de reloj 26. La entrada del inversor 60 y el drenaje de T_{18} se acoplan al nodo N3. La salida del inversor 60 es la línea de palabra WL0, y también se acopla a la puerta de T_{18} que tiene su fuente acoplada a la tensión de alimentación V_M.

El controlador de línea de palabra 22A es una puerta NAND dinámica en esta forma de realización. De esta manera, T_{14} precarga el nodo N3 en respuesta a una negación de clk_e, y se desactiva en respuesta a una afirmación de clk_e. Dado que clk_e ha sido cambiada de nivel al dominio V_M, la afirmación de clk_e es a la tensión V_M y por tanto T_{14} puede desactivarse completamente mientras se afirma clk_e.

Mientras clk_e se afirma, clk puede afirmarse para hacer una evaluación de la puerta NAND dinámica. Si se afirman las dos entradas A1 y A2, los transistores T_{15}-T_{17} descargan el nodo N3 y se afirma la línea de palabra WL0 (llevada a la tensión de alimentación V_M por el inversor 60). Si una o ambas de las entradas A1 y A2 son negadas, el nodo N3 no se descarga y la línea de palabra WL0 no se afirma. T_{18} puede servir de conservador si el nodo N3 no se descarga, evitando que el nodo N3 flote.

Dado que la señal de reloj clk y las entradas A1-A2 no se acoplan a los transistores PMOS (y por tanto no requieren el nivel de tensión V_M para garantizar que un PMOS se desactiva cuando la fuente de PMOS se acopla a la tensión de alimentación V_M), la señal de reloj clk y las entradas A1-A2 pueden estar en el dominio V_L.

Aunque en la forma de realización de la Figura 6 se muestra una puerta NAND dinámica de dos entradas, en otras formas de realización puede implementarse cualquier función lógica de cualquier número de entradas.

Volviendo a continuación a la Figura 7, se muestra un diagrama de flujo que ilustra una forma de realización de un procedimiento. Los circuitos lógicos 12 pueden leer y/o escribir los circuitos de memoria 14 (bloque 70). Los circuitos de memoria 14 pueden responder a las lecturas utilizando señales L V_L (es decir, señales en el dominio V_L o referenciadas a V_L --bloque 72). Los circuitos de memoria pueden almacenar los datos de escritura proporcionados utilizando señales V_L (bloque 74).

Numerosas variaciones y modificaciones se pondrán de manifiesto a los expertos en la materia una vez que la descripción anterior sea plenamente comprendida. Se pretende que la invención quede limitada únicamente por la siguientes reivindicaciones.

REIVINDICACIONES

1. Un circuito integrado (10) que comprende:

al menos un circuito lógico (12) alimentado por una primera tensión de alimentación; y

al menos un circuito de memoria (14) acoplado al circuito lógico (12) y alimentado por una segunda tensión de alimentación, y en el que el circuito de memoria (14) está configurado para ser accedido en respuesta al circuito lógico (12) incluso en un caso en que la primera tensión de alimentación sea inferior a la segunda tensión de alimentación durante su utilización, y en el que el circuito de memoria (14) comprende circuitería de desplazamiento de nivel (20) configurada para señales de desplazamiento de nivel entre un primer dominio de tensión correspondiente a la primera tensión de alimentación y un segundo dominio de tensión correspondiente a la segunda tensión de alimentación para realizar un acceso desde el circuito lógico (12) al circuito de memoria (14),

en el que el circuito de memoria (14) comprende un circuito controlador de línea de palabra (22) alimentado por la segunda tensión de alimentación, en el que una primera celda de memoria (32A) de una pluralidad de celdas de memoria en una matriz de memoria (24) en el circuito de memoria (14) está acoplado para recibir una línea de palabra del circuito controlador de línea de palabra (22) para activar la primera celda de memoria (32A) para acceso, y en el que la circuitería de desplazamiento de nivel (20) comprende un primer circuito de desplazamiento de nivel (20a ó 20b) alimentado por la segunda tensión de alimentación,

caracterizado por que

el primer circuito de desplazamiento de nivel (20a ó 20b) está acoplado para recibir una señal de reloj de entrada (gclk) y una o más señales de habilitación (En) del circuito lógico (12) y en el que el primer circuito de desplazamiento de nivel (20a ó 20b) está configurado para desplazar en nivel la señal de reloj de entrada al segundo nivel de tensión desde el primer nivel de tensión en respuesta a las una o más señales de habilitación, y en el que el primer circuito de desplazamiento de nivel está acoplado para proporcionar una señal de reloj acondicionada desplazada en nivel (clke) al circuito controlador de línea de palabra (22), y en el que la señal de reloj acondicionada desplazada en nivel está acoplada a una puerta de un transistor Metal-Óxido-Semiconductor de tipo P (T_{14}) en el circuito controlador de línea de palabra (22),

en el que el transistor Metal-Óxido-Semiconductor de tipo P (T_{14}) lleva a cargo precarga en el circuito controlador de línea de palabra (22).

2. El circuito integrado según la reivindicación 1, en el que el circuito de memoria (14) está alimentado por la primera tensión de alimentación además de la segunda tensión de alimentación.

3. El circuito integrado según la reivindicación 1, en el que el circuito de desplazamiento de nivel comprende un primer circuito controlador de línea de palabra (22) comprende un circuito lógico dinámico, y en el que la señal de reloj acondicionada desplazada en nivel acciona la precarga de circuito lógico dinámico.

4. El circuito integrado según la reivindicación 3, en el que el circuito controlador de línea de palabra (22) está además acoplado para recibir una o más señales de entrada adicionales que no están desplazadas en nivel.

5. El circuito integrado según la reivindicación 4, en el que el circuito de memoria (14) comprende además un receptor de reloj (26) acoplado para recibir la señal de reloj de entrada y las una o más señales de habilitación, y en el que el receptor de señal (26) está alimentado por la primera tensión de alimentación, y en el que las señales de entrada adicionales comprende una señal de reloj acondicionada no desplazada en nivel generada por el receptor de reloj (26).

6. El circuito integrado según la reivindicación 5, en el que circuito controlador de línea de palabra (22) comprende transistor Metal-Óxido-Semiconductor de tipo N (T_{17}) que tiene un terminal de puerta acoplado para recibir la señal de reloj acondicionada no desplazada en nivel.

7. El circuito integrado según la reivindicación 1, en el que la primera celda de memoria (32A) está acoplada a un par de líneas de bits, y en el que el circuito de memoria (14) comprende un circuito controlador de línea de bit (30) acoplado al par de líneas de bit y configurado para configurar el par de líneas de bit para escribir la primera celda de memoria (32A), y en el que el circuito controlador de línea de bit (30) está alimentado con la primera tensión de alimentación.

8. El circuito integrado según la reivindicación 1, en el que la primera celda de memoria (32A) está acoplada a un par de líneas de bits, y en el que el circuito de memoria (14) comprende un circuito amplificador de medición (38) acoplado al par de líneas de bit y configurado para medir un valor de la primera celda de memoria (32A) para entregar en respuesta a una lectura, y en el que el circuito amplificador de medición (38) está alimentado con la primera tensión de alimentación.

9. El circuito integrado según la reivindicación 1, en el que la primera celda de memoria (32A) está acoplada a un par de líneas de bits, y en el que el circuito de memoria (14) comprende además un circuito de precarga de línea de bit (34) configurado para precargar el par de líneas de bit para preparar la lectura, y en el que el circuito de precarga de línea de bit (34) está alimentado por la primera tensión de alimentación.

10. El circuito integrado según la reivindicación 1, en el que la primera celda de memoria (32A) está acoplada a un par de líneas de bits, y en el que el circuito de memoria (14) comprende adicionalmente un circuito de retención de línea de bits (36) configurado para mantener la precarga en el par de líneas de bit durante períodos de inactividad, y en el que circuito de retención de línea de bits (36) está alimentado por la primera tensión de alimentación.

11. Un método para hacer funcionar un circuito de memoria (14) y un circuito lógico (12) dentro de un circuito integrado a diferentes tensiones de alimentación, comprendiendo el método:

proporcionar al circuito lógico (12) una primera tensión de alimentación;

proporcionar al circuito de memoria (14) una segunda tensión de alimentación, en donde la primera tensión de alimentación es menor que la segunda tensión de alimentación;

acceder al circuito de memoria (14) mediante el circuito lógico (12), en acceder comprende desplazar en nivel señales entre un primer dominio de tensión correspondiente a la primera tensión de alimentación y un segundo dominio de tensión correspondiente a la segunda tensión de alimentación, en donde el circuito de memoria (14) comprende un circuito controlador de línea de palabra (22) alimentado por una segunda tensión de alimentación, en donde una primera celda de memoria (32A) de una pluralidad de celdas de memoria en una matriz de memoria (24) en el circuito de memoria (14) está acoplado para recibir una línea de palabra de un circuito controlador de línea de palabra (22) para activar la celda de memoria (32A) para acceso, y en donde la circuitería de desplazamiento de nivel (20) comprende un primer circuito de desplazamiento de nivel (20a ó 20b) alimentado por la segunda tensión de alimentación

caracterizado por que

el primer circuito de desplazamiento de nivel (20a ó 20b) está acoplado para recibir una señal de reloj de entrada (gclk) y una o más señales de habilitación (En) del circuito lógico (12) y en el que el primer circuito de desplazamiento de nivel (20a ó 20b) está configurado para desplazar en nivel la señal de reloj de entrada al segundo nivel de tensión desde el primer nivel de tensión en respuesta a las una o más señales de habilitación, y

en el que el primer circuito de desplazamiento de nivel (20a ó 20b) proporciona una señal de reloj acondicionada desplazada en nivel (clke) al circuito controlador de línea de palabra (22), y en el que la señal de reloj acondicionada desplazada en nivel está acoplada a una puerta de un transistor Metal-Óxido-Semiconductor de tipo P (T_{14}) en el circuito controlador de línea de palabra (22), en el que el transistor Metal-Óxido-Semiconductor de tipo P (T_{14}) lleva a cargo precarga en el circuito controlador de línea de palabra (22).

12. El método según la reivindicación 11, en el que la acceder comprende además no desplazar en nivel una segunda señal de control para el circuito de memoria (14).

13. El método según la reivindicación 11, que comprende además proporcionar a una parte del circuito de memoria (14) la primera tensión de alimentación.

14. El método según la reivindicación 13, en el que la parte incluye circuitería acoplada a una pluralidad de líneas de bit en el circuito de memoria (14) para leer datos del circuito de memoria.

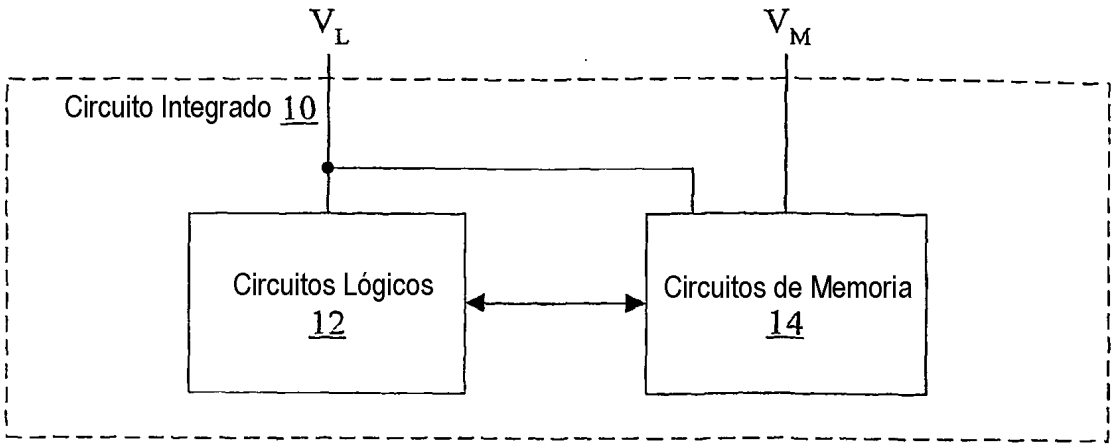
V_L
V_M
Circuito Integrado 10
Circuitos Lógicos 12
Circuitos de Memoria 14

Fig. 1

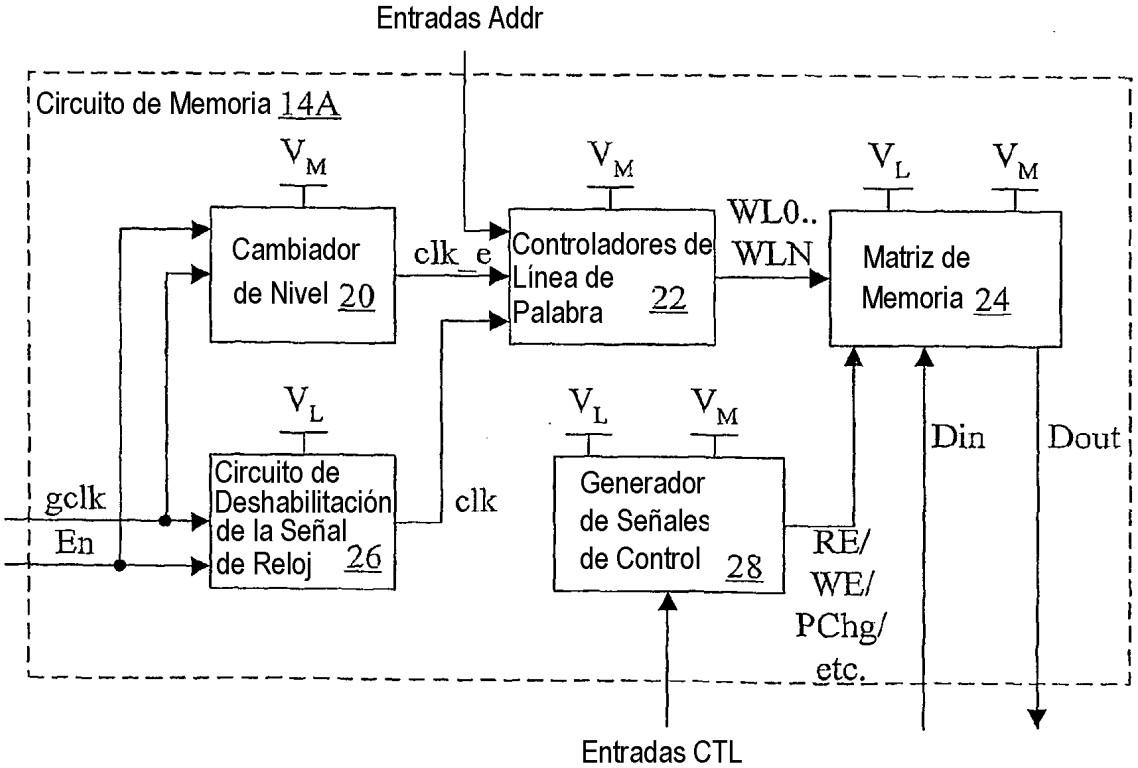
Entradas Addr
Circuito de Memoria 14A
V_M
V_M
V_L
V_M
Cambiador de Nivel 20
clk_e
Controladores de Línea de Palabra 22
WL0.. WLN
Matriz de Memoria 24
V_L
V_L
V_M
Din
Dout
gclk
En
Circuito de Deshabilitación de la Señal de Reloj 26
clk
Generador de Señales de Control 28
RE/ WE/ PChg/ etc.
Entradas CTL

Fig. 2

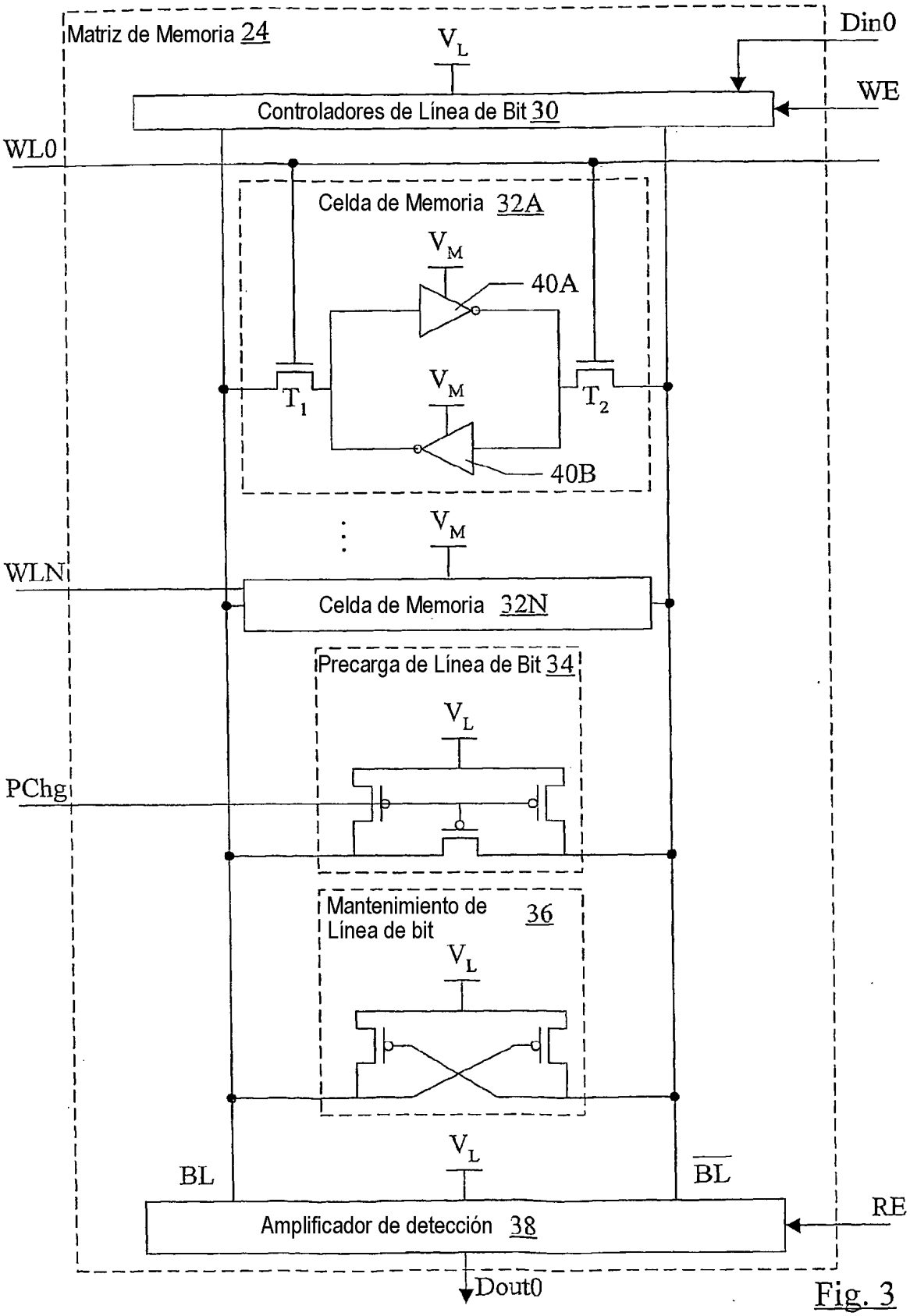
Matriz de Memoria 24
V_L
Din0
WE
Controladores de Línea de Bit 30
WL0
Celda de Memoria 32A
V_M
40A
T_1
V_M
T_2
40B
V_M
WLN
Celda de Memoria 32N
Precarga de Línea de Bit 34
V_L
PChg
Mantenimiento de Línea de bit
36
V_L
V_L
BL
$\overline{BL}$
RE
Amplificador de detección 38
Dout0

Fig. 3

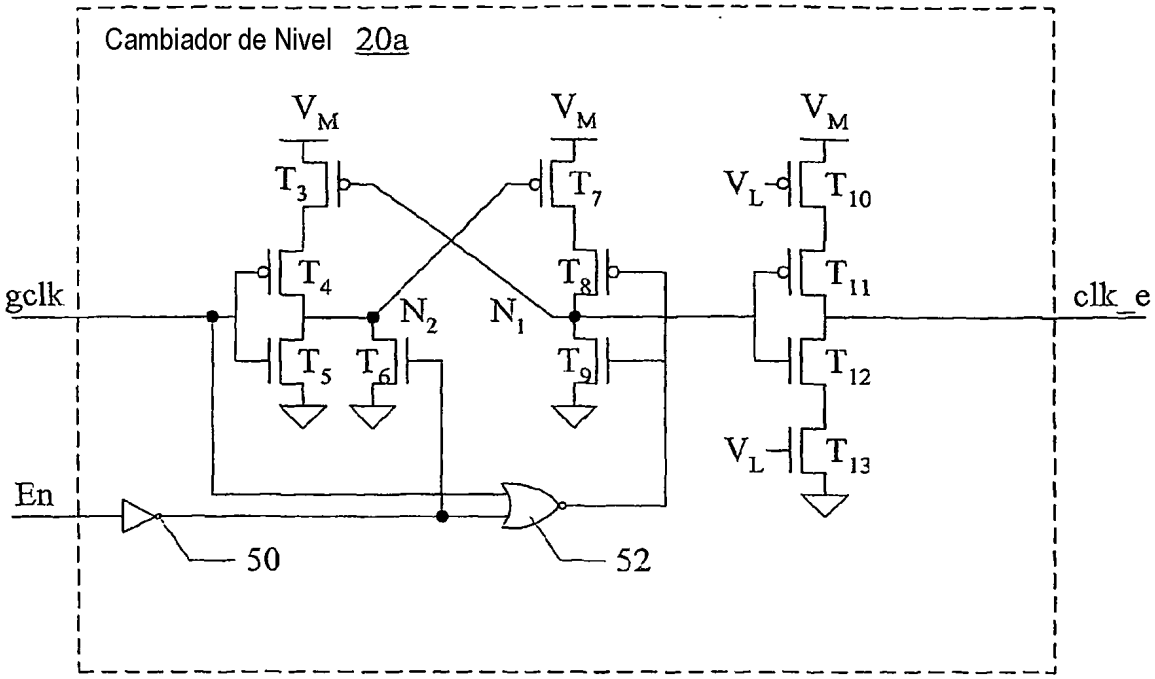
Cambiador de Nivel 20a
V_M
V_M
V_M
T_3
T_7
V_L
T_{10}
T_4
T_8
T_{11}
gclk
N_2
N_1
clk_e
T_5
T_6
T_9
T_{12}
V_L
T_{13}
En
50
52

Fig. 4

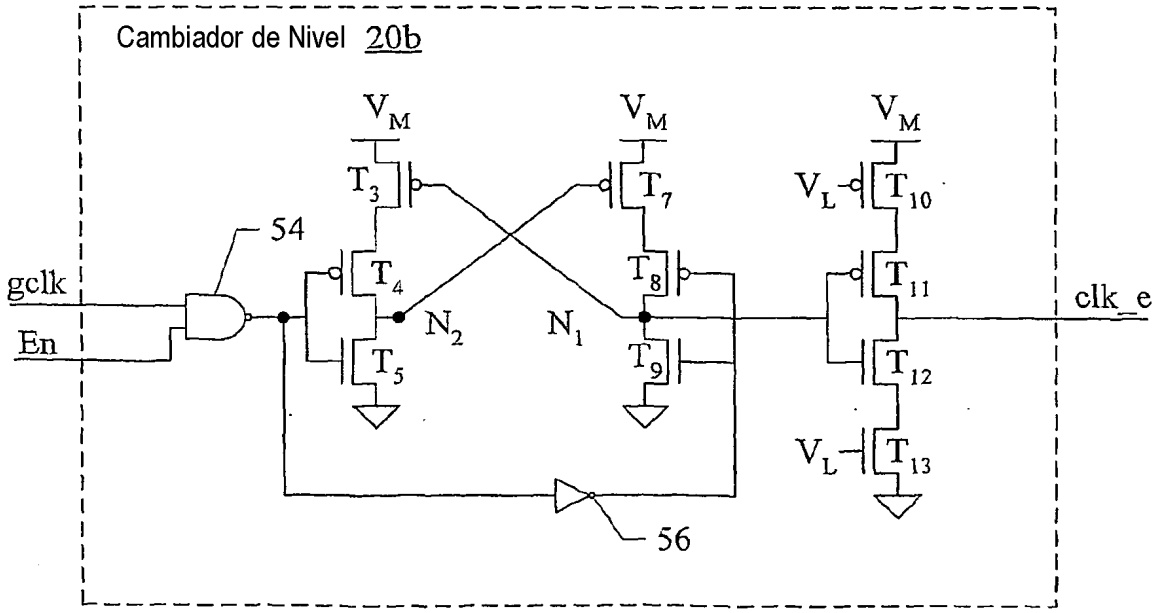
Cambiador de Nivel 20b
V_M
V_M
V_M
T_3
T_7
V_L
T_{10}
54
T_4
T_8
T_{11}
gclk
clk_e
En
N_2
N_1
T_5
T_9
T_{12}
V_L
T_{13}
56

Fig. 5

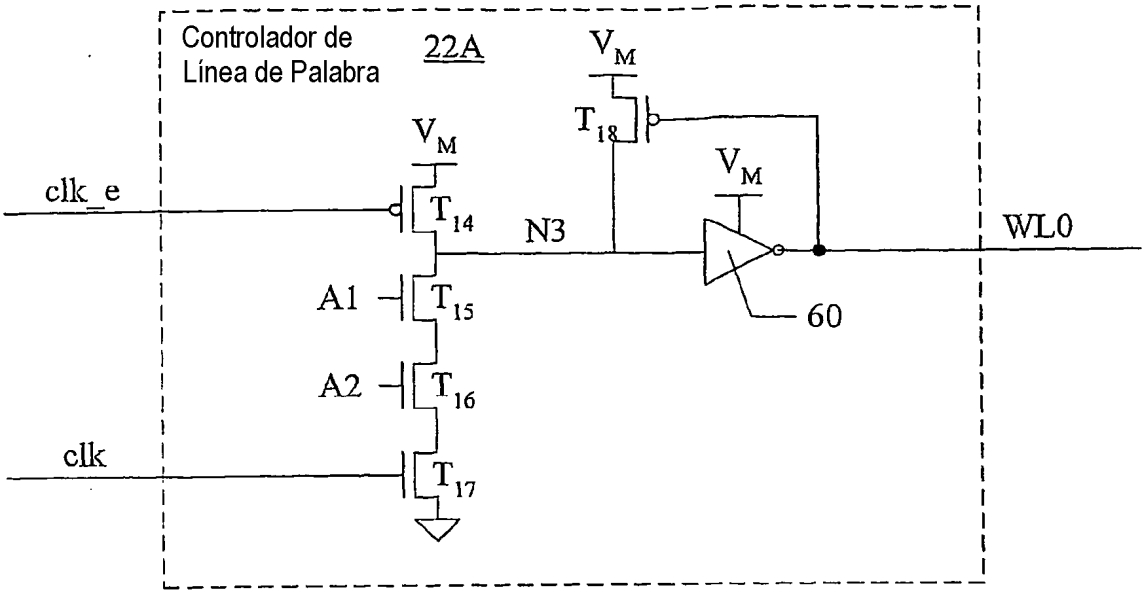
Controlador de
Línea de Palabra
22A
V_M
T_{18}
V_M
V_M
clk_e
T_{14}
N3
WL0
A1
T_{15}
60
A2
T_{16}
clk
T_{17}

Fig. 6

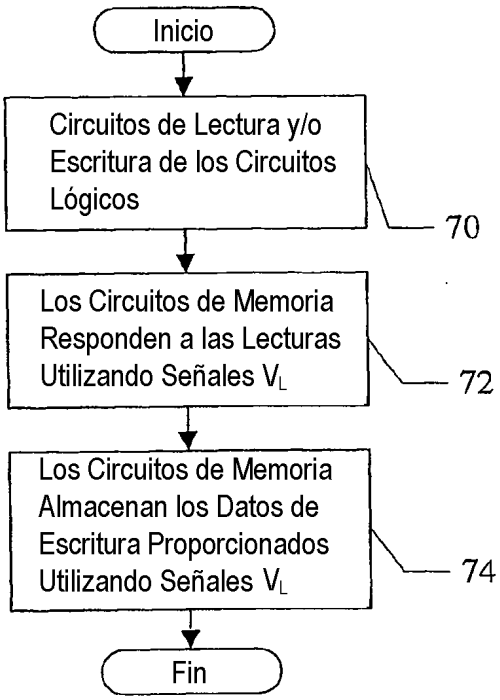
Inicio
Circuitos de Lectura y/o Escritura de los Circuitos Lógicos
70
Los Circuitos de Memoria Responden a las Lecturas Utilizando Señales V_L
72
Los Circuitos de Memoria Almacenan los Datos de Escritura Proporcionados Utilizando Señales V_L
74
Fin

Fig. 7