

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 402 472**

51 Int. Cl.:

H03M 13/29 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **08.10.2002 E 10004607 (7)**

97 Fecha y número de publicación de la concesión europea: **13.03.2013 EP 2239856**

54 Título: **Codificación y decodificación concatenadas para protocolo de comunicación de capas múltiples**

30 Prioridad:

12.10.2001 US 976591

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

06.05.2013

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 MOREHOUSE DRIVE
SAN DIEGO, CA 92121-1714, US**

72 Inventor/es:

**CHEN, TAO;
BENDER, PAUL E.;
AGASHE, PARAG A.;
REZAIIFAR, RAMIN;
PANKAJ, RAJESH K. y
WEI, JONGBIN**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 402 472 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Codificación y decodificación concatenadas para protocolo de comunicación de capas múltiples

Antecedentes**Campo**

- 5 La presente invención se refiere a sistemas de comunicación. Más en particular, la presente invención se refiere a un sistema y procedimiento para reducir la complejidad de la decodificación en un sistema de comunicación.

Antecedentes

10 Los sistemas de comunicación han sido desarrollados para permitir la transmisión de señales de información desde una estación de origen a una estación de destino distinta físicamente. Cuando se transmite la señal de información desde la estación de origen sobre un canal de comunicación, la señal de información es convertida en primer lugar a una forma adecuada para una transmisión eficiente sobre el canal de comunicación. La conversión, o modulación, de la señal de información implica variar un parámetro de una onda portadora de acuerdo con la señal de información, de tal manera que el espectro de la portadora modulada resultante está confinado dentro del ancho de banda del canal de comunicación. En la estación de destino, la señal de información original es replicada a partir de la onda portadora modulada recibida sobre el canal de comunicación. Una replicación de este tipo se consigue en general utilizando una inversa del proceso de modulación empleado por la estación de origen.

15 La modulación también facilita el acceso múltiple, es decir, transmisión, y / o recepción simultáneas de varias señales sobre un canal de comunicación común. Los sistemas de comunicación de acceso múltiple a menudo incluyen una pluralidad de unidades de abonado que requieren el servicio intermitente de duración relativamente corta en lugar de un acceso continuo al canal de comunicación común. Varias técnicas de acceso múltiple son conocidas en la técnica, tales como el acceso múltiple por división de tiempo (TDMA), el acceso múltiple por división de frecuencia (FDMA), y el acceso múltiple por modulación de amplitud (AM). Otro tipo de técnica de acceso múltiple es un sistema de espectro ensanchado de acceso múltiple por división de código (CDMA) que se ajusta al " Estándar de Compatibilidad de Estación Móvil – Estación de Base TIA/EIA/IS-95 para Sistema Celular de Espectro Ensanchado de Banda Ancha en Modo Dual", denominado, de aquí en adelante, como estándar IS-95. El uso de técnicas de CDMA en un sistema de comunicación de acceso múltiple se divulga en la patente de Estados Unidos número 4.901.307 titulada "SISTEMA DE COMUNICACIÓN DE ACCESO MÚLTIPLE DE ESPECTRO ENSANCHADO USANDO RE-
20 PETIDORES POR SATÉLITE O TERRESTRES", y en la patente de Estados Unidos número 5.103.459 titulada "SISTEMA Y PROCEDIMIENTO PARA GENERAR FORMAS DE ONDA EN UN SISTEMA TELEFÓNICO CELULAR CDMA", ambas cedidas al cesionario de la presente invención.

25 Un sistema de comunicación de acceso múltiple puede ser inalámbrico o cableado y puede transportar voz y / o datos. Un ejemplo de un sistema de comunicación que transporta tanto voz como datos es un sistema de acuerdo con el estándar IS-95, que especifica transmitir voz y datos a través del canal de comunicación. Un procedimiento para transmitir datos en tramas de canal de código de tamaño fijo se describe en detalle en la patente de Estados Unidos número 5.504.773 titulada "PROCEDIMIENTO Y APARATO PARA EL FORMATEADO DE DATOS PARA SU TRANSMISIÓN", cedida al cesionario de la presente invención. De acuerdo con el estándar IS-95, los datos o la voz se dividen en tramas de canal de código que tienen una anchura de 20 milisegundos con velocidades de datos tan altas como 14,4 Kbps. Ejemplos adicionales de sistemas de comunicación que transportan tanto voz como datos comprenden sistemas de comunicación conforme con el "Proyecto de Asociación de Tercera Generación" (3GPP), realizado en un conjunto de documentos que incluye los Documentos números 3G TS 25.211, 3G TS 25.212, 3G TS 25.213, y 3G TS 25.214 (estándar W-CDMA), o "Estándar de Capa Física para Sistemas de Espectro Ensanchado cdma2000 TR-45.5 " (estándar IS-2000).

35 Un ejemplo de un sistema de comunicación de solamente datos es sistema de comunicación de velocidad de datos alta (HDR) que es conforme con el estándar de la industria TIA/EIA/IS-856, denominado en la presente memoria descriptiva y a continuación como estándar IS-856. Este sistema de HDR está basado en un sistema de comunicación desvelado en la solicitud en tramitación junto con la presente con número de serie 08/963.386, titulada "PROCEDIMIENTO Y APARATO PARA TRANSMISIÓN DE PAQUETES DE DATOS CON ALTA VELOCIDAD", presentada el 3 de noviembre 1997, y cedida al cesionario de la presente invención. El sistema de comunicación HDR define un conjunto de velocidades de datos, que varían desde 38,4 kbps a 2,4 Mbps, en el cual un punto de acceso (AP) puede enviar datos a una estación de abonado (terminal de acceso, AT). Debido a que el AP es análogo a una estación de base, la terminología con respecto a las células y sectores es la misma que con respecto a sistemas de voz.

40 Un ejemplo de un sistema de comunicación de acceso múltiple, las comunicaciones entre los usuarios se llevan a cabo a través de una o más estaciones de base. Un primer usuario en una estación de abonado se comunica con un segundo usuario en una segunda estación de abonado mediante la transmisión de datos a una estación de base en un enlace inverso. La estación de base recibe los datos y puede encaminar los datos a otra estación de base. Los datos se transmiten en un enlace directo de la misma estación de base, o de la otra estación de base, a la segunda estación de abonado. El enlace directo se refiere a la transmisión desde una estación de base a una estación de abonado y el

enlace inverso se refiere a la transmisión desde una estación de abonado a una estación de base. Asimismo, la comunicación puede ser conducida entre un primer usuario de una estación de abonado y un segundo usuario en una estación de línea terrestre. Una estación de base recibe los datos del usuario en un enlace inverso, y encamina los datos a través de una red telefónica pública conmutada (PSTN) al segundo usuario. En muchos sistemas de comunicación, por ejemplo, IS-95, W-CDMA, IS-2000, al enlace directo y al enlace inverso se les asignan frecuencias separadas.

El servicio comunicación inalámbrica que se ha descrito más arriba es un ejemplo de un servicio de comunicación de punto a punto. En contraste, los servicios de emisión proporcionan un servicio de comunicación de punto a multipunto. El modelo básico de un sistema de emisión consiste en una red de emisión de usuarios servidos por una o más estaciones centrales, que transmiten a los usuarios información con unos ciertos contenidos, por ejemplo, noticias, películas, eventos deportivos y otros similares. Cada estación de abonado de usuario de la red de emisión monitoriza una señal de emisión de enlace directo común. Debido a que la estación central determina de manera fija el contenido, en general los usuarios no se comunican en retorno. Ejemplos de uso común de sistemas de comunicación de servicios de emisión son las emisiones de TV, las emisiones de radio, y otras similares. Tales sistemas de comunicación son en general sistemas de comunicación contruidos a propósito, altamente especializados. Con los avances recientes en los sistemas telefónicos celulares inalámbricos, ha habido un interés en la utilización principalmente de la infraestructura existente de los sistemas de telefonía celular de punto a punto para los servicios de emisión (Tal como se utiliza en la presente memoria descriptiva, la expresión "sistemas celulares" abarca sistemas de comunicación que utilizan ambas frecuencias celular y PCS.)

La señal de información a ser intercambiada entre los terminales en un sistema de comunicación a menudo está organizada en una pluralidad de paquetes. Para los fines de esta descripción, un paquete es un grupo de bytes, incluyendo los datos (carga útil) y elementos de control, dispuestos en un formato específico. Los elementos de control comprenden, por ejemplo, un preámbulo y una métrica de calidad. La métrica de calidad comprende, por ejemplo, control de redundancia cíclica (CRC), bits de paridad y otros tipos de métrica conocidos por los expertos en la técnica. Los paquetes son formateados entonces para encajar en una trama de acuerdo con una estructura de canal de comunicación. La trama, adecuadamente modulada, que se desplaza entre el terminal de origen y el terminal de destino, se ve afectada por las características del canal de comunicación, por ejemplo, la relación de señal a ruido, el desvanecimiento, la variación del tiempo, y otras características de este tipo. Tales características afectan a la señal modulada de manera diferente en diferentes canales de comunicación. Como consecuencia, la transmisión de una señal modulada sobre un canal de comunicación inalámbrica requiere consideraciones diferentes a las de la transmisión de una señal modulada por un canal de comunicación de tipo cableado, por ejemplo, un cable coaxial o un cable óptico. Además de seleccionar una modulación apropiada para un canal de comunicación particular, se han ideado otros procedimientos para la protección de la señal de información. Tales procedimientos comprenden, por ejemplo, la codificación, la repetición de símbolos, entrelazados, y otros procedimientos que serán conocidos por un experto en la técnica. Sin embargo, estos procedimientos incrementan la sobrecarga. Por lo tanto, se debe alcanzar un compromiso de ingeniería entre la fiabilidad de la entrega de señal de la información y la cantidad de sobrecarga. Incluso con la protección de la señal de información que se ha explicado más arriba, las condiciones del canal de comunicación se pueden degradar hasta el punto en el que la estación de destino, posiblemente, no pueda decodificar (borrar) algunos de los paquetes. En los sistemas de comunicación de solo datos que permiten la comunicación de una retroalimentación desde un terminal de destino al terminal de origen, una solución es volver a transmitir los paquetes no decodificados utilizando una Solicitud de Retransmisión Automática (ARQ) realizada por la estación de destino a la estación de origen. Sin embargo, bajo ciertas condiciones, la ARQ puede sobrecargar el sistema de comunicación. Además, como se ha explicado en lo que respecta a los sistemas de comunicación transmitida, los abonados no se comunican de vuelta a la estación de base. Como consecuencia, son deseables otros medios de protección de la información.

Una solicitud de patente en tramitación junto con la presente, número de serie 09/933.912, titulada "PROCEDIMIENTO Y SISTEMA PARA LA UTILIZACIÓN DE UN DECODIFICADOR EXTERNO EN UN SISTEMA DE COMUNICACIÓN DE SERVICIOS DE EMISIÓN", presentada el 20 de agosto 2001 y cedida al cesionario de la presente invención, explica en detalle la utilización de un decodificador externo en un sistema de emisión. Como se describe en la solicitud de patente en tramitación junto con la presente, número de serie 09/933.912, el flujo de bits de información a ser transmitido en primer lugar es codificado por un decodificador externo y el flujo codificado es codificado a continuación por un codificador interno. Como se ilustra en la **figura 1**, el flujo de bits de información a transmitir **102**, que se origina en las capas superiores, se proporciona a una memoria intermedia de transmisión **104**. La memoria intermedia de transmisión es ilustrada con más detalle en la **figura 2**. Haciendo referencia a la **figura 2**, los bits llenan la porción sistemática **204(1)** de la memoria intermedia de transmisión **104** (de la **figura 1**) fila por fila, de izquierda a derecha. La porción sistemática **204(1)** comprende k filas **208** de longitud L . Haciendo referencia de nuevo a la **figura 1**, una vez que la porción sistemática **204(4)** (de la **figura 2**) está llena, el codificador de bloque externo **106** se activa para llevar a cabo la codificación en el sentido de las columnas, de los bits en la porción sistemática **204(1)** (de la **figura 2**) para generar $(n - k)$ filas adicionales **210** (de la **figura 2**) de bits de paridad. Esta operación en el sentido de las columnas se realiza columna por columna para el código binario externo, es decir, $m = 1$. Para los códigos no binarios, es decir, $m > 1$, cada m columnas adyacentes en una fila se tratan como un símbolo bit - m . Los símbolos bit - m a lo largo de las filas k superiores son leídos por el codificador externo para producir $n - k$ símbolos bit - m que llenan las filas inferiores correspondientes $n - k$ de estas columnas.

El codificador externo comprende, por ejemplo, un codificador sistemático Reed - Solomon (R - S). Haciendo referencia de nuevo a la **figura 1**, el contenido de la memoria intermedia de transmisión **104** a continuación se proporciona a una capa física **108**. En la capa física **108**, las tramas individuales están codificadas por un codificador interno (no mostrado), lo que resulta en tramas codificadas. La estructura del decodificador interno es bien conocida por los expertos en la técnica. Las filas sistemáticas y las filas de paridad de la memoria intermedia pueden ser entrelazadas durante la transmisión para reducir la posibilidad de un gran número de filas sistemáticas borradas cuando el número total de borrados de código interno excede la capacidad de corrección del código externo. Las tramas son procesadas adicionalmente de acuerdo con un esquema de modulación seleccionado, por ejemplo, cdma2000, WCDMA, UMTS, y otros esquemas de modulación conocidos por los expertos en la técnica. Las tramas procesadas son transmitidas entonces sobre un canal de comunicación **110**.

Las tramas transmitidas son recibidas en la estación de destino y son proporcionadas a una capa física **112**. En la capa física **112**, las tramas individuales son demoduladas y proporcionadas a un decodificador interno (no mostrado). El decodificador interno decodifica cada trama, y si la decodificación tiene éxito, produce como salida una trama decodificada correctamente; o si la decodificación no tiene éxito, declara una operación de borrado. El éxito o fracaso de la decodificación deben ser determinados con una precisión alta, lograda por ejemplo, mediante la inclusión de un control de redundancia cíclico (CRC) largo (por ejemplo, de 16 bit) en la trama después de la codificación externa y antes de la codificación interna. El CRC incluido obtenido a partir de la trama decodificada se compara con un CRC calculado a partir de los bits de la trama decodificada, y si los dos CRC son idénticos, se declara que la decodificación se ha realizado con éxito.

Si el decodificador interno no puede decodificar la trama, el decodificador declara un borrado, y proporciona a un decodificador de bloque externo **116** una indicación de que falta la trama. El proceso continúa hasta que hay tantas tramas de paridad recibidas correctamente y se pasan a una porción de paridad **114(2)** de una memoria intermedia de recepción **114**, como hay tramas sistemáticas borradas. El receptor detiene la recepción de cualesquiera tramas restantes y el decodificador externo (no mostrado) es activado para recuperar las tramas sistemáticas borradas. Las tramas sistemáticas recuperadas son pasadas a la capa superior.

Es bien conocido en la técnica que la complejidad de cálculo de corrección de decodificación / error aumenta con valores incrementados del número de filas en el memoria intermedia de transmisión 104. Debido a que la complejidad de cálculo de decodificación / error afecta a la complejidad del hardware en el terminal receptor, así como al consumo de energía, existe una necesidad en la técnica de un procedimiento y sistema.

Se llama la atención al siguiente documento: Lou, Podilchuk, Chio: "Emisión progresiva de video en tiempo real sobre sistemas inalámbricos 2G y 3G", Actas del 11º Simposio Internacional IEEE sobre las comunicaciones de radio personales internos y móviles, PIMRC 2000, vol. 2, 18 - 21 de septiembre de 2000, páginas 1550 - 1554 (XP010520891). El artículo explica un códec de vídeo progresivo con escalabilidad de vídeo. El artículo propone un esquema de protección desigual en la capa de aplicación para el flujo de bits de vídeo que funciona en concatenación con los códigos de canal en la capa física de los sistemas celulares actuales.

También se llama la atención al siguiente documento: Greg SHERWOOD et al., "Protección de Errores para la Transmisión de Imagen Progresiva sobre Canales Sin Memoria y en Desvanecimiento", IEEE Transactions on Communications, vol. 46, número 12, 1 de diciembre de 1998, XP011009310, ISSN: 0090 a 6778. Este documento desvela un procedimiento de codificación para aplicaciones inalámbricas basado en un código de producto de un código externo Reed - Solomon y de un código interno RCPC.

También se llama la atención al documento US 6 047 395, que describe un procesador de corrección de errores para corregir errores en los datos binarios leídos de un medio de almacenamiento en disco, en el que los datos binarios comprenden unos conjuntos primero y segundo de palabras de código ECC que se cruzan, de una palabra de código multidimensional. El procesador de corrección de errores comprende una memoria intermedia de datos para almacenar las palabras de código ECC leídas desde el medio de almacenamiento en disco, un generador de síndromes para generar síndromes de ECC en respuesta a una palabra de código en el segundo conjunto; un generador polinómico localizador de errores para generar un sigma (x) polinómico de localización de errores en respuesta a los síndromes de ECC, un selector para seleccionar entre el sigma (x) polinómico localizador de errores y un sigma (x) EP polinómico de borrado, en el que: (i) el sigma (x) EP polinómico de borrado es generado mientras se procesa el primer conjunto de palabras de código, y (ii) el sigma (x) EP polinómico de borrado se utiliza para corregir al menos dos palabras de código en el segundo conjunto, y un corrector de errores para generar valores de corrección en respuesta ya sea al sigma (x) polinómico localizador de errores o el sigma (x) EP polinómico de borrado producido como salida por el selector, los valores de corrección para corregir los errores en las palabras de código en el segundo conjunto.

Sumario

De acuerdo con la presente invención se proporcionan un procedimiento de codificación, tal como se establece en la reivindicación 1, un aparato para codificar, tal como se establece en la reivindicación 7. Las realizaciones de las invenciones se reivindican en las reivindicaciones dependientes.

Descripción detallada**Definiciones**

5 La palabra "ejemplar" se usa en la presente memoria descriptiva significando que "sirve como ejemplo, caso o ilustración". Cualquier realización descrita en la presente memoria descriptiva como "ejemplar" no se debe interpretar necesariamente como preferida o ventajosa con respecto a otras realizaciones.

La expresión comunicación punto a punto se utilizan en la presente memoria descriptiva con el significado de una comunicación entre dos estaciones de abonado sobre un canal de comunicación dedicado.

10 Las expresiones comunicación de emisión o comunicación de punto a multipunto se utilizan en la presente memoria descriptiva para significar una comunicación en la que una pluralidad de estaciones de abonado está recibiendo comunicación desde una fuente.

15 El término paquete se utiliza en la presente memoria descriptiva para significar un grupo de bits, incluyendo los datos (carga útil) y elementos de control, dispuestos en un formato específico. Los elementos de control comprenden, por ejemplo, un preámbulo, una métrica de calidad, y otros que son conocidos por los expertos en la técnica. La métrica de calidad comprende, por ejemplo, una comprobación de redundancia cíclica (CRC), un bit de paridad, y otros que son conocidos por los expertos en la técnica.

20 La expresión red de acceso se utiliza en la presente memoria descriptiva para significar una colección de estaciones de base (BS) y uno o más controladores de estaciones de base. La red de acceso transporta paquetes de datos entre múltiples estaciones de abonado. La red de acceso puede estar conectada, además, a redes adicionales fuera de la red de acceso, tales como una intranet corporativa o el Internet, y puede transportar paquetes de datos entre cada terminal de acceso y tales redes externas.

25 La expresión estación de base se utiliza en la presente memoria descriptiva para significar el hardware con el que se comunican las estaciones de abonado. La célula se refiere al hardware o una zona de cobertura geográfica, dependiendo del contexto en el que se utiliza el término. Un sector es una partición de una célula. Debido a que un sector tiene los atributos de una célula, las enseñanzas descritas en términos de células se extienden fácilmente a los sectores.

30 La expresión estación de abonado se utiliza en la presente memoria descriptiva para significar el hardware con el que comunica una red de acceso. Una estación de abonado puede ser móvil o estacionaria. Una estación de abonado puede ser cualquier dispositivo de datos que comunica a través de un canal inalámbrico o a través de un canal cableado, por ejemplo usando cables de fibra óptica o coaxiales. Una estación de abonado puede ser, además, cualquiera de un número de tipos de dispositivos, incluyendo, pero sin limitación, una tarjeta de PC, un módem flash compacto, externo o interno, o un teléfono inalámbrico o cableado. Una estación de abonado que está en proceso de establecer una conexión de canal de tráfico activo con una estación de base se dice que está en un estado de establecimiento de conexión. Una estación de abonado que ha establecido una conexión de canal de tráfico activo con una estación de base se denomina estación de abonado activa, y se dice que está en un estado de tráfico.

35 La expresión canal físico se utiliza en la presente memoria descriptiva para significar una ruta de comunicación sobre la cual se propaga una señal descrita en términos de características de modulación y de codificación.

La expresión canal lógico se utiliza en la presente memoria descriptiva para significar una ruta de comunicación dentro de las capas de protocolo ya sea de la estación de base o de la estación de abonado.

40 La expresión canal / enlace de comunicación se usa en la presente memoria descriptiva para significar un canal físico o un canal lógico de acuerdo con el contexto.

La expresión enlace de comunicación inverso se usa en la presente memoria descriptiva para significar un canal / enlace de comunicación a través del cual la estación de abonado envía señales a la estación de base.

Un canal / enlace directo se utiliza en la presente memoria descriptiva para significar un canal / enlace de comunicación a través del cual una estación de base envía señales a una estación de abonado.

45 La expresión transferencia suave se usa en la presente memoria descriptiva para significar una comunicación entre una estación de abonado y dos o más sectores, en la que cada sector pertenece a una célula diferente. La comunicación de enlace inverso es recibida por ambos sectores y la comunicación de enlace directo es transportada simultáneamente en los enlaces directos de los dos o más sectores.

50 La expresión transferencia más suave se usa en la presente memoria descriptiva para significar una comunicación entre una estación de abonado y dos o más sectores, en la que cada sector pertenece a la misma célula. La comunicación de enlace inverso es recibida por ambos sectores y la comunicación de enlace directo es realizada simultáneamente en uno de los enlaces directos de los dos o más de sectores.

El término borrado se utiliza en la presente memoria descriptiva para significar un fallo en el reconocimiento de un mensaje.

La expresión canal dedicado se usa en la presente memoria descriptiva para significar un canal modulado por la información específica para una estación de abonado individual.

- 5 La expresión canal común se usa en la presente memoria descriptiva para significar un canal modulado por información compartida entre todas las estaciones de abonado.

La expresión capa física se utiliza exclusivamente en la presente memoria descriptiva para significar que parte del protocolo de comunicación entre un terminal de origen y un terminal de destino que es responsable de la transmisión y recepción de datos. La capa física se corresponde con la Capa 1 en el modelo de la Organización de Estándares Internacionales para la Interconexión de Sistemas Abiertos.

La expresión capa superior o capas superiores se utiliza exclusivamente en la presente memoria descriptiva para significar que parte del protocolo de comunicación entre un terminal de origen y un terminal de destino está por encima de una capa física. Las capas más altas corresponden a las capas 2 a 7 en el modelo de la Organización de Estándares Internacionales para la Interconexión de Sistemas Abiertos.

15 Descripción

De acuerdo con una realización de la presente invención, como se ilustra en la figura 3, el flujo de bits de información a transmitir 302, que se origina en las capas superiores, es demultiplexado y proporcionado a memorias intermedias de transmisión 304(i). Los bits llenan la porción sistemática 306(1) de la memoria intermedia de transmisión 304(1) fila por fila, de izquierda a derecha. La porción sistemática 306(1) comprende k filas de longitud L . En una realización, la longitud L de la memoria intermedia coincide con la longitud de una trama de radio sin sobrecarga (por ejemplo, el CRC para ayudar al decodificador interno y los bits de cola para el codificador interno). Una vez que la porción sistemática 306(1) de la memoria intermedia de transmisión 304(1) está llena, el procedimiento es repetido para las memorias intermedias de transmisión restantes 304(2) - 304(p). Una vez que las porciones sistemáticas 306(i) de las memorias intermedias de transmisión 304(i) están llenas, los codificadores de bloque externos 310(i) se activan para llevar a cabo la codificación en el sentido de las columnas de los bits en la porción sistemática 306(i) para generar $(n - k)$ filas adicionales de bits de paridad 308(i). Esta operación en el sentido de las columnas se realiza columna por columna para el código binario externo, es decir, $m = 1$. Para un código no binario, es decir, $m > 1$, cada m columnas adyacentes en una fila se trata como un símbolo bit - m . Los símbolos bit - m a lo largo de las filas k superiores son leídos por el codificador externo para producir $n - k$ símbolos bit - m que llenan las $n - k$ filas inferiores correspondientes de estas columnas.

En otra realización, la longitud L de la memoria intermedia es igual al número de bits de la trama de radio, sin la sobrecarga, dividido por m , la dimensión del código de codificador externo. En esta realización, las primeras m filas de las memorias intermedias de transmisión 304(i) son enviadas en la primera trama de radio, las segundas m filas de bits son enviadas en la segunda trama de radio, hasta que la memoria intermedia completa haya sido transmitida. Una vez que la porción sistemática 306(1) de la memoria intermedia de transmisión 304(1) está llena, el procedimiento es repetido para las memorias intermedias de transmisión restantes 304(2) - 304(p). Una vez que las porciones sistemáticas 306(i) de las memorias intermedias de transmisión 304(i) están llenas, los codificadores de bloque externos 310(i) son activados para ejecutar la codificación en el sentido de las columnas de los bits en la porción sistemática 304(i) para generar $m(n - k)$ filas adicionales de bits de paridad 308(i). Esta operación en el sentido de las columnas se realiza columna por columna para el código binario externo, es decir, $m = 1$. Para el código no binario, es decir, $m > 1$, cada m filas de una columna forman un símbolo de bit - m . Los k símbolos de las k filas superior en la columna son leídos por el codificador externo para producir $(n - k)$ bits - m que llenan las filas inferiores correspondientes $m(n - k)$ de esta columna.

En una realización, los codificadores externos 310(i) comprenden un codificador sistemático Reed - Solomon (RS). El contenido de las memorias intermedias de transmisión 304(i) es proporcionado a continuación a un multiplexor 312. El multiplexor 312 realiza ciclos a través de las memorias intermedias de transmisión 304(1) - 304(p), seleccionando una memoria intermedia de transmisión sucesiva 304(i) después de que un bloque de bits que contienen un número predeterminado de bits haya sido enviado desde una memoria intermedia anterior 304(i-1). En una realización, el número predeterminado de bits en un bloque es igual a L . Esta estrategia pretende distribuir uniformemente la corrupción de datos debida a la perturbación de un canal físico 316 entre las memorias intermedias 304(i). Sin embargo, los de habilidades ordinarias en la técnica entenderán que otras estrategias de multiplexación son igualmente aplicables, y pueden ser utilizadas sin apartarse del alcance de la invención tal como se define en las reivindicaciones adjuntas. Los bloques de bits multiplexados son proporcionados a una capa física 314 del terminal de origen. En la capa física 314, bits adicionales de sobrecarga (por ejemplo, una comprobación CRC) son añadidos a cada uno de los bloques de bits, y la estructura resultante es codificada por un codificador interno (no mostrado), lo que resulta en tramas codificadas. La estructura de los codificadores externo e interno y del multiplexador puede ser, por ejemplo, la estructura de la figura 3. Las tramas son procesadas adicionalmente de acuerdo con un esquema de modulación seleccionado. En una realización, el proceso se realiza de acuerdo con el estándar IS-2000. Las tramas procesadas se transmiten sobre un canal de comunicación 3116.

Las tramas transmitidas son recibidas en la estación de destino (no mostrada), y se proporciona a una capa física **318** en la estación de destino. En la capa física **318**, las tramas individuales son demoduladas y proporcionadas a un decodificador interno (no mostrado). En una realización, el decodificador interno decodifica cada trama, y si la decodificación tiene éxito, se genera una trama decodificada correctamente, o si la decodificación no tiene éxito, se declara un borrado. El éxito o fracaso de la decodificación deben ser determinados con una gran precisión. En una realización, la precisión se logra por medio de la inclusión de una comprobación de redundancia cíclica (CRC) larga (por ejemplo, de 16 bit) en la trama después de la codificación externa y antes de la codificación interna como se ha explicado más arriba. Sin embargo, una persona de habilidades ordinarias en la técnica podrá reconocer que otros mecanismos para la indicación de calidad de trama pueden ser utilizados. La CRC incluida obtenida de la trama decodificada se compara con una CRC calculada a partir de los bits de la trama decodificada, y si los dos CRC son idénticos, se declara que la decodificación se ha realizado con éxito. El tratamiento posterior en la capa física continúa de acuerdo con el resultado de la decisión del decodificador interno.

Las tramas decodificadas correctamente son proporcionadas a un demultiplexor **320** que distribuye las tramas decodificadas correctamente entre la memoria intermedia de recepción **322(i)**, utilizando un procedimiento inverso al procedimiento utilizado para la multiplexación. Si todas las tramas sistemáticas k están decodificadas correctamente por el decodificador interno para una memoria intermedia de recepción particular, **322(i)**, las tramas sistemáticas de la porción sistemática **324(i)** de la memoria intermedia de recepción **322(i)** son proporcionadas a las capas superiores.

Si el decodificador interno no puede decodificar la trama, el decodificador declara un borrado, y le proporciona al demultiplexor **324** una indicación de que falta la trama. El demultiplexor **324** proporciona la información al decodificador de bloque externo **328(i)** acoplado en comunicación a la memoria intermedia recibida **322(i)** a la que pertenecía la trama. El proceso continúa hasta que hay suficientes tramas sistemáticas y tramas de paridad recibidas correctamente acumuladas en la porción sistemática **324(i)** y en la porción de paridad **326(i)** de la memoria intermedia de recepción **322(i)**, o hasta que la memoria intermedia de recepción **322(i)** esté llena. El decodificador externo (no mostrado) es activado a continuación para recuperar las tramas sistemáticas borradas. Las tramas sistemáticas recuperadas son proporcionadas a las capas superiores.

Si el número total de tramas recibidas correctamente en la memoria intermedia de recepción **322(i)** es menor que k , de acuerdo con una realización, el decodificador externo no es activado ya que no hay garantía de que la descodificación tendrá éxito. Las tramas sistemáticas recibidas correctamente junto con la identificación de los bits que faltan se proporcionan a las capas superiores. En otra realización, el receptor utiliza los bits decodificados procedentes del decodificador interno (que no son fiables, como es indicado por las comprobaciones CRC fallidas) para recuperar bits para los bits sistemáticos. De acuerdo con una realización, el receptor decodifica los bits no fiables desde el decodificador interno y encuentra la palabra de código más probable. En la otra realización, el receptor utiliza la medición de la calidad de la señal de las tramas borradas en la memoria intermedia para elegir suficientes tramas recibidas erróneamente con la más alta relación de señal a ruido para formar una submemoria intermedia con k filas. El receptor realiza entonces un volteo de bits (cambiando un valor de bit de 0 a un valor de bit 1 y viceversa en una columna cada la vez) y comprueba si el volteo de bit ha producido una palabra de código. En una realización, el volteo de bit se realiza en primer lugar con los bits menos fiables y continúa con los bits en el orden de fiabilidad creciente de los bits. La fiabilidad de un bit puede ser determinada de acuerdo con las métricas de decodificación internas, por ejemplo, una relación señal a ruido e interferencia durante la trama, como la métrica Yamamoto, la tasa de error de símbolo recodificado, la métrica de energía recodificada, y otras métricas que son conocidas por los que poseen habilidades ordinarias en la técnica, o combinaciones de las métricas. Si no se ha encontrado una palabra de código, el volteo de bits continúa a través de todas las columnas restantes para todas las filas no fiables. Si no se ha encontrado una palabra de código, el volteo de bits continúa con un número incrementado de bits volteados (es decir, cambiando 2 bits a la vez, a continuación 3 bits, hasta el número máximo de bits), hasta que o bien se encuentre una palabra de código o todas las combinaciones se hayan agotado. En otra realización, el CRC de las filas no fiables se utilizan para comprobar el éxito global de la decodificación en esta situación. Las tramas se proporcionan a las capas superiores sólo si el CRC de todas las filas se corresponden, de lo contrario, sólo los bits de las filas fiables son proporcionados a las capas superiores.

Para mejorar la fiabilidad de la decodificación, en otra realización, la demodulación y decodificación interna se llevan a cabo en más de k tramas recibidas correctamente en una memoria intermedia. De acuerdo con todavía otra realización, la demodulación y decodificación interna se llevan a cabo en todas las tramas en la memoria intermedia. En ambas realizaciones, la decodificación externa se realiza en las filas k (o km) con la más alta calidad. La calidad puede ser determinada de acuerdo con las métricas de decodificación internas, por ejemplo, una relación señal - ruido y de interferencia en la trama, tal como la métrica Yamamoto, la tasa de error de símbolo recodificado, la métrica de energía recodificada, y otros parámetros que son conocidos por aquellos de conocimientos ordinarios en la técnica, o combinaciones de las métricas. El uso de métricas de calidad para la estimación de la calidad, se describe en detalle en la patente de Estados Unidos número 5.751.725 titulada "PROCEDIMIENTO Y APARATO PARA DETERMINAR LA VELOCIDAD DE LOS DATOS RECIBIDOS EN UN SISTEMA DE COMUNICACIÓN DE VELOCIDAD VARIABLE" y en la patente de Estados Unidos número 5.774.496 titulada "PROCEDIMIENTO Y APARATO PARA DETERMINAR LA VELOCIDAD DE DATOS DE LOS DATOS TRANSMITIDO CON VELOCIDAD VARIABLE EN UN RECEPTOR DE COMUNICACIONES" y ambas están cedidas al cesionario de la presente invención.

5 Un experto en la técnica apreciará que el número de memorias intermedias de transmisión 304, y por consiguiente, de memorias intermedias de recepción 322 es un compromiso entre la sobrecarga de procesamiento y la cantidad potencial de pérdida de datos. Un valor pequeño de k , que produce más memorias intermedias de transmisión / recepción produce una sobrecarga de procesamiento mayor. Por otra parte, un gran valor de k que resulta en menos memorias intermedias de transmisión / recepción hace que el tamaño de la memoria intermedia de transmisión aumente, lo que conduce a descartar un gran bloque de datos si el contenido de la memoria intermedia de transmisión no se puede recuperar debido a más borrados de fila que $(n - k)$. Un tamaño de memoria intermedia de transmisión grande también aumenta el requisito de memoria en el terminal de destino.

10 Los expertos en la técnica entenderán que la información y las señales se pueden representar utilizando cualquiera de una variedad de tecnologías y técnicas diferentes. Por ejemplo, los datos, instrucciones, comandos, información, señales, bits, símbolos, y chips que pueden ser referenciados a lo largo de la descripción anterior pueden ser representados por voltajes, corrientes, ondas electromagnéticas, campos magnéticos o partículas, campos ópticos o partículas, o cualquier combinación de los mismos.

15 Los expertos en la técnica apreciarán además que los distintos bloques lógicos, módulos, circuitos y etapas de algoritmos descritos en conexión con las realizaciones descritas en la presente memoria se pueden implementar como hardware electrónico, software informático, o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, diversos componentes, bloques, módulos, circuitos y etapas han sido descritos más arriba en general en términos de su funcionalidad. Que tal funcionalidad se implemente como hardware o como software dependerá de la aplicación particular y de las limitaciones de diseño impuestas sobre el sistema global. Los expertos en la técnica pueden implementar la funcionalidad descrita de diversas maneras para cada aplicación particular, pero tales decisiones de implementación no se deberían interpretar como causantes de una separación del alcance de la presente invención.

25 Los diversos bloques lógicos, módulos y circuitos descritos en conexión con las realizaciones descritas en este documento se pueden implementar o realizar con un procesador de propósito general, un procesador de señal digital (DSP), un circuito integrado de aplicación específica (ASIC), una puerta programada programable en campo (FPGA) u otro dispositivo lógico programable, puerta discreta o lógica de transistor, componentes de hardware discretos, o cualquier combinación de los mismos diseñada para realizar las funciones descritas en la presente memoria descriptiva. Un procesador de propósito general puede ser un microprocesador, pero en la alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador, o máquina de estado. Un procesador también puede ser implementado como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores en conjunto con un núcleo DSP, o cualquier otra configuración de ese tipo.

35 Las etapas de un procedimiento o algoritmo descrito en conexión con las realizaciones descritas en este documento se pueden realizar directamente en hardware, en un módulo de software ejecutado por un procesador, o en una combinación de los dos. Un módulo de software puede residir en memoria RAM, memoria flash, memoria ROM, memoria EPROM, memoria EEPROM, registros, disco duro, un disco extraíble, un CD-ROM, o cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento ejemplar se acopla al procesador de manera que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. En la alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un terminal de usuario. En la alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un terminal de usuario.

40 La descripción anterior de las realizaciones descritas se proporciona para permitir a cualquier experto en la técnica realizar o utilizar la presente invención. Diversas modificaciones a estas realizaciones serán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en la presente memoria descriptiva se pueden aplicar a otras realizaciones sin, apartarse del espíritu o alcance de la invención. Por lo tanto, la presente invención no está destinada a limitarse a las realizaciones mostradas en la presente memoria descriptiva, sino que se debe conceder el alcance más amplio consistente con los principios y las características novedosas descritas en la presente memoria descriptiva.

50 Una porción de la descripción de este documento de patente contiene material que está sujeto a protección de derechos de autor. El propietario del copyright no tiene ninguna objeción a la reproducción facsímil de cualquiera de los documentos de patente o descripción de la patente, tal y como aparece en el archivo de patentes o los registros de la Oficina de Patentes y Marcas, pero por lo demás se reserva todos los derechos de copyright cualesquiera que sean.

REIVINDICACIONES

1. Un procedimiento de codificación que comprende:

5 codificar los bits sistemáticos de un flujo de bits en cada una de una pluralidad de memorias intermedias (304) con un primer código para producir datos sistemáticos codificados, siendo el primer código un código externo, en el que cada una de la citada pluralidad de memorias intermedias incluye una memoria intermedia sistemática (306) para almacenar los bits sistemáticos como datos no codificados antes de la codificación de los bits sistemáticos con el citado primer código y para almacenar una porción sistemática de los datos sistemáticos codificados;

10 multiplexar el contenido de la pluralidad de memorias intermedias, realizándose el citado multiplexado directamente sobre el contenido de la memoria intermedia de cada una de la citada pluralidad de memorias intermedias (304) y comprende la lectura de una pluralidad de bits de cada memoria intermedia, coincidiendo la citada pluralidad de bits con la longitud de una trama de radio sin sobrecarga tales como bits de CRC o bits de cola para un código interno, almacenándose el contenido de la memoria intermedia como resultado de la citada codificación de los bits sistemáticos con el citado primer código; y

15 codificar el citado contenido multiplexado con un segundo código para proporcionar un conjunto de tramas de radio, en el que la codificación del citado contenido multiplexado comprende identificar un bloque de bits a codificar, y a continuación, codificar el bloque de bits con el segundo código, siendo el segundo código el citado código interno.

20 2. El procedimiento como se reivindica en la reivindicación 1, en el que la citada codificación de bits sistemáticos en cada una de la pluralidad de memorias intermedias (304) con el primer código comprende:

 codificar los bits sistemáticos en cada una de la pluralidad de memorias intermedias con un código de bloque.

25 3. El procedimiento como se reivindica en la reivindicación 2, en el que la citada codificación de los bits sistemáticos en cada una de la pluralidad de memorias intermedias con un código de bloque comprende:

 codificar los bits sistemáticos en cada una de la pluralidad de memorias intermedias con un código de Reed - Solomon.

30 4. El procedimiento como se reivindica en la reivindicación 1, en el que la citada multiplexación del contenido de la pluralidad de memorias intermedias comprende:

 proporcionar un bloque de bits sucesivamente desde cada una de la pluralidad de memorias intermedias.

35 5. El procedimiento reivindicado en la reivindicación 4, en el que proporcionar el bloque de bits sucesivamente de cada una de la pluralidad de memorias intermedias (304) comprende:

 proporcionar el bloque de bits que comprende una fila de cada una de la pluralidad de memorias intermedias, estando dispuestos los citados bits en filas en cada una de las citadas memorias intermedias.

40 6. El procedimiento reivindicado en la reivindicación 1 en el que la citada identificación del bloque de bits a codificar comprende:

 identificar el bloque de bits recibidos de al menos una de la pluralidad de memorias intermedias.

45 7. Un aparato para codificar, que comprende:

 una pluralidad de memorias intermedias (304);

50 una pluralidad de codificadores externos (310), estando acoplado cada uno de la citada pluralidad de codificadores en comunicación con una de la citada pluralidad de memorias intermedias (304), en el que la citada pluralidad de memorias intermedias está configurada para recibir los bits sistemáticos de un flujo de bits, en el que cada uno de la citada pluralidad de codificadores externos es para codificar los citados bits sistemáticos de una memoria intermedia correspondiente de la citada pluralidad de memorias intermedias para producir datos sistemáticos codificados, en el que cada una de la citada pluralidad de memorias intermedias incluye una memoria intermedia sistemática (306) para almacenar los bits sistemáticos como datos no codificados antes de la codificación de los bits sistemáticos con el citado código externo y para almacenar una porción sistemática de los datos sistemáticos codificados;

 un multiplexor (312) acoplado en comunicación con la citada pluralidad de memorias intermedias, estando configurado el citado multiplexor para realizar la multiplexación directamente sobre el contenido de la memoria intermedia de cada una de la citada pluralidad de memorias intermedias y comprende la lectura de una pluralidad de bits de cada memoria intermedia, coincidiendo la citada pluralidad de bits con la longitud

de una trama de radio sin sobrecarga tales como los bits de CRC o los bits de cola para un código interno, estando almacenado el contenido de la memoria intermedia como resultado de la citada codificación de los bits sistemáticos con el citado código externo; y

- 5 un codificador interno (314) acoplado en comunicación al citado multiplexor (312), en el que el codificador interno está configurado para identificar un bloque de bits a codificar y codificar el bloque de bits con el citado código interno.
8. El aparato como se reivindica en la reivindicación 7, en el que cada una de la citada pluralidad de memorias intermedias está configurada para:
- almacenar los bits sistemáticos y los bits de paridad.
- 10 9. El aparato como se reivindica en la reivindicación 7, en el que cada uno de la citada pluralidad de codificadores (310) está configurado para:
- codificar los bits sistemáticos para proporcionar los bits de paridad.
10. El aparato como se reivindica en la reivindicación 9, en el que cada uno de la citada pluralidad de codificadores (310) está configurado para:
- 15 codificar los bits sistemáticos con un código de bloque.
11. El aparato como se reivindica en la reivindicación 7, en el que cada uno de la citada pluralidad de codificadores (310) está configurado para:
- codificar los bits sistemáticos con un código de Reed - Solomon.

DIAGRAMA DE BLOQUES DE CÓDIGO EXTERNO DE REED-SOLOMOM

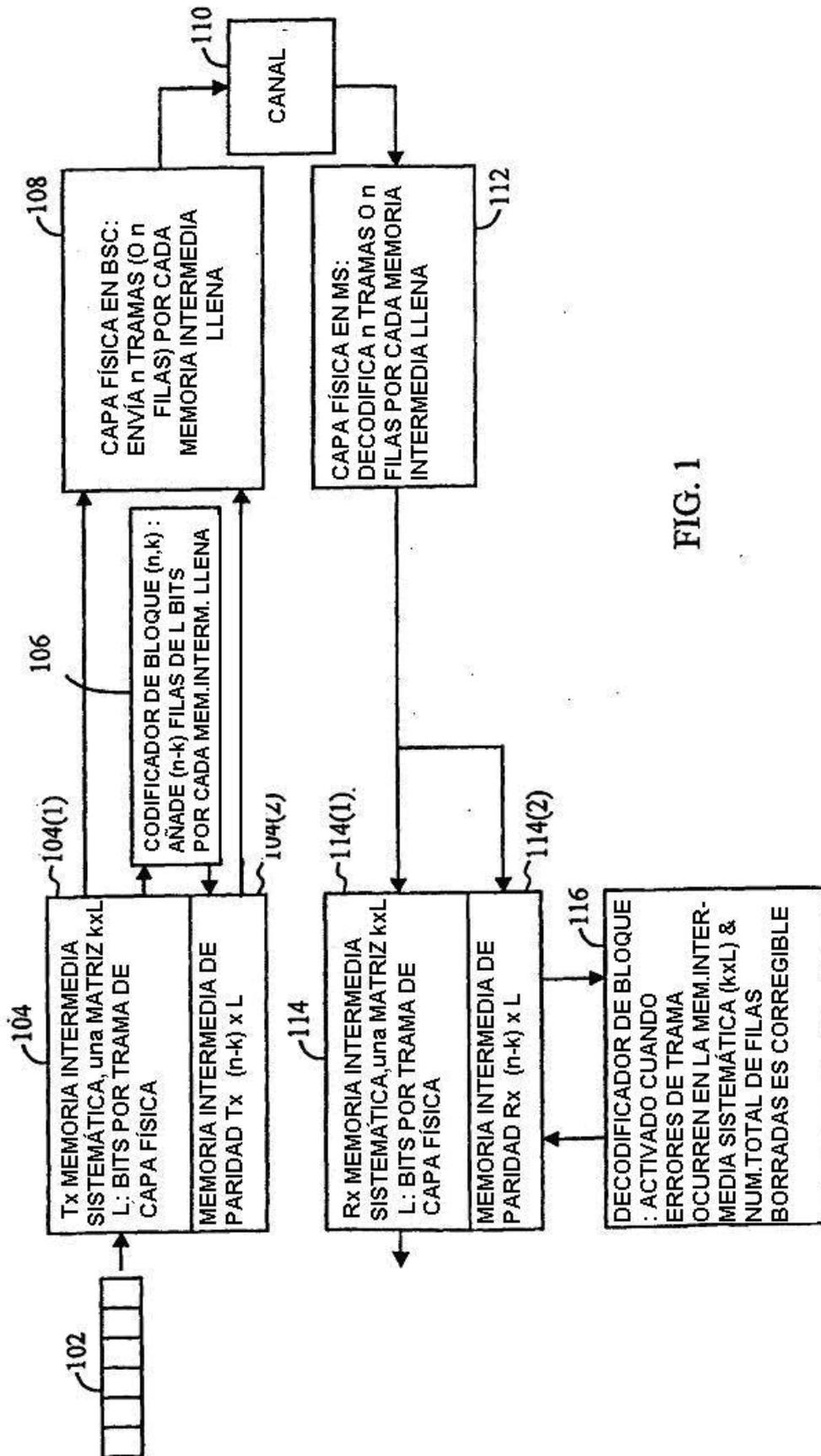


FIG. 1

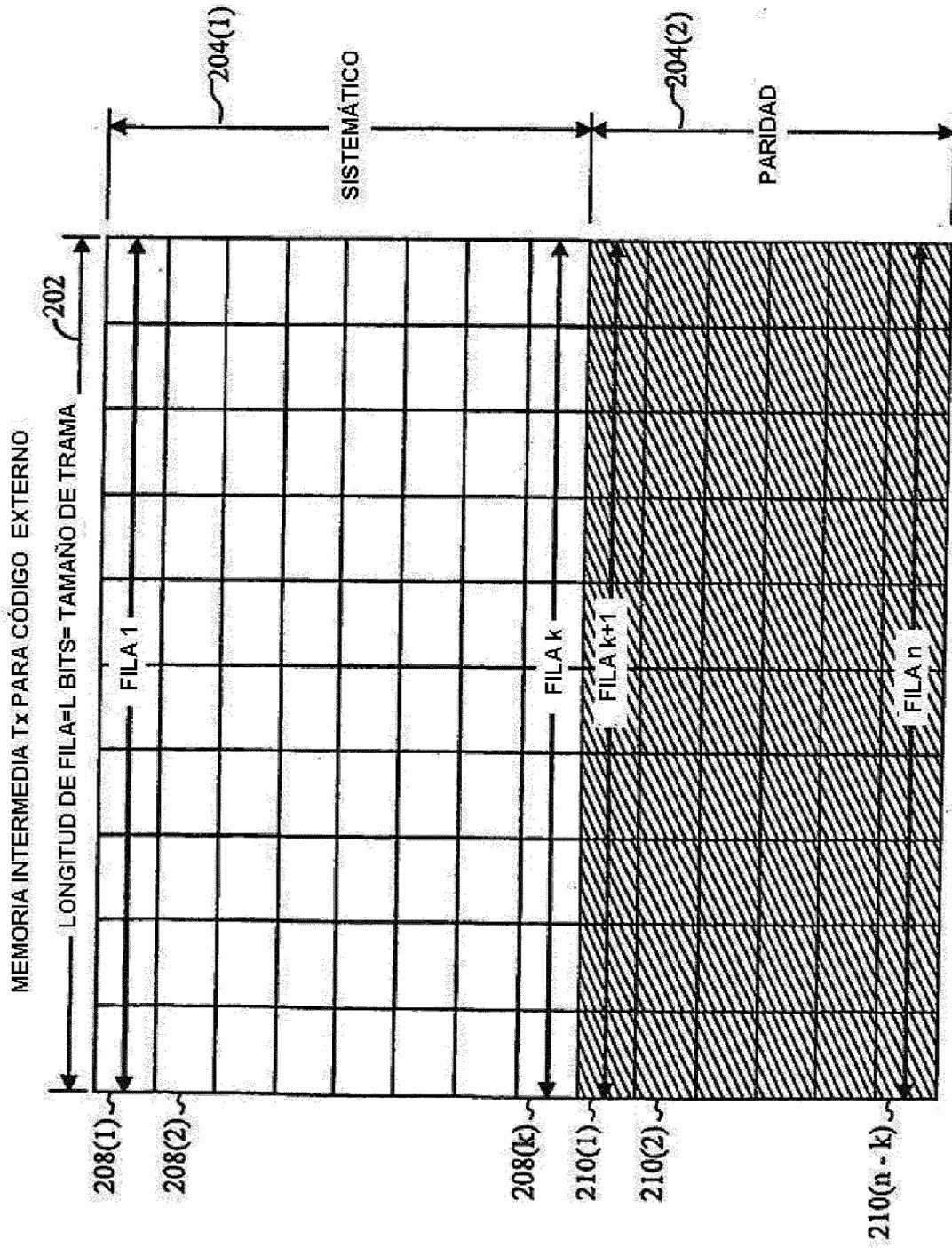


FIG. 2

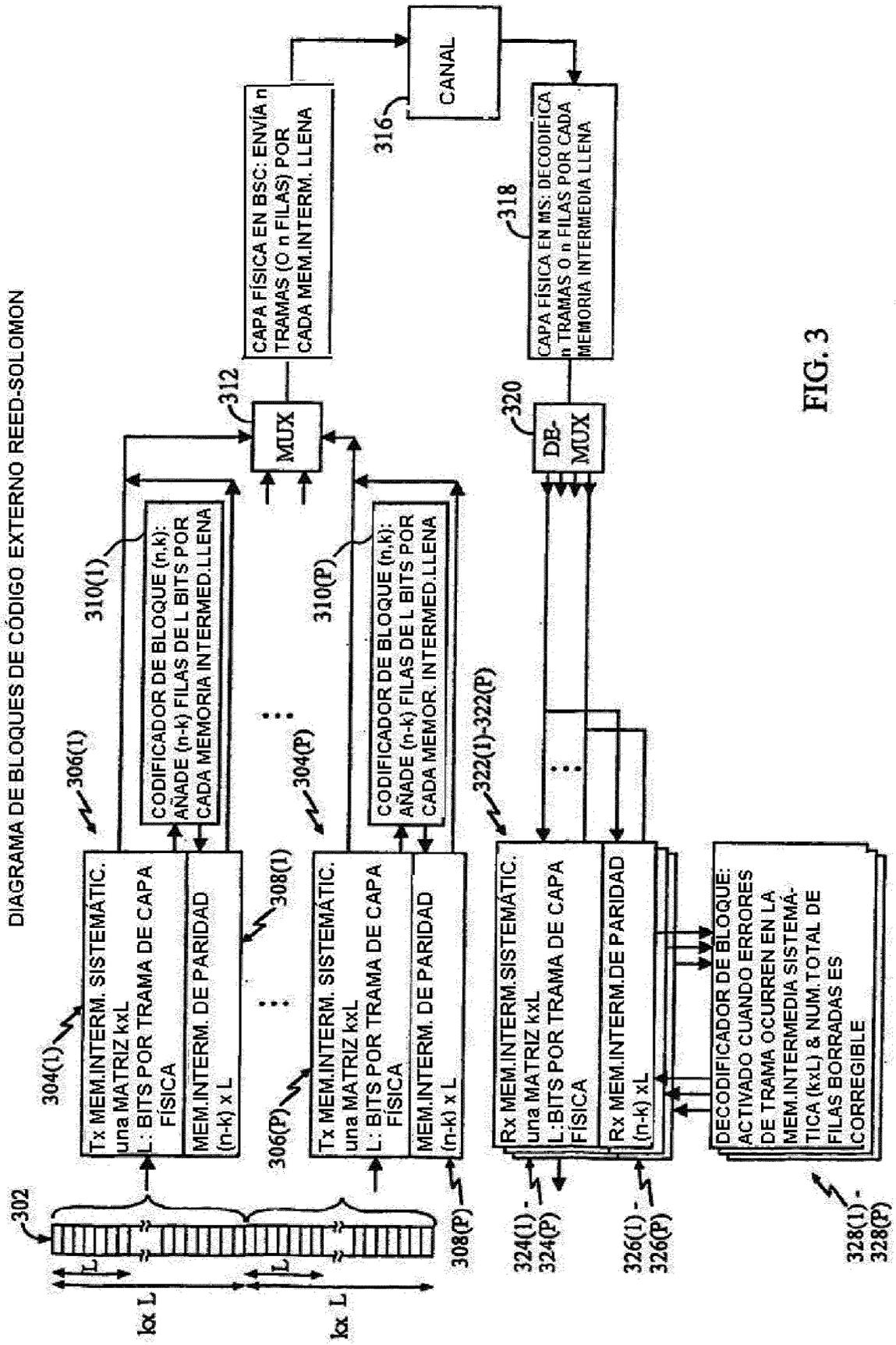


FIG. 3