

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 402 513**

51 Int. Cl.:

**H04L 12/40** (2006.01)

**H04L 29/06** (2006.01)

**H04L 12/403** (2006.01)

**H04W 4/00** (2009.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **07.01.2003 E 03710637 (4)**

97 Fecha y número de publicación de la concesión europea: **06.03.2013 EP 1468530**

54 Título: **Configuración y mensajería de sistema de canal principal de CAN dinámico**

30 Prioridad:

**11.01.2002 US 44555**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**06.05.2013**

73 Titular/es:

**MOTOROLA MOBILITY LLC (100.0%)  
600 North US Highway 45  
Libertyville, IL 60048, US**

72 Inventor/es:

**ANDERSON, THOMAS MICHAEL;  
RUSTAD, RUSSEL RAY;  
ESTEP, LEE MICHAEL;  
PARK, IN SIK y  
GONZALEZ, JORGE FRANCISCO**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

**ES 2 402 513 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Configuración y mensajería de sistema de canal principal de CAN dinámico.

### Antecedentes de la invención

Campo de la invención

- 5 La presente invención se refiere a comunicaciones de canal principal, y específicamente a un protocolo de comunicaciones de canal principal de red de área de controlador (CAN) que permite comunicaciones entre componentes de soporte lógico de control y dispositivos periféricos controlados por procesador.

Descripción de la técnica relacionada

- 10 Las estaciones base inalámbricas convencionales se requieren para controlar dispositivos periféricos tales como conjuntos de amplificadores para amplificar señales de RF sacadas del transceptor y conjuntos de conmutación usados para asegurar el encaminamiento adecuado de las señales de RF desde la antena, a través de aplicaciones de soporte lógico comúnmente conocidas como componentes de soporte lógico de control. Los componentes de soporte lógico de control típicamente controlan los dispositivos periféricos difundiendo mensajes de control a múltiples dispositivos periféricos sobre un canal principal multiderivación, o comunicando de manera discreta con un único dispositivo periférico que usa un esquema de mensajería de direccionamiento de componentes físicos sobre un canal principal punto a punto.

- 15 Las configuraciones de canal principal mencionadas anteriormente, no obstante, tienen ciertas limitaciones asociadas. Un canal principal multiderivación tal como un canal principal de CAN proporciona una solución integrada de bajo coste para interconexión de redes de aplicaciones o componentes de soporte lógico de control con dispositivos periféricos. No obstante, un canal principal de CAN multiderivación, mientras que permite a un componente de soporte lógico de control comunicar con varios dispositivos periféricos a través de un esquema de mensajería de difusión, no permite al componente de soporte lógico comunicar solamente con uno o unos específicos de los dispositivos periféricos a través de un esquema de mensajería de dirección de componentes físicos. Además, el componente de soporte lógico de control se debe reconfigurar cada vez que un dispositivo periférico se retira o añade al canal principal, aumentando por ello el tiempo de inactividad de la estación base y los costes de mantenimiento.

- 20 Por otra parte, un componente de soporte lógico de control que está ligado a un dispositivo periférico a través de un canal principal punto a punto dedicado puede dirigir discretamente el dispositivo periférico usando mensajería de direccionamiento de componentes físicos. No obstante, las conexiones punto a punto dedicadas requieren un grado elevado de procesamiento de entrada/salida y líneas o conexiones de control discretas adicionales en, por ejemplo, la placa posterior de la estación base, y por lo tanto son poco prácticas para implementar sobre una base amplia de sistema debido a consideraciones de coste y espacio.

- 25 La WO 00/76123 A describe un controlador maestro en un sistema de red de área de control en una red de área de control mayor que puede tener una pluralidad de dispositivos acoplados a la misma. Los dispositivos generan datos que el controlador maestro dirige a un dispositivo destino acoplado al mismo controlador maestro, un controlador maestro diferente en la misma red de área de control o a un controlador maestro diferente en una red de área de control diferente. El controlador maestro dirige los datos usando una tabla de conexiones adquirida de uno o más de otros controladores maestros con los que el controlador maestro puede comunicar.

- 30 Lo que se necesita entonces es un sistema y metodología que permita a los componentes de soporte lógico de control comunicar de manera discreta con los dispositivos periféricos controlados por procesador sobre uno o más canales principales multiderivación.

### Breve descripción de los dibujos

Los objetos y ventajas de la presente invención serán más fácilmente evidentes a partir de la siguiente descripción detallada de las realizaciones preferidas de la misma cuando se toma junto con los dibujos anexos en los cuales:

- 45 La FIG. 1 es un diagrama de bloques de los componentes físicos/soporte lógico de una estación base inalámbrica en la cual se puede implementar una realización preferida del sistema y mensajería de canal principal CAN según la presente invención;

Las FIG. 2A – 2C son tablas de datos de mensajes que muestran los contenidos de los mensajes transmitidos por un componente de soporte lógico de control mostrado en la FIG. 1;

La FIG. 3 es una tabla de tipos de mensaje cuando un componente de soporte lógico de control es una fuente de mensajes;

Las FIG. 4A y 4B son tablas que ilustran la composición de un componente de cabecera de CAN según la mensajería de canal principal de CAN de la presente invención;

- 5 La FIG. 5 es una tabla que ilustra la composición de un filtro/identificador de mensajes de componentes físicos de protocolo de CAN creado tanto por un dispositivo periférico como un conmutador de soporte lógico cuando un componente de soporte lógico de control es una fuente de mensajes;

La FIG. 6 es una tabla de valores de ID de trama posibles para indicar una longitud de trama de un mensaje transmitido por una aplicación de soporte lógico de control;

- 10 La FIG. 7 es un diagrama de bloques de soporte lógico de un segundo tipo de metodología de soporte lógico necesaria para realizar el sistema y metodología de canal principal de CAN de la presente invención; y

Las FIG. 8 – 11 son diagramas de tiempo que ilustran el protocolo de mensajería asociado con el sistema y metodología de sistema de canal principal de CAN de la presente invención que permite a diversos componentes de la estación base, mostrados en la FIG. 1 comunicar uno con otro.

15 **Descripción detallada de las realizaciones preferidas**

Con referencia ahora a los dibujos en los que números iguales referencian partes iguales, la FIG. 1 muestra un diagrama de una estación base inalámbrica ejemplar 10 en la cual se puede implementar una realización preferida de la configuración y mensajería del sistema de canal principal de CAN dinámica. La estación base 10 tiene una plataforma de componentes físicos que es capaz de soportar numerosas tecnologías de interfaz aéreo tales como, por ejemplo, las tecnologías UMTS, EDGE, iDEN y 1 XTREME. No obstante, se contempla que la estación base 10 se pueda configurar para soportar otros tipos de tecnología de interfaz aéreo que se pueda requerir por diversas aplicaciones inalámbricas.

20 La estación base 10 incluye entre otras cosas una placa de control de red de área de controlador (CAN) 12 que incluye un controlador 13 y diversos procesadores de canal principal de CAN 14a – 22a para controlar respectivamente los canales principales de CAN 14 – 22. Cada uno de los canales principales de CAN conecta la placa de control 12 a uno o más dispositivos periféricos controlados por procesador 24 – 44, tales como, por ejemplo, conjuntos de amplificadores para amplificar señales de RF sacadas desde el transceptor, conjuntos de conmutación usados para asegurar el encaminamiento adecuado de las señales de RF desde la antena, fuentes de alimentación personalizadas, bandejas de ventiladores personalizadas, dispositivos de filtrado de RF, combinadores de RF y similares, cada uno de los cuales incluye uno de los respectivos procesadores de dispositivo periférico 24a - 44a, preferiblemente a través de conexiones de componentes físicos establecidas a través de una placa posterior de la estación base (no se muestra). Específicamente, las conexiones del canal principal son como sigue: el canal principal multiderivación 14 conecta la placa de control 12 a los dispositivos periféricos controlados por procesador 24 – 30; el canal principal punto a punto 16 conecta la placa de control 12 al dispositivo periférico controlado por procesador 32; el canal principal multiderivación 18 conecta la placa de control 12 a los dispositivos periféricos controlados por procesador 34 – 38; el canal principal punto a punto 20 conecta la placa de control 12 al dispositivo periférico controlado por procesador 40; y el canal principal multiderivación 22 conecta la placa de control 12 a los dispositivos periféricos controlados por procesador 42 – 44.

35 Se debería apreciar que las conexiones anteriores son ejemplares en naturaleza, ya que los dispositivos periféricos controlados por procesador 24 – 44 ejemplares se pueden conectar a la placa de control a través de numerosas variaciones en los canales principales multiderivación o punto a punto anteriormente tratados. Además, se pueden conectar más, o menos, dispositivos periféricos controlados por procesador a la placa de control 12 usando más, o menos, canales principales dependiendo de la aplicación de la estación base particular.

40 Aún con referencia a la FIG. 1, la operación de la placa de control 12 con respecto a su control de los dispositivos periféricos controlados por procesador 24 – 44 se tratará ahora con más detalle. La placa de control 12 es preferiblemente una entidad de componentes físicos controlada por soporte lógico que realiza diversas función(es) dentro de un sistema electrónico en la estación base 10, y que incluye el controlador 13 y los procesadores de canal principal 14a – 22a. El controlador 13 se programa con los componentes de soporte lógico de control (CSC), tales como los componentes de soporte lógico de control 46 – 50 ejemplares, y con un conmutador de soporte lógico 52 para permitir a los componentes de soporte lógico de control 46 – 50 controlar los dispositivos periféricos controlados por procesador 24 – 44 mediante aplicaciones de soporte lógico periféricas de control 24b – 44b programadas en cada uno de los respectivos procesadores de dispositivo periférico 24a – 44a. Específicamente, el componente de soporte lógico de control 46 se muestra como que controla los dispositivos periféricos controlados por procesador de tipo de dispositivo 1 (T1) y de números de dispositivo 1 – 6 (N1-6). En la FIG. 1, los correspondientes dispositivos periféricos controlados por procesador son los dispositivos periféricos controlados por procesador 24 – 34. El componente de soporte lógico de control 48 se muestra como que controla los dispositivos

periféricos controlados por procesador de tipo de dispositivo 1 (T1) y de número de dispositivo 7 (N7), así como los dispositivos periféricos controlados por procesador de tipo de dispositivo 2 (T2) y de número de dispositivo 1 (N1). En la FIG. 1, los correspondientes dispositivos periféricos controlados por procesador son los dispositivos periféricos controlados por procesador 36 y 38. El componente de soporte lógico de control 50 se muestra como que controla los dispositivos periféricos controlados por procesador de tipo de dispositivo 2 (T2) y de número de dispositivo 2 (N2) así como los dispositivos periféricos controlados por procesador de tipos de dispositivo 3 y 4 (T3, T4) y el número de dispositivo 1 (N1, N1). En la FIG. 1, los correspondientes dispositivos periféricos controlados por procesador son los dispositivos periféricos controlados por procesador 40 – 44.

Los componentes de soporte lógico de control 46 – 50 son capaces de controlar de manera discreta las aplicaciones de soporte lógico periféricas 24b – 44b sobre los canales principales de CAN 14 – 22 a través de un esquema de mensajería basado tanto en un protocolo de canal principal de CAN implementado en los procesadores de canal principal de CAN 14a – 22a como un protocolo de dispositivo de componentes físicos apilado en la parte superior del protocolo de canal principal de CAN e implementado en los procesadores de dispositivos periféricos 24a – 44a y el conmutador 52. El protocolo de dispositivo de componentes físicos está diseñado para abstraer los componentes de soporte lógico de control 46-50 de los detalles del protocolo de canal principal de CAN y al mismo tiempo contener la información necesaria para permitir a los componentes de soporte lógico de control 46 – 50 comunicar con los dispositivos periféricos controlados por procesador 24 – 44 a través de los canales principales de CAN 14 – 22. Por lo tanto, un canal principal de CAN que está equipado con un dispositivo periférico único (conexión punto a punto), tal como el canal principal de CAN 16, se trata idénticamente a un canal principal de CAN multiderivación, tal como el canal principal de CAN 14. Los componentes de soporte lógico de control 46 – 50 no son conscientes de la topología de red de los dispositivos periféricos controlados por procesador 24 – 44; cada uno de los componentes de soporte lógico de control 46 – 50 simplemente tiene una interfaz de mensajería a los dispositivos periféricos controlados por procesador 24 – 44 que está controlando como si fuera una tarea co-ubicada dentro de un esquema de mensajería de registro/abonado.

En más detalle, antes de que se puedan encaminar los mensajes o los mensajes de control entre el conmutador 52 y los, respectivos, componentes de soporte lógico de control 46 – 50, estos componentes de soporte lógico deben registrarse con el conmutador. De manera similar los dispositivos periféricos controlados por procesador 24 – 46 también deben registrarse con el conmutador 52 usando los canales principales de CAN y los mensajes según se formatean y se discuten más adelante. Después de que los componentes de soporte lógico de control y los dispositivos periféricos se han registrado estableciendo de esta manera una conexión pueden intercambiar mensajes como se detalla además más adelante. Por ejemplo un intercambio de mensajes es un mensaje de pulsación que se envía periódicamente desde el componente de soporte lógico de control a cada dispositivo periférico al que está conectado a través del conmutador. El mensaje de pulsación es un tipo de mensaje COMANDO con un Código de Operación de mensaje de PULSACIÓN que en una realización se envía una vez cada 3 segundos. Los dispositivos periféricos, cada uno envía un mensaje de pulsación similar hasta allí, el componente de soporte lógico de control respectivo a través del conmutador. De esta forma se mantiene el registro de un dispositivo periférico o la conexión con el dispositivo. En una realización si o bien el dispositivo periférico o bien el componente de soporte lógico de control falla al recibir 5 pulsaciones consecutivas desde el otro se supone que algo está mal y el registro se reinicia estableciendo de esta manera nuevas conexiones. Esto llegará a estar más claro con la discusión de más adelante.

Los componentes de soporte lógico de control logran o inician el registro usando un mensaje de registro, tal como el mensaje de registro ejemplar mostrado y definido en las FIG. 2A – 2C. Como se representa el mensaje de registro del componente de soporte lógico de control es de 10, 16 palabras de bit con: la palabra 1 que es un ID de Área Funcional tratado además más adelante que es un identificador único para un componente de soporte lógico de control particular; la palabra 2 que indica un tipo de mensaje que se fija a 0x7 que indica un tipo de REGISTRO; las palabras 3 y 4 son un ID de transacción de 32 bit que se fija a 0 y no más relevante ni tratado; la Palabra 5 y la Palabra 6 son, respectivamente, una palabra superior e inferior para longitud de mensaje donde la superior o Palabra 5 se fija a 0 y la inferior es irrelevante para un mensaje de registro; la palabra 7 es una cabecera de CAN mostrada en la FIG. 2B; y las Palabras 8-10 son palabras de datos mostradas en la FIG. 4C. La cabecera de CAN es una palabra de bit de 2 octetos, 16 bits, con los primeros 2 bits que definen un Id de Trama, fijados a 0, los siguientes 6 bits que definen un Código de Operación de Mensaje, fijados a 0x7, los siguientes 4 bits que definen un tipo de dispositivo, fijados a 0xF y los últimos 4 bits que definen un número de dispositivo, también fijados a 0xF donde estos ajustes son específicos a un mensaje de registro. Las tres palabras de datos 8-10 representan 6 octetos donde el primer octeto indica el tipo de dispositivo que el componente de soporte lógico está registrando para soporte, el segundo octeto indica el número de dispositivos o capacidad que el componente de soporte lógico puede controlar, y los últimos 4 octetos son un valor numérico o Id del canal para el componente de soporte lógico de control. Este Id o valor numérico permite a múltiples dispositivos periféricos o mensajes específicamente de allí ser encaminados por el conmutador a un único componente de soporte lógico de control.

Después del registro, cada uno de los mensajes de control encaminados para y desde o entre el conmutador 52 y los componentes de soporte lógico de control 46 – 50 incluye una cabecera de mensaje o mensajería, en parte de la misma forma que el mensaje de registro, que incluye tanto los componentes de cabecera de CAN como comunes. Esta cabecera está seguida por los datos de mensaje. De esta manera, toda la mensajería que implica un

componente de soporte lógico de control tiene una cabecera similar. Una forma o formato ejemplar de la cabecera de mensaje es como sigue.

Componente de cabecera común:

Palabra 1 de 16 bit: ID de Área Funcional

5 Palabra 2 de 16 bit: Tipo de Mensaje

Palabra 3 de 16 bit: Palabra Superior de Longitud de Mensaje

Palabra 4 de 16 bit: Palabra Inferior de Longitud de Mensaje

Palabra de 16 bit 5: Cabecera de CAN

10 donde la cabecera de CAN incluye: ID de Trama, Código de Operación de Mensaje, Tipo de Dispositivo, y Número de Dispositivo Periférico. Señalar que una forma alternativa incluye dos palabras de 16 bit adicionales que especifican un Id de transacción que se insertan entre las palabras 2 y 3. Dado que éstas no se usan en la realización preferida no se tratarán.

15 En el componente de cabecera común, el ID de Área Funcional es un identificador de 16 bit único para los componentes de soporte lógico de control 46 – 50. El ID de Área Funcional es el identificador que especifica la identidad del componente de soporte lógico de control más el número de caso lógico del componente de soporte lógico de control, y debe ser único para cada uno de los componentes de soporte lógico de control 46 – 50. Los números de caso lógico se usan cuando hay múltiples casos del mismo componente de soporte lógico de control que controla dispositivos periféricos controlados por procesador iguales o diferentes. La combinación de la identidad y el número de caso lógico o ID de Área Funcional proporciona un único identificador al sistema para el componente de soporte lógico de control. Cada uno de los componentes de soporte lógico de control 46 – 50 rellena este campo con su información única cuando se envía un mensaje de control al conmutador para uno o más dispositivos periféricos controlados por procesador 24 – 44. El conmutador 52 rellena este campo con el ID de Área Funcional de un componente de soporte lógico de control de recepción cuando se encamina un mensaje desde uno de los dispositivos periféricos controlados por procesador 24 – 44 a una de las aplicaciones de soporte lógico de control 46 – 50.

25 El Tipo de Mensaje es un identificador de 16 bit. Si uno de los componentes de soporte lógico de control 46 – 50 es la fuente de un mensaje, el Tipo de Mensaje se usa por el conmutador 52 para crear un filtro o identificador de mensaje de CAN. Dado que el Tipo de Mensaje se usa por el conmutador 52 para el filtro de CAN, el Tipo de Mensaje del dispositivo periférico controlado por procesador debe ser menor o igual a 15 (4 bits). Esto es debido a que el campo de Tipo de Mensaje, tal como el campo de Tipo de Mensaje ejemplar representado en la FIG. 5, solamente permite un campo de 4 bit para la especificación del tipo de mensaje. Cada Tipo de Mensaje y su correspondiente asignación hexadecimal se muestran en la tabla en la FIG. 3. Se dirige la atención del lector al último tipo de mensaje, específicamente 0x7 que indica el registro como se trató anteriormente con referencia a la FIG. 2. Si uno de los dispositivos periféricos controlados por procesador 24 – 44 es la fuente del mensaje y el mensaje está siendo encaminado a uno de los componentes de soporte lógico de control 46 – 50, el conmutador 52 empaqueta el campo de tipo de mensaje, palabra 2, con el valor de Tipo de Mensaje en el octeto superior y el código de operación del mensaje en el octeto inferior usando los valores recibidos desde los dispositivos periféricos en el filtro de CAN de la FIG. 5 y la cabecera de CAN de la FIG. 4B. Para que uno de los componentes de soporte lógico de control 46 – 50 reciba el mensaje, el componente de soporte lógico de control debe registrarse con el conmutador 52 para recibir mensajes desde el tipo de dispositivo periférico controlado por procesador especificado como se trató anteriormente.

La Longitud del Mensaje es un campo de 32 bit que identifica la longitud total del mensaje que se transmite, y se usa por el conmutador 52 para determinar el número total de tramas necesarias en la transmisión de los mensajes a un dispositivo periférico habilitado por procesador.

45 Como se indica en la tabla mostrada en la FIG. 4A, la cabecera de CAN, palabra 5, que incluye el ID de Trama, el Código de Operación de Mensaje, el Tipo de Dispositivo, y el número de Dispositivo, es un identificador empaquetado de 16 bit. Este componente de cabecera no necesita ser conocido explícitamente por los componentes de soporte lógico de control 46 – 50. Con respecto al ID de Trama, los bits 15 y 14, estos bits no son aplicables a la mensajería entre el conmutador 52 y los componentes de soporte lógico de control 46 – 50 y solamente se usan dentro de los mensajes de CAN encaminados a y desde los dispositivos periféricos controlados por procesador 24 – 44. Desde la perspectiva de los componentes de soporte lógico de control 46 – 50, los bits de ID de Trama están reservados para el encaminamiento de mensajes al conmutador 52 desde los dispositivos periféricos habilitados por procesador 24 – 44 y desde el conmutador 52 a los dispositivos periféricos habilitados por procesador 24 – 44 a través de los canales principales de CAN 14 – 22. Debido a que la cabecera de CAN no está

asignada de manera discreta por el componente de soporte lógico de control, los bits de ID de Trama no se usan por el componente de soporte lógico de control.

5 Los bits de Código de Operación de Mensaje 13-8 representan un código de operación de mensaje que tiene un intervalo definido por los componentes de soporte lógico de control 46 -50. Este campo se usa para dirigir diferentes operaciones para un Tipo de Mensaje único. Cada Tipo de Mensaje (Palabra 1) puede tener hasta 64 Códigos de Operación únicos. Estos Códigos de Operación permiten a las aplicaciones definir, por ejemplo, diferentes alarmas para diversa información de estado o diferentes comandos, tales como key, de-key y similares.

10 Los bits de Tipo de Dispositivo 7-4 y los bits de Número de Dispositivo 3-0 forman un identificador único para los dispositivos periféricos controlados por procesador 24 – 44 cuando cada uno está implicado en una comunicación con uno de los componentes de soporte lógico de control 46 – 50. Por ejemplo un amplificador de potencia, amplificador de baja potencia, o módulo o dispositivo receptor tendrían tipos de dispositivo únicos. Si un componente de soporte lógico de control origina un mensaje, la información contenida en este octeto es el identificador de destino del dispositivo periférico controlado por procesador. Si un dispositivo periférico controlado por procesador origina un mensaje a su componente de soporte lógico de control, la información contenida en este octeto representa el  
15 identificador fuente del dispositivo periférico controlado por procesador. El número de dispositivo periférico controlado por procesador debe ser único para un dispositivo periférico controlado por procesador único. El número de dispositivo puede ser, por ejemplo, el ID de la ranura de la estación base del dispositivo periférico controlado por procesador.

20 La implementación del protocolo de canal principal de CAN necesaria para permitir a los componentes de soporte lógico de control 46 – 50 comunicar con los dispositivos periféricos controlados por procesador 24 – 44 se abstrae de los componentes de soporte lógico de control 46 – 50. De hecho, un componente de soporte lógico de control que inicia una comunicación con un dispositivo periférico controlado por procesador no es consciente de que solamente parte de la cabecera del mensaje se envía realmente al dispositivo periférico controlado por procesador y que el mensaje puede requerir múltiples tramas de mensaje de CAN en el canal principal de CAN particular que se utiliza.  
25 Del mismo modo, cada uno de los componentes de soporte lógico de control 46 – 50 no es consciente de si un mensaje que recibe desde un dispositivo periférico controlado por procesador requiere múltiples tramas de mensaje de CAN debido a que es el conmutador el que coteja las tramas de mensaje de CAN separadas de un dispositivo periférico controlado por procesador en un único mensaje que entonces se envía desde el conmutador al componente de soporte lógico de control asignado.

30 El protocolo de canal principal de CAN requiere que un mensaje de CAN único contenga solamente ocho octetos de datos y unos once bits adicionales (como se muestra en la FIG. 5) del filtro de mensaje. Como se explica además más adelante esto se usa preferiblemente para: dos octetos de información de cabecera en la forma mostrada en la FIG. 4A y detallada en la FIG. 4B con el Id de Trama de 2 bit relleno con un valor de la tabla en la FIG. 6 (tratada más adelante); hasta seis octetos de datos; y los once ajustes de filtro. El conmutador 52 abstrae estos bits de filtro de la cabecera del mensaje, específicamente la palabra 2 para el tipo de mensaje y la palabra 5 para el tipo de  
35 dispositivo como se suministra por los componentes de soporte lógico de control 46 – 50 y divide los datos según sea necesario para el protocolo de canal principal de CAN. Los once bits del filtro de mensaje se usan por los filtros de componentes físicos implementados en los procesadores de dispositivos periféricos 24a – 44a respectivos, mientras que dos de los ocho octetos de datos dedicados a la información de cabecera en el mensaje de CAN se usan por los filtros de soporte lógico implementados en las aplicaciones de soporte lógico de los dispositivos periféricos 24b – 44b respectivos.  
40

Específicamente, los filtros de componentes físicos implementados en los procesadores de dispositivos periféricos 24a – 44a permiten que un mensaje sea encaminado desde uno de los componentes de soporte lógico de control 46 – 50 solamente a aquellos dispositivos periféricos controlados por procesador que son del tipo de dispositivo especificado en los once bits del filtro de mensaje. Mientras que el protocolo de canal principal de CAN estándar utiliza todos los once bits para datos de tipo de mensaje, el presente protocolo en su lugar usa los once bits tanto para el tipo de mensaje como para los datos de tipo de dispositivo. Una vez que el dispositivo periférico controlado por procesador especificado recibe el mensaje como filtrado a través de los filtros de componentes físicos, cada uno de los filtros de soporte lógico implementados en las aplicaciones de soporte lógico de dispositivos periféricos subyacentes determina si el mensaje se prevé específicamente para su dispositivo periférico controlado por  
45 procesador particular. En consecuencia, como resultado de la configuración de mensaje anterior y los filtros de componentes físicos y soporte lógico, uno específico de los componentes de soporte lógico de control 46 – 50 pueden comunicar de manera discreta con uno específico de los dispositivos periféricos controlados por procesador 24 – 44 sobre uno de los canales principales de CAN 14 – 22.  
50

55 Cuando uno de los componentes de soporte lógico de control 46 – 50 es la fuente de un mensaje, el conmutador 52 crea el identificador del mensaje o la cabecera de CAN para los mensajes salientes en los canales principales de CAN, en base a la información proporcionada en los componentes de cabecera Común y CAN y como se muestra en las tablas en las FIG. 4A, 4B, 5, y 6. Señalar, que cuando uno de los dispositivos periféricos controlados por procesador 24 – 44 es la fuente de un mensaje, el dispositivo debería poner el tipo de mensaje y tipo de dispositivo adecuados en el filtro de mensaje. El filtro de mensaje y el identificador de mensaje o cabecera de CAN para el  
60

mensaje de CAN en los canales principales no serán visibles para el componente de soporte lógico de control. Los filtros para dispositivos de CAN situados en el conmutador 52, es decir todos los dispositivos periféricos controlados por procesador 24 – 44, se habilitan para recibir todos los mensajes transmitidos en los canales principales de CAN 14 – 22, dado que un dispositivo periférico controlado por procesador solamente puede enviar un mensaje a un componente de soporte lógico de control. Los dispositivos periféricos controlados por procesador 24 – 44 deberían empaquetar la información adecuada en el identificador de mensaje o la Cabecera de CAN como se indica en la FIG. 4A y se detalla en la FIG. 4B usando el Id de Trama como se define en la FIG. 6.

El conmutador 52 se requiere para dividir los mensajes en base al protocolo de canal principal de CAN debido a que debe abstraer los componentes de soporte lógico de control a partir de la implementación del canal principal de CAN. El conmutador 52 recibe solamente un mensaje desde un componente de soporte lógico de control (destinado por último para un dispositivo periférico controlado por procesador), con independencia del tamaño del mensaje. Si el tamaño del mensaje excede las limitaciones del canal principal de CAN, el conmutador 52 es responsable de dividir y enviar las múltiples tramas de CAN requeridas para enviar el mensaje completo.

Como se define en el protocolo de dispositivo de componentes físicos, cada trama de CAN (o mensaje) contiene dos octetos de cabecera como se muestra en la tabla en las FIG. 4A y 4B, con la tabla en la FIG. 4B que detalla la información que empaqueta el conmutador 52 en la cabecera de CAN. El conmutador 52 añade el ID de Trama a la información de destino recibida en la cabecera del mensaje solamente cuando se envía el mensaje o las tramas de CAN al dispositivo periférico controlado por procesador para crear la cabecera de mensaje de dos octetos. El ID de Trama se usa para significar si un mensaje de control abarca múltiples tramas de CAN. Los valores posibles para el ID de Trama se muestran en la tabla en la FIG. 6.

De esta manera, un mensaje o trama de CAN contiene dos octetos de datos de cabecera y seis octetos de datos de mensaje. Si los datos de mensaje recibidos desde un componente de soporte lógico de control son mayores de seis octetos, el conmutador 52 debe dividir los datos en tramas de CAN consecutivas. El conmutador fija el ID de Trama en base al número de tramas de CAN que abarca el mensaje de control. Hay tres escenarios posibles que se deben manejar: una trama de CAN; dos tramas de CAN; y más de dos tramas de CAN.

Si un mensaje de control se ajusta en una trama de CAN (seis octetos o menos) el conmutador 52 rellena el ID de Trama con un valor "Trama Final". Si un mensaje de control se ajusta en dos tramas de CAN, el conmutador 52 rellena el ID de Trama de la primera trama con un valor "Trama de Inicio" y el ID de Trama de la segunda trama con un valor "Trama Final". Es válido recibir una "Trama Final" inmediatamente después de una "Trama de Inicio." Si una aplicación de control abarca más de dos tramas de CAN, el conmutador 52 rellena el ID de Trama de la primera trama con una "Trama de Inicio." El conmutador 52 rellena cada trama posterior con una "Trama Media" hasta que se alcanza la trama final. El conmutador 52 rellena la última trama con una "Trama Final."

Ya que una trama de CAN única está limitada a ocho octetos de datos mientras que los requisitos de mensajería de los dispositivos periféricos controlados por procesador 24 – 44 no va a estar limitados a mensajes de ocho octetos, el ID de Trama definido en el protocolo de dispositivo de soporte lógico se usa por los dispositivos periféricos controlados por procesador 24 – 44 para ensamblar los mensajes entrantes a partir de los componentes de soporte lógico de control 46 – 50. A la inversa, se requiere al conmutador 52 que ensamble los mensajes recibidos desde los dispositivos periféricos controlados por procesador en base al protocolo de canal principal de CAN debido a que debe abstraer los componentes de soporte lógico de control 46 – 50 de la implementación del canal principal de CAN.

Específicamente, el conmutador 52 envía solamente un mensaje a un componente de soporte lógico de control con independencia de cuántas tramas de CAM abarca el mensaje. Si un mensaje enviado desde un dispositivo periférico controlado por procesador abarca más de una trama de CAN, es responsabilidad del conmutador 52 ensamblar el mensaje y encaminarlo al componente de soporte lógico de control previsto cuando el mensaje está completo. El conmutador 52 usa el ID de Trama en el componente de cabecera de CAN para ensamblar mensajes desde los dispositivos periféricos controlados por procesador 24 – 44. Como se define en el protocolo de dispositivos de componentes físicos, cada trama (o mensaje) de CAN contiene dos octetos de cabecera seguidos por seis octetos de datos.

Si un mensaje de dispositivo se ajusta en una única trama de CAN (seis octetos o menos) el ID de Trama en la cabecera del mensaje de CAN es un valor "Trama Final". Si un mensaje de dispositivo se ajusta en dos tramas de CAN, el ID de Trama de la primera trama es un valor "Trama de Inicio" y el ID de Trama de la segunda trama es un valor "Trama Final". Es válido recibir una "Trama Final" inmediatamente después de una "Trama de Inicio." Si un mensaje de dispositivo abarca más de dos tramas de CAN, el ID de Trama de la primera trama es un valor "Trama de Inicio." El ID de Trama de cada trama posterior es una "Trama Media" hasta que se alcanza la trama final. El ID de Trama de la última trama es una "Trama Final."

El conmutador 52 no puede recibir una "Trama Media" que no esté precedida por una "Trama de Inicio." Si el conmutador 52 recibe una "Trama Media" que no está precedida por una "Trama de Inicio," ignorará el mensaje

entero recibido (hasta la “Trama Final”) desde el dispositivo periférico controlado por procesador fuente y generará posteriormente un mensaje de error.

5 También, el conmutador 52 no puede recibir una “Trama de Inicio” que no esté precedida por una “Trama Final”. Si el conmutador 52 recibe una “Trama de Inicio” que no está precedida por una “Trama Final,” ignorará el mensaje entero recibido (hasta la “Trama de Inicio”) desde el dispositivo periférico controlado por procesador fuente y genera un error.

10 Superponiendo un protocolo de dispositivo de componentes físicos y soporte lógico en un protocolo de canal principal de CAN para realizar mensajería de canal principal de CAN como se describió anteriormente, los componentes de soporte lógico de control 46 – 50 pueden comunicar de manera discreta con dispositivos periféricos controlados por procesador externos tales como los dispositivos periféricos controlados por procesador 24 – 44 usando múltiples canales principales de CAN multiderivación. Además, la configuración anterior facilita la comunicación de un componente de soporte lógico de control con los dispositivos periféricos controlados por procesador a través o bien de un esquema de direccionamiento punto a punto o bien a través de un esquema de difusión. El protocolo de combinación facilita alta disponibilidad y redundancia de los dispositivos periféricos controlados por procesador, así como mayor flexibilidad de mensajería que se ofrece mediante filtrado de tipo mensaje de CAN convencional solamente.

20 Además, la mensajería de canal principal de CAN anteriormente descrita se puede adaptar para acoger cualquier número de componentes de soporte lógico de control y variaciones en el número de dispositivos periféricos controlados por procesador hasta 16 y tipo de dispositivos periféricos controlados por procesador hasta 16. La razón de que el número y tipo de dispositivos periféricos controlados por procesador esté limitado a 16 es debida a los campos de tipo y número que están limitados a 4 bits. Estos campos se pueden extender para proporcionar más o menos combinaciones posibles o dispositivos periféricos controlados por procesador.

25 Por ejemplo, se muestra una configuración de soporte lógico del sistema de estación base alternativa en 60 en la FIG. 7. Solamente un componente de soporte lógico de control 46’, y menos dispositivos periféricos controlados por procesador que en la estación base 10 en la FIG. 1, se implementan en esta configuración. No obstante, la mensajería de canal principal de CAN que se describió anteriormente se implementa de la misma manera anteriormente descrita.

30 Volviendo ahora a las FIG. 8 – 11, se tratará la configuración dinámica del sistema de los dispositivos periféricos controlados por procesador de CAN externos tales como los dispositivos periféricos controlados por procesador 24 – 44 mostrados en la FIG. 1. Esta configuración dinámica del sistema proporciona un alto grado de flexibilidad de arquitectura del sistema y capacidad de expansión creando un tipo de entorno de enchufar y usar para los dispositivos periféricos controlados por procesador no situados en la placa de control 12, tal como aquéllos mostrados en 24 – 44 en la FIG. 1, en múltiples canales principales de CAN, tales como aquéllos mostrados en 14 – 22 en la FIG. 1, que a su vez se terminan mediante procesadores, tales como los procesadores 14a – 22a en la FIG. 1. Debido a que los dispositivos periféricos controlados por procesador se pueden añadir dinámicamente a un sistema de comunicación tal como la estación base 10 en la FIG. 1, el número de cambios de soporte lógico requeridos para aumentar el número de dispositivos disponibles existentes y añadir nuevos dispositivos se minimiza o elimina. Además, el tiempo de inactividad del sistema requerido para retirar un dispositivo periférico del sistema durante la operación en servicio se minimiza o elimina.

40 Aunque la siguiente descripción referenciará la estación base inalámbrica 10 y sus componentes físicos y de soporte lógico, se debería apreciar que la configuración dinámica del sistema es aplicable no solamente a un entorno de canal principal de CAN multiderivación, sino también a cualquier entorno que incluya múltiples puertos de canal principal serie y que requiera capacidades de enchufar y usar o configuración dinámica de sistema.

45 Los siguientes principios de diseño de configuración dinámica de sistema se siguen para proporcionar tanto una abstracción completa de la implementación de componentes físicos de mensajería de canal principal de CAN a los dispositivos periféricos controlados por procesador como la capacidad de enchufar y usar para los dispositivos periféricos controlados por procesador.

50 Como se trató previamente, un componente de soporte lógico de control puede controlar múltiples dispositivos periféricos controlados por procesador y múltiples tipos de dispositivos. No obstante, un dispositivo periférico controlado por procesador se registra, a través de un mensaje de CAN con el tipo de mensaje adecuado, etc (ver más arriba) solamente con un componente de soporte lógico de control único. Por lo tanto, todos los mensajes desde un dispositivo periférico controlado por procesador se encaminan a su dirección singular especificada en el mensaje de registro de componente de soporte lógico de control. Esta puede ser la dirección del componente de soporte lógico de control pero no está limitada al componente de soporte lógico de control. La dirección también puede ser un canal de difusión para recepción mediante múltiples componentes de soporte lógico de control. Cuando el proceso de registro está completo, múltiples componentes de soporte lógico de control también pueden enviar mensajes a un dispositivo periférico controlado por procesador si contienen la información necesaria para la construcción y direccionamiento del mensaje (es decir recibida por difusión).

El conmutador 52 es responsable de hacer una conexión lógica entre un dispositivo periférico controlado por procesador y su componente de soporte lógico de control. La conexión lógica consta de información de encaminamiento usada para enviar mensajes desde un componente de soporte lógico de control a un dispositivo periférico controlado por procesador y enviar mensajes desde un dispositivo periférico controlado por procesador a un componente de soporte lógico de control. Se contempla que el conmutador 52 solamente se usa para dispositivos periféricos controlados por procesador situados en los canales principales de CAN 14 – 22. Aunque el conmutador 52 no extiende los enlaces de comunicación a dispositivos periféricos que tienen líneas de control de componentes físicos discretos directos, el conmutador 52 se podría diseñar alternativamente para extender la comunicación sobre otros tipos de canal principal tales como, por ejemplo, puerto serie, puerto paralelo, Canal Principal Serie Universal (USB), puerto V-11, y tipos de canal principal de 1 hilo.

Cualquiera de los componentes de soporte lógico de control 46 – 50 se pueden reiniciar sin que el conmutador 52 sea reiniciado. Además, cualquiera de los dispositivos periféricos controlados por procesador 24 – 44 puede reiniciar sin que el conmutador 52 sea reiniciado. Si el conmutador 52 se reinicia, todos los componentes en la placa de control 12 se reinician y todas las conexiones lógicas se pierden.

Un componente de soporte lógico de control solamente se registra para un tipo de dispositivo una vez. El registro único incluye el número de dispositivos periféricos controlados por procesador de ese tipo de dispositivo que el componente de soporte lógico de control puede controlar. El componente de soporte lógico de control se vuelve a registrar cuando detecta la retirada de uno de sus dispositivos periféricos controlados por procesador del sistema. El nuevo registro toma el lugar del registro anterior. Un dispositivo periférico controlado por procesador se registra periódicamente hasta que se recibe un mensaje de reconocimiento del componente de soporte lógico de control. El registro de un dispositivo periférico controlado por procesador significa que el dispositivo periférico controlado por procesador se ha reiniciado.

El conmutador 52 conecta los dispositivos periféricos controlados por procesador 24 – 44 a un componente de soporte lógico de control de una forma primero en entrar/primerero en salir (FIFO). Todos los dispositivos periféricos controlados por procesador del mismo tipo de dispositivo se conectan lógicamente al primer componente de soporte lógico de control que se registra para ese tipo y que aún tiene capacidad. Si hay múltiples dispositivos periféricos controlados por procesador que están registrados para el mismo tipo de dispositivo, los dispositivos periféricos controlados por procesador posteriores no se conectan hasta que se alcanza la capacidad anterior.

Los mensajes que se originan desde un dispositivo periférico controlado por procesador solamente se pueden destinar para un componente de soporte lógico de control. Los dispositivos periféricos controlados por procesador que son multiderivados en el mismo canal principal de CAN no pueden enviar mensajes directamente entre sí.

Hay cuatro posibles escenarios de registro que el conmutador 52 debe manejar para los componentes de soporte lógico de control 46 – 50 y los dispositivos periféricos controlados por procesador 24 – 44. Cada uno de los escenarios se tratará más adelante en detalle.

Con referencia a la FIG. 8, en el primer escenario, un dispositivo periférico controlado por procesador, tal como, por ejemplo, el dispositivo periférico controlado por procesador 24, se registra primero en 70. No existen conexiones lógicas existentes previamente para los dispositivos periféricos controlados por procesador del tipo y número del dispositivo periférico controlado por procesador de registro 24, y ningún componente de soporte lógico de control se ha registrado para el tipo de dispositivo periférico controlado por procesador. En 72, tras la recepción del primer registro del tipo y número de dispositivo periférico controlado por procesador, el conmutador 52 añade el dispositivo periférico controlado por procesador a su tabla de encaminamiento como un dispositivo disponible. El conmutador 52 recibe e ignora periódicamente mensajes de registro que no encajan de los componentes de soporte lógico de control hasta que en 74 llega un registro válido desde un componente de soporte lógico de control, tal como el componente de soporte lógico de control 46. Ya que un componente de soporte lógico de control puede registrarse para múltiples tipos de dispositivo periférico controlado por procesador, un registro válido en este caso es un registro para los tipos de dispositivo periférico controlado por procesador incluyendo un tipo de dispositivo que corresponde a aquél del dispositivo periférico controlado por procesador 24.

Cuando el conmutador 52 recibe un registro válido desde el componente de soporte lógico de control 46, crea en 76 una conexión de encaminamiento lógica entre el dispositivo periférico controlado por procesador 24 disponible y el componente de soporte lógico de control 46. En este punto, el dispositivo periférico controlado por procesador ya no está disponible para la conexión debido a que un dispositivo periférico controlado por procesador único solamente puede tener un único componente de soporte lógico de control para el registro. En 78, el conmutador 52 entonces reenvía el registro del componente de soporte lógico de control al dispositivo periférico controlado por procesador 24. En 80, el dispositivo periférico controlado por procesador 24 continúa para enviar su mensaje de registro al conmutador 52 hasta que el conmutador 52 encamina el mensaje de registro en 82 al componente de soporte lógico de control 46 y el conmutador 52 recibe posteriormente un mensaje de reconocimiento del componente de soporte lógico de control desde el componente de soporte lógico de control en 84 y lo encamina al dispositivo periférico controlado por procesador 24 en 86.

5 Con referencia a la FIG. 9, en el segundo escenario, el componente de soporte lógico de control 46 se registra primero en 90. El componente de soporte lógico de control 46 crea un único mensaje de registro para un tipo de dispositivo. En 92, tras la recepción del mensaje de registro desde el componente de soporte lógico de control, el conmutador 52 añade el componente de soporte lógico de control 46 a su tabla de encaminamiento como un controlador disponible para un número de los dispositivos periféricos controlados por procesador especificado en el registro y almacena el mensaje de registro. Se contempla que el componente de soporte lógico de control 46 puede controlar múltiples dispositivos periféricos controlados por procesador del mismo tipo.

10 Tras la recepción de un registro en 94 desde un dispositivo periférico controlado por procesador del tipo especificado, tal como el dispositivo periférico controlado por procesador 24, en 96 el conmutador 52 añade el dispositivo periférico controlado por procesador a su tabla de encaminamiento como un dispositivo disponible. Ya que un registro del componente de soporte lógico de control ya está en el lugar, el conmutador 52 hace una conexión lógica en 98 y en 100 reenvía el registro del componente de soporte lógico de control al dispositivo periférico controlado por procesador 24 ahora no disponible. El dispositivo periférico controlado por procesador 24 continúa para enviar el mensaje de registro en 102 hasta que se recibe un mensaje de reconocimiento de componente de soporte lógico de control. El conmutador 52 reenvía el siguiente mensaje de registro de dispositivo periférico controlado por procesador recibido en 104 al componente de soporte lógico de control 46 para el cual fue creada la conexión de encaminamiento lógico. El componente de soporte lógico de control 46 completa el proceso de registro proporcionando un mensaje de reconocimiento en 106 al conmutador 52, que a su vez encamina el mensaje de reconocimiento al dispositivo periférico controlado por procesador en 108.

20 Es importante señalar que este segundo escenario difiere solamente en el orden en el que el dispositivo periférico controlado por procesador 24 y el componente de soporte lógico de control 46 se registran. Los requerimientos del proceso de registro permanecen los mismos.

25 Con referencia a la FIG. 10, en el tercer escenario, existe una conexión lógica existente en 110 cuando el dispositivo periférico controlado por procesador 24 se registra. La conexión lógica existente es para el tipo y número de dispositivo periférico controlado por procesador que encaja con aquél del dispositivo periférico controlado por procesador 24 que indica que el dispositivo periférico controlado por procesador 24 se ha reiniciado en 112.

30 En 114, el conmutador 52 recibe un mensaje de registro, que incluye el tipo y número de dispositivo, desde el dispositivo periférico controlado por procesador 24 que ya tiene una conexión lógica establecida. El conmutador 52 reenvía el mensaje de registro en 116 al componente de soporte lógico de control 46 adecuado, como se especifica por la conexión lógica. El conmutador 52 maneja el mensaje de registro desde el dispositivo periférico controlado por procesador 24 de manera no diferente de cualquier otro mensaje recibido.

35 El componente de soporte lógico de control 46 es consciente de que el dispositivo periférico controlado por procesador 24 se ha reiniciado con independencia de si el dispositivo periférico controlado por procesador 24 fue mandado reiniciar por el componente de soporte lógico de control 46. El componente de soporte lógico de control 46 completa el proceso de registro en 118 enviando un mensaje de reconocimiento al conmutador 52, que a su vez encamina el mensaje de reconocimiento en 120 al dispositivo periférico controlado por procesador 24.

Las conexiones lógicas existentes previamente no se cambian en este escenario, asegurando por ello que un dispositivo periférico controlado por procesador que reinicia mantiene su conexión lógica al mismo componente de soporte lógico de control.

40 Con referencia a la FIG. 11, en el cuarto escenario, existe una conexión lógica existente en 122 cuando el componente de soporte lógico de control 46 se registra. En este escenario, hay conexiones para el componente de soporte lógico de control 46 de registro, que indican en 124 que el componente de soporte lógico de control se ha reiniciado, o que un dispositivo periférico controlado por procesador que tuvo una conexión lógica establecida fue retirado y reintroducido al sistema.

45 En 126, el componente de soporte lógico de control crea unos mensajes de registro para cada tipo de dispositivo periférico controlado por procesador para el que el componente de soporte lógico de control tiene responsabilidad. En 128, el conmutador 52 reenvía el registro del componente de soporte lógico de control para la captura del dispositivo periférico controlado por procesador del tipo de dispositivo periférico controlado por procesador conectado lógicamente especificado en el registro. En 130, el conmutador 52 entonces rompe todas las conexiones lógicas para ese tipo de dispositivo periférico controlado por procesador y elimina los dispositivos periféricos controlados por procesador de la tabla de encaminamiento.

55 Un dispositivo periférico controlado por procesador, tal como el dispositivo periférico controlado por procesador 26, que recibe el registro del componente de soporte lógico de control inicia un proceso para volver a emitir su propio registro. Tras la recepción del registro desde el dispositivo periférico controlado por procesador 26 del tipo especificado en 132, en 134 el conmutador 52 añade el dispositivo periférico controlado por procesador 26 a su tabla de encaminamiento como un dispositivo periférico controlado por procesador disponible. Debido a que un registro de

componente de soporte lógico de control ya está en el lugar, en 136 el conmutador 52 hace la conexión lógica y en 138 reenvía el registro del controlador al dispositivo periférico controlado por procesador ahora indisponible.

5 En 140, el dispositivo periférico controlado por procesador 26 continúa para enviar el mensaje de registro hasta que se recibe un mensaje de reconocimiento de componente de soporte lógico de control. En 142, el conmutador 52 reenvía el próximo mensaje de registro de dispositivo periférico controlado por procesador recibido al componente de soporte lógico de control para el cual fue creada la conexión de encaminamiento lógica. El componente de soporte lógico de control 46 entonces completa el proceso de registro proporcionando un mensaje de reconocimiento al conmutador 52 en 144, que entonces encamina el mensaje de reconocimiento en 146 al dispositivo periférico controlado por procesador 26.

10 El cuarto escenario de registro anteriormente descrito es el escenario de registro máximo en profundidad debido a que aborda dos conceptos de soporte lógico de sistema completamente diferentes. El primer concepto se refiere a la reiniciación de un componente de soporte lógico de control independientemente del conmutador 52. El segundo concepto se refiere a los conceptos más complejos de configuración del dispositivo periférico controlado por procesador de sistema de enchufar y usar y de sistema dinámico. Es útil para describir además las capacidades del sistema que permite este escenario.

15 El cuarto escenario anteriormente descrito permite al conmutador reiniciar las conexiones lógicas existentes para un componente de soporte lógico de control individual que tiene responsabilidades de control para los dispositivos periféricos controlados por procesador disponibles en los canales principales de CAN 14 – 24. Cuando un componente de soporte lógico de control se reinicia y reanuda es necesario conectar rápidamente los dispositivos periféricos controlados por procesador que estaban conectados previamente con el próximo componente de soporte lógico de control disponible que se ha registrado para ese tipo de dispositivo periférico controlado por procesador para minimizar el tiempo de inactividad del sistema. El componente de soporte lógico de control recién asignado puede ser o puede no ser el componente de soporte lógico de control reiniciado previamente dependiendo de la configuración de soporte lógico.

20 Por ejemplo, un dispositivo periférico controlado por procesador se volverá a registrar cuando se pierda una pulsación con su componente de soporte lógico de control. El nuevo registro del dispositivo periférico controlado por procesador puede comenzar a ocurrir antes de que el componente de soporte lógico de control reanude y emita otro registro. Si los registros del dispositivo periférico controlado por procesador se reciben primero, conceptualmente el tercer escenario aplicaría hasta que el componente de soporte lógico de control se registre. El conmutador 52 puede reenviar o puede no reenviar el mensaje de registro del dispositivo periférico controlado por procesador a la aplicación de soporte lógico de control, pero no altera las conexiones lógicas.

25 El conmutador 52 ha facilitado el hecho de que un dispositivo periférico controlado por procesador esté indisponible, y no se requiere monitorizar ese dispositivo periférico controlado por procesador. De la estructura anterior el componente de soporte lógico de control es consciente de que el componente, y consecuentemente sus dispositivos periféricos controlados por procesador, están indisponibles (a través de mecanismos sin importancia para el conmutador). Los dispositivos periféricos controlados por procesador están disponibles para controlar una vez que el componente de soporte lógico de control disponible está preparado. A través de múltiples casos de componente de soporte lógico de control, se puede lograr redundancia en la tarjeta.

30 El cuarto escenario anteriormente descrito también permite la configuración dinámica de los dispositivos periféricos controlados por procesador. Tres escenarios de enchufar y usar muestran las posibilidades de configuración de enchufar y usar del dispositivo periférico controlado por procesador.

35 En el primer escenario de enchufar y usar, se retira un dispositivo periférico controlado por procesador de su ranura y ni él ni otro dispositivo periférico controlado por procesador del mismo tipo se inserta para sustituir el dispositivo periférico controlado por procesador retirado. Este es el escenario de enchufar y usar más fácil manejado por los escenarios de registro. El componente de soporte lógico de control reconoce cuándo se retira un dispositivo periférico controlado por procesador del sistema y se vuelve a registrar para los dispositivos periféricos controlados por procesador de ese tipo. En consecuencia, se inicia el cuarto escenario de registro. Todos los dispositivos periféricos controlados por procesador se vuelven a conectar al componente de soporte lógico de control, pero el componente de soporte lógico de control que aún tiene capacidad disponible debería introducir un dispositivo periférico controlado por procesador de ese tipo al sistema en un momento posterior.

40 En el segundo escenario de enchufar y usar, se retira un dispositivo periférico controlado por procesador de su ranura y o bien él o bien otro dispositivo periférico controlado por procesador del mismo tipo se inserta en la misma ranura para sustituir el dispositivo periférico controlado por procesador retirado. Este escenario de enchufar y usar es una continuación del primer escenario de enchufar y usar excepto que el componente de soporte lógico de control puede no tener capacidad adicional para ese tipo de dispositivo periférico controlado por procesador después de que se introduzca al sistema el nuevo dispositivo periférico controlado por procesador. El componente de soporte lógico de control reconoce cuándo se retira un dispositivo periférico controlado por procesador del sistema y se vuelve a registrar para los dispositivos periféricos controlados por procesador de ese tipo, iniciando por ello el cuarto

escenario de registro. Todos los dispositivos periféricos controlados por procesador conectados previamente se vuelven a conectar al componente de soporte lógico de control, incluyendo el nuevo dispositivo periférico controlado por procesador.

5 En el tercer escenario de enchufar y usar, se retira un dispositivo periférico controlado por procesador de su ranura y o bien él o bien otro dispositivo periférico controlado por procesador del mismo tipo se inserta en el sistema en una ranura diferente para sustituir el dispositivo periférico controlado por procesador retirado. Este quizás es el escenario de enchufar y usar más difícil, pero aún se maneja por el cuarto escenario de registro. Es esencial que un dispositivo periférico controlado por procesador de sustitución sea reconocido y conectado a un componente de soporte lógico de control, con independencia de la ranura en la que se inserte. La aplicación de soporte lógico de control reconoce cuando se retira del sistema un dispositivo periférico controlado por procesador y vuelve a registrarse para los dispositivos periféricos controlados por procesador de ese tipo, lo cual inicia el cuarto escenario de registro. El registro del componente de soporte lógico de control rompe todas las conexiones lógicas existentes. Todos los dispositivos periféricos controlados por procesador se vuelven a conectar posteriormente a los componentes de soporte lógico de control, incluyendo el dispositivo periférico controlado por procesador de sustitución, el cual estaba situado en una ranura diferente.

Este es un escenario importante a incorporar en el diseño del conmutador, debido a que permite a los dispositivos periféricos controlados por procesador ser sustituidos sin reiniciar la placa de control 12 con independencia de si era defectuoso el dispositivo periférico controlado por procesador o si era defectuosa la ranura de placa posterior.

20 Como resultado de las capacidades de enchufar y usar y de registro descritas anteriormente del conmutador 52, se logra una reconfiguración dinámica de los dispositivos periféricos controlados por procesador.

Mientras que la anterior descripción es de la realización preferida de la presente invención, se debería apreciar que la invención se puede modificar, alterar, o variar sin desviarse del alcance y significado razonable de las siguientes reivindicaciones.

25 Por ejemplo, el identificador de CAN en la FIG. 4A puede usar un dispositivo periférico controlado por procesador # en lugar de un Tipo de Mensaje para determinar a través de componentes físicos el destino de un mensaje de CAN. También, el Código de Operación se puede omitir de la cabecera de CAN debido a que ya está incluido como parte del protocolo de CAN y se puede usar por los componentes físicos para determinar un punto de entrada del mensaje más que usar la determinación de soporte lógico a través de un punto de entrada único. Los campos de Tipo de Dispositivo y Dispositivo # en la cabecera de CAN también se pueden expandir/reducir para facilitar más/menos dispositivos en el sistema. Las asignaciones de número de ID de Trama entonces se pueden cambiar para añadir otro tipo de trama así como reconfigurar para cambiar la asignación de número de trama de inicio, trama de parada, y trama media. Una trama media sin una trama de inicio o una trama de inicio sin tramas posteriores se puede usar para indicar un mensaje de trama única.

35 Además, se debería apreciar que el conmutador de soporte lógico podría conectar lógicamente un dispositivo periférico controlado por procesador a un componente de soporte lógico de control en base a una asignación de prioridad unida al dispositivo periférico controlado por procesador particular o una asignación de prioridad del componente de soporte lógico de control que o bien se determina o bien se indica durante el proceso de registro del conmutador.

40 Además, el mensaje de registro del conmutador desde el componente de soporte lógico de control podría incluir una lista de tipos de dispositivos y el número de dispositivos periféricos controlados por procesador por tipo de dispositivo para el que tiene capacidad el componente de soporte lógico de control, en lugar de requerir unos mensajes de registro por tipo de dispositivo. El conmutador también puede mantener una conexión existente con un dispositivo periférico controlado por procesador durante el nuevo registro de un componente de soporte lógico y solamente romper la conexión de un dispositivo especificado en el mensaje de nuevo registro.

45 También se contempla que el dispositivo periférico controlado por procesador no necesite rellenar el Tipo de Dispositivo y Tipo de Mensaje en el campo de identificador de CAN.

También, se puede usar una transacción W en el componente de cabecera Común para hacer el seguimiento de los mensajes de petición y las respuestas.

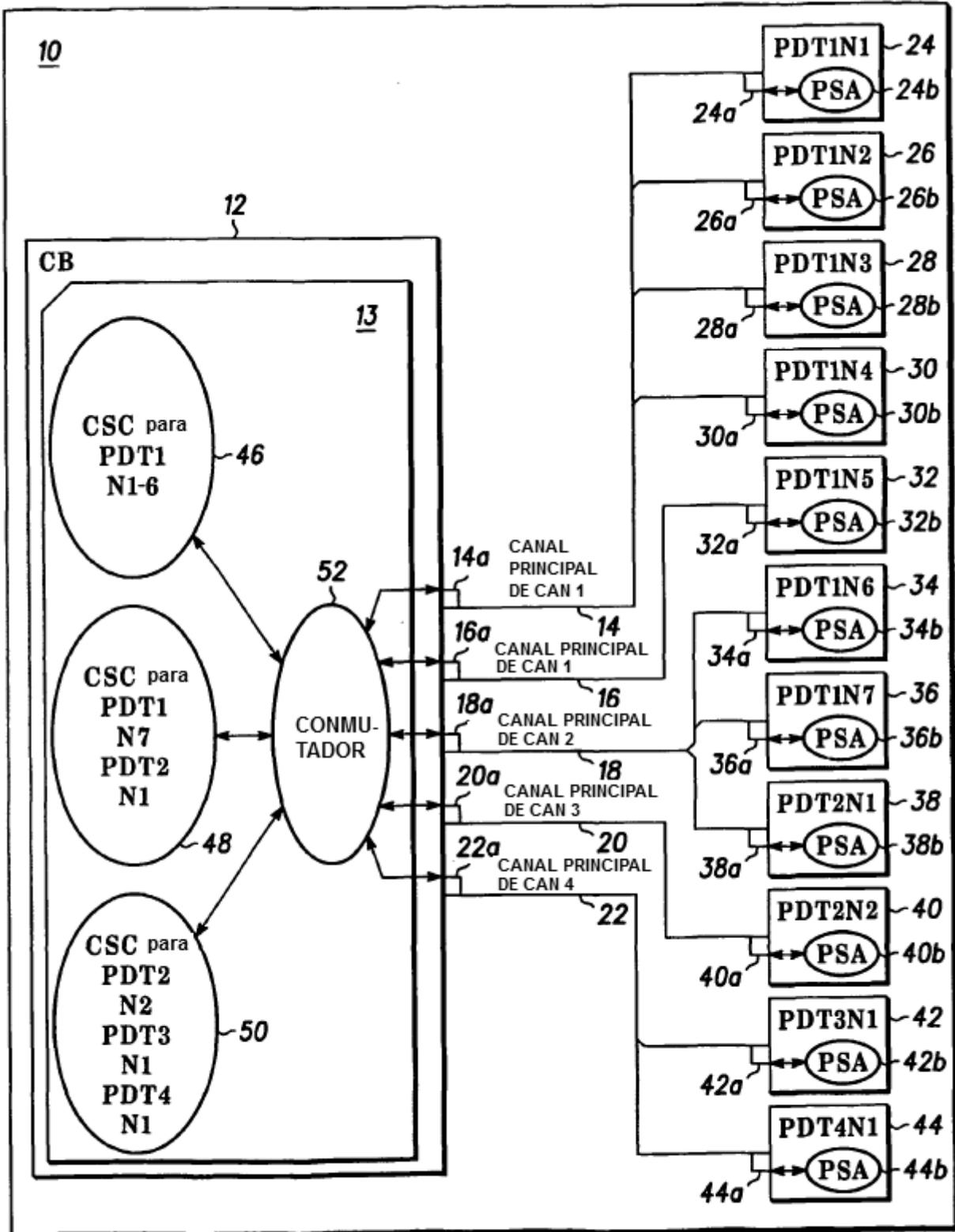
50 También se contempla que múltiples componentes de soporte lógico de control pueden controlar o estar conectados de manera lógica a un dispositivo periférico controlado por procesador, y que los componentes de soporte lógico de control, o el conmutador, puedan crear unas conexiones lógicas en base a un nombre de dispositivo periférico controlado por procesador en lugar de la metodología de capacidad/tipo de dispositivo.

Finalmente, se debería apreciar que el protocolo de capas de componentes físicos/CAN tratado anteriormente es independiente de la configuración de soporte lógico de la placa de control.

55

**REIVINDICACIONES**

1. Un método para comunicar sobre un canal principal de red de área de controlador (CAN) (14-22), que comprende:
- 5 encaminar la información de registro desde una pluralidad de dispositivos periféricos habilitados por procesador (24-44) a un componente de soporte lógico de control (46-50);
- encaminar un mensaje de pulsación periódica desde el componente de soporte lógico de control a la pluralidad de dispositivos periféricos habilitados por procesador para permitir a cada uno de la pluralidad de dispositivos periféricos habilitados por procesador mantener su estado registrado; y
- 10 encaminar los mensajes desde el componente de soporte lógico de control a uno o más de la pluralidad de dispositivos periféricos habilitados por procesador sobre el canal principal de CAN para controlar el uno o más de la pluralidad de dispositivos periféricos habilitados por procesador.
2. El método de la reivindicación 1, que además comprende hacer al componente de soporte lógico de control recibir consecutivamente tramas de un mensaje multitrama transmitido desde uno de la pluralidad de dispositivos periféricos habilitados por procesador.
- 15 3. El método de la reivindicación 1, en donde el encaminamiento de los mensajes desde el componente de soporte lógico de control a uno o más de la pluralidad de dispositivos periféricos habilitados por procesador para controlar el uno o más de la pluralidad de dispositivos periféricos habilitados por procesador comprende encaminar mensajes cada uno que tiene un componente de cabecera común al uno o más de la pluralidad de dispositivos periféricos habilitados por procesador para controlar el uno o más de la pluralidad de dispositivos periféricos habilitados por procesador.
- 20 4. El método de la reivindicación 3, en donde el encaminamiento de los mensajes cada uno que tiene un componente de cabecera común a uno o más de la pluralidad de dispositivos periféricos habilitados por procesador para controlar el uno o más de la pluralidad de dispositivos periféricos habilitados por procesador comprende encaminar mensajes cada uno que tiene un componente de cabecera común y un componente de cabecera de CAN al uno o más de la pluralidad de dispositivos periféricos habilitados por procesador para controlar el uno o más de la pluralidad de dispositivos periféricos habilitados por procesador.
- 25 5. El método de la reivindicación 4, en donde el encaminamiento de los mensajes cada uno que tiene un componente de cabecera común y un componente de cabecera de CAN al uno o más de la pluralidad de dispositivos periféricos habilitados por procesador para controlar el uno o más de la pluralidad de dispositivos periféricos habilitados por procesador además comprende encaminar mensajes cada uno que tiene un componente de cabecera común y un componente de cabecera de CAN sin conocimiento específico por el componente de soporte lógico de control del componente de cabecera de CAN.
- 30



**FIG. 1**

NÚMERO DE PALABRA (16 BITS)	DESCRIPCIÓN	VALOR
1	ID DE ÁREA FUNCIONAL	IDENTIFICADOR ÚNICO DE COMPONENTE
2	TIPO DE MENSAJE	REGISTRO (0X7)
3	PALABRA SUPERIOR DE ID DE TRANSACCIÓN	0
4	PALABRA INFERIOR DE ID DE TRANSACCIÓN	0
5	PALABRA SUPERIOR DE LONGITUD DE MENSAJE	0
6	PALABRA INFERIOR DE LONGITUD DE MENSAJE	
7	CABECERA DE CAN	DESCRITO MÁS ADELANTE
8-10	DATOS	DESCRITO MÁS ADELANTE

MENSAJE DE REGISTRO DE COMPONENTE DE SOPORTE LÓGICO (CABECERA)

**FIG. 2A**

NÚMERO DE OCTETOS (8 BITS)	DESCRIPCIÓN	VALOR
1	CÓDIGO DE OPERACIÓN DE MENSAJE ID DE DISPOSITIVO	BITS 7,6=0 BITS 5-0=0x7
2	TIPO DE DISPOSITIVO, NÚMERO DE DISPOSITIVO	BITS 7-4=0xF (NO USADO) BITS 3-0=0xF (NO USADO)

CABECERA DE CAN PARA MENSAJE DE REGISTRO DE COMPONENTE DE SOPORTE LÓGICO

**FIG. 2B**

NÚMERO DE OCTETOS (8 BITS)	DESCRIPCIÓN	VALOR
1	TIPO DE DISPOSITIVO PARA EL REGISTRO	TIPO DE DISPOSITIVO
2	CAPACIDAD DEL DISPOSITIVO	NÚMERO DE DISPOSITIVOS EN EL OCTETO DE DATOS 2 QUE EL COMPONENTE PUEDE CONTROLAR
3-6	VALOR NUMÉRICO DEL CANAL (32 BITS)	VALOR NUMÉRICO DEL CANAL AL CUAL SE PUBLICAN LOS MENSAJES DEL DISPOSITIVO

DATOS PARA EL MENSAJE DE REGISTRO DEL COMPONENTE DE SOPORTE LÓGICO

**FIG. 2C**

VALOR	TIPO DE MENSAJE
0x1	ALARMA
0x2	COMANDO
0x3	RECONOCIMIENTO
0x4	ESTADÍSTICA
0x5	DESCARGA
0x6	MMI
0x7	REGISTRO

**FIG. 3**

ID DE TRAMA BITS 15, 14	CÓDIGO DE OPERACIÓN DE MENSAJE BITS 13-8	TIPO DE DISPOSITIVO BITS 7-4	NÚMERO DE DISPOSITIVO BITS 3-0
----------------------------	---	---------------------------------	-----------------------------------

**FIG. 4A**

NÚMERO DE OCTETO (8 BITS)	DESCRIPCIÓN	VALOR
1	ID DE TRAMA, CÓDIGO DE OPERACIÓN DE MENSAJE	BITS 7,6=ID DE TRAMA BITS 5-0=CÓDIGO DE OPERACIÓN DE MENS.
2	TIPO DE DISPOSITIVO, NÚMERO DE DISPOSITIVO	BITS 7-4=TIPO DE DISPOSITIVO BITS 3-0=NÚMERO DE DISPOSITIVO

**CABECERA DE CAN**

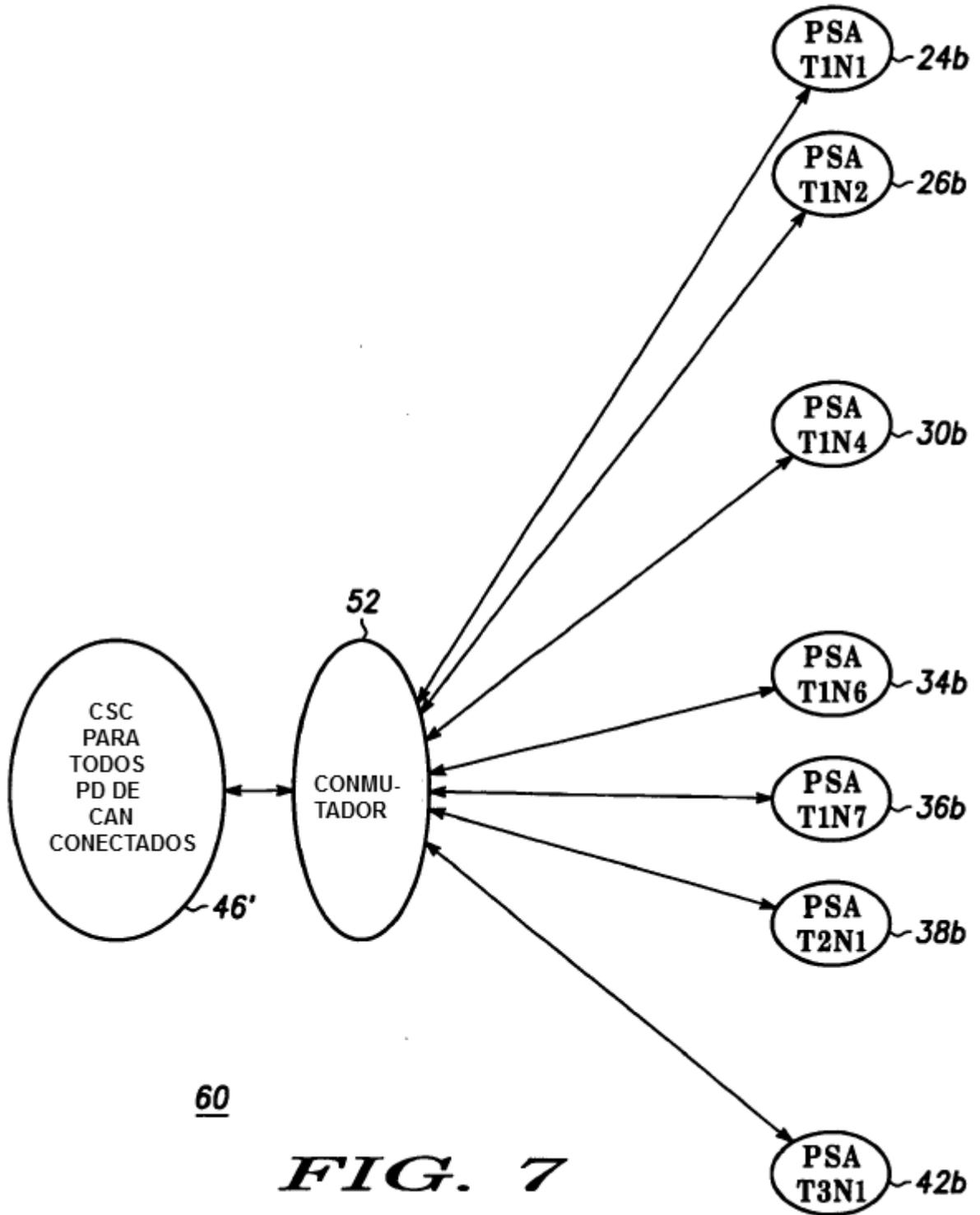
**FIG. 4B**

TIPO DE MENSAJE BITS 10-7	TIPO DE DISPOSITIVO BITS 6-3	RESERVADO BITS 2-0
------------------------------	---------------------------------	-----------------------

**FIG. 5**

ID DE TRAMA	DESCRIPCIÓN
0x2	TRAMA DE INICIO
0x0	TRAMA MEDIA
0x3	TRAMA FINAL

**FIG. 6**



**FIG. 7**

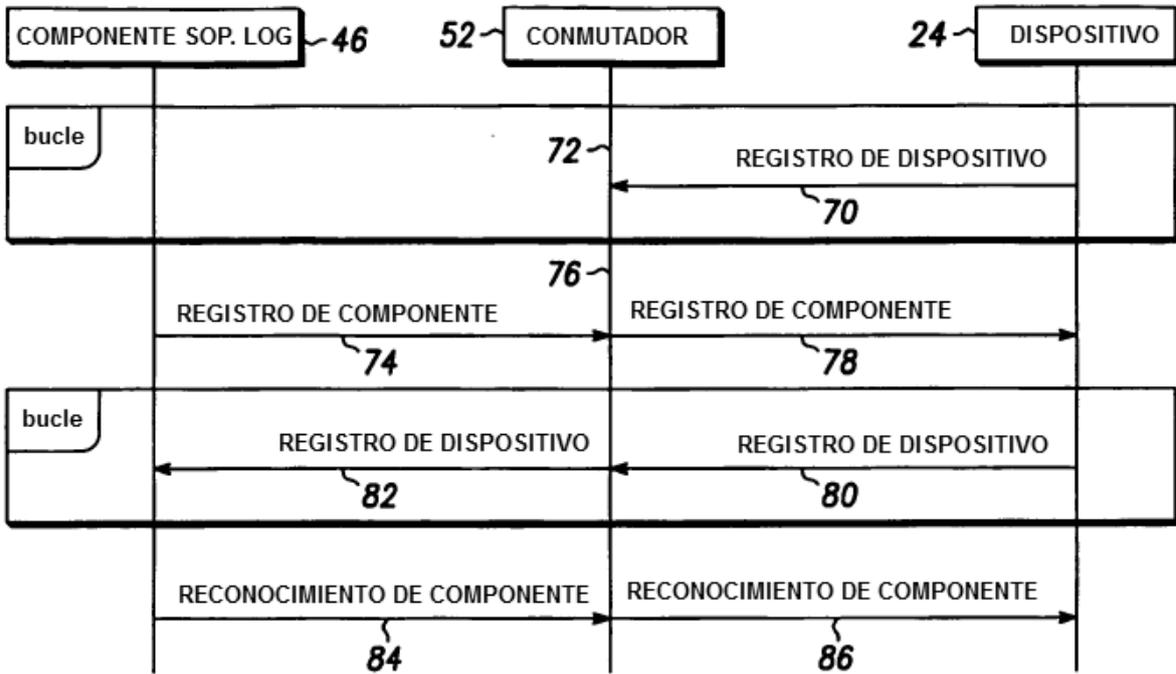


FIG. 8

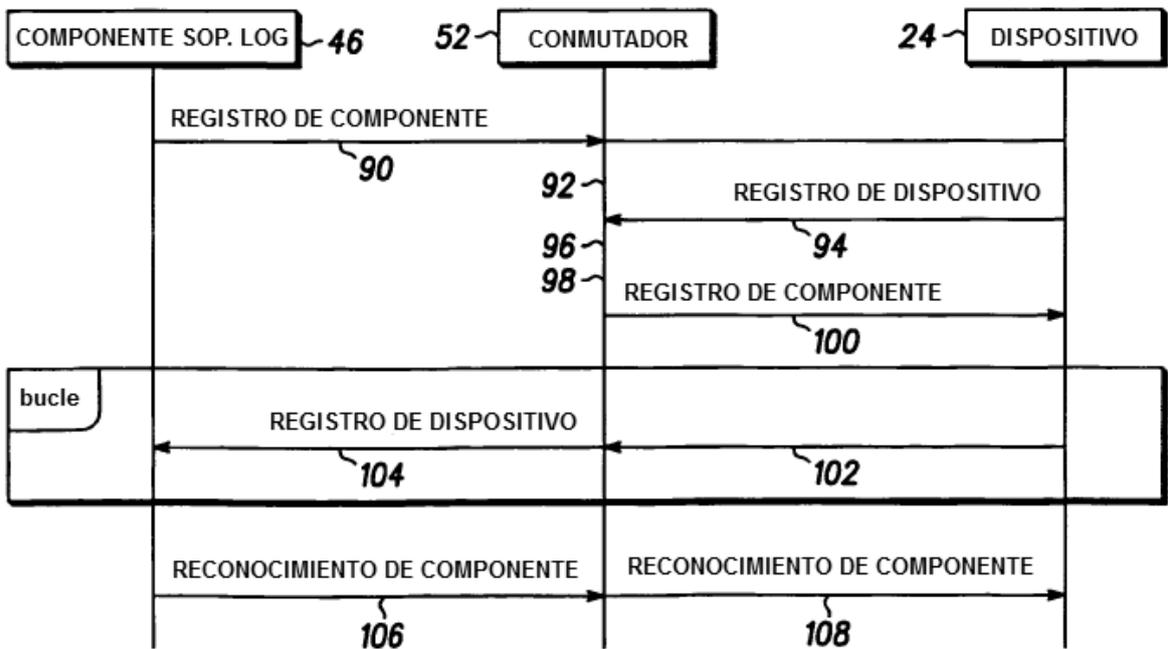
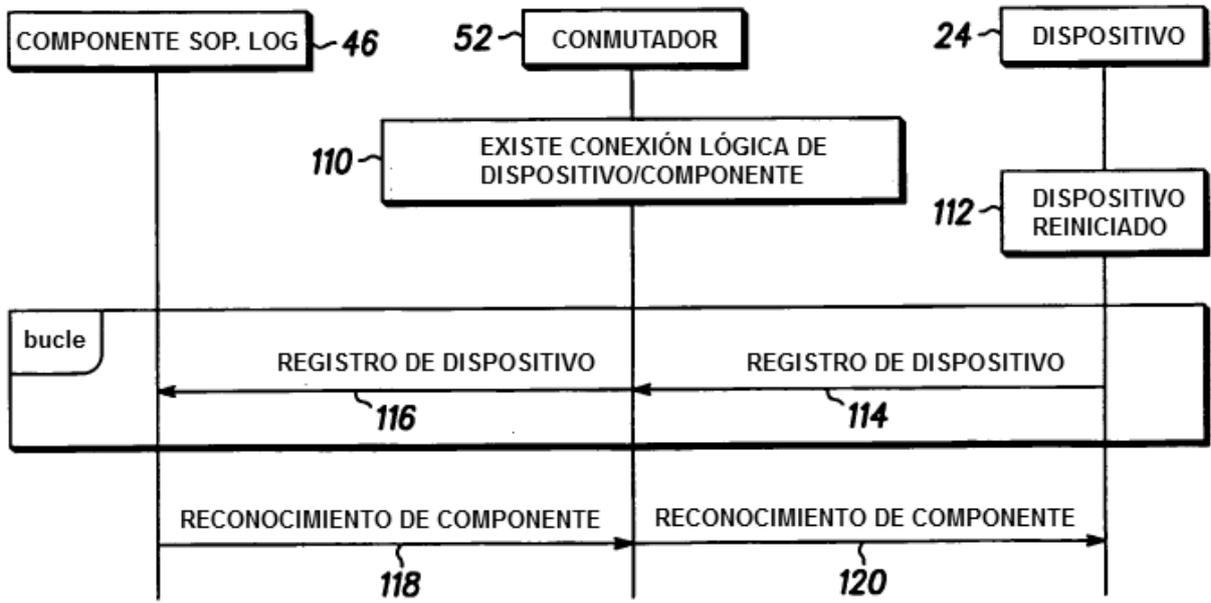
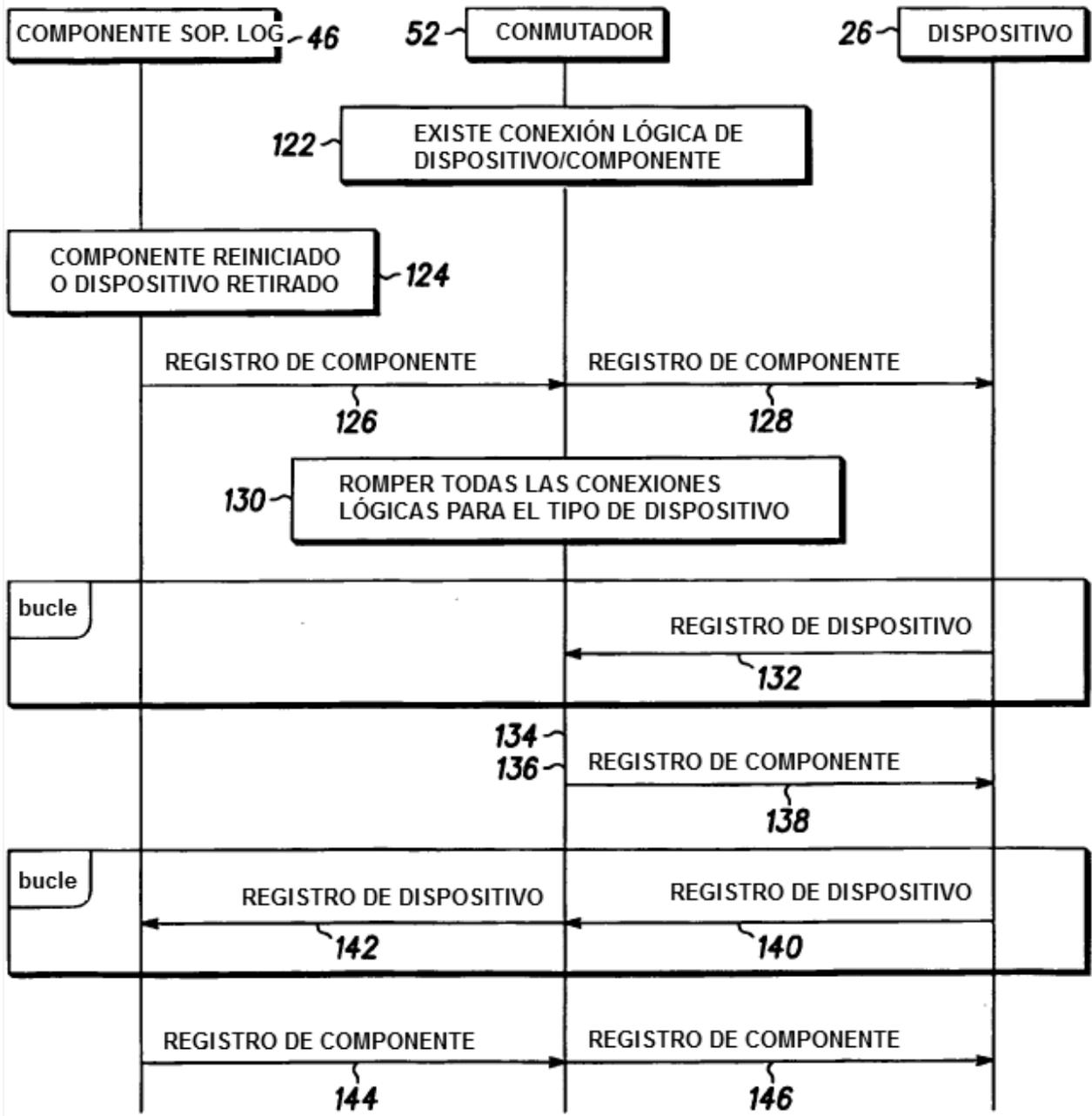


FIG. 9



**FIG. 10**



**FIG. 11**