

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 403 516**

51 Int. Cl.:

H03M 13/27 (2006.01)

H04L 27/00 (2006.01)

H04L 1/00 (2006.01)

H04L 27/26 (2006.01)

H04L 5/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **17.10.2008 E 11189831 (8)**

97 Fecha y número de publicación de la concesión europea: **13.03.2013 EP 2421163**

54 Título: **Equipo y método de procesamiento de datos**

30 Prioridad:

30.10.2007 GB 0721269

19.11.2007 GB 0722645

20.11.2007 GB 0722728

30.10.2007 GB 0721271

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
20.05.2013

73 Titular/es:

SONY CORPORATION (100.0%)

1-7-1 Konan, Minato-ku

Tokyo 108-0075, JP

72 Inventor/es:

TAYLOR, MATTHEW PAUL ATHOL;

ATUNGSIRI, SAMUEL ASANBENG y

WILSON, JOHN NICHOLAS

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 403 516 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Equipo y método de procesamiento de datos.

Campo de la invención

5 La presente invención está relacionada con un equipo de procesamiento de datos que se utiliza para asignar símbolos de entrada a señales subportadoras de un símbolo Multiplexado por División de Frecuencia Ortogonal (OFDM). La presente invención también está relacionada con un generador de direcciones para ser utilizado en la grabación/lectura de símbolos en/de la memoria de un entrelazador.

Los modos de realización de la presente invención pueden proporcionar un transmisor OFDM.

Antecedentes de la invención

10 El estándar de Multidifusión de Vídeo Digital - Terrestre (DVB-T) utiliza la Multiplexación por División de Frecuencia Ortogonal (OFDM) para transmitir a los receptores datos que representan imágenes de vídeo y audio, mediante la multidifusión de señales de comunicación vía radio. Es sabido que existen dos modos del estándar DVB-T, conocidos como modo 2k y modo 8k. El modo 2k proporciona 2048 subportadoras, en tanto que el modo 8k proporciona 8192 subportadoras. De forma análoga, para el estándar de Multidifusión de Vídeo Digital - Portátil (DVB-H) se ha establecido un modo 4k, en el que el número de subportadoras es de 4096.

Con el fin de mejorar la integridad de los datos transmitidos utilizando el DVB-T o el DVB-H, se proporciona un entrelazador de símbolos con el fin de entrelazar los símbolos de datos de entrada cuando estos símbolos son asignados a las señales subportadoras de un símbolo OFDM. Dicho entrelazador de símbolos comprende una memoria del entrelazador en combinación con un generador de direcciones. El generador de direcciones genera una dirección para cada uno de los símbolos de entrada, indicando cada dirección una de las señales subportadoras del símbolo OFDM a la que se va a asignar el símbolo de datos. En el estándar DVB-T se ha divulgado una configuración para generar las direcciones de asignación de correspondencia en los modos 2k y 8k. De forma análoga, en la solicitud de Patente Europea 04251667.4 se ha proporcionado una disposición para generar las direcciones de asignación de correspondencia y se divulga un generador de direcciones para realizar dicha asignación de correspondencia en el modo 4k del estándar DVB-H. El generador de direcciones comprende un registro de desplazamiento con realimentación lineal que se utiliza para generar una secuencia pseudoaleatoria de bits, y un circuito de permutación. El circuito de permutación permuta el orden del contenido del registro de desplazamiento con realimentación lineal para generar una dirección. La dirección proporciona un indicativo de una de las subportadoras OFDM para el transporte de un símbolo de datos de entrada almacenado en la memoria del entrelazador, con el fin de asignar los símbolos de entrada a las señales subportadoras del símbolo OFDM.

De acuerdo con un desarrollo adicional del estándar de Multidifusión de Vídeo Digital - Terrestre, conocido como DVB-T2, se ha propuesto que se incorporen algunos modos adicionales de comunicación de datos.

En un artículo titulado "A novel, high-speed, reconfigurable demapper-symbol deinterleaver architecture for DVB-T (Nueva arquitectura para desentrelazamiento y desasignación de símbolos, de alta velocidad y reconfigurable para DVB-T)", de Horvath y otros, publicado por el IEEE, Orlando, Florida, vol. 4, el 30 de mayo de 1999, páginas 382-385, se divulga una técnica para establecer la correspondencia entre bits constituidos en símbolos de datos y símbolos modulados, de acuerdo con una transmisión jerárquica de flujos de bits.

El documento EP1463255 divulga un equipo de procesamiento de datos que ha sido configurado para asignar símbolos de datos de entrada con el fin de comunicarlos a través de un número predeterminado de señales subportadoras de un símbolo OFDM. El equipo de procesamiento de datos incluye un entrelazador que utiliza una memoria para el entrelazador y un generador de direcciones para entrelazar los símbolos de datos de entrada en las subportadoras del símbolo OFDM. El generador de direcciones incluye un registro de desplazamiento con realimentación lineal y un circuito de permutación, adaptados para generar direcciones que se puedan utilizar para entrelazar los símbolos de datos de entrada en las subportadoras de los símbolos OFDM cuando el número de direcciones es de aproximadamente 4k. El equipo de procesamiento de datos resulta, por lo tanto, adecuado para ser utilizado en un transmisor del modo 4k del DVB-T2.

Resumen de la invención

En las reivindicaciones adjuntas se definen diversos aspectos y características de la presente invención.

50 Los modos de realización de la presente invención pueden proporcionar un equipo de procesamiento de datos que asigna símbolos de entrada para transmitirlos a través de un número predeterminado de señales subportadoras de un símbolo Multiplexado por División de Frecuencia Ortogonal (OFDM). El procesador de datos incluye un entrelazador que graba el número predeterminado de símbolos de datos en la memoria de un entrelazador para ser asignados a las señales subportadoras OFDM. El entrelazador lee los símbolos de datos de la memoria del

entrelazador para realizar la asignación de correspondencia a las subportadoras OFDM, realizándose dicha lectura en un orden diferente del de grabación y estando dicho orden determinado por un conjunto de direcciones, de tal modo que los símbolos de datos se entrelazan en las señales subportadoras. El conjunto de direcciones es generado por un generador de direcciones que comprende un registro de desplazamiento con realimentación lineal y un circuito de permutación. El registro de desplazamiento con realimentación lineal tiene trece posiciones de registro, con un polinomio generador $R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$ para el registro de desplazamiento con realimentación lineal, y el circuito de permutación construye, mediante un bit adicional, una dirección de catorce bits. El equipo de procesamiento de datos está adaptado para entrelazar los símbolos de datos de entrada según un proceso de entrelazamiento impar.

Los modos de realización de la presente invención pueden proporcionar una mejora en el entrelazamiento de los símbolos de datos para un modo de operación de 16k de un sistema modulado OFDM, como, por ejemplo, un estándar de Multifusión de Vídeo Digital (DVB) como el DVB-Terrestre2 (DVB-T2). Esto es debido a que es pequeña la probabilidad de que sucesivos bits de datos que se encuentran próximos entre sí en un flujo de datos de entrada se asignen a la misma subportadora de un símbolo OFDM.

De acuerdo con un ejemplo, se proporciona un equipo de procesamiento de datos para asignar símbolos de entrada con el fin de ser transmitidos a través de un número predeterminado de señales subportadoras de un símbolo Multiplexado por División de Frecuencia Ortogonal (OFDM). El equipo de procesamiento de datos comprende un entrelazador que se utiliza para grabar en una memoria el número predeterminado de símbolos de datos para ser asignados a las señales subportadoras OFDM, y para leer de la memoria los símbolos de datos para que las subportadoras OFDM realicen la asignación de correspondencia. La lectura tiene lugar en un orden diferente del de grabación, estando determinado dicho orden mediante un conjunto de direcciones, de tal modo que los símbolos de datos se entrelacen en las señales subportadoras. El conjunto de direcciones está determinado por un generador de direcciones, generándose una dirección para cada uno de los símbolos de entrada con el fin de indicar a cuál de las señales subportadoras se debe asignar el símbolo de datos.

El generador de direcciones comprende un registro de desplazamiento con realimentación lineal que incluye un número predeterminado de posiciones de registro y se utiliza para generar una secuencia pseudoaleatoria de bits de acuerdo con un polinomio generador, además de un circuito de permutación y una unidad de control. El circuito de permutación se utiliza para recibir el contenido de cada una de las posiciones del registro de desplazamiento y permutar los bits presentes en las posiciones del registro de acuerdo con un orden de permutación para formar una dirección de una de las subportadoras OFDM.

La unidad de control se utiliza en combinación con un circuito de comprobación de direcciones para volver a generar una dirección cuando una dirección generada excede de una dirección válida máxima predeterminada. El equipo de procesamiento de datos se caracteriza por que dirección válida máxima predeterminada es aproximadamente dieciséis mil, y el registro de desplazamiento con realimentación lineal tiene trece posiciones de registro con un polinomio generador $R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$ para el registro de desplazamiento con realimentación lineal, y el orden de permutación forma, mediante un bit adicional, una dirección de catorce bits $R_i[n]$ para el i -ésimo símbolo de datos a partir del bit presente en la n -sima posición del registro $R'_i[n]$, de acuerdo con la tabla:

Posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit de R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

Aunque es conocido que el estándar DVB-T proporciona el modo 2k y el modo 8k, y que el estándar DVB-H proporciona un modo 4k, se ha propuesto proporcionar un modo 16k para el DVB-T2. Aunque el modo 8k proporciona una posibilidad para establecer una red de una sola frecuencia con suficientes períodos de guarda con el fin de permitir mayores retardos de propagación entre los transmisores de DVB, es sabido que el modo 2k proporciona una ventaja en aplicaciones móviles. Ello es debido a que el período de los símbolos de 2k es solo la cuarta parte del período de los símbolos de 8k, lo que permite que la estimación de canal se actualice con mayor frecuencia, lo cual, a su vez, permite que el receptor controle con mayor precisión la variación en el tiempo del canal debida al efecto Doppler y otros efectos. El modo 2k resulta, por lo tanto, ventajoso para aplicaciones móviles.

Con el fin de proporcionar una implementación aún más dispersa de transmisores DVB dentro de una red de una sola frecuencia, se ha propuesto ofrecer el modo 16k. Para implementar el modo 16k, es necesario proporcionar un entrelazador de símbolos para asignar los símbolos de datos de entrada a las señales subportadoras del símbolo OFDM.

En un ejemplo se utiliza un equipo de procesamiento de datos como entrelazador de símbolos para asignar a un símbolo OFDM los símbolos de datos que hay que transmitir, disponiendo esencialmente de dieciséis mil señales subportadoras. En un ejemplo, el número de señales subportadoras puede ser un valor esencialmente entre doce

mil y dieciséis mil trescientas ochenta y cuatro. Adicionalmente, el símbolo OFDM puede incluir subportadoras piloto, que están configuradas para transportar símbolos conocidos, y la dirección válida máxima predeterminada depende del número de los símbolos de subportadoras piloto presentes en el símbolo OFDM. Así pues, el modo 16k se puede proporcionar, por ejemplo, para un estándar DVB, tal como DVB-T2, DVB-T o DVB-H.

5 La asignación de correspondencia a símbolos de datos para ser transmitidos a través de las señales subportadoras de un símbolo OFDM, cuando el número de señales subportadoras es de aproximadamente dieciséis mil plantea un problema técnico que requiere análisis y pruebas de simulación con el fin de establecer un polinomio generador apropiado para el registro de desplazamiento con realimentación lineal y el orden de permutación. Esto es debido a que la asignación de correspondencia requiere que los símbolos se entrelacen en las señales subportadoras de tal modo que los símbolos sucesivos del flujo de datos de entrada se separen lo más posible en frecuencia con el fin de optimizar el rendimiento de los esquemas de codificación con corrección de errores.

10 Los esquemas de codificación con corrección de errores, tales como la codificación LDPC/BCH, que se ha propuesto para el DVB-T2 se comporta mejor cuando el ruido y la degradación de los valores de símbolos resultantes de la comunicación no están correlacionados. Los canales de multidifusión terrestre pueden experimentar un desvanecimiento correlacionado tanto en el dominio del tiempo como en el de la frecuencia. Así pues, separando los más posible los símbolos codificados asignándolos a diferentes señales subportadoras del símbolo OFDM se puede mejorar el comportamiento de los esquemas de codificación con corrección de errores.

15 Como se explicará, a partir del análisis de los resultados de la simulación se ha observado que el polinomio generador para el registro de desplazamiento con realimentación lineal en combinación con la ordenación generada por circuito de permutación indicado más arriba, proporciona un buen resultado. Además, proporcionando una disposición que pueda realizar la generación de direcciones para cada uno de los modos 2k, 4k y 8k cambiando las entradas del polinomio generador en relación con el registro de desplazamiento con realimentación lineal y el orden de permutación, se puede proporcionar una implementación rentable del entrelazador de símbolos para el modo 16k. Además, se pueden cambiar un transmisor y un receptor entre los modos 2k, 4k, 8k y 16k cambiando el polinomio generador y los órdenes de permutación. Esto se puede realizar a través de software (o mediante la señalización embebida), por medio de los cuales se proporciona una implementación flexible.

20 El bit adicional, que se utiliza para formar la dirección a partir del contenido del registro de desplazamiento con realimentación lineal, puede ser generado por un circuito conmutador, que cambia de 1 a 0 para cada dirección, con el fin de reducir la probabilidad de que, si una dirección excede la mayor dirección válida predeterminada, la dirección siguiente será una dirección válida. En un ejemplo, el bit adicional es el bit más significativo.

25 En un ejemplo se utiliza el código de permutación citado más arriba para generar las direcciones con el fin de realizar el entrelazamiento para los símbolos OFDM sucesivos. En otros ejemplos, el código de permutación citado más arriba es uno entre una pluralidad de códigos de permutación que se intercambian con el fin de reducir la posibilidad de que bits de datos sucesivos o que se encuentran próximos entre sí en la secuencia en un flujo de datos de entrada se asignen a la misma subportadora de un símbolo OFDM. En un ejemplo, se utiliza un código de permutación diferente para realizar el entrelazamiento entre los símbolos OFDM sucesivos. La utilización de códigos de permutación diferentes para los símbolos OFDM sucesivos puede proporcionar una ventaja cuando el equipo de procesamiento de datos se utiliza para entrelazar los símbolos de datos de entrada en las señales subportadoras de cada uno de los símbolos OFDM únicamente mediante la grabación de los símbolos de datos en la memoria en un orden secuencial y leyendo los símbolos de datos de la memoria de acuerdo con el conjunto de direcciones generado por el generador de direcciones.

30 Algunos de los diversos aspectos y características de la presente invención se definen en las reivindicaciones adjuntas. Otros aspectos de la presente invención incluyen un método de asignación de correspondencia de los símbolos de entrada para transmitirlos sobre un número predeterminado de señales subportadoras de un símbolo Multiplexado por División de Frecuencia Ortogonal (OFDM), así como un transmisor.

Breve Descripción de los Dibujos

A continuación se describirán algunos modos de realización de la presente invención únicamente a modo de ejemplo, haciendo referencia a los dibujos adjuntos, en los que los mismos elementos se indican mediante los números de referencia correspondientes, y en los que:

35 La Figura 1 es un esquema de un diagrama de bloques de un transmisor OFDM Codificado que se utiliza, por ejemplo, con el estándar DVB-T2;

la Figura 2 es un esquema de un diagrama de bloques de algunos componentes del transmisor que se muestra en la Figura 1, en el que una unidad de asignación de correspondencia a símbolos y un generador de tramas ilustran el funcionamiento de un entrelazador;

40 la Figura 3 es un esquema de un diagrama de bloques del entrelazador de símbolos que se muestra en la Figura 2;

la Figura 4 es un esquema de un diagrama de bloques de una memoria del entrelazador que se muestra en la Figura 3 y el correspondiente desentrelazador de símbolos en el receptor;

la Figura 5 es un esquema de un diagrama de bloques de un generador de direcciones que se muestra en la Figura 3 para el modo 16k;

5 la Figura 6(a) es un diagrama que ilustra los resultados para un entrelazador que utiliza el generador de direcciones que se muestra en la Figura 5 para los símbolos pares, y la Figura 6(b) es un diagrama que ilustra los resultados de la simulación del diseño para los símbolos impares, en tanto que la Figura 6(c) es un diagrama que ilustra los resultados comparativos para un generador de direcciones que utiliza un código de permutación diferente para los símbolos pares y la Figura 6 (d) es un diagrama correspondiente para los impares;

10 la Figura 7 es un esquema de un diagrama de bloques de un receptor OFDM Codificado que se puede utilizar, por ejemplo, con el estándar DVB-T2;

la Figura 8 es un esquema de un diagrama de bloques de un desentrelazador de símbolos que aparece en la Figura 7;

15 la Figura 9(a) es un diagrama que ilustra los resultados para un entrelazador que utiliza el generador de direcciones que se muestra en la Figura 5 para los símbolos OFDM pares y la Figura 9(b) es un diagrama que ilustra los resultados para los símbolos OFDM impares. Las Figuras 9(a) y 9(b) muestran gráficos con la distancia a la salida del entrelazador de las subportadoras que se encontraban contiguas a la entrada del entrelazador;

20 la Figura 10 proporciona un esquema de un diagrama de bloques del entrelazador de símbolos que se muestra en la Figura 3, que ilustra un modo de operación en el que el entrelazamiento se realiza únicamente de acuerdo con un modo de entrelazamiento impar; y

la Figura 11 proporciona un esquema de un diagrama de bloques del desentrelazador de símbolos que se muestra en la Figura 8, que ilustra el modo de operación en el que el entrelazamiento se realiza únicamente de acuerdo con el modo de entrelazamiento impar.

Descripción de los modos de realización preferidos

25 Se ha propuesto que el número de modos que hay disponibles en el estándar DVB-T2 se debería ampliar para incluir un modo 1k, un modo 16k y un modo 32k. La siguiente descripción se facilita con el propósito de ilustrar el funcionamiento de un entrelazador de símbolos de acuerdo con la técnica presente, aunque se apreciará que el entrelazador de símbolos se puede utilizar con otros modos y otros estándares DVB.

30 La Figura 1 proporciona un ejemplo de diagrama de bloques de un transmisor OFDM Codificado que se puede utilizar, por ejemplo, para transmitir imágenes de vídeo y señales de audio de acuerdo con el estándar DVB-T2. En la Figura 1 una fuente programada genera datos para ser transmitidos por el transmisor COFDM. Un codificador 2 de vídeo, un codificador 4 de audio y un codificador 6 de datos generan vídeo, audio y otros datos para ser transmitidos, que se pasan por un multiplexor 10 programado. La salida del multiplexor 10 programado crea un flujo multiplexado con otra información necesaria para comunicar el vídeo, el audio y los otros datos. El multiplexor 10
35 proporciona un flujo a través de un canal 12 de conexión. Puede haber muchos flujos multiplexados semejantes que se alimentan a diferentes ramas A, B, etc. Para simplificar, se describirá únicamente la rama A.

40 Como se muestra en la Figura 1, un transmisor 20 COFDM recibe el flujo en un bloque 22 multiplexor de adaptación y dispersión de energía. El bloque 22 multiplexor de adaptación y dispersión de energía aleatoriza los datos y le pasa los datos apropiados a un codificador 24 con corrección de errores sin canal de retorno que realiza la codificación con corrección de errores del flujo. Se proporciona un entrelazador 26 de bits para entrelazar los bits de los datos codificados que en el caso del ejemplo del DVB-T2 es la salida del codificador LDPC / BCH. La salida del entrelazador 26 de bits se envía a una unidad 28 de asignación de bits a constelación, que asigna grupos de bits a un punto de la constelación, que se utilizará para transmitir los bits de datos codificados. Las salidas de la unidad 28 de asignación de bits a constelación son etiquetas de puntos de la constelación que representan componentes
45 reales e imaginarios. Las etiquetas de puntos de la constelación representan símbolos de datos constituidos por dos o más bits en función del esquema de modulación utilizado. Estos se designarán como celdas de datos. Estas celdas de datos se hacen pasar a través de un entrelazador 30 en el tiempo cuyo efecto es entrelazar las celdas de datos resultantes de múltiples palabras de código LDPC.

50 Las celdas de datos son recibidas por un constructor 32 de tramas, con las celdas de datos producidas por la rama B, etc. en la Figura 1, a través de otros canales 31. A continuación, el constructor 32 de tramas agrupa muchas celdas de datos en secuencias para ser transportadas sobre símbolos COFDM, donde un símbolo COFDM comprende una serie de celdas de datos, siendo asignada cada celda de datos a una de las subportadoras. El número de subportadoras dependerá del modo de operación del sistema, que puede incluir uno entre 1k, 2k, 4k, 8k, 16k o 32k, cada uno de los cuales proporciona un número diferente de subportadoras de acuerdo, por ejemplo, con

la siguiente tabla:

Modo	Subportadoras
1k	756
2k	1512
4k	3024
8k	6048
16k	12096
32k	24192

Número de subportadoras adaptado del DVB-T/H

Así, en un ejemplo, el número de subportadoras para el modo 16k es doce mil noventa y seis. Para el sistema DVB-T2, el número de subportadoras por cada símbolo OFDM puede variar en función del número de portadoras piloto y otras portadoras reservadas. Así, en el DVB-T2, a diferencia del DVB-T, el número de subportadoras para transportar datos no es fijo. Las compañías de multidifusión pueden seleccionar uno de los modos de operación entre 1k, 2k, 4k, 8k, 16k y 32k, proporcionando cada uno de ellos un rango de subportadoras para datos por cada símbolo OFDM, siendo el máximo disponible para cada uno de estos modos 1024, 2048, 4096, 8192, 16384 y 32768, respectivamente. En el DVB-T2, una trama de la capa física está compuesta por muchos símbolos OFDM. Típicamente, la trama comienza con uno o más preámbulos o símbolos OFDM P2, que son seguidos por un cierto número de segmentos que transportan los símbolos OFDM. El final de la trama de la capa física está indicado mediante un símbolo de cierre de trama. Para cada modo de operación, el número de subportadoras puede ser diferente para cada tipo de símbolo. Además, éste puede variar para cada uno en función de si se selecciona ampliación del ancho de banda, si se habilita la reserva de tono y en función de qué patrón de subportadora piloto se ha seleccionado. Así pues, es difícil establecer una generalización respecto a un número específico de subportadoras por cada símbolo OFDM. Sin embargo, el entrelazador de frecuencias para cada modo puede entrelazar cualquier símbolo cuyo número de subportadoras sea menor o igual que el máximo número disponible de subportadoras para el modo dado. Por ejemplo, en el modo 1k, el entrelazador funcionaría para símbolos cuyo número de subportadoras fuera menor o igual a 1024, y para el modo 16k, con un número de subportadoras menor o igual a 16384. A continuación, la secuencia de celdas de datos a transportar en cada símbolo COFDM se le envía al entrelazador 33 de símbolos. Después, un bloque 37 constructor de símbolos COFDM genera el símbolo COFDM, el cual introduce señales piloto y de sincronización procedentes de un generador 36 de señales piloto y embebidas. A continuación, un modulador 38 OFDM forma el símbolo OFDM en el dominio del tiempo, y se le pasa a un procesador 40 de inserción de guarda para generar un intervalo de guarda entre los símbolos, y después a un conversor 42 de digital a analógico y, por último, a un amplificador de RF en un etapa 44 de RF para ser emitido finalmente por el transmisor COFDM desde una antena 46.

Provisión de un modo 16k

Para crear un nuevo modo 16k es necesario definir varios elementos, uno de los cuales es el entrelazador 33 de símbolos 16k. En la Figura 2 se muestran con más detalle la unidad 28 de asignación de bits a constelación, el entrelazador 33 de símbolos y el constructor 32 de tramas.

Como se ha explicado más arriba, la presente invención dispone de un medio para proporcionar una asignación de correspondencia casi óptima entre los símbolos de datos y las señales subportadoras OFDM. De acuerdo con la técnica del ejemplo, el entrelazador de símbolos se proporciona para conseguir la asignación óptima de correspondencia entre los símbolos de datos de entrada y las señales subportadoras COFDM de acuerdo con un código de permutación y un polinomio generador, habiéndose verificado mediante un análisis de simulación.

Como se muestra en la Figura 2, se proporciona, a modo de ejemplo, una ilustración más detallada de la unidad 28 de asignación de bits a constelación y del constructor 32 de tramas, para ilustrar un ejemplo de un modo de realización de la presente técnica. Los bits de datos recibidos desde el entrelazador 26 de bits a través de un canal 62 se agrupan en conjuntos de bits para ser asignados a una celda de datos, de acuerdo con un número de bits por cada símbolo determinado por el esquema de modulación. Los grupos de bits, que forman una palabra de datos, se transmiten en paralelo a través de canales 64 de datos al procesador 66 de asignación de correspondencia. A continuación, el procesador 66 de asignación de correspondencia selecciona uno de los símbolos de datos, de acuerdo con una asignación de correspondencia establecida previamente. El punto de la constelación está representado por un componente real y otro imaginario que se le pasan al canal 29 de salida como uno entre un conjunto de entradas para el constructor 32 de tramas.

El constructor 32 de tramas recibe las celdas de datos procedentes de la unidad 28 de asignación de bits a constelación a través del canal 29, junto con las celdas de datos procedentes de los otros canales 31. Después de construir una trama con varias secuencias de celdas COFDM, las celdas de cada símbolo COFDM se graban en una memoria 100 del entrelazador y se leen de la memoria 100 del entrelazador de acuerdo con las direcciones de grabación y direcciones de lectura generadas por un generador 102 de direcciones. En función del orden de grabación y lectura, el entrelazamiento de las celdas de datos se consigue mediante la generación de las

direcciones apropiadas. El funcionamiento del generador 102 de direcciones y la memoria 100 del entrelazador se describirá con más detalle en breve haciendo referencia a las Figuras 3, 4 y 5. Las celdas de datos entrelazadas se combinan a continuación con símbolos piloto y de sincronización recibidos desde el generador 36 de señales piloto y embebidas en un constructor 37 del símbolo OFDM para formar el símbolo COFDM que es transmitido al modulador 38 OFDM, como se ha explicado más arriba.

El entrelazador

La Figura 3 proporciona un ejemplo de los componentes del entrelazador 33 de símbolos, que ilustra la presente técnica para entrelazar símbolos. En la Figura 3, las celdas de datos de entrada procedentes del constructor 32 de tramas se graban en la memoria 100 del entrelazador. Las celdas de datos se graban en la memoria 100 del entrelazador de acuerdo con una dirección de grabación proporcionada por el generador 102 de direcciones a través del canal 104, y se leen de la memoria 100 del entrelazador de acuerdo con una dirección de lectura proporcionada por el generador 102 de direcciones a través del canal 106. El generador 102 de direcciones genera la dirección de grabación y la dirección de lectura como se explica a continuación, en función de si el símbolo COFDM es impar o par, lo que se identifica a partir de una señal enviada a través de un canal 108, y en función de un modo seleccionado que se identifica mediante una señal enviada a través de un canal 110. Como se ha explicado, el modo puede ser uno de los siguientes: un modo 1k, un modo 2k, un modo 4k, un modo 8k, un modo 16k o un modo 32k. Como se explica más abajo, la dirección de grabación y la dirección de lectura se generan de forma diferente para los símbolos impares y pares, como se explica haciendo referencia a la Figura 4, que proporciona un ejemplo de implementación de la memoria 100 del entrelazador.

En el ejemplo que se ilustra en la Figura 4, se muestra que la memoria del entrelazador comprende una parte superior 100, que ilustra el funcionamiento de la memoria del entrelazador en el transmisor, y una parte inferior 340, que ilustra el funcionamiento de la memoria del desentrelazador en el receptor. El entrelazador 100 y el desentrelazador 340 se muestran conjuntamente en la Figura 4 con el fin de facilitar la comprensión de su funcionamiento. Como se muestra en la Figura 4, se ha simplificado una representación de la comunicación entre el entrelazador 100 y el desentrelazador 340 a través de otros dispositivos y a través de un canal de transmisión, y se ha representado como una sección 140 entre el entrelazador 100 y el desentrelazador 340. En los párrafos siguientes se describe el funcionamiento del entrelazador 100:

Aunque la Figura 4 proporciona una ilustración de tan sólo cuatro celdas datos de entrada en un ejemplo de cuatro señales subportadoras de un símbolo COFDM, se observará que la técnica ilustrada en la Figura 4 se puede extender a un número mayor de subportadoras, como, por ejemplo, 756 para el modo 1k, 1512 para el modo 2k, 3024 para el modo 4k, 6048 para el modo 8k, 12096 para el modo 16k y 24192 para el modo 32k.

El direccionamiento de entrada y salida de la memoria del entrelazador 100 que se muestra en la Figura 4 se refiere a símbolos impares y pares. Para un símbolo COFDM par, las celdas de datos se toman del canal de entrada 77 y se graban en la memoria 124.1 de entrelazador de acuerdo con una secuencia de direcciones 120 generada para cada símbolo COFDM por el generador 102 de direcciones. Las direcciones de grabación se aplican al símbolo par de forma que el entrelazamiento que se ilustra se efectúa mediante una reordenación aleatoria de las direcciones de grabación. Por lo tanto, para cada símbolo entrelazado $y(h(q)) = y'(q)$.

Para los símbolos impares se utiliza la misma memoria 124.2 del entrelazador. Sin embargo, como se muestra en la Figura 4 para el símbolo impar, el orden 132 de grabación corresponde a la misma secuencia de direcciones utilizada para la lectura del símbolo par 126 anterior. Esta característica permite a las implementaciones del entrelazador de los símbolos pares e impares utilizar únicamente una memoria 100 para el entrelazador, siempre que la operación de lectura para una dirección dada se realice antes de la operación de grabación. Las celdas de datos grabadas en la memoria 124 del entrelazador durante la operación con los símbolos impares, se leen a continuación en una secuencia 134 generada por el generador 102 de direcciones para el siguiente símbolo COFDM par, y así sucesivamente. Por consiguiente, sólo se genera una dirección por cada símbolo, realizándose la lectura y la grabación del símbolo COFDM impar/par al mismo tiempo.

En resumen, como se representa en la Figura 4, una vez que se ha calculado el conjunto de direcciones $H(q)$ para todas las subportadoras activas, se procesa el vector de entrada $Y' = (y_0', y_1', y_2', \dots, y_{N_{\text{máx}}-1}')$ para producir el vector intercalado $Y = (y_0, y_1, y_2, \dots, y_{N_{\text{máx}}-1})$ definido por:

$$y_{H(q)} = y'_q \text{ para los símbolos pares, para } q = 0, \dots, N_{\text{máx}}-1$$

$$y_q = y'_{H(q)} \text{ para los símbolos impares, para } q = 0, \dots, N_{\text{máx}}-1$$

En otros términos, para los símbolos OFDM pares las palabras de entrada se graban de forma permutada en una memoria y se leen de forma secuencial, en tanto que para los símbolos impares, se graban secuencialmente y se leen de forma permutada. En el caso anterior, la permutación $H(q)$ se define mediante la siguiente tabla:

q	0	1	2	3
H(q)	1	3	0	2

Tabla 1: Permutación para el caso simple en el que $N_{\text{máx}} = 4$

5 Como se muestra en la Figura 4, el papel del desentrelazador 340 consiste en revertir el entrelazamiento realizado por el entrelazador 100, mediante la aplicación del mismo conjunto de direcciones que el generado por un generador de direcciones equivalente, pero aplicando las direcciones de grabación y lectura a la inversa. Así pues, para los símbolos pares, las direcciones 342 de grabación están en orden secuencial, mientras que las direcciones 344 de lectura son aportadas por el generador de direcciones. De forma análoga, el orden de grabación 346 para los símbolos impares se determina a partir del conjunto de direcciones generado por el generador de direcciones, mientras que el de lectura 348 es secuencial.

Generación de direcciones para el modo 16k

10 En la Figura 5 se representa un esquema de un diagrama de bloques del algoritmo utilizado para generar la función de permutación H(q) para el modo de 16k.

15 En la Figura 5 se muestra una implementación del generador 102 de direcciones para el modo 16k. En la Figura 5 un registro de desplazamiento con realimentación lineal está constituido por trece posiciones 200 de registro y una puerta xor 202 que está conectada a las posiciones del registro 200 de desplazamiento de acuerdo con un polinomio generador. Así pues, de acuerdo con el contenido del registro 200 de desplazamiento se obtiene el siguiente bit del registro de desplazamiento procedente de la salida de la puerta xor 202 mediante la aplicación de la operación xor al contenido de los registros de desplazamiento $R[0]$, $R[1]$, $R[4]$, $R[5]$, $R[9]$ y $R[11]$ de acuerdo con el polinomio generador:

$$R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$$

20 De acuerdo con el polinomio generador se genera una secuencia pseudoaleatoria de bits a partir del contenido del registro 200 de desplazamiento. Sin embargo, para generar una dirección para el modo 16k tal como se ha ilustrado, se proporciona un circuito 210 de permutación que permuta el orden de los bits dentro del registro 200.1 de desplazamiento pasando de una ordenación $R'_i[n]$ a una ordenación $R_i[n]$ en la salida del circuito 210 de permutación. A continuación se transmiten trece bits desde la salida del circuito 210 de permutación a través de un canal 212 de conexión, a los que se les añade un bit más significativo a través de un canal 214 que es proporcionado por un circuito 218 conmutador. Así pues, en el canal 212 se genera una dirección de catorce bits. No obstante, con el fin de asegurar la autenticidad de una dirección, un circuito 216 de comprobación de direcciones analiza la dirección generada para comprobar si excede un valor máximo predeterminado. El valor máximo predeterminado puede corresponder al número máximo de señales subportadoras que están disponibles para símbolos de datos dentro del símbolo COFDM, disponible para el modo que se está utilizando. Por otro lado, el entrelazador para el modo 16k también se puede utilizar para otros modos, de manera que el generador 102 de direcciones también se puede utilizar para el modo 2k, el modo 4k, el modo 8k, el modo 16k y el modo 32k, ajustando de forma apropiada el número de la dirección válida máxima.

35 Si la dirección generada excede el valor máximo predeterminado se genera una señal de control por parte de la unidad 216 de comprobación de las direcciones y se le envía a través de un canal 220 de conexión a una unidad 224 de control. Si la dirección generada excede el valor máximo predeterminado, esta dirección es rechazada y se genera una nueva dirección para el símbolo concreto.

Para el modo 16k, se define una palabra R'_i de $(N_r - 1)$ bits, donde $N_r = \log_2 M_{\text{máx}}$ y $M_{\text{máx}} = 16384$ utilizando un LFSR (Registro de Desplazamiento con Realimentación Lineal).

40 El polinomio utilizado para generar esta secuencia es:

modo 16k: $R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$

donde i varía desde 0 hasta $M_{\text{máx}}-1$.

45 Una vez que se ha generado una palabra R'_i , la palabra R'_i se somete a una permutación para producir otra palabra de $(N_r - 1)$ bits que se designa como palabra R_i . R_i se obtiene a partir de R'_i mediante la permutación de sus bits establecida del siguiente modo:

posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
posiciones de bit de R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

Permutación de los bits para el modo 16k

A modo de ejemplo, esto significa que para el modo 16k, el bit número 12 de R'_i se envía a la posición de bit número 8 de R_i .

La dirección $H(q)$ se obtiene entonces a partir de R_i mediante la siguiente ecuación:

$$5 \quad H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

La parte $(i \bmod 2) \cdot 2^{N_r-1}$ de la ecuación anterior está representada en la Figura 5 por el bloque conmutador T 218.

A continuación se realiza una comprobación de la dirección $H(q)$ con el fin de verificar que la dirección generada se encuentra dentro del rango de direcciones aceptables: si $(H(q) < N_{m\acute{a}x})$, donde $N_{m\acute{a}x} = 12096$, por ejemplo, en el modo 16k, la dirección es válida. Si la dirección no es válida, se informa a la unidad de control y ésta intentará generar una nueva $H(q)$ incrementando el índice i .

La función del bloque conmutador es asegurar que no se genera una dirección que exceda de $N_{m\acute{a}x}$ dos veces consecutivas. En efecto, si se ha generado un valor superior, ello quiere decir que el MSB (es decir, el bit de conmutación) de la dirección $H(q)$ tenía el valor uno. Así pues, el siguiente valor generado tendrá un MSB cero, asegurándose de este modo la producción de una dirección válida.

15 Las siguientes ecuaciones resumen el comportamiento global y ayudan a comprender la estructura cíclica de este algoritmo:

$$q = 0;$$

$$\text{for } i = 0; i < M_{m\acute{a}x}; i = i + 1$$

$$\{ H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

$$\text{if } (H(q) < N_{m\acute{a}x}) q = q + 1; \}$$

Como se explicará en breve, en un ejemplo del generador de direcciones, el código de permutación mencionado más arriba se utiliza para generar direcciones para todos los símbolos OFDM. En otro ejemplo, los códigos de permutación se pueden cambiar de un símbolo a otro, de tal modo que se recorre de forma cíclica todo un conjunto de códigos de permutación para los sucesivos símbolos OFDM. Con este fin, se utilizan las líneas 108 y 110 de control, que proporcionan una indicación de si el símbolo OFDM es impar o par, y el modo actual para seleccionar el código de permutación. Este ejemplo de modo en el que se recorre una pluralidad de códigos de permutación resulta particularmente apropiado para el ejemplo en el que sólo se utiliza el entrelazador impar, lo que se explicará más adelante. A través de un canal 111 de control se suministra una señal que indica que se debe utilizar un código de permutación diferente. En un ejemplo, los códigos de permutación posibles son almacenados previamente en el circuito 210 del código de permutación. En otro ejemplo, la unidad 224 de control suministra el nuevo código de permutación que se debe utilizar para un símbolo OFDM.

Análisis que soporta el generador de direcciones para el modo 16k

30 La selección del polinomio generador y del código de permutación que se ha explicado más arriba para el generador 102 de direcciones para el modo 16k se ha identificado tras el análisis de una simulación del rendimiento relativo del entrelazador. El rendimiento relativo del entrelazador se ha evaluado utilizando una capacidad relativa del entrelazador para separar símbolos sucesivos o una "calidad de entrelazamiento". Como se ha mencionado más arriba, el entrelazamiento debe realizarse de forma efectiva tanto para los símbolos impares como para los pares, con el fin de utilizar una sola memoria para el entrelazador. La medida relativa de la calidad del entrelazador se determina definiendo una distancia D (en número de subportadoras). Se elige un criterio C para identificar una serie de subportadoras que se encuentran a una distancia $\leq D$ a la salida del entrelazador y que se encontraban a una distancia $\leq D$ a la entrada del entrelazador, ponderándose a continuación el número de subportadoras para cada distancia D con respecto a la distancia relativa. El criterio C se evalúa tanto para los símbolos COFDM impares como para los pares. Minimizar el criterio C produce un entrelazador de calidad superior.

$$C = \sum_1^{d=D} N_{par}(d) / d + \sum_1^{d=D} N_{impar}(d) / d$$

donde: $N_{par}(d)$ y $N_{impar}(d)$ representan el número de subportadoras en un símbolo par e impar, respectivamente, a la salida del entrelazador que permanecen entre sí dentro de la separación d de la subportadora.

En la Figura 6(a) se muestra el análisis del entrelazador identificado más arriba para el modo 16k para un valor de D

= 5 para los símbolos COFDM pares, y en la Figura 6(b) para los símbolos COFDM impares. De acuerdo con el análisis anterior, el valor de C para el código de permutación identificado más arriba para el modo 16k dio un valor de C = 22,43, esto es, el número ponderado de subportadoras con símbolos que están separados por cinco o menos en la salida de acuerdo con la ecuación anterior fue 22,43.

5 En la Figura 6(c) se proporciona un análisis correspondiente para un código de permutación alternativo para los símbolos COFDM pares y en la Figura 6(d) para los símbolos COFDM impares. Como se puede ver respecto a los resultados que se ilustran en las Figuras 6(a) y 6(b), hay más componentes presentes que representan símbolos separados por distancias pequeñas tales como D = 1 y D = 2, cuando se comparan con los resultados que se muestran en las Figuras 6(a) y 6(b), lo que ilustra que el código de permutación identificado más arriba para el
10 entrelazador de símbolos del modo 16k produce un entrelazador de calidad superior.

Códigos de permutación alternativos

Se ha encontrado que los siguientes nueve códigos alternativos posibles (*n* posiciones de bit de R_i , donde $n = 1$ a 9) proporcionan un entrelazador de símbolos con una buena calidad tal como se determina mediante el criterio C identificado más arriba.

Posiciones de bit de R_i	12	11	10	9	8	7	6	5	4	3	2	1	0
[1]Posiciones de bit de R_i	7	12	5	8	9	1	2	3	4	10	6	11	0
[2]Posiciones de bit de R_i	8	5	4	9	2	3	0	1	6	11	7	12	10
[3]Posiciones de bit de R_i	7	5	6	9	11	2	3	0	8	4	1	12	10
[4]Posiciones de bit de R_i	11	5	10	4	2	1	0	7	12	8	9	6	3
[5]Posiciones de bit de R_i	3	9	4	10	0	6	1	5	8	11	7	2	12
[6]Posiciones de bit de R_i	4	6	3	2	0	7	1	5	8	10	12	9	11
[7]Posiciones de bit de R_i	10	4	3	2	1	8	0	6	7	9	11	5	12
[8]Posiciones de bit de R_i	10	4	11	3	7	1	5	0	2	12	8	6	9
[9]Posiciones de bit de R_i	2	4	11	9	0	10	1	7	8	6	12	3	5

15 Permutación de bits para el modo 16k

El receptor

La Figura 7 proporciona una ilustración de un ejemplo de receptor que se puede utilizar con la presente técnica. Como se muestra en la Figura 7, una señal COFDM es recibida por una antena 300, detectada por un sintonizador 302 y convertida a un formato digital por un conversor 304 de analógico a digital.

20 Un procesador 306 para supresión de intervalos de guarda elimina el intervalo de guarda de un símbolo COFDM recibido, antes que los datos sean recuperados a partir del símbolo COFDM utilizando un procesador 308 de Transformada Rápida de Fourier (FFT) en combinación con un estimador y corrección 310 de canal en cooperación con una unidad 311 de decodificación de la señalización embebida, de acuerdo con técnicas conocidas. Los datos demodulados son recuperados de una unidad 312 de asignación de correspondencia y enviados a un
25 desentrelazador 314 de símbolos, cuyo cometido es invertir la asignación de correspondencia del símbolo de datos recibido para regenerar un flujo de datos de salida con los datos desentrelazados.

Como se muestra en la Figura 7, el desentrelazador 314 de símbolos está constituido por un equipo de procesamiento de datos con una memoria 540 del entrelazador y un generador 542 de direcciones. La memoria del entrelazador es tal como se muestra en la Figura 4, y funciona tal y como se ha explicado más arriba para llevar a
30 cabo la desentrelazamiento utilizando conjuntos de direcciones generados por el generador 542 de direcciones. El generador 542 de direcciones está conformado como se muestra en la Figura 8, y está preparado para generar direcciones correspondientes para asignar los símbolos de datos recuperados a partir de cada señal subportadora COFDM a un flujo de datos de salida.

Los componentes restantes del receptor COFDM que se muestra en la Figura 7 se proporcionan para efectuar la
35 decodificación 318 con corrección de errores con el fin de corregir los errores y recuperar una estimación de los datos originales.

Una ventaja que proporciona la presente técnica tanto para el receptor como para el transmisor es que un entrelazador de símbolos y un desentrelazador de símbolos funcionando en los receptores y transmisores pueden conmutarse entre los modos 1k, 2k, 4k, 8k, 16k y 32k cambiando los polinomios generadores y el orden de
40 permutación. De ahí que el generador 542 de direcciones que se muestra en la Figura 8 incluya una entrada 544 que proporciona una indicación del modo, así como una entrada 546 que indica si hay símbolos COFDM impares/pares. De este modo se proporciona una aplicación flexible, puesto que un entrelazador y un

desentrelazador de símbolos pueden estar formados como se muestra en las Figuras 3 y 8, con un generador de direcciones como se ilustra en cualquiera de las Figuras 5. El generador de direcciones se puede adaptar, por consiguiente, a los diferentes modos cambiando a los polinomios generadores y a los órdenes de permutación indicados para cada uno de los modos. Esto puede realizarse, por ejemplo, mediante un cambio de software.

5 Alternativamente, en otros modos de realización, en el receptor de la unidad 311 de procesamiento de señalización embebida se puede detectar una señal embebida que indique el modo de la transmisión DVB-T2, y utilizarla para configurar automáticamente el desentrelazador de símbolos en función del modo detectado.

Uso óptimo de entrelazadores impares

10 Como se muestra en la Figura 4, dos procesos de entrelazamiento de símbolos, uno para símbolos COFDM pares y otro para símbolos COFDM impares, permiten que la cantidad de memoria utilizada durante el entrelazamiento se reduzca. En el ejemplo que se muestra en la Figura 4, el orden de grabación para el símbolo impar es el mismo que el orden de lectura para el símbolo par; por lo tanto, mientras se está leyendo un símbolo impar de la memoria, se puede grabar un símbolo par en la ubicación de la que se acaba de leer; más tarde, cuando se lee ese símbolo par de la memoria, el siguiente símbolo impar se puede grabar en la ubicación de la que se acaba de leer.

15 Como se ha mencionado más arriba, durante un análisis experimental del rendimiento de los entrelazadores (utilizando el criterio C como se ha definido más arriba) y, por ejemplo, tal como se muestra en la Figura 9(a) y en la Figura 9(b), se ha descubierto que los esquemas de entrelazamiento diseñados para los entrelazadores de símbolos 2k y 8k para el DVB-T y el entrelazador de símbolos 4k para el DVB-H funcionan mejor para los símbolos impares que para los símbolos pares. Así, a partir de los resultados de la evaluación del rendimiento de los entrelazadores, por ejemplo, como ilustran las Figuras 9(a) y 9(b), se ha revelado que los entrelazadores impares funcionan mejor que los entrelazadores pares. Esto se puede ver comparando la Figura 9(a) que muestra los resultados para un entrelazador para símbolos pares y la Figura 6 (b) que ilustra los resultados para símbolos impares: se puede comprobar que la distancia promedio en la salida del entrelazador de las subportadoras que se encontraban adyacentes a la entrada del entrelazador es mayor para un entrelazador para símbolos impares que para un entrelazador para símbolos pares.

25 Como se puede suponer, la cantidad de memoria de entrelazador necesaria para implementar un entrelazador de símbolos depende del número de símbolos de datos que deban ser asignados a los símbolos portadores COFDM. Así, un entrelazador de símbolos para el modo 16k requiere la mitad de la memoria necesaria para implementar un entrelazador de símbolos para el modo 32k y, de modo análogo, la cantidad de memoria necesaria para implementar un entrelazador de símbolos de 8k es la mitad de la necesaria para implementar un entrelazador de 16k. Por lo tanto, un transmisor o receptor que esté configurado para implementar un entrelazador de símbolos para uno de los modos, lo que determina el número máximo de símbolos de datos que pueden ser transportados por un símbolo OFDM, incluirá memoria suficiente para implementar dos procesos de entrelazamiento impar para cualquier otro modo que proporcione la mitad o menos de la mitad del número de subportadoras por símbolo OFDM en el modo máximo dado. Por ejemplo, un receptor o transmisor que incluya un entrelazador de 32k dispondrá de memoria suficiente para dar cabida a dos procesos de entrelazamiento impares de 16k, cada uno con su propia memoria de 16k.

30 Por lo tanto, para aprovechar el mejor rendimiento de los procesos de entrelazamiento impar, un entrelazador de símbolos capaz de dar cabida a múltiples modos de modulación se puede configurar de modo que sólo se utilice un proceso de entrelazamiento de símbolos impares si se está utilizando en un modo que comprende la mitad o menos de la mitad del número de subportadoras en un modo máximo, que representa el número máximo de subportadoras por símbolo de OFDM. Este modo máximo establece, por consiguiente, el tamaño máximo de la memoria. Por ejemplo, en un transmisor/receptor capaz de operar en el modo 32k, cuando opera en un modo con menos portadoras (esto es, 16k, 8k, 4k ó 1k), en lugar de emplear procesos independientes de entrelazamiento de símbolo pares e impares se utilizarían dos entrelazadores impares.

35 En la Figura 10 se muestra una ilustración de una adaptación del entrelazador 33 de símbolos que se muestra en la Figura 3 cuando se entrelazan símbolos de datos de entrada en las subportadoras de símbolos OFDM únicamente en el modo de entrelazamiento impar. El entrelazador 33.1 de símbolos corresponde exactamente al entrelazador 33 de símbolos que se muestra en la Figura 3, excepto en que el generador 102.1 de direcciones está adaptado para realizar únicamente el proceso de entrelazamiento impar. Para el ejemplo que se muestra en la Figura 10, el entrelazador 33.1 de símbolos está operando en un modo en el que el número de símbolos de datos que puede ser transportado por símbolo OFDM es menor que la mitad del número máximo que puede ser transportado por un símbolo OFDM en un modo de operación con el mayor número de subportadoras por símbolo OFDM. Así pues, el entrelazador 33.1 de símbolos se ha configurado para segmentar la memoria 100 del entrelazador. Para la presente ilustración que se muestra en la Figura 10, la memoria 100 del entrelazador se divide en dos partes, 401, 402. Como una ilustración del entrelazador 33.1 de símbolos operando en un modo en el que los símbolos de datos se asignan a los símbolos OFDM utilizando el proceso de entrelazamiento impar, la Figura 10 proporciona una vista ampliada de cada una de las mitades 401 y 402 de la memoria del entrelazador. La vista ampliada proporciona una ilustración del modo de entrelazamiento impar representado para la parte del transmisor mediante cuatro símbolos A, B, C y D

reproducidos de la Figura 4. Así, como se muestra en la Figura 10, para conjuntos sucesivos de primeros y segundos símbolos de datos, los símbolos de datos se graban en la memoria 401, 402 del entrelazador en un orden secuencial, y se leen de acuerdo con direcciones generadas por el generador 102 de direcciones en un orden permutado de acuerdo con las direcciones generadas por el generador de direcciones como se ha explicado previamente. Así pues, tal como se ilustra en la Figura 10, como se está realizando un proceso de entrelazamiento impar para sucesivos conjuntos de primeros y segundos símbolos de datos, la memoria del entrelazador debe dividirse en dos partes. Los símbolos de un primer conjunto de símbolos de datos se graban en una primera mitad de la memoria 401 del entrelazador, y los símbolos de un segundo conjunto de símbolos de datos se graban en una segunda parte de la memoria 402 del entrelazador, debido a que el entrelazador de símbolos ya no puede reutilizar las mismas partes de la memoria del entrelazador de símbolos a las que puede dar cabida cuando está operando en un modo impar y par de entrelazamiento.

En la Figura 11 se muestra un ejemplo correspondiente del entrelazador en el receptor, que aparece en la Figura 8, pero adaptado para operar únicamente con un proceso de entrelazamiento impar. Como se muestra en la Figura 11, la memoria 540 del entrelazador se encuentra dividida en dos mitades 410, 412, y el generador 542 de direcciones está adaptado para grabar símbolos de datos en la memoria del entrelazador y leer símbolos de datos de la memoria del entrelazador en la partes respectivas de la memoria 410, 402 para conjuntos sucesivos de símbolos de datos para implementar únicamente un proceso de entrelazamiento impar. Por consiguiente, en correspondencia con la representación que se muestra en la Figura 10, la Figura 11 muestra la asignación de correspondencia del proceso de entrelazamiento que se lleva a cabo en el receptor y se ilustra en la Figura 4 como una vista ampliada operando tanto para la primera como para la segunda mitad de la memoria 410, 412 de entrelazamiento. Así pues, se graba un primer conjunto de símbolos de datos en una primera parte de la memoria 410 del entrelazador en un orden permutado definido de acuerdo con las direcciones generadas por el generador 542 de direcciones como se ilustra por el orden de grabación en los símbolos de datos que proporciona una secuencia de grabación de 1, 3, 0, 2. Como se ilustra, a continuación los símbolos de datos son leídos de la primera parte de la memoria 410 del entrelazador en un orden secuencial, recuperándose de este modo la secuencia original A, B, C, D.

En correspondencia, un segundo conjunto subsiguiente de símbolos de datos que se han recuperado de un símbolo OFDM correlativo se graban en un orden permutado en la segunda mitad de la memoria 412 del entrelazador de acuerdo con las direcciones generadas por el generador 542 de direcciones, y se leen en el flujo de datos de salida en un orden secuencial.

En un ejemplo las direcciones generadas para un primer conjunto de símbolos de datos que se deben grabar en la primera mitad de la memoria 410 del entrelazador se pueden volver a utilizar para grabar un segundo conjunto posterior de símbolos de datos en la memoria 412 del entrelazador.

De forma correspondiente, el transmisor también puede volver a utilizar las direcciones generadas para una mitad del entrelazador para un primer conjunto de símbolos de datos, para leer un segundo conjunto de símbolos de datos que han sido grabados en la segunda mitad de la memoria en orden secuencial.

Entrelazador impar con desplazamiento

El rendimiento de un entrelazador que utiliza dos entrelazadores impares se podría mejorar aún más utilizando una secuencia de entrelazadores solo impares en lugar de un único entrelazador solo impar, de modo que cualquier bit de datos de entrada al entrelazador no siempre modula la misma portadora en el símbolo OFDM.

Una secuencia de entrelazadores sólo impares podría realizarse, bien:

- incorporando un desplazamiento a la dirección del entrelazador utilizando como módulo el número de portadoras de datos, o
- utilizando una secuencia de permutaciones en el entrelazador

Incorporación de un desplazamiento

La incorporación de un desplazamiento a la dirección del entrelazador utilizando como módulo el número de portadoras de datos desplaza y recicla efectivamente el símbolo OFDM, de manera que cualquier bit de datos de entrada al entrelazador no siempre modula la misma portadora en el símbolo OFDM. Así pues, el generador de direcciones podría incluir opcionalmente un generador de desplazamiento, que genera un desplazamiento para una dirección generada por el generador de direcciones en el canal de salida $H(q)$.

El desplazamiento cambiaría cada símbolo. Por ejemplo, este desplazamiento podría proporcionar una secuencia cíclica. Esta secuencia cíclica podría ser, por ejemplo, de longitud 4 y podría constar, por ejemplo, de números primos. Por ejemplo, una secuencia semejante podría ser:

0, 41, 97, 157

Adicionalmente, el desplazamiento puede ser una secuencia aleatoria, que puede ser generada por otro generador de direcciones a partir de un entrelazador de símbolos OFDM similar, o puede ser generada por cualquier otro medio.

Utilización de una secuencia de permutaciones

5 Como se muestra en las Figuras 5, se extiende una línea 111 de control desde la unidad de control del generador de direcciones hasta el circuito de permutación. Como se ha mencionado más arriba, en un ejemplo el generador de direcciones puede aplicar a los sucesivos símbolos OFDM un código de permutación diferente entre un conjunto de códigos de permutación. La utilización de una secuencia de permutaciones en el generador de direcciones del entrelazador reduce la probabilidad de que cualquier bit de la entrada de datos al entrelazador siempre module la misma subportadora en el símbolo OFDM.

10 Esto podría ser, por ejemplo, una secuencia cíclica, de modo que se utiliza un código de permutación diferente entre un conjunto de códigos de permutación en una secuencia para los sucesivos símbolos OFDM y a continuación se repite. Esta secuencia cíclica podría ser, por ejemplo, de longitud dos o cuatro. Para el ejemplo del entrelazador de símbolos de 16k una secuencia de dos códigos de permutación, que se utilizan de forma cíclica por cada símbolo OFDM podría ser, por ejemplo:

8 4 3 2 0 11 1 5 12 10 6 7 9

7 9 5 3 11 1 4 0 2 12 10 8 6

en tanto que una secuencia de cuatro códigos de permutación podría ser:

8 4 3 2 0 11 1 5 12 10 6 7 9

20 7 9 5 3 11 1 4 0 2 12 10 8 6

6 11 7 5 2 3 0 1 10 8 12 9 4

5 12 9 0 3 10 2 4 6 7 8 11 1

25 El cambio de un código de permutación a otro podría efectuarse en respuesta a un cambio en la señal Impar/Par indicado a través del canal 108 de control. Como respuesta, la unidad 224 de control cambia el código de permutación en el circuito 210 del código de permutación a través de la línea 111 de control.

Para el ejemplo de un entrelazador de símbolos de 1k, dos códigos de permutación podrían ser:

4 3 2 1 0 5 6 7 8

3 2 5 0 1 4 7 8 6

en tanto que cuatro códigos de permutación podrían ser:

30 4 3 2 1 0 5 6 7 8

3 2 5 0 1 4 7 8 6

7 5 3 8 2 6 1 4 0

1 6 8 2 5 3 4 0 7

35 Para los modos 2k, 4k y 8k de las portadoras o, desde luego, para el modo de portadora 0,5k son posibles otras combinaciones de secuencias. Por ejemplo, los siguientes códigos de permutación para cada uno de los modos 0,5k, 2k, 4k y 8k proporcionan una buena descorrelación de los símbolos y se pueden utilizar de forma cíclica para generar el desplazamiento para la dirección generada por un generador de direcciones para cada uno de los respectivos modos:

Modo 2k:

40 0 7 5 1 8 2 6 9 3 4 *

4 8 3 2 9 0 1 5 6 7

8 3 9 0 2 1 5 7 4 6

7 0 4 8 3 6 9 1 5 2

ES 2 403 516 T3

Modo 4k:

7 10 5 8 1 2 4 9 0 3 6 **

6 2 7 10 8 0 3 4 1 9 5

9 5 4 2 3 10 1 0 6 8 7

5 1 4 10 3 9 7 2 6 5 0 8

Modo 8k:

5 11 3 0 10 8 6 9 2 4 1 7 *

10 8 5 4 2 9 1 0 6 7 3 11

11 6 9 8 4 7 2 1 0 10 5 3

10 8 3 11 7 9 1 5 6 4 0 2 10

Para los códigos de permutación indicados más arriba, los dos primeros podrían ser utilizados en un ciclo de dos secuencias, en tanto que los cuatro se podrían utilizar para un ciclo de cuatro secuencias. Asimismo, más abajo se proporcionan algunas secuencias adicionales de cuatro códigos de permutación, que se utilizan de forma cíclica para proporcionar el desplazamiento en un generador de direcciones con el fin de producir una buena descorrelación en los símbolos intercalados (algunas son comunes con las de más arriba):

15

Modo 0.5k:

3 7 4 6 1 2 0 5

4 2 5 7 3 0 1 6

5 3 6 0 4 1 2 7

20 6 1 0 5 2 7 4 3

Modo 2k:

0 7 5 1 8 2 6 9 3 4 *

3 2 7 0 1 5 8 4 9 6

4 8 3 2 9 0 1 5 6 7

25 7 3 9 5 2 1 0 6 4 8

Modo 4k:

7 10 5 8 1 2 4 9 0 3 6 **

6 2 7 10 8 0 3 4 1 9 5

10 3 4 1 2 7 0 6 8 5 9

30 0 8 9 5 10 4 6 3 2 1 7

Modo 8k:

5 11 3 0 10 8 6 9 2 4 1 7 *

8 10 7 6 0 5 2 1 3 9 4 11

11 3 6 9 2 7 4 10 5 1 0 8

35 10 8 1 7 5 6 0 11 4 2 9 3

* Estas son las permutaciones en el estándar DVB-T

** Estas son las permutaciones en el estándar DVB-H

5 En la solicitud de patente europea número 04251667.4 se divulgan algunos ejemplos de generadores de direcciones, junto con los correspondientes entrelazadores, para los modos 2k, 4k y 8k. En nuestra solicitud de patente del Reino Unido número 0722553.5 en tramitación junto con la presente, se divulga un generador de direcciones para el modo 0.5k. A los modos de realización descritos más arriba se les pueden aplicar diversas modificaciones sin apartarse del alcance de la presente invención. En particular, el ejemplo de representación del polinomio generador y el orden de permutación que se han utilizado para representar aspectos de la invención no pretenden ser limitantes y se extienden a formas equivalentes del polinomio generador y del orden de permutación, como se define dentro del alcance de las reivindicaciones adjuntas.

10 Como se observará, el transmisor y el receptor que se muestran en las Figuras 1 y 7, respectivamente, se proporcionan únicamente a modo de ejemplo y no pretenden ser limitantes. Por ejemplo, se apreciará que se puede modificar la posición del entrelazador y el desentrelazador de símbolos con respecto, por ejemplo, al entrelazador de bits y a la unidad de asignación de correspondencia. Como se podrá apreciar, el efecto del entrelazador y del desentrelazador no cambia con su posición relativa, aunque el entrelazador pueda entrelazar símbolos I/Q en lugar de vectores de v-bits. En el receptor se puede realizar un cambio equivalente. De acuerdo con ello, el entrelazador y el desentrelazador pueden estar operando con diferentes tipos de datos, y se pueden colocar en una posición diferente de la descrita en los ejemplos de modos de realización.

15 De acuerdo con un modo de realización de un receptor, se proporciona un dispositivo de procesamiento de datos para asignar los símbolos recibidos a través de un número predeterminado de señales subportadoras de un símbolo Multiplexado por División de Frecuencia Ortogonal (OFDM) a un flujo de símbolos de salida. El equipo de procesamiento de datos comprende

20 un desentrelazador que se utiliza para grabar en una memoria el número predeterminado de símbolos de datos recibidos a través de las señales subportadoras OFDM y para leer de la memoria los símbolos de datos y asociarlos al flujo de símbolos de salida con el fin de realizar la asignación de correspondencia, realizándose dicha lectura en un orden diferente del de la grabación y estando determinado dicho orden por un conjunto de direcciones, de tal modo que los símbolos de datos resultan desentrelazados a partir de las señales subportadoras OFDM,

25 un generador de direcciones que se utiliza para generar el conjunto de direcciones, generándose una dirección para cada uno de los símbolos de datos recibidos con el fin de indicar la señal subportadora OFDM desde la que el símbolo de datos recibido se va a asignar al flujo de símbolos de salida, comprendiendo el generador de direcciones

30 un registro de desplazamiento con realimentación lineal que incluye un número predeterminado de posiciones de registro y que se utiliza para generar una secuencia pseudoaleatoria de bits de acuerdo con un polinomio generador,

un circuito de permutación que se utiliza para recibir el contenido de las posiciones del registro de desplazamiento y permutar los bits presentes en las posiciones del registro de acuerdo con un orden de permutación para formar una dirección de una de las subportadoras OFDM, y

35 una unidad de control que se utiliza en combinación con un circuito de comprobación de direcciones, para generar una nueva dirección cuando una dirección generada excede una dirección válida máxima predeterminada, caracterizada por que

la dirección válida máxima predeterminada es aproximadamente dieciséis mil,

40 el registro de desplazamiento con realimentación lineal dispone de trece posiciones de registro con un polinomio generador $R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$ para el registro de desplazamiento con realimentación lineal, y el orden de permutación forma, mediante un bit adicional, una dirección $R_i[n]$ de catorce bits para el i -ésimo símbolo de datos a partir del bit presente en la n -ésima posición $R'_i[n]$ del registro de acuerdo con un código definido por la tabla:

posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
posiciones de bit de R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

45 Como se ha explicado más arriba, los códigos de permutación y el polinomio generador del entrelazador, que se han descrito haciendo referencia a una implementación de un modo particular, se pueden aplicar igualmente a otros modos, simplemente cambiando la dirección máxima permitida predeterminada de acuerdo con el número de subportadoras para dicho modo.

50 Como se ha mencionado más arriba, los modos de realización de la presente invención encuentran aplicación con estándares DVB tales como DVB-T, DVB-T2 y DVB-H. Por ejemplo, algunos modos de realización de la presente invención se pueden utilizar en un transmisor o en un receptor que funcione de acuerdo con el estándar DVB-H, en terminales móviles portátiles. Los terminales móviles pueden estar integrados, por ejemplo, en teléfonos móviles (ya

sean de segunda o tercera generación, o posterior), en Asistentes Personales Digitales o en Tablet PC. Estos terminales móviles pueden ser capaces de recibir señales compatibles con DVB-H o DVB-T en el interior de edificios o mientras se desplazan, por ejemplo, en automóviles o trenes, incluso a altas velocidades. Los terminales móviles pueden estar, por ejemplo, alimentados por baterías, adaptadores de red o mediante corriente continua de bajo voltaje, o alimentados desde una batería de coche. Los servicios que se pueden proporcionar mediante DVB-H pueden incluir voz, mensajería, navegación por Internet, radio, imágenes de vídeo fijas o animadas, servicios de televisión, servicios interactivos, vídeo o vídeo casi a la carta y otras opciones. Los servicios podrían funcionar en combinación entre sí. En otros ejemplos, algunos modos de realización de la presente invención encuentran aplicación con el estándar DVB-T2, tal como se especifica de acuerdo con la norma EN 302 755 del ETSI. En otros ejemplos, algunos modos de realización de la presente invención encuentran aplicación con el estándar de transmisión por cable conocido como DVB-C2. No obstante, se apreciará que la presente invención no se limita a la aplicación con el DVB, y se puede extender a otros estándares para transmisión o recepción, tanto fija como móvil.

REIVINDICACIONES

1. Un equipo de procesamiento de datos que se utiliza para asignar símbolos de datos de entrada que se van a comunicar sobre un número predeterminado de señales subportadoras de símbolos Multiplexados por División de Frecuencia Ortogonal, OFDM, estando determinado el número predeterminado de señales subportadoras de acuerdo con uno de una pluralidad de modos de operación, e incluyendo los símbolos de datos de entrada unos primeros conjuntos de símbolos de datos de entrada para ser asignados a unos primeros símbolos OFDM y unos segundos conjuntos de símbolos de datos de entrada para ser asignados a unos segundos símbolos OFDM, comprendiendo el equipo de procesamiento de datos

un entrelazador (33) que se utiliza para grabar en una memoria (100) el número predeterminado de símbolos de datos para ser asignados a las señales subportadoras OFDM, y para leer de la memoria (100) los símbolos de datos para las subportadoras OFDM con el fin de establecer la asignación, realizándose la lectura en un orden diferente del de grabación, estando determinado dicho orden a partir de un conjunto de direcciones, de tal modo que los símbolos de datos resultan entrelazados sobre las señales subportadoras,

un generador (102) de direcciones que se utiliza para generar el conjunto de direcciones, generándose una dirección para cada uno de los símbolos de entrada con el fin de asignar los símbolos de datos de entrada a una de las señales subportadoras, comprendiendo dicho generador (102) de direcciones

un registro (200) de desplazamiento con realimentación lineal que incluye un número predeterminado de posiciones de registro y que se utiliza para generar una secuencia pseudoaleatoria de bits de acuerdo con un polinomio generador,

un circuito (210) de permutación que se utiliza para recibir el contenido de las posiciones del registro de desplazamiento y permutar el orden de los bits presentes en las posiciones del registro de acuerdo con un orden de permutación para formar una dirección de una de las subportadoras OFDM, y

una unidad (224) de control que se utiliza en combinación con un circuito (216) de comprobación de direcciones para regenerar una dirección cuando una dirección generada excede una dirección válida máxima predeterminada, en donde uno de una pluralidad de modos de operación proporciona aproximadamente dieciséis mil subportadoras por cada símbolo OFDM, proporcionando dichas aproximadamente dieciséis mil subportadoras la mitad o menos de la mitad de un número máximo de subportadoras en los símbolos OFDM de cualquiera de los modos de operación,

la dirección válida máxima predeterminada es aproximadamente dieciséis mil,

el registro (200) de desplazamiento con realimentación lineal dispone de trece posiciones de registro con un polinomio generador $R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$ para el registro de desplazamiento con realimentación lineal, y el orden de permutación forma, junto con un bit adicional, una dirección de catorce bits, y el equipo de procesamiento de datos está adaptado para entrelazar los símbolos de datos de entrada tanto del primer como del segundo conjuntos de acuerdo con únicamente un proceso de entrelazamiento impar,

incluyendo el proceso de entrelazamiento impar

grabar los primeros conjuntos de símbolos de datos de entrada en una primera parte (401) de la memoria (100) del entrelazador de acuerdo con un orden secuencial de los primeros conjuntos de símbolos de datos de entrada,

leer los primeros conjuntos de símbolos de datos de entrada de la primera parte (401) de la memoria (100) del entrelazador y asignarlos a las señales de las subportadoras de los primeros símbolos OFDM de acuerdo con un orden definido por el conjunto de direcciones,

grabar el segundo conjunto de símbolos de datos de entrada en una segunda parte de la memoria (402) del entrelazador de acuerdo con un orden secuencial de los segundos conjuntos de símbolos de datos de entrada, y

leer los segundos conjuntos de símbolos de datos de entrada de la segunda parte (402) de la memoria (100) del entrelazador y asignarlos a las señales subportadoras de los segundos símbolos OFDM de acuerdo con un orden definido por el conjunto de direcciones.

2. Un equipo de procesamiento de datos como el que se reivindica en la Reivindicación 1, en el que el generador (102) de direcciones incluye un generador de desplazamiento que se utiliza para añadir un desplazamiento a la dirección de catorce bits formada, utilizando como módulo el número predeterminado de símbolos de subportadoras.

3. Un equipo de procesamiento de datos como el que se reivindica en las Reivindicaciones 2 ó 3, en el que el desplazamiento es un desplazamiento aleatorio y el generador (102) del desplazamiento genera el desplazamiento aleatorio utilizando un generador (102) de direcciones para uno de la pluralidad de modos de operación.

4. Un equipo de procesamiento de datos como el que se reivindica en cualquiera de las Reivindicaciones precedentes, en el que el código de permutación forma la dirección $R_i[n]$ de catorce bits para el i -ésimo símbolo de datos a partir del bit presente en la n -ésima posición $R'_i[n]$ del registro de acuerdo con un código definido mediante la tabla:

Posiciones de bit R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

5. Un equipo de procesamiento de datos como el que se reivindica en cualquiera de las Reivindicaciones precedentes, en el que el circuito (210) de permutación se utiliza para aplicar cíclicamente una secuencia de códigos de permutación diferentes, lo que da lugar a la permutación del orden de los bits de las posiciones del registro para formar las direcciones para los símbolos OFDM sucesivos.

6. Un equipo de procesamiento de datos como el que se reivindica en la Reivindicación 5, en el que la secuencia de códigos de permutación comprende dos códigos de permutación, que son

Posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit de R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

y

Posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit de R_i	7	9	5	3	11	1	4	0	2	12	10	8	6

7. Un transmisor para transmitir datos utilizando Multiplexación por División de Frecuencia Ortogonal (OFDM), incluyendo dicho transmisor un equipo de procesamiento de datos de acuerdo con cualquiera de las Reivindicaciones precedentes.

8. Un método para asignar símbolos de datos de entrada que hay que comunicar, a un número predeterminado de señales subportadoras de símbolos Multiplexados por División de Frecuencia Ortogonal, OFDM, estando determinado dicho número predeterminado de señales subportadoras de acuerdo con uno de una pluralidad de modos de operación, e incluyendo los símbolos de datos de entrada unos primeros conjuntos de símbolos de datos de entrada para ser asignados a unos primeros símbolos OFDM y unos segundos conjuntos de símbolos de datos de entrada para ser asignados a unos segundos símbolos OFDM, comprendiendo el método

grabar en una memoria (100) el número predeterminado de símbolos de datos para ser asignados a las señales subportadoras OFDM,

leer de la memoria (100) los símbolos de datos para las subportadoras OFDM con el fin de establecer la asignación, realizándose la lectura en un orden diferente del de grabación, estando determinado dicho orden a partir de un conjunto de direcciones, de tal modo que los símbolos de datos resultan entrelazados en las señales subportadoras,

generar el conjunto de direcciones, generándose una dirección para cada uno de los símbolos de entrada con el fin de asignar el símbolo de datos de entrada a una de las señales subportadoras, comprendiendo dicho la generación del conjunto de direcciones

utilizar un registro (200) de desplazamiento con realimentación lineal que incluye un número predeterminado de posiciones de registro para generar una secuencia pseudoaleatoria de bits de acuerdo con un polinomio generador,

utilizar un circuito (210) de permutación que se utiliza para recibir el contenido de las posiciones del registro de desplazamiento con el fin de permutar el orden de los bits presentes en las posiciones del registro de acuerdo con un orden de permutación para formar una dirección, y

regenerar una dirección cuando una dirección generada excede una dirección válida máxima predeterminada, en donde uno de una pluralidad de modos de operación proporciona aproximadamente dieciséis mil subportadoras, proporcionando dichas aproximadamente dieciséis mil subportadoras la mitad o menos de la mitad de un número máximo de subportadoras en los símbolos OFDM de cualquiera de los modos de operación,

la dirección válida máxima predeterminada es aproximadamente dieciséis mil,

el registro (200) de desplazamiento con realimentación lineal dispone de trece posiciones de registro con un polinomio generador $R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$ para el registro de desplazamiento con realimentación lineal, y el orden de permutación forma, junto con un bit adicional, una dirección

de catorce bits, y

entrelazar los símbolos de datos de entrada tanto del primer como del segundo conjuntos de acuerdo con únicamente un proceso de entrelazamiento impar,

5 grabar los primeros conjuntos de símbolos de datos de entrada en una primera parte (401) de la memoria (100) del entrelazador de acuerdo con un orden secuencial de los primeros conjuntos de símbolos de datos de entrada,

leer los primeros conjuntos de símbolos de datos de entrada de la primera parte (401) de la memoria (100) del entrelazador y asignarlos a las señales subportadoras de los primeros símbolos OFDM de acuerdo con un orden definido por el conjunto de direcciones,

10 grabar el segundo conjunto de símbolos de datos de entrada en una segunda parte (402) de la memoria (100) del entrelazador de acuerdo con un orden secuencial de los segundos conjuntos de símbolos de datos de entrada, y

leer los segundos conjuntos de símbolos de datos de entrada de la segunda parte (402) de la memoria (100) del entrelazador y asignarlos a las señales subportadoras de los segundos símbolos OFDM de acuerdo con un orden definido por el conjunto de direcciones.

9. Un método como el que se reivindica en la Reivindicación 8, que comprende

15 añadir un desplazamiento a la dirección de catorce bits formada, utilizando como módulo el número predeterminado de símbolos de subportadoras.

10. Un método como el que se reivindica en la Reivindicación 9, que comprende la generación del desplazamiento utilizando un generador (102) de direcciones de uno de la pluralidad de modos de operación, siendo el desplazamiento un desplazamiento aleatorio.

20 11. Un método como el que se reivindica en cualquiera de las Reivindicaciones 8, 9 ó 10, en el que el código de permutación forma la dirección $R_i[n]$ de catorce bits para el i -ésimo símbolo de datos a partir del bit presente en la n -ésima posición $R'_i[n]$ del registro de acuerdo con un código definido mediante la tabla:

Posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit de R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

25 12. Un método como el que se reivindica en cualquiera de las Reivindicaciones 8 a 11, que comprende cambiar el código de permutación, lo que da como resultado la permutación del orden de los bits de las posiciones del registro para formar el conjunto de direcciones desde un símbolo OFDM a otro.

13. Un método como el que se reivindica en la Reivindicación 12, en el que el cambio del código de permutación, lo que da como resultado la permutación del orden de los bits de las posiciones del registro para formar las direcciones desde un símbolo OFDM a otro, incluye la utilización cíclica de una secuencia de códigos de permutación diferentes para los símbolos OFDM sucesivos.

30 14. Un método como el que se reivindica en la Reivindicación 13, en el que la secuencia de códigos de permutación comprende dos códigos de permutación, que son

Posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit de R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

y

Posiciones de bit de R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit de R_i	7	9	5	3	11	1	4	0	2	12	10	8	6

35 15. Un método para la transmisión de símbolos de datos mediante un número predeterminado de señales subportadoras de símbolos Multiplexados por División de Frecuencia Ortogonal (OFDM), comprendiendo dicho método

recibir un número predeterminado de símbolos de datos, y

asignar los símbolos de datos al número predeterminado de señales subportadoras de los símbolos OFDM de acuerdo con cualquiera de las Reivindicaciones 8 a 14.

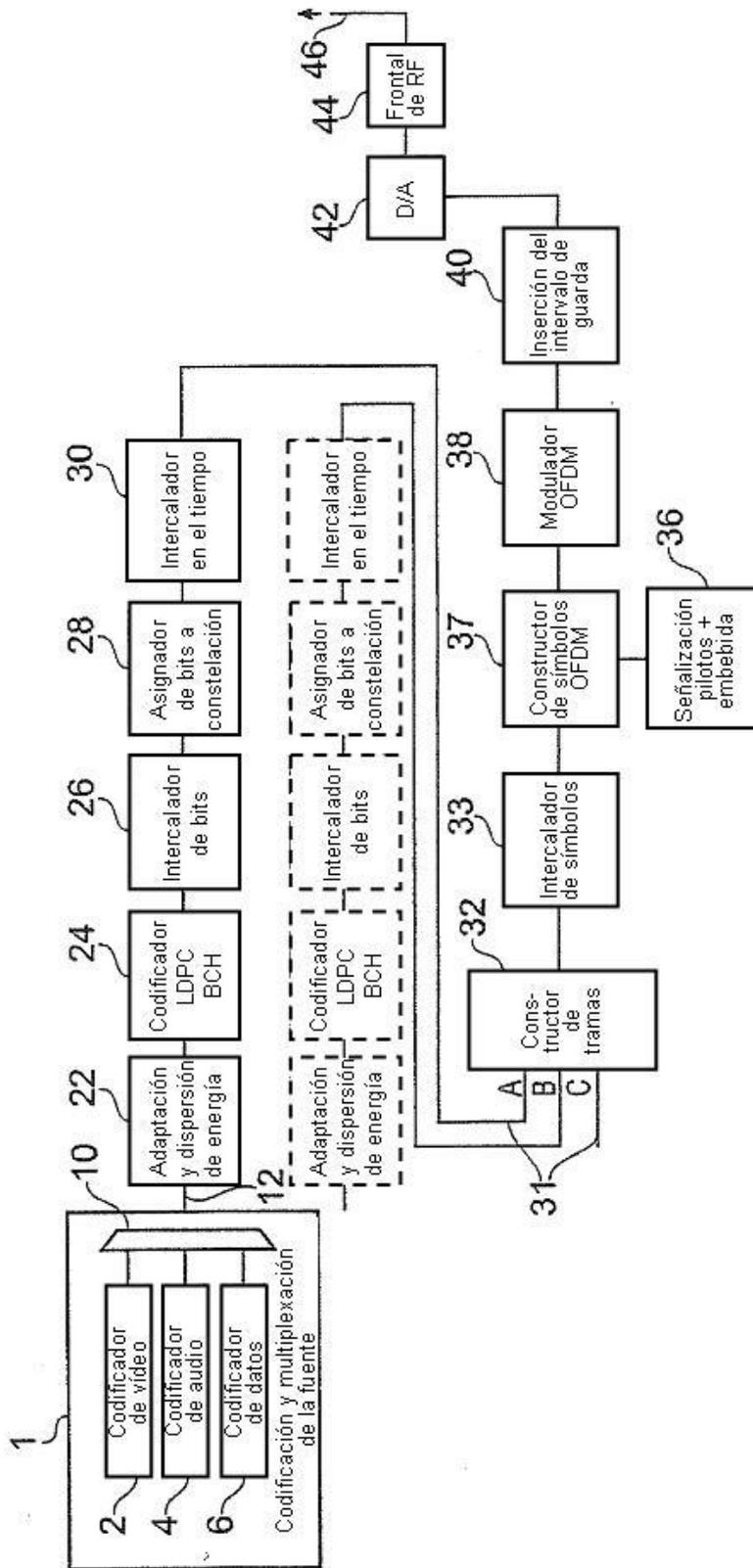


FIG. 1

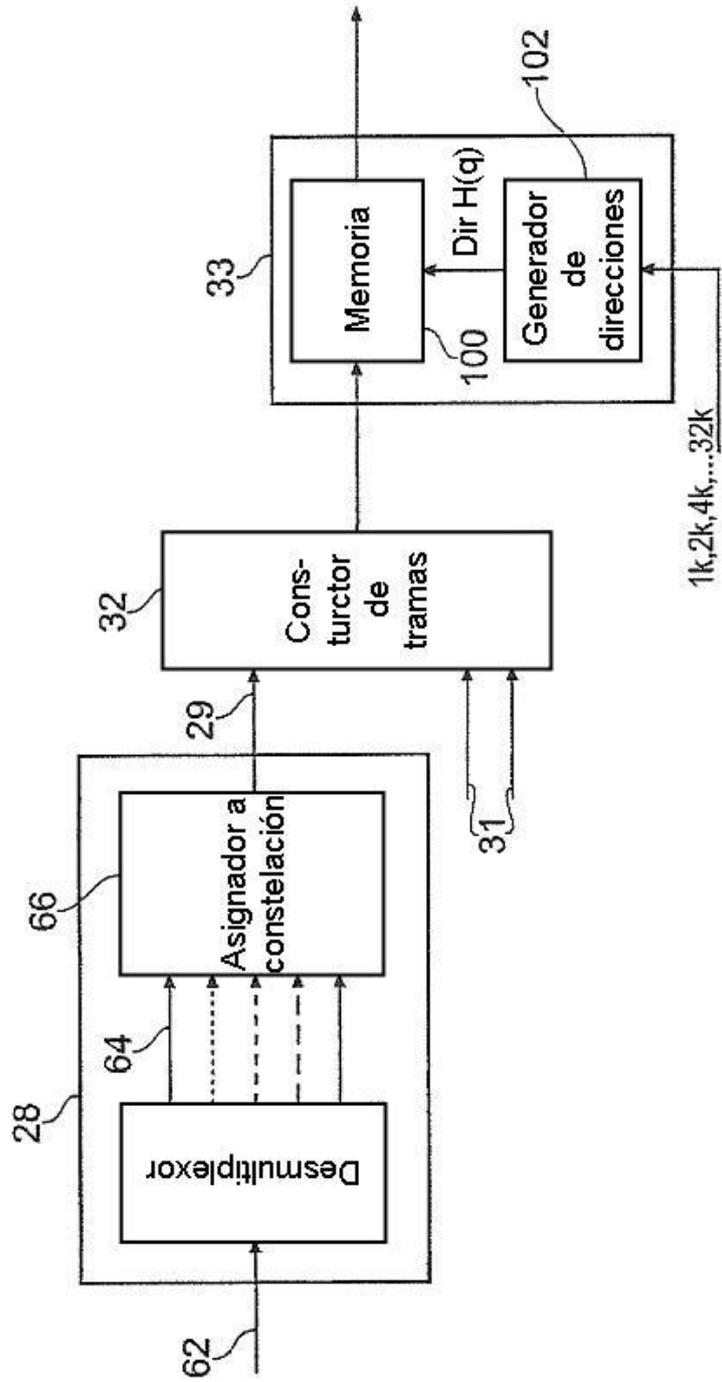


FIG. 2

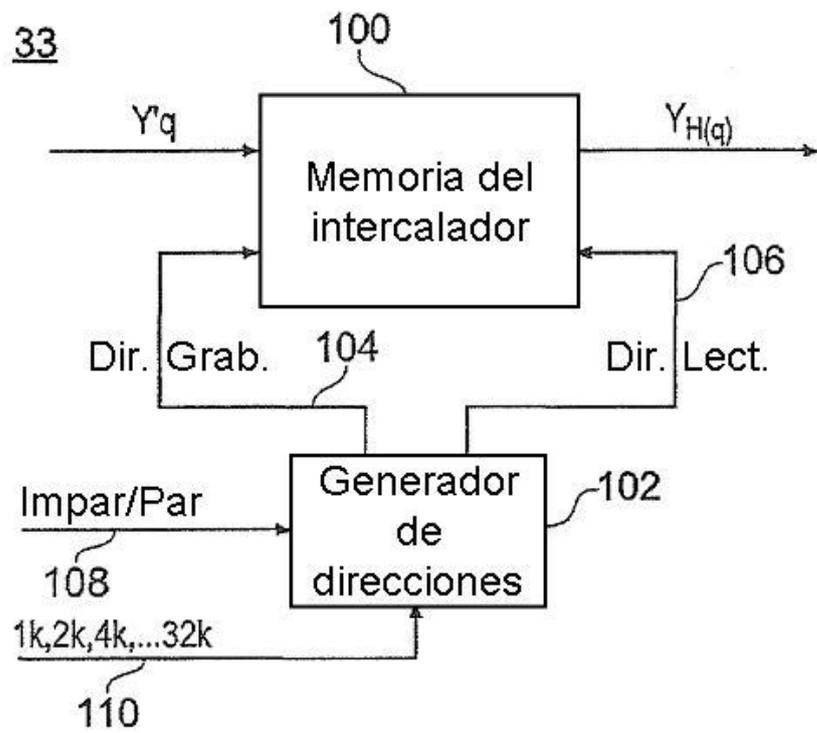
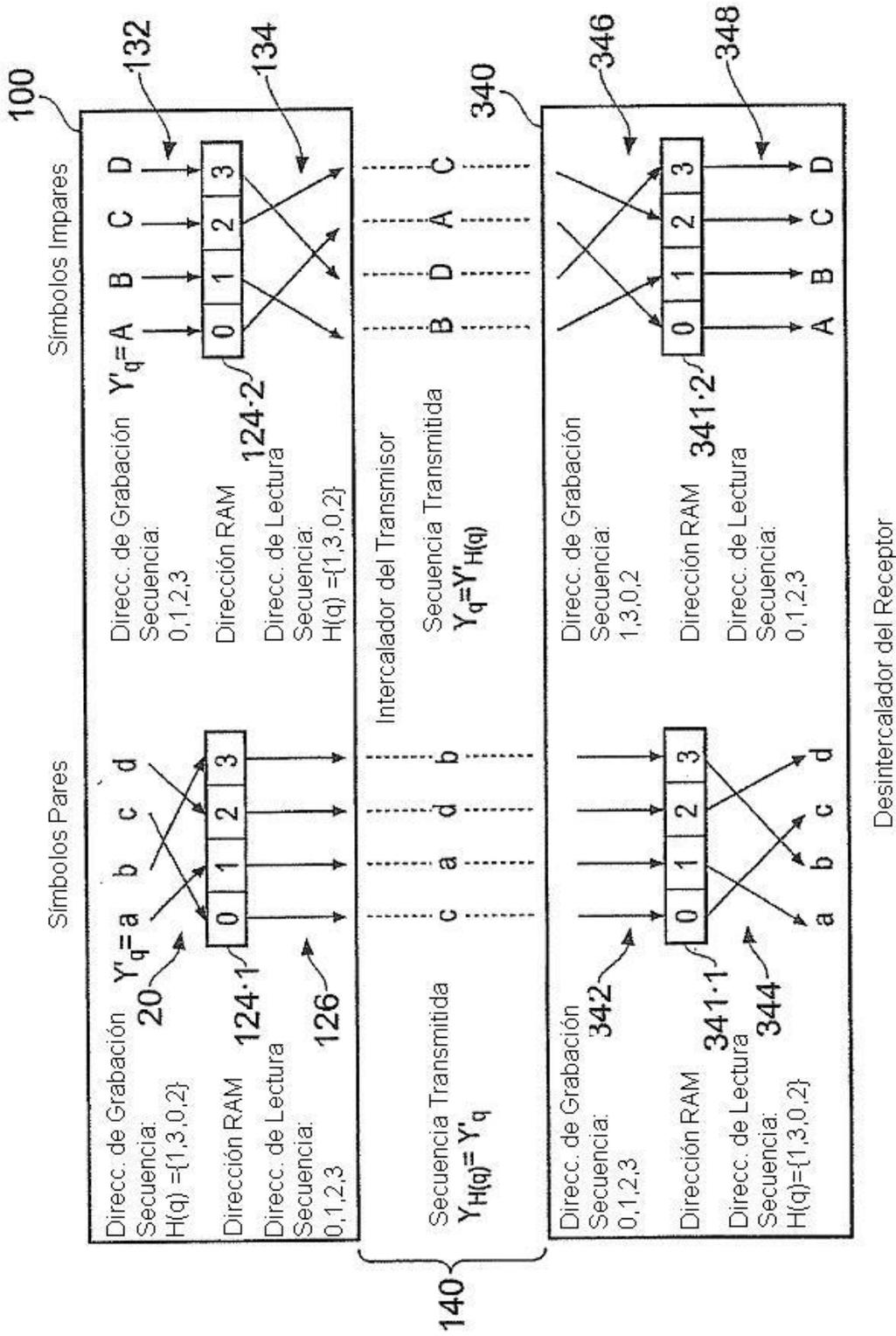


FIG. 3



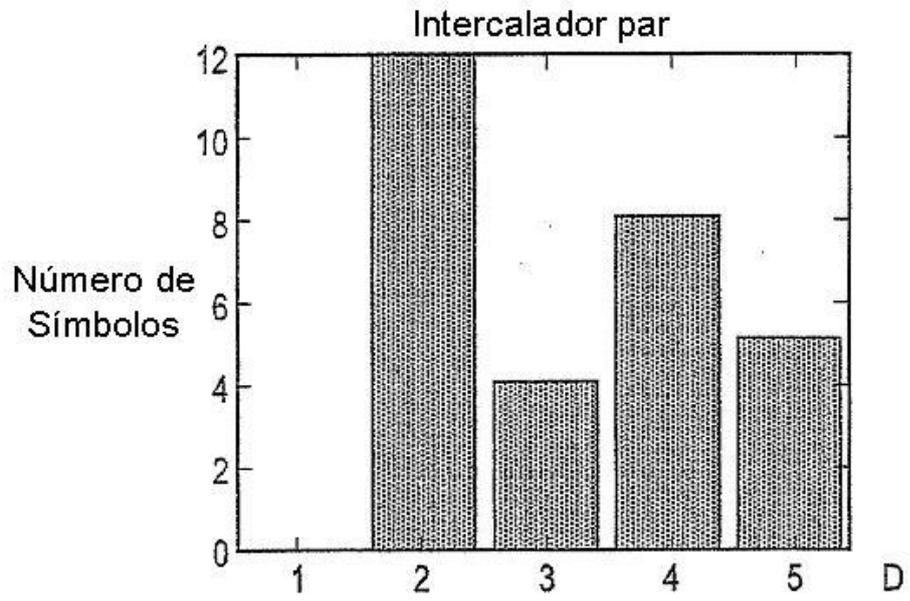


FIG. 6(a)

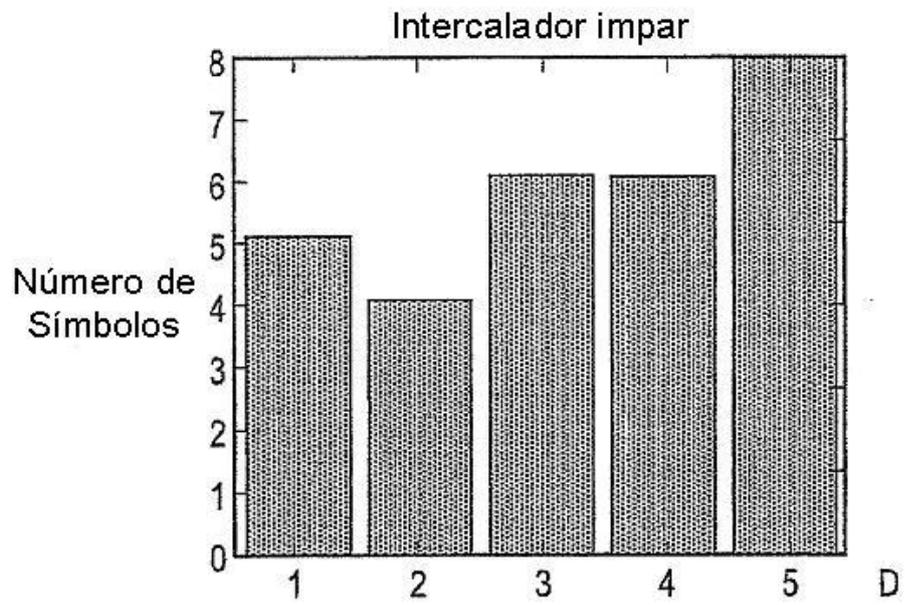


FIG. 6(b)

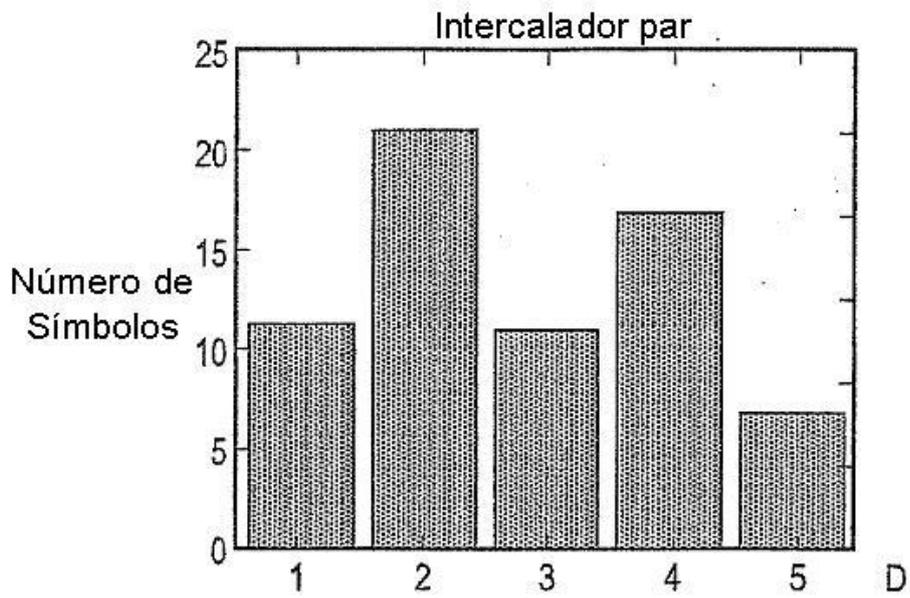


FIG. 6(c)

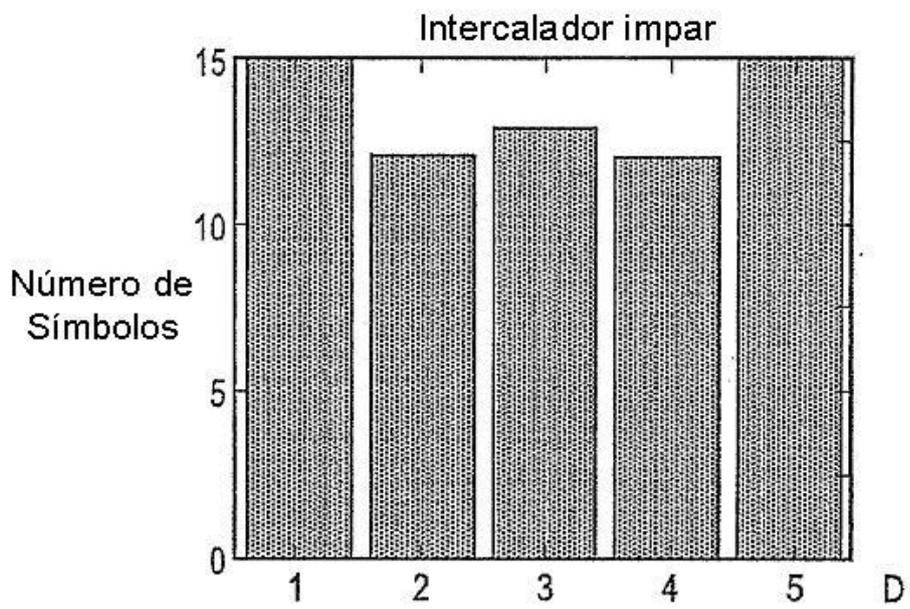


FIG. 6(d)

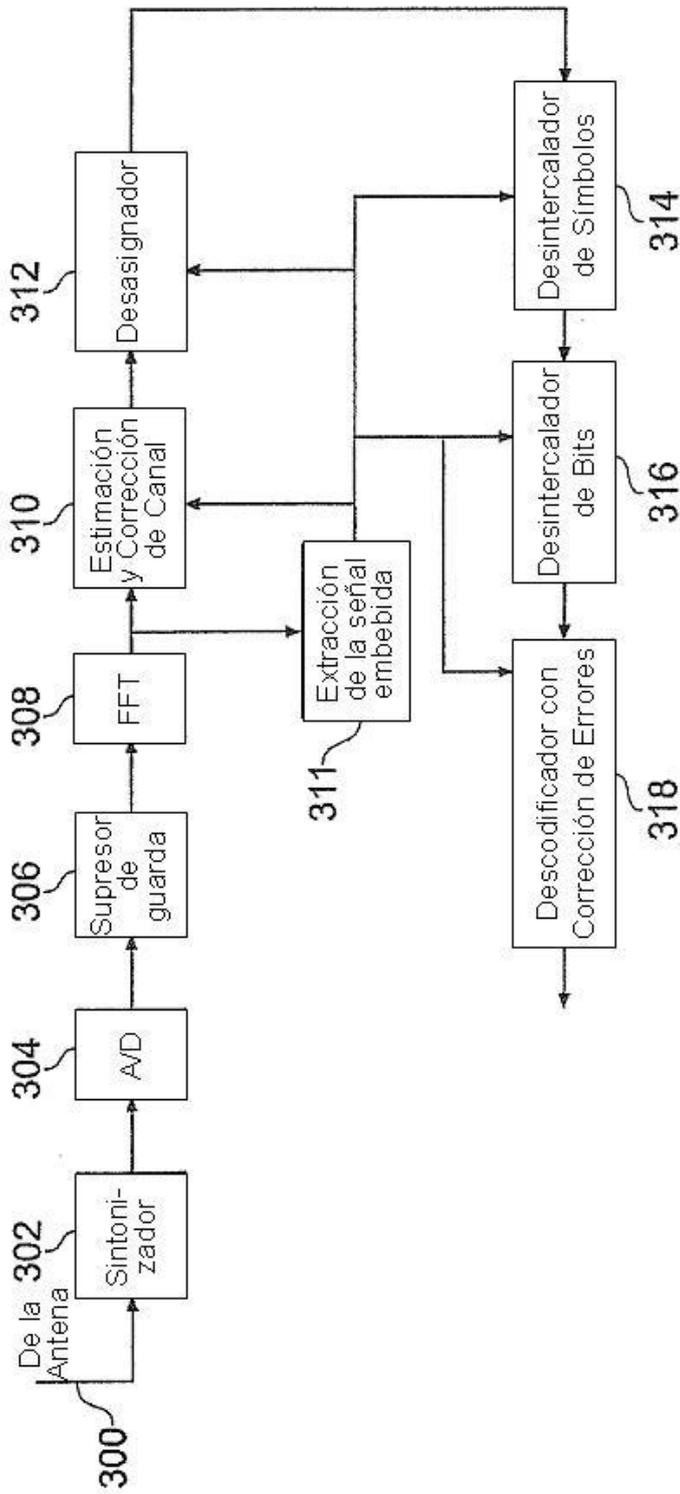


FIG. 7

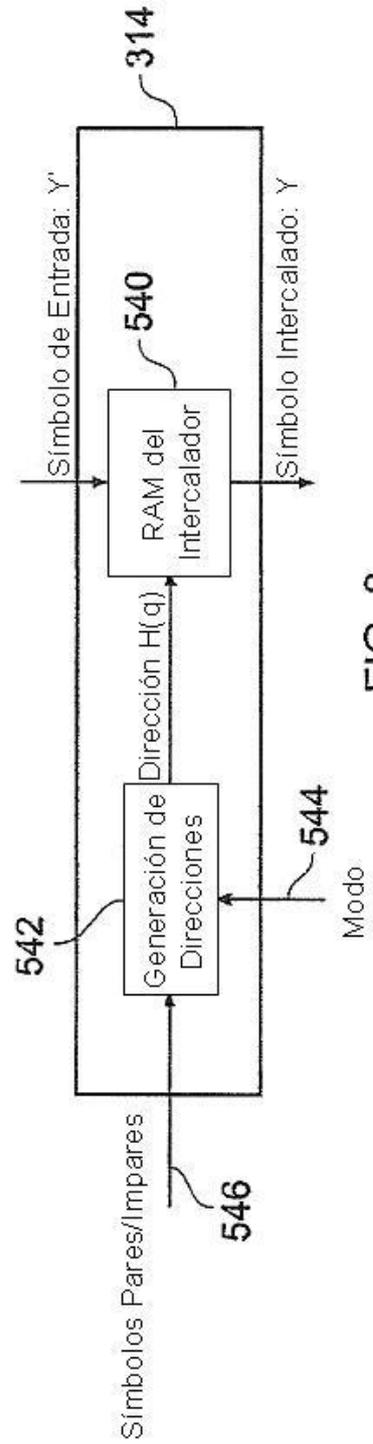


FIG. 8

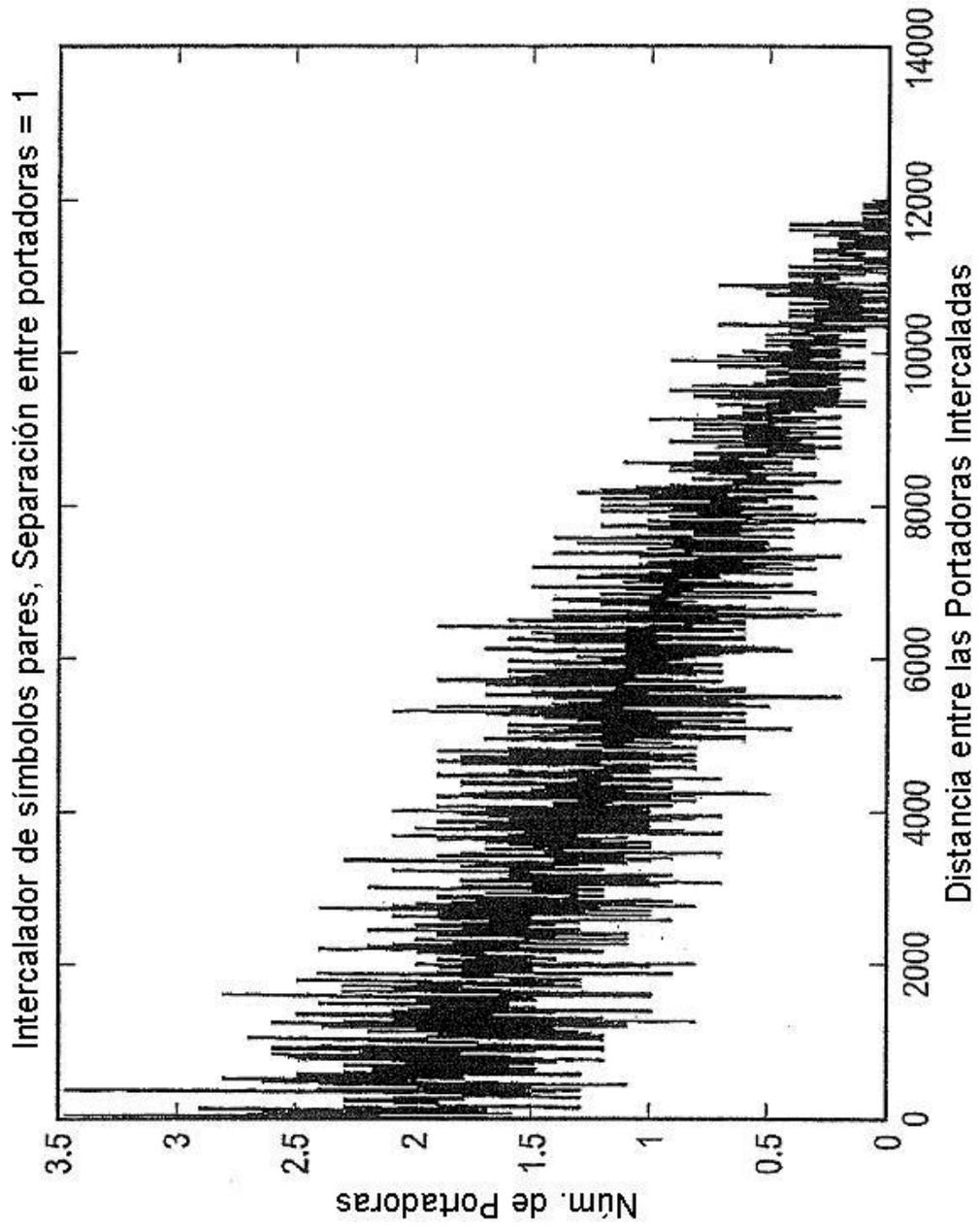


FIG. 9(a)

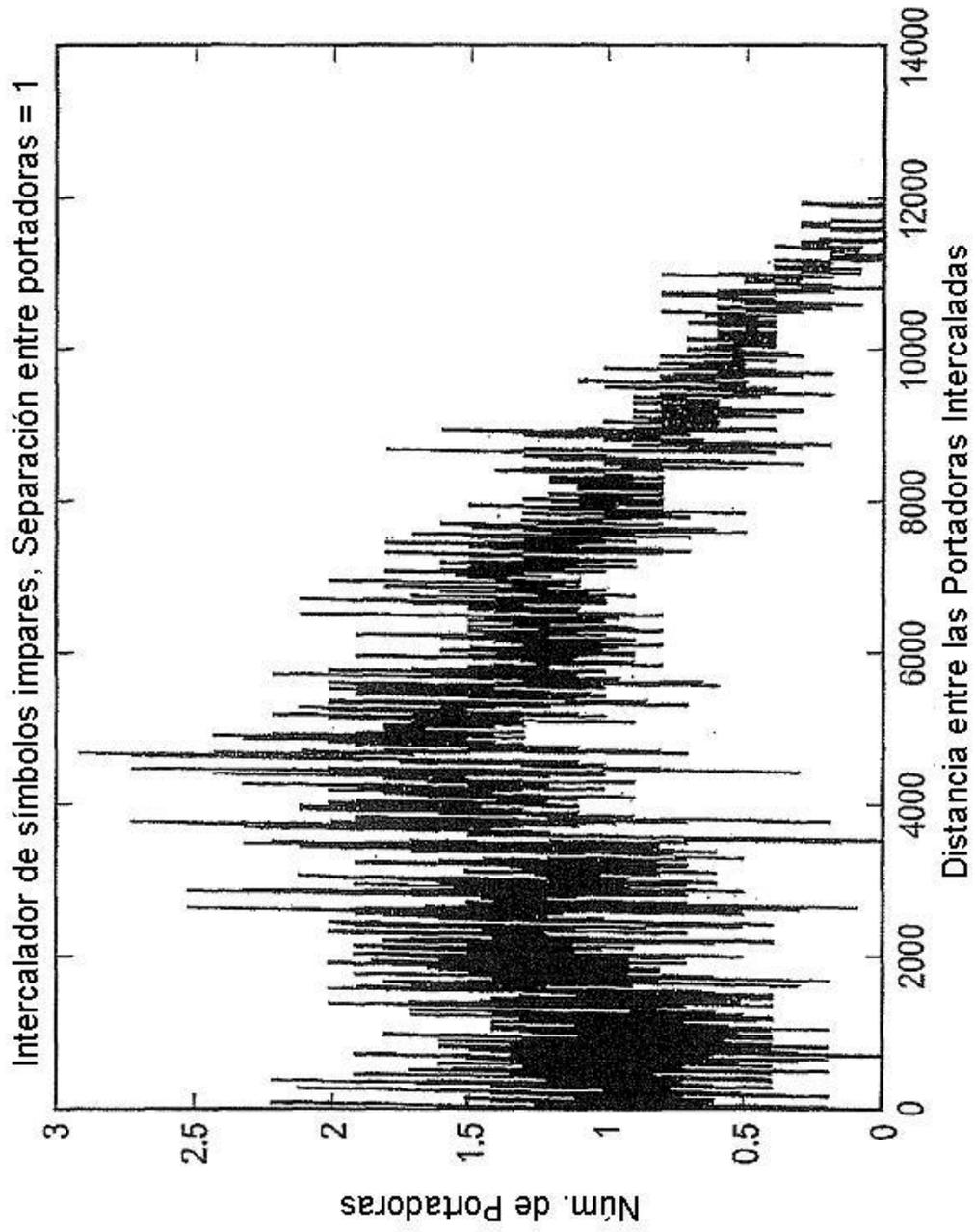


FIG. 9(b)

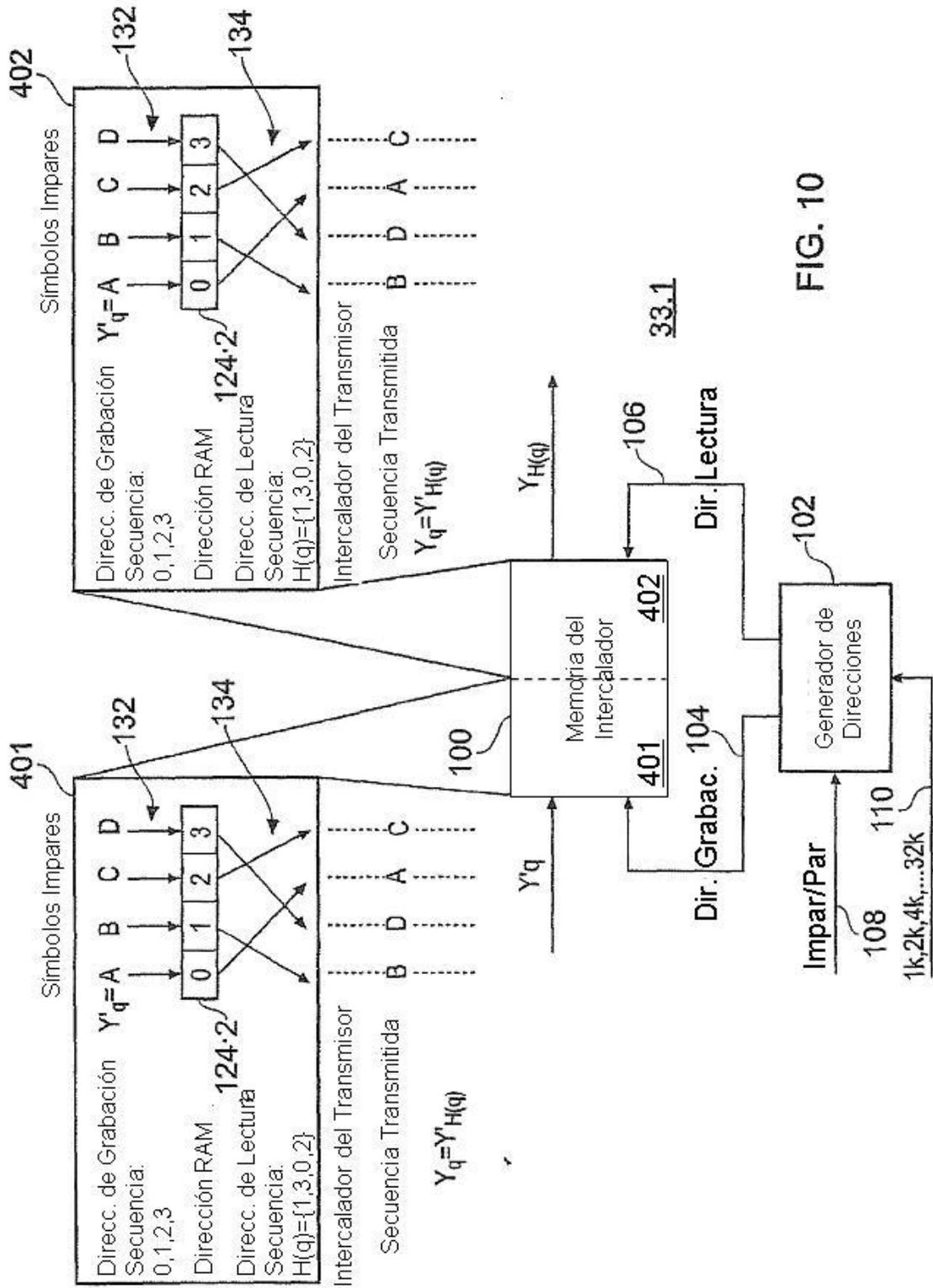


FIG. 10

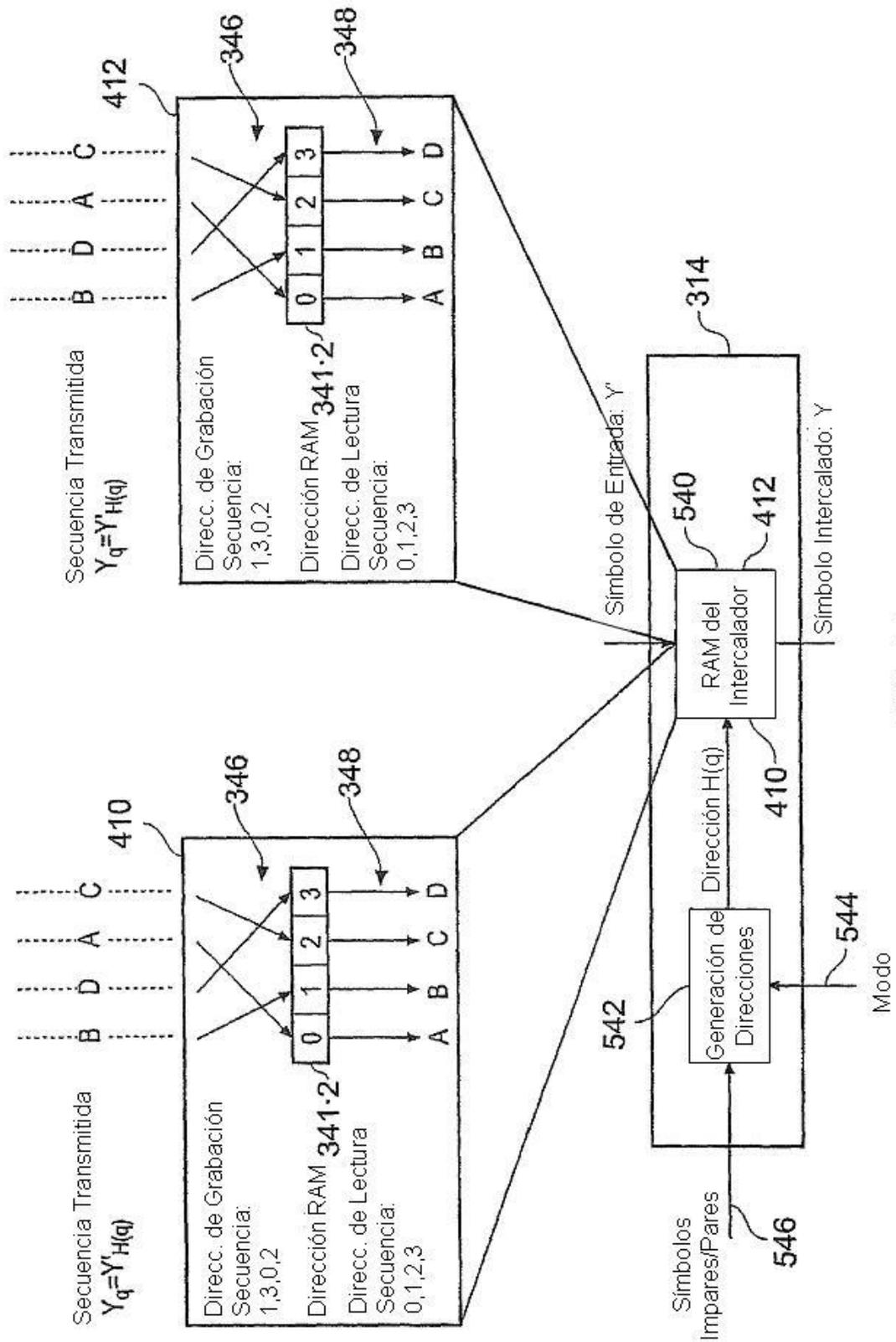


FIG. 11