

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 404 831**

51 Int. Cl.:

G11C 11/56 (2006.01)

G11C 16/04 (2006.01)

G11C 16/02 (2006.01)

G11C 7/10 (2006.01)

G11C 8/08 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **12.09.2007 E 07815815 (1)**

97 Fecha y número de publicación de la concesión europea: **03.04.2013 EP 2064707**

54 Título: **Esquema de distribución de umbral de Flash multi-nivel**

30 Prioridad:

13.09.2006 US 844154 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

29.05.2013

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED
(100.0%)
11 HINES ROAD, SUITE 203
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:

KIM, JIN-KI

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 404 831 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Esquema de distribución de umbral de Flash multi-nivel

Referencia cruzada a solicitudes relacionadas

5 Esta solicitud reivindica el beneficio de prioridad de la Solicitud de Patente Provisional de Estados Unidos Nº 60/844.154 presentada el 13 de septiembre de 2006.

Campo de la invención

La presente invención se refiere, en general, a una memoria Flash. Más particularmente, la presente invención se refiere a un dispositivo de memoria Flash, un método para programación de una celda de memoria Flash y un método para verificar una tensión umbral.

10 Antecedentes de la invención

Numerosos tipos de productos de electrónica de consumo se basan en algunas formas de almacenamiento masivo para guardar datos o software para la ejecución de código mediante un microcontrolador. La electrónica de consumo de este tipo es prolífica, e incluye dispositivos tales como asistentes digitales personales (PDA), reproductores de música portátiles, reproductores multimedia portátiles (PMP) y cámaras digitales. En PDA, se quiere almacenamiento masivo para almacenar aplicaciones y datos, mientras que los reproductores de música portátiles y las cámaras digitales requieren grandes cantidades de almacenamiento masivo para guardar datos de ficheros de música y/o datos de imágenes. La solución de almacenamiento masivo para la electrónica de consumo portátil de este tipo es preferentemente pequeña en tamaño, consume mínima potencia y tiene alta densidad de almacenamiento. Esto limita la selección de formas de memoria no volátiles puesto que las memorias volátiles, tal como memoria de acceso aleatorio (SRAM) y memoria de acceso aleatorio dinámica (DRAM), requieren una aplicación de potencia constante para guardar datos. Como se conoce en la técnica, la electrónica portátil se basa en baterías que tienen un suministro de potencia finito. Por lo tanto, se prefieren memorias no volátiles que puedan guardar datos después de que se retira la potencia.

25 Aunque muchos productos de consumo usan memoria Flash como materia prima, se usa indirectamente la memoria Flash por consumidores en productos tales como teléfonos móviles y dispositivos con funciones de microprocesamiento. Más específicamente, los circuitos integrados específicos de aplicación (ASIC) encontrados comúnmente en electrónica de consumo pueden tener memoria Flash integrada para posibilitar actualizaciones de firmware. Ni que decir tiene que la memoria Flash es versátil debido a su óptimo balance en tamaño, densidad de almacenamiento y velocidad, haciéndola una solución preferida de almacenamiento masivo no volátil para electrónica de consumo.

35 La Figura 1 es un diagrama de bloques de un dispositivo de memoria Flash típico. La memoria **10** Flash incluye circuitería lógica para controlar diversas funciones de los circuitos Flash, registros para almacenar direcciones y datos, circuitos de alta tensión para generar las tensiones de programación y borrado requeridas y circuitos de memoria de núcleo para acceder a la matriz de memoria Flash. Las funciones de los bloques de circuito mostradas de la memoria **10** Flash son conocidas en la técnica. Los expertos en la materia entenderán que la memoria **10** Flash mostrada en la Figura 1 representa una posible configuración de memoria Flash entre muchas posibles configuraciones.

40 Una operación de lectura es un acceso relativamente directo de datos almacenados en una localización de memoria particular de la matriz de memoria, denominada una dirección. Antes de una operación de escritura en un bloque específico de la matriz de memoria, debe borrarse en primer lugar el bloque específico con la aplicación de altas tensiones. Una operación de escritura, denominada con más precisión una operación de programación, requiere la aplicación cuidadosa de altas tensiones a una localización de memoria seleccionada, seguido de una operación de verificación de programación para asegurar que se han programado los datos apropiadamente. Además, puesto que se usan altas tensiones, se debe diseñar el chip Flash para que sea relativamente tolerante a programación involuntaria de celdas de memoria no seleccionadas.

50 La Figura 2 es un diagrama esquemático de circuito que muestra una cadena de celdas NAND en una matriz de celdas mostrada en la Figura 1. La Figura 2 es un diagrama esquemático de circuito de dos cadenas de celdas de memoria NAND. Cada cadena de celdas de memoria NAND incluye 32 celdas **50** de memoria de puerta flotante conectadas en serie, cada una conectada a líneas de palabra W0 a WL31 respectivas, un transistor **52** de selección de cadena conectado entre la línea de bits **54** y la primera celda **50** de memoria de puerta flotante y un transistor **56** de selección de tierra conectado entre una línea **58** de fuente común (CSL) y la última celda **50** de memoria de puerta flotante. La puerta del transistor **52** de selección de cadena recibe una señal de selección de cadena SSL, mientras que la puerta del transistor **56** de selección de tierra recibe una señal de selección de tierra

GSL. Las cadenas de celdas de memoria NAND de un bloque comparten líneas de palabra comunes, selección de cadena SSL y líneas de señal de selección de tierra GSL. La construcción y disposición de la cadena de memoria NAND mostrada es bien conocida en la técnica.

5 Como se ha mencionado anteriormente, se borran en primer lugar las cadenas de celdas de memoria NAND de la matriz de memoria, de acuerdo con técnicas bien conocidas en la técnica. Se puede borrar selectivamente cada bloque de cadenas de celdas de memoria NAND; por lo tanto se pueden borrar simultáneamente uno o más bloques. Cuando se borran satisfactoriamente, todas las celdas **50** de memoria de puerta flotante borradas tendrán una tensión umbral negativa. En efecto, se establecen todas las celdas **50** de memoria borradas a un estado lógico por defecto, tal como un "1" lógico, por ejemplo. Las celdas **50** de memoria programadas tendrán sus tensiones umbral cambiadas a una tensión umbral positiva, representando por lo tanto el estado lógico "0" opuesto.

10 La Figura 3 es un diagrama esquemático en sección transversal de una celda de memoria Flash típica. Una estructura de celdas de este tipo es bien conocida en la técnica. En general, se conecta la puerta **60** de control a una línea de palabra, mientras que se aísla la puerta **62** flotante de todos los demás nodos mediante un aislante **61** de óxido. Los electrones (portadores de carga) se inyectan en o se expulsan de la puerta **62** flotante y el sustrato **68** que tiene una fuente **64** y un drenaje **66**, a través de óxido **63** de tunelización delgado entre la puerta **62** flotante y el sustrato **68**.

15 La Figura 4 es un diagrama esquemático en sección transversal de una celda ROM de nitruro que tiene trampas de carga. Una celda de este tipo es bien conocida en la técnica. En una celda ROM de nitruro, se elimina la puerta flotante y se colocan los datos en una "cámara de retención" o "trampas de carga" de la capa **72** no conductora, por ejemplo, de nitruro de silicio, entre la puerta **70** de control y el sustrato **78** que tiene una fuente **74** y un drenaje **76**. Recientemente, se han usado también nanocristales de silicio como trampas de carga.

20 En general, se programa una celda aplicando una alta tensión a su puerta mientras que se mantienen sus terminales de fuente y drenaje a tierra: el alto campo eléctrico produce que los electrones en el canal de la celda de memoria crucen el óxido de la puerta y se incrusten en la puerta flotante (conocido como Tunelización Fowler-Nordheim (F-N)), aumentando de esta manera la tensión umbral efectivo de la celda de memoria.

25 Debido a la necesidad cada vez mayor de la reducción de tamaño así como el deseo de aumentar la densidad de almacenamiento de datos, se están usando ampliamente las celdas FLASH multi-nivel. Como sugiere el nombre, las celdas multi-nivel tienen más de dos estados lógicos por celda. Una sola celda que almacena dos bits de información tiene cuatro estados lógicos que corresponden a diferentes niveles de niveles de carga almacenados en las puertas flotantes (o trampas de carga). En general, una celda multi-nivel capaz de almacenar N bits binarios de datos tendrá 2^N estados o niveles lógicos.

30 Sin embargo, cada transistor de puerta flotante tiene un cierto intervalo de tensión umbral total en el que prácticamente puede funcionar. Se divide el intervalo total en el número de estados definidos para la celda de memoria que incluye asignaciones para la clara distinción de un estado de otro. Las variaciones en los procesos de fabricación y el envejecimiento del dispositivo pueden producir desplazamientos en las tensiones umbral. Estos desplazamientos pueden debilitar la fuerza de los estados de celda moviendo un estado cerca del siguiente estado. También, a media que se comprimen más niveles en un intervalo total fijo (por ejemplo, intervalo de tensión de suministro fijo), se reduce la tolerancia para esos desplazamientos.

35 La Figura 5 es un gráfico de distribución de tensión umbral (V_t) para una celda de memoria Flash multi-nivel. Se muestran las tensiones de referencia intermedias. Este gráfico particular ilustra los umbrales de una celda de memoria Flash capaz de almacenar 2 bits de datos. Por lo tanto, cada celda de memoria Flash multi-nivel debe almacenar una de cuatro tensiones umbral. En este esquema de la técnica anterior, un estado de borrado representado mediante una tensión umbral negativa radica en un dominio de tensión de borrado. Todas las celdas de memoria borradas tendrán por defecto esta tensión umbral negativa. Se deberán programar los tres estados restantes, y sus tensiones umbral correspondientes serán positivas en valor y radicarán en el dominio de tensión de programación. En este ejemplo, el dominio de tensión de borrado está por debajo de cero mientras que el dominio de tensión de programación está por encima de cero voltios. Un problema con este esquema es la estrechez requerida de la distribución para cada estado y la distancia entre los estados.

40 Se realiza típicamente la programación mediante la paginación, lo que significa que se seleccionan todas las celdas **50** de memoria en el bloque conectadas a la misma línea de palabra para programarse con datos de escritura ("0" lógicos) al mismo tiempo. Por lo tanto se deseleccionan las restantes celdas de memoria durante programación. Puesto que se inician las celdas de memoria en el estado borrado ("1" lógicos) antes de programación, únicamente las celdas de memoria a programar con los "0" lógicos deben someterse a los altos campos eléctricos necesarios para promover tunelización F-N. Sin embargo, debido a las conexiones físicas de la matriz de memoria, todas las celdas de memoria a lo largo de la misma línea de palabra reciben el mismo nivel de programación de alta tensión. Como un resultado, existe un potencial de que las celdas de memoria borradas tengan desplazadas sus tensiones umbral inintencionadamente. Esto se denomina perturbación de programación, que es bien conocida en el campo de

memorias Flash. Este problema es más pronunciado en celdas multi-nivel ya que se comprimen más niveles se en un intervalo de tensión fijo.

Varios parámetros tales como, ventana V_t , distancia V_t y distancia V_{read} son parámetros clave para determinar velocidad de lectura/escritura, fiabilidad y tiempo de vida de la memoria flash multi-nivel mostrada en la Figura 5. Estos tres parámetros se influyen entre sí: la ventana V_t de celda y la distancia V_t de celda en una memoria flash multi-nivel son mucho más estrechas que aquellas de las memorias flash de un solo nivel puesto que, en el caso de una celda de 2 bits, están tres estados de celda en el dominio de tensión de programación con una V_t positiva. Si la ventana V_t de celda es más amplia, la distancia V_t de celda es más estrecha. Esto reduce el margen de detección de lectura y eventualmente conduce a fallo para detectar estados de celdas vecinos. En otras palabras, solapar V_t o incluso mínima distancia V_t entre los estados de celda vecinos conduce a fallo del dispositivo.

La fuerza o margen de seguridad de un estado V_t es el más grande cuando la V_t está a medio camino entre tensiones de referencia adyacentes. Se pueden especificar los límites superior e inferior para cada estado V_t que definen una ventana V_t de celda. Por ejemplo, en la Figura 5, el estado de celda 0 está entre el límite inferior VLO (-3 voltios) y el límite superior VU0 (-2 voltios). El estado de celda 1 está entre el límite inferior VL1 (0,3 voltios) y el límite superior VU1 (0,8 voltios). Típicamente, la ventana V_t de celda en una memoria flash multi-nivel está entre 0,5 a 1,0 voltios. Idealmente, se prefiere una ventana V_t de celda estrecha para mejor definición y distinción de un estado.

La distancia V_t de celda, que se define como la diferencia en V_t entre el límite inferior de V_t del intervalo de tensión umbral de un estado de celda y el límite superior de V_t del intervalo de tensión umbral del estado de celda anterior. Por ejemplo, la distancia V_t entre el estado de celda 2 y el estado de celda 1 es $1,5 - 0,8 = 0,7$ voltios. Típicamente, la distancia V_t de celda en una celda de memoria flash multi-nivel está entre 0,7 a 1,0 V. Como es evidente, se prefieren mayores distancias V_t de celda.

También es deseable tener la distancia V_{read} , la distancia entre la tensión de paso de lectura y el límite superior del estado completamente programado tan alta como sea posible. Por ejemplo, en la Figura 5, la distancia V_{read} es $5,5 - 3,3 = 2,2$ voltios. Sin embargo, para un rendimiento óptimo de la celda de memoria, se prefiere una V_{read} inferior ya que V_{read} alta puede producir perturbaciones. Por lo tanto, existe una compensación entre distancia V_{read} y el valor de V_{read} . Además, el intervalo de tensión de suministro fijo disponible puede determinar el máximo valor V_{read} .

Además, a medida que aumenta el número de ciclos de reescritura (borrado y programación), la ventana V_t de celda se hace más ancha mediante la degradación del óxido de tunelización debido a cargas atrapadas. También, la tensión de paso de lectura V_{read} debe ser inferior para minimizar perturbación de lectura a celdas no seleccionadas en la cadena seleccionada. Sin embargo, para acomodar los tres estados de celda (en celdas de 2 bits) en el dominio de tensión de programación, se tiene que mantener la distancia V_{read} al menos muy por encima de V_{U3} . Esto aumenta el nivel de V_{read} .

Para controlar estrictamente la V_t de la celda programada, se ha propuesto y usado ampliamente programación de impulsos de paso incremental (ISPP) en memorias flash. La Figura 6 es un gráfico que ilustra la relación entre el número de impulsos de programación aplicados a una línea de palabra para programar una tensión umbral frente al tamaño de cada pulso. En general, se pueden obtener distribuciones de tensión umbral estrechas cuando el tamaño del paso de cada impulso de programación es pequeño. Sin embargo, la compensación es el tiempo de programación puesto que se requeriría más impulsos de programación.

Los ciclos de programación/borrado acumulados en memorias flash multi-nivel con el esquema anterior de la técnica anterior para distribución V_t de celda típicamente dan como resultado en problemas bien conocidos como se describe a continuación.

La transferencia de carga repetida produce que los electrones queden atrapados en la puerta flotante y el dieléctrico, lo que degrada características de programación y borrado de las celdas. En consecuencia, las celdas requieren gradualmente tensiones de programado y borrado superiores a medida que aumenta el número de ciclos de borrado-programación; tanto como resultado la limitación del número de ciclos de borrado-programación en una celda.

Se degradarán drásticamente las características de retención de datos en celdas multi-nivel debido a la pequeña distancia V_t de celda. Además, a medida que la distribución V_t para un estado dado es mayor, la máxima V_t de las celdas programadas es superior. La V_t superior requiere una tensión de programación superior V_{pgm} , y afecta adversamente las características de retención de datos debido al mayor campo eléctrico a través del óxido de tunelización. Además la V_t superior requerida en celdas multi-nivel requiere V_{read} superior. Esto produce perturbaciones de lectura para celdas de memoria no seleccionadas en la cadena de celdas NAND seleccionada durante operaciones de lectura (es decir programación de software mediante V_{read} superior a celdas de memoria no

seleccionadas).

Además, no se pueden reducir los requisitos de tensión superiores para operaciones de lectura y escritura en memoria flash multi-nivel que no están a escala con la dimensión del dispositivo que escala como el campo eléctrico a través de todos los transistores que incluyen celdas de memoria.

- 5 Por lo tanto, la vida de una celda de memoria Flash multi-nivel es relativamente corta, típicamente únicamente 10.000 ciclos. Esto es significativamente más corto que el límite de 100.000 ciclos para dispositivos de memoria Flash de un solo bit por celda.

10 El documento US 5.953.255 en el que se basa el preámbulo de la reivindicación 1 se refiere en general a baja tensión, borrado por inyección de hueco caliente de baja corriente, y a memoria flash programable de electrón caliente con resistencia potenciada. Se puede programar y/o borrar una matriz de celdas de memoria MOS que tiene regiones de drenaje y fuente de funcionalidad simétrica usando baja tensión, por ejemplo, menos de aproximadamente 7 V. En una matriz de tipo NAND, el borrado por UV aumenta la tensión umbral V_t para borrar contenidos de celda de memoria, y la inyección de hueco caliente de baja corriente de baja tensión ("HHI") reduce V_t para programar las celdas de memoria. Para matrices de tipo NOR, HHI reduce V_t para borrar contenidos de celda. 15 Los potenciales de borrado y programación son bajos ($<7V$), posibilitando que las matrices se fabriquen fácilmente en un IC común con circuitos de baja tensión. Debido a que HHI converge fuertemente con V_t , las celdas de memoria pueden almacenar más de dos valores de datos, que aumenta la densidad de almacenamiento de celda. La simetría de celda permite intercambiar drenaje por surco antes de que la resistencia de la celda se vuelva demasiado problemática, que el intercambio puede aumentar sustancialmente el tiempo de vida de la resistencia para una matriz. Se pueden usar matrices como memorias flash, como sustitución de EPROM o como una memoria programable de una vez. 20

25 El documento US 2006/034128 A1 desvela un dispositivo de memoria no volátil y un método de borrado del mismo. Un método de borrado de un dispositivo de una memoria no volátil que incluye celdas de memoria dispuestas en una matriz de filas y columnas. Las celdas de memoria se borran al mismo tiempo. Se realiza una operación de borrado-verificación para las celdas de memoria borradas. Se repite el método de borrado bajo diferentes condiciones de polarización de las filas. Se realiza una operación de borrado-verificación satisfactoriamente dos veces o más bajo diferentes condiciones de polarización de líneas de palabra para reducir la corriente de celda producida mediante una celda débil que se pueda producir en un proceso. Por lo tanto, se potencia una fiabilidad de una operación 30 borrado-verificación para aumentar un rendimiento.

Sumario de la invención

Es un objeto de la presente invención obviar o mitigar al menos una desventaja de los dispositivos de celdas Flash multi-nivel anteriores. Por ejemplo, la presente invención mejora la resistencia de celdas de memoria Flash distribuyendo tensiones umbral de programación en dominios de tensión de borrado y programación.

35 La presente invención se define mediante las reivindicaciones 1 y 10. Proporciona un dispositivo de memoria Flash. El dispositivo de memoria Flash incluye una matriz de memoria que tiene celdas de memoria dispuestas en filas y columnas y una lógica de control de filas. La matriz de memoria tiene celdas de memoria dispuestas en filas y columnas, donde cada celda de memoria es borrrable para tener una tensión umbral de borrado en un dominio de tensión de borrado y programable para tener una tensión umbral de programación en el dominio de tensión de borrado. La lógica de control de fila conduce selectivamente una línea de palabra conectada a un terminal de puerta de una celda de memoria con una de una tensión positiva y una tensión negativa durante operaciones de verificación y lectura de programación. En una realización del presente aspecto, el dispositivo de memoria Flash incluye adicionalmente un generador de tensión positiva y un generador de tensión negativa, donde el generador de 40 tensión positiva proporciona la tensión positiva a la lógica de control de fila, y el generador de tensión negativa proporciona la tensión negativa a la lógica del control de fila. 45

De acuerdo con realizaciones del presente aspecto, cada celda de memoria es programable para tener la tensión umbral de programación en un dominio de tensión de programación, y el dominio de tensión de borrado incluye tensiones umbral que son negativas mientras que el dominio de tensión de programación incluye tensiones umbral que son positivas. En la presente realización, cada celda de memoria es programable para almacenar dos bits de datos que corresponden a la primera, segunda, tercera y cuarta tensiones umbral, donde la primera tensión umbral y la segunda tensión umbral están en el dominio de tensión de borrado, y la tercera tensión umbral y la cuarta tensión umbral están en el dominio de tensión de programación. La primera tensión umbral puede corresponder con la tensión umbral de borrado. 50

55 En un segundo aspecto, la presente invención proporciona un método para verificar una tensión umbral de celdas de memoria borradas configuradas en una cadena NAND. El método incluye precargar una línea de bits acoplada a la

cadena NAND a un primer nivel de tensión; aplicar una tensión de referencia a todas las líneas de palabra conectadas a las celdas de memoria borradas de la cadena NAND para acoplar la línea de bits a un segundo nivel de tensión; y, detectar un cambio de nivel de tensión en la línea de bits.

5 De acuerdo con una realización de la presente invención el primer nivel de tensión es una tensión positiva, y las celdas de memoria borradas tienen una tensión umbral borrada en un dominio de tensión de borrado mientras que la tensión de referencia está en el dominio de tensión de borrado. La tensión de referencia puede ser mayor que la tensión umbral de borrado y menos que una tensión umbral programada en el dominio de tensión de borrado. En un aspecto adicional de la presente realización, se borran las celdas de memoria si no se detecta cambio de nivel de tensión en la línea de bits, y se borran las etapas de precargar, aplicar una tensión de referencia y detectar las celdas de memoria.

15 En un tercer aspecto, la presente invención proporciona un método para programar una celda de memoria Flash inicialmente borrada para tener una primera tensión umbral en un dominio de tensión de borrado. El método incluye cambiar la primera tensión umbral de la celda de memoria Flash a una segunda tensión umbral, estando la segunda tensión umbral en el dominio de tensión de borrado. La etapa de cambiar puede incluir polarizar una línea de bits conectada a la celda de memoria Flash para programar nivel de tensión seguido por conducir a una línea de palabra conectada a la celda de memoria Flash con un número predeterminado de impulsos, teniendo cada impulso un tamaño de paso predeterminado.

20 De acuerdo con la realización del presente aspecto, se verifica la segunda tensión umbral y se repite la etapa de cambiar si la celda de memoria Flash no tiene la segunda tensión umbral. El método de verificación incluye precargar una línea de bits conectada a la celda de memoria Flash para un primer nivel de tensión, conduciendo a una línea de palabra conectada a la celda de memoria Flash con una tensión de referencia en el dominio de tensión de borrado, y detectar un cambio de nivel de tensión en la línea de bits. La tensión de referencia puede ser mayor que la primera tensión umbral y menos que la segunda tensión umbral. En una realización adicional, la celda de memoria Flash y una pluralidad de celdas de memoria Flash de una cadena NAND, y la etapa de conducir incluye adicionalmente conducir líneas de palabra conectadas a la pluralidad de celdas de memoria Flash con una tensión de paso.

25 En un cuarto aspecto, la presente invención proporciona un método para leer una celda de memoria Flash programable para tener una tensión umbral de dominio de tensión de borrado o una tensión umbral de dominio de programación. El método incluye determinar una de una tensión umbral de borrado y la tensión umbral del dominio de tensión de borrado aplicando una tensión de referencia de dominio de tensión de borrado a un terminal de puerta de la celda de memoria Flash y detectar una tensión de línea de bits conectada a la celda de memoria Flash; almacenar un estado lógico de la celda de memoria Flash; determinar una de la tensión umbral del dominio de tensión de borrado y la tensión umbral del dominio de programación aplicando otra tensión de referencia al terminal de puerta y detectar la tensión de línea de bits conectada a la celda de memoria Flash; y, actualizar el estado lógico.

35 En un quinto aspecto, la presente invención proporciona un dispositivo de memoria Flash. El dispositivo de memoria Flash incluye una matriz de memoria que tiene celdas de memoria, cada celda de memoria borrrable para tener una tensión umbral en un dominio de tensión de borrado, y programable para tener al menos un nivel de tensión umbral en el dominio de tensión de borrado y al menos otra tensión umbral en un dominio de tensión de programación.

40 De acuerdo con las realizaciones del presente aspecto, el dominio de tensión de borrado incluye tensiones umbral que son negativas y el dominio de tensión de programación incluye tensiones umbral que son positivas, y cada celda de memoria es programable para almacenar una pluralidad de bits de datos que corresponden con primeras, segundas, terceras y cuartas tensiones umbral. La primera tensión umbral y la segunda tensión umbral pueden estar en el dominio de tensión de borrado, y la tercera tensión umbral y la cuarta tensión umbral pueden estar en el dominio de tensión de programación. En una realización alternativa, el dominio de tensión de borrado incluye tensiones umbral que son positivas y el dominio de tensión de programación incluye tensiones umbral que son negativas.

45 En otra realización del presente aspecto, el dispositivo de memoria Flash incluye adicionalmente lógica de control de filas para conducir selectivamente una línea de palabra con una tensión negativa y tensión positiva en respuesta a una dirección de fila. El dispositivo de memoria Flash puede incluir adicionalmente un primer generador de tensión para proporcionar la tensión positiva y un segundo generador de tensión para proporcionar la tensión negativa. La lógica de control de filas incluye un decodificador de filas para recibir la tensión positiva y la tensión negativa, el decodificador de filas que proporciona señales de fila en respuesta a la dirección de fila y un controlador de línea de palabra para pasar las señales de fila en respuesta a una señal de habilitar. En otra realización más, la lógica de control de filas incluye un decodificador de bloques para proporcionar la señal de habilitar en respuesta a una dirección de bloque, teniendo la señal de habilitar una de la tensión positiva y de la tensión negativa.

Serán evidentes otros aspectos y características de la invención para los expertos en la materia tras revisar la siguiente descripción de realizaciones específicas de la invención en relación con las figuras adjuntas.

Breve descripción de los dibujos

Se describirán ahora realizaciones de la presente invención, únicamente a modo de ejemplo, con referencia a las figuras adjuntas, en las que:

La Figura 1 es un diagrama de bloques de un dispositivo de memoria Flash típico;

5 La Figura 2 es un diagrama esquemático de circuito de una cadena de celdas NAND;

La Figura 3 es un diagrama esquemático en sección transversal de una celda de memoria Flash típica;

La Figura 4 es un diagrama esquemático en sección transversal de una celda ROM de nitruro que tiene trampas de carga;

10 La Figura 5 es un gráfico de distribución de tensión umbral (V_t) para una celda de memoria Flash multi-nivel de la técnica anterior;

La Figura 6 es un gráfico que ilustra la relación entre el número de impulsos de programación aplicados a una línea de palabra para programar una tensión umbral frente al tamaño de cada impulso;

La Figura 7 es una realización ejemplar de la invención que muestra una distribución de tensión umbral para una celda de memoria Flash capaz de almacenar 2 bits de datos;

15 La Figura 8 es una realización alternativa de la invención que muestra un gráfico de distribución de tensión umbral para una celda de memoria Flash capaz de almacenar 3 bits de datos;

La Figura 9 es un diagrama de bloques de los circuitos de fila para un dispositivo de memoria Flash multi-nivel, de acuerdo con una realización de la presente invención;

20 La Figura 10 es un diagrama esquemático de circuito del decodificador de bloques y del circuito de controlador de línea de palabra mostrado en la Figura 9;

La Figura 11 es un diagrama esquemático de circuito de decodificador de filas mostrado en la Figura 9;

La Figura 12 es un diagrama de flujo que muestra un método para realizar una operación de borrado-verificación;

La Figura 13 es un diagrama de flujo que muestra un método para programar múltiples tensiones umbral de acuerdo con una realización de la presente invención;

25 La Figura 14 es un diagrama de flujo que muestra un método de verificación de programación, de acuerdo con una realización de la presente invención; y

La Figura 15 es un diagrama de flujo que muestra un método para leer datos de acuerdo con una realización de la presente invención.

Descripción detallada

30 En general, los aspectos de la presente invención proporcionan un esquema de distribución de tensión umbral para celdas memoria Flash multi-nivel con ventana V_t óptima y máxima distancia V_t , mientras que al mismo tiempo mantiene V_{read} a niveles inferiores. En una realización, esto se consigue programando al menos un estado de celda en el dominio de tensión de borrado (por ejemplo, con un valor V_t negativo).

35 La Figura 7 es una realización ejemplar de la invención. La Figura 7 muestra una distribución de tensión umbral para una celda de memoria Flash multi-nivel capaz de almacenar 2 bits de datos. En la presente realización, existe un estado de programación (estado de celda 1, que corresponde con datos "10") que radican en el dominio de tensión de borrado con el estado de borrado (estado de celda 0, que corresponde con datos "11"). Por lo tanto, existen dos estados de celda que radican en el dominio de tensión de borrado y dos estados de celda (estado de celda 2, que corresponde con los datos "01" y estado de celda 3, que corresponde con los datos "00") en el dominio de tensión de programación. Programando este estado en el dominio de tensión de borrado, se obtienen diferentes ventajas. En primer lugar, se aumenta la resistencia inmediatamente relacionada con los dispositivos de la técnica anterior que tienen la misma ventana V_t , puesto se aumenta que la distancia V_t entre estados. En segundo lugar, se aumenta adicionalmente la resistencia minimizando la ventana V_t , en detrimento de la velocidad de programación. En tercer lugar, se relajan los requisitos de distancia V_t y ventana V_t para proporcionar rendimiento de programación mejorado

sobre dispositivos de la técnica anterior, pero teniendo la misma resistencia. Además, se puede disminuir la tensión Vread para celdas no seleccionadas, por ejemplo, desde un valor típico de 5,5 voltios a 4,8 voltios. La Figura 7 muestra valores de ejemplo de valores VL y VU, pero se puede establecer cualquier VL y VU para cada estado.

5 En enfoques convencionales, tales como el esquema de tensión umbral descrito con referencia a la Figura 5, el estado de celda 0 tiene una Vt negativa (dominio de tensión de borrado) mientras que los tres restantes estados de celda (estado 1, 2 y 3) tienen Vt positivas (dominio de tensión de programación). En el esquema de tensión umbral de la presente realización como se ilustra en la Figura 7, los estados de celda 0 y 1 tienen Vt negativas mientras que los estados de celda 2 y 3 tienen Vt positivas. El número de estados de celda en el dominio de tensión de borrado y el dominio de tensión de programación son iguales y por lo tanto este esquema se denomina como un esquema de distribución Vt "equilibrado".

10 Este esquema de distribución Vt de celda equilibrado proporciona al menos las siguientes ventajas: debido a la separación de los estados de celda, se puede ensanchar la ventana Vt de cada estado, mejorando por lo tanto la velocidad de programación. Se maximiza la distancia Vt de celda, que puede mejorar en gran medida la retención de datos y resistencia. Este esquema reduce adicionalmente la tensión de programación Vp_{gm} y tensión de paso-programación V_{pass}, que permite escalar con el escalado de geometría de dispositivo. También posibilita la reducción de la tensión Vread que, como un resultado, proporciona inmunidad superior a perturbaciones de lectura típicamente encontradas mediante altos valores Vread convencionales. Mientras que la Figura 7 es un ejemplo de distribución Vt para un dispositivo de dos bits por celda, las celdas que almacenan cualquier número de bits se beneficiarán de las realizaciones de la presente invención.

15 La Figura 8 es una realización alternativa de la invención. La Figura 8 muestra un gráfico de distribución de tensión umbral para una memoria Flash multi-nivel capaz de almacenar 3 bits de información (es decir, ocho estados diferentes). Debe observarse que en la realización de la Figura 8, exactamente la mitad de los ocho posibles estados radica en el dominio de tensión de borrado mientras que la otra mitad radica en el dominio de tensión de programación. En realizaciones alternativas adicionales, pueden existir cinco estados en el dominio de tensión de borrado o tres estados en el dominio de tensión de borrado, u otras combinaciones que tengan al menos dos estados en el dominio de tensión de borrado.

20 Como se ha analizado previamente para la Figura 6, se usa ISSP para programar tensiones umbral deseadas que corresponden a los diferentes estados de las celdas de memoria Flash multi-nivel. Como todas las celdas de memoria se programan a una tensión umbral deseada del estado de borrado, ISSP desplaza gradualmente la tensión umbral negativa de una celda de memoria Flash borrada usando impulsos de tensión cada vez mayores que se aplican a su puerta de control. El tamaño de paso incremental y el número de impulsos determina la tensión umbral final de la celda de memoria Flash programada. De acuerdo con una realización de la presente invención, se consigue un estado programado en el dominio de tensión de borrado estableciendo el número de impulsos y tamaño de paso de los impulsos de manera que se obtiene la tensión umbral negativa deseada. En el ejemplo de la Figura 6, se obtiene una tensión umbral de -2 V usando entre 2 y 3 impulsos, dependiendo del tamaño de paso del impulso seleccionado. Una vez que se han programado los estados de programación de dominio de borrado, se programan los restantes estados de dominio de programación de acuerdo con técnicas conocidas. Debe observarse que el tamaño de paso para programar los estados de dominio de borrado puede ser pequeño sin impactar la velocidad de programación puesto que el desplazamiento de tensión umbral desde el estado de borrado es relativamente pequeño.

30 Una parte de cualquier operación de programación es la operación de verificación de programación, que se usa para comprobar que los datos se han programado apropiadamente. Por ejemplo, se puede no haber establecido la tensión umbral deseada durante una operación de programación. Por lo tanto, se somete la celda o celdas de memoria a reprogramación hasta que el programa verifica claramente la celda de memoria, o hasta que se determina que la celda está defectuosa. Una vez que la operación de verificación de programación borra las celdas de memoria, se pueden leer los datos. De acuerdo con una realización de la presente invención, se ejecutan las operaciones de verificación y lectura de programación con tanto tensiones positivas como negativas.

35 La Tabla 1 muestra condiciones de polarización de las líneas de palabra seleccionadas y líneas de palabra no seleccionadas para distinguir cada estado de celda durante lectura, verificación y control de Vt de celda programada durante programación en una memoria flash multi-nivel convencional que usa el esquema de distribución Vt de celda de la Figura 5. La Tabla 2 muestra condiciones de polarización de la línea de palabra seleccionada y líneas de palabra no seleccionadas durante verificación de programación y lectura en una memoria flash multi-nivel programable para tener al menos dos estados en el dominio de tensión de borrado, de acuerdo con un aspecto de la presente invención.

55

Tabla 1

	Verificación de programación		Lectura	
	Línea de Palabra Seleccionada	Líneas de Palabra no Seleccionadas	Línea de Palabra Seleccionada	Líneas de Palabra no Seleccionadas
Estado de Celda 0 ↔ 1	0,3 V (Vref_pv1)	5,5 V (Vread)	0 V (Vref_rd1)	5,5 V (Vread)
Estado de Celda 1 ↔ 2	1,5 V (Vref_pv2)	5,5 V (Vread)	1,1 V (Vref_rd2)	5,5 V (Vread)
Estado de Celda 2 ↔ 3	2,8 V (Vref_pv3)	5,5 V (Vread)	2,3 V (Vref_rd3)	5,5 V (Vread)

5 La Tabla 2 muestra condiciones de polarización ejemplares para las operaciones de verificación de programación y lectura usadas para una celda Flash multi-nivel programable para tener al menos dos estados en el dominio de tensión de borrado. Como se ilustra en la Tabla 2, se aplican las tensiones negativas a la línea de palabra seleccionada durante las operaciones de verificación de programación y lectura para celdas que tienen V_t de celda negativa (es decir, estado de celda 0 y estado de celda 1). Debe observarse que los valores de tensión en la Tabla 2 únicamente son con fines de ilustración. En otras palabras, se pueden variar los valores de tensión en la Tabla 2 de acuerdo con tecnología de procesos y características de celda.

Tabla 2

	Verificación de Programación		Lectura	
	Línea de palabra Seleccionada	Líneas de Palabra no Seleccionadas	Línea de Palabra Seleccionada	Líneas de Palabra no Seleccionadas
Estado de Celda 0 ↔ 1	-1,1 V (Vref_pv1)	4,8 V (Vread)	-1,5 V (Vref_rd1)	4,8 V (Vread)
Estado de Celda 1 ↔ 2	0,5 V (Vref_pv2)	4,8 V (Vread)	0 V (Vref_rd2)	4,8 V (Vread)
Estado de Celda 2 ↔ 3	2,1 V (Vref_pv3)	4,8 V (Vread)	1,5 V (Vref_rd3)	4,8 V (Vread)

10 Debido al desplazamiento en la V_t de al menos un estado de celda programado para el dominio de tensión de borrado, la tensión de verificación de programación y la tensión de lectura aplicada a las líneas de palabra seleccionadas son diferentes de las operaciones de verificación de programación y lectura convencionales, como se muestra en la Tabla 2. Típicamente, se implementan todas las tensiones de verificación de programación y tensión de lectura con valores de tensión positivos. Sin embargo, el esquema de distribución de tensión umbral para las
 15 celdas Flash multi-nivel descrito en el presente documento utiliza tanto tensiones positivas como negativas para operaciones de verificación de programación y lectura. Esto da como resultado cambios en la implementación para los circuitos de línea de palabra como se describe a continuación.

La Figura 9 es un diagrama de bloques de una lógica de control de filas ejemplar para un dispositivo de memoria Flash multi-nivel de acuerdo con una realización de la presente invención. La lógica **100** de control de filas incluye un
 20 decodificador **102** de bloques, un circuito **108** decodificador de filas y un circuito **110** controlador de línea de palabra. El dispositivo que tiene la lógica **100** de control de filas tiene un generador **104** de alta tensión y un generador **106** de tensión negativa, que se puede usar por otros circuitos que no se muestran en la Figura 9. Hay un decodificador **102** de bloques por bloque de memoria, que recibe una dirección de bloque BA, para habilitar los controladores de línea de palabra. Comúnmente se comparte el decodificador **108** de filas entre todos los bloques de memoria, que
 25 reciben una dirección de fila RA_b, así como otras señales que no se muestran, para generar la señal de selección de fuente SS, señales de línea de palabra S[0:n] y la señal de selección de tierra GS, denominadas genéricamente como señales de fila. Puesto que al menos uno de los estados programados estará en el dominio de tensión de borrado (con una tensión umbral negativa por ejemplo), el decodificador **102** de bloques y el circuito **108** decodificador de filas recibirán una o más tensiones negativas para aplicación a una señal de línea de palabra
 30 seleccionada. En respuesta a una dirección de bloques válida BA y señales de decodificador de filas, se establecen las señales SSL, GSL y WL0-WLn a sus niveles de tensión requeridos durante operaciones de programación, verificación de programación y lectura. Se muestran tensiones de ejemplo en la Tabla 2 para operaciones de verificación de programación y lectura.

35 La Figura 10 es un diagrama esquemático de circuito que muestra detalles de circuito del decodificador **102** de bloques y circuito **110** controlador de línea de palabra de la Figura 9. Se asocia el decodificador **102** de bloques con

un bloque de memoria, e incluye un circuito de cerrojo inversor acoplado de manera cruzada y un circuito desplazador de nivel. El circuito de cerrojo incluye inversores **200** y **202** acoplados de manera cruzada, un transistor **204** de reiniciación de canal n y transistores **206** y **208** de habilitar canal n. Se habilita el circuito de cerrojo, o establece, cuando la señal de habilitar cerrojo LTCH_EN y una dirección de bloque BA están en el nivel lógico alto.

El circuito de cerrojo de inversores **200** y **202** se reinicia cuando la señal RST_BD está en el nivel lógico alto. El circuito desplazador de nivel incluye una pareja de transistores **210** y **212** de canal p acoplados de manera cruzada, estando cada uno conectado sus respectivos transistores **214** y **216** de dirección. Los terminales compartidos de los transistores **210** y **212** reciben una alta tensión Vh mientras que los terminales compartidos de los transistores **214** y **216** reciben una tensión negativa Vn. El nodo Vh se conecta al generador **104** de tensión positiva mientras que el nodo Vn se conecta al generador **106** de tensión negativa. Los transistores **214** y **216** de dirección tienen terminales de puerta conectados a la salida del inversor **200** e inversor **218**, la entrada del cual se conecta a la puerta del transistor **214**. Debe observarse que el suministro de alta tensión proporcionado al inversor **200** es inferior que Vh mientras que el suministro de baja tensión proporcionado al inversor **202** es superior que Vn. La salida del circuito desplazador de nivel (una señal de habilitar) BD_out conduce los terminales de puerta de todos los transistores **220** de paso de canal n de los controladores 110 de línea de palabra. El terminal del sustrato de todos los transistores **220** de paso se conecta a Vn. Cada transistor de paso puede pasar selectivamente la señal de selección de fuente (SS), línea de palabra (S0-Sn) y selección de tierra (GS) a la matriz de memoria. El marcador de posición "n" puede ser cualquier número entero distinto de cero, típicamente correspondiente al máximo número de celdas en la cadena de celdas Flash. Se describe ahora el funcionamiento general del circuito de decodificador de bloques.

En una operación de lectura, por ejemplo, se selecciona un bloque de memoria mientras que otros bloques permanecen no seleccionados. En otras palabras, se habilita un bloque de memoria mientras que se deshabilita el resto de bloques de memoria. Para habilitar un bloque de memoria, LTCH_EN y BA estarán en el nivel lógico alto, estableciendo de esta manera el circuito desplazador de nivel para emitir alta tensión Vh. Por lo tanto, se encienden todos los transistores de paso **220** del circuito 110 conductor de línea de palabra. Las líneas de palabra no seleccionadas (Si no seleccionada) se establecerán a una tensión Vread mientras que la línea de palabra seleccionada (Si seleccionada) se establecerá a la tensión deseada. La tensión deseada puede ser -1,5 V si se pretende que la operación de lectura actual distinga entre el estado de celda 0 y el estado de celda 1, por ejemplo. Los bloques de memoria deshabilitados tendrán su correspondiente salida de circuito decodificador de bloques establecida a baja tensión Vn (-1,5 V por ejemplo). Por lo tanto, todos los transistores de paso **220** en los bloques de memoria no seleccionados se apagarán incluso aunque una de las señales Si pueda estar en Vn de -1,5 V por ejemplo. La Tabla 3 ilustra tensiones Vh y Vn de ejemplo para operaciones de lectura, programación, verificación de programación, borrado y verificación de borrado.

Tabla 3

	Vh	Vn
Lectura	~ 6,5 V	0 V/-1,5 V (Vref_rd1)
Programación	~ 18 V	0 v
Verificación de Programación	~ 6,5 V	0 V/-1,1 V (Vref_pv1)
Borrado	Vdd	0 v
Verificación de Borrado	~ 6,5 V	0 v

La Figura 11 es un diagrama esquemático de circuito que muestra un circuito decodificador de filas del decodificador **108** de filas de la Figura 9. El presente diagrama esquemático mostrado de la Figura 11 es únicamente una representación funcional, ya que puede haber diferentes implementaciones de circuito específicas que son posibles. En la técnica anterior se proporcionan los circuitos decodificadores de filas únicamente tensiones en el dominio de tensión de programación. De acuerdo con una realización de la presente invención, se proporciona tanto el dominio de tensión de programación (es decir, tensiones positivas) y el dominio de tensión de borrado (es decir, tensiones negativas) mediante el presente circuito decodificador de filas mostrado. La Figura 11 muestra un circuito para generar una señal de fila Si donde i puede ser un valor entero entre 0 y n, pero los circuitos para generar señales SS y GS se configuran de manera similar. El circuito decodificador de filas incluye un multiplexor **300** para recibir todas las tensiones que se usan durante operaciones de programación, verificación de programación, lectura, borrado y verificación de borrado. Esto incluye por ejemplo, una tensión de verificación de programación Vver, una tensión de lectura Vread, una tensión de paso Vpass, y una tensión de programación Vpgm.

El multiplexor **300** recibe adicionalmente las diferentes tensiones de referencia usadas para operaciones de lectura y programación, tales como Vref_rd1, Vref_rd2 y Vref_rd3 para la configuración de 2 bits/celda. En la presente realización, Vref_rd1 es una tensión de dominio de borrado negativa, mientras que Vref_rd2 y Vref_rd3 son tensiones de dominio de programación positivas. Se puede proporcionar cualquier número de tensiones al multiplexor **300**, y a continuación pasarlas selectivamente al nodo Sn. Se usa la señal de selección de tensión

Vselect para pasar una cualquiera de las tensiones. Los expertos en la materia entenderán que será una señal multi-bit, el número depende del número de puertos de entrada que el multiplexor **300** se configura para que tenga. El circuito decodificador de filas incluye un transistor **302** deshabilitador de canal n conectado entre el nodo Sn y tierra para deshabilitar el circuito cuando no está en uso o durante un modo de operación de apagado, por ejemplo.

5 Durante el funcionamiento general, se habilita la señal Sn en respuesta a una dirección seleccionada para habilitar una línea de palabra particular cuando la dirección RA_b está en el nivel lógico bajo. RA_b puede ser una dirección de fila decodificada o una dirección de fila predecodificada. Dependiendo de la operación que se va a realizar, se establecerá Vselect para pasar una de las tensiones recibidas mediante el multiplexor **300** al nodo Sn. Aunque no se muestra, se controlan los generados **104** y **106** de la Figura 9 de tensión para proporcionar los niveles de tensión apropiados dependiendo de la operación que se realice. La Tabla 4 ilustra tensiones de ejemplo aplicadas a las líneas de palabra y mediante el circuito decodificador de filas durante una operación de lectura para líneas de palabra seleccionadas y no seleccionadas Si, donde i es un valor entero entre 0 y n. la Tabla 5 ilustra tensiones de ejemplo aplicadas a las líneas de palabra y mediante el circuito decodificador de filas durante una operación de verificación de programación para líneas de palabra seleccionadas y no seleccionadas Si, donde i es un valor entero entre 0 y n.

Tabla 4

Señal	Estado de Celda 1 ↔ 2	Estado de Celda 2 ↔ 3	Estado de Celda 3 ↔ 4
BD_out No seleccionada (Bloque no Seleccionado)	-1,5 V	- 1,5 V o 0 V	-1,5 V o 0 V
BD_out Seleccionada (Bloque Seleccionado)	6,5 V	6,5 V	6,5 V
Vh	6,5 V	6,5 V	6,5 V
Vn	-1,5 V	-1,5 V o 0 V	-1,5 V o 0 V
SS	4,8 V (Vread)	4,8 V (Vread)	4,8 V (Vread)
Si Seleccionada	-1,5 V (Vref_rd1)	0 V (Vref_rd2)	1,5 V (Vref_rd3)
Si No Seleccionada	4,8 V (Vread)	4,8 V (Vread)	4,8 V (Vread)
GS	4,8 V (Vread)	4,8 V (Vread)	4,8 V (Vread)

Tabla 5

Señal	Estado de Celda 1 ↔ 2	Estado de Celda 2 ↔ 3	Estado de Celda 3 ↔ 4
BD_out No Seleccionada (Bloque no Seleccionado)	-1,1 V	-1,1 V o 0 V	-1,1 V o 0 V
BD_out Seleccionada (Bloque Seleccionado)	6,5 V	6,5 V	6,5 V
Vh	6,5 V	6,5 V	6,5 V
Vn	-1,1 V	0,5 V o 0 V	2,1 V o 0 V
SS	4,8 V (Vread)	4,8 V (Vread)	4,8 V (Vread)
Si Seleccionada	-1,1 V (Vref_pv1)	0,5 V (Vref_pv2)	2,1 V (Vref_pv3)
Si No Seleccionada	4,8 V (Vread)	4,8 V (Vread)	4,8 V (Vread)
GS	4,8 V (Vread)	4,8 V (Vread)	4,8 V (Vread)

En los esquemas de programación de la técnica anterior, se confinan los estados de celda programados al dominio de tensión de programación, es decir, teniendo tensiones umbral positivas. En el presente esquema de programación de umbral equilibrado desvelado, al menos una celda programada reside en el dominio de tensión de borrado. Por lo tanto, se usa un algoritmo de verificación de borrado para asegurar que todas las celdas de memoria borradas tengan el nivel de tensión umbral de borrado apropiado. La Figura 12 es un diagrama de flujo que muestra un método para realizar una operación de verificación de borrado de acuerdo con una realización de la presente invención. Puesto que un estado programado estará en el dominio de tensión de borrado, el método de la Figura 12 asegura que todas las celdas de memoria se borran suficientemente de manera que sus tensiones de umbral no radican en el intervalo de tensión umbral negativo designado para un estado programado.

El método de la Figura 12 comienza en la etapa **400** borrando un bloque seleccionado de la matriz de memoria. Después de que se hayan borrado todas las celdas de memoria, se precargan todas las líneas de bits del bloque de memoria seleccionado a un primer nivel de tensión tal como VDD en la etapa **402**. Se aplica a continuación una tensión de referencia a todas las líneas de palabra de las celdas de memoria en la etapa **404**. Se supone que se configuran las celdas de memoria como cadenas de celdas NAND, tales como las anteriormente mostradas en la Figura 2. Se selecciona la tensión de referencia para que sea la más alta posible tensión umbral de borrado para el estado de borrado, e inferior que la más baja posible tensión umbral de programación para el estado de programación adyacente. En general, la tensión de referencia en la tensión del dominio de borrado, y en el ejemplo el dominio de borrado está por debajo de 0 V, la tensión de referencia es un nivel de tensión negativo. Con referencia a la distribución de tensión umbral de ejemplo de la Figura 7, por ejemplo, si todas las celdas de memoria se han borrado apropiadamente, a continuación su tensión umbral debería estar entre -2,9 y -2,1 voltios. La tensión de referencia aplicada a las líneas de palabra será aproximadamente -1,5 voltios. Si se han borrado apropiadamente todas las celdas de memoria, a continuación el nivel de -1,5 voltios en las líneas de palabra 0 a 31 es suficiente para encender los transistores y descargar la línea de bits a CSL o tierra. Sin embargo, si cualquiera de las celdas en la cadena de celdas NAND tiene una tensión umbral superior a -1,5 voltios, a continuación la línea de bits no descargará a tierra. Por lo tanto, se detecta la tensión de línea de bits en la etapa **406**. En la etapa **408**, se realiza una determinación para ver si la tensión de la línea de bits es igual o no a la tensión de precarga original. Si la tensión de la línea de bits es la misma, a continuación el método vuelve a la etapa **400** para reborrar las celdas y repetir el proceso de verificación. De otra manera, todas las celdas de memoria que se hayan borrado apropiadamente y el método de verificación de borrado finaliza en la etapa **410**.

Después de que se ha verificado que todas las celdas de memoria se han borrado satisfactoriamente, puede continuar la programación de datos a las celdas de memoria. La Figura 13 es un diagrama de flujo que ilustra un método de programación de un estado programado en el dominio de tensión de borrado, de acuerdo con una realización de la presente invención. Se inicia el método en la etapa **500** establecimiento los parámetros ISPP tales como número de impulsos de programación y tamaño de paso para cada impulso, para que se programe el estado en el dominio de tensión de borrado. En la etapa **502** se programa la tensión umbral del dominio de tensión de borrado a las celdas de memoria Flash seleccionadas. Como se ha mencionado anteriormente, se desplaza eficazmente la tensión umbral de borrado de una celda de memoria al nivel de tensión umbral de dominio de borrado deseado usando un número predeterminado de impulsos de programación y tamaños de paso de acuerdo con el esquema ISPP. En la etapa **504** se ejecuta una operación de verificación de programación para asegurar que se ha programado apropiadamente el estado programado. Más específicamente, la verificación de programación usará la tensión de referencia de dominio de tensión de borrado apropiada para verificar el estado programado. En el presente ejemplo, la tensión de referencia de verificación de programación será un nivel de tensión negativo. Se muestran detalles adicionales de la operación de verificación de programación más adelante en la Figura 14.

Se realiza una determinación en la etapa **506** para ver si al menos una celda de memoria falla verificación de programación. Si se determina al menos un fallo, el método a continuación vuelve a la etapa **502** para reprogramación de la al menos una celda de memoria. De otra manera, todas las celdas de memoria se han considerado que se hayan programado satisfactoriamente, y el método continúa a la etapa **508** donde se ejecutan secuencias de programación posteriores para los estados restantes. Los estados restantes pueden incluir estados de dominio de tensión de borrado y/o estados de dominio de tensión de programación adicionales. Los estados de dominio de tensión de borrado adicionales se programan de acuerdo con la misma secuencia mostrada en las etapas **500** a **506** pero con diferentes parámetros ISPP y tensiones de referencia de verificación de programación.

La Figura 14 es un diagrama de flujo de un método para realizar una operación de verificación de programación después de que se haya programado un estado en el dominio de tensión de borrado. Se inicia el método en la etapa **600** precargando las líneas de bits a un primer nivel de tensión, tal como un nivel de tensión positivo por ejemplo. En la etapa **602** se conduce la línea de palabra seleccionada que corresponde a la página que se programó a una tensión de referencia de dominio de tensión de borrado, y se conducen las líneas de palabra no seleccionadas a una tensión de lectura en la etapa **604**. Se selecciona la tensión de referencia de dominio de tensión de borrado para que sea inferior que el intervalo de tensión umbral deseado del estado actualmente programado, pero superior que el estado adyacente que tiene un intervalo de tensión umbral inferior. En el ejemplo de la Figura 7, si el estado programado que se está verificando es el estado de celda 1, se selecciona a continuación la tensión de referencia de dominio de tensión de borrado para que sea superior a $V_{ref1-rd}$. La tensión de lectura es típicamente una tensión de dominio de tensión de programación suficiente para encender una celda de memoria que tiene la tensión umbral programada más alta, tal como V_{red} en el ejemplo de la Figura 7. Se detecta la línea de bits en la etapa **606**, y se realiza una determinación en la etapa **608** para ver si ha cambiado la tensión de la línea de bits, es decir se ha descargado a través de la cadena de celdas NAND. Si hay un cambio en la tensión de línea de bits, a continuación la tensión umbral del estado actualmente programado es demasiado bajo y conduce corriente. Por lo tanto la celda o celdas de memoria se considera que hayan fallado, y el método continúa a la etapa **610** para repetir la programación para la celda o celdas falladas. De otra manera, el método de verificación de programación finaliza en la etapa **602** ya que todas las celdas han pasado verificación para el estado actualmente programado.

Una vez que se han programado y verificado los datos, se pueden leer desde la matriz de memoria. En un esquema

de detección multi-nivel se establecen los cerrojos para los dos bits que representan uno de cuatro posibles estados lógicos a estados por defecto, tales como 1,1 por ejemplo. Se consigue la lectura al leer iterativamente la celda aplicando Vref1-rd, Vref2-rd y Vref3-rd en cada iteración. Si se determina que la tensión umbral de la celda de memoria seleccionada sea menos que la tensión de referencia aplicada para esa iteración, entonces no se cambia ningún estado de bit, o alterna. Si se determina que la tensión umbral de la celda de memoria seleccionada sea mayor que la tensión de referencia aplicada para esa iteración, se cambia a continuación un estado de bit o alterna. El bit particular a alternar depende de la iteración de lectura específica que se ejecute. Esto asegura que los estados de bits para la tensión umbral más baja (es decir estado borrado) permanecerán sin cambiar para cada iteración posterior. Por lo tanto, para una celda de memoria multi-nivel de dos bits, se requieren tres iteraciones de lectura para determinar los dos estados de bits de la celda de memoria.

La Figura 15 es un diagrama de flujo de un método para leer un estado de celda en el dominio de tensión de borrado. Se inicia este método en la etapa **700** precargando las líneas de bits a un primer nivel de tensión, tal como un nivel de tensión positivo por ejemplo. Se conduce la línea de palabra seleccionada a una tensión de referencia de dominio de tensión de borrado en la etapa **702**, mientras que se conducen las restantes líneas de palabra no seleccionadas a una tensión de lectura en la etapa **704**. En el presente ejemplo descrito, se selecciona la tensión de referencia de dominio de tensión de borrado para que sea inferior que el intervalo de tensión umbral deseado del estado actualmente programado, pero superior que el estado adyacente que tiene un intervalo de tensión umbral inferior. En el ejemplo de la Figura 8, si el estado programado que se lee es el estado de celda 1, se selecciona a continuación la tensión de referencia del dominio de tensión de borrado para que sea Vref1-rd. La tensión de lectura es típicamente una tensión de dominio de tensión de programación suficiente para encender una celda de memoria que tenga la tensión umbral de programación más alta, tal como Vread en el ejemplo de la Figura 8. Se detecta la línea de bits en la etapa **706** para determinar si la tensión umbral de la celda es mayor que o menor que Vref1-rd, y se actualizan los estados de los bits. En la etapa **708**, se detectan los estados restantes para completar la operación de lectura para la celda de memoria. Los estados restantes pueden ser estados de dominio de tensión de borrado y estados de dominio de tensión de programación adicionales. En otras palabras, se repetirá el proceso de lectura con los parámetros actualizados que corresponden al estado que se ha detectado, es decir, estableciendo la tensión de referencia a Vref2-rd en la etapa **700**. Una vez que se detectan todos los posibles estados almacenados en la celda de memoria Flash, se emiten los estados lógicos multi-bit que corresponden al nivel de umbral almacenado en la celda de memoria a través de circuitos de ruta de lectura en la etapa **710**.

Por lo tanto, programando al menos un estado en el dominio de tensión de borrado como se ha descrito anteriormente en la realizaciones de la presente invención, se maximiza la fiabilidad o resistencia de un dispositivo de memoria Flash multi-nivel en relación con la técnica anterior de dispositivos de memoria Flash multi-nivel debido a que se minimiza la ventana V_t para cada estado de celda mientras que se maximiza la distancia V_t entre los estados de celda. Como alternativa, se puede relajar la ventana V_t para cada estado de celda, aumentando de esta manera la velocidad de programación ISPP en relación con dispositivos de memoria Flash multi-nivel de la técnica anterior ya que se aumentan los tamaños de paso y se reduce el número de etapas. Los expertos en la materia entenderán que la optimización de la ventana V_t y la distancia V_t adaptada para la aplicación específica del dispositivo de memoria Flash multi-nivel.

Se pretende que las realizaciones anteriormente descritas de la presente invención sean ejemplos únicamente. Se pueden efectuar alteraciones, modificaciones y variaciones a las realizaciones particulares por los expertos en la materia sin alejarse del alcance de la invención, que se define únicamente mediante las reivindicaciones adjuntas a este fin.

Por ejemplo, se describe el dominio de tensión de borrado en las realizaciones de ejemplo como que son tensiones menores que 0 V mientras que el dominio de tensión de programación incluye tensiones mayores que 0 V. En una realización alternativa, se puede invertir el esquema de distribución de tensión umbral, de manera que el dominio de tensión de borrado incluye tensiones mayores que 0 V mientras que el dominio de tensión de programación incluye tensiones menores que 0 V.

En la descripción anterior, con fines de explicación, se exponen numerosos detalles para proporcionar un entendimiento a través de la misma de realizaciones de la invención. Sin embargo, será evidente para un experto en la materia que esos detalles específicos no se requieren para poner en práctica la invención. En otros casos, se muestran estructuras eléctricas y circuitos bien conocidos en forma de diagrama de bloques para no complicar la invención. Por ejemplo, no se proporcionan detalles específicos en cuanto a que las realizaciones de la invención descritas en el presente documento se implementan como una rutina de software, circuito de hardware, firmware o una combinación de los mismos.

Se pueden representar las realizaciones de la invención como un producto de software almacenado en un medio legible por máquina (también denominado como un medio legible por ordenador, un medio legible por procesador o un medio usable por ordenador que tiene un código de programa legible realizado en el mismo). El medio legible por máquina puede ser cualquier medio tangible adecuado, incluyendo medio de almacenamiento magnético, óptico o eléctrico que incluye un disquete, disco compacto de memoria de solo lectura (CD-ROM), dispositivo de memoria

5 (volátil o no volátil) o mecanismo de almacenamiento similar. El medio legible por máquina puede contener varios conjuntos de instrucciones, secuencias de código, información de configuración u otros datos que, cuando se ejecutan, producen que un procesador realice las etapas en un método de acuerdo con una realización de la invención. Los expertos en la materia apreciarán que se pueden almacenar también otras instrucciones y operaciones necesarias para implementar la invención descrita en un medio legible por máquina. El software que se ejecuta desde el medio legible por máquina puede interactuar con la circuitería para realización las tareas descritas.

Se pretende que las realizaciones anteriormente descritas de la invención sean ejemplos únicamente. Se pueden efectuar alteraciones, modificaciones y variaciones a las realizaciones particulares por los expertos en la materia sin alejarse del alcance de la invención, que se define únicamente mediante las reivindicaciones adjuntas a este fin.

10

REIVINDICACIONES

1. Un dispositivo de memoria Flash NAND que comprende:

una matriz de memoria que tiene bloques de celdas (50) de memoria dispuestas como cadenas de celdas NAND donde cada bloque incluye una fila de cadenas de celdas NAND,

5 **caracterizado porque:**

cada uno de los bloques de celdas (50) de memoria es borrrable mediante tunelización-FN para tener una tensión umbral de borrado negativa y programable mediante tunelización-FN para tener una tensión umbral de programación negativa o una tensión umbral de programación positiva;

10 circuitería (100) lógica de control de filas para seleccionar un bloque de la matriz de memoria y conducir selectivamente una línea de palabra (WL_n) conectada a un terminal de puerta de una celda (50) de memoria del bloque con una tensión positiva durante la primera operación de verificación de programación y lectura y una tensión negativa durante la segunda operación de verificación de programación y lectura.

15 2. El dispositivo de memoria Flash de la reivindicación 1, que incluye adicionalmente un generador de tensión positiva para proporcionar una tensión positiva, y un generador de tensión negativa para proporcionar una tensión negativa.

3. El dispositivo de memoria Flash de la reivindicación 1, en el que cada celda de memoria es programable para almacenar dos bits de datos que corresponden a la primera, segunda, tercera y cuarta tensiones umbral, en el que la primera tensión umbral corresponde a la tensión umbral de borrado negativa y la segunda tensión umbral es una tensión umbral negativa, y la tercera tensión umbral y la cuarta tensión umbral son tensiones umbral positivas.

20 4. El dispositivo de memoria Flash de la reivindicación 1, en el que cada celda de memoria es programable para almacenar tres bits de datos que corresponden a la primera, segunda, tercera, cuarta, quinta, sexta, séptima y octava tensiones umbral.

5. El dispositivo de memoria Flash de la reivindicación 4, en el que:

la primera, segunda y tercera tensiones umbral son tensiones umbral negativas; o

25 la primera, segunda, tercera, cuarta y quinta tensiones umbral son tensiones umbral negativas.

6. El dispositivo de memoria Flash de la reivindicación 1, en el que la lógica de control de filas comprende adicionalmente:

un decodificador de filas para recibir la tensión positiva y la tensión negativa, proporcionando el decodificador de filas una señal de filas que corresponde a la línea de palabra en respuesta a una dirección de fila, y

30 un controlador de línea de palabra para conducir la línea de palabra con la señal de fila en respuesta a una señal de habilitar.

7. El dispositivo de memoria Flash de la reivindicación 6, en el que la lógica de control de filas comprende adicionalmente:

35 un decodificador de bloques para proporcionar la señal de habilitar en respuesta a una dirección de bloque, teniendo la señal de habilitar una de tensión positiva o tensión negativa.

8. El dispositivo de memoria Flash de la reivindicación 1, en el que la tensión umbral de borrado negativa de las celdas (50) de memoria dispuestas como cadenas de celdas NAND se verifica mediante:

precargar (402) una línea de bits (54) acoplada a la cadena NAND a un primer nivel de tensión;

40 aplicar (404) una tensión negativa a todas las líneas de palabra (WL₀-WL_n) conectadas a las celdas (50) de memoria borradas de la cadena NAND para acoplar la línea de bits a un segundo nivel de tensión; y

detectar (406) un cambio de nivel de tensión en la línea de bits (54) si todas las celdas (50) de memoria borradas tienen la tensión umbral de borrado negativa.

9. El dispositivo de memoria Flash de la reivindicación 8, en el que la tensión negativa es mayor que la tensión umbral borrada y menor que una tensión umbral programada negativa, y
- 5 la verificación de la tensión umbral de borrado negativa de las celdas de memoria incluye adicionalmente borrar las celdas de memoria si no se detecta cambio de nivel de tensión en la línea de bits, opcionalmente, incluyendo adicionalmente repetir las etapas de precargar, aplicar y detectar después de la etapa de borrar las celdas de memoria.
10. Un método para programar una celda (50) de memoria Flash de cadena de celdas NAND, **caracterizado por que:**
- 10 borrar (400) todas las celdas (50) de memoria flash de un bloque de celdas (50) de memoria flash para tener una primera tensión umbral negativa;
- cambiar (502, 508) la primera tensión umbral negativa de la celda (50) de memoria Flash a una de una segunda tensión umbral negativa y una tensión umbral de programación positiva mediante tunelización-FN.
11. El método de la reivindicación 10, en el que la etapa de cambiar incluye:
- polarizar una línea de bits conectada a la celda de memoria Flash para un nivel de tensión de programación; y
- 15 conducir una línea de palabra conectada a la celda de memoria Flash con un número predeterminado de impulsos, teniendo cada impulso un tamaño de paso predeterminado.
12. El método de la reivindicación 10, en el que el método incluye adicionalmente verificar la segunda tensión umbral y repetir la etapa de cambiar si la celda de memoria Flash no tiene la segunda tensión umbral.
- 20 13. El método de la reivindicación 10, en el que la cadena de celdas NAND incluye la celda de memoria Flash y una pluralidad de celdas de memoria Flash, y la etapa de conducir incluye adicionalmente conducir líneas de palabra conectadas a la pluralidad de celdas de memoria Flash con una tensión de paso.
14. El método de la reivindicación 12, en el que la etapa de verificar incluye
- precargar una línea de bits conectada a la cadena de celdas NAND a un primer nivel de tensión,
- 25 conducir una línea de palabra conectada a la celda de memoria Flash con una tensión de referencia mayor que la primera tensión umbral y menor que la segunda tensión umbral, y
- detectar un cambio de nivel de tensión en la línea de bits.
15. El método de la reivindicación 10, que comprende adicionalmente:
- verificar la primera tensión umbral negativa aplicando una tensión negativa a todas las líneas de palabra de las celdas de memoria flash de la cadena de celdas NAND.

30

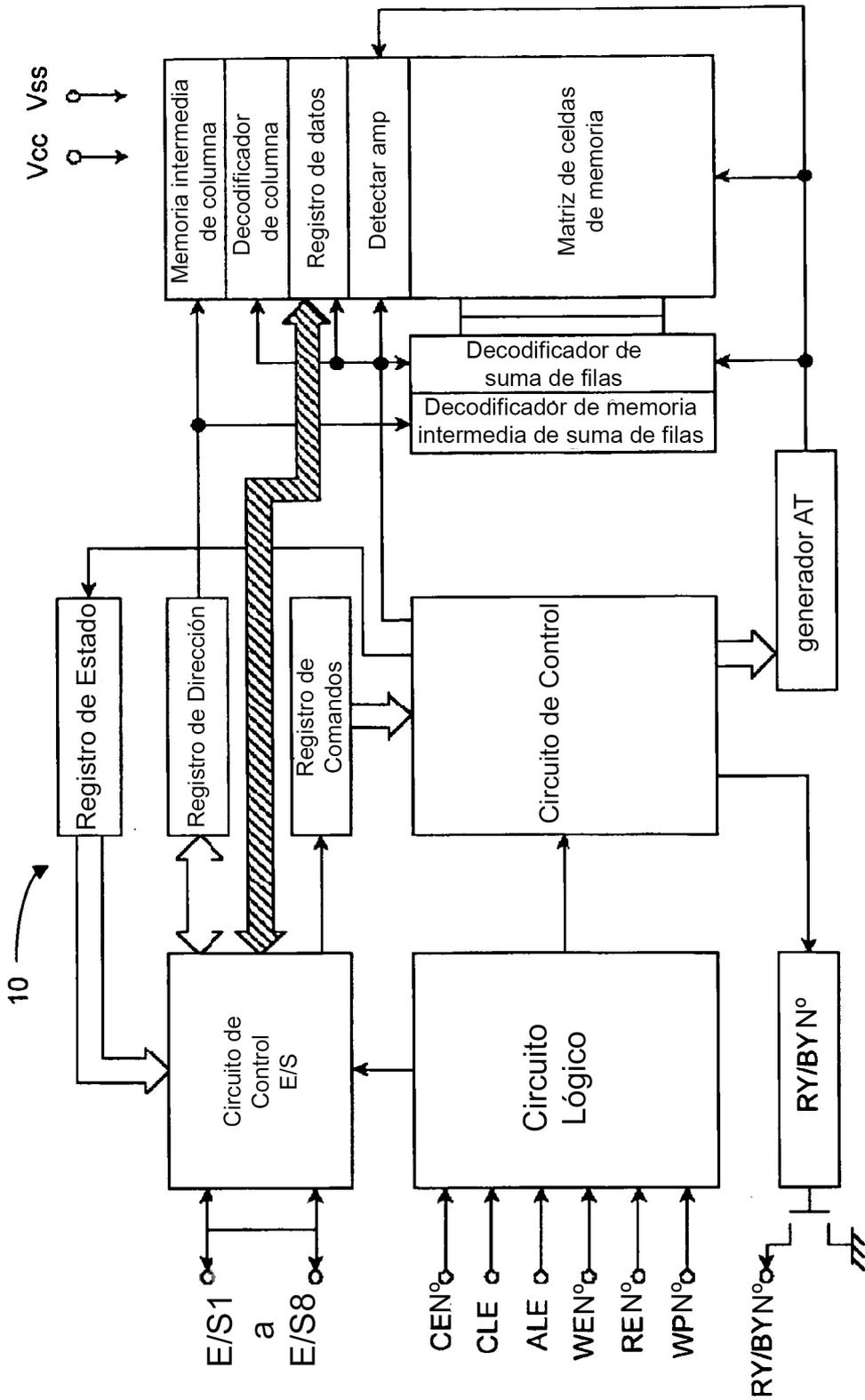


Figura 1

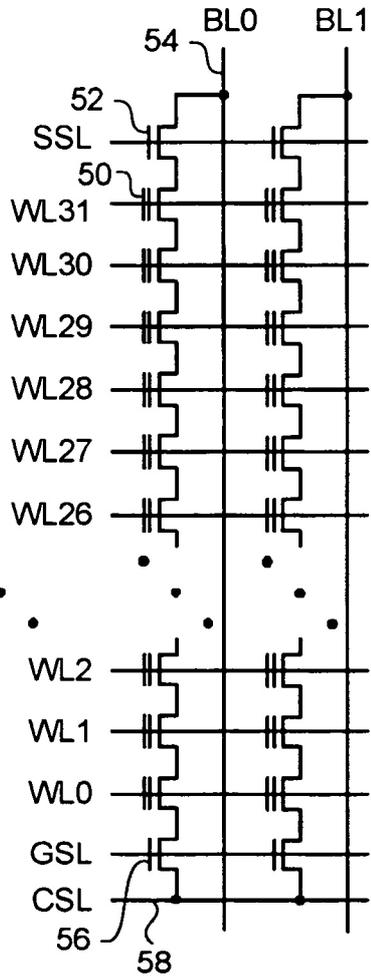


Figura 2

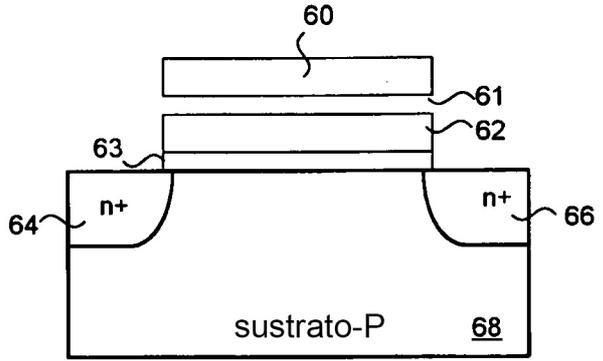


Figura 3 (Técnica Anterior)

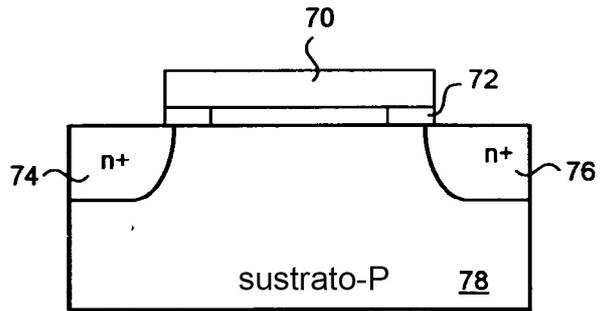


Figura 4 (Técnica Anterior)

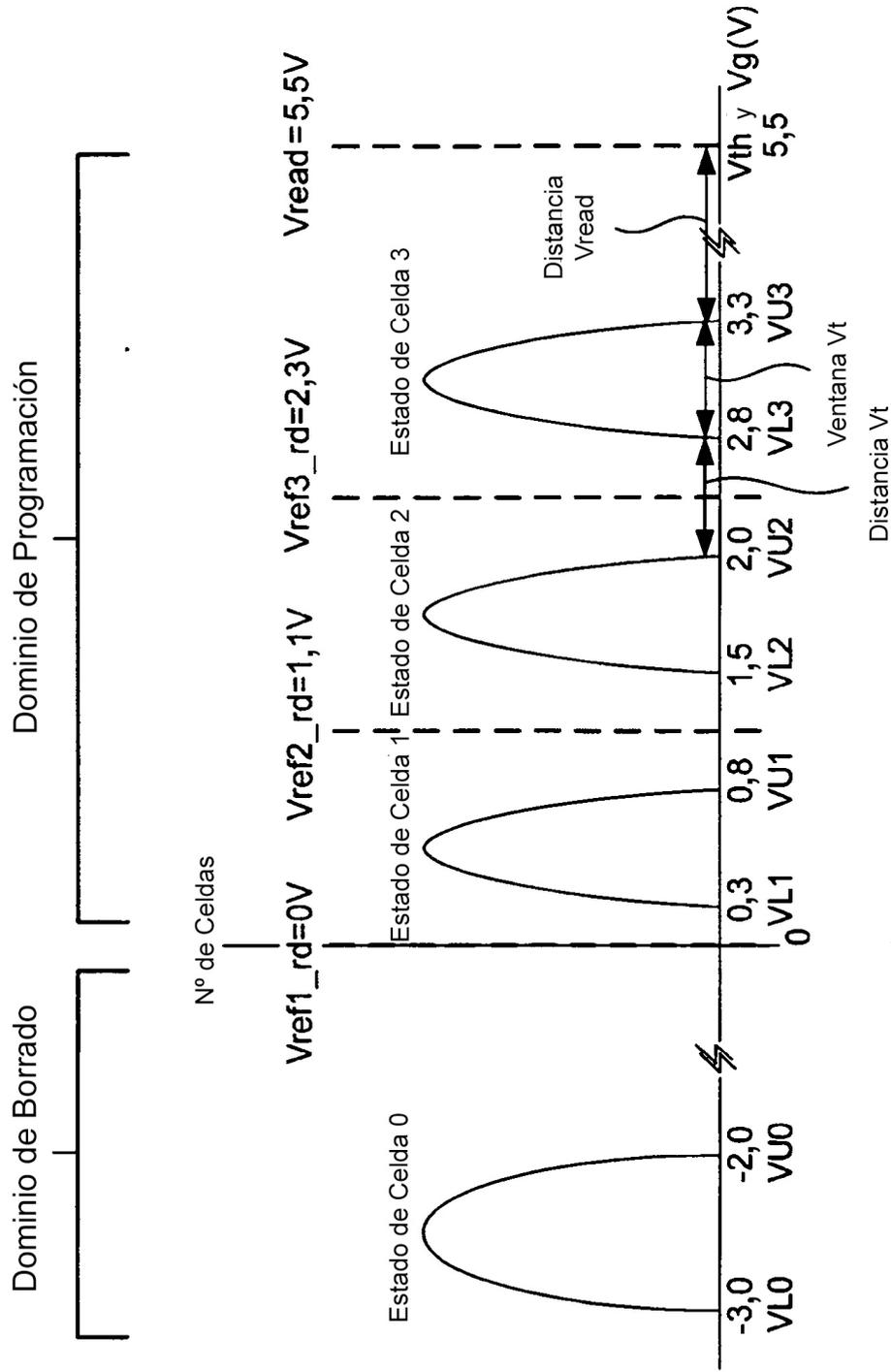


Figura 5 (Técnica Anterior)

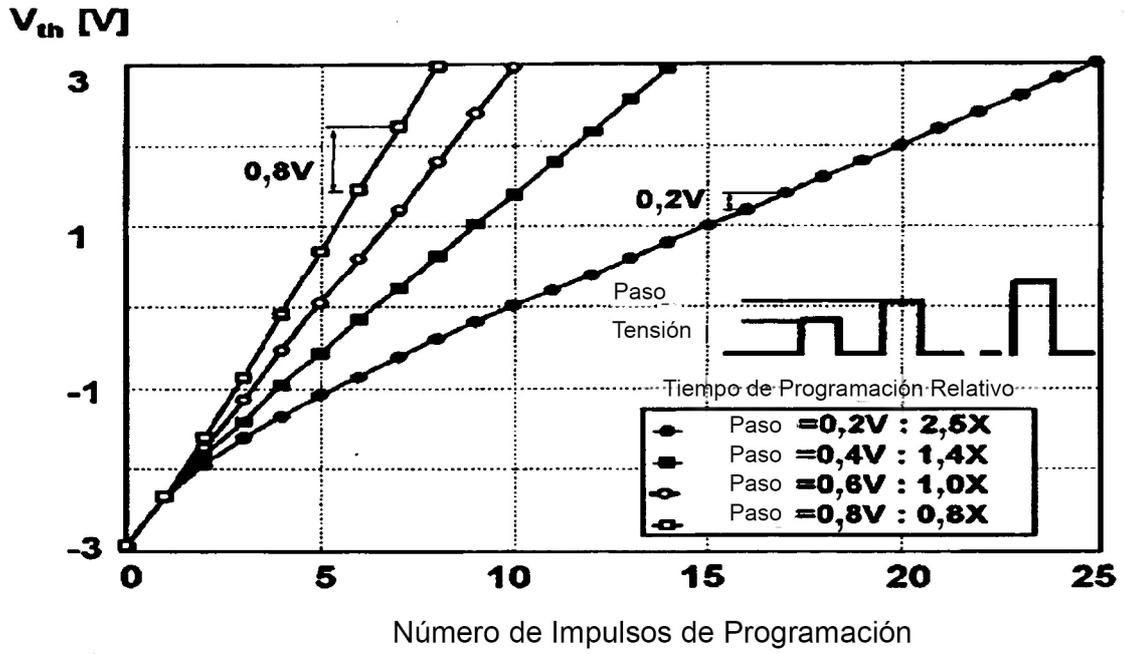


Figura 6 (Técnica Anterior)

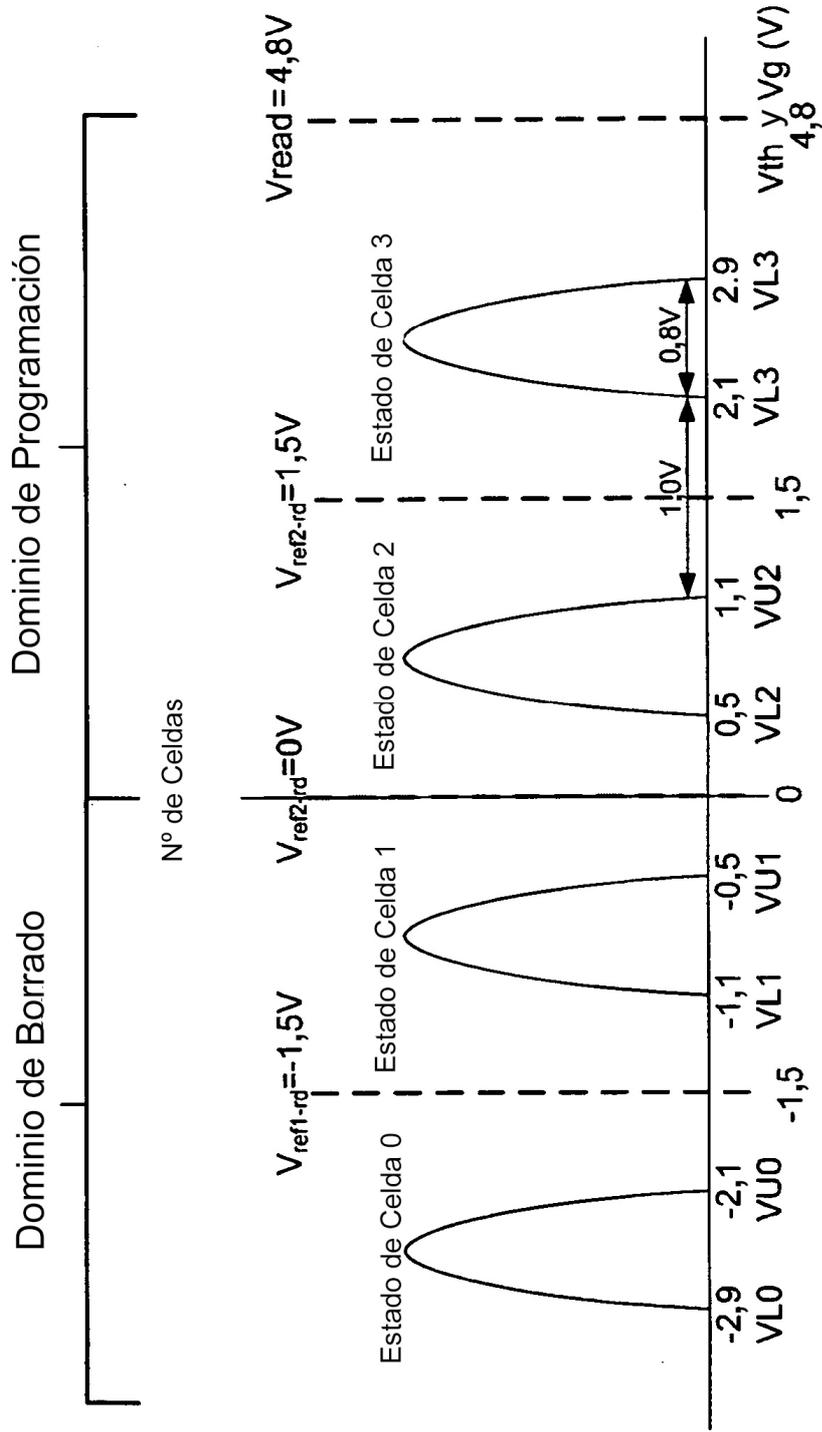


Figura 7

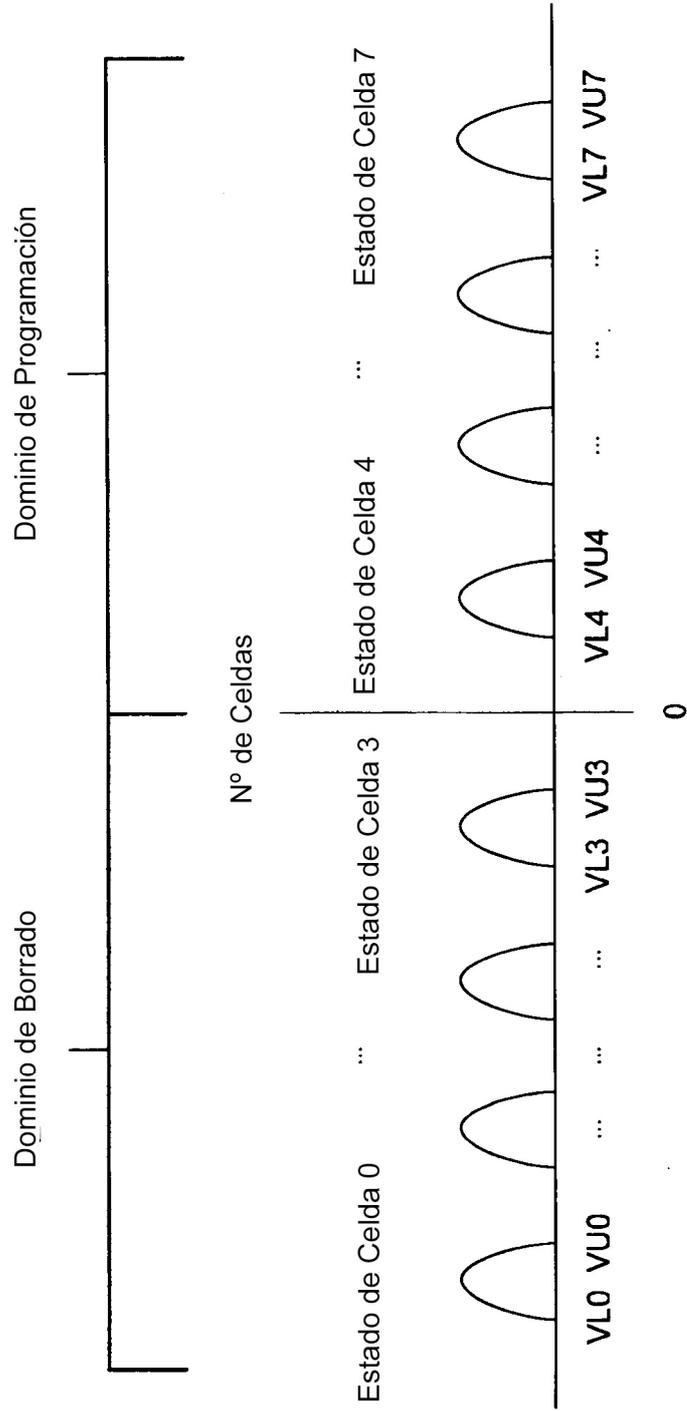


Figura 8

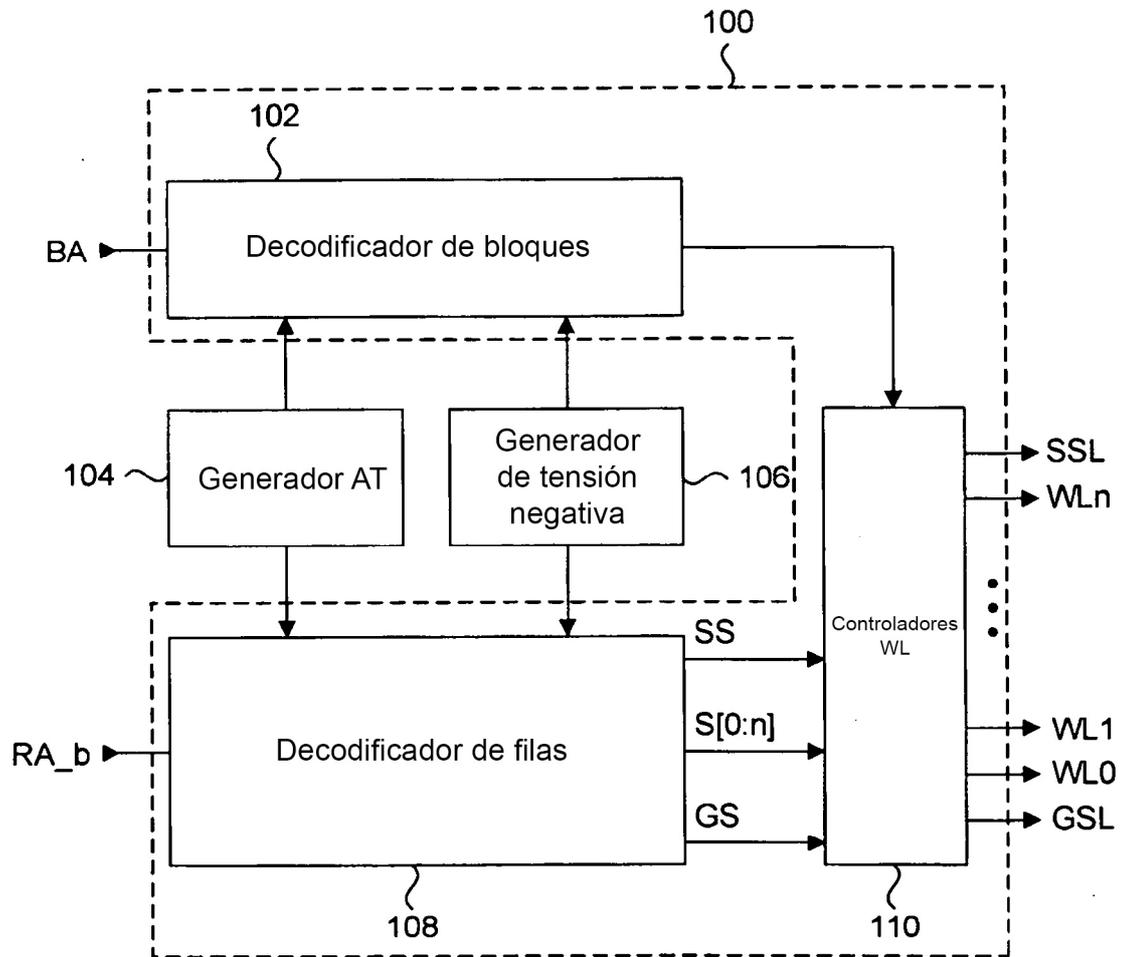


Figura 9

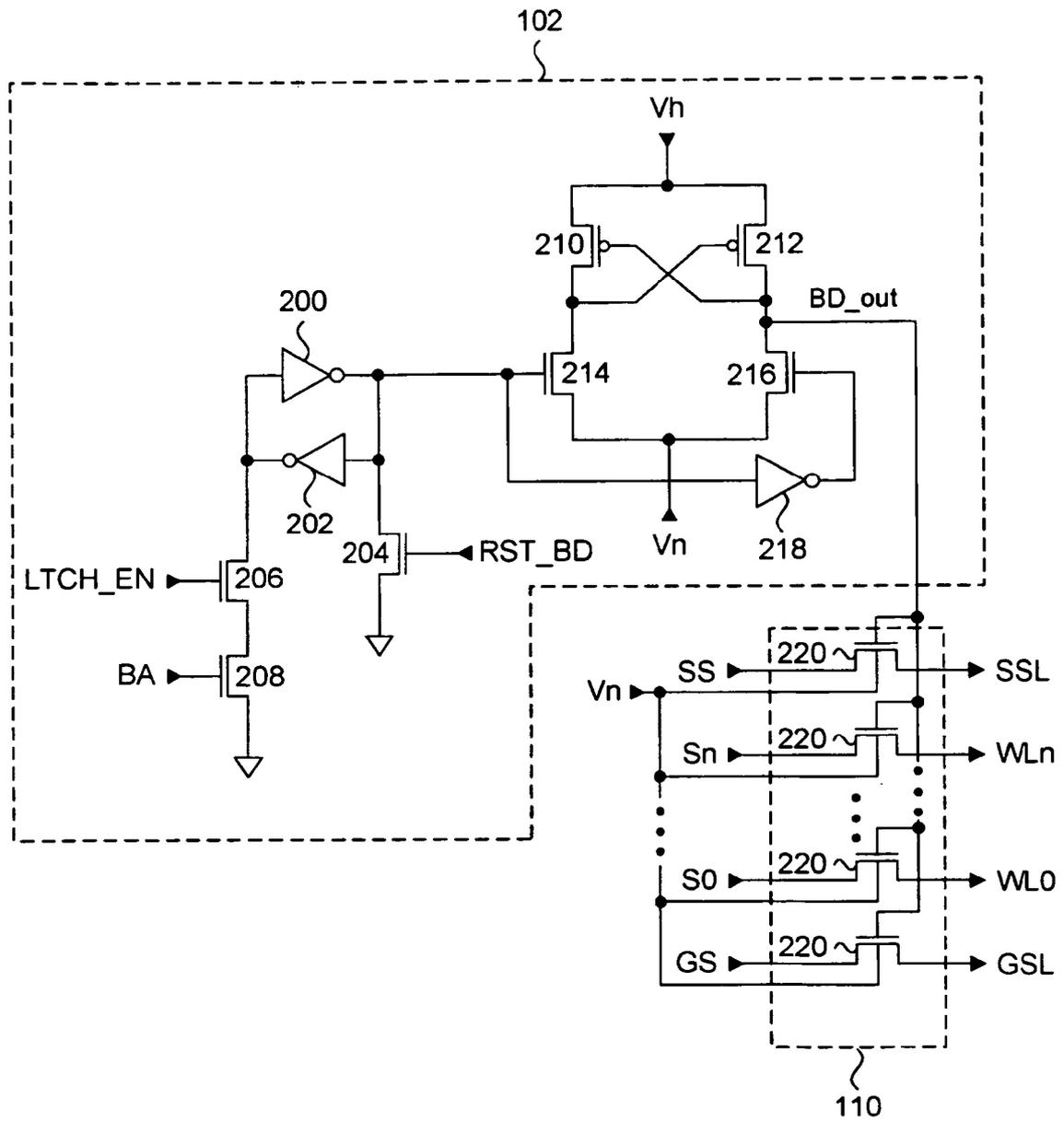


Figura 10

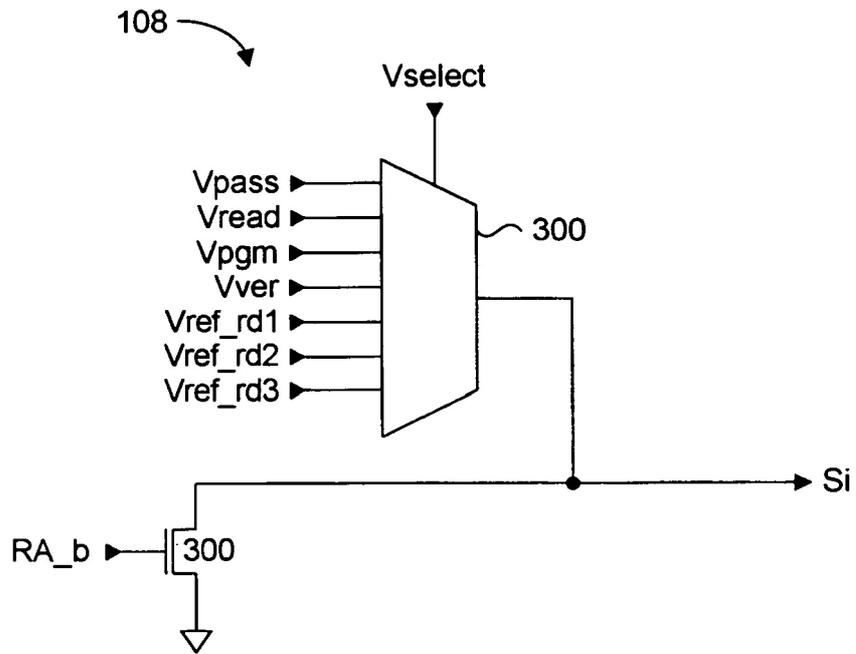


Figura 11

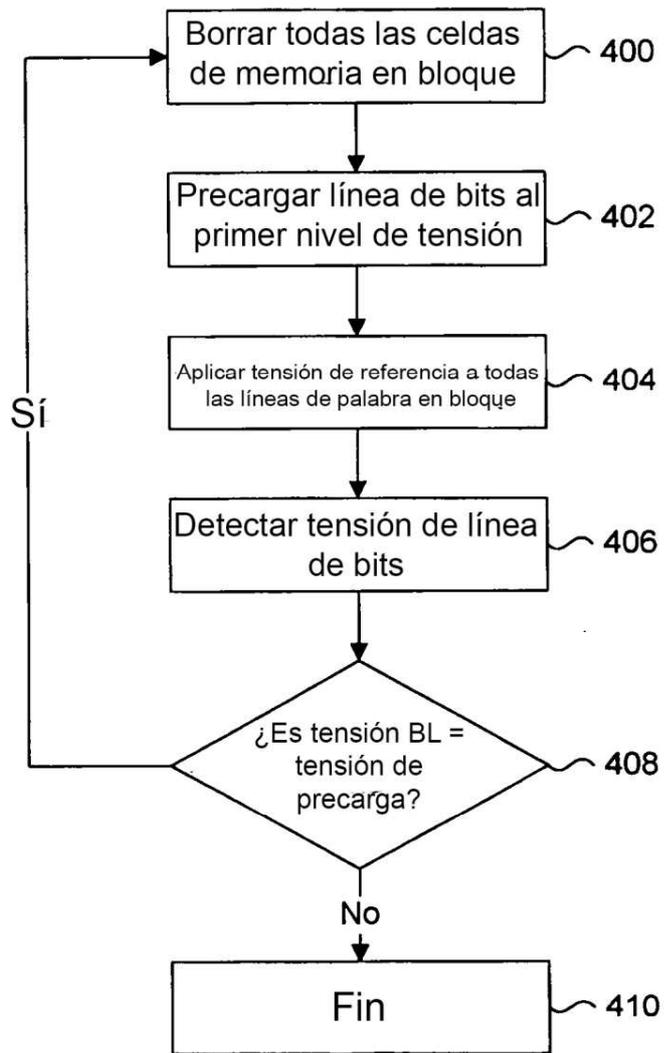


Figura 12

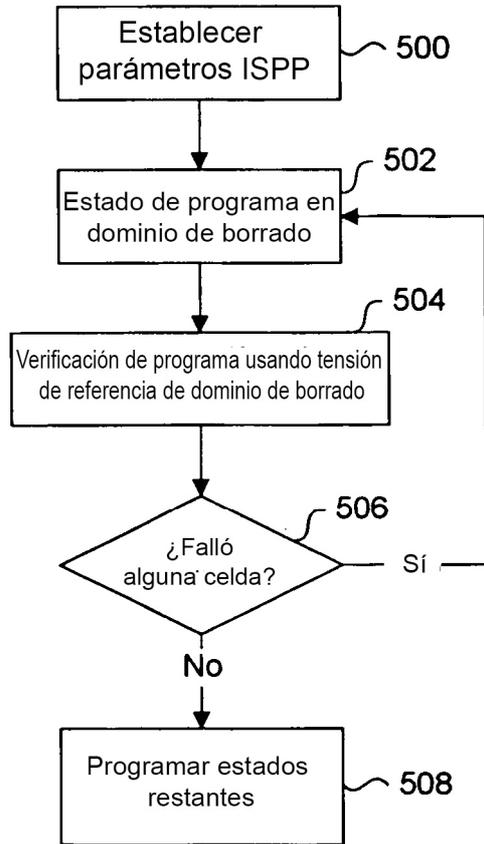


Figura 13

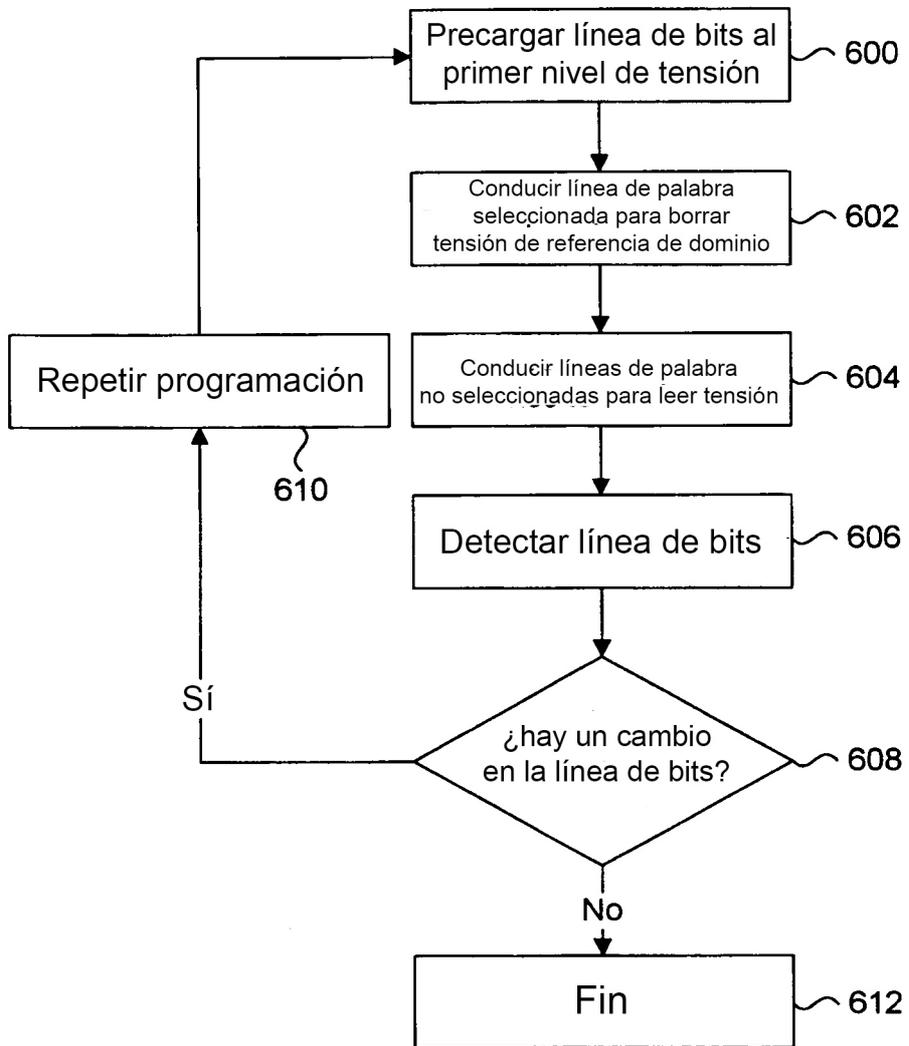


Figura 14

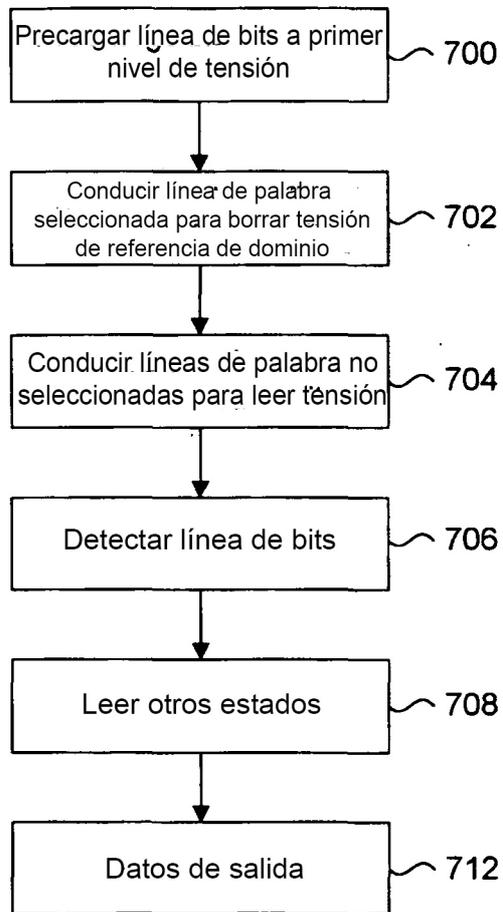


Figura 15