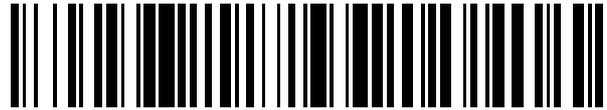


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 405 952**

51 Int. Cl.:

G11C 5/06 (2006.01)

G11C 7/10 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.09.2006 E 08006225 (0)**

97 Fecha y número de publicación de la concesión europea: **06.02.2013 EP 1981032**

54 Título: **Dispositivo en cascada de cadena de margarita**

30 Prioridad:

30.09.2005 US 722368 P

30.12.2005 US 324023

28.03.2006 US 787710 P

31.07.2006 US 496278

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

04.06.2013

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED
(100.0%)**

**SUITE 203, 11 HINES ROAD
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:

**PYEON, HONG BEOM;
KIM, JIN-KI y
OH, HAKJUNE**

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 405 952 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivos en cascada de cadena de margarita.

ANTECEDENTES DE LA INVENCION

5 Los sistemas informáticos actuales pueden encontrarse en casi todas partes y se han introducido en muchos dispositivos que la sociedad utiliza a diario, tales como teléfonos móviles, ordenadores portátiles, automóviles, dispositivos médicos, ordenadores personales y así sucesivamente. En general, la sociedad ha depositado mucha confianza en los sistemas informáticos para manejar tareas diarias, tales como tareas simples como llevar el saldo de chequeras hasta tareas relativamente complejas, tales como predecir el tiempo. A medida que la tecnología progresa, cada vez más tareas se migran a sistemas informáticos. A su vez, esto hace que la sociedad confíe cada vez más en estos sistemas.

10 Un sistema informático típico comprende una placa base y opcionalmente uno o varios dispositivos periféricos, tales como comunidades de visualización, unidades de almacenamiento y similares. La placa base puede contener uno o varios procesadores, un subsistema de memoria y otra lógica, tal como interfaces de dispositivos en serie, controladores de dispositivos de red, controladores de disco duro y similares.

15 El tipo de procesadores que se utilizan en una placa base particular depende habitualmente del tipo de tareas llevadas a cabo por el sistema. Por ejemplo, un sistema que realiza un conjunto limitado de tareas, tales como monitorizar las emisiones generadas por el motor de un automóvil y regular una mezcla de aire/combustible para asegurar que el motor está quemando por completo el combustible, puede utilizar un simple procesador especializado, que está adaptado para realizar estas tareas. Por otra parte, un sistema que lleva a cabo muchas tareas diferentes, tales como administrar muchos usuarios y ejecutar muchas aplicaciones diferentes, puede utilizar uno o varios procesadores complejos cuya naturaleza es de propósito general, configurados para realizar cálculos de alta velocidad y manipular datos a efectos de minimizar el tiempo de respuesta para dar servicio a las solicitudes de los usuarios.

20 El subsistema de memoria es un almacenamiento que contiene información (por ejemplo, instrucciones, valores de datos) utilizados por los procesadores. El subsistema de memoria comprende habitualmente lógica del controlador y uno o varios dispositivos de memoria. La lógica del controlador está configurada para interconectar los dispositivos de memoria con los procesadores, y permitir que los procesadores almacenen información en los dispositivos de memoria y la recuperen de los mismos. Los dispositivos de memoria contienen la propia información.

25 Tal como con los procesadores, el tipo de dispositivos utilizados en un subsistema de memoria se rige a menudo por el tipo de tareas llevadas a cabo por el sistema informático. Por ejemplo, un sistema informático puede tener la tarea de tener que arrancar sin la ayuda de una unidad de disco y ejecutar un conjunto de rutinas de software que no cambian con frecuencia. En este caso, el subsistema de memoria puede utilizar dispositivos no volátiles, tales como dispositivos de memoria flash, para almacenar las rutinas de software. Otros sistemas informáticos pueden ejecutar tareas muy complejas que requieren un enorme almacenamiento de datos de alta velocidad para contener gran cantidad de información. En este caso, el subsistema de memoria puede utilizar dispositivos de memoria dinámica de acceso aleatorio (DRAM, Dynamic Random Access Memory) de alta velocidad y alta densidad para almacenar gran cantidad de información.

30 Actualmente, los dispositivos de disco duro tienen altas densidades que pueden almacenar de 20 a 40 gigabytes de datos, pero son relativamente voluminosos. Sin embargo, la memoria flash, conocida asimismo como unidad de estado sólido, es popular debido a su alta densidad, no volatilidad y pequeño tamaño en relación con los dispositivos de disco duro. La tecnología de la memoria flash se basa en las tecnologías EPROM y EEPROM. El término "flash" se eligió debido a que podían borrarse a la vez un gran número de celdas de memoria, a diferencia de las EEPROMs, en las que cada octeto se borraba individualmente. La aparición de celdas multinivel (MLC, multi-level cells) incrementa adicionalmente la densidad de la memoria flash en relación con las celdas de un solo nivel. Los expertos en la materia comprenderán que la memoria flash puede configurarse como flash NOR o flash NAND, teniendo la flash NAND una mayor densidad, por área dada, debido a su estructura de matriz de memoria más compacta. Con el propósito de la siguiente descripción, deberá entenderse que las referencias a memoria flash lo son a NOR o NAND, o a otro tipo de memoria flash.

35 A menudo, los dispositivos en un subsistema de memoria están interconectados utilizando un esquema de interconexión en paralelo. Este esquema implica interconectar los dispositivos de tal modo que la información de dirección y de datos y las señales de control se acoplan a los dispositivos en paralelo. Cada dispositivo puede incorporar múltiples entradas/salidas para acomodar la transferencia en paralelo de la información de datos y direcciones, así como señales de control para los dispositivos.

El documento US 2004/0148482 A1, que es la base del preámbulo de las reivindicaciones independientes 1 y 20, describe un sistema de memoria con una serie de dispositivos de memoria y un controlador de memoria. Los dispositivos de memoria están acoplados entre sí en cadena. El controlador de memoria está acoplado a la cadena y configurado para entregar una orden de acceso de memoria que es recibida por cada uno de los dispositivos de memoria de la cadena, y que selecciona para su acceso un conjunto de dos o más de los dispositivos de memoria.

RESUMEN DE LA INVENCION

Una deficiencia asociada con la utilización de interconexiones en paralelo en un subsistema de memoria es que estos tienden a requerir un gran número de interconexiones entre los dispositivos, para transferir información y señales a los dispositivos en paralelo. Esto se añade a la complejidad de las placas que implementan estos subsistemas. Además, efectos indeseables asociados con un gran número de interconexiones, tales como las interferencias, tienden a limitar el rendimiento de estos subsistemas. Además, el número de dispositivos incorporados en estos subsistemas puede estar limitado debido al retardo de propagación de las señales transportadas mediante las interconexiones.

Las técnicas descritas en el presente documento superan las deficiencias anteriores, dando a conocer una técnica para acoplar dispositivos en una disposición en cascada de cadena de margarita que utiliza menos conexiones y más cortas que las implementaciones de interconexión en paralelo. Configurar dispositivos en la disposición de cadena de margarita puede permitir que los dispositivos funcionen a velocidades superiores que en las implementaciones de la interconexión en paralelo, debido a que la utilización de menos interconexiones y más cortas hace que la implementación global sea menos vulnerable a efectos indeseables, tales como retardo de propagación e interferencia. Además, menos conexiones y más cortas tienden a reducir la complejidad de la implementación. Esta complejidad reducida permite además que un subsistema que contiene los dispositivos sea implementado en un área menor, permitiendo por lo tanto que el subsistema ocupe un espacio menor.

Mediante las reivindicaciones independientes 1 y 20 se define un aspecto más general de la invención.

De acuerdo con aspectos de las técnicas descritas en el presente documento, los dispositivos están acoplados en una disposición en cascada de cadena de margarita, de manera que las salidas de un dispositivo anterior en la cascada de cadena de margarita están acoplados a las entradas del siguiente dispositivo posterior en la cascada de cadena de margarita, a efectos de acomodar la transferencia de información (por ejemplo, información de datos, direcciones y órdenes) y señales de control (por ejemplo, señales de habilitación) desde el dispositivo anterior al dispositivo posterior.

En una realización de las técnicas, cada dispositivo en la cascada de cadena de margarita comprende una entrada en serie (SI, serial input) y una salida en serie (SO, serial output). Se introduce información a un dispositivo a través de su SI. Asimismo, la información es entregada desde el dispositivo a través de su SO. La SO de un dispositivo en la cascada de cadena de margarita está acoplada a la SI del siguiente dispositivo en la cascada de cadena de margarita. En los dispositivos se disponen circuitos para permitir que la información introducida a un dispositivo anterior en la cascada de cadena de margarita a través de su SI, atraviese el dispositivo y sea entregada desde el dispositivo a través de su SO. A continuación, la información es transferida a la SI del siguiente dispositivo en la cascada de cadena de margarita mediante la conexión entre la SO del dispositivo anterior y la SI del dispositivo siguiente. A continuación, la información transferida puede ser introducida al siguiente dispositivo mediante su SI.

Además, una señal de reloj está acoplada a los dispositivos en la cascada de cadena de margarita. La señal de reloj es utilizada por los dispositivos para acomodar la transferencia de la información desde un dispositivo al dispositivo siguiente en la cascada de cadena de margarita.

De acuerdo con otros aspectos de las técnicas descritas en el presente documento, en la cascada de cadena de margarita se transfieren señales de control (por ejemplo, señales de habilitación) entre dispositivos, que son utilizadas por los dispositivos, por ejemplo, para permitir que se introduzcan datos en el dispositivo a través de la SI y se entreguen desde el dispositivo a través de la SO, tal como se ha descrito anteriormente. En este caso, se disponen circuitos para permitir que la señales de control introducidas a un dispositivo anterior en la cascada de cadena de margarita sean propagadas a través del dispositivo y transferidas desde el mismo a través de una salida hasta una entrada de un dispositivo siguiente en la cascada de cadena de margarita. A continuación, la señales de control transferidas son introducidas al dispositivo siguiente a través de la entrada.

De acuerdo con los principios de la presente invención, un sistema de memoria flash puede tener una serie de dispositivos de memoria flash conectados en serie. Un dispositivo de memoria flash del sistema puede incluir una interfaz de enlace de datos en serie con un puerto de datos de entrada en serie y un puerto de salida de datos en serie, un puerto de entrada de control para recibir una primera señal de habilitación de entrada y un puerto de salida de control para enviar una segunda señal de habilitación de entrada. Las señales de habilitación de entrada se utilizan en los circuitos que controlan la transferencia de datos entre la interfaz del enlace de datos en serie y el

banco de memoria. Los dispositivos de memoria flash están configurados para recibir datos de entrada en serie y controlar señales procedentes de una fuente externa, y para proporcionar datos y señales de control a un dispositivo externo. La fuente externa y el dispositivo externo pueden ser otros dispositivos de memoria flash dentro del sistema. En la realización de la presente invención, cuando los dispositivos están dispuestos en cascada en serie en un sistema, pueden adicionalmente entregar puertos de control que "reflejan" a dispositivos externos las señales IPE y OPE recibidas. Esto permite que el sistema tenga puertos de señal conectados punto a punto para formar un esquema de cascada en cadena de margarita (frente un esquema de cascada de difusión/multipunto).

Estos sistemas pueden utilizar una identificación única de dispositivo y un esquema de dirección de selección del dispositivo objetivo, en lugar de utilizar patillas de selección de dispositivo físico de hardware limitadas, de manera que todo el sistema puede expandirse fácilmente, tanto como sea posible en términos de densidad de memoria sin sacrificar el rendimiento global del sistema. En algunas realizaciones de la presente invención, cada uno de los dispositivos de memoria flash puede incluir un identificador único del dispositivo. Los dispositivos pueden configurarse para analizar un campo de información del dispositivo objetivo en los datos de entrada en serie, a efectos de correlacionar información del dispositivo objetivo con el número único de identificación del dispositivo, del propio dispositivo, para determinar si el dispositivo es el dispositivo objetivo. El dispositivo puede analizar el campo de información del dispositivo objetivo antes de procesar cualesquiera datos de entrada adicionales recibidos. Si el dispositivo de memoria no es el dispositivo objetivo, puede ignorar los datos de entrada de serie, ahorrando por lo tanto tiempo y recursos adicionales de procesamiento.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Lo anterior quedará claro a partir de la siguiente descripción más concreta de realizaciones de la invención a modo de ejemplo, que se muestra en los dibujos adjuntos en los cuales los caracteres de referencia iguales se refieren a las mismas partes a través de los diferentes dibujos. Los dibujos no están necesariamente a escala, sino que se pone el énfasis en mostrar las realizaciones que ilustran la presente invención.

La figura 1 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos de un solo puerto configurados en una disposición en cascada de cadena de margarita en serie.

La figura 2 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos de un solo puerto configurados en una disposición en cascada de cadena de margarita en serie, con un reloj en cascada.

La figura 3 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos de dos puertos configurados en una disposición en cascada de cadena de margarita en serie.

La figura 4 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo que comprende una serie de dispositivos de un solo puerto configurados en una disposición de cadena de margarita en serie, con entradas y salidas para varias señales de habilitación.

La figura 5 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende dispositivos de dos puertos configurados en una disposición de cadena de margarita en serie con entradas y salidas configuradas para recibir señales de habilitación.

La figura 6 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos con múltiples entradas en serie y múltiples salidas en serie que están configuradas en una disposición en cascada de cadena de margarita en serie.

La figura 7 es un diagrama de temporización que muestra la temporización asociada con una operación de lectura llevada a cabo sobre un solo dispositivo configurado, y una serie de dispositivos configurados en una disposición de cadena de margarita en serie.

La figura 8 es un diagrama de temporización que muestra la temporización asociada con información transferida entre dispositivos configurados en una disposición en cascada de cadena de margarita en serie.

La figura 9 es un diagrama de bloques de alto nivel, de lógica de control de salida en serie a modo de ejemplo, para un dispositivo de un solo puerto.

La figura 10 es un diagrama de bloques de alto nivel, para lógica de control de salida en serie a modo de ejemplo, para un dispositivo de dos puertos.

La figura 11 es un diagrama de bloques detallado, de lógica de control de salida en serie a modo de ejemplo, para un dispositivo.

La figura 12 es un diagrama de bloques de configuración a modo de ejemplo, de dispositivos configurados en una disposición en cascada de cadena de margarita en serie, y que contiene lógica de control de salida en serie a modo de ejemplo.

5 La figura 13 es un diagrama de temporización que muestra la temporización asociada con entradas y salidas de los dispositivos que comprenden lógica de control de salida en serie a modo de ejemplo.

La figura 14 es un diagrama de bloques de lógica de control de salida en serie a modo de ejemplo, que puede utilizarse para transferir datos desde la memoria contenida en un primer dispositivo en una cascada de cadena de margarita, a un segundo dispositivo en la cascada de cadena de margarita.

10 La figura 15 es un diagrama de temporización que muestra la temporización asociada con la transferencia de datos contenidos en la memoria de un primer dispositivo en una cascada de cadena de margarita, a un segundo dispositivo en la cascada de cadena de margarita utilizando lógica de control de salida en serie a modo de ejemplo.

DESCRIPCIÓN DETALLADA DE LA INVENCION

Sigue una descripción de realizaciones preferidas de la invención.

15 La figura 1 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos de un solo puerto 110a-e configurados en una disposición en cascada de cadena de margarita. Los dispositivos 110a-e son dispositivos de memoria ilustrativos, cada uno de los cuales contiene una memoria (no mostrada) que puede comprender celdas de memoria dinámica de acceso aleatorio (DRAM), celdas de memoria estática de acceso aleatorio (SRAM, Static Random Access Memory), celdas de memoria flash y similares. Cada dispositivo 110 comprende una entrada en serie (SI), una salida en serie (SO), una entrada de reloj (SCLK) y una
20 entrada de selección de chips (CS#).

25 La SI se utiliza para transferir información (por ejemplo, información de órdenes, direcciones y datos) al dispositivo 110. La SO se utiliza para transferir información desde el dispositivo 110. La entrada SCLK se utiliza para proporcionar una señal de reloj externa al dispositivo 110, y la entrada CS# se utiliza para proporcionar una señal de selección de chip al dispositivo 110. Un ejemplo de un dispositivo que puede utilizarse con las técnicas descritas en el presente documento es un dispositivo de memoria de enlace en serie independiente múltiple (MISL, Multiple Independent Serial Link), descrito en la solicitud de patente de EE. UU. número 11/324 023.

30 La SI y la SO están conectadas entre dispositivos 110 en la disposición en cascada de cadena de margarita, de manera que la SO de un dispositivo 110 anterior en la cascada de cadena de margarita está acoplada a la SI del siguiente dispositivo 110 en la cascada de cadena de margarita. Por ejemplo, la SO del dispositivo 110a está acoplada a la SI del dispositivo 110b. La entrada SCLK de cada dispositivo 110 está alimentada con una señal de reloj procedente, por ejemplo, de un controlador de memoria (no mostrado). La señal de reloj se distribuye a cada dispositivo 110 mediante un enlace común. Tal como se describirá a continuación, la SCLK se utiliza, entre otras cosas, para bloquear la entrada de información al dispositivo 110 en varios registros contenidos en el dispositivo 110.

35 La entrada de información a los dispositivos 110 puede bloquearse en diferentes tiempos de la señal de reloj alimentada a la entrada SCLK. Por ejemplo, en una implementación de velocidad de transferencia de datos única (SDR, single data rate), la entrada de información al dispositivo 110 en la SI puede bloquearse en uno de los flancos de subida o de bajada de la señal de reloj SCLK. Alternativamente, en una implementación de doble velocidad de transferencia de datos (DDR, double data rate), pueden utilizarse ambos flancos de subida y de bajada de la señal de reloj SCLK para bloquear la entrada de información a la SI.
40

La entrada CS# de cada dispositivo es una selección de chip convencional que selecciona el dispositivo. La entrada está acoplada a un enlace común que habilita la afirmación de una señal de selección de chip para la totalidad de los dispositivos 110 simultáneamente, y por consiguiente selecciona simultáneamente todos los dispositivos 110.

45 La figura 2 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos 210a-e de un solo puerto, configurados en una disposición en cascada de cadena de margarita en serie, con un reloj en cascada. Cada dispositivo 210 comprende una SI, una SO, una entrada SCLK y una entrada CS#, tal como se ha descrito anteriormente. Además, cada dispositivo 210 comprende una salida de reloj (SCLKO). La SCLKO es una salida que entrega la señal SCLK introducida al dispositivo 210.

50 Haciendo referencia a la figura 2, la SI y la SO de los dispositivos 210 están acopladas en una disposición en cascada de cadena de margarita, tal como se ha descrito anteriormente. Además, la entrada SCLK y la SCLKO de los dispositivos están asimismo acopladas en una disposición en cascada de cadena de margarita, de manera que la SCLKO de un dispositivo anterior 210 en la cascada de cadena de margarita está acoplada a la entrada SCLK del

siguiente dispositivo 210 en la cascada de cadena de margarita. Por lo tanto, por ejemplo, la SCLK del dispositivo 210a está acoplada a la entrada SCLK del dispositivo 210b.

5 Debe observarse que la señal de reloj puede acusar un retardo dado que se propaga a través de los dispositivos en cascada de cadena de margarita. Para evitar este retardo puede utilizarse un circuito interno de compensación de retardo, tal como un circuito de bucle de enganche de retardo (DLL, delay locked loop).

10 La figura 3 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos 310a-e de dos puertos configurados en una disposición en cascada de cadena de margarita en serie. Cada dispositivo 310 comprende una SI y una SO para cada puerto, una entrada SCLK y una entrada CS#, tal como se ha descrito anteriormente. Haciendo referencia a la figura 3, la SI para el primer puerto en el dispositivo 310 está designada como "SI0" y la SI para el segundo puerto está designada como "SI1". Análogamente, la SO para el primer puerto está designada como "SO0" y para el segundo puerto como "SO1". La SI y la SO para cada puerto están conectadas entre dispositivos 310 tal como se ha descrito anteriormente. Por lo tanto, por ejemplo, la SO del puerto 0 en el dispositivo 310a es alimentada a la SI del puerto 0 del dispositivo 310b, y así sucesivamente. Análogamente, la SO del puerto 1 en el dispositivo 310a es alimentada a la SI del puerto 1 del dispositivo 310b, y así sucesivamente.

20 La figura 4 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo que comprende una serie de dispositivos de un solo puerto configurados en una disposición de cadena de margarita en serie, con entradas y salidas para varias señales de habilitación. Cada dispositivo 410 comprende una SI, una SO, una entrada CS# y una entrada SCLK, tal como se ha descrito anteriormente. Además, cada dispositivo 410 comprende una entrada de habilitación de puerto de entrada (IPE, input port enable), una entrada de habilitación de puerto de salida (OPE, output port enable), una salida de habilitación de puerto de entrada (IPEQ) y una salida de habilitación de puerto de salida (OPEQ). La entrada IPE se utiliza para introducir una señal IPE en el dispositivo. La señal IPE es utilizada por el dispositivo para habilitar la SI, de manera que cuando se afirma la IPE, puede introducirse en serie de información al dispositivo 410 mediante la SI. Análogamente, la entrada OPE se utiliza para introducir una señal OPE en el dispositivo. La señal OPE es utilizada por el dispositivo para habilitar la SO, de manera que cuando se afirma la OPE, puede entregarse en serie información desde el dispositivo 410 a través de la SO. La IPEQ y la OPEQ son salidas que entregan las señales IPE y OPE, respectivamente, desde el dispositivo. La señal IPEQ puede ser una señal IPE retardada, o algún derivado de la señal IPE. Análogamente, la señal OPEQ puede ser una señal OPE retardada, o algún derivado de la señal OPE. La entrada CS# y las entradas SCLK están acopladas a enlaces independientes que distribuyen las señales CS# y SCLK, respectivamente, a los dispositivos 410a-d, tal como se ha descrito anteriormente.

35 La SI y la SO están acopladas desde un dispositivo al siguiente, en una disposición en cascada de cadena de margarita, tal como se ha descrito anteriormente. Además, la IPEQ y la OPEQ de un dispositivo anterior 410 en la cascada de cadena de margarita están acopladas respectivamente a la entrada IPE y la entrada OPE del siguiente dispositivo 410 en la cascada de cadena de margarita. Esta disposición permite que las señales IPE y OPE sean transferidas desde un dispositivo 410 al siguiente, en forma de cascada de cadena de margarita en serie.

40 La figura 5 es un diagrama de bloques de una configuración de dispositivo a modo de ejemplo, que comprende dispositivos 510a-d dos puertos configurados en una disposición de cadena de margarita en serie, con entradas y salidas para varias señales de habilitación. Cada dispositivo 510 comprende una entrada CS#, una entrada SCLK, y una SI, una SO, una IPE, una OPE, una IPEQ y una OPEQ para cada puerto, tal como se ha descrito anteriormente. La SI, la SO, la IPE, la OPE, la IPEQ y la OPEQ para el puerto 1 y el puerto 2 se indican como SI1, SO1, IPE1, OPE1, IPEQ1 y OPEQ1, y SI2, SO2, IPE2, OPE2, IPEQ2 y OPEQ2, respectivamente.

45 La entrada CS# para cada dispositivo 510 está acoplada a un solo enlace para seleccionar simultáneamente todos los dispositivos 510, tal como se ha descrito anteriormente. Análogamente, la SCLK para cada dispositivo 510 está acoplada a un solo enlace, que está configurado para distribuir simultáneamente una señal de reloj a todos los dispositivos 510, tal como se ha descrito anteriormente. Asimismo, tal como se ha descrito anteriormente, la SI, la SO, la IPE, la OPE, la IPEQ y la OPEQ están acopladas entre dispositivos, de manera que la SO, la IPEQ y la OPEQ de un dispositivo anterior en la cascada de cadena de margarita están acopladas a la SI, la IPE y la OPE de un dispositivo posterior en la cascada de cadena de margarita. Por ejemplo, la SO1, la SO2, la IPEQ1, la IPEQ2, la OPEQ1 y la OPEQ2 del dispositivo 510a están acopladas a la SI1, la SI2, la IPE1, la IPE2, la OPE1 y la OPE2, respectivamente, del dispositivo 510b.

55 Las señales SI, IPE y OPE que son introducidas a las entradas SI, IPE y OPE del dispositivo 510a, respectivamente, se proporcionan al dispositivo 510a, por ejemplo, desde un controlador de memoria (no mostrado). El dispositivo 510d proporciona datos y señales de control, de vuelta al controlador de memoria a través de las salidas SO, IPEQ y OPEQ del dispositivo 510d.

La figura 6 es un diagrama de bloques en una configuración de dispositivo a modo de ejemplo, que comprende una serie de dispositivos 610a-d con múltiples entradas en serie (SI0 a SI_n) y múltiples salidas en serie (SO0 a SO_n) que

están configuradas en una disposición de cadena de margarita en serie. Además, cada dispositivo 610 tiene una entrada SCLK y una entrada CS#, tal como se ha descrito anteriormente.

5 Las entradas en serie (SI0 a SI_n) y las salidas en serie (SO0 a SO_n) utilizadas para cada dispositivo 610 habilitan la entrada y salida de información hacia y desde el dispositivo 610, respectivamente, en serie. A cada entrada puede asignarse una función específica para introducir ciertos tipos de información (por ejemplo, información, órdenes, datos) y/o señales (por ejemplo, señales de habilitación) al dispositivo 610. Análogamente, a cada salida puede asignarse una función específica para entregar ciertos tipos de información y señales desde el dispositivo 610. Por ejemplo, una o varias entradas pueden asignarse a una función para habilitar la introducción de información de dirección al dispositivo 610. Análogamente, por ejemplo, una o varias salidas pueden asignarse a una función para entregar la información de dirección desde el dispositivo 610.

15 El número de entradas en serie y de salidas en serie para cada dispositivo 610 depende normalmente de ciertos factores, tales como el número de líneas de dirección, el tamaño de las órdenes y el tamaño de anchura de los datos. Estos factores pueden verse influidos por cómo se utiliza dispositivo en una aplicación de sistema concreta. Por ejemplo, una aplicación de sistema que requiere un almacenamiento de datos que se utiliza para almacenar una pequeña cantidad de información, puede utilizar un dispositivo que tiene menos líneas de direcciones y datos, y por lo tanto menos entradas/salidas, que una aplicación de sistema que requiere un almacenamiento de datos para una gran cantidad de información.

20 La figura 7 es un diagrama de temporización que muestra la temporización asociada con una operación de lectura llevada a cabo en un sólo dispositivo, y una serie de dispositivos configurados en una disposición en cascada de cadena de margarita en serie. Haciendo referencia a la figura 7, se afirma CS# para seleccionar todos los dispositivos. La operación de lectura comienza afirmando la IPE e información de reloj asociada con la operación de lectura, en el dispositivo a través de la SI. Ilustrativamente, esta información incluye una orden (CMD) que indica que va a realizarse una operación de lectura y una dirección de columna (ADD col.) y una dirección de fila (ADD fila) que indican una posición de inicio en la memoria, de la que son leídos los datos.

25 En el momento "tR", los datos solicitados se leen desde la memoria y se disponen en una memoria tampón de datos interna especial, contenida en el dispositivo. La duración de tR se determina habitualmente mediante características de las celdas que componen la memoria. Después del tiempo tR, se afirma OPE para habilitar la transferencia en serie de datos procedentes de la memoria tampón de datos interna, a través de la SO, hasta el dispositivo siguiente en la cascada de cadena de margarita. Los datos son entregados en serie desde la memoria tampón interna a la salida SO, ilustrativamente, en el flanco de subida de SCLK. La salida de datos de un dispositivo en la cascada de cadena de margarita se retarda como mucho en un ciclo de reloj para controlar la latencia, por ejemplo, asociada con la propagación de señales de control, tales como IPE y OPE. Tal como se describirá más adelante, el control de latencia se realiza utilizando un bloqueo sincronizado por reloj.

35 En la siguiente tabla 1 se muestran ejemplos de algunas de las operaciones de los dispositivos de memoria en cascada en una implementación de arquitectura de núcleo flash. La tabla 1 enumera la dirección del dispositivo objetivo (TDA, target device address), posibles códigos OP (operación) y estados correspondientes de la dirección de columna, la dirección de fila/banco y los datos de entrada.

Tabla 1: conjunto de órdenes

Operación	Dirección del dispositivo objetivo (1 octeto)	Código OP (1 octeto)	Columna de dirección (2 octetos)	Dirección de fila/banco (3 octetos)	Datos de entrada (de 1 octeto a 2112 octetos)
Lectura de página	tda	00h	Válida	Válida	-
Lectura aleatoria de datos	tda	05h	Válida	-	-

(continuación)

Operación	Dirección del dispositivo objetivo (1 octeto)	Código OP (1 octeto)	Columna de dirección (2 octetos)	Dirección de fila/banco (3 octetos)	Datos de entrada (de 1 octeto a 2112 octetos)
Lectura de página para copia	tda	35h	-	Válida	-
Entrada de dirección objetivo para copia	tda	8Fh	-	Válida	-
Entrada de datos en serie	tda	80h	Válida	Válida	Válida
Entrada aleatoria de datos	tda	85h	Válida	-	Válida
Programar página	tda	10h	-	-	-
Borrar bloque	tda	60h	-	Válida	-
Estado de lectura	tda	70h	-	-	-
ID de lectura	tda	90h	-	-	-
Registro de configuración de escritura	tda	A0h	-	-	Válido (1 octeto)
Entrada de DN (nombre de dispositivo, Device Name) de escritura	00h	B0b	-	-	-
Resetear	tda	FFh	-	-	-
Selección de banco	tda	20h	-	Válido (banco)	-

5 En algunas realizaciones de la presente invención, cada dispositivo en el sistema mostrado en las figuras 1 a 6 puede poseer un identificador único del dispositivo, que puede utilizarse como dirección del dispositivo objetivo (tda) en los datos de entrada en serie. Cuando recibe los datos de entrada en serie, un dispositivo de memoria flash puede analizar el campo de dirección del dispositivo objetivo en los datos de entrada en serie, y determinar si el dispositivo es el dispositivo objetivo correlacionando la dirección del dispositivo objetivo con el número de identificación única del dispositivo, del propio dispositivo.

10 La tabla 2 muestra una secuencia de entrada preferida del flujo de datos de entrada, de acuerdo con realizaciones de la presente invención, incluyendo los sistemas descritos en relación con las figuras 1 a 6. Las órdenes, direcciones y datos se desplazan en serie entrando y saliendo de cada dispositivo de memoria, comenzando con el bit menos significativo.

Haciendo referencia a la figura 4, los dispositivos 410a-d pueden funcionar con una señal de entrada en serie (SIP, serial input signal) muestreada en los flancos de subida del reloj en serie (SCLK) mientras la habilitación del puerto de entrada (IPE) está ALTA. Las secuencias de órdenes comienzan con una dirección del dispositivo objetivo ("tda") de un octeto y un código de operación de un octeto, denominado asimismo equivalentemente un código de orden ("cmd" en la tabla 1). Empezando la señal de entrada en serie con la dirección del dispositivo objetivo de un octeto en el bit menos significativo, el dispositivo puede analizar el campo de dirección del dispositivo objetivo antes de procesar cualesquiera datos de entrada adicionales recibidos. Si el dispositivo de memoria no es el dispositivo objetivo, puede transferir los datos de entrada en serie a otro dispositivo antes de su procesamiento, ahorrando de ese modo tiempo y recursos adicionales de procesamiento.

10 Tabla 2: secuencia de entrada en modo octeto

Operación	1 ^{er} octeto	2 ^o octeto	3 ^{er} octeto	4 ^o octeto	5 ^o octeto	6 ^o octeto	7 ^o octeto	8 ^o octeto	-	2116 ¹⁵ octeto	-	2119 ⁹ octeto
Lectura de página	tda	cmd	ca	ca	ra	ra	ra	-	-	-	-	-
Lectura aleatoria de datos	tda	cmd	ca	ca	-	-	-	-	-	-	-	-
Lectura de página para copia	tda	cmd	ca	ra	ra	ra	-	-	-	-	-	-
Entrada de página objetivo para copia	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
Entrada de datos en serie	tda	cmd	ca	ca	ra	ra	ra	datos	-	datos	-	datos
Entrada aleatoria de datos	tda	cmd	ca	-	datos	datos	datos	datos	-	-	-	-
Programar página	tda	cmd	-	-	-	-	-	-	-	datos	-	-
Borrar bloque	tda	cmd	-	ra	-	-	-	-	-	-	-	-
Estado de lectura	tda	cmd	-	-	-	-	-	-	-	-	-	-
ID de lectura	tda	cmd	-	-	-	-	-	-	-	-	-	-
Registro de configuración de escritura	tda	cmd	datos	-	-	-	-	-	-	-	-	-
Entrada de DN de escritura	tda	cmd	-	-	-	-	-	-	-	-	-	-
Resetear	tda	cmd	-	-	-	-	-	-	-	-	-	-

La TDA de 1 octeto es trasladada al dispositivo, seguida por un código cmb de 1 octeto. El bit más significativo (MSB, most significant bit) comienza con la SIP y cada bit es bloqueado en los flancos de subida del reloj en serie (SCLK). Dependiendo de la orden, el código de orden de un octeto puede estar seguido por octetos de dirección de columna, octetos de dirección de fila, octetos de dirección de banco, octetos de datos y/o una combinación o ninguno.

La figura 8 es un diagrama de temporización que muestra la temporización asociada con información transferida entre dispositivos configurados en una disposición en cascada de cadena de margarita en serie. Tal como se ha indicado anteriormente, se afirma CS# para seleccionar los dispositivos. Se introduce información en el primer dispositivo de la cascada de cadena de margarita, afirmando la IPE y los datos de reloj en el dispositivo, en sucesivos flancos de subida de SCLK. La IPE se propaga a través del primer dispositivo hasta el segundo dispositivo, en menos de un ciclo. Esto permite sincronizar la información desde la SO del primer dispositivo a la SI del segundo dispositivo, un ciclo después de que la información haya sido sincronizada en el primer dispositivo. Esto

se repite para sucesivos dispositivos en la cascada de cadena de margarita. De este modo, por ejemplo, la información es introducida en el tercer dispositivo de la cascada de cadena de margarita en serie, en el tercer flanco de subida de SCLK desde el punto de bloqueo de los datos en el primer dispositivo. La IPE y la OPE de las señales de control están sincronizadas con el flanco de subida de SCLK, con el fin de asegurar un tiempo de establecimiento adecuado para estas señales en el siguiente dispositivo en la cascada de cadena de margarita.

La figura 9 es un diagrama de bloques de lógica 900 de control de salida en serie, a modo de ejemplo, para un dispositivo de un solo puerto. La lógica 900 comprende una memoria tampón 902 de entrada para IPE, una memoria tampón 904 de entrada para la SI (SIP), una memoria tampón 906 de entrada para la OPE, un control 908 de bloqueo de entrada, un registro 910 de serie a paralelo, un control 912 de bloqueo de salida, un registro 914 de datos, un registro 916 de direcciones, un intérprete 918 de órdenes, un selector 920, una memoria tampón 924 de página, una puerta lógica OR 926, una memoria tampón 928 de salida, un selector 930 y una memoria 950.

La memoria tampón 902 de entrada es memoria tampón de lógica transistor a transistor de baja tensión (LVTTTL, convencional low-voltage transistor-to-transistor logic), configurada para almacenar en memoria tampón el estado de una señal IPE alimentada al dispositivo a la entrada de la memoria tampón 902. La salida de la memoria tampón 902 es alimentada al control 908 de bloqueo de entrada, que bloquea el estado de la señal IPE y proporciona un estado bloqueado de la señal IPE a la memoria tampón 904 de entrada y al selector 920. La memoria tampón 904 de entrada es una memoria tampón LVTTTL configurada para almacenar en memoria tampón información alimentada al dispositivo a través de la entrada SI. La memoria tampón 904 de entrada es habilitada mediante la salida del control 908 de bloqueo de entrada. Cuando está habilitada, la información proporcionada a la entrada SI es alimentada mediante la memoria tampón 908 al registro 910 de serie a paralelo y a una entrada del selector 930. La memoria tampón 904 es habilitada cuando el estado bloqueado de la señal IPE alimentada desde el control 908 de bloqueo de entrada indica que la señal IPE está afirmada. La información alimentada al registro 910 de serie a paralelo, es transformada mediante el registro 910 desde una forma en serie a una forma en paralelo. Las salidas del registro 910 de serie a paralelo son alimentadas al registro 914 de datos, al registro 916 de direcciones y al intérprete 918 de órdenes.

El registro 914 datos y el registro 916 de direcciones contienen información de datos y direcciones, respectivamente, que es alimentada al dispositivo a través de la SI. El intérprete 918 de órdenes está configurado para interpretar órdenes introducidas al dispositivo a través de la SI. Estas órdenes se utilizan para controlar en mayor medida el funcionamiento del dispositivo. Por ejemplo, una orden de "escribir memoria" puede utilizarse para causar que el dispositivo escriba datos contenidos en el registro 914 datos en la memoria 950 contenida en el dispositivo, en una dirección especificada mediante el registro 916 de direcciones.

La memoria tampón 906 de entrada es una memoria tampón LVTTTL configurada para almacenar en memoria tampón una señal OPE que es alimentada a la entrada OPE del dispositivo. La salida de la memoria tampón 906 es transferida a un control 912 de bloqueo de salida, que bloquea el estado de la señal OPE. El control de bloqueo de salida entrega el estado de la señal OPE bloqueada a la puerta OR 926. La puerta OR 926 es una puerta OR lógica convencional, cuya salida se utiliza para habilitar/deshabilitar la salida de la memoria tampón 928 de salida.

El selector 920 es un multiplexor convencional 2 a 1 que entrega una de dos entradas seleccionada mediante la señal DAISY_CHAIN. Tal como se ha indicado anteriormente, una de estas entradas es el estado bloqueado de IPE desde el control 908 de bloqueo de entrada. La otra entrada se fija a una condición lógica baja. La señal DAISY_CHAIN indica si el dispositivo está acoplado a uno o varios dispositivos adicionales en una disposición en cascada de cadena de margarita en serie. Ilustrativamente, esta señal se afirma si el dispositivo está acoplado a uno o varios dispositivos en una disposición en cascada de cadena de margarita en serie. Afirmar la señal DAISY_CHAIN hace que el estado bloqueado de la señal IPE alimentada al selector 920 sea entregado desde el selector 920. Cuando DAISY_CHAIN no está afirmada, la condición lógica baja introducida al selector 920 se entrega desde dicho selector 920.

La memoria tampón 924 de página es una memoria tampón de datos convencional que está configurada para contener información leída de la memoria 950. El selector 930 es un multiplexor 2 a 1 convencional que entrega una de dos entradas, seleccionada mediante la señal ID_MATCH. Una entrada al selector 930 es alimentada desde la salida de la memoria tampón 924 de página, y la otra entrada es alimentada desde la salida de la memoria tampón 904 de entrada para la SI. La salida del selector 930 es alimentada a la memoria tampón 928 de salida. La señal ID_MATCH indica si una orden concreta enviada al dispositivo a través de la SI está dirigida al dispositivo. Si la orden está dirigida al dispositivo, se afirma ID_MATCH causando que la salida de la memoria tampón 924 de página sea entregada desde el selector 930. Si ID_MATCH no se afirma, la salida de la memoria tampón 904 de SI (es decir, el estado de la señal SI introducida al dispositivo) se entrega desde el selector 930.

La memoria 950 es una memoria convencional configurada para contener datos. La memoria 950 puede ser una memoria de acceso aleatorio (RAM, random access memory) que comprende celdas, tal como una RAM estática (SRAM), una RAM dinámica (DRAM) o celdas de memoria flash, que son direccionables utilizando una dirección que es introducida al dispositivo a través de la SI.

Operacionalmente, una señal IPE afirmada es almacenada en memoria tampón mediante la memoria tampón 902 de entrada y transferida al control 908 de bloqueo de entrada, que bloquea el estado afirmado de la IPE. Este estado bloqueado es alimentado al selector 920 e introducido en la memoria tampón 904 para habilitar esta memoria tampón 904. La información de órdenes, direcciones y datos introducida en la memoria tampón 904 de almacenamiento es transferida a continuación al registro 910 de serie a paralelo, que transforma la información desde una forma en serie a una forma en paralelo y alimenta la información de órdenes, direcciones y datos al intérprete 918 de órdenes, al registro 916 de direcciones y al registro 914 de datos, respectivamente. La salida de la memoria tampón 904 es asimismo alimentada al selector 930. Si no se afirma ID_MATCH, la salida de la memoria tampón 904 está presente en la salida del selector 930, que es alimentada a la entrada de la memoria tampón 928 de salida. Si se afirma DAISY_CHAIN, el estado bloqueado de la IPE está presente a la salida del selector 920 y es alimentado a una primera entrada de la puerta OR 926. La puerta OR 926 pasa el estado de la IPE a la memoria tampón 928 de salida, para habilitar la memoria tampón 928 de salida. Esto, a su vez, permite que la información introducida a la entrada SI sea entregada desde el dispositivo en la SO.

Los datos procedentes de la memoria tampón 924 de página son entregados desde el dispositivo mediante afirmar la OPE e ID_MATCH. Específicamente, el estado afirmado de la OPE es alimentado a la memoria tampón 906 de entrada que, a su vez, alimenta el estado al control 912 de bloqueo de salida, que bloquea el estado. El estado afirmado bloqueado es alimentado a una segunda entrada de la puerta OR 926, que entrega una señal para habilitar la memoria tampón 928 de salida. Afirmando ID_MATCH habilita que la salida de la memoria tampón 924 de página esté presente a la salida del selector 930. La salida del selector 930 es alimentada a la memoria tampón 928 de salida habilitada, que entrega los datos de desde el dispositivo en la salida SO del dispositivo.

Debe observarse que si no se afirma DAISY_CHAIN, la memoria tampón 928 de salida es habilitada solamente mediante la OPE. Esto permite que el dispositivo sea utilizado en configuraciones de cascada en serie no de cadena de margarita.

La figura 10 es un diagrama de bloques de lógica 1000 de control de salida en serie a modo de ejemplo, para un dispositivo de dos puertos. Para cada puerto, la lógica 1000 de control de salida en serie comprende una memoria tampón 1002 de entrada IPE, una memoria tampón 1004 de entrada SI, una memoria tampón 1006 de entrada OPE, un control 1008 de bloqueo de entrada, un registro 1010 de serie a paralelo, un control 1012 de bloqueo de salida, un registro 1014 de datos, un registro 1016 de direcciones, un intérprete 1018 de órdenes, un selector 1020, una memoria tampón 1024 de página, una puerta lógica OR 1026, una memoria tampón 1028 de salida y un selector 1030, que son idénticos respectivamente a la memoria tampón 902 de entrada IPE, la memoria tampón 904 de entrada SIP, la memoria tampón 906 de entrada OPE, el control 908 de bloqueo de entrada, el registro 910 de serie a paralelo, el control 912 de bloqueo de salida, el registro 914 de datos, el registro 916 de direcciones, el intérprete 918 de órdenes, el selector 920, la memoria tampón 924 de página, la puerta lógica OR 926, la memoria tampón 928 de salida y el selector 930 descritos anteriormente.

La figura 11 es un diagrama de bloques detallado de otra realización de lógica 1100 de control de salida en serie que puede utilizarse con las técnicas descritas en el presente documento. La lógica 1100 comprende una memoria tampón 1104 de entrada SI, una memoria tampón 1106 de entrada IPE, una memoria tampón 1108 de entrada OPE, una memoria tampón 1110 de entrada SCLK, puertas lógicas AND 1112 y 1114, bloqueos 1116, 1118, 1120 y 1122, selectores 1124 y 1130, una puerta lógica OR 1126 y una memoria tampón 1128 de salida SO. Las memorias tampón 1104, 1106, 1108 y 1110 son memorias tampón LVTTTL convencionales configuradas para almacenar en memoria tampón señales SI, IPE, OPE y SCLK, respectivamente, que son introducidas al dispositivo.

La puerta AND 1112 está configurada para entregar al bloqueo 1116 la información introducida a la SI cuando se afirma la IPE. El bloqueo 1116 está configurado para bloquear la información cuando se proporciona una señal de reloj (SCLK) mediante la memoria tampón 1110. DATA_OUT representa el estado de los datos leídos desde una memoria (no mostrada) contenida en el dispositivo. La puerta AND 1114 está configurada para entregar un estado de DATA_OUT cuando se afirma OPE. La salida de la puerta AND 1114 alimenta el bloqueo 1118, que está configurado para bloquear el estado de DATA_OUT cuando se proporciona una señal de reloj mediante la memoria tampón 1110. La memoria tampón 1106 está configurada para almacenar en memoria tampón la señal IPE alimentada al dispositivo. La salida de la memoria tampón 1106 es bloqueada mediante el bloqueo 1120. Análogamente, la memoria tampón 1108 está configurada para almacenar en memoria tampón la señal OPE alimentada al dispositivo. El bloqueo de 1122 está configurado para bloquear el estado de OPE entregado mediante la memoria tampón 1108. Los selectores 1124 y 1130 son multiplexores 2 a 1 convencionales, que comprenden cada uno dos entradas. Las entradas para el selector 1124 se seleccionan para la salida del selector 1124 mediante la señal ID_MATCH descrita anteriormente. Una entrada es alimentada con el estado bloqueado de DATA_OUT, mantenido mediante el bloqueo 1118. La entrada es seleccionada como salida desde el selector 1124 cuando se afirma ID_MATCH. La otra entrada es alimentada con el estado bloqueado de SI, mantenido mediante el bloqueo 1116. La entrada se selecciona como salida del selector 1124 cuando no se afirma ID_MATCH.

Las entradas para el selector 1130 se seleccionan como salida del selector 1130 mediante la señal DAISY_CHAIN descrita anteriormente. Una entrada al selector 1130 es alimentada con el estado bloqueado de IPE, mantenido

mediante el bloqueo 1120, y la otra entrada está ligada a un cero lógico. El estado bloqueado de IPE se selecciona como salida del selector 1130 cuando se afirma DAISY_CHAIN. Análogamente, cuando no se afirma DAISY_CHAIN, se selecciona el cero lógico como salida del selector 1130.

5 La puerta OR 1126 es una puerta lógica OR convencional configurada para proporcionar una señal de habilitación/deshabilitación a la memoria tampón 1128 de salida. La puerta OR 1126 es alimentada con la salida del selector 1130 y el estado bloqueado de OPE, mantenido mediante el bloqueo 1122. Puede utilizarse cualquiera de estas salidas para proporcionar una señal de habilitación a la memoria tampón 1128, a efectos de habilitar la salida de la memoria tampón. La memoria tampón 1128 es una memoria tampón convencional que almacena en memoria
10 habilitada/deshabilitada mediante la salida de la puerta OR 1126.

Operacionalmente, cuando se afirma IPE, la información introducida al dispositivo mediante la SI es alimentada al bloqueo 1116. El bloqueo 1116 bloquea esta información ilustrativamente en la primera transición ascendente de SCLK después de que se afirma IPE. Análogamente, el bloqueo 1120 bloquea el estado de IPE en esta transición
15 1128 a través del selector 1124. Análogamente, la IPE afirmada es transferida desde la memoria tampón 1106 al bloqueo 1120, en el que se bloquea asimismo ilustrativamente mediante la primera transición ascendente de SCLK. Asumiendo que se afirma DAISY_CHAIN, el estado bloqueado de la IPE se proporciona a la salida del selector 1130 y se transfiere a una puerta OR 1126 para proporcionar una señal de habilitación a la memoria tampón 1128. A continuación, el estado bloqueado de SI es transferido desde el dispositivo a través de la memoria tampón 1128
20 como SO de salida.

Cuando no se afirma DAISY_CHAIN, se selecciona la entrada lógica cero al selector 1130, que entrega un cero lógico desde el selector 1130. Esto impide eficazmente que la IPE habilite la memoria tampón 1128.

Ilustrativamente, en la siguiente transición ascendente de SCLK después de que se afirme OPE, el estado afirmado de OPE se bloquea en el bloqueo 1122 y el estado de DATA_OUT se bloquea en el bloqueo 1118. Asumiendo que
25 se afirma ID_MATCH, el estado bloqueado de DATA_OUT es seleccionado por el selector 1124 y aplicado a la entrada de la memoria tampón 1128. Simultáneamente, el estado afirmado bloqueado de OPE desde el bloqueo 1122 pasa a través de la puerta OR 1126 para habilitar la memoria tampón 1128, lo que provoca que el estado bloqueado de DATA_OUT sea entregado desde el dispositivo como SO de salida.

30 La figura 12 es un diagrama de bloques de configuración a modo de ejemplo, de dispositivos configurados en una disposición en cascada de cadena de margarita en serie y que contiene lógica de control de salida en serie a modo de ejemplo. La disposición comprende tres dispositivos 1210 configurados de tal modo que las salidas de un dispositivo anterior en la cascada de cadena de margarita están acopladas a entradas del dispositivo siguiente en la cascada de cadena de margarita, tal como se ha descrito anteriormente. La transferencia de información y de datos desde un dispositivo al siguiente se describe haciendo referencia a la siguiente figura 13.

35 La figura 13 es un diagrama de temporización a modo de ejemplo, que muestra la temporización asociada con las entradas y salidas de los dispositivos mostrados en la figura 12. Específicamente, el diagrama muestra el funcionamiento de la lógica 1100 de control de salida en serie, en cada dispositivo, con respecto al paso de información introducida en la entrada SI de cada dispositivo 1210 a la salida SO de dicho dispositivo 1210.

Haciendo referencia a las figuras 11, 12 y 13, se asume que se afirma DAISY_CHAIN. Cuando se afirma IPE en el
40 dispositivo 1210a, la información en la entrada SI del dispositivo se pasa a través de la lógica 1100 de control de salida en serie del dispositivo, tal como se ha descrito anteriormente, a la salida SO del dispositivo 1210a. Específicamente, los datos son sincronizados en el dispositivo 1210a, ilustrativamente en cada flanco de subida de SCLK después de que se afirma IPE. La información y el estado de IPE se propagan a través de la lógica 1100, tal como se ha descrito anteriormente, y sale del dispositivo 1210a en las salidas SO e IPEQ del dispositivo,
45 respectivamente. Estas salidas están representadas en el diagrama como S1 y P1, respectivamente. Estas salidas son alimentadas a las entradas de SI e IPE del dispositivo 1210b, atraviesan la lógica 1100 de control de salida en serie del dispositivo 1210b, tal como se ha descrito anteriormente, y son entregadas desde el dispositivo 1210b en las salidas SO e IPEQ del dispositivo, un ciclo de reloj después. Estas salidas están representadas en el diagrama como S2 y P2, respectivamente. Análogamente, las salidas SO e IPEQ del dispositivo 1210b son alimentadas a las
50 entradas SI e IPE del dispositivo 1210c, respectivamente, atraviesan la lógica 1100 de control de salida en serie del dispositivo 1210c y son entregadas desde el dispositivo 1210c en las salidas SO e IPEQ del dispositivo, respectivamente, un ciclo de reloj después. Estas salidas están representadas en el diagrama como S3 y P3, respectivamente.

55 En las disposiciones en cascada de cadena de margarita descritas anteriormente, la latencia de salida de las señales en la cascada de cadena de margarita para funcionamiento SDR puede determinarse utilizando la siguiente fórmula:

latencia_de_salida = N * tiempo_del_ciclo_de_reloj

donde:

"latencia_de_salida" es la latencia de salida de los datos,

"N" es el número de dispositivos en la disposición en cascada de cadena de margarita, y

5 "tiempo_de_ciclo_de_reloj" es el tiempo de ciclo de reloj al que funciona el reloj (por ejemplo, SCLK).

Por ejemplo, asúmase que el tiempo_de_ciclo_reloj para la cascada de cadena de margarita mostrado en la figura 12 es de 10 nanosegundos. La latencia total de salida para los datos de la SO del dispositivo 1210c es de 3*10 nanosegundos, es decir 30 nanosegundos.

En el caso de funcionamiento DDR, la latencia de salida puede determinarse como sigue:

10 latencia_de_salida = N * (tiempo_de_ciclo_reloj/2)

En funcionamiento DDR, ambos flancos del reloj pueden actuar como puntos de bloqueo de datos de entrada y puntos de cambio de datos de salida. Por lo tanto, la latencia total es la mitad de la latencia para el funcionamiento SDR.

15 Debe observarse que en la descripción anterior, la entrada de información a un dispositivo 1210 es entregada un ciclo de reloj después para funcionamiento SDR y medio ciclo después para funcionamiento DDR. Este retardo se introduce para compensar el tiempo que lleva activar la memoria tampón 1128 de salida.

20 La figura 14 es un diagrama de bloques de lógica 1400 que puede utilizarse para transferir datos contenidos en la memoria de un primer dispositivo 1450a en una cascada de cadena de margarita, a un segundo dispositivo 1450b en la cascada de cadena de margarita. La lógica 1400 comprende un registro 1402 de salida de datos, una memoria tampón 1404 de entrada OPE, una memoria tampón 1406 de entrada SCLK, una puerta AND 1408, un bloqueo 1410 de salida de datos, un bloqueo 1412 de estado OPE, un selector 1414, una memoria tampón 1416 de salida SO y una memoria tampón 1418 de salida OPEQ.

25 El registro 1402 de salida de datos es un registro convencional configurado para almacenar datos leídos en la memoria contenida en el dispositivo 1450. El registro 1402 es ilustrativamente un registro de datos de serie a paralelo, que carga datos en paralelo desde la memoria y transfiere en serie los datos a una entrada de la puerta 1408. SCLK proporciona relojes que son utilizados por el registro de 1402 para transferir los datos a la puerta 1408. Tal como se muestra, el registro 1402 de datos está configurado para contener un octeto de datos que comprende los bits D0 hasta D7, donde D0 es el bit menos significativo (LSB, least-significant bit) del octeto y el bit D7 es el bit más significativo (MSB, most-significant bit) del octeto. El registro 1402 se carga en paralelo con la anchura de un octeto de datos de la memoria. A continuación, los datos son desplazados del registro y alimentados en serie bit a bit a la entrada de la puerta 1408, comenzando por el MSB.

35 Las memorias tampón 1404 en 1406 son memorias tampón LVTTTL convencionales, utilizadas para almacenar en memoria tampón señales de entrada OPE y SCLK, respectivamente. La señal OPE es transferida desde la salida de la memoria tampón 1404 (OPEI) a la puerta 1408. La señal SCLK es transferida desde la salida de la memoria tampón 1406 al registro 1402 de salida de datos y a los bloqueos 1410 y 1412 para proporcionar un reloj a estos componentes.

40 La puerta 1408 es una puerta lógica AND convencional que está configurada para transferir la salida del registro 1402 de salida de datos (DATA_OUT) al bloqueo 1410 cuando se afirma OPE. La salida de la puerta 1408 se indica como "DBIT". Los bloqueos 1410 y 1412 son bloqueos convencionales configurados para bloquear el estado de DBIT y la señal OPE, respectivamente. El selector 1414 es un multiplexor convencional 2 a 1 de dos entradas, que está controlado mediante la señal ID_MATCH. Una de las entradas de datos es alimentada con el estado bloqueado de DBIT. Este estado es entregado desde el selector 1414 cuando se afirma ID_MATCH. La otra entrada es alimentada con información en serie (SIO) introducida al dispositivo 1450a a través de su SI. Esta información es entregada por el selector 1414 cuando ID_MATCH no se afirma.

45 Las memorias tampón 1416 y 1418 son memorias tampón convencionales, configuradas para almacenar en memoria tampón la salida del selector 1414 y el bloqueo 1406, respectivamente. La salida de la memoria tampón 1416 sale del dispositivo 1450a como SO (SO0), y la salida de la memoria tampón 1418 sale del dispositivo 1450a como OPEQ (OPEQ0).

La figura 15 es un diagrama de temporización que muestra la temporización asociada con la transferencia de una anchura de datos de un octeto de memoria contenidos en el dispositivo 1450a al dispositivo 1450b utilizando la lógica 1400. Haciendo referencia a las figuras 14 y 15, la OPEI se afirma poco después de que la OPE es alimentada al dispositivo 1450a en la memoria tampón 1404 de entrada. La OPEI es alimentada a la puerta 1408 para habilitar los datos presentes en D7 del registro 1402 de salida de datos, para ser bloqueada en el bloqueo 1410 en el siguiente flanco de subida de SCLK. Además, este siguiente flanco de subida de SCLK provoca que los datos sean desplazados a la derecha en el registro 1402 de salida de datos, de manera que el dato de D6 es desplazado a D7, el dato de D5 es desplazado a D6 y así sucesivamente. La salida del bloqueo 1410 es presentada al selector 1414 que, asumiendo que se afirma ID_MATCH, entrega el estado bloqueado de los datos a la memoria tampón 1416. La memoria tampón 1416 entrega este estado bloqueado desde el dispositivo 1450a como SO0, que es alimentado a la entrada de SI (SI1) del siguiente dispositivo 1450b de la cascada de cadena de margarita. Mientras tanto, asimismo en el flanco de subida del primer reloj después de que se afirme OPE, el estado de OPE se bloquea en el bloqueo 1412. La salida del bloqueo 1412 es transferida a la memoria tampón 1418, que entrega el estado bloqueado de OPE desde el dispositivo 1450a como OPEQ (OPEQ0), que es alimentado a la entrada OPE (OPE1) del siguiente dispositivo 1450b en la cascada de cadena de margarita. Este proceso se repite para los bits D6 hasta D0.

Si bien esta invención se ha mostrado y descrito en particular haciendo referencia a realizaciones preferidas de la misma, los expertos en la materia deben entender que pueden realizarse en la misma diversos cambios en la forma y los detalles, sin apartarse del alcance de la invención abarcado mediante las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un dispositivo semiconductor (410a, ..., 410d) que comprende:
- memoria;
 - circuitos de entrada de reloj configurados para recibir una señal de reloj (SCLK);
 - circuitos de datos configurados para recibir datos de entrada (SI);
- 5 recibir una primera señal de habilitación de entrada (IPE);
- recibir una primera señal de habilitación de salida (OPE);
- entregar una segunda señal de habilitación de entrada (IPEQ) derivada de la primera señal de habilitación de entrada, desde el dispositivo (410a, ..., 410d);
- 10 recibir los datos de entrada (SI) en sincronización con la señal de reloj (SCLK) cuando se afirma la primera señal de habilitación de entrada (IPE);
- caracterizado porque** está configurado adicionalmente para
- entregar una segunda señal de habilitación de salida (OPEQ) obtenida a partir de la primera señal de habilitación de salida, desde el dispositivo (410a, ..., 410d); y
- 15 transmitir datos de salida (SO) en sincronización con la señal de reloj (SCLK) cuando se afirma a la primera señal de habilitación de salida (OPE).
2. El dispositivo semiconductor acorde con la reivindicación 1, en el que los circuitos de datos comprenden:
- circuitos de entrada de datos configurados para recibir los datos de entrada; y
 - circuitos de salida de datos configurados para transmitir los datos de salida.
3. El dispositivo semiconductor acorde con la reivindicación 2, en el que:
- 20 los circuitos de entrada de datos comprenden circuitos de captura de datos configurados para capturar los datos de entrada en sincronización con la señal de reloj; y
- los circuitos de salida de datos comprenden circuitos de transmisión de datos configurados para transmitir los datos de salida en sincronización con la señal de reloj.
4. El dispositivo semiconductor acorde con la reivindicación 3, en el que:
- 25 los circuitos de captura de datos están configurados para almacenar en la memoria los datos de entrada capturados; y
- la sincronización de datos se lleva a cabo con la señal de reloj.
5. El dispositivo semiconductor acorde con la reivindicación 2, en el que:
- los circuitos de entrada de datos están configurados para recibir los datos de entrada que tienen un bit de entrada; y
- 30 los circuitos de salida de datos están configurados para transmitir los datos de salida que tienen un bit de salida.
6. El dispositivo semiconductor acorde con la reivindicación 2, en el que:
- los circuitos de entrada de datos están configurados para recibir los datos de entrada que tienen un bit; y
 - los circuitos de salida de datos están configurados para transmitir los datos de salida que tienen un bit.

7. El dispositivo semiconductor acorde con la reivindicación 6, en el que:
cada uno de los datos de entrada y los datos de salida comprenden un sólo bit a la vez.
8. El dispositivo semiconductor acorde con cualquiera de las reivindicaciones 3 a 4, en el que:
5 los circuitos de captura de datos están configurados para capturar los datos de entrada una vez durante cada periodo de la señal de reloj; y
los circuitos de transmisión de datos están configurados para transmitir los datos de salida una vez durante cada periodo de la señal de reloj.
9. El dispositivo semiconductor acorde con cualquiera de las reivindicaciones 3 a 4, en el que:
10 los circuitos de captura de datos están configurados para capturar los datos de entrada dos veces durante cada periodo de la señal de reloj; y
la transmisión de datos está configurada para transmitir los datos de salida dos veces durante cada periodo de la señal de reloj.
10. El dispositivo semiconductor acorde con cualquiera de las reivindicaciones 2 a 9, que comprende además:
15 circuitos de salida de reloj configurados para entregar una señal de reloj de salida en respuesta a la señal de reloj de entrada, siendo transmitidos los datos de salida en sincronización con la señal de reloj de salida.
11. El dispositivo semiconductor acorde con la indicación 10, que comprende además circuitos de ajuste de retardo configurados para ajustar un retardo del reloj de entrada.
12. El dispositivo semiconductor acorde con la reivindicación 11, en el que los circuitos de ajuste de retardo comprenden un bucle de enganche de retardo.
- 20 13. El dispositivo semiconductor acorde con cualquiera de las reivindicaciones 1 a 12, en el que la memoria comprende una memoria no volátil.
14. El dispositivo semiconductor acorde con la reivindicación 13, en el que la memoria no volátil comprende una memoria flash.
15. Un sistema que comprende:
25 un controlador configurado para enviar datos de entrada y una señal de reloj;
una disposición que incluye una serie de dispositivos semiconductores, estando definidos cada uno mediante cualquiera de las reivindicaciones 1 a 14; y
transmitiendo uno de dicha serie de dispositivos semiconductores los datos de salida a un siguiente dispositivo semiconductor de dicha serie de dispositivos semiconductores.
- 30 16. El sistema acorde con la reivindicación 15, en el que cada uno de dicha serie de dispositivos semiconductores está configurado para recibir la señal de reloj procedente del controlador.
17. El sistema acorde con la reivindicación 15 o la reivindicación 16, en el que dicha serie de dispositivos semiconductores incluye por lo menos un primer y un segundo dispositivos semiconductores, estando configurados los circuitos de datos del primer dispositivo semiconductor para recibir los datos de entrada y la señal de reloj desde el controlador.
35
18. El sistema acorde con la reivindicación 17, en el que
los circuitos de datos del segundo dispositivo semiconductor están configurados para recibir los datos de salida y la señal de reloj directa o indirectamente desde el controlador de memoria.
19. El sistema acorde con cualquiera de las reivindicaciones 15 a 18, en el que los circuitos de datos del segundo dispositivo semiconductor están configurados para transmitir los datos de salida al controlador.
40

20. Un método para acceder a una memoria en un dispositivo semiconductor (410a, ..., 410d), que comprende:

recibir una señal de reloj (SCLK);

recibir datos de entrada (SI);

recibir una primera señal de habilitación de entrada (IPE);

5 entregar una segunda señal de habilitación de entrada (IPEQ) derivada de la primera señal de habilitación de entrada, desde el dispositivo (410a, ..., 410d);

recibir una primera señal de habilitación de salida (OPE);

recibir datos de entrada (SI) en sincronización con la señal de reloj (SCLK) cuando se afirma la primera señal de habilitación de entrada (IPE);

10 **caracterizado por**

entregar una segunda señal de habilitación de salida (OPEQ) obtenida a partir de la primera señal de habilitación de salida, desde el dispositivo (410a, ..., 410d); y

transmitir datos de salida (SO) en sincronización con la señal de reloj (SCLK) cuando se afirma a la primera señal de habilitación de salida (OPE).

15 21. El método acorde con la reivindicación 20, en el que:

la etapa de recibir datos de entrada comprende capturar los datos de entrada; y

realizándose cada uno de capturar los datos de entrada y transmitir los datos de salida, una o dos veces durante cada periodo de la señal de reloj.

22. El método acorde con cualquiera de las reivindicaciones 20 a 21, que comprende:

20 entregar una señal de reloj de salida en respuesta a la señal de reloj, siendo transmitidos los datos de salida en sincronización con la señal de reloj de salida.

23. El método acorde con la reivindicación 22, en el que la etapa de entrega comprende:

regular un retardo de la señal de reloj para entregar la señal de reloj de salida.

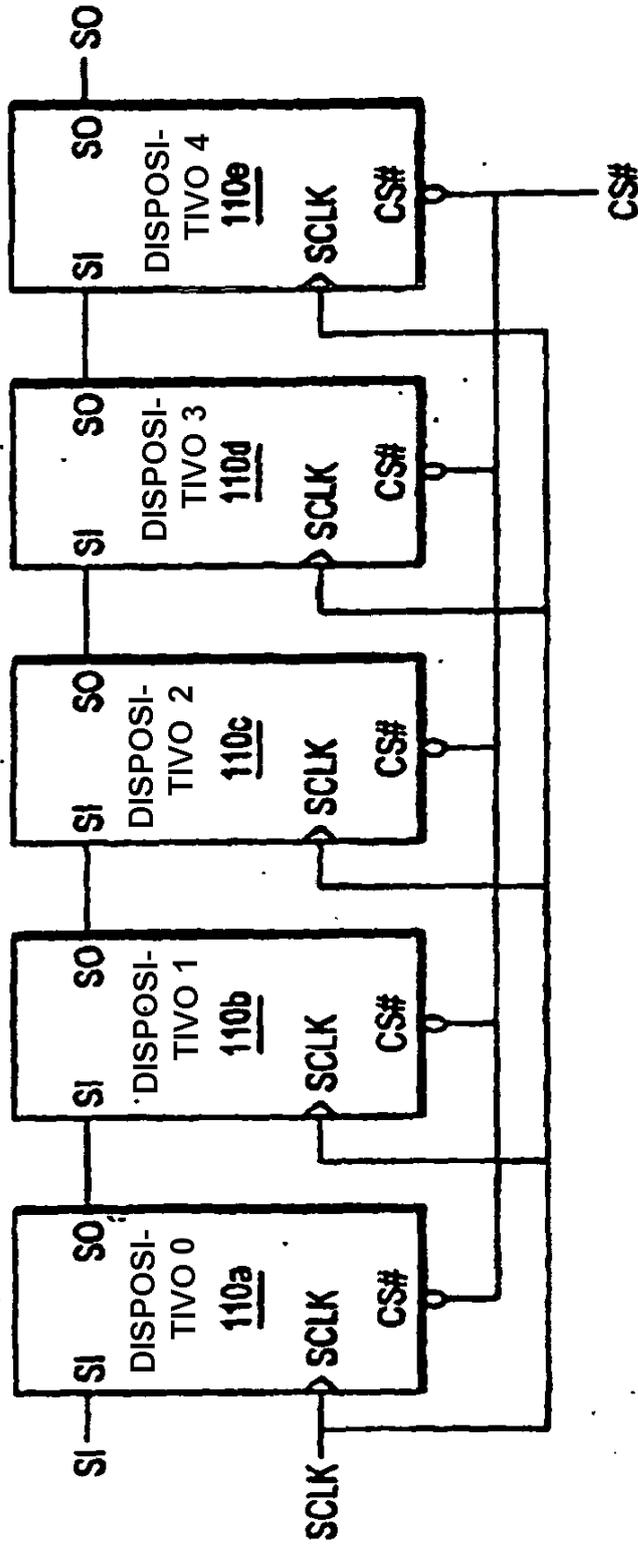


FIG. 1

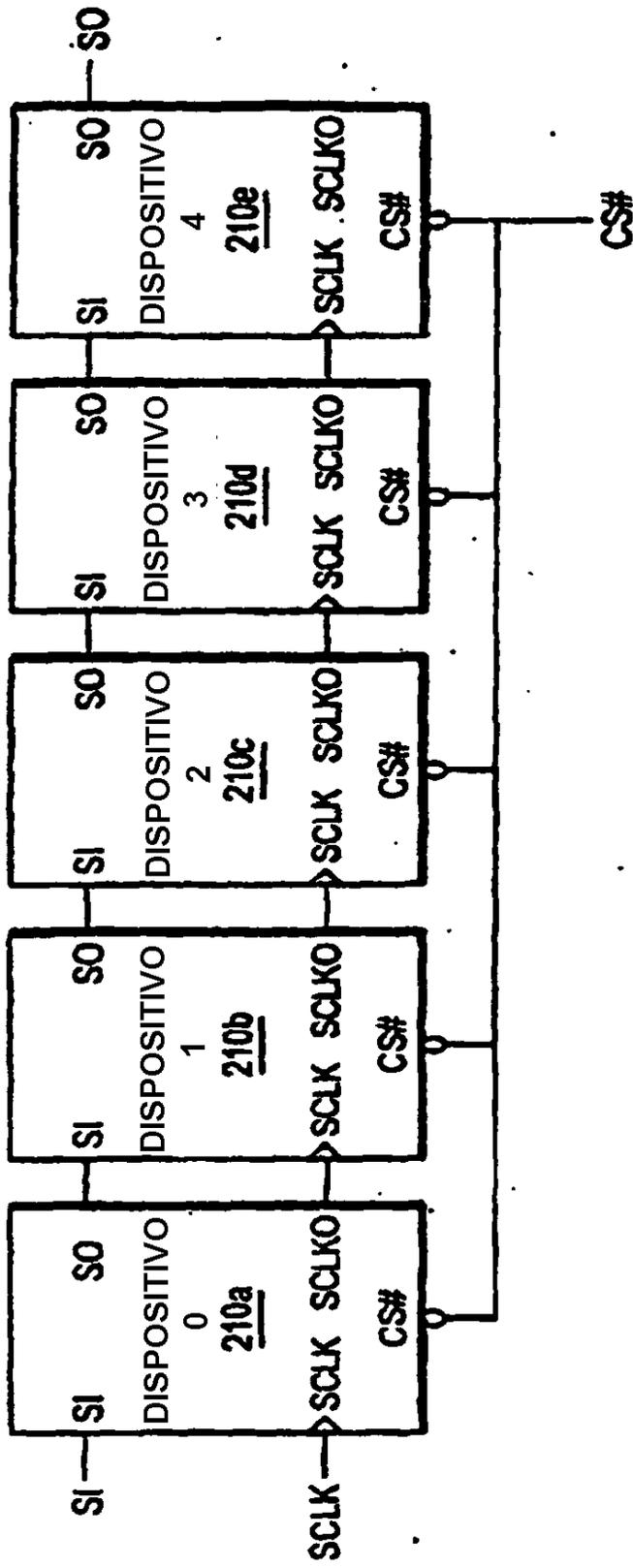


FIG. 2

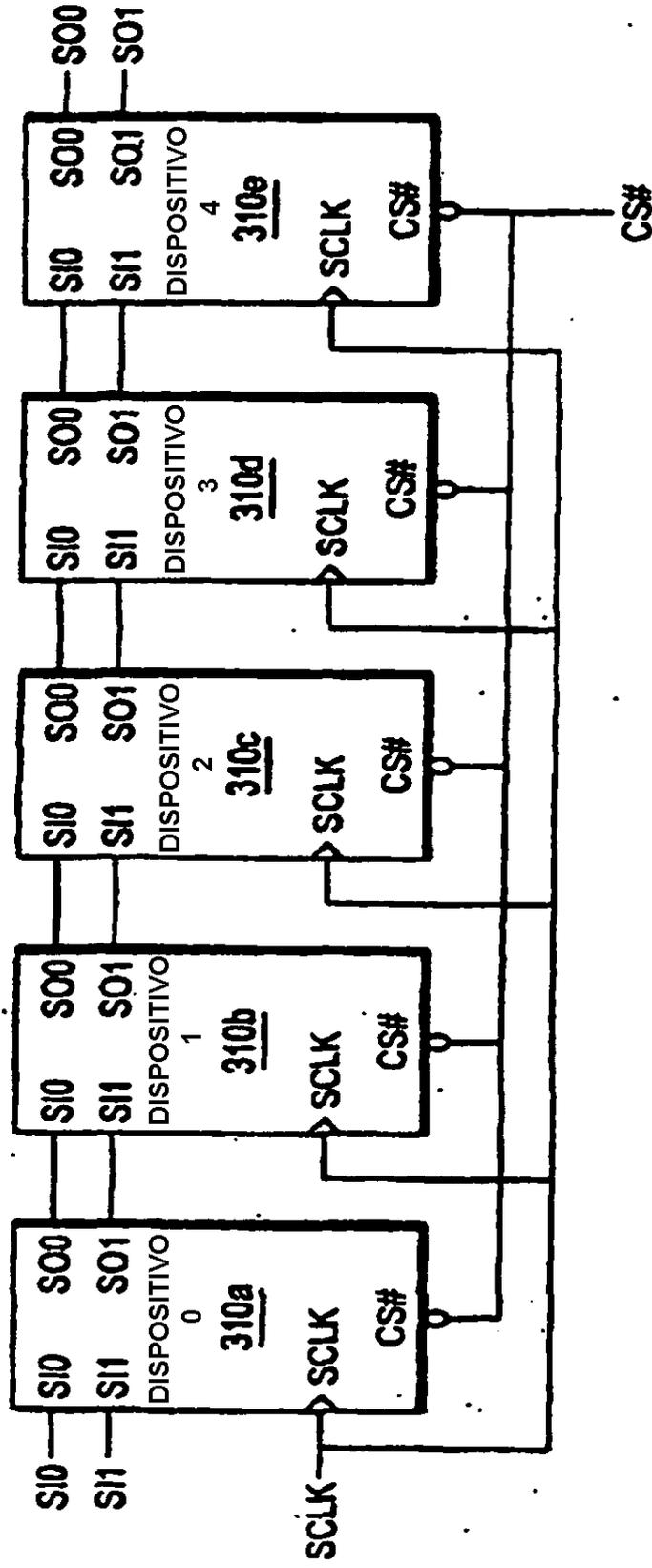


FIG. 3

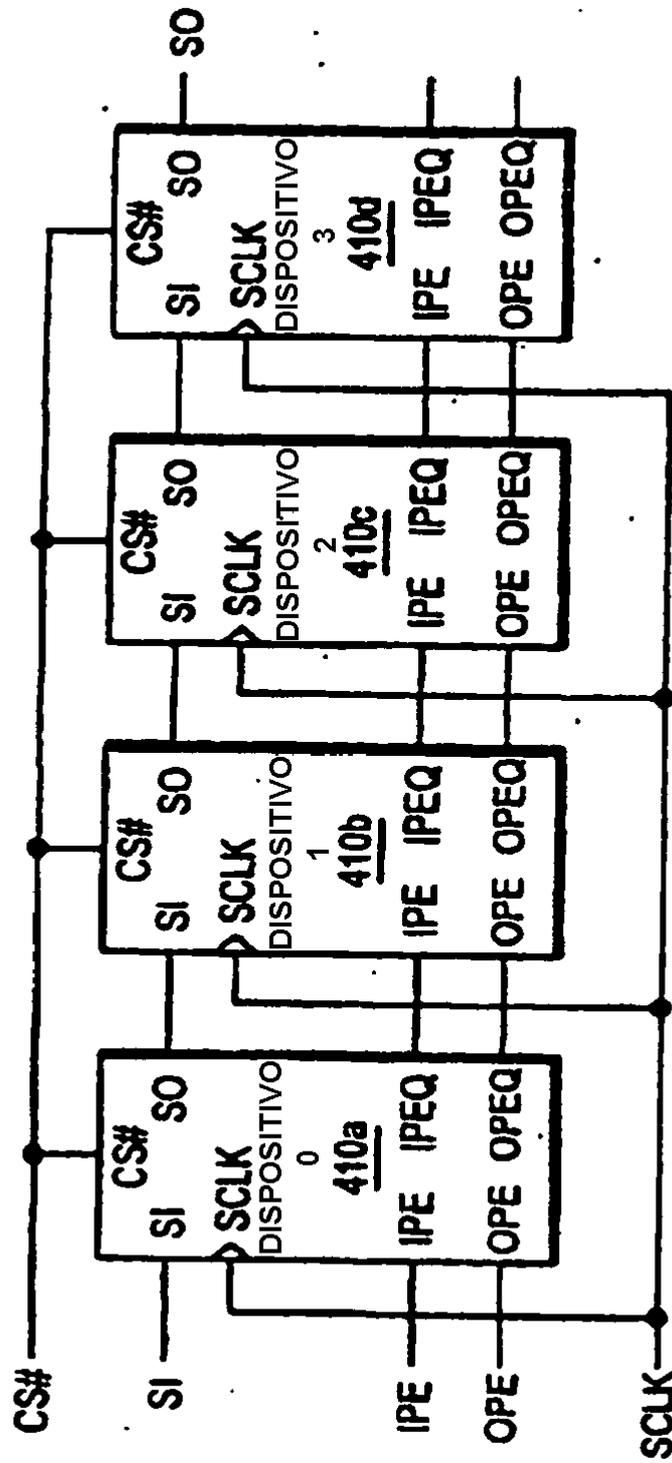


FIG. 4

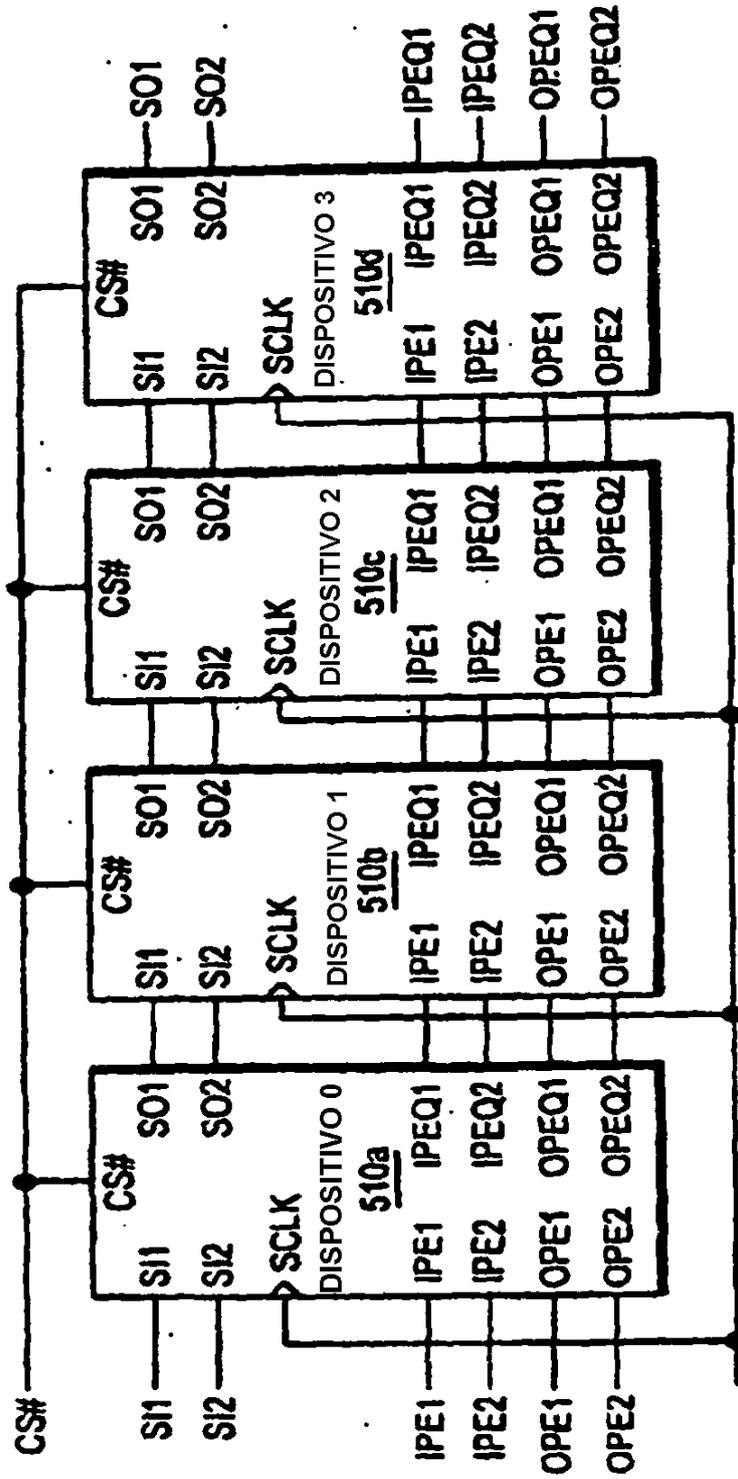


FIG. 5

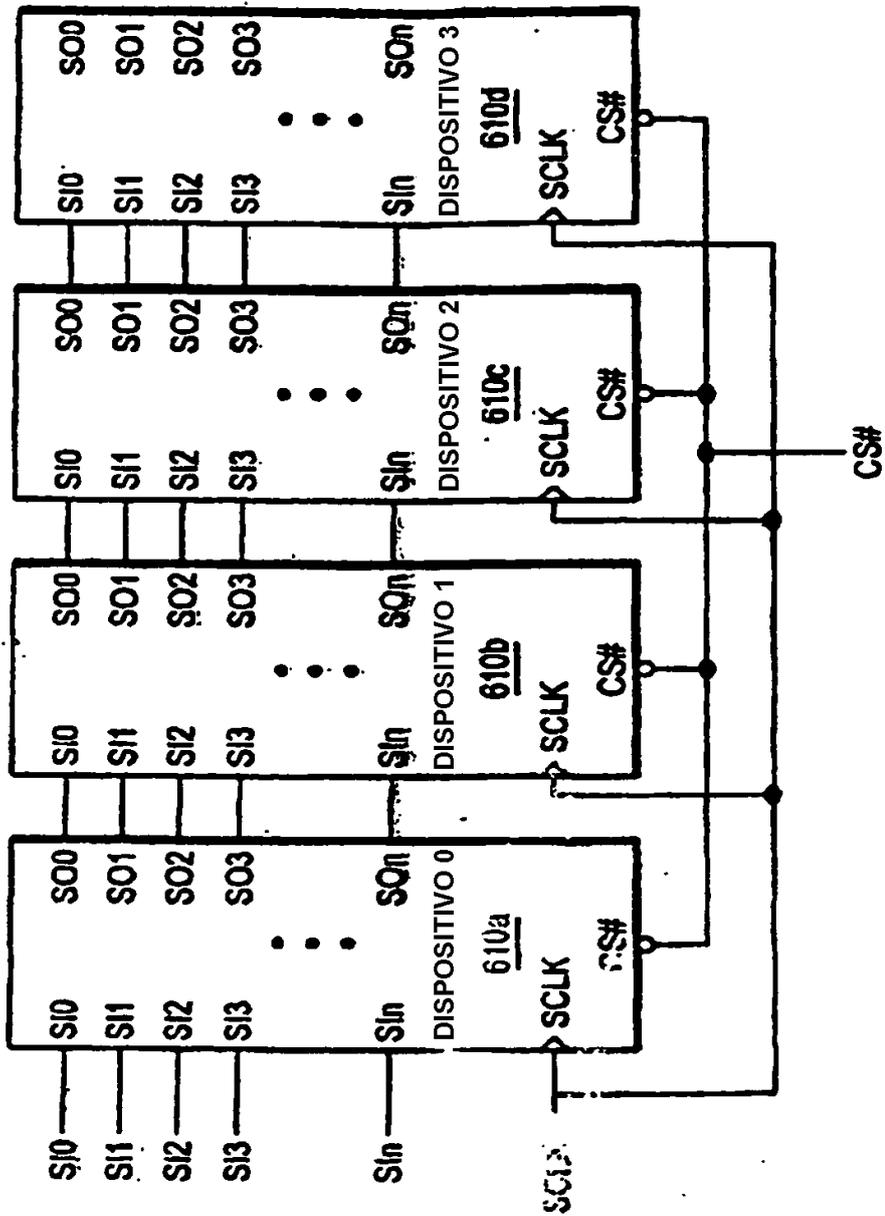


FIG. 6

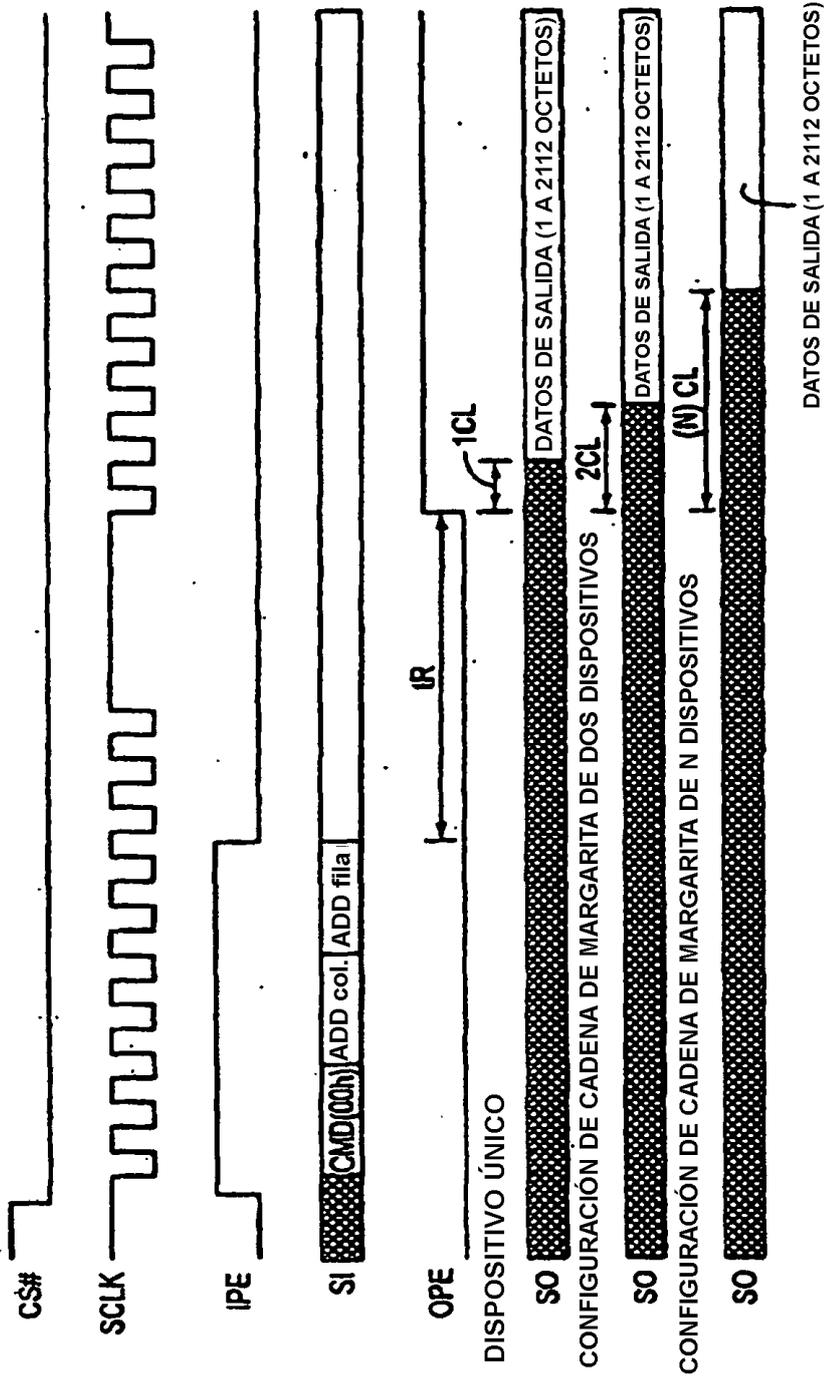


FIG. 7

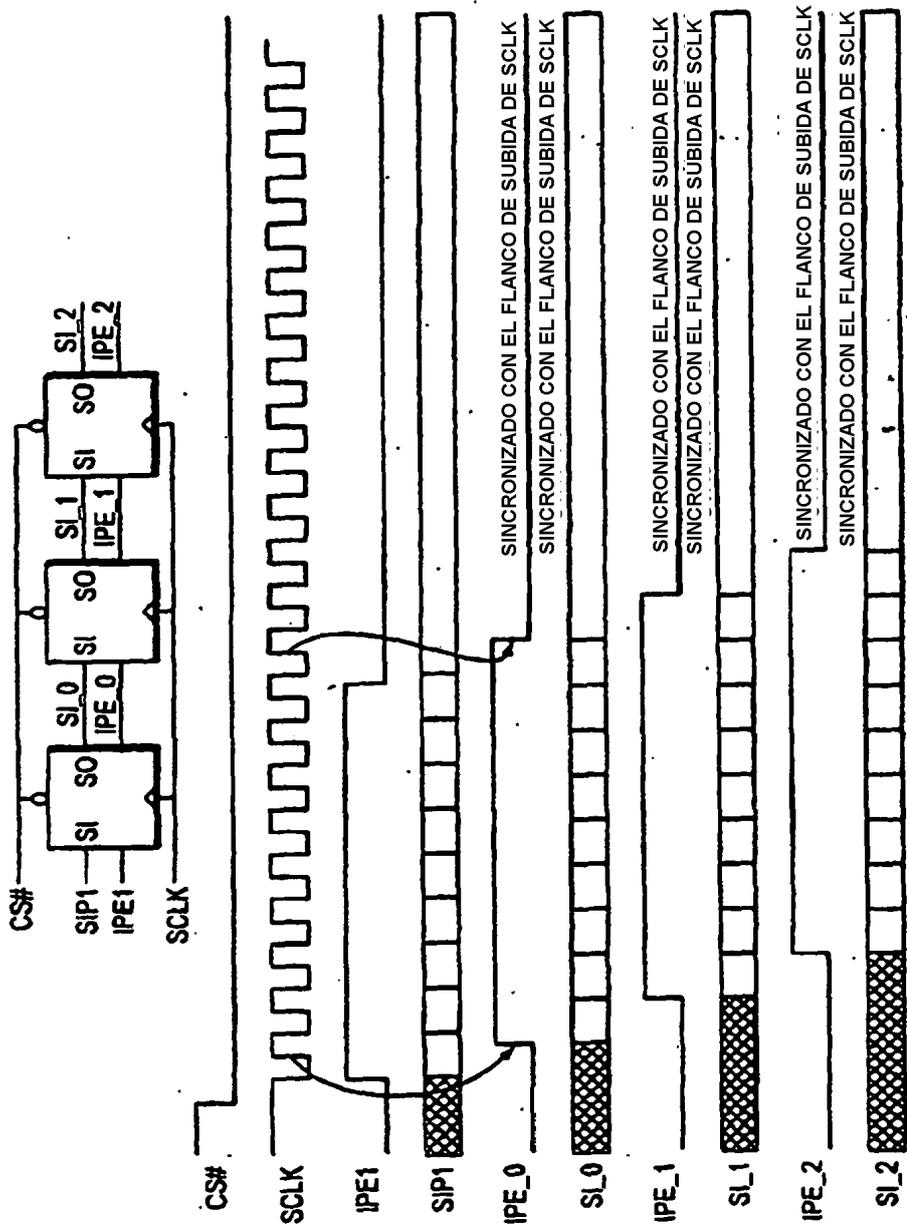


FIG. 8

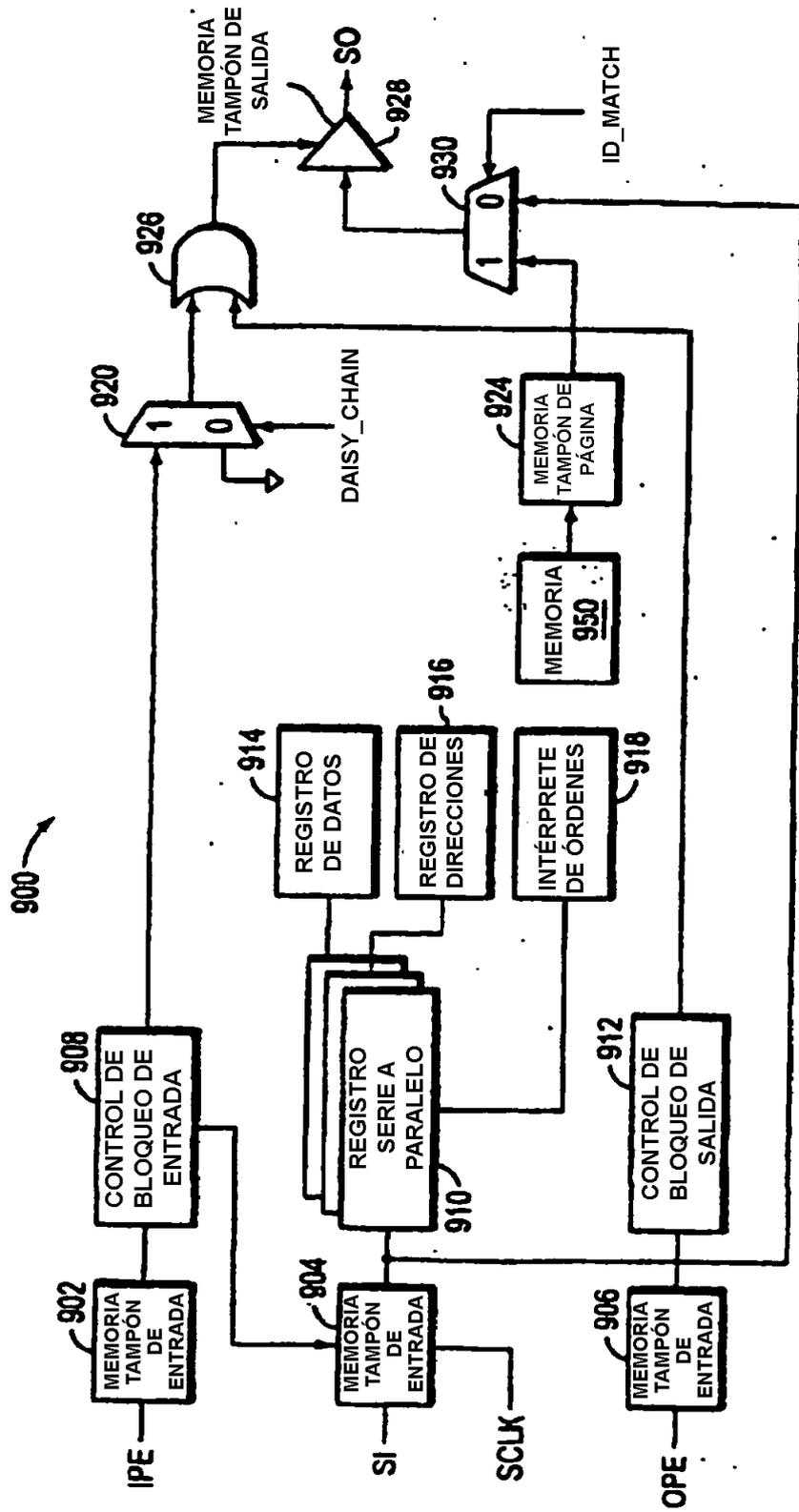


FIG. 9

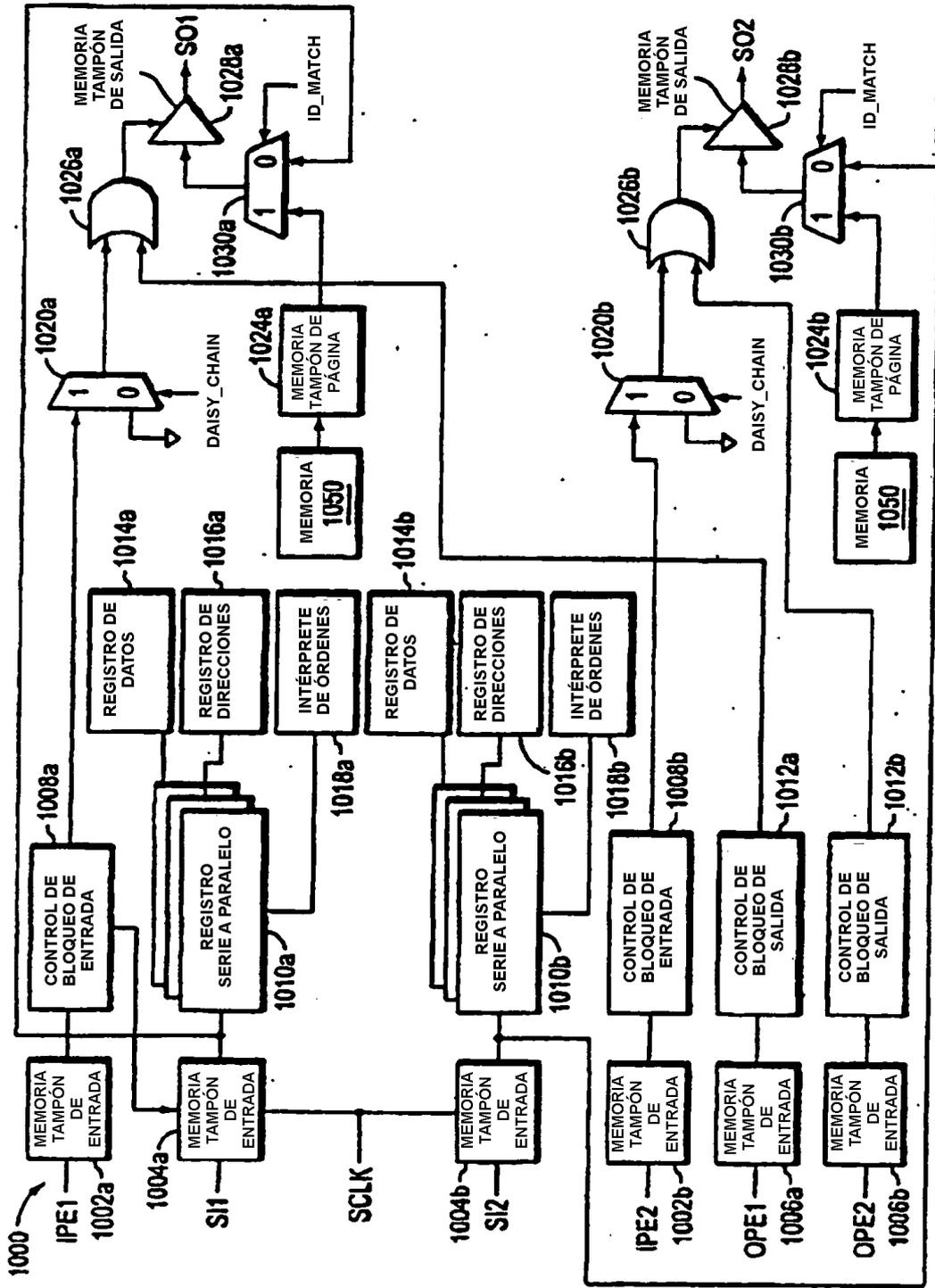


FIG. 10

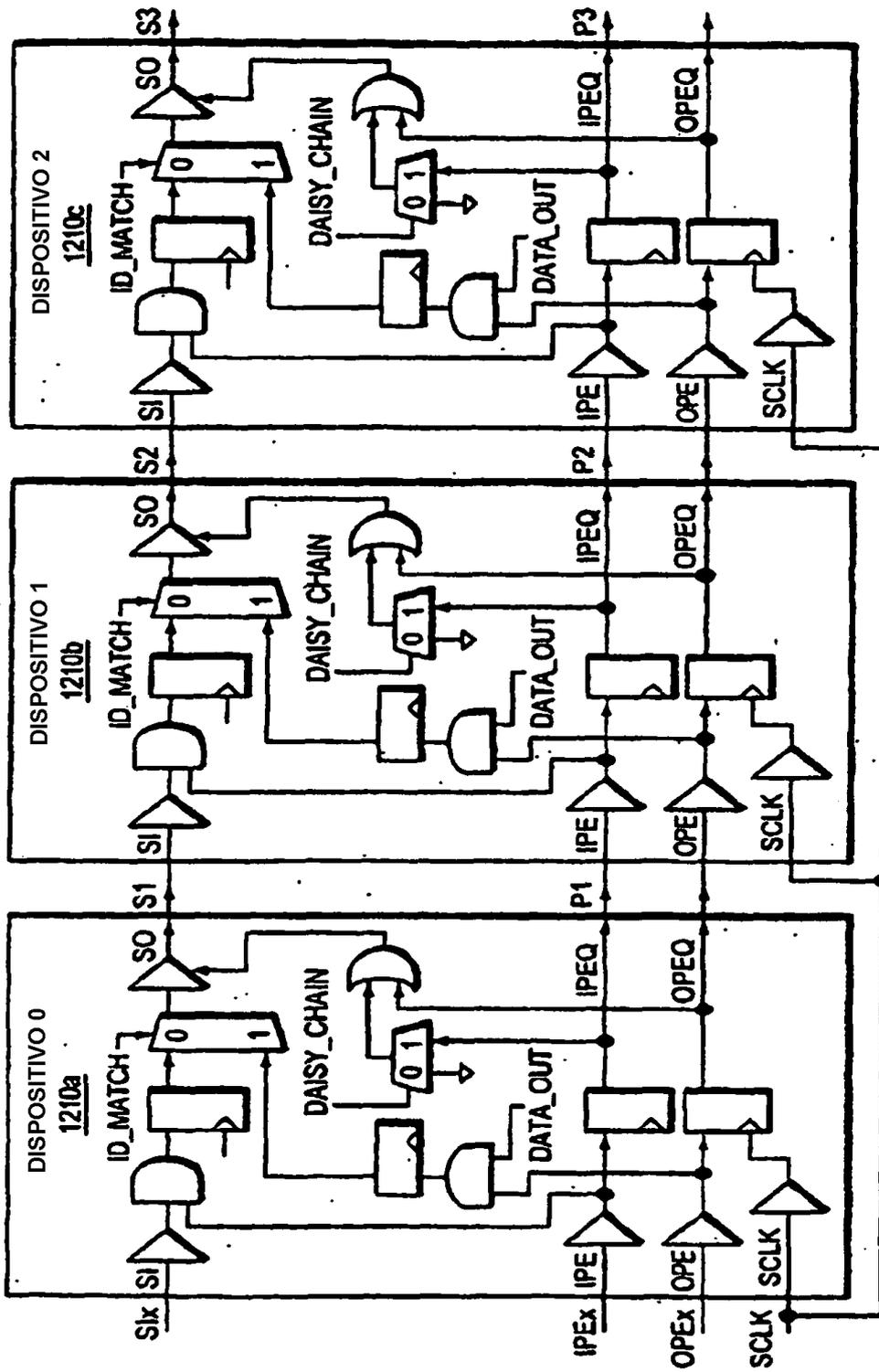


FIG. 12

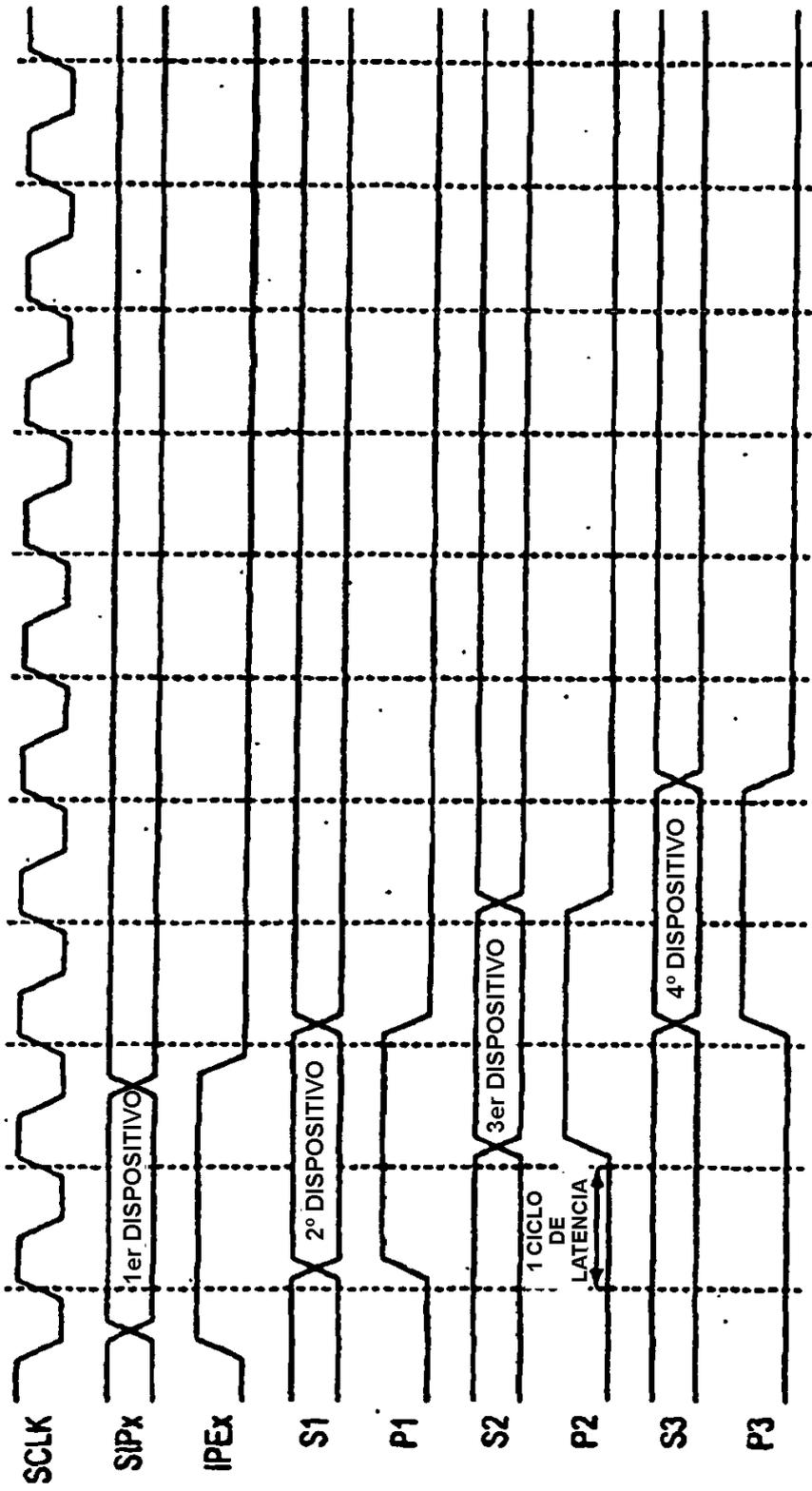


FIG. 13

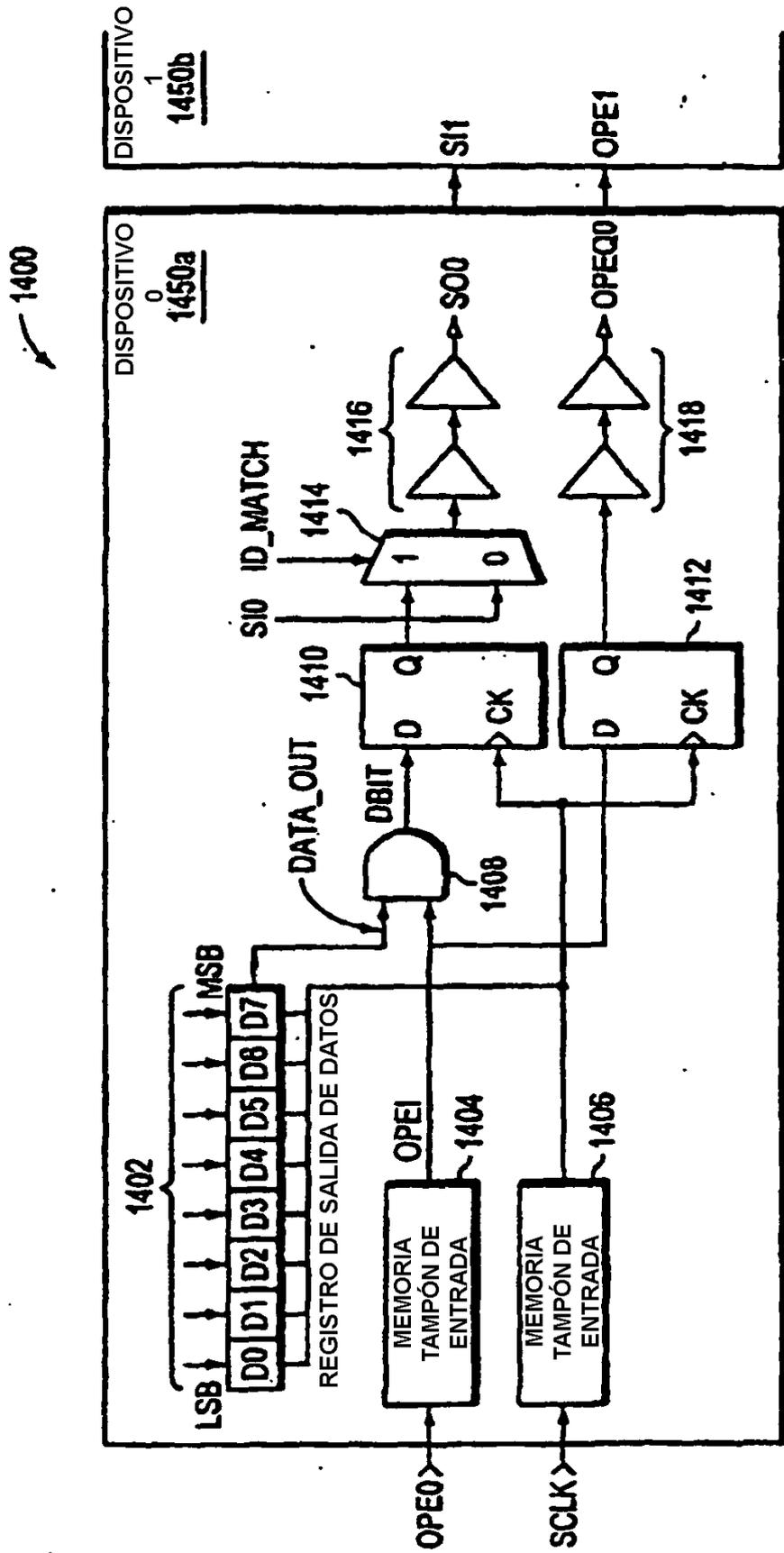


FIG. 14

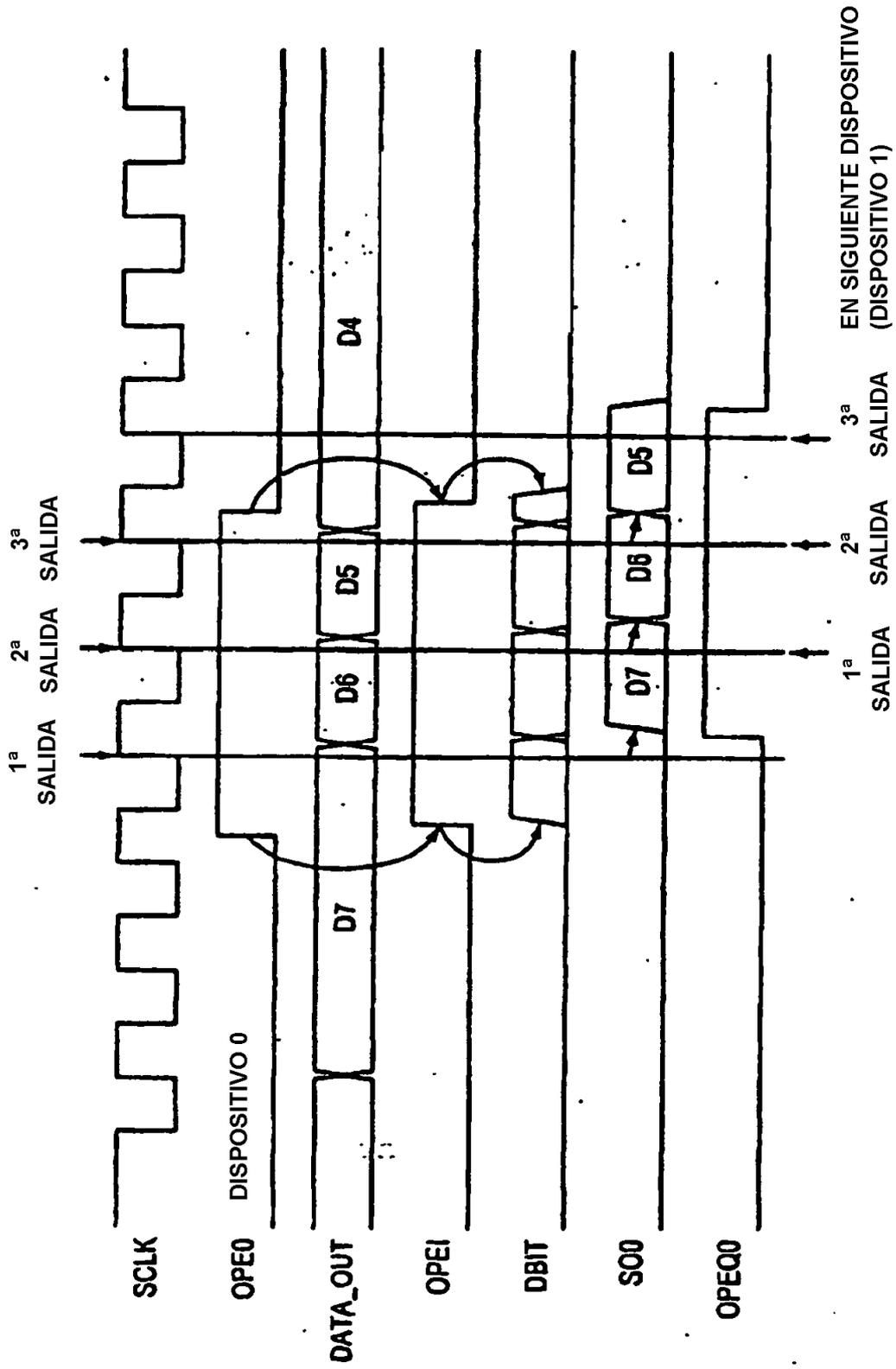


FIG. 15