

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 408 206**

51 Int. Cl.:

H03K 4/02 (2006.01)

H03K 17/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.02.2009 E 09002486 (0)**

97 Fecha y número de publicación de la concesión europea: **10.04.2013 EP 2109220**

54 Título: **Procedimiento y conmutador excitador para controlar un semiconductor de tensión**

30 Prioridad:

10.04.2008 DE 102008013275

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

19.06.2013

73 Titular/es:

**SEMIKRON ELEKTRONIK GMBH & CO. KG
(100.0%)
SIGMUNDSTRASSE 200
90431 NÜRNBERG, DE**

72 Inventor/es:

**JAIR, DO NASCIMENTO;
BODE, RÜDIGER;
MÜHLHOFER, ALEXANDER;
HOFMEIER, MARKUS y
KÖNIGSMANN, GUNTER**

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 408 206 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y conmutador excitador para controlar un semiconductor de tensión.

5 La invención se refiere a un procedimiento y a un circuito excitador para la activación de un semiconductor de potencia.

10 Los semiconductores de potencia tales como por ejemplo los transistores bipolares de puerta aislada, los tiristores o los transistores de efecto de campo metal - oxido - semiconductor (MOSFET) están, como regla general, controlados, esto es, por ejemplo conectados o desconectados por un circuito lógico. El circuito lógico en este caso proporciona únicamente la señal de conmutación lógica, pero no la potencia de conmutación necesaria. Este propósito se cumple mediante un excitador el cual se coloca entre el circuito lógico y el semiconductor de potencia y el cual amplifica la señal lógica de baja potencia a una señal de conmutación de alta potencia.

15 Los excitadores conocidos contienen, como un medio de activación de etapa individual, una fuente de tensión la cual es conectada o desconectada por el circuito lógico y la cual se conecta a través de una resistencia de la puerta a la entrada de conmutación (como regla general, puerta) del semiconductor de potencia. El valor de la resistencia de la puerta debe en este caso elegida adecuadamente a fin de determinar óptimamente el comportamiento de conmutación del conductor de potencia en su intervalo de conmutación, esto es en la zona de la meseta de Miller. Antes y después, esto es, fuera de este intervalo de tiempo, la resistencia de la puerta permanentemente escogida sin embargo causa que la tensión en la puerta del semiconductor de potencia cambie sólo lentamente. Éste y otros efectos los cuales no se revelan con más detalle en este documento conducen a tiempos de conmutación los cuales son globalmente largos y por lo tanto limitan la mínima amplitud del impulso o la duración del impulso en la activación del semiconductor de potencia, esto es, para el elemento de potencia controlado por tensión o el excitador.

25 A partir del documento US 4,266,150 es conocido que la curva de tensión en la entrada de un conmutador electromecánico puede estar diseñada por medio de un divisor de frecuencia configurado como un contador y un convertidor de digital a analógico subsiguiente. En este caso incrementando el valor del contador el valor de la tensión se aumenta por un paso determinado y descendiendo el valor del contador se desciende de acuerdo con esto. Esto resulta en una señal ascendente y descendente a modo de escalera en la entrada del convertidor de digital a analógico. A fin de proporcionar a la señal a modo de escalera una forma diferente, se manda que las señales binarias a partir del divisor de frecuencia sean registradas por medio de una matriz de memoria únicamente de lectura y distribuidas al convertidor de digital a analógico.

30 Es el objeto de la invención proporcionar un procedimiento mejorado y un circuito excitador mejorado para la activación de un semiconductor de potencia.

35 La invención proporciona un procedimiento para la activación de un semiconductor de potencia según la reivindicación 1 así como un circuito excitador para la activación de un semiconductor de potencia según la reivindicación 5. Formas de realización preferidas de la invención se describen en las reivindicaciones subordinadas.

40 La invención reivindicada se puede entender mejor a partir de los ejemplos prácticos descritos y representados en el presente documento, esto es en la presente descripción así como en los dibujos. En general la presente revelación refleja formas de realización preferidas de la invención. Sin embargo, un lector atento observará que algunos aspectos de las formas de realización descritas van más allá del ámbito de protección de las reivindicaciones. En tanto en cuanto a las formas de realización descritas realmente vayan más allá del ámbito de protección de las reivindicaciones, las formas de realización descritas se tienen que observar como una información de fondo y no constituyen una definición de la invención por sí misma.

45 Con respecto al procedimiento, el objeto se consigue mediante un procedimiento para la activación de un semiconductor de potencia con los siguientes pasos. Primero existe una espera para la llegada de un mandato de conexión o de desconexión para el semiconductor de potencia, el cual es generado por ejemplo por la lógica de control anteriormente mencionada. Un contador, como regla general para números enteros positivos, está estacionario hasta este momento y contiene o genera un número de un valor de arranque inferior o superior. En el momento de la emisión del mandato de conmutación, el contador empieza a contar hacia arriba (por ejemplo para conectar de semiconductor) o hacia abajo (para desconectar). Durante el cálculo, el contador incrementa o disminuye el número de casos de la cuenta, por ejemplo en unos.

50 El contador siempre pasa el número, esto es, incluso para cada paso de cálculo, a una memoria. La memoria utiliza el número como una dirección para su contenido de memoria. En la memoria cada dirección es asignada a un valor de memoria. La memoria por lo tanto emite para cada paso de cálculo un valor de memoria el cual corresponde a la respectiva dirección o número del contador. El valor de memoria es transmitido como un valor de entrada a un convertidor de digital a analógico. El convertidor de digital a analógico emite entonces su señal de salida analógica la cual está correlacionada con el valor de entrada digital, esto es, el valor de memoria actual, por ejemplo una tensión, y distribuye éste al semiconductor de potencia.

Este procedimiento se lleva a cabo hasta que el número del contador alcance el valor final superior o inferior. El contador deja de contar y, al igual que antes del inicio del cálculo, emite constantemente el valor final superior o inferior como el número a la memoria, a cuenta de lo cual el convertidor de digital a analógico emite otra vez una señal de salida constante de acuerdo con esto.

El procedimiento según la invención como regla general se lleva a cabo en un circuito excitador correspondiente. La invención por lo tanto se basa en la idea de la introducción de inteligencia digital en un circuito excitador o la activación de un semiconductor de potencia. Por medio de números combinados adecuadamente de pasos del cálculo entre los valores de arranque y finales y los valores de memoria adecuados en la memoria, mediante el procedimiento según la invención se produce por lo tanto una curva de tensión de la puerta programable en un elemento de potencia controlado por la tensión o circuito excitador. Variando los valores de arranque y finales, esto es, los pasos de cálculo, con un impulso de cálculo constante se puede variar el tiempo del cálculo o el tiempo de conmutación del excitador. Variando los valores de memoria se puede producir cualquier curva de tensión analógica en la salida del convertidor de digital a analógico. Por lo tanto se puede efectuar una fácil adaptación del circuito excitador a cualquier semiconductor de potencia. La adaptación entre el excitador y el semiconductor de potencia por lo tanto deja de ser necesariamente efectuada a través de la resistencia de la puerta, sino que se puede conseguir por medio de la curva de tensión programable.

Todas las formas de realización que existen anteriormente relacionadas con el control de la tensión del semiconductor de potencia sin embargo también pueden ser transferidas de acuerdo con esto a un control de la corriente.

En otras palabras, una gama de la curva de tensión a lo largo del tiempo se archiva en la memoria como una correlación entre la dirección y la memoria. Mediante el procedimiento, sin embargo, también es posible una activación de etapa individual del semiconductor de potencia, esto es una fuente de tensión se conecta a través de una resistencia de la puerta al semiconductor de potencia. La resistencia de la puerta en este caso puede ser muy pequeña, ya que es necesaria únicamente para la limitación de la corriente durante el intervalo de conmutación a fin de asegurar un comportamiento de conmutación correcto del semiconductor de potencia. Antes y después del intervalo de conmutación, según la invención se puede programar de ese modo en la memoria una curva de tensión denominada rápida. Mediante el procedimiento según la invención, los momentos para las secciones antes y después de la sección de conmutación se acortan, a cuenta de lo cual el tiempo de conmutación entero del semiconductor de potencia se acorta. El ancho de impulso mínimo para la activación del semiconductor de potencia se reduce como resultado.

Para semiconductores o excitadores conectados en paralelo, resulta una ventaja adicional: puesto que la resistencia de la puerta se puede hacer menor que en los circuitos conocidos, los impulsos de la tensión en la puerta fuera de los tiempos de conmutación conducen a tensiones menores que caen en la resistencia de la puerta. Los impulsos de tensión intrusivos en la puerta por lo tanto son menores, lo cual mejora la resistencia de interferencia dU/dt o la sensibilidad del semiconductor de potencia.

Con el procedimiento según la invención, pueden ser emitidos diferentes mandatos de conexión y desconexión. De ese modo por ejemplo además de mandatos normales de conexión y desconexión, se pueden emitir mandatos de disparo de cortocircuito o diferentes mandatos de conexión con diferentes tiempos de conmutación. En una forma de realización ventajosa, el contador puede calcular entonces entre diferentes valores de arranque o finales para diferentes mandatos de conexión o de desconexión. De ese modo diferentes números de pasos de cálculo, valores de arranque o finales se pueden producir para diferentes mandatos de conmutación, los cuales en cada caso conducen a diferentes momentos de conexión y desconexión en el semiconductor de potencia. Por ejemplo en el caso de un cortocircuito se puede conseguir un tiempo de desconexión más corto. El incremento en la corriente mientras el semiconductor de potencia está siendo desconectado por lo tanto se minimiza, las sobretensiones debidas a las inductancias parasitarias por lo tanto se reducen y de ese modo se mejora globalmente la protección frente a los cortocircuitos.

En una forma de realización preferida adicional, se pueden utilizar diferentes correlaciones de valores de memoria con direcciones para diferentes mandatos de conexión o desconexión en la memoria. Dependiendo del mandato de conexión o desconexión, se pueden por lo tanto archivar otras curvas de tensión en la memoria, esto es, son programables y están disponibles durante el accionamiento para el semiconductor de potencia.

Como ya se ha mencionado, la resistencia de la puerta se puede reducir en gran medida comparada con los circuitos conocidos. Una resistencia de la puerta de construcción discreta puede estar provista tanto en el circuito excitador como en el módulo de semiconductor de potencia. En casos límite la resistencia de la puerta incluso se puede omitir si por ejemplo la resistencia de la puerta parasitaria del semiconductor de potencia o el excitador ya es suficiente por sí misma. En una forma de realización preferida de la invención, la señal de salida por lo tanto es distribuida al semiconductor de potencia sin la interposición de una resistencia.

Con el procedimiento según la invención, es importante durante una operación de conmutación en el semiconductor

de potencia definir los momentos respectivos o puntos de tensión o puntos de corriente en los cuales empieza y termina el intervalo de conmutación real en el semiconductor de potencia. Para muchos semiconductores de potencia, sin embargo, la entrada de conmutación, esto es la puerta, no está directamente accesible para la medición de la tensión o esto en general no se desea. Puesto que sin embargo la capacidad de entrada entre la puerta y el emisor como regla general es muy conocida, la constante del tiempo es asimismo conocida. Esta característica puede ser utilizada entonces para determinar los puntos de arranque y final respectivos de los intervalos de conmutación durante los accionamientos de conexión y desconexión. Por lo menos para el momento final del intervalo de tiempo de conmutación, en una forma de realización ventajosa del procedimiento un conjunto de supervisión puede supervisar el comportamiento de conmutación del semiconductor de potencia en el lado de salida. En este caso, por ejemplo, se puede observar la tensión de saturación en la zona dinámica entre el colector y el emisor, lo cual permite una aseveración sobre si se ha alcanzado el extremo correspondiente del intervalo. En el procedimiento, valores de memoria o valores de arranque o valores finales se pueden variar entonces como una función del comportamiento de conmutación del semiconductor de potencia. Por lo tanto es posible un control dinámico, el cual siempre adapta al excitador a los semiconductores de potencia correspondientes los cuales son activados por el procedimiento.

Teniendo en cuenta los costes extraordinarios de un conjunto de supervisión de este tipo, sin embargo, como regla general para la conmutación por un intervalo se escoge permanentemente un intervalo de tiempo constante para ciertas aplicaciones, esto es el tipo de semiconductor de potencia que se va a activar mediante el procedimiento.

Como regla general, naturalmente la señal de tensión emitida por el convertidor de digital a analógico es amplificada otra vez por un amplificador antes de ser distribuida al semiconductor de potencia.

Con respecto al circuito excitador, el objeto establecido se consigue mediante un circuito excitador para la activación de un semiconductor de potencia. El circuito excitador tiene una entrada de señal para recibir un mandato de conexión o de desconexión para el semiconductor de potencia. El circuito excitador adicionalmente contiene un contador el cual puede ser arrancado mediante la entrada de señal para un número el cual puede ser contado hacia arriba o hacia abajo y una memoria conectada al contador. La memoria tiene diversos valores de memoria cada uno asignado a una dirección. El número del contador es en este caso la dirección de la memoria. La memoria se conecta a un convertidor de digital a analógico. El valor de entrada del convertidor de digital a analógico es el valor de memoria de la memoria. El convertidor analógico sirve para convertir el valor de entrada digital a una señal de salida analógica el cual está correlacionado con la última. La señal de salida se pasa a una salida de control. En la salida de control puede estar conectado el conmutador de semiconductor de potencia.

El circuito excitador según la invención ya ha sido descrito junto con sus ventajas en relación con el procedimiento según la invención.

En una forma de realización ventajosa el circuito excitador puede contener varias entradas de señal. Para este propósito es adecuado diseñar la variante del procedimiento en la cual diferentes mandatos de conexión y desconexión para el semiconductor de potencia pueden ser aplicados a diferentes entradas de señal.

En una forma de realización ventajosa adicional, el circuito excitador tiene varios contadores los cuales están conectados a las entradas de señal respectivamente. Como resultado, como se ha mencionado antes en este documento, diferentes mandatos de conexión o desconexión pueden causar que diferentes contadores calculen entre diferentes valores de arranque o finales.

En otra forma de realización ventajosa, el circuito excitador tiene diversas memorias con diferentes pares de direcciones y valores de memoria. Las diferentes memorias en este caso pueden, al igual que los contadores mencionados antes en este documento, ser componentes los cuales sean realmente diferentes físicamente o, de una manera conocida, estén diseñados como un circuito lógico en una pastilla integrada, por ejemplo en una matriz de puerta programable por campo (FPGA) o un circuito integrado para aplicaciones específicas (ASIC). Entonces no es una cuestión de celdas de memoria en el sentido convencional, sino por ejemplo una instalación de circuito parcial descrita por medio de un código VHDL (acrónimo que representa la combinación de VHSIC y HDL, donde VHSIC es el acrónimo de Very High Speed Integrated Circuit - Circuito Integrado de Muy Alta Velocidad y HDL es a su vez el acrónimo de Hardware Description Language.C - Lenguaje de descripción de hardware) dentro de la pastilla integrada. Un circuito excitador de esta clase puede producir las coordinaciones diferentes mencionadas antes en este documento de valores de memoria con direcciones para la conmutación entre diferentes memorias. En este caso, alternativamente, es asimismo posible el intercambio de contenidos de memoria.

El circuito excitador puede tener, en una forma de realización ventajosa adicional, un conjunto de supervisión el cual puede estar conectado en el lado de salida a un conmutador de semiconductor de potencia y actúa en la memoria o el contador. De ese modo la adaptación anteriormente mencionada del comportamiento de conmutación del circuito excitador al comportamiento de conmutación real de un conmutador de semiconductor de potencia conectado puede ser llevada a cabo mediante dichas adaptaciones.

Para una descripción adicional de la invención, se hace referencia a los ejemplos prácticos de los dibujos. Muestran,

cada uno en un diagrama esquemático:

la figura 1, un circuito excitador según la invención con un semiconductor de potencia conectado,

5 la figura 2, diferentes señales eléctricas durante el accionamiento del circuito excitador a partir de la figura 1 a lo largo del tiempo,

la figura 3, el contenido de la memoria a partir de la figura 1,

10 la figura 4, una forma de realización alternativa del circuito excitador a partir de la figura 1 con entradas de señal, contadores y memorias adicionales,

la figura 5, diferentes señales eléctricas durante el accionamiento del circuito excitador a partir de la figura 4 a lo largo del tiempo.

15 La figura 1 muestra como el circuito excitador un excitador 2 a la salida 6 del cual está conectado un transistor bipolar de puerta aislada por su puerta G como un semiconductor de potencia. El excitador 2 tiene como las entradas de señal dos entradas, 8a para la conexión del transistor bipolar de puerta aislada 4 y 8b para la desconexión del mismo. El excitador 2 adicionalmente contiene una entrada de modulación por ancho de impulsos (PWM) 12 y una entrada de reloj 14, los cuales conducen a un dispositivo lógico 10.

20 La salida del dispositivo lógico 10 y las entradas 8a,b conducen como entradas a un contador 16. El contador 16 es por regla general un contador digital normal el cual trabaja con números enteros positivos y en su salida, por ejemplo con un ancho de cálculo de 8 bits, genera números entre 0 y 255. El contador 16 cuenta hacia arriba un número interior 18 en pasos de cálculo 19 cuando la entrada 8a está activa y la entrada de modulación por ancho de impulsos (PWM) 12 está activa según el ciclo de la entrada del reloj 14, o cuenta hacia abajo durante la actividad de la entrada 8b.

30 En la salida del contador 16, el cual distribuye el número 18, está conectada una memoria 20 mediante su entrada, el número 18 sirviendo a la última como una dirección 22. Cada dirección posible 22 en la memoria 20 está asignada a un valor de memoria 24 el cual, cuando la dirección 22 está presente de acuerdo con ello, es emitido por el módulo de memoria 20 y pasado a un convertidor de digital a analógico 26 conectado al último.

35 El convertidor de digital a analógico 26 genera en su salida 28 una tensión analógica U la cual corresponde al valor 24, esto es, su valor de entrada digital 25, y la cual es distribuida a un amplificador 30. El amplificador 30 amplifica la tensión U hasta una gama correspondiente de amplificación entre las tensiones de suministro +V y -V, a fin de emitir la tensión amplificada de forma correspondiente U_V como una señal de activación para el transistor bipolar de puerta aislada 4 en la salida 6.

40 En una forma de realización alternativa, entre la salida 6 y la puerta G está conectada una resistencia de la puerta opcional 32 la cual causa la limitación de la corriente del transistor bipolar de puerta aislada 4 durante el accionamiento de conmutación en la meseta Miller o durante la conmutación real.

45 La figura 2 muestra a lo largo del tiempo t la curva de las señales en la entrada de modulación por ancho de impulsos 12, en las entradas 8a y 8b y la tensión U_{GE} entre la puerta G y el emisor E del transistor bipolar de puerta aislada 4. En el momento de la conexión t_c , el excitador 4 recibe en la entrada 8a un impulso de conexión 40, con el cual al mismo tiempo la entrada de modulación por ancho de impulsos 12 es establecida a lógica "1", esto es el transistor bipolar de puerta aislada 4 se supone que se conecta. El dispositivo lógico 10 genera en este caso de una manera no descrita con mayor detalle señales de control para el accionamiento del contador 16. Cuando el contador 16 es conmutado para contar hacia arriba a través de la entrada 8a la cual se activa con el impulso de conexión 40, esta entrada incrementa el número 18, empezando con el valor de arranque 42 a un valor de "0" en pasos de cálculo 19 con un valor de "1" hasta el valor final 44 en un valor de "255".

55 La figura 3 muestra cómo los números 18 generados por el contador son asignados a valores 24 como las direcciones 22 en la memoria 20. Empezando con el momento de conexión t_c , por lo tanto, el número 18 en forma de la dirección 22 pasa a través de los números desde el "0" hasta el "255". La memoria 20 por lo tanto distribuye continuamente como valores 24 los números entre "-8" y "15,0" representados en la figura 3 como valores digitales. Estos son convertidos por el convertidor de digital a analógico 26 a las tensiones reales U de -8 V hasta 15 V. Al alcanzar el valor final 44 "255" en el momento t_{es} , el contador 16 se detiene incrementando el número 18, puesto que el último ha alcanzado un valor de "255". Un valor de "255" continúa para ser emitido como el número 18, teniendo en cuenta lo cual hasta el momento t_a , la tensión U_{GE} es 15 V.

65 Entre los números 18 con valores de "50" hasta "100", la tensión generada por el convertidor de digital a analógico 26 se mantiene a 7.5 V. La tensión de la puerta – emisor U_{GE} por otra parte, varía ligeramente porque la conmutación del transistor bipolar de puerta aislada 4 empieza aquí.

5 En el momento t_a , una señal de desconexión para el transistor bipolar de puerta aislada 4 es generada en la entrada 8b como un impulso de desconexión 46. Como resultado el contador 16 es conmutado para contar hacia abajo y cuenta el número 18 desde un valor de "255", el cual sirve ahora como el valor de arranque 42, hasta el valor final 44 de "0". Según la figura 3, los valores de memoria 24 son contados hacia abajo de este modo desde un valor de "15,0" hasta un valor de "-8", teniendo en cuenta lo cual la tensión de la puerta – emisor U_{GE} cae según la curva programada. En este caso también, lo que se estableció antes en este documento se aplica a la conmutación del transistor bipolar de puerta aislada 4.

10 El circuito de la figura 4 se extiende comparado con el de la figura 1 mediante una entrada adicional 8c la cual se activa en el caso de un cortocircuito para una activación de desconexión del transistor bipolar de puerta aislada 4. La entrada de conmutación 8c se conecta mediante un dispositivo lógico adicional 10' a un contador especial 16' como un contador hacia abajo de cortocircuito el cual por su parte está combinado con una memoria especial 20' como una memoria de cuenta hacia abajo. El contador 16' tiene 9 bits, esto es, un total de 512 pasos de cálculo para su número 18'. La memoria 20' también tiene 512 direcciones las cuales según la figura 3 son asignadas a valores respectivos 24' los cuales son distribuidos sucesivamente al convertidor de digital a analógico 26 durante el cálculo del contador 16'. Para conmutar entre las memorias 20 y 20', un multiplexor 34 también está conectado en la trayectoria de la señal.

20 La figura 5 muestra adicionalmente, además de los accionamientos conocidos de conexión y desconexión a partir de la figura 2, un accionamiento de desconexión de cortocircuito cuando la entrada 8c se activa en el momento t_k . Entonces el contador 16' cuenta hacia abajo el número 18' desde un valor de "511" hasta un valor de "0". Mediante los valores 24' en la memoria 20' los cuales están alterados a partir de la figura 3, se obtiene la característica de conmutación 48 para la tensión de la puerta – emisor U_{GE} .

25 En la figura 4 se representa además una forma de realización del excitador 4 la cual contiene además un conjunto de supervisión 36. El último supervisa la tensión U_{CE} entre el colector C y el emisor E del transistor bipolar de puerta aislada 4. Dependiendo de la curva del tiempo de la tensión U_{CE} , durante los accionamientos de conmutación representados en la figura 2 y la figura 5 el conjunto de supervisión 36 varía los valores de arranque 42, los valores finales 44 y los contenidos de las memorias, esto es, los valores 24, 24' en las memorias 20, 20'. De ese modo la activación del transistor bipolar de puerta aislada 4 se adapta especialmente a su comportamiento de conmutación real.

REIVINDICACIONES

- 5 1. Procedimiento para la activación de un semiconductor de potencia (4) en el cual, en el momento de la emisión de un mandato de conexión (40) o de desconexión (46, 46') para ser recibido a través de varias entradas de señal para el semiconductor de potencia (4), un contador (16, 16') el cual tiene un número (18, 18') de un valor de arranque inferior o superior (42) empieza a aumentar o disminuir el número (18, 18') en pasos de cálculo (19), en el que para cada paso de cálculo (19) el número (18, 18') es transmitido como una dirección (22) a una memoria (20, 20'), la memoria (20, 20') emite para cada dirección (22) un valor de memoria (24) asignado a la última como un valor de entrada (25) a un convertidor de digital a analógico (26), la señal de salida del cual (U) la cual está correlacionada con el valor de entrada (25) es distribuida al semiconductor de potencia (4), son emitidos diferentes mandatos de conexión (40) o de desconexión (46, 46'), en los cuales el contador (16, 16') para diferentes mandatos de conexión (40) o de desconexión (46, 46') calcula diferentes valores de arranque (42) y/o valores finales (44) y el contador (16, 16') se detiene cuando el número (18, 18') alcanza el valor final superior o inferior (24).
- 15 2. Procedimiento según la reivindicación 1 en el que son emitidos diferentes mandatos de conexión (40) o de desconexión (46, 46') en los cuales en la memoria (20, 20') para diferentes mandatos de conexión (40) o de desconexión (46, 46') se utilizan diferentes correlaciones de valores de memoria (24) con las direcciones (22).
- 20 3. Procedimiento según cualquiera de las reivindicaciones anteriores en el cual la señal de salida (U_v) es distribuida al semiconductor de potencia (4) sin la interposición de una resistencia.
4. Procedimiento según cualquiera de las reivindicaciones anteriores en el cual un conjunto de supervisión (36) supervisa el comportamiento de conmutación del semiconductor de potencia (4) en el lado de la salida y los valores de memoria (24) y/o los valores de arranque (42) y/o los valores finales (44) se varían con una función del comportamiento de conmutación.
- 25 5. Circuito excitador (2) para la activación de un semiconductor de potencia (4) provisto de diversas entradas de señal (8a – c) para la recepción de diferentes mandatos de conexión (40) o de desconexión (46, 46') para el semiconductor de potencia (4), un contador (16, 16') el cual puede ser arrancado mediante las diferentes señales de entrada (8a – c) para un número (18, 18') el cual puede ser contado hacia arriba o hacia abajo entre diferentes valores de arranque (42) y/o valores finales (44), una memoria (20, 20') conectada al contador (16, 16') y provista de diversos valores de memoria (24, 24') cada uno asignado a una dirección (22), en el que el número (18, 18') es la dirección (22) de la memoria (20, 20') y un convertidor de digital a analógico (26) el cual está conectado a la memoria (20, 20') y el valor de entrada del cual (25) es el valor de memoria (24), en el que la señal de salida (U) del convertidor de digital a analógico (26) la cual está correlacionada con el valor de entrada (25) es pasada a una salida de control (6) para el semiconductor de potencia (4), en el que el contador (16, 16') se detiene cuando el número (18, 18') alcanza un valor final superior o inferior (44).
- 30 6. Circuito excitador (2) según la reivindicación 5 el cual contiene diversos contadores (16, 16') conectados a las entradas de señal (8a – c).
7. Circuito excitador (2) según la reivindicación 5 o 6 el cual contiene diversas memorias (20, 20') con diferentes pares de direcciones (22) y valores de memoria (24, 24').
- 45 8. Circuito excitador (2) según cualquiera de las reivindicaciones 5 a 7 en el cual el contador (16, 16') y/o la memoria (20, 20') están diseñados como un circuito lógico en una pastilla integrada.
9. Circuito excitador (2) según cualquiera de las reivindicaciones 5 a 8 provisto de un conjunto de supervisión (36) el cual puede estar conectado en el lado de salida al conmutador del semiconductor de potencia (4) y el cual actúa sobre la memoria (20, 20') y/o sobre el contador (16, 16').
- 50

Fig. 1

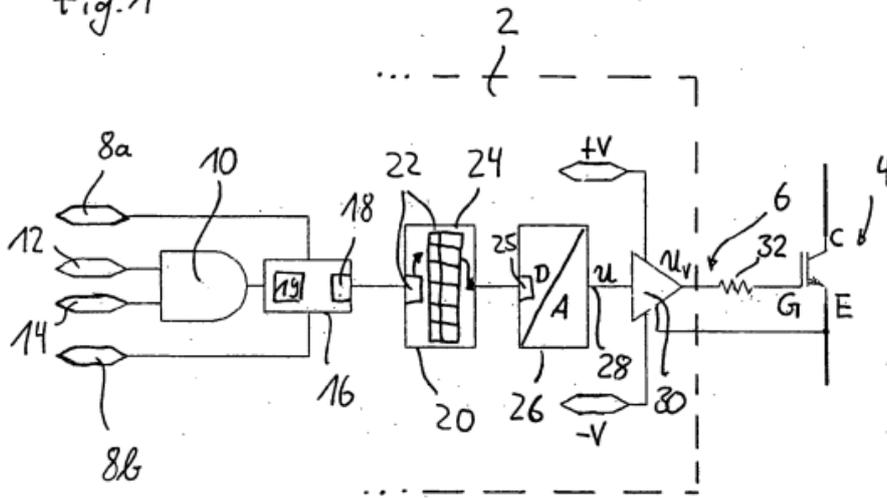
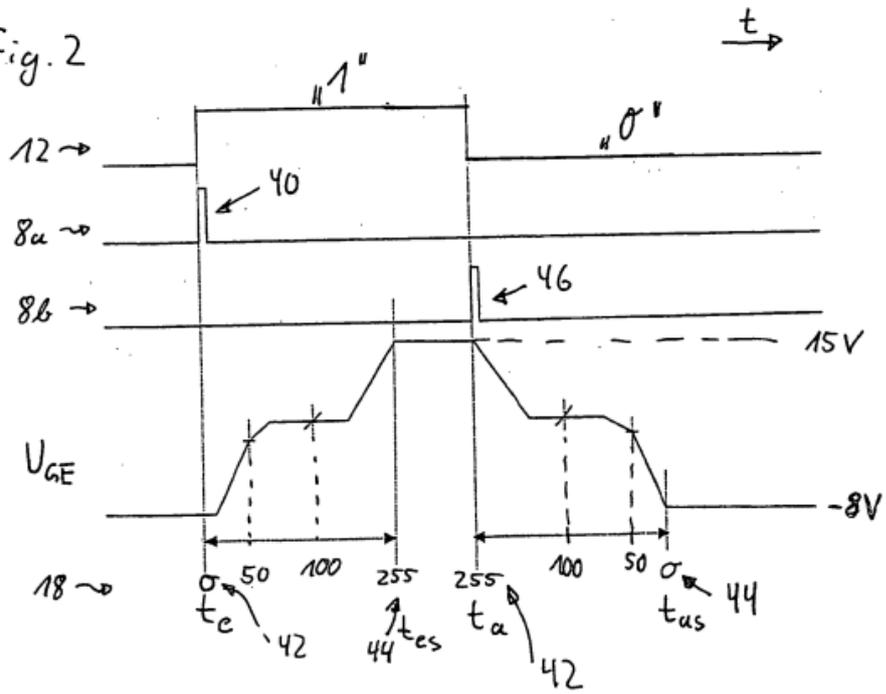


Fig. 2



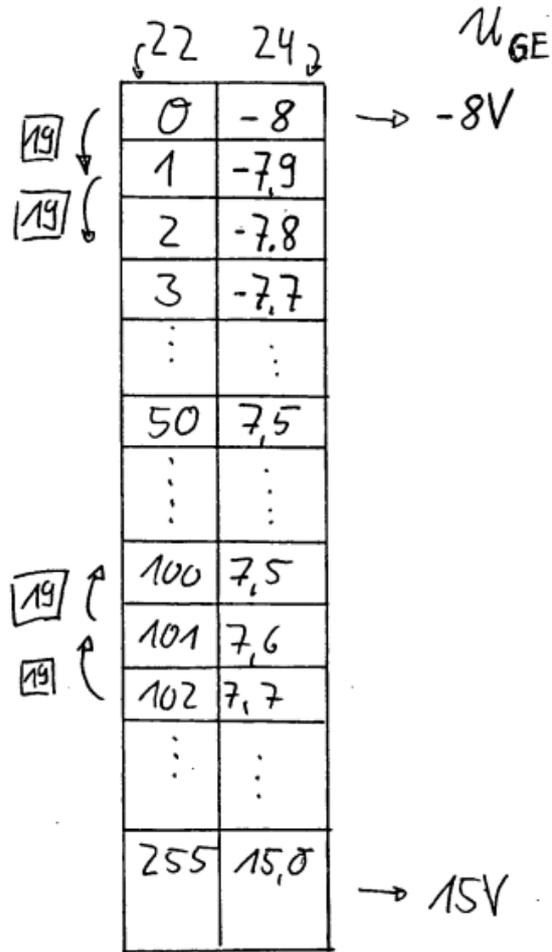


Fig. 3

