

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 409 107**

51 Int. Cl.:

**H04L 1/00** (2006.01)

**H04L 27/26** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.09.2008 E 09171510 (2)**

97 Fecha y número de publicación de la concesión europea: **27.03.2013 EP 2139142**

54 Título: **Aparato para transmitir y recibir una señal y método de transmisión y recepción de una señal.**

30 Prioridad:

**28.09.2007 US 976410 P**

**09.10.2007 US 978725 P**

**18.10.2007 US 980799 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**25.06.2013**

73 Titular/es:

**LG ELECTRONIC INC. (100.0%)  
20, YOIDO-DONG YOUNGDUNGPO-GU  
SEOUL 150-721, KR**

72 Inventor/es:

**KO, WOO SUK y  
MOON, SANG CHUL**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

**ES 2 409 107 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Aparato para transmitir y recibir una señal y método de transmisión y recepción de una señal.

5 La presente invención se refiere a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, y más concretamente, a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, que son capaces de mejorar la eficiencia de transmisión de datos.

10 A medida que se ha desarrollado una tecnología de difusión digital, los usuarios han recibido una imagen en movimiento de alta definición (HD). Con el desarrollo continuo de un algoritmo de compresión y alto rendimiento de los componentes físicos, se proporcionará un mejor entorno a los usuarios en el futuro. Un sistema de televisión digital (DTV) puede recibir una señal de difusión digital y proporcionar una variedad de servicios suplementarios a los usuarios así como una señal de vídeo y una señal de audio.

Con el desarrollo de la tecnología de difusión digital, se aumenta un requisito de un servicio tal como una señal de vídeo y una señal de audio y se aumenta gradualmente el tamaño de datos deseado por un usuario o el número de canales de difusión.

El documento US 2005/047514 revela un sistema que transmite y recibe una señal de difusión.

15 Por consiguiente, la presente invención está dirigida a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal que sustancialmente obvian uno o más problemas debidos a las limitaciones y desventajas de la técnica relacionada.

Un objeto de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que son capaces de mejorar la eficiencia de transmisión de datos.

20 Otro objeto de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que son capaces de mejorar la capacidad de corrección de errores de bits que configuran un servicio.

25 Ventajas, objetos, y rasgos adicionales de la invención se expondrán en parte en la descripción que sigue y en parte llegarán a ser evidentes a aquellos que tienen experiencia habitual en la técnica tras el examen de lo siguiente o se pueden aprender a partir de la práctica de la invención. Los objetivos y otras ventajas de la invención se pueden realizar y lograr mediante la estructura señalada particularmente en la descripción escrita y las reivindicaciones de ésta así como en los dibujos adjuntos.

30 Para lograr estos objetos y otras ventajas y según el propósito de la invención, según se realiza y describe ampliamente en la presente memoria, se propone un método para transmitir una señal de difusión según la reivindicación 1.

En otro aspecto de la presente invención, se propone un método para recibir una señal de difusión según la reivindicación 2.

En otro aspecto de la presente invención, se propone un aparato para transmitir una señal de difusión según la reivindicación 3.

35 En otro aspecto de la presente invención, se propone un aparato para recibir una señal de difusión según la reivindicación 4.

Se tiene que entender que tanto la descripción general anteriormente mencionada como la siguiente descripción detallada de la presente invención son ejemplares y explicativas y no se prevé que proporcionen explicaciones adicionales de la invención según se reivindica.

40 Los dibujos anexos, que se incluyen para proporcionar una comprensión adicional de la invención y se incorporan en y constituyen una parte de esta solicitud, ilustran la(s) realización(es) de la invención y junto con la descripción sirven para explicar el principio de la invención. En los dibujos:

La FIG. 1 es una vista que muestra una trama de señal para transmitir un servicio;

La FIG. 2 es una vista que muestra la estructura de una primera señal piloto P1 de la trama de señal;

45 La FIG. 3 es una vista que muestra una ventana de señalización;

La FIG. 4 es una vista esquemática que muestra un ejemplo de un aparato para transmitir una señal;

La FIG. 5 es una vista que muestra un ejemplo de un procesador de entrada 110;

La FIG. 6 es una vista que muestra una realización de una unidad de codificación y modulación;

La FIG. 7 es una vista que muestra una realización de un constructor de tramas;

La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan correlación híbrida de símbolos;

5 La FIG. 9 es una vista que muestra un segundo ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan correlación híbrida de símbolos;

La FIG. 10 es una vista que muestra una realización de cada uno de los correlacionadores 131a y 131b de símbolos mostrados en la FIG. 7;

La FIG. 11 es una vista que muestra otro ejemplo del correlacionador de símbolos;

10 La FIG. 12 es una vista que muestra el concepto de intercalado de bits mediante los intercaladores de bits 1312a y 1312b de la FIG. 11;

La FIG. 13 es una vista que muestra un primer ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b según los tipos de correlacionadores de símbolos 1315a y 1315b;

15 La FIG. 14 es una vista que muestra un segundo ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b según los tipos de los correlacionadores de símbolos 1315a y 1315b;

La FIG. 15 es una vista que muestra el concepto de demultiplexación de bits de entrada de los demultiplexores 1313a y 1313b;

La FIG. 16 es una vista que muestra una realización de demultiplexación de un flujo de entrada mediante el demultiplexor;

20 La FIG. 17 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de correlación de símbolos;

La FIG. 18 es una vista que muestra una realización de demultiplexación de un flujo de bits de entrada según un tipo de demultiplexación;

25 La FIG. 19 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de un método de codificación con corrección de errores y de correlación de símbolos;

La FIG. 20 es una vista que muestra un ejemplo de expresar el método de demultiplexación mediante una ecuación;

La FIG. 21 es una vista que muestra un ejemplo de correlación de un símbolo mediante un correlacionador de símbolos;

La FIG. 22 es una vista que muestra un ejemplo de un codificador de señal multitrayecto;

30 La FIG. 23 es una vista que muestra un ejemplo de un modulador;

La FIG. 24 es una vista que muestra un ejemplo de un procesador analógico 160;

La FIG. 25 es una vista que muestra una realización de un aparato de recepción de señales capaz de recibir una trama de señal;

La FIG. 26 es una vista que muestra una realización de un receptor de señales;

35 La FIG. 27 es una vista que muestra una realización de un demodulador;

La FIG. 28 es una vista que muestra un decodificador de señales multitrayecto;

La FIG. 29 es una vista que muestra una realización de un analizador sintáctico de tramas;

La FIG. 30 es una vista que muestra una realización de cada uno de los descorrelacionadores de símbolos 247a y 247p;

40 La FIG. 31 es una vista que muestra otro ejemplo de cada uno de los descorrelacionadores de símbolos 247a y 247p;

La FIG. 32 es una vista que muestra una realización de multiplexación de un subflujo demultiplexado;

La FIG. 33 es una vista que muestra un ejemplo de una unidad de decodificación y demodulación;

La FIG. 34 es una vista que muestra un ejemplo de un procesador de salida;

La FIG. 35 es una vista que muestra otro ejemplo de un aparato de transmisión de señales para transmitir una trama de señal;

5 La FIG. 36 es una vista que muestra otra realización de un aparato de recepción de señales para recibir una trama de señal;

La FIG. 37 es una vista que muestra un ejemplo de un método para transmitir una señal; y

La FIG. 38 es una vista que muestra una realización de un método para recibir una señal.

10 Ahora se hará referencia en detalle a las realizaciones preferidas de la presente invención, ejemplos de las cuales se ilustran en los dibujos anexos. Siempre que sea posible, se usarán los mismos números de referencia a lo largo de los dibujos para referirse a las mismas partes o similares.

En la siguiente descripción, el término "servicio" es indicativo o bien de contenidos de difusión que se pueden transmitir/recibir por el aparato de transmisión/recepción de señales, o bien de suministro de contenido.

15 Anterior a la descripción de un aparato para transmitir y recibir una señal según una realización de la presente invención, se describirá una trama de señal que se transmite y recibe por el aparato para transmitir y recibir la señal según la realización de la presente invención.

La FIG. 1 muestra una trama de señal para transmitir un servicio según la presente invención.

20 La trama de señal mostrada en la FIG. 1 muestra una trama de señal ejemplar para transmitir un servicio de difusión que incluye flujos de audio/vídeo (A/V). En este caso, se multiplexa un único servicio en canales de tiempo y de frecuencia, y el servicio multiplexado se transmite. El esquema de transmisión de señales mencionado anteriormente se denomina un esquema de segmentación en tiempo-frecuencia (TFS). Comparado con el caso en el que se transmite un único servicio solamente a una banda de radiofrecuencia (RF), el aparato de transmisión de señales según la presente invención transmite el servicio de señales a través de al menos una banda de RF (posiblemente varias bandas de RF), de modo que puede adquirir una ganancia de multiplexación estadística capaz de transmitir muchos más servicios. El aparato de transmisión/recepción de señales transmite/recibe un único servicio sobre 25 varios canales de RF, de modo que puede adquirir una ganancia de diversidad de frecuencia.

30 Los servicios primero a tercero (Servicios 1~3) se transmiten a cuatro bandas de RF (RF1 ~ RF4). Sin embargo, este número de bandas RF y este número de servicios se han descrito solamente con propósitos ilustrativos, de modo que también pueden usarse otros números según sea necesario. Dos señales de referencia (es decir, una primera señal piloto (P1) y una segunda señal piloto (P2)) se sitúan en la parte de comienzo de la trama de señal. Por ejemplo, en el caso de la banda de RF1, la primera señal piloto (P1) y la segunda señal piloto (P2) se sitúan en la parte de comienzo de la trama de señal. La banda de RF1 incluye tres ranuras asociadas con el Servicio 1, dos ranuras asociadas con el Servicio 2, y una única ranura asociada con el Servicio 3. Ranuras asociadas con otros servicios también se pueden situar en otras ranuras (Ranuras 4~17) situadas después de la única ranura asociada con el Servicio 3.

35 La banda de RF2 incluye una primera señal piloto (P1), una segunda señal piloto (P2), y otras ranuras 13 ~ 17. Además, la banda de RF2 incluye tres ranuras asociadas con el Servicio 1, dos ranuras asociadas con el Servicio 2, y una única ranura asociada con el Servicio 3.

40 Los Servicios 1 ~ 3 se multiplexan, y entonces se transmiten a las bandas de RF3 y RF4 según el esquema de segmentación en tiempo-frecuencia (TFS). El esquema de modulación para transmisión de señales se puede basar en un esquema de multiplexación por división de frecuencia ortogonal (OFDM).

En la trama de señal, los servicios individuales se desplazan a las bandas de RF (en el caso de que haya una pluralidad de las bandas de RF en la trama de señal) y un eje de tiempo.

45 Si las tramas de señal iguales a la trama de señal anterior se disponen de manera sucesiva en el tiempo, una supertrama puede estar compuesta de varias tramas de señal. Una futura trama de extensión también se puede situar entre las diversas tramas de señal. Si la futura trama de extensión se sitúa entre las diversas tramas de señal, la supertrama se puede terminar en la futura trama de extensión.

La FIG. 2 muestra una primera señal piloto (P1) contenida en la trama de señal de la FIG. 1 según la presente invención.

50 La primera señal piloto P1 y la segunda señal piloto P2 se sitúan en la parte de comienzo de la trama de señal. La primera señal piloto P1 se modula mediante un modo de FFT 2K, y se puede transmitir simultáneamente al tiempo que incluye un intervalo de guarda de 1/4. En la FIG. 2, una banda de 7,61 Mhz de la primera señal piloto P1 incluye

- una banda de 6,82992 Mhz. La primera señal piloto usa 256 portadoras de entre 1705 portadoras activas. Una única portadora activa se usa cada 6 portadoras en promedio. Los intervalos de portadora de datos se pueden disponer irregularmente en el orden de 3, 6, y 9. En la FIG. 2, una línea continua indica la ubicación de una portadora usada, una línea fina de puntos indica la ubicación de una portadora no usada, y una línea de raya y punto indica una ubicación central de la portadora no usada. En la primera señal piloto, la portadora usada se puede correlacionar por símbolos mediante modulación por desplazamiento de fase binaria (BPSK), y se puede modular una secuencia de bits pseudoaleatoria (PRBS). El tamaño de una FFT usada para la segunda señal piloto se puede indicar mediante varias PRBS.
- El aparato de recepción de señales detecta una estructura de una señal piloto, y reconoce una segmentación en tiempo-frecuencia (TFS) usando la estructura detectada. El aparato de recepción de señales adquiere el tamaño de FFT de la segunda señal piloto, compensa un desplazamiento de frecuencia basto de una señal de recepción, y adquiere sincronización de tiempo.
- En la primera señal piloto, se pueden ajustar un tipo de transmisión de señal y un parámetro de transmisión.
- La segunda señal piloto P2 se puede transmitir con un tamaño de FFT y un intervalo de guarda igual a aquéllos del símbolo de datos. En la segunda señal piloto, se usa una única portadora como una portadora piloto a intervalos de tres portadoras. El aparato de recepción de señales compensa un desplazamiento de sincronización de frecuencia fina usando la segunda señal piloto, y realiza una sincronización de tiempo fina. La segunda señal piloto transmite información de una primera capa (L1) de entre las capas de Interconexión de Sistemas Abiertos (OSI). Por ejemplo, la segunda señal piloto puede incluir un parámetro físico e información de construcción de tramas. La segunda señal piloto transmite un valor de parámetro por el cual un receptor puede acceder a un flujo de servicio de Conducto de Capa Física (PLP).
- La información de L1 (Capa 1) contenida en la segunda señal piloto P2 es como sigue.
- La información de Capa-1 (L1) incluye un indicador de longitud que indica la longitud de los datos que incluyen la información de L1, de modo que pueden usar fácilmente los canales de señalización de las Capas 1 y 2 (L1 y L2). La información de Capa-1 (L1) incluye un indicador de frecuencia, una longitud de intervalo de guarda, un número máximo de bloques de FEC (corrección de errores hacia adelante) para cada trama en asociación con canales físicos individuales, y el número de bloques de FEC reales a estar contenidos en el almacenador temporal de bloque de FEC asociado con una trama actual/previa en cada canal físico. En este caso, el indicador de frecuencia indica la información de frecuencia correspondiente al canal de RF.
- La información de Capa-1 (L1) puede incluir una variedad de información en asociación con ranuras individuales. Por ejemplo, la información de Capa-1 (L1) incluye el número de tramas asociadas con un servicio, una dirección de inicio de una ranura que tiene la precisión de una portadora OFDM contenida en un símbolo OFDM, una longitud de la ranura, ranuras correspondientes a la portadora OFDM, el número de bits rellenos en la última portadora OFDM, información de modulación de servicio, información de tasa de modo de servicio, e información de esquema de Entrada Múltiple-Salida Múltiple (MIMO).
- La información de Capa-1 (L1) puede incluir un ID de celda, un marcador para un servicio como un servicio de mensajes de notificación (por ejemplo, un mensaje de emergencia), el número de tramas actuales, y el número de bits adicionales para su uso futuro. En este caso, el ID de celda indica un área de difusión transmitida por un transmisor de difusión.
- La segunda señal piloto P2 está adaptada para realizar una estimación de canal para decodificar un símbolo contenido en la señal P2. La segunda señal piloto P2 se puede usar como un valor inicial para estimación de canal para el siguiente símbolo de datos. La segunda señal piloto P2 también puede transmitir información de Capa-2 (L2). Por ejemplo, la segunda señal piloto es capaz de describir información asociada con el servicio de transmisión en la información de Capa-2 (L2). El aparato de transmisión de señales decodifica la segunda señal piloto, de modo que puede adquirir información de servicio contenida en la trama de segmentación en tiempo-frecuencia (TFS) y puede realizar de manera efectiva la exploración de canal. Mientras tanto, esta información de Capa-2 (L2) se puede incluir en un PLP específico de la trama de TFS. Según otro ejemplo, la información de L2 se puede incluir en un PLP específico, y la información de descripción de servicio también se puede transmitir en el PLP específico.
- Por ejemplo, la segunda señal piloto puede incluir dos símbolos OFDM del modo FFT 8k. Generalmente, la segunda señal piloto puede ser cualquiera de un único símbolo OFDM del modo FFT 32k, un único símbolo OFDM del modo FFT 16k, dos símbolos OFDM del modo FFT 8k, cuatro símbolos OFDM del modo FFT 4k, y ocho símbolos OFDM del modo FFT 2k.
- En otras palabras, un único símbolo OFDM que tiene el tamaño de una FFT grande o varios símbolos OFDM, cada uno de los cuales tiene el tamaño de una FFT pequeña, puede estar contenido en la segunda señal piloto P2, de modo que se puede mantener la capacidad capaz de ser transmitida al piloto.

Si la información a ser transmitida a la segunda señal piloto supera la capacidad del símbolo OFDM de la segunda señal piloto, se pueden usar además símbolos OFDM después de la segunda señal piloto. La información de L1 (Capa 1) y L2 (Capa 2) contenida en la segunda señal piloto se codifica con corrección de errores y a continuación se intercala, de modo que la recuperación de datos se lleva a cabo aunque ocurra un ruido de impulso.

- 5 Como se describió anteriormente, la información de L2 también se puede incluir en un PLP específico que transporta la información de descripción de servicio.

La FIG. 3 muestra una ventana de señalización según la presente invención. La trama de segmentación en tiempo-frecuencia (TFS) muestra un concepto de desplazamiento de la información de señalización. La información de Capa-1 (L1) contenida en la segunda señal piloto incluye información de construcción de tramas e información de capa física requeridas por el aparato de recepción de señales que decodifica el símbolo de datos. Por lo tanto, si la información de los siguientes símbolos de datos situados después de la segunda señal piloto, está contenida en la segunda señal piloto, y la segunda señal piloto resultante se transmite, el aparato de recepción de señales puede ser incapaz de decodificar inmediatamente los siguientes símbolos de datos anteriores debido a un tiempo de decodificación de la segunda señal piloto.

- 10 Por lo tanto, como se muestra en la FIG. 3, la información de L1 contenida en la segunda señal piloto (P2) incluye información de un único tamaño de trama de segmentación en tiempo-frecuencia (TFS), e incluye información contenida en la ventana de señalización en una ubicación separada de la segunda señal piloto mediante el desplazamiento de la ventana de señalización.

Entretanto, para realizar la estimación de canal de un símbolo de datos que construye el servicio, el símbolo de datos puede incluir un piloto disperso y un piloto continuo.

El sistema de transmisión/recepción de señales capaz de transmitir/recibir tramas de señal mostrado en las FIG. 1 ~ 3 se describirá en lo sucesivo. Se pueden transmitir y recibir servicios individuales sobre varios canales de RF. Un trayecto para transmitir cada uno de los servicios o un flujo transmitido a través de este trayecto se denomina un PLP. El PLP puede estar distribuido entre las ranuras divididas en el tiempo en varios canales de RF o una única banda de RF. Esta trama de señal puede transportar el PLP dividido en el tiempo en al menos un canal de RF. En otras palabras, se puede transferir un único PLP a través de al menos un canal de RF con regiones divididas en el tiempo. En lo sucesivo se describirán los sistemas de transmisión/recepción de señales que transmiten/reciben una trama de señal a través de al menos una banda de RF.

La FIG. 4 es un diagrama de bloques que ilustra un aparato para transmitir una señal según un ejemplo de la presente invención. En referencia a la FIG. 4, el aparato de transmisión de señales incluye un procesador de entrada 110, una unidad de codificación y modulación 120, un constructor de tramas 130, un codificador MIMO/MISO 140, una pluralidad de moduladores (150a, ..., 150r) del codificador MIMO/MISO 140, y una pluralidad de procesadores analógicos (160a, ..., 160r).

El procesador de entrada 110 recibe flujos equipados con varios servicios, genera un número P de tramas en banda base (P es un número natural) que incluye información de modulación y codificación correspondiente a trayectos de transmisión de los servicios individuales, y saca el número P de tramas en banda base.

La unidad de codificación y modulación 120 recibe tramas en banda base desde el procesador de entrada 110, realiza la codificación e intercalado de canal sobre cada una de las tramas en banda base, y saca el resultado de la codificación e intercalado de canal.

El constructor de tramas 130 forma tramas que transmiten tramas en banda base contenidas en el número P de PLP al número R de canales de RF (donde R es un número natural), divide las tramas formadas, y saca las tramas divididas a los trayectos correspondientes al número R de canales de RF. Se pueden multiplexar varios servicios en un único canal de RF en tiempo. Las tramas de señal generadas a partir del constructor de tramas 140 pueden incluir una estructura de segmentación en tiempo-frecuencia (TFS) en la que se multiplexa el servicio en los dominios del tiempo y dominio de la frecuencia.

El codificador MIMO/MISO 140 codifica las señales a ser transmitidas al número R de canales de RF, y saca las señales codificadas a trayectos correspondientes al número A de antenas (donde A es un número natural). El codificador MIMO/MISO 140 saca la señal codificada en la que se codifica una única a ser transmitida a un único canal de RF al número A de antenas, de modo que se transmite/recibe una señal a/desde una estructura MIMO (Entrada Múltiple-Salida Múltiple) o MISO (Entrada Múltiple-Salida Única).

Los moduladores (150a, ..., 150r) modulan señales en el dominio de la frecuencia introducidas a través del trayecto correspondiente a cada canal de RF en señales en el dominio del tiempo. Los moduladores (150a, ..., 150r) modulan las señales de entrada según un esquema de multiplexación por división de frecuencia ortogonal (OFDM), y sacan las señales moduladas.

Los procesadores analógicos (160a, ..., 160r) convierten las señales de entrada en señales de RF, de modo que las señales de RF se pueden sacar a los canales de RF.

5 El aparato de transmisión de señales según esta realización puede incluir un número predeterminado de moduladores (150a, ..., 150r) correspondiente al número de canales de RF y un número predeterminado de procesadores analógicos (160a, ..., 160r) correspondiente al número de canales de RF. Sin embargo, en el caso de usar el esquema MIMO, el número de procesadores analógicos debe ser igual al producto de R (es decir, el número de canales de RF) y A (es decir, el número de antenas).

10 La FIG. 5 es un diagrama de bloques que ilustra un procesador de entrada 110 según la presente invención. En referencia a la FIG. 5, el procesador de entrada 110 incluye el primer multiplexor de flujo 111a, el primer divisor de servicios 113a, y una pluralidad de primeros constructores de tramas en banda base (BB) (115a, ..., 115m). El procesador de entrada 110 incluye un segundo multiplexor de flujo 111b, un segundo divisor de servicios 113b, y una pluralidad de segundos constructores de tramas en banda base (BB) (115n, ..., 115p).

15 Por ejemplo, el primer multiplexor de flujo 111a recibe varios flujos de transporte (TS) de MPEG-2, multiplexa los flujos TS de MPEG-2 recibidos, y saca los flujos TS de MPEG-2 multiplexados. El primer divisor de servicios 113a recibe los flujos multiplexados, divide los flujos de entrada de servicios individuales, y saca los flujos divididos. Como se describió anteriormente, a condición de que el servicio sea transmitido a través de un trayecto de canal físico se denomina un PLP, el primer divisor de servicios 113a divide el servicio a ser transmitido a cada PLP, y saca el servicio dividido.

20 Los primeros constructores de tramas en BB (115a, ..., 115m) construyen los datos contenidos en un servicio a ser transmitidos a cada PLP en forma de una trama específica, y sacan los datos formateados de trama específica. Los primeros constructores de tramas en BB (115a, ..., 115m) construyen una trama que incluye una cabecera y carga útil equipadas con datos de servicio. La cabecera de cada trama puede incluir información de modo basada en la modulación y codificación de los datos de servicio, y un valor de contador basado en una tasa de reloj del modulador para sincronizar los flujos de entrada.

25 El segundo multiplexor de flujo 111b recibe varios flujos, multiplexa los flujos de entrada, y saca los flujos multiplexados. Por ejemplo, el segundo multiplexor de flujo 111b puede multiplexar flujos de Protocolo de Internet (IP) en lugar de los flujos TS de MPEG-2. Estos flujos se pueden encapsular mediante un esquema de encapsulación de flujo genérica (GSE). Los flujos multiplexados por el segundo multiplexor de flujo 111b pueden ser cualquiera de los flujos. Por lo tanto, los flujos mencionados anteriormente diferentes de los flujos TS de MPEG-2 se denominan flujos genéricos (flujos GS).

30 El segundo divisor de servicios 113b recibe los flujos genéricos multiplexados, divide los flujos genéricos recibidos según los servicios individuales (es decir, los tipos de PLP), y saca los flujos GS divididos.

35 Los segundos constructores de tramas en BB (115n, ..., 115p) construyen datos de servicio a ser transmitidos a los PLP individuales en forma de una trama específica usada como una unidad de procesamiento de señales, y sacan los datos de servicio resultantes. El formato de trama construido por los segundos constructores de tramas en BB (115n, ..., 115p) puede ser igual a aquél de los primeros constructores de tramas en BB (115a, ..., 115m) según sea necesario. Si se requiere, también se puede proponer otra realización. En otra realización, el formato de trama construido por los segundos constructores de tramas en BB (115n, ..., 115p) puede ser diferente de aquél de los primeros constructores de tramas en BB (115a, ..., 115m). La cabecera TS de MPEG-2 incluye además una Palabra de Sincronización de Paquetes que no está contenida en el flujo GS, provocando la aparición de diferentes cabeceras.

40 La FIG. 6 es un diagrama de bloques que ilustra una unidad de codificación y modulación según la presente invención. La unidad de codificación y modulación incluye un primer intercalador 123, un segundo codificador 125, y un segundo intercalador 127.

45 El primer codificador 121 actúa como un codificador externo de la trama en banda base de entrada, y es capaz de realizar la codificación con corrección de errores. El primer codificador 121 realiza la codificación con corrección de errores de la trama en banda base de entrada usando un esquema Bose-Chaudhuri-Hocquenghem (BCH). El primer intercalador 123 realiza el intercalado de los datos codificados, de modo que evita que se genere un error de ráfaga en una señal de transmisión. El primer intercalador 123 puede no estar contenido en la realización mencionada anteriormente.

50 El segundo codificador 125 actúa como un codificador interno o bien de los datos de salida del primer codificador 121 o bien de los datos de salida del primer intercalador 123, y es capaz de realizar la codificación con corrección de errores. Se puede usar un esquema de bit de paridad de baja densidad (LDPC) como un esquema de codificación con corrección de errores. El segundo intercalador 127 mezcla los datos codificados con corrección de errores generados a partir del segundo codificador 125, y saca los datos mezclados. El primer intercalador 123 y el segundo intercalador 127 son capaces de realizar un intercalado de datos en unidades de un bit.

La unidad de codificación y modulación 120 se refiere a un único flujo de PLP. El flujo de PLP se codifica con corrección de errores y se modula mediante la unidad de codificación y modulación 120, y entonces se transmite al constructor de tramas 130.

5 La FIG. 7 es un diagrama de bloques que ilustra un constructor de tramas según la presente invención. En referencia a la FIG. 7, el constructor de tramas 130 recibe flujos de varios trayectos desde la unidad de codificación y modulación 120, y dispone los flujos recibidos en una única trama de señal. Por ejemplo, el constructor de tramas puede incluir un primer correlacionador 131a y un primer intercalador de tiempo 132a en un primer trayecto, y puede incluir un segundo correlacionador 131b y un segundo intercalador de tiempo 132b en un segundo trayecto. El número de trayectos de entrada es igual al número de PLP para transmisión del servicio o el número de flujos transmitidos a través de cada PLP.

El primer correlacionador 131a realiza correlación de los datos contenidos en el flujo de entrada según el primer esquema de correlación de símbolos. Por ejemplo, el primer correlacionador 131a puede realizar correlación de los datos de entrada usando un esquema de QAM (por ejemplo, 16 QAM, 64 QAM, y 256 QAM).

15 Si el primer correlacionador 131a realiza correlación del símbolo, los datos de entrada se pueden correlacionar con varias clases de símbolos según varios esquemas de correlación de símbolos. Por ejemplo, el primer correlacionador 131a clasifica los datos de entrada en una unidad de trama en banda base y una subunidad de trama en banda base. Los datos clasificados individuales se pueden correlacionar por símbolos de manera híbrida mediante al menos dos esquemas de QAM (por ejemplo, 16 QAM y 64 QAM). Por lo tanto, los datos contenidos en un único servicio se pueden correlacionar con símbolos basándose en diferentes esquemas de correlación de 20 símbolos en intervalos individuales.

El primer intercalador de tiempo 132a recibe una secuencia de símbolos correlacionada mediante el primer correlacionador 131a, y es capaz de realizar el intercalado en un dominio del tiempo. El primer correlacionador 131a correlaciona los datos, que están contenidos en la unidad de trama corregida de errores recibida desde la unidad de codificación y modulación 120, en símbolos. El primer intercalador de tiempo 132a recibe la secuencia de símbolos correlacionada por el primer correlacionador 131a, e intercala la secuencia de símbolos recibida en unidades de la trama corregida de errores.

25 En este sentido, el correlacionador de orden p 131p o el intercalador de tiempo de orden p 132p recibe datos de servicio a ser transmitidos al PLP de orden p, correlaciona los datos de servicio en símbolos según el esquema de correlación de símbolos de orden p. Los símbolos correlacionados se pueden intercalar en un dominio del tiempo. Se debería señalar que este esquema de correlación de símbolos y este esquema de intercalado son iguales a aquéllos del primer intercalador de tiempo 132a y el primer correlacionador 131a.

30 El esquema de correlación de símbolos del primer correlacionador 131a puede ser igual a o diferente de aquél del correlacionador de orden p 131p. El primer correlacionador 131a y el correlacionador de orden p 131p son capaces de correlacionar datos de entrada a símbolos individuales usando los mismos o diferentes esquemas de correlación híbrida de símbolos.

Los datos de los intercaladores de tiempo situados en trayectos individuales (es decir, los datos de servicio intercalados por el primer intercalador de tiempo 132a y los datos de servicio a ser transmitidos al número R de canales de RF por el intercalador de tiempo de orden p 132p) se intercalan, de modo que el canal físico permita que los datos anteriores sean intercalados sobre varios canales de RF.

40 En asociación con los flujos recibidos en tantos trayectos como el número de PLP, el constructor de tramas TFS 133 construye la trama de señal TFS tal como la trama de señal mencionada anteriormente, de modo que el servicio se desplaza en tiempo según los canales de RF. El constructor de tramas TFS 133 divide los datos de servicio recibidos en cualquiera de los trayectos, y saca los datos de servicio divididos en datos del número R de bandas de RF según un esquema de planificación de señal.

45 El constructor de tramas TFS 133 recibe la primera señal piloto y la segunda señal piloto a partir de la unidad de información de señalización 135 (indicada por la señal Ref/PL), dispone la primera y la segunda señales piloto en la trama de señal, e inserta la señal de señalización (L1 y L2) de la capa física mencionada anteriormente en la segunda señal piloto. En este caso, la primera y la segunda señales piloto se usan como las señales de comienzo de la trama de señal contenida en cada canal de RF de entre la trama de señal TFS recibida a partir de la unidad de información de señalización (señal Ref/PL) 135. Como se muestra en la FIG. 2, la primera señal piloto puede incluir un tipo de transmisión y parámetros de transmisión básicos, y la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. También, la segunda señal piloto incluye una señal de señalización de L1 (Capa 1) y una señal de señalización de L2 (Capa 2).

55 El número R de intercaladores de frecuencia (137a, ..., 137r) intercalan los datos de servicio, a ser transmitidos a los canales de RF correspondientes de la trama de señal TFS, en un dominio de frecuencia. Los intercaladores de



frecuencia (137a, ..., 137r) pueden intercalar los datos de servicio a un nivel de celdas de datos contenidas en un símbolo OFDM.

Por lo tanto, los datos de servicio a ser transmitidos a cada canal de RF en la trama de señal TFS se procesan por desvanecimiento selectivo de frecuencia, de modo que pueden no perderse en un dominio de frecuencia específico.

- 5 La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan correlación híbrida de símbolos. Esta Figura muestra el número de bits transmitidos por una subportadora (celda) si se realiza codificación con corrección de errores mediante la unidad de codificación y modulación en un modo normal (la longitud del código codificado con corrección de errores es 64800 bits) de modo de codificación con corrección de errores LDPC.
- 10 Por ejemplo, si los correlacionadores 131a y 131b realizan correlación de símbolos usando 256QAM, 64800 bits se correlacionan a 8100 símbolos. Si los correlacionadores 131a y 131b realizan correlación híbrida de símbolos (128-QAM híbr.) usando 256QAM y 64QAM con una relación de 3:2, el número de símbolos correlacionados mediante 256QAM es 4860 y el número de símbolos correlacionados mediante 64QAM es 4320. El número de bits transmitidos por subportadora (celda) es 7,0588.
- 15 Si se usa un método de correlación de símbolos de 64QAM, los datos de entrada se pueden correlacionar a 10800 símbolos y se pueden transmitir seis bits por celda. Si los datos se correlacionan a los símbolos mediante un método de correlación híbrida de símbolos de 64QAM y 16QAM (64QAM:16QAM=3:2, 32QAM híbr.), se pueden transmitir cinco bits mediante una subportadora (celda).
- 20 Si los datos se correlacionan a símbolos mediante el método 16QAM, los datos se correlacionan a 16200 símbolos, cada uno de los cuales se usa para transmitir cuatro bits.
- De manera similar, si los datos se correlacionan a símbolos mediante un método de correlación híbrida de símbolos de 16QAM y QPSK (16QAM:QPSK=2:3, 8QAM híbr.), se pueden transmitir tres bits mediante una subportadora (celda).
- 25 Si los datos se correlacionan a símbolos mediante un método QPSK, los datos se pueden correlacionar a 32400 símbolos, cada uno de los cuales se usa para transmitir dos bits.
- La FIG. 9 muestra métodos de correlación de símbolos de datos corregidos de errores mediante el método de codificación con corrección de errores LDPC de un modo corto (la longitud del código codificado con corrección de errores es 16200 bits), que son iguales a los métodos de correlación de símbolos de la FIG. 8, y los números de bits por subportadora según los métodos de correlación de símbolos.
- 30 Los números de bits transmitidos por la subportadora son iguales a aquéllos del modo normal (64800 bits) según los métodos de correlación de símbolos tales como 256QAM, 128QAM híbr, 64QAM, 32QAM híbr., 16QAM, 8QAM híbr. y QPSK, pero los números totales de símbolos transmitidos son diferentes de aquéllos del modo normal. Por ejemplo, 16200 bits se transmiten por 2025 símbolos en 256QAM, 16200 bits se transmiten por 1215 símbolos según 256QAM y 1080 símbolos según 64QAM (2295 símbolos en total) en 128QAM híbr.
- 35 Por consiguiente, se puede ajustar una tasa de transmisión de datos por subportadora (celda) para cada PLP según un método de correlación híbrida de símbolos o un método de correlación de símbolos único.
- La FIG. 10 es una vista que muestra un ejemplo de cada uno de los correlacionadores de símbolos 131a y 131b mostrados en la FIG. 7. Cada uno de los correlacionadores de símbolos 131a y 131b incluye un correlacionador de primer orden 1315a, un correlacionador de segundo orden 131b, un fusionador de símbolos 1317 y un fusionador de bloques con corrección de errores 1318.
- 40 El analizador sintáctico de flujos de bits 1311 recibe el flujo de PLP de servicio desde la unidad de codificación y modulación y divide el flujo de servicio recibido.
- El correlacionador de símbolos de primer orden 1315a correlaciona los bits del flujo de servicio dividido por el método de correlación de símbolos de orden superior a símbolos. El correlacionador de símbolos de segundo orden 45 1315b correlaciona los bits del flujo de servicio dividido por un método de correlación de símbolos de orden inferior a símbolos. Por ejemplo, en el ejemplo anterior, el correlacionador de símbolos de primer orden 1315a puede correlacionar el flujo de bits a símbolos según 256QAM y el correlacionador de símbolos de segundo orden 1315b puede correlacionar el flujo de bits a símbolos según 64QAM.
- 50 El fusionador de símbolos 1317 fusiona los símbolos sacados desde los correlacionadores de símbolos 1315a y 1315b a un flujo de símbolos y saca el flujo de símbolos. El fusionador de símbolos 1317 puede sacar el flujo de símbolos incluido en un PLP.

- 5 El fusionador de bloques con corrección de errores 1318 puede sacar un flujo de símbolos fusionado por el fusionador de símbolos 1317 en la unidad de bloques de códigos codificados con corrección de errores. El fusionador de bloques con corrección de errores 1318 puede sacar un bloque de símbolos de modo que los bloques de códigos codificados con corrección de errores se asignen uniformemente a al menos una banda de RF de la trama de señal TFS. El fusionador de bloques con corrección de errores 1318 puede sacar el bloque de símbolos de modo que la longitud del bloque de símbolos del bloque codificado con corrección de errores de un modo normal sea igual a aquella del bloque de símbolos del bloque codificado con corrección de errores de un modo corto. Por ejemplo, cuatro bloques de símbolos del bloque codificado con corrección de errores del modo corto se pueden fusionar a un bloque de símbolos.
- 10 El fusionador de bloques con corrección de errores 1318 puede dividir el flujo de símbolos según un común múltiplo del número de bandas de RF de modo que el constructor de tramas de señal dispone uniformemente los símbolos a las bandas de RF. Si el número máximo de bandas de RF en la trama de señal es 6, el fusionador de bloques con corrección de errores 1318 saca el bloque de símbolos de modo que el número total de símbolos se puede dividir por 60 que es un común múltiplo de 1, 2, 3, 4, 5 y 6.
- 15 Los símbolos incluidos en el bloque de símbolos de salida se pueden disponer a ser asignados uniformemente a las seis bandas de RF. Por consiguiente, aunque se combinan un modo de corrección de errores según una tasa de código y un método de correlación de símbolos, los símbolos que configuran el PLP se asignan uniformemente a las bandas de RF.
- 20 La FIG. 11 es una vista que muestra otro ejemplo del correlacionador de símbolos. En el ejemplo de esta Figura, el correlacionador de símbolos incluye el segundo codificador 125 y el segundo intercalador 127 incluidos en la unidad de codificación y modulación. Es decir, si se usa este ejemplo, la unidad de codificación y modulación puede incluir solamente el primer codificador 121, el primer intercalador 123 y el segundo codificador 125.
- 25 El ejemplo del correlacionador de símbolos incluye un analizador sintáctico de flujos de bits 1311, un intercalador de bits de primer orden 1312a, un intercalador de bits de segundo orden 1312b, un demultiplexor de primer orden 1313a, un demultiplexor de segundo orden 1313b, un correlacionador de símbolos de primer orden 1315a, un correlacionador de símbolos de segundo orden 1315b y un fusionador de símbolos 1317.
- 30 Cuando el segundo codificador 125 realiza una codificación con corrección de errores LDPC, la longitud del bloque codificado con corrección de errores (por ejemplo, la longitud de 64800 bits y la longitud de 16200 bits) puede variar según un modo LDPC. Si los bits incluidos en el bloque codificado con corrección de errores se correlacionan a símbolos, las capacidades de corrección de errores de los bits incluidos en una palabra de celda que configura el símbolo pueden variar según las ubicaciones de los bits. Por ejemplo, la palabra de celda que es el símbolo se puede determinar según la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos (si el método de correlación de símbolos es el método de correlación de símbolos de orden superior o el método de correlación de símbolos de orden inferior). Si el código de corrección de errores es el LDPC, las capacidades de corrección de errores de los bits varían según las ubicaciones de los bits en el bloque codificado con corrección de errores. Por ejemplo, las fiabilidades de los bits codificados según las características de la matriz H usada en el método de codificación con corrección de errores LDPC irregular pueden variar según las ubicaciones de los bits. Por consiguiente, el orden de los bits que configuran la palabra de celda correlacionados con el símbolo se cambia de modo que las capacidades de corrección de errores de los bits que son débiles frente a la corrección de errores en el bloque codificado con corrección de errores se ajustan y se puede ajustar la robustez frente al error en el nivel de bit.
- 35
- 40 En primer lugar, el segundo codificador 125, por ejemplo, realiza la codificación con corrección de errores con respecto al flujo incluido en un PLP mediante el método de codificación con corrección de errores LDPC.
- 45 El analizador sintáctico de flujos de bits 1311 recibe el flujo de servicio según el PLP y divide el flujo de servicio recibido.
- El intercalador de bits de primer orden 1312a intercala los bits incluidos en un primer flujo de bits de los flujos de servicios dividido. De manera similar, el intercalador de bits de segundo orden 1312b intercala los bits incluidos en un segundo flujo de bits de los flujos de servicios divididos.
- 50 El intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b pueden corresponder al segundo intercalador 127 usado como intercalador interno. El método de intercalado del intercalador de bits de primer orden 1312a y del intercalador de bits de segundo orden 1312b se describirán más tarde.
- 55 El demultiplexor de primer orden 1313a y el demultiplexor de segundo orden 1313b demultiplexan los bits de los flujos de bits intercalados por el intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b. Los demultiplexores 1313a y 1313b dividen el flujo de bits de entrada en subflujos de bits que se correlacionarán con un eje real y un eje imaginario de una constelación y sacarán los subflujos de bits. Los

correlacionadores de símbolos 1315a y 1315b correlacionan los subflujos de bits demultiplexados por los demultiplexores 1313a y 1313b a los símbolos correspondientes.

Los intercaladores de bits 1312a y 1312b y los demultiplexores 1313a y 1313b pueden combinar las características de la palabra de código LDPC y las características de la fiabilidad de constelación de la correlación de símbolos según la constelación. La realización detallada de los demultiplexores de primer orden 1313a y 1313b se describirá más tarde.

El correlacionador de símbolos de primer orden 1315a realiza una correlación de símbolos de primer orden, por ejemplo, una correlación de símbolos de orden superior, y el correlacionador de símbolos de segundo orden 1315b realiza una correlación de símbolos de segundo orden, por ejemplo, una correlación de símbolos de orden inferior. El correlacionador de símbolos de primer orden 1315a correlaciona los subflujos de bits sacados desde el demultiplexor primer orden 1313 a los símbolos y el correlacionador de símbolos de segundo orden 1315b correlaciona los subflujos de bits sacados desde el demultiplexor de segundo orden 1313b a los símbolos.

El fusionador de símbolos 1317 fusiona los símbolos correlacionados por el correlacionador de símbolos de primer orden 1315a y el correlacionador de símbolos de segundo orden 1315b a un flujo de símbolos y saca el flujo de símbolos.

Como se describió anteriormente, en la LDPC, las capacidades de corrección de errores de los bits se pueden cambiar según las ubicaciones de los bits en el bloque codificado con corrección de errores. Por consiguiente, si el intercalador de bits y el demultiplexor se controlan según las características del codificador LDPC 125 para cambiar el orden de los bits que configuran la palabra de celda, se puede maximizar la capacidad de corrección de errores en el nivel de bit.

La FIG. 12 es una vista que muestra el concepto de intercalado de bits mediante los intercaladores de bits 1312a y 1312b de la FIG. 11.

Por ejemplo, los bits de entrada se almacenan en y se leen a partir de una memoria en forma de matriz que tiene un número predeterminado de filas y columnas. Cuando los bits de entrada se almacenan, en primer lugar, se almacenan los bits en una primera columna en la dirección de las filas, y, si la primera columna está llena, los bits se almacenan en otra columna en la dirección de las filas. Cuando se leen los bits almacenados, los bits se leen en la dirección de las columnas y, si se leen todos los bits almacenados en una primera fila, los bits en otra fila se leen en la dirección de las columnas. En otras palabras, cuando los bits se almacenan, los bits se almacenan por filas de modo que las columnas se llenan de manera serie. Y cuando se leen los bits almacenados, los bits almacenados se leen por columnas a partir de la primera fila hasta la última fila de manera serie. En esta Figura, MSB significa un bit más significativo y LSB significa un bit menos significativo.

Para correlacionar los bits codificados con corrección de errores LDPC a los símbolos en la misma longitud de la unidad de bloques de corrección de errores a diversas tasas de código, los intercaladores de bits 1312a y 1312b pueden cambiar el número de filas y columnas de la memoria según los tipos de los correlacionadores de símbolos 1315a y 1315b.

La Fig. 13 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b según los tipos de correlacionadores de símbolos 1315a y 1315b, si el modo LDPC es el modo normal.

Por ejemplo, si el correlacionador de símbolos 1315a correlaciona los bits a símbolos 256QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 8100 filas y 8 columnas. Si los símbolos se correlacionan mediante 64QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 10800 filas y 6 columnas. Si los símbolos se correlacionan mediante 16QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 16200 filas y 4 columnas.

Por ejemplo, si los correlacionadores de símbolos 1315a y 1315b correlacionan los bits a símbolos 128QAM hib., el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 4860 filas y 8 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 4320 filas y 6 columnas.

De manera similar, si los correlacionadores de símbolos 1315a y 1315b correlacionan los símbolos mediante 32QAM hib., el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 6480 filas y 6 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 6480 filas y 4 columnas.

La Fig. 14 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b según los tipos de los correlacionadores de símbolos 1315a y 1315b, si el modo LDPC es el modo corto.

Por ejemplo, si el correlacionador de símbolos 1315a correlaciona los bits con 256QAM símbolos, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 2025 filas y 8 columnas. Si los

correlacionadores de símbolos 1315a y 1315b correlacionan los símbolos mediante 128QAM hÍb., el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 1215 filas y 8 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 1080 filas y 6 columnas.

5 Si el intercalado de bits se realiza con respecto al bloque codificado con corrección de errores, se pueden cambiar las ubicaciones de los bits en el bloque codificado con corrección de errores.

La FIG. 15 es una vista que muestra el concepto de multiplexación de bits de entrada de los demultiplexores 1313a y 1313b.

Los intercaladores de bits 1312a y 1312b intercalan los bits de entrada  $x_0, x_1, \dots, x_{n-1}$  y sacan los bits intercalados. El método de intercalado ya se describió anteriormente.

10 Los demultiplexores 1313a y 1313b demultiplexan los flujos de bits intercalados. El método de demultiplexación puede variar según la tasa de código del método de codificación con corrección de errores y el método de correlación de símbolos del correlacionador de símbolos. Si el método de símbolos del correlacionador de símbolos es QPSK, los bits de entrada, por ejemplo, se intercalan con dos subflujos y el correlacionador de símbolos correlaciona los dos subflujos a los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por  
15 ejemplo, un primer bit  $y_0$  del primer subflujo demultiplexado corresponde al eje real y un primer bit  $y_1$  del segundo subflujo demultiplexado corresponde con el eje imaginario.

Si el método de símbolos del correlacionador de símbolos es 16QAM, los bits de entrada, por ejemplo, se demultiplexan a cuatro subtramas. El correlacionador de símbolos selecciona los bits incluidos en los cuatro subflujos y correlaciona los bits seleccionados a los símbolos para corresponder al eje real y al eje imaginario de la constelación.  
20

Por ejemplo, los bits  $y_0$  e  $y_2$  de los subflujos demultiplexados primero y tercero corresponden al eje real y los bits  $y_1$  e  $y_3$  de los subflujos demultiplexados segundo y cuarto corresponden al eje imaginario.

De manera similar, si el método de símbolos del correlacionador de símbolos es 64QAM, los bits de entrada se pueden demultiplexar a seis flujos de bits. El correlacionador de símbolos correlaciona los seis subflujos a los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, los bits  $y_0, y_2$  e  $y_4$  de los subflujos demultiplexados primero, tercero y quinto corresponden al eje real y los bits  $y_1, y_3$  e  $y_6$  de los subflujos demultiplexados segundo, cuarto y sexto corresponden al eje imaginario.  
25

De manera similar, si el método de símbolos del correlacionador de símbolos es 256QAM, los bits de entrada se pueden demultiplexar a ocho flujos de bits. El correlacionador de símbolos correlaciona los ocho subflujos a los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, en primer lugar, los bits  $y_0, y_2, y_4$  e  $y_6$  de los subflujos demultiplexados primero, tercero, quinto y séptimo corresponden al eje real y los bits  $y_1, y_3, y_6$  e  $y_7$  de los subflujos demultiplexados segundo, cuarto, sexto y octavo corresponden al eje imaginario.  
30

Si el correlacionador de símbolos correlaciona los símbolos, los subflujos demultiplexados mediante el demultiplexor se pueden correlacionar a los flujos de bits del eje real y el eje imaginario de la constelación.

35 El método de intercalado de bits, el método de demultiplexación y el método de correlación de símbolos descritos anteriormente son ejemplares y se pueden usar diversos métodos como método de selección de los bits en los subflujos de modo que los subflujos demultiplexados mediante el demultiplexor puedan corresponder al eje real y al eje imaginario de la constelación.

40 La palabra de celda correlacionada a los símbolos puede variar según cualquiera de los flujos de bits con corrección de errores según la tasa de código, el método de intercalado de los flujos de bits, el método de demultiplexación y el método de correlación de símbolos. El MSB de la palabra de celda es mayor que el LSB de la palabra de celda en la fiabilidad de la decodificación con corrección de errores. Aunque la fiabilidad del bit de una ubicación específica del bloque codificado con corrección de errores es baja, la fiabilidad del bit se puede mejorar mediante el proceso de descorrelación de símbolos si el bit de la palabra de celda se dispone en el MSB o cerca del MSB.

45 Por consiguiente, aunque se cambie la fiabilidad del bit codificado según las características de la matriz H usada en el método de codificación con corrección de errores LDPC irregular, el bit se puede transmitir/recibir de manera robusta mediante el proceso de correlación y descorrelación de símbolos y el rendimiento del sistema se puede ajustar.

50 La FIG. 16 es una vista que muestra una realización de demultiplexación de un flujo de entrada mediante el demultiplexor.

Si el método de correlación de símbolos es QPSK, se correlacionan dos bits a un símbolo y los dos bits de una unidad de símbolos se demultiplexan en el orden de los índices de bit (índices 0 y 1 de b).

Si el método de correlación de símbolos es 16QAM, se correlacionan 4 bits a un símbolo y los cuatro bits de una unidad de símbolos se demultiplexan según el resultado de cálculo del modulo-4 de índices de bit (índices 0, 1, 2 y 3 de b).

5 Si el método de correlación de símbolos es 64QAM, se correlacionan 6 bits a un símbolo y los seis bits de una unidad de símbolos se demultiplexan según el resultado de cálculo del modulo-6 de índices de bit (índices 0, 1, 2, 3, 4 y 5 de b).

Si el método de correlación de símbolos es 256QAM, se correlacionan 8 bits a un símbolo y los ocho bits de una unidad de símbolos se demultiplexan según el resultado de cálculo del modulo-8 de índices de bit (índices 0, 1, 2, 3, 4, 5, 6 y 7 de b).

10 El orden de demultiplexación de los subflujos es ejemplar y se puede modificar.

La FIG. 17 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de correlación de símbolos. El método de correlación de símbolos incluye QPSK, 16QAM, 64QAM y 256QAM, y el tipo de demultiplexación incluye de un primer tipo a un sexto tipo.

15 El primer tipo es un ejemplo en el que los bits de entrada corresponden secuencialmente a índices numerados pares (0, 2, 4, 8, ...) (o al eje real de la constelación) y corresponden secuencialmente a índices numerados impares (1, 3, 5, 7, ...) (o al eje imaginario de la constelación). En lo sucesivo, la demultiplexación de bits del primer tipo se puede representar mediante un identificador de demultiplexación 10 (un número binario de 1010; la ubicación de 1 es la ubicación del MSB correspondiente al eje real y al eje imaginario de la constelación).

20 El segundo tipo es un ejemplo en el que se realiza la demultiplexación en orden inverso del primer tipo, es decir, el LSB de los bits de entrada corresponde secuencialmente a índices numerados pares (6, 4, 2, 0) (o al eje real de la constelación) e índices numerados impares (1, 3, 5, 7,...) (o al eje imaginario de la constelación). En lo sucesivo, la demultiplexación de bits del segundo tipo se puede representar mediante un identificador de demultiplexación 5 (un número binario de 0101).

25 El tercer tipo es un ejemplo en el que los bits de entrada se disponen de modo que los bits de ambos extremos de la palabra de código llegan a ser el MSB. Los bits de entrada se reordenan para llenar la palabra de código desde ambos extremos de la palabra de código. En lo sucesivo, la demultiplexación de bits del tercer tipo se puede representar mediante un identificador de demultiplexación 9 (un número binario de 1001).

30 El cuarto tipo es un ejemplo en el que los bits de entrada se disponen de modo que un bit intermedio de la palabra de código llega a ser el MSB. Un bit de los bits de entrada se llena en primer lugar en la ubicación intermedia de la palabra de código y los bits restantes entonces se reordenan hacia ambos extremos de la palabra de código en el orden de los bits de entrada. En lo sucesivo, la demultiplexación de bits del cuarto tipo se puede representar mediante un identificador de demultiplexación 6 (un número binario de 0110).

35 El quinto tipo es un ejemplo en el que los bits se demultiplexan de modo que un último bit de la palabra de código llega a ser el MSB y un primer bit de la misma llega a ser el LSB, y el sexto tipo es un ejemplo en el que los bits se reordenan de modo que el primer bit de la palabra de código llega a ser el MSB y el último bit de la misma llega a ser el LSB. En lo sucesivo, la demultiplexación de bits del quinto tipo se puede representar mediante un identificador de demultiplexación 3 (un número binario de 0011), y la demultiplexación de bits del sexto tipo se puede representar mediante un identificador de demultiplexación 12 (un número binario de 1100).

40 Como se describió anteriormente, el tipo de demultiplexación puede variar según el método de correlación de símbolos o la tasa de código del método de codificación con corrección de errores. Es decir, se puede usar un tipo diferente de demultiplexación si se cambia el método de correlación de símbolos o la tasa de código.

La FIG. 18 es una vista que muestra una realización de demultiplexación de un flujo de bits de entrada según un tipo de demultiplexación. Esta realización puede incluir los intercaladores de bits 1312a y 1312b, los demultiplexores 1313a y 1313b y los correlacionadores 1315a y 1315b.

45 Los intercaladores de bits 1312a y 1312b intercalan los flujos de servicio de PLP codificados con corrección de errores. Por ejemplo, los intercaladores de bits 1312a y 1312b pueden realizar el intercalado de bits en las unidades de codificación con corrección de errores según el modo de codificación con corrección de errores. El método de intercalado de bits ya se describió anteriormente.

50 Los demultiplexores 1313a y 1313b pueden incluir demultiplexores del primer tipo 1313a1 y 1313b1, ..., y los demultiplexores de tipo enésimo 1313a2 y 1313b2. Aquí, n es un número entero. Los métodos de demultiplexación de los bits mediante los n tipos de demultiplexores siguen los tipos mostrados en la FIG. 17. Por ejemplo, los demultiplexores del primer tipo pueden corresponder al primer tipo demultiplexación de bits (1100) y el demultiplexor de segundo tipo (no se muestra) puede corresponder a la demultiplexación de bits de segundo tipo (0011). El demultiplexor de enésimo tipo 1313b demultiplexa el flujo de bits de entrada según la multiplexación de bits de

enésimo tipo (por ejemplo, el identificador de demultiplexación 1100) y saca el flujo de bits demultiplexado. Los selectores 1313a3 y 1313b3 reciben una señal de selección de demultiplexor del tipo de demultiplexación adecuada para los bits de entrada y sacan el flujo de bits demultiplexados según cualquiera del primer tipo al tipo enésimo y la señal de selección de demultiplexor. La señal de selección de demultiplexor puede variar según la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos de la constelación. Por consiguiente, el tipo de demultiplexación se puede determinar según la tasa de código del método de codificación con corrección de errores y/o el método de correlación de símbolos de la constelación. El ejemplo detallado según los símbolos correlacionados a la constelación y/o la tasa de código de la codificación con corrección de errores según la señal de selección de demultiplexor se describirá más tarde.

Los correlacionadores 1315a y 1315b pueden correlacionar los subflujos de bits demultiplexados a los símbolos según la señal de selección de demultiplexor y sacar los símbolos correlacionados.

La FIG. 19 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de la codificación con corrección de errores y el método de correlación de símbolos.

En el método de correlación de símbolos 4QAM, incluso cuando la tasa de código cr del método de codificación con corrección de errores LDPC es cualquiera de 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, el flujo de bits se puede demultiplexar según todos los tipos de demultiplexación (indicados por todos).

En el método de correlación de símbolos 16QAM, si la tasa de código del método de codificación con corrección de errores LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el intercalado de bits y la demultiplexación de bits (indicada por Sin Int. y Sin demultiplex.). Si la tasa de código de la codificación con corrección de errores es 3/5, el bit se puede demultiplexar según cualquiera de los identificadores de demultiplexación 9, 10 y 12. Si la tasa de código de la codificación con corrección de errores es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, el flujo de bits de entrada se puede demultiplexar según el identificador de demultiplexación 6.

En el método de correlación de símbolos 64QAM, si la tasa de código de la codificación con corrección de errores LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el intercalado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits se pueden demultiplexar según cualquiera de los identificadores de demultiplexación 9 y 10. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits se pueden demultiplexar según el identificador de demultiplexación 6.

En el método de correlación de símbolos 256QAM, si la tasa de código de la codificación con corrección de errores LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el intercalado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits se pueden demultiplexar según el identificador de demultiplexación 9. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits se pueden demultiplexar según el identificador de demultiplexación 6.

Como se describió anteriormente, el tipo de demultiplexación de bits puede variar según la tasa de código usada para la codificación con corrección de errores y el método de correlación de símbolos. Por consiguiente, la capacidad de corrección de errores de un bit situado en una ubicación específica del bloque codificado con corrección de errores se puede ajustar correlacionando los subflujos demultiplexados a los símbolos. Por consiguiente es posible optimizar la robustez en el nivel de bit.

La FIG. 20 es una vista que muestra un ejemplo de expresión del método de demultiplexación mediante una ecuación. Por ejemplo, si el método de correlación de símbolos es QPSK, los bits de entrada ( $x_i, x_{N/2+i}$ ) corresponden a los bits demultiplexados  $y_0$  y  $y_1$ . Si el método de correlación de símbolos es 16QAM, los bits de entrada

$$\left( \frac{x_{2N}}{4+i}, \frac{x_{3N}}{4+i}, x_i, \frac{x_n}{4+i} \right)$$

corresponden a los bits demultiplexados  $y_0, y_1, y_2$  e  $y_3$ .

Si el método de correlación de símbolos es 64QAM, los bits de entrada

$$\left( \frac{x_{4N}}{6+i}, \frac{x_{5N}}{6+i}, \frac{x_{2N}}{6+i}, \frac{x_{3N}}{6+i}, x_i, \frac{x_N}{6+i} \right)$$

corresponden a los bits demultiplexados  $y_0, y_1, y_2, y_3, y_4$  e  $y_5$ .

Si el método de correlación de símbolos es 256QAM, los bits de

$$\left( \frac{x_{6N}}{8+i}, \frac{x_{7N}}{8+i}, \frac{x_{4N}}{8+i}, \frac{x_{5N}}{8+i}, \frac{x_{2N}}{8+i}, \frac{x_{3N}}{8+i}, x_i, \frac{x_N}{8+i} \right)$$

entrada demultiplexados  $y_0, y_1, y_2, y_3, y_4, y_5, y_6$  e  $y_7$ .

Aquí, N indica el número de bits correlacionados a los símbolos con respecto a la entrada del intercalador de bits.

La FIG. 21 es una vista que muestra un ejemplo de correlación de un símbolo mediante un correlacionador de símbolos. Por ejemplo, en el método de correlación de símbolos QPSK, los símbolos en la constelación corresponden al valor del bit y0 del primer subflujo demultiplexado y el valor del bit y1 del segundo subflujo demultiplexado.

En la 16QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero y tercero (bits separados de la ubicación del MSB por 0 y 2) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo y cuarto (bits separados de la ubicación del MSB por 1 y 3).

En la 64QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero, tercero y quinto (bits separados de la ubicación del MSB por 0, 2 y 4) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo, cuarto y sexto (bits separados de la ubicación del MSB por 1, 3 y 5).

Por consiguiente, los bits que configuran el símbolo se pueden correlacionar a la palabra de celda en el orden de demultiplexación. Si los bits que configuran la palabra de celda se demultiplexan, el MSB y el LSB de la palabra de celda se cambian y la robustez de los bits se puede ajustar aunque las fiabilidades de los bits codificados con corrección de errores LDPC varíen según las ubicaciones.

La FIG. 22 es un diagrama de bloques que ilustra un codificador MIMO/MISO según la presente invención. En referencia a la FIG. 22, el codificador MIMO/MISO codifica los datos de entrada usando el esquema de codificación MIMO/MISO, y saca los datos codificados a varios trayectos. Si un extremo de recepción de señal recibe la señal transmitida a los diversos trayectos desde uno o más trayectos, es capaz de adquirir una ganancia (también denominada una ganancia de diversidad, una ganancia de carga útil, o una ganancia de multiplexación).

El codificador MIMO/MISO 140 codifica los datos de servicio de cada trayecto generados desde el constructor de tramas 130, y saca los datos codificados al número A de trayectos correspondiente al número de antenas de salida.

La FIG. 23 es un diagrama de bloques que ilustra un modulador según la presente invención. En referencia a la FIG. 23, el modulador incluye un primer controlador de potencia (PAPR Reducir1) 151, una unidad de transformada en el dominio del tiempo (IFFT) 153, un segundo controlador de potencia (PAPR Reducir2) 157, y un insertador de intervalo de guarda 159.

El primer controlador de potencia 151 reduce una PAPR (Relación de Potencia Pico a Media) de datos transmitidos al número R de trayectos de señal en el dominio de frecuencia.

La unidad de transformada en el dominio del tiempo (IFFT) 153 convierte las señales recibidas en el dominio de la frecuencia en señales en el dominio del tiempo. Por ejemplo, las señales en el dominio de la frecuencia se pueden convertir en las señales en el dominio del tiempo según el algoritmo IFFT. Por lo tanto, los datos en el dominio de la frecuencia se pueden modular según el esquema OFDM.

El segundo controlador de potencia (PAPR Reducir2) 157 reduce una PAPR (Relación de Potencia Pico a Media) de datos de canal transmitidos al número R de trayectos de señal en el dominio del tiempo. En este caso, se pueden usar un esquema de reserva de tono, y un esquema de extensión de constelación activa (ACE) para extender la constelación de símbolos.

El insertador de intervalo de guarda 159 inserta el intervalo de guarda en el símbolo OFDM de salida, y saca el resultado insertado. Como se describió anteriormente, la realización mencionada anteriormente se puede llevar a cabo en cada señal del número R de trayectos.

La FIG. 24 es un diagrama de bloques que ilustra un procesador analógico 160 según la presente invención. En referencia a la FIG. 24, el procesador analógico 160 incluye un convertidor digital a analógico (DAC) 161, una unidad de conversión ascendente 163, y un filtro analógico 165.

El DAC 161 convierte los datos de entrada en una señal analógica, y saca la señal analógica. La unidad de conversión ascendente 163 convierte un dominio de frecuencia de la señal analógica en un área de RF. El filtro analógico 165 filtra la señal de área de RF, y saca la señal de RF filtrada.

La FIG. 25 es un diagrama de bloques que ilustra un aparato para recibir una señal según la presente invención. En referencia a la FIG. 25, el aparato de recepción de señal incluye un primer receptor de señales 210a, un enésimo receptor de señales 210n, un primer demodulador 220a, un enésimo demodulador 220n, un decodificador MIMO/MISO 230, un analizador sintáctico de tramas 240, y un demodulador de decodificación 250, y un procesador de salida 260.

En el caso de una señal de recepción según la estructura de trama de señal TFS, varios servicios se multiplexan a R canales, y entonces se cambian en el tiempo, de modo que el resultado cambiado en el tiempo se transmite.

5 El receptor puede incluir al menos un receptor de señales para recibir un servicio transmitido sobre al menos un canal de RF. La trama de señal TFS transmitida al número R (donde R es un número natural) de canales de RF se puede transmitir a un multitrayecto a través del número A de antenas. Las A antenas se han usado para los R canales de RF, de modo que el número total de antenas es  $R \times A$ .

10 El primer receptor de señales 210a es capaz de recibir los datos de servicio transmitidos a través de al menos un trayecto de entre los datos de servicio globales transmitidos a través de varios canales de RF. Por ejemplo, el primer receptor de señales 210a puede recibir la señal de transmisión procesada por el esquema MIMO/MISO a través de varios trayectos.

15 El primer receptor de señales 210a y el enésimo receptor de señales 210n pueden recibir varias unidades de datos de servicio transmitidas sobre n número de canales de RF de entre varios canales de RF, como un único PLP. A saber, esta realización muestra el aparato de recepción de señales capaz de recibir simultáneamente datos del número R de canales de RF. Por lo tanto, si esta realización recibe un único canal de RF, solamente se necesita el primer receptor 210a.

El primer demodulador 220a y el enésimo demodulador 220n demodulan las señales recibidas en los receptores de señales primero y enésimo 210a y 210n según el esquema OFDM, y sacan las señales demoduladas.

20 El decodificador MIMO/MISO 230 decodifica los datos de servicio recibidos a través de varios trayectos de transmisión según el esquema de decodificación MIMO/MISO, y saca los datos de servicio decodificados a un único trayecto de transmisión. Si se recibe el número R de servicios transmitidos sobre varios trayectos de transmisión, el decodificador MIMO/MISO 230 puede sacar datos de servicio de PLP únicos contenidos en cada uno de los R servicios correspondientes al número de canales R. Si el número P de servicios se transmiten a través del número R de canales de RF, y la señales de canales de RF individuales se reciben a través del número A de antenas, el receptor decodifica el número P de servicios usando un total de  $(R \times A)$  antenas de recepción.

25 El analizador sintáctico de tramas 240 analiza sintácticamente la trama de señal TFS incluyendo varios servicios, y saca los datos de servicio analizados sintácticamente.

El demodulador de decodificación 250 realiza la decodificación con corrección de errores sobre los datos de servicio contenidos en la trama analizada sintácticamente, descorrelaciona los datos de símbolo decodificados en datos de bits, y saca el resultado de la descorrelación procesado.

30 El procesador de salida 260 decodifica un flujo que incluye los datos de bit descorrelacionados, y saca el flujo decodificado.

En la descripción mencionada anteriormente, cada uno del analizador sintáctico de tramas 240, el demodulador de decodificación 250, y el procesador de salida 260 recibe varias unidades de datos de servicio tantas como el número de PLP, y realiza un procesamiento de señal sobre los datos de servicio recibidos.

35 La FIG. 26 es un diagrama de bloques que ilustra un receptor de señales según la presente invención. En referencia a la FIG. 26, el receptor de señales puede incluir un sintonizador 211, un convertidor descendente 213, y un convertidor analógico a digital (ADC) 215.

40 El sintonizador 211 realiza saltos de algunos canales de RF capaces de transmitir servicios seleccionados por el usuario en todos los canales de RF cuando el PLP se incluye en varios canales de RF, y saca el resultado del salto. El sintonizador 211 realiza el salto de canales de RF contenidos en la trama de señal TFS según las frecuencias centrales de RF de entrada, y al mismo tiempo sintoniza las señales de frecuencia correspondientes, de modo que saca las señales sintonizadas. Si una señal se transmite a un número A de multitrayectos, el sintonizador 211 realiza la sintonización a un canal de RF correspondiente, y recibe las señales de recepción a través del número A de antenas.

45 El convertidor descendente 213 realiza la conversión descendente de la frecuencia de RF de la señal sintonizada por el sintonizador 211, y saca el resultado de conversión descendente. El ADC 215 convierte una señal analógica en una señal digital.

50 La FIG. 27 es un diagrama de bloques que ilustra un demodulador según la presente invención. En referencia a la FIG. 27, el demodulador incluye un detector de tramas 221, una unidad de sincronización de tramas 222, un eliminador de intervalo de guarda 223, una unidad de transformada en el dominio de la frecuencia (FFT) 224, un estimador de canal 225, un ecualizador de canal 226, y un extractor de información de señalización 227.

Si el demodulador adquiere datos de servicio transmitidos a un único flujo de PLP, se llevará a cabo la siguiente demodulación de señal. Una descripción detallada de la misma se describirá en lo sucesivo.



El detector de tramas 221 identifica un sistema de entrega de una señal de recepción. Por ejemplo, el detector de tramas 221 determina si la señal de recepción es una señal DVB-TS o no. El detector de tramas 221 también puede determinar si una señal de recepción es una trama de señal TFS o no. La unidad de sincronización de tramas 222 adquiere una sincronización en el dominio de la frecuencia y del tiempo de la trama de señal TFS.

5 El controlador de intervalo de guía 223 elimina un intervalo de guarda situado entre símbolos OFDM a partir del dominio del tiempo. El convertidor en el dominio de la frecuencia (FFT) 224 convierte una señal de recepción en una señal en el dominio de la frecuencia usando el algoritmo FFT, de modo que adquiere datos de símbolo en el dominio de la frecuencia.

10 El estimador de canal 225 realiza la estimación de canal de un canal de recepción usando un símbolo piloto contenido en los datos de símbolo del dominio de la frecuencia. El ecualizador de canal 226 realiza una ecualización de canal de los datos de recepción usando información de canal estimada por el estimador de canal 225.

El extractor de información de señalización 227 puede extraer la información de señalización de una capa física establecida en las señales piloto primera y segunda contenidas en los datos de recepción ecualizados en el canal.

15 La FIG. 28 es un diagrama de bloques que ilustra un decodificador MIMO/MISO según la presente invención. El receptor de señales y el demodulador están diseñados para procesar una señal recibida en un único trayecto. Si el receptor de señales y el demodulador reciben datos de servicio de PLP que proporcionan un único servicio a través de varios trayectos de varias antenas, y demodulan los datos de servicio de PLP, el decodificador MIMO/MIMO 230 saca la señal recibida en varios trayectos como datos de servicio transmitidos a un único PLP. Por lo tanto, el decodificador MIMO/MISO 230 puede adquirir una ganancia de diversidad y una ganancia de multiplexación a partir de los datos de servicio recibidos en un PLP correspondiente.

20 El decodificador MIMO/MISO 230 recibe una señal de transmisión multitrayecto desde varias antenas, y es capaz de decodificar una señal usando un esquema MIMO capaz de recuperar cada señal de recepción en forma de una única señal. De otro modo, el decodificador MIMO/MISO 230 es capaz de recuperar una señal usando un esquema MIMO que recibe la señal de transmisión multitrayecto desde una única antena y recupera la señal de transmisión multitrayecto recibida.

25 Por lo tanto, si la señal se transmite a través del número R de canales de RF (donde R es un número natural), el decodificador MIMO/MISO 230 puede decodificar las señales recibidas a través del número A de antenas de canales de RF individuales. Si el valor A es igual a "1", las señales se pueden decodificar mediante el esquema MISO. Si el valor A es mayor que "1", las señales se pueden decodificar mediante el esquema MIMO.

30 La FIG. 29 es un diagrama de bloques que ilustra un analizador sintáctico de tramas según la presente invención. En referencia a la FIG. 29, el analizador sintáctico de tramas incluye un primer desintercalador de frecuencia 241a, un desintercalador en frecuencia de orden r 241r, un analizador sintáctico de tramas 243, un primer desintercalador en tiempo 245a, un desintercalador en tiempo de orden p 245p, un primer descorrelacionador de símbolos 247a, y un descorrelacionador de símbolos de orden p. El valor de "r" se puede decidir mediante el número de canales de RF, y el valor de "p" se puede decidir mediante el número de flujos que transmiten datos de servicio de PLP generados a partir del analizador sintáctico de tramas 243.

35 Por lo tanto, si el número p de servicios se transmiten a p número de flujos de PLP sobre un número R de canales de RF, el analizador sintáctico de tramas incluye el número r de desintercaladores en frecuencia, el número p de desintercaladores en tiempo, y el número p de descorrelacionadores de símbolos.

40 En asociación con un primer canal de RF, el primer intercalador en frecuencia 241a realiza un desintercalado de datos de entrada en el dominio de la frecuencia, y saca el resultado del desintercalado.

45 El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal TFS transmitida a varios canales de RF usando información de planificación de la trama de señal TFS, y analiza sintácticamente los datos de servicio de PLP contenidos en la ranura de un canal de RF específico que incluye un servicio deseado. El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal TFS para recibir datos de servicio específicos distribuidos a varios canales de RF según la estructura de trama de señal TFS, y saca datos de servicio de PLP del primer trayecto.

50 El primer desintercalador en tiempo 245a realiza un desintercalado de los datos de servicio de PLP del primer trayecto analizados sintácticamente en el dominio del tiempo. El primer descorrelacionador de símbolos 247a determina que los datos de servicio correlacionados con el símbolo sean datos de bit, de modo que puede sacar un flujo de PLP asociado con los datos de servicio de PLP del primer trayecto.

A condición de que los datos de símbolo se conviertan en datos de bit, y cada uno de los datos de símbolo incluya símbolos basados en el esquema híbrido de correlación de símbolos, el número p de descorrelacionadores de símbolos, cada uno de los cuales incluye el primer descorrelacionador de símbolos, puede determinar que los datos

de símbolo sean datos de bit que usan diferentes esquemas de descorrelación de símbolos en intervalos individuales de los datos de símbolo de entrada.

La FIG. 30 es una vista que muestra una realización de cada uno de los descorrelacionadores de símbolos 247a y 247p. Los descorrelacionadores de símbolos reciben los flujos correspondientes a los PLP desde los intercaladores en tiempo 245a y 245p respectivamente correspondientes a los descorrelacionadores de símbolos.

Cada uno de los descorrelacionadores de símbolos 247a y 247p puede incluir un divisor de bloques con corrección de errores 2471, un divisor de símbolos 2473, un descorrelacionador de primer orden 2475a, un descorrelacionador de segundo orden 2475b y un fusionador de flujos de bits 2478.

El divisor de bloques con corrección de errores 2471 puede dividir el flujo de PLP recibido desde el correspondiente de los intercaladores en tiempo 245a y 245p en las unidades de bloques con corrección de errores. El divisor de bloques con corrección de errores 2471 puede dividir el flujo de servicio en la unidad de bloques LDPC de modo normal. En este caso, el flujo de servicio se puede dividir en un estado en el que cuatro bloques según el modo corto (el bloque que tiene la longitud de 16200 bits) son tratados como el bloque con corrección de errores de un bloque según el modo normal (el bloque que tiene la longitud de 64800 bits).

El divisor de símbolos 2473 puede dividir el flujo de símbolos en el bloque de corrección de errores dividido según el método de correlación de símbolos del flujo de símbolos.

Por ejemplo, el descorrelacionador de primer orden 2475a convierte los símbolos según el método de correlación de símbolos de orden superior en los bits. El descorrelacionador de segundo orden 2475b convierte los símbolos según el método de correlación de símbolos de orden inferior en los bits.

El fusionador de flujos de bits 2478 puede recibir los bits convertidos y sacar un flujo de bits.

La FIG. 31 es una vista que muestra otro ejemplo de cada uno de los descorrelacionadores de símbolos 247a y 247p. Cada uno de los descorrelacionadores de símbolos 247a y 247p puede incluir un divisor de símbolos 2473, un descorrelacionador de primer orden 2474a, un descorrelacionador de segundo orden 2474b, un multiplexor de primer orden 2475a, un multiplexor de segundo orden 2475b, un desintercalador de bits de primer orden 2476a, un desintercalador de bits de segundo orden 2476b y un fusionador de flujos de bits 2478. Mediante este ejemplo, el ejemplo de la unidad de decodificación y demodulación de la FIG. 33 incluye un primer decodificador 253, un primer desintercalador 255 y un segundo decodificador 257.

El divisor de símbolos 2473 puede dividir el flujo de símbolos del PLP según el método correspondiente al método de correlación de símbolos.

El descorrelacionador de primer orden 2474a y el descorrelacionador de segundo orden 2474b convierten los flujos de símbolos divididos en bits. Por ejemplo, el descorrelacionador de primer orden 2474a realiza la descorrelación de símbolos de la QAM de orden superior y el descorrelacionador de segundo orden 2474b realiza la descorrelación de símbolos de la QAM de orden inferior. Por ejemplo, el descorrelacionador de primer orden 2474a puede realizar la descorrelación de símbolos de 256QAM y el descorrelacionador de segundo orden 2474b puede realizar la descorrelación de símbolos de 64QAM.

El multiplexor de primer orden 2475a y el multiplexor de segundo orden 2475b multiplexan los bits correlacionados a símbolos. Los métodos de multiplexación pueden corresponder a los métodos de demultiplexación descritos con referencia a las FIG. 15 a 18. Por consiguiente, los subflujos demultiplexados se pueden convertir en un flujo de bits.

El desintercalador de bits de primer orden 2476a desintercala los flujos de bits multiplexados por el multiplexor de primer orden 2475a. El desintercalador de bits de segundo orden 2476b desintercala los bits multiplexados por el multiplexor de primer orden 2475a. El método de desintercalado corresponde al método de intercalado de bits. El método de intercalado de bits se muestra en la FIG. 12.

El fusionador de flujos de bits 2478 puede fusionar los flujos de bits desintercalados por los intercaladores de bits 2476a y 2476b a un flujo de bits.

El primer decodificador 253 de la unidad de decodificación y demodulación puede decodificar con corrección de errores el flujo de bits de salida según el modo normal o el modo corto y la tasa de código según los modos.

La FIG. 32 es una vista que muestra una realización de multiplexación del subflujo demultiplexado. En esta realización, los descorrelacionadores 2474a y 2474b deciden las palabras de celda que incluyen los bits. Los multiplexores 2475a y 2475b multiplexan las palabras de celda decididas según la señal de selección de multiplexor. Las palabras de celda demultiplexadas se introducen a cualquiera de los primeros multiplexores 2475a2 y 2475b2 a los multiplexores enésimos 2475a3 y 2475b3.

5 Los primeros multiplexores 2475a2 y 2475b2 a los multiplexores enésimos 2475a3 y 2475b3 cambian el orden de los bits en las palabras de celda introducidos según la señal de selección de multiplexor. La señal de selección de multiplexor se puede cambiar según la tasa de código de la codificación con corrección de errores o el método de correlación de símbolos. Para generar un flujo y los flujos de bits entregados a los multiplexores, el orden de selección del subflujo se puede cambiar según la señal de selección de multiplexor.

10 Los primeros demultiplexores 2475a1 y 2475b1 sacan los flujos de bits descorrelacionados a símbolos a cualquiera de los primeros multiplexores 2475a2 y 2475b2 a los multiplexores enésimos 2475a3 y 2475b3 según la señal de selección de multiplexor. Los primeros submultiplexores 2475a1 y 2475b1 pueden recibir los subflujos multiplexados por los primeros multiplexores 2475a2 y 2475b2 a los multiplexores enésimos 2475a3 y 2475b3 y sacar un flujo, según la señal de selección de multiplexor.

Las palabras de celda que incluyen los bits cambiados se introducen a los intercaladores de bits 2476a y 2476b, y los desintercaladores de bits 2476a y 2476b desintercalan los bits de entrada y sacan los bits desintercalados.

15 La FIG. 33 es un diagrama de bloques que ilustra un demodulador de decodificación según la presente invención. En referencia a la FIG. 33, el demodulador de decodificación puede incluir varios bloques de función correspondientes a la unidad de codificación y modulación. En esta realización, el demodulador de decodificación de la FIG. 16 puede incluir un primer desintercalador 251, un primer decodificador 253, un segundo desintercalador 255, y un segundo decodificador 257. El segundo desintercalador 255 puede estar contenido selectivamente en el demodulador de decodificación.

20 El primer desintercalador 251 actúa como un desintercalador interno, y es capaz de realizar un desintercalado del flujo de PLP de orden  $p$  generado a partir del analizador sintáctico de tramas.

El primer decodificador 253 actúa como un decodificador interno, puede realizar una corrección de errores de los datos desintercalados, y puede usar un algoritmo de decodificación con corrección de errores basado en el esquema LDPC.

25 El segundo desintercalador 255 actúa como un intercalador externo, y puede realizar un desintercalado de los datos decodificados con corrección de errores.

30 El segundo decodificador 257 actúa como un decodificador externo. Los datos desintercalados por el segundo desintercalador 255 o los corregidos de errores mediante el primer decodificador 253 se corrigen de errores de nuevo, de modo que el segundo decodificador 257 saca los datos corregidos de errores de nuevo. El segundo decodificador 257 decodifica los datos usando el algoritmo de decodificación con corrección de errores basado en el esquema BCH, de modo que saca los datos decodificados.

El primer desintercalador 251 y el segundo desintercalador 255 son capaces de convertir el error de ráfaga generado en los datos contenidos en el flujo de PLP en un error aleatorio. El primer decodificador 253 y el segundo decodificador 257 pueden corregir los errores contenidos en los datos.

35 El demodulador de decodificación muestra procesos de funcionamiento asociados con un único flujo de PLP. Si el número  $p$  de flujos existe, se necesita el número  $p$  de demoduladores de decodificación, o el demodulador de decodificación puede decodificar repetidamente los datos de entrada  $p$  veces.

40 La FIG. 34 es un diagrama de bloques que ilustra un procesador de salida según la presente invención. En referencia a la FIG. 34, el procesador de salida puede incluir un número  $p$  de analizadores sintácticos de tramas en banda base (BB) (261a, ..., 261p), un primer fusionador de servicios 263a, un segundo fusionador de servicios 263b, un primer demultiplexor 265a, y un segundo demultiplexor 265b.

Los analizadores sintácticos de tramas en BB (261a, ..., 261p) eliminan las cabeceras de trama en BB de los flujos de PLP primero al de orden  $p$  según los trayectos de PLP recibidos, y sacan el resultado eliminado. Este ejemplo muestra que los datos de servicio se transmiten a al menos dos flujos. Un primer flujo es un flujo de TS de MPEG-2, y un segundo flujo es un flujo GS.

45 El primer fusionador de servicios 263a calcula la suma de los datos de servicio contenidos en la carga útil de al menos una trama en BB, de modo que saca la suma de los datos de servicio como un único flujo de servicio. El primer demultiplexor 255a puede demultiplexar el flujo de servicio, y sacar el resultado demultiplexado.

50 En este sentido, el segundo fusionador de servicios 263b calcula la suma de los datos de servicio contenidos en la carga útil de al menos una trama en BB, de modo que puede sacar otro flujo de servicio. El segundo demultiplexor 255b puede demultiplexar el flujo de servicio de formato GS, y sacar el flujo de servicio demultiplexado.

La FIG. 35 es un diagrama de bloques que ilustra un aparato para transmitir una señal según otro ejemplo de la presente invención. En referencia a la FIG. 35, el aparato de transmisión de señales incluye un compositor de

servicios 310, un divisor de frecuencia 320, y un transmisor 400. El transmisor 400 codifica o modula una señal que incluye un flujo de servicio a ser transmitido a cada banda de RF.

5 El compositor de servicios 310 recibe varios flujos de servicio, multiplexa varios flujos de servicio a ser transmitidos a los canales de RF individuales, y saca los flujos de servicio multiplexados. El compositor de servicios 310 saca información de planificación, de modo que controla el transmisor 400 usando la información de planificación, cuando el transmisor 400 transmite el PLP a través de diversos canales de RF. Mediante esta información de planificación, el compositor de servicios 310 modula varias tramas de servicio a ser transmitidas a los diversos canales de RF mediante el transmisor 400, y transmite las tramas de servicio moduladas.

10 El divisor de frecuencia 320 recibe un flujo de servicio a ser transmitido a cada banda de RF, y divide cada flujo de servicio en varios subflujos, de modo que las bandas de frecuencia de RF individuales se pueden asignar a los subflujos.

15 El transmisor 400 procesa los flujos de servicio a ser transmitidos a bandas de frecuencia individuales, y saca los flujos resultantes procesados. Por ejemplo, en asociación con un flujo de servicio específico a ser transmitido al primer canal de RF, el primer correlacionador 410 correlaciona los datos de flujo de servicio de entrada en símbolos. El primer intercalador 420 intercala los símbolos correlacionados para evitar el error de ráfaga.

El primer insertador de símbolos 430 puede insertar una trama de señal equipada con una señal piloto (por ejemplo, una señal piloto disperso o una señal piloto continuo) en la señal modulada.

El primer modulador 440 modula los datos intercalados por el esquema de modulación de señal. Por ejemplo, el primer modulador 440 puede modular las señales usando el esquema OFDM.

20 El primer insertador de símbolos piloto 450 inserta la primera señal piloto y la segunda señal piloto en la trama de señal, y es capaz de transmitir la trama de señal TFS.

Los datos de flujo de servicio transmitidos al segundo canal de RF se transmiten a la trama de señal TFS a través de varios bloques 415, 425, 435, 445, y 455 de diferentes trayectos mostrados en el transmisor de la FIG. 18.

25 El número de trayectos de procesamiento de señal transmitidos desde el transmisor 400 puede ser igual al número de canales de RF contenidos en la trama de señal TFS.

El primer correlacionador 410 y el segundo correlacionador pueden incluir respectivamente los demultiplexores 1313a y 1313b, y permitir que las ubicaciones del MSB y el LSB sean cambiadas en la palabra de celda correlacionada por símbolos.

30 La FIG. 36 es un diagrama de bloques que ilustra un aparato para recibir una señal según otra realización de la presente invención. En referencia a la FIG. 36, el aparato de recepción de señales puede incluir una unidad de recepción 510, una unidad de sincronización 520, un detector de modo 530, un ecualizador 540, un detector de parámetros 550, un desintercalador 560, un descorrelacionador 570, y un decodificador de servicios 580.

35 La unidad de recepción 500 es capaz de recibir señales de un primer canal de RF seleccionado por un usuario de entre la trama de señal. Si la trama de señal incluye varios canales de RF, la unidad de recepción 500 realiza un salto de los diversos canales de RF, y al mismo tiempo puede recibir una señal que incluye la trama del servicio seleccionado.

40 La unidad de sincronización 510 adquiere sincronización de una señal de recepción, y saca la señal de recepción sincronizada. El demodulador 520 es capaz de demodular la señal adquirida con sincronización. El detector de modo 530 puede adquirir un modo FFT (por ejemplo, una longitud de funcionamiento de FFT 2k, 4k, 8k) de la segunda señal piloto usando la primera señal piloto de la trama de señal.

45 El demodulador 520 demodula la señal de recepción bajo el modo FFT de la segunda señal piloto. El ecualizador 540 realiza una estimación de canal de la señal de recepción, y saca la señal resultante de estimación de canal. El desintercalador 560 desintercala la señal de recepción ecualizada en canal. El descorrelacionador 570 descorrelaciona el símbolo intercalado usando el esquema de descorrelación de símbolos correspondiente al esquema de correlación de símbolos de transmisión de señal (por ejemplo, QAM).

50 El detector de parámetros 550 adquiere información de parámetros físicos (por ejemplo, información de Capa-1 (L1)) contenida en la segunda señal piloto a partir de la señal de salida del ecualizador 540, y transmite la información de parámetros físicos adquirida a la unidad de recepción 500 y la unidad de sincronización 510. La unidad de recepción 500 es capaz de cambiar el canal de RF a otro canal usando información de red detectada por el detector de parámetros 550.

El detector de parámetros 550 saca la información asociada con el servicio, el decisor de servicio 580 decodifica los datos de servicio de la señal de recepción según la información asociada con el servicio a partir del detector de parámetros 550, y saca los datos de servicio decodificados.

5 El descorrelacionador 570 puede incluir los multiplexores 2475a y 2475b y sacar el flujo de bits obtenido restaurando el orden de los bits de los que las ubicaciones del MSB y del LSB se cambian según la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos.

La FIG. 37 es una vista que muestra una realización de un método para transmitir una señal.

El flujo de servicio se codifica con corrección de errores (S110).

10 Como el método de codificación con corrección de errores, se puede usar un esquema de codificación con corrección de errores LDPC o se puede realizar codificación con corrección de errores a diversas tasas de código. Los bits codificados con corrección de errores según una tasa de código de error específica se pueden incluir en el bloque codificado con corrección de errores según el modo de codificación con corrección de errores. Si el método de codificación con corrección de errores es el LDPC, se pueden usar el modo normal (64800 bits) y el modo corto (16200 bits).

15 Los bits codificados con corrección de errores se intercalan (S120). El intercalado se puede realizar almacenando y leyendo los bits incluidos en el bloque codificado con corrección de errores en y desde la memoria en diferentes direcciones. El número de filas y el número de columnas se pueden cambiar según el modo de codificación con corrección de errores.

20 El flujo de bits intercalados se demultiplexa y los subflujos se sacan mediante la demultiplexación (S130). El método de demultiplexación se puede cambiar según la tasa de código de la codificación con corrección de errores y/o el método de correlación de símbolos y diversos ejemplos incluyendo la FIG. 17 ya se describieron anteriormente. Los bits de entrada intercalados se pueden convertir en los subflujos mediante los métodos de demultiplexación que puede cambiarse según la tasa de código de la codificación con corrección de errores y/o el método de correlación de símbolos. La FIG. 18 muestra un ejemplo de sacar los subflujos según los métodos de demultiplexación. El número de subflujos de salida se puede cambiar según los métodos de demultiplexación. Si se realiza la demultiplexación, se cambian las ubicaciones de los bits en la palabra de celda correlacionados con los símbolos en el flujo de bits intercalado y de esta manera se pueden cambiar el MSB y el LSB. Por lo tanto, aunque la fiabilidad del bit de una ubicación específica en el bloque codificado con corrección de errores según el modo de codificación con corrección de errores es baja, las ubicaciones de los bits se pueden cambiar de modo que la fiabilidad del bit se mejora en el paso de correlación de símbolos.

Los subflujos demultiplexados se seleccionan secuencialmente y los bits incluidos en los subflujos seleccionados se correlacionan a los símbolos (S140). Hay métodos de selección secuencialmente de la pluralidad de subflujos. La palabra de celda correlacionada por símbolos se puede cambiar según el orden de selección de los subflujos.

35 Se puede usar al menos un método de correlación de símbolos. Por ejemplo, se pueden usar juntos el método de correlación de símbolos de orden superior y el método de correlación de símbolos de orden inferior.

40 Se construye una trama de señal en la que se disponen los símbolos correlacionados en al menos una banda de frecuencia y ranuras divididas temporalmente de la al menos una banda de frecuencia (S150). Se pueden insertar un símbolo de referencia y un símbolo piloto en la trama de señal. Los símbolos de la pluralidad de flujos de servicio que se someten a los pasos S110 a S140 se pueden disponer en la trama de señal en el paso S150. Los símbolos de la pluralidad de flujos de servicio se distribuyen en la al menos una banda de frecuencia, y los símbolos distribuidos se pueden disponer en ubicaciones que se cambian temporalmente en la banda de frecuencia o entre las bandas de frecuencia.

45 La trama de señal se convierte en el dominio de tiempo según el método OFDM y el intervalo de guarda se inserta en los símbolos OFDM convertidos en el dominio de tiempo (S160). La longitud del intervalo de guarda se puede cambiar según el modo FFT usado en el método OFDM.

El preámbulo para identificar la trama de señal se inserta en la parte de inicio de la trama de señal de cada banda de RF y la señal se transmite (S170). La primera señal piloto y la segunda señal piloto se pueden insertar en el preámbulo.

La FIG. 38 es una vista que muestra una realización de un método para recibir una señal.

50 El método de recepción de la señal transmitida es como sigue.

La señal se recibe desde una banda de frecuencia específica incluida en la trama de señal (S210). La trama de señal puede tener una pluralidad de bandas de frecuencia. La señal se puede recibir desde la banda de frecuencia específica.

5 Cuando la trama de señal se detecta a partir de la señal recibida, la señal recibida se demodula mediante el método OFDM y la trama de señal correspondiente a la banda de frecuencia se analiza sintácticamente a partir de la señal demodulada (S220). La trama de señal se analiza sintácticamente de modo que se pueden identificar el número de bandas de frecuencia incluidas en la trama de señal y el flujo de servicio incluido en la banda de frecuencia, si la trama de señal tiene varias bandas de frecuencia. Y si las bandas de frecuencia se saltan, se pueden obtener los símbolos de un flujo de servicio deseado.

10 La descorrelación de símbolos correspondiente al método de correlación de símbolos se realiza con respecto al flujo de símbolos y se sacan los subflujos descorrelacionados por símbolos (S230). Se puede usar el método de descorrelación de símbolos correspondiente a al menos un método de correlación de símbolos. Por ejemplo, se puede usar el método de correlación/descorrelación híbrida de símbolos.

15 La pluralidad de subflujos se multiplexan según el método de correlación de símbolos o/y la tasa de código de la codificación con corrección de errores y se saca un flujo de bits (S240). La fiabilidad del bit específico del bloque codificado con corrección de errores puede ser baja según el método de correlación de símbolos y la tasa de código de la codificación con corrección de errores. Por consiguiente, los subflujos se pueden multiplexar de modo que se reordenan el MSB y el LSB de la palabra de celda correlacionados al símbolo. El método de multiplexación puede corresponder al método de demultiplexación del paso S130.

Los flujos de bits de salida se desintercalan en bits (S250). El método de desintercalado puede corresponder al paso S120.

Los flujos desintercalados se pueden decodificar con corrección de errores (S260).

20 El servicio se obtiene a partir de los flujos de servicios decodificados con corrección de errores (S270).

De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la presente invención, es posible detectar y restaurar fácilmente la señal transmitida. Además, es posible mejorar el rendimiento de transmisión/recepción de señales del sistema de transmisión/recepción.

25 Será evidente para aquellos expertos en la técnica que se pueden hacer diversas modificaciones y variaciones en la presente invención. De esta manera, se pretende que la presente invención cubra las modificaciones y variaciones de esta invención a condición de que queden dentro del alcance de las reivindicaciones adjuntas.

**REIVINDICACIONES**

1. Un método para transmitir una señal de difusión, el método que comprende:
  - codificar con corrección de errores (S110) los datos de conducto de capa física, PLP, que entregan un servicio según una tasa de código de un método de codificación con corrección de errores;
  - 5       intercalar (S120) bits de los datos de PLP codificados con corrección de errores;
  - demultiplexar (S130) los bits intercalados en un número de subflujos según uno u otro de la tasa de código y/o un método de correlación de símbolos, en donde el orden de bits en los subflujos es diferente del orden de los bits intercalados;
  - correlacionar los bits en los flujos a al menos un símbolo según el método de correlación de símbolos;
  - 10       construir (S150) una trama de señal que incluye el al menos un símbolo correlacionado;
  - modular (S160) la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal OFDM; y
  - transmitir una señal que incluye la trama de señal modulada a través de al menos una banda de frecuencia,
  - 15       el método caracterizado porque la señal incluye una primera información y una segunda información, la segunda información tiene información para la tasa de código del método de codificación con corrección de errores y la primera información tiene información para indicar un tamaño de una transformación rápida de Fourier, FFT, usado para un símbolo OFDM para la segunda información.
2. Un método para recibir una señal de difusión, el método que comprende:
  - recibir (S210) la señal de difusión que incluye una trama de señal de al menos una banda de frecuencia;
  - 20       demodular (S220) la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal OFDM, en donde la trama de señal incluye símbolos de datos de conducto de capa física, PLP que entregan un servicio;
  - analizar sintácticamente la trama de señal;
  - 25       descorrelacionar (S230) los símbolos en la trama de señal analizada sintácticamente en bits en un número de subflujos según un método de correlación de símbolos;
  - multiplexar (S240) los bits en los subflujos para sacar un flujo de bits según uno u otro del método de correlación de símbolos y/o una tasa de código de un método de corrección de errores, en donde el orden de bits en el un flujo de bits es diferente del orden de los bits en los subflujos;
  - desintercalar (S250) los bits multiplexados; y
  - 30       decodificar con corrección de errores (S260) los bits desintercalados según la tasa de código del método de corrección de errores,
  - el método caracterizado porque la señal incluye una primera información y una segunda información, la segunda información tiene información para la tasa de código del método de codificación con corrección de errores y la primera información tiene información para indicar un tamaño de una transformación rápida de Fourier, FFT,
  - 35       usado para un símbolo OFDM para la segunda información.
3. Un aparato para transmitir una señal de difusión, el aparato que comprende:
  - medios para codificar con corrección de errores los datos de conducto de capa física, PLP, que entregan un servicio según una tasa de código de un método de codificación con corrección de errores;
  - medios para intercalar bits de los datos de PLP codificados con corrección de errores;
  - 40       medios para demultiplexar los bits intercalados en un número de subflujos según uno u otro de la tasa de código y/o un método de correlación de símbolos, en donde el orden de bits en los subflujos es diferente del orden de los bits intercalados;
  - medios para correlacionar los bits en los flujos a al menos un símbolo según el método de correlación de símbolos;
  - 45       medios para construir una trama de señal que incluye el al menos un símbolo correlacionado;

medios para modular la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal OFDM; y

medios para transmitir una señal que transporta la trama de señal modulada a través de al menos una banda de frecuencia,

5 el aparato caracterizado porque la señal incluye una primera información y una segunda información, la segunda información tiene información para la tasa de código del método de codificación con corrección de errores y la primera información tiene información para indicar un tamaño de una transformación rápida de Fourier, FFT, usado para un símbolo OFDM para la segunda información.

4. Un aparato para recibir una señal de difusión, el método que comprende:

10 medios para recibir la señal de difusión que incluye una trama de señal de al menos una banda de frecuencia;

medios para demodular la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal OFDM, en donde la trama de señal incluye símbolos de datos de conducto de capa física, PLP que entregan un servicio;

medios para analizar sintácticamente la trama de señal;

15 medios para descorrelacionar los símbolos en la trama de señal analizada sintácticamente en bits en un número de subflujos según un método de correlación de símbolos;

medios para multiplexar los bits en los subflujos para sacar un flujo de bits según uno u otro del método de correlación de símbolos y/o una tasa de código de un método de corrección de errores, en donde el orden de bits en el un flujo de bits es diferente del orden de los bits en los subflujos;

20 medios para desintercalar los bits multiplexados; y

medios para decodificar con corrección de errores los bits desintercalados según la tasa de código del método de corrección de errores,

25 el aparato caracterizado porque la señal incluye una primera información y una segunda información, la segunda información tiene información para el método de codificación con corrección de errores y la primera información tiene información para indicar un tamaño de una transformación rápida de Fourier, FFT, usado para un símbolo OFDM para la segunda información.



FIG. 1

	RF 1	RF 2	RF 3	RF 4
	17	12	7	Servicio 2
	16	11	6	Servicio 2
	15	10	5	Servicio 1
	14	9	4	Servicio 1
	13	8	Servicio 3	Servicio 1
	12	7	Servicio 2	17
	11	6	Servicio 2	16
	10	5	Servicio 1	15
	9	4	Servicio 1	14
	8	Servicio 3	Servicio 1	13
	7	Servicio 2	17	12
	6	Servicio 2	16	11
	5	Servicio 1	15	10
	4	Servicio 1	14	9
	Servicio 3	Servicio 1	13	8
	Servicio 2	17	12	7
	Servicio 2	16	11	6
	Servicio 1	15	10	5
	Servicio 1	14	9	4
	Servicio 1	13	8	Servicio 3
	P2	P2	P2	P2
	P1	P1	P1	P1

Tiempo  
(no a escala)

FIG. 2

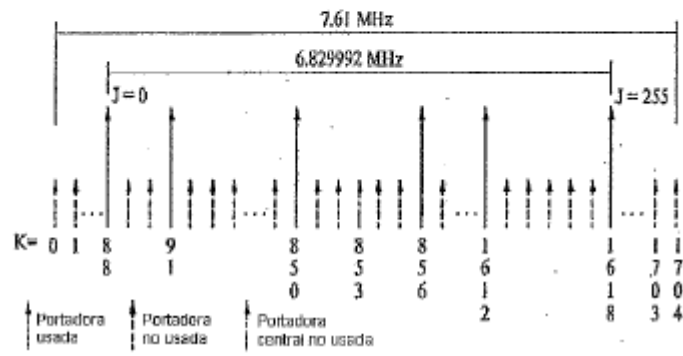


FIG. 3

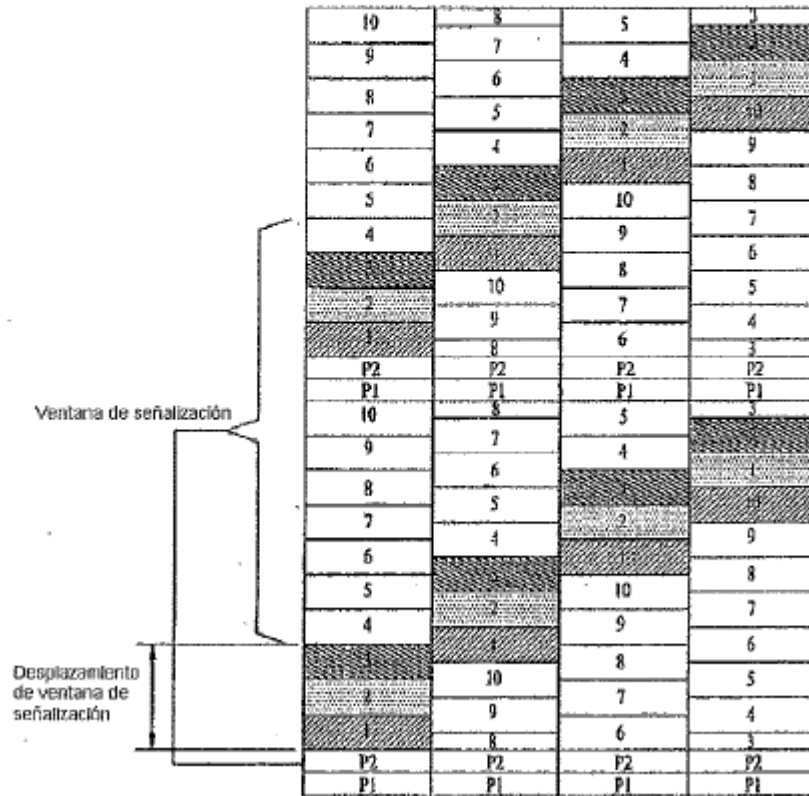


FIG. 4

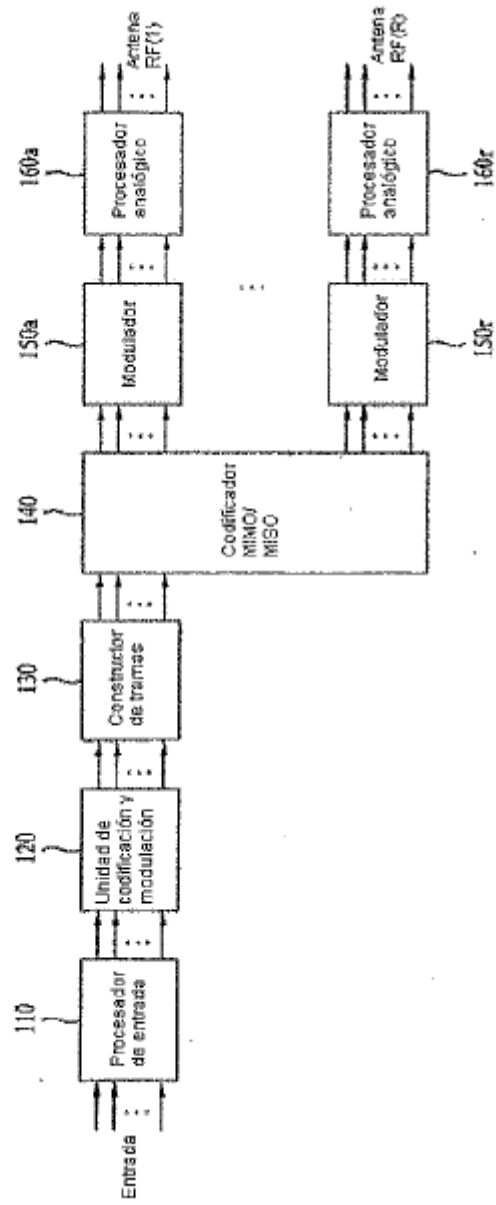


FIG. 5

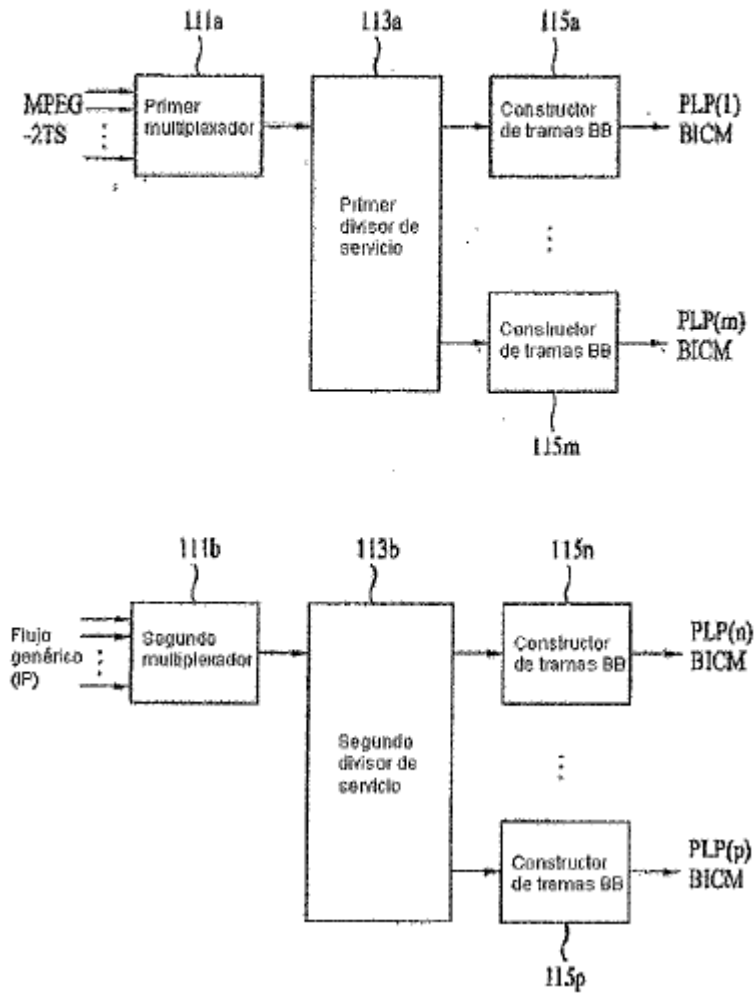


FIG. 6

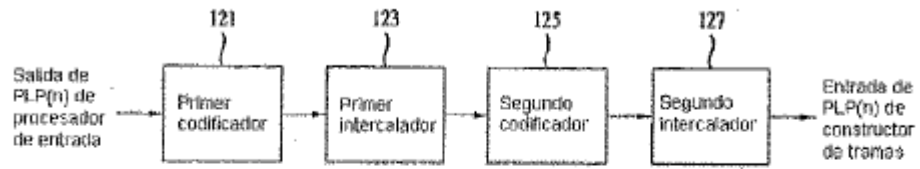
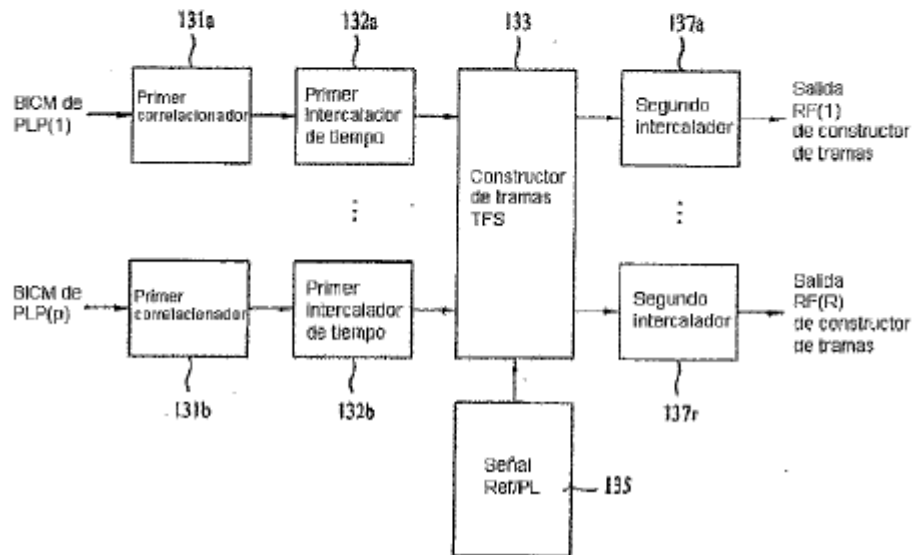


FIG. 7



**FIG. 8**

bit/celda (exp.)	relación HOQ	bits HOQ	bits LOQ	simbolos HOQ	simbolos LOQ	Simbolos totales	bit/celda
256-QAM	1	64800	0	8100	0	8100	8
128-QAM hib.	3/5	36860	25820	4660	4320	9180	7.0588
64-QAM	1	64800	0	10800	0	10800	6
32-QAM hib.	3/5	38880	25820	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
8-QAM hib.	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

FIG. 9

bit/celda (exp.)	relación HOQ	bits HOQ	bits LOQ	simbolos HOQ	simbolos LOQ	Simbolos totales	bit/celda
256-QAM	1	16200	0	2025	0	2025	8
128-QAM hib.	3/5	9720	6480	1215	1080	2295	7,0588
64-QAM	1	16200	0	2700	0	2700	6
32-QAM hib.	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
8-QAM hib.	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2



FIG. 10

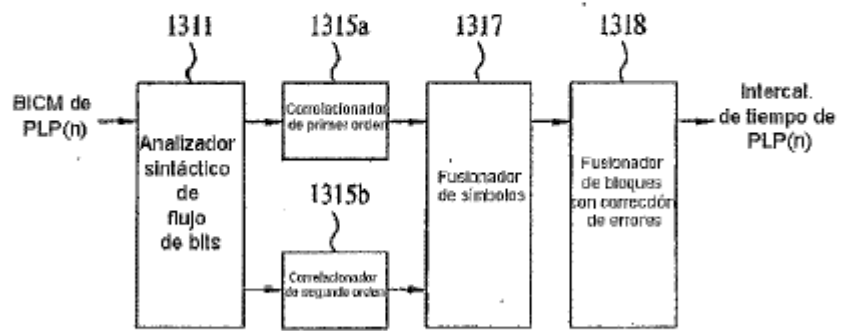


FIG. 11

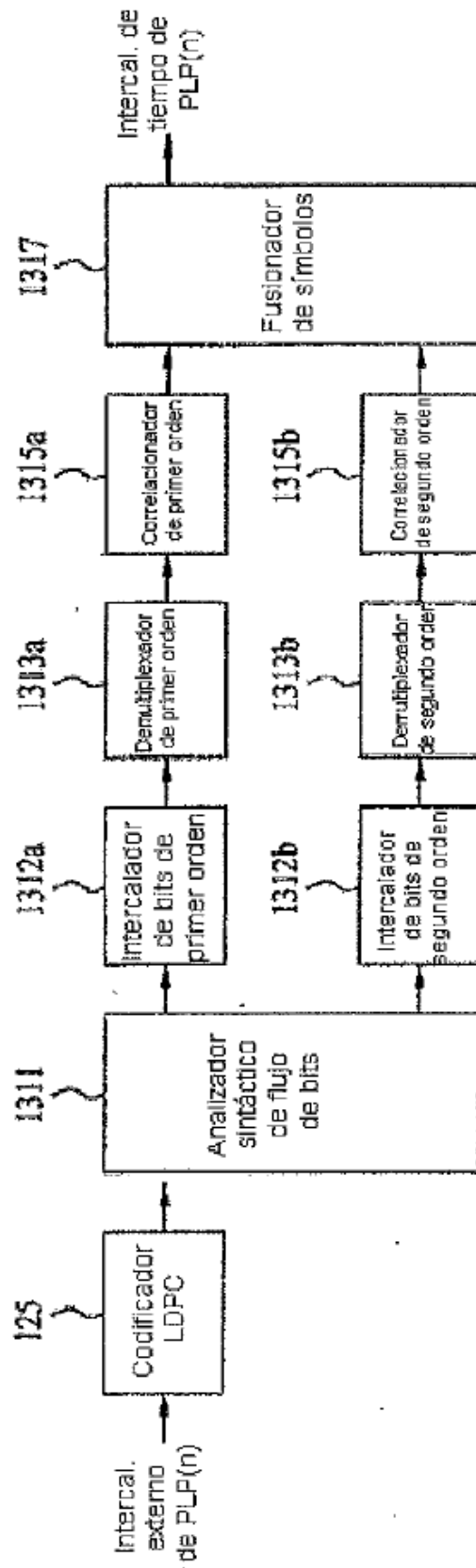
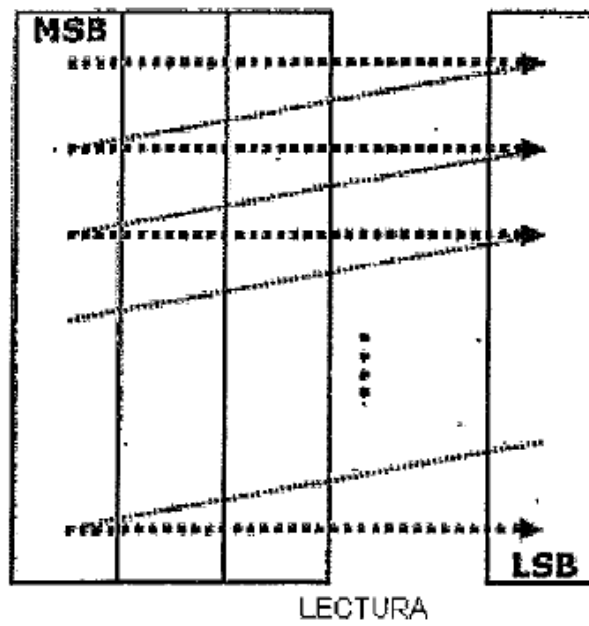
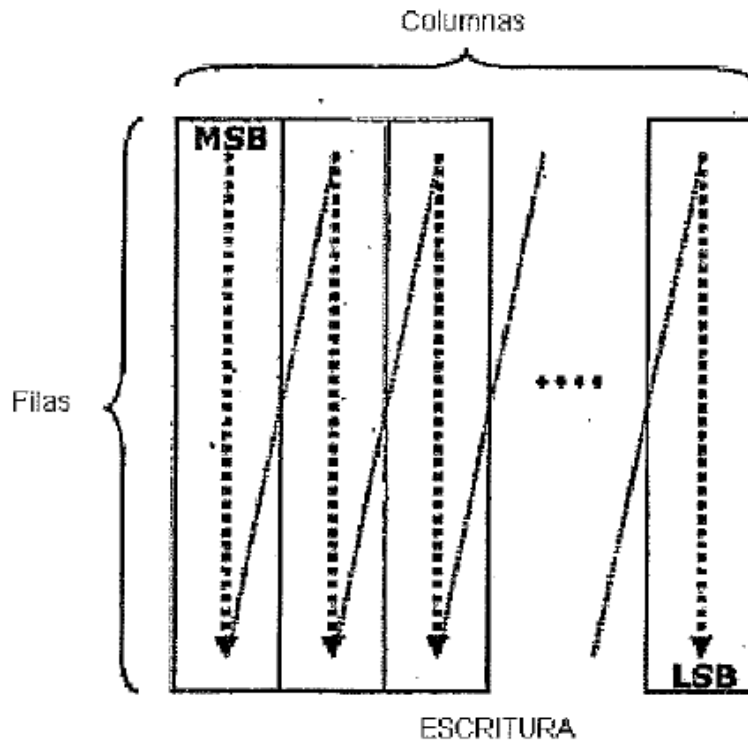


FIG. 12



**FIG. 13**

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	8100	8		
128-QAM hfb.	4860	8	4320	6
64-QAM	10800	6		
32-QAM hfb.	6480	6	6480	4
16-QAM	16200	4		
8-QAM hfb.	10800	4	10800	2
4-QAM	32400	2		

**FIG. 14**

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	2025	8		
128-QAM hfb.	1215	8	1080	6
64-QAM	2700	6		
32-QAM hfb.	1620	6	1620	4
16-QAM	4050	4		
8-QAM hfb.	2700	4	2700	2
4-QAM	8100	2		

FIG. 15

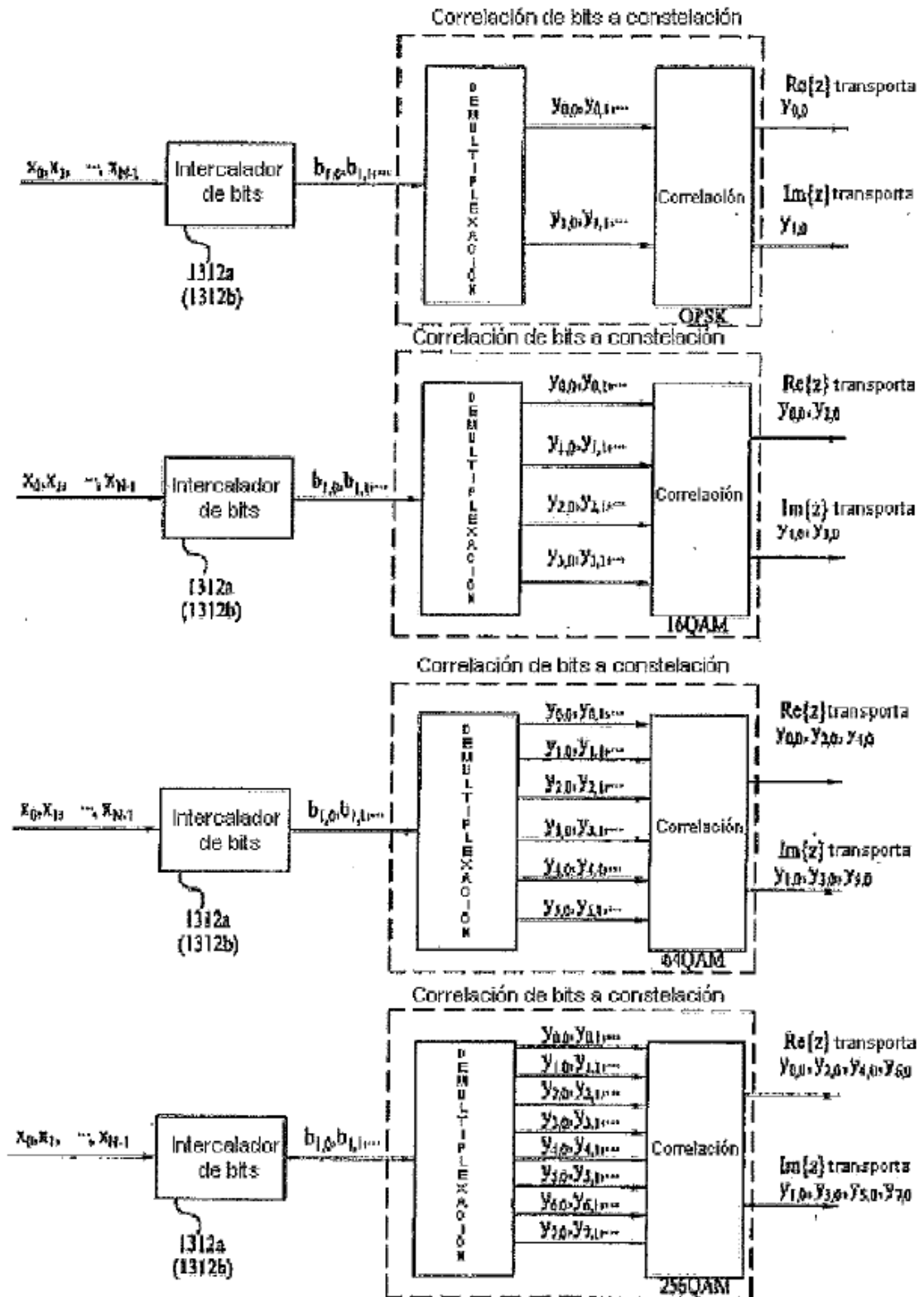


FIG. 16

QPSK
b 0 se correlaciona con $y_{0,0}$
b 1 se correlaciona con $y_{1,0}$

16-QAM
b 0 se correlaciona con $y_{2,0}$
b 1 se correlaciona con $y_{3,0}$
b 2 se correlaciona con $y_{0,0}$
b 3 se correlaciona con $y_{1,0}$

64-QAM
b 0 se correlaciona con $y_{4,0}$
b 1 se correlaciona con $y_{5,0}$
b 2 se correlaciona con $y_{2,0}$
b 3 se correlaciona con $y_{3,0}$
b 4 se correlaciona con $y_{0,0}$
b 5 se correlaciona con $y_{1,0}$

256-QAM
b 0 se correlaciona con $y_{6,0}$
b 1 se correlaciona con $y_{7,0}$
b 2 se correlaciona con $y_{4,0}$
b 3 se correlaciona con $y_{5,0}$
b 4 se correlaciona con $y_{2,0}$
b 5 se correlaciona con $y_{3,0}$
b 6 se correlaciona con $y_{0,0}$
b 7 se correlaciona con $y_{1,0}$



FIG. 18

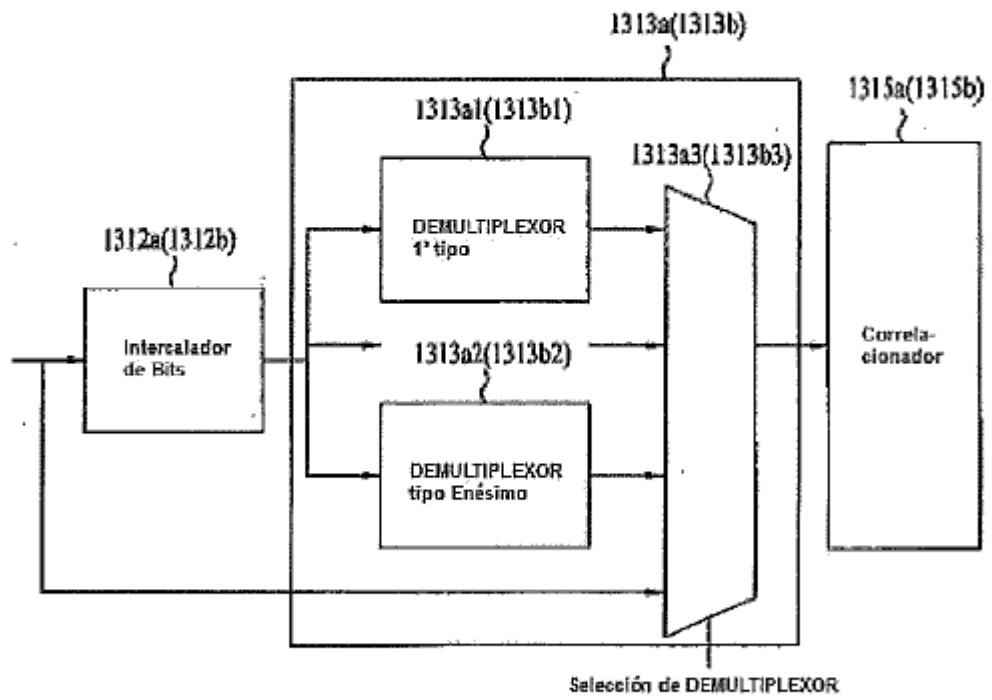




FIG. 19

gam	cr	Selección de DEMULTIPLEXACIÓN
4-gam	1/4	todos
	1/3	todos
	2/5	todos
	1/2	todos
	3/5	todos
	2/3	todos
	3/4	todos
	4/5	todos
	5/6	todos
	8/9	todos
9/10	todos	
16-gam	1/4	Sin int. - Sin demultiplex.
	1/3	Sin int. - Sin demultiplex.
	2/5	Sin int. - Sin demultiplex.
	1/2	Sin int. - Sin demultiplex.
	3/5	9, 10 ó 12
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
64-gam	1/4	Sin int. - Sin demultiplex.
	1/3	Sin int. - Sin demultiplex.
	2/5	Sin int. - Sin demultiplex.
	1/2	Sin int. - Sin demultiplex.
	3/5	9, ó 10
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
256-gam	1/4	Sin int. - Sin demultiplex.
	1/3	Sin int. - Sin demultiplex.
	2/5	Sin int. - Sin demultiplex.
	1/2	Sin int. - Sin demultiplex.
	3/5	9
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	

FIG. 20

QPSK :  $i = 0, 1, 2, \dots, \frac{N}{2} - 1,$

$$(y_{0,i}, y_{0,i}) = (x_i, x_{N/2+i}),$$

16-QAM :  $i = 0, 1, 2, \dots, \frac{N}{4} - 1,$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}) = \left\{ \frac{x_{2N+i}}{4}, \frac{x_{3N+i}}{4}, x_i, \frac{x_{N+i}}{4} \right\}$$

64-QAM :  $i = 0, 1, 2, \dots, \frac{N}{6} - 1,$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}) = \left\{ \frac{x_{4N+i}}{6}, \frac{x_{5N+i}}{6}, \frac{x_{2N+i}}{6}, \frac{x_{3N+i}}{6}, x_i, \frac{x_{N+i}}{6} \right\}$$

256-QAM :  $i = 0, 1, 2, \dots, \frac{N}{8} - 1,$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}, y_{6,i}, y_{7,i}) = \left\{ \frac{x_{6N+i}}{8}, \frac{x_{7N+i}}{8}, \frac{x_{4N+i}}{8}, \frac{x_{5N+i}}{8}, \frac{x_{2N+i}}{8}, \frac{x_{3N+i}}{8}, x_i, \frac{x_{N+i}}{8} \right\}$$

FIG. 21

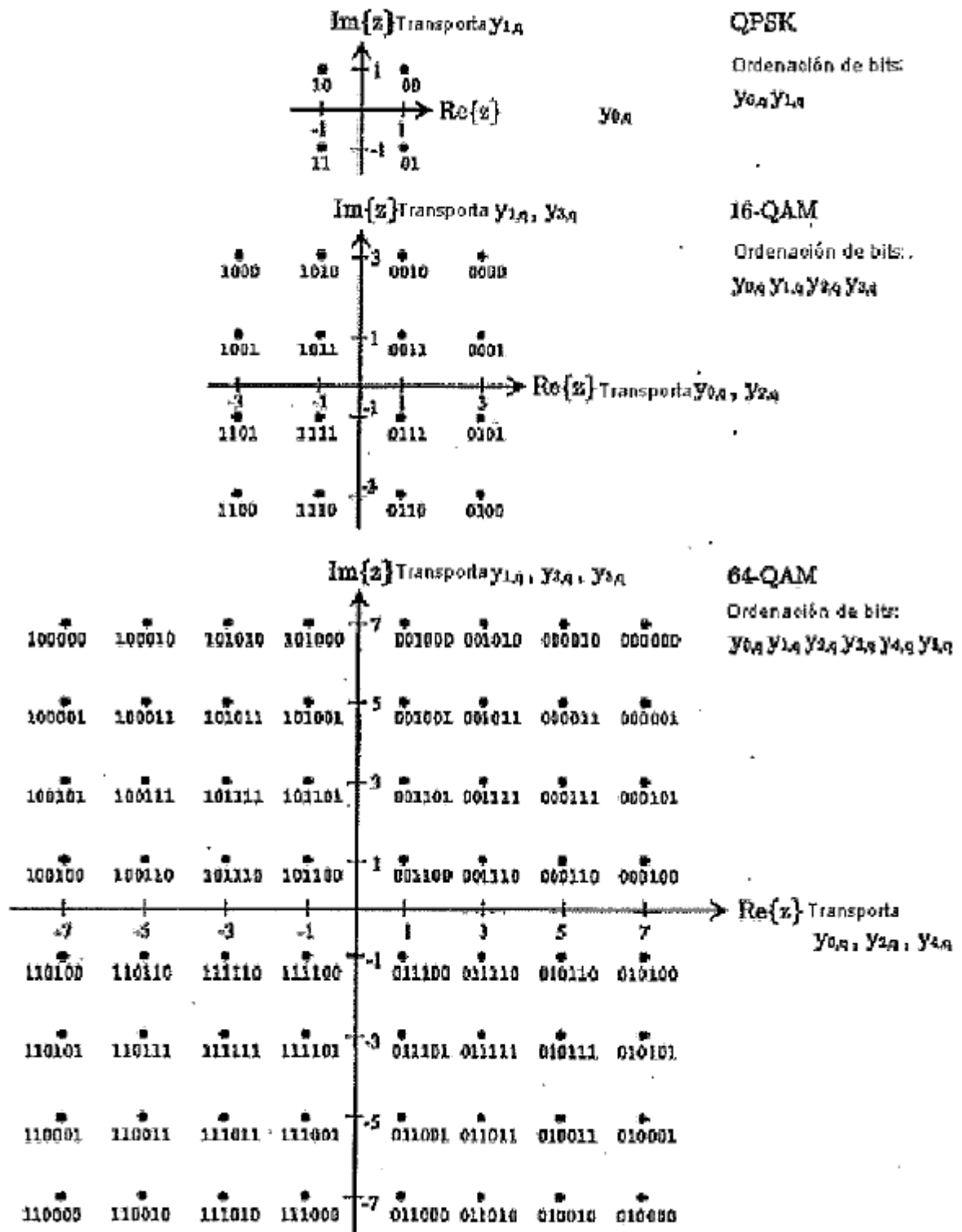


FIG. 22

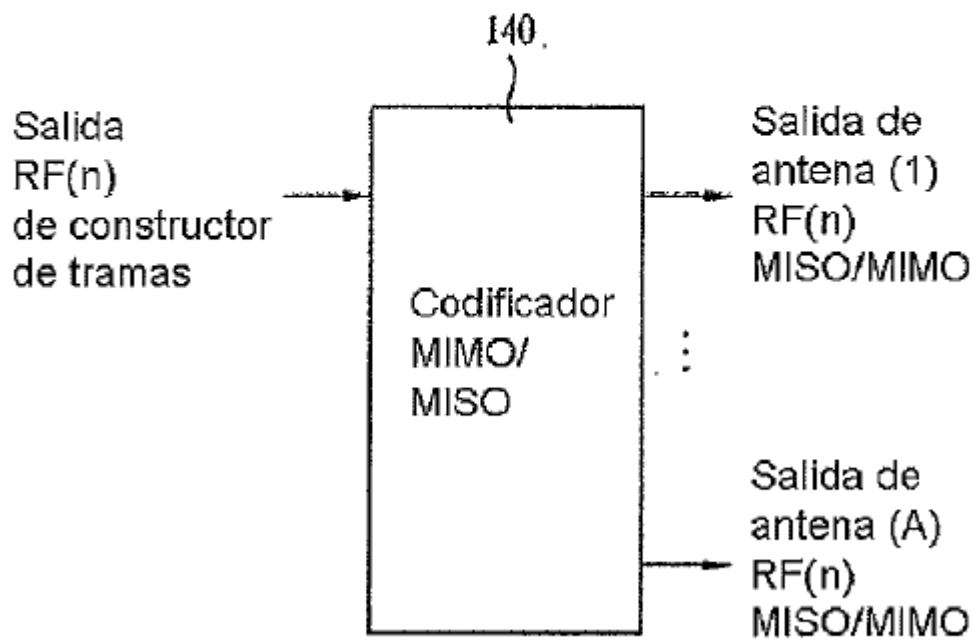


FIG. 23

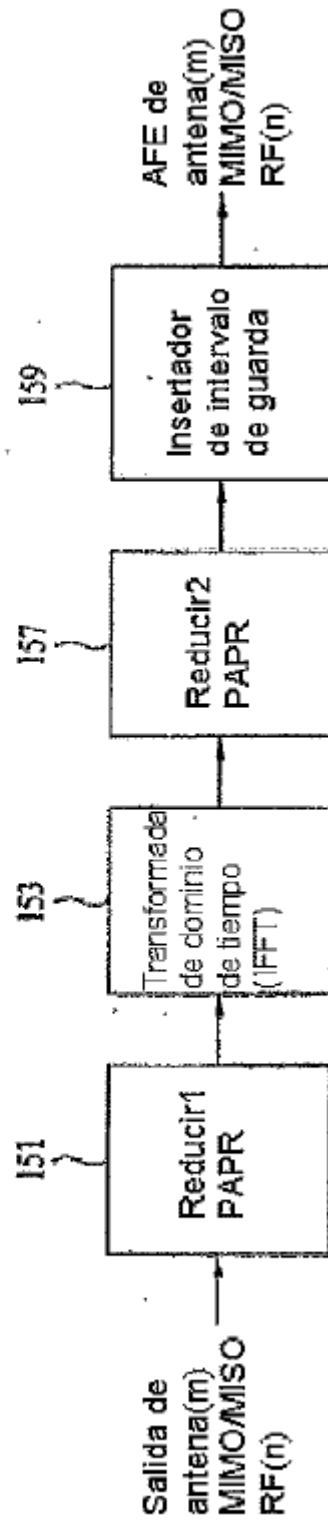


FIG. 24

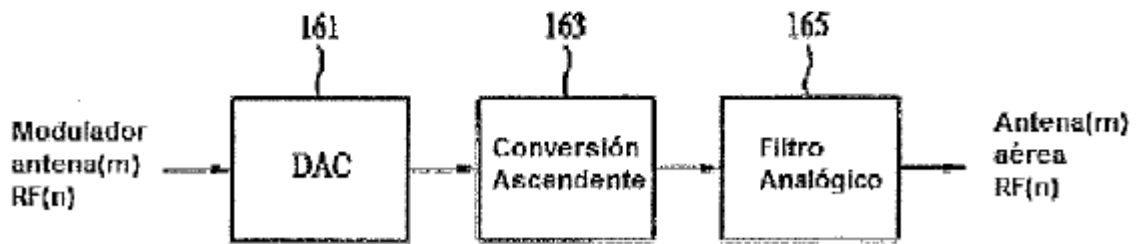


FIG. 25

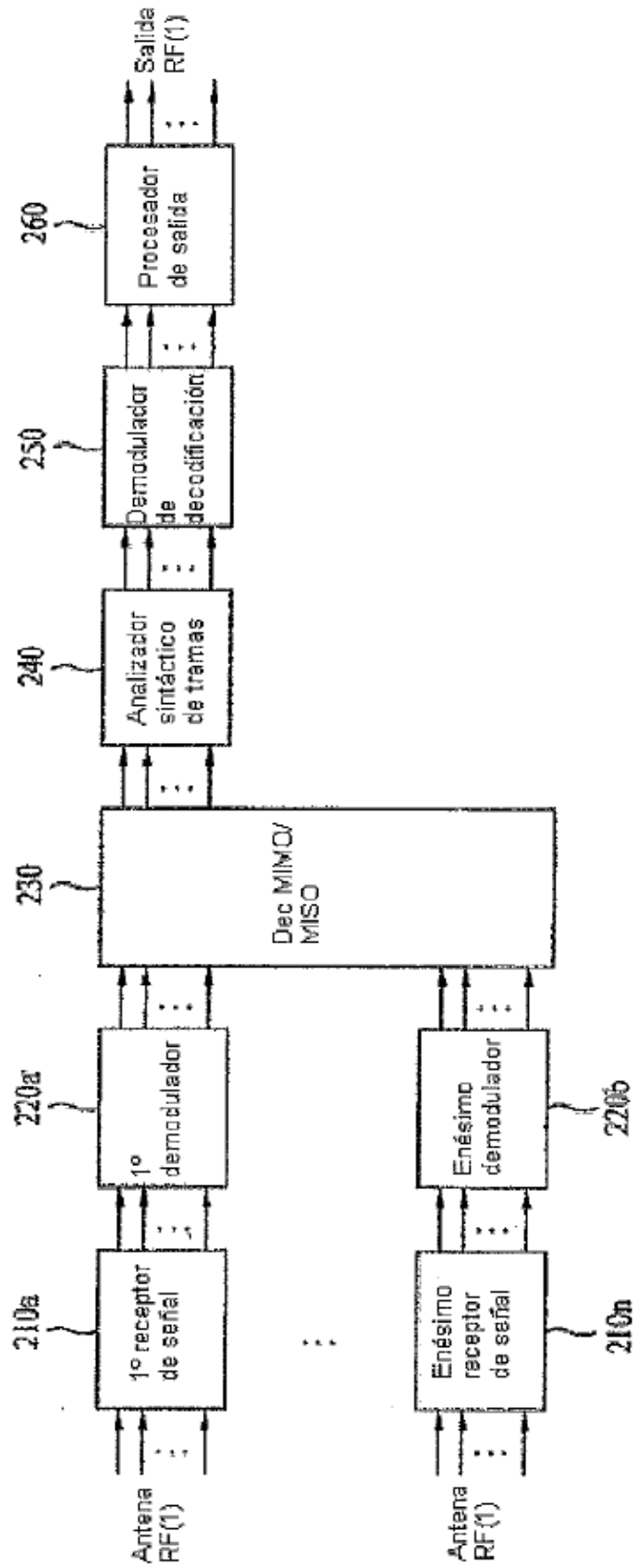


FIG. 26

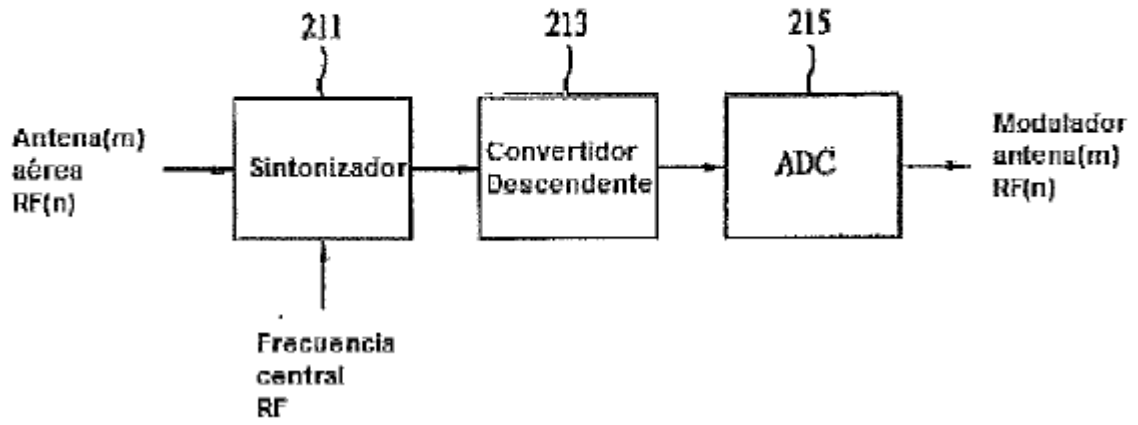




FIG. 27

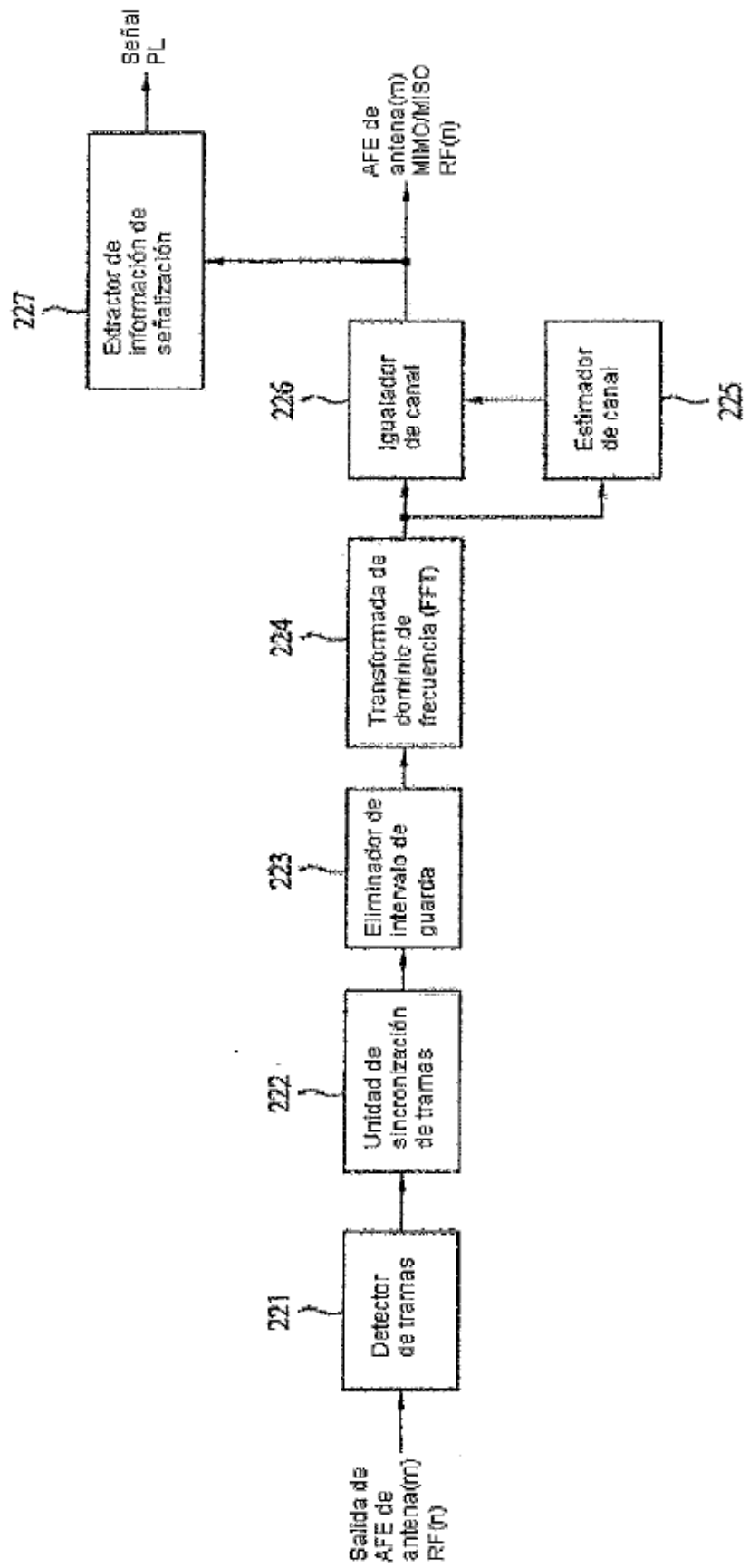


FIG. 28

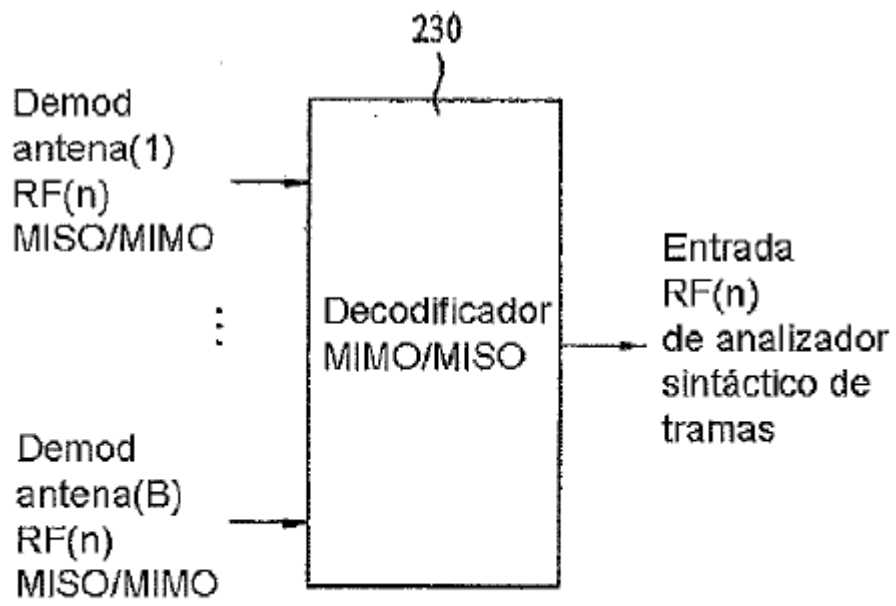


FIG. 29

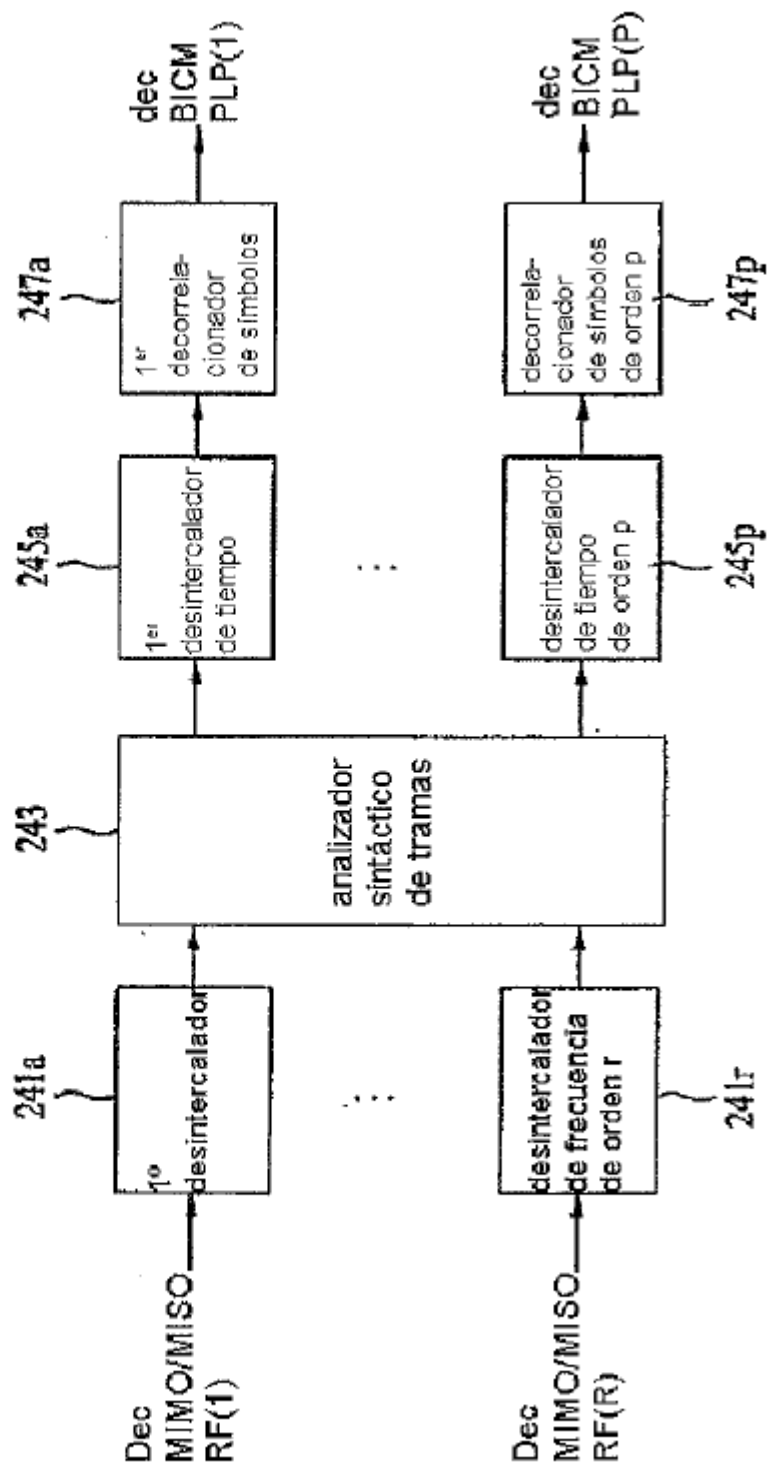


FIG. 30

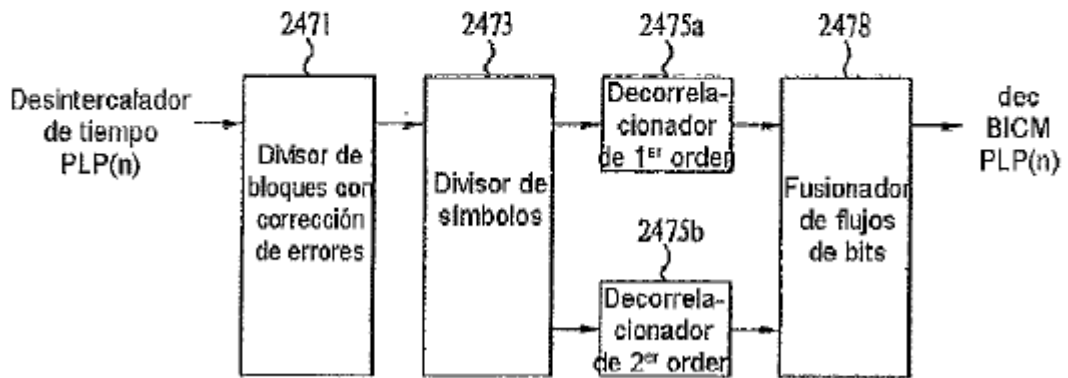


FIG. 31

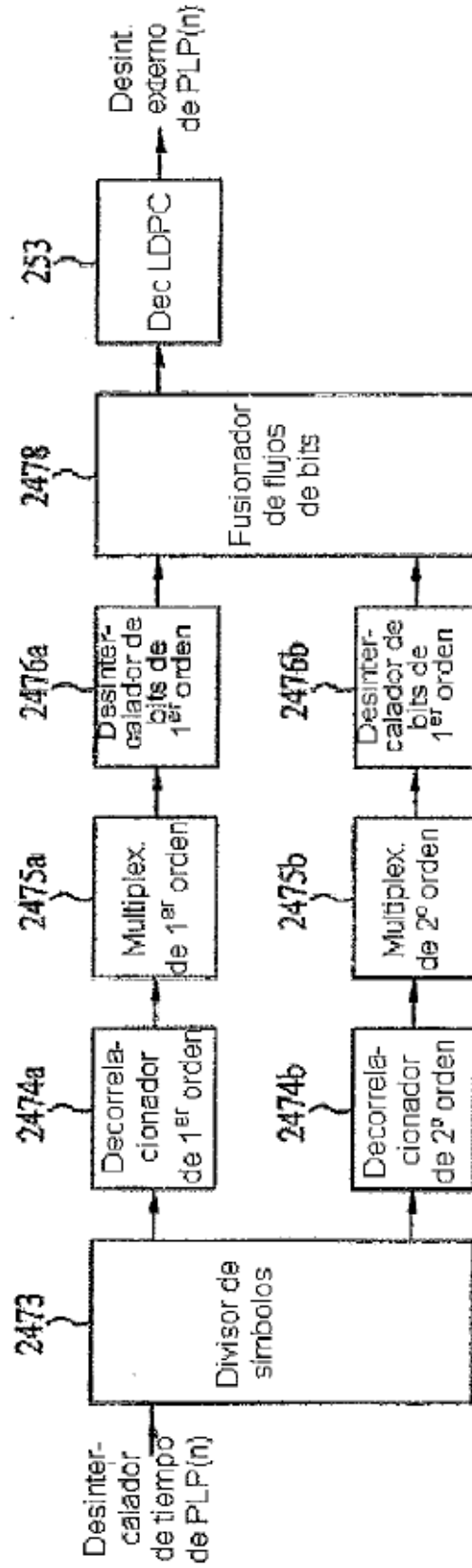


FIG. 32

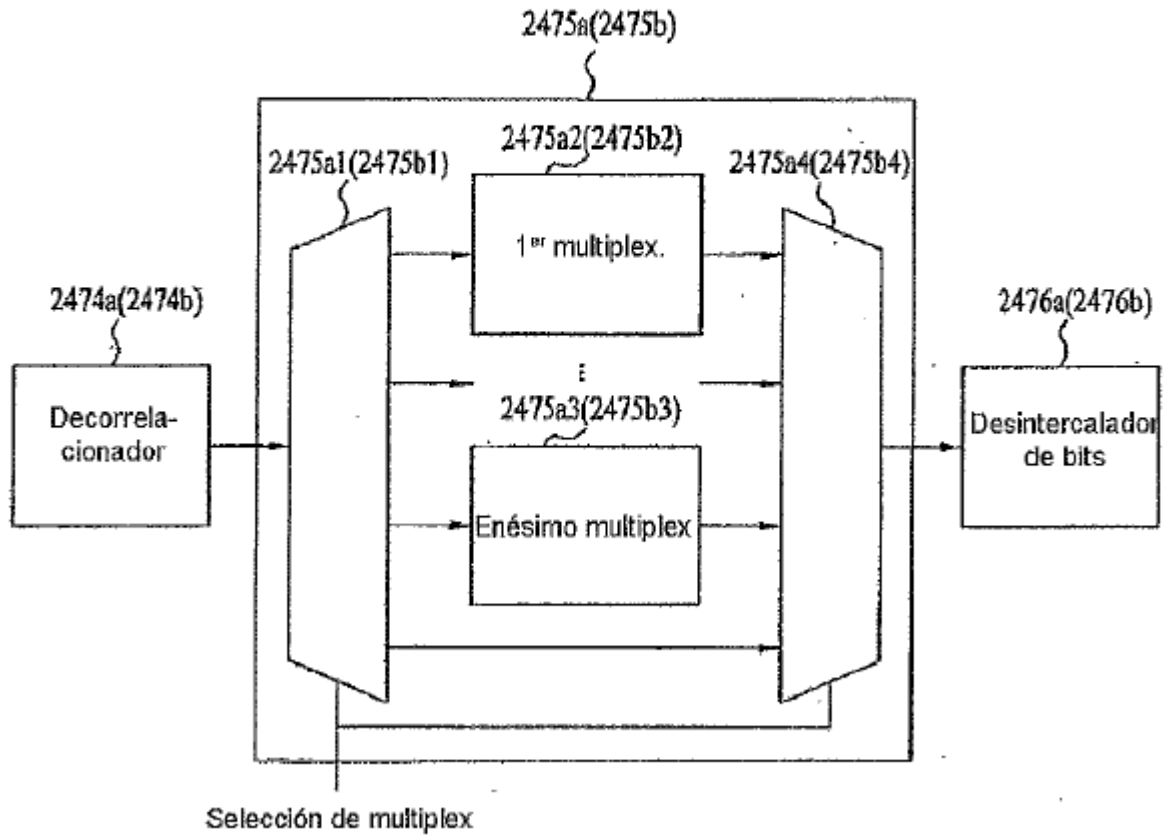


FIG. 33

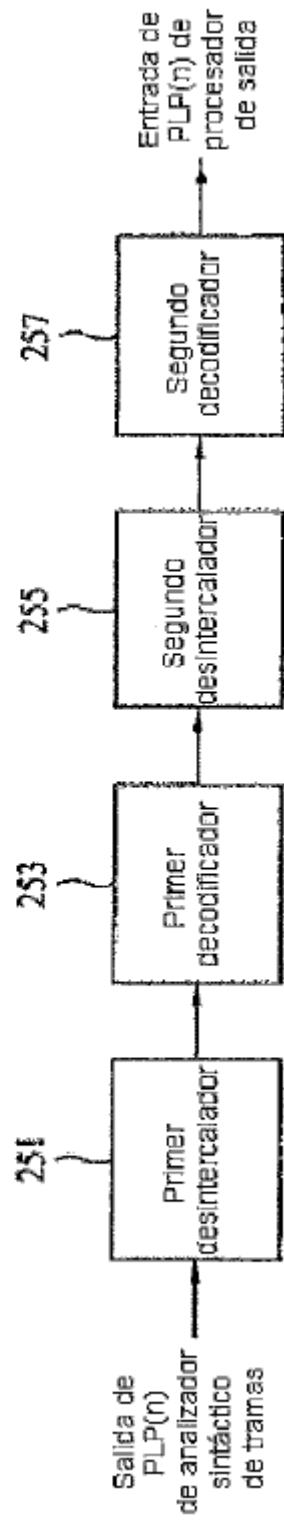


FIG. 34

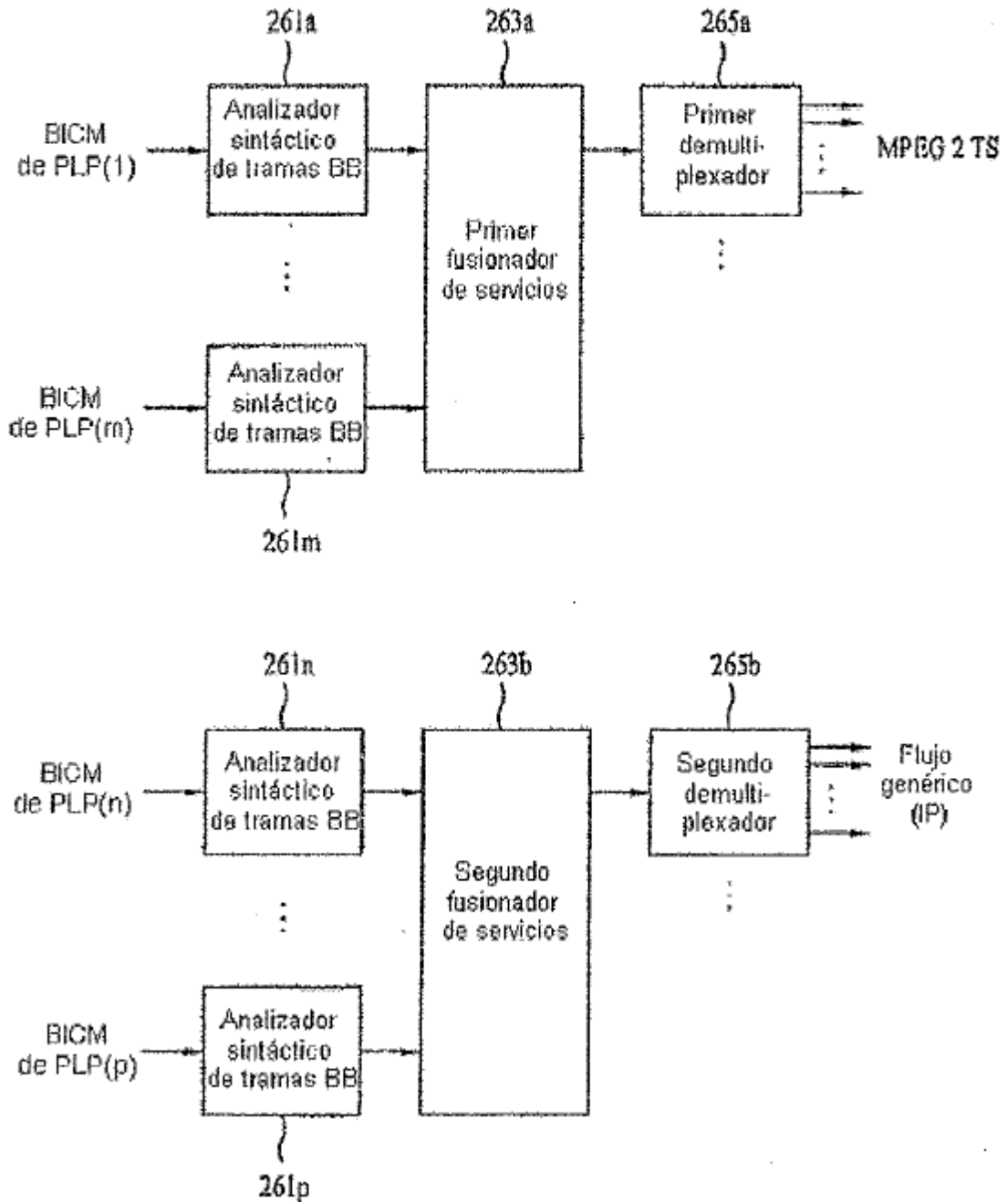




FIG. 35

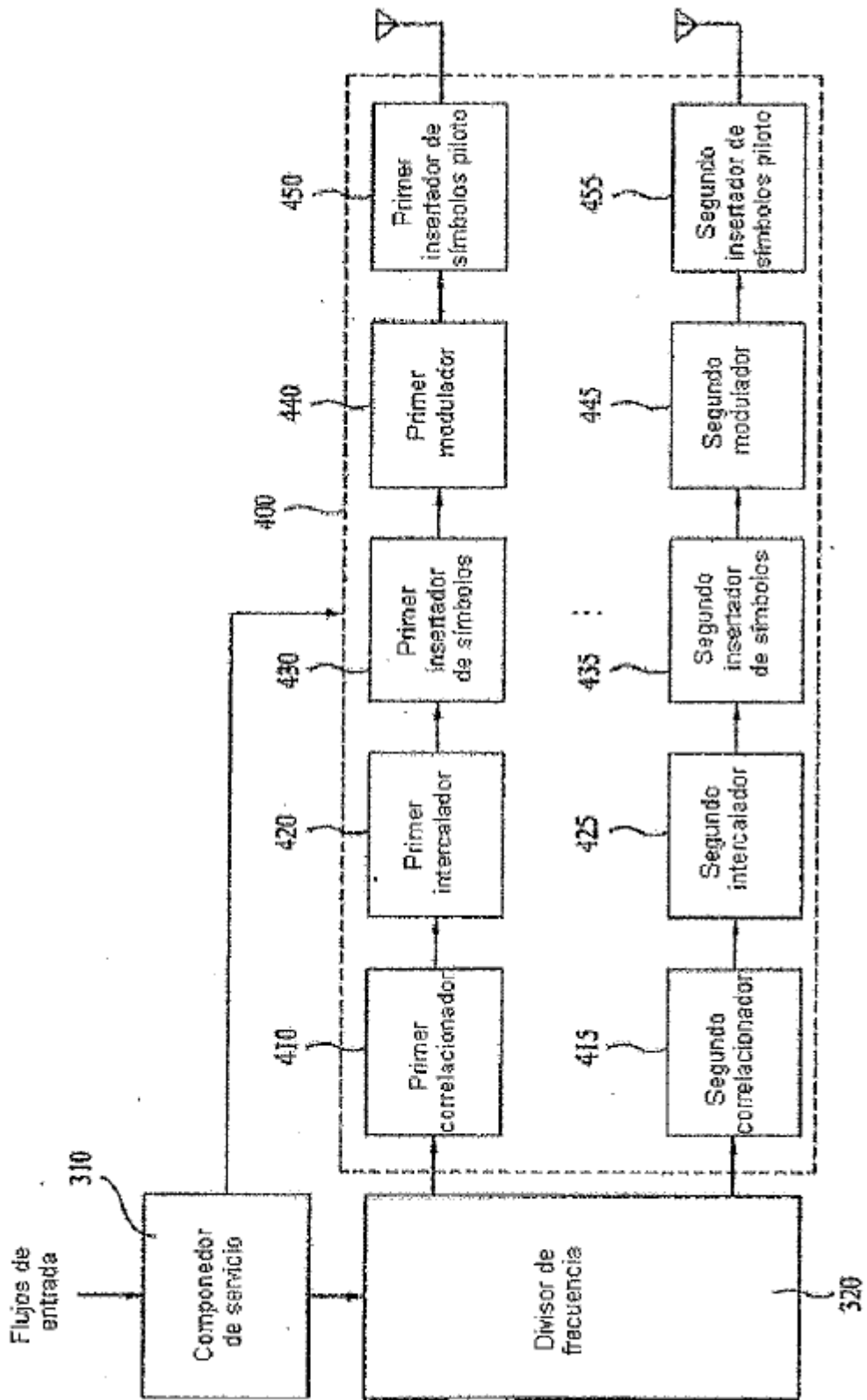


FIG. 36

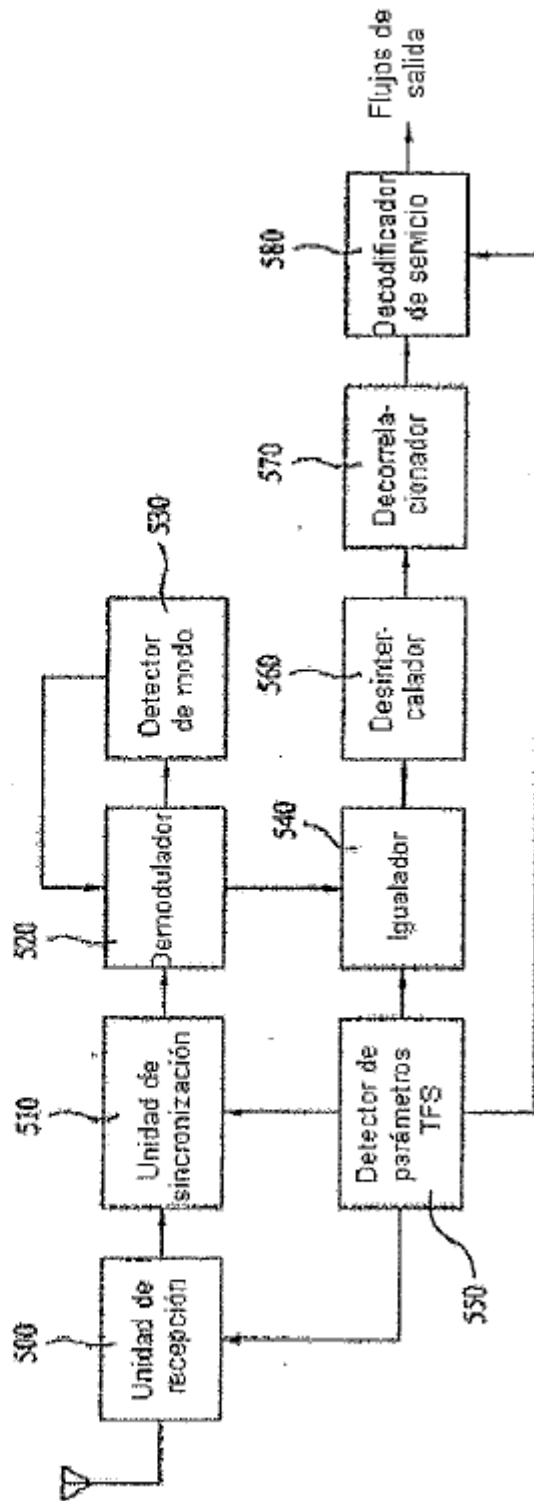


FIG. 37

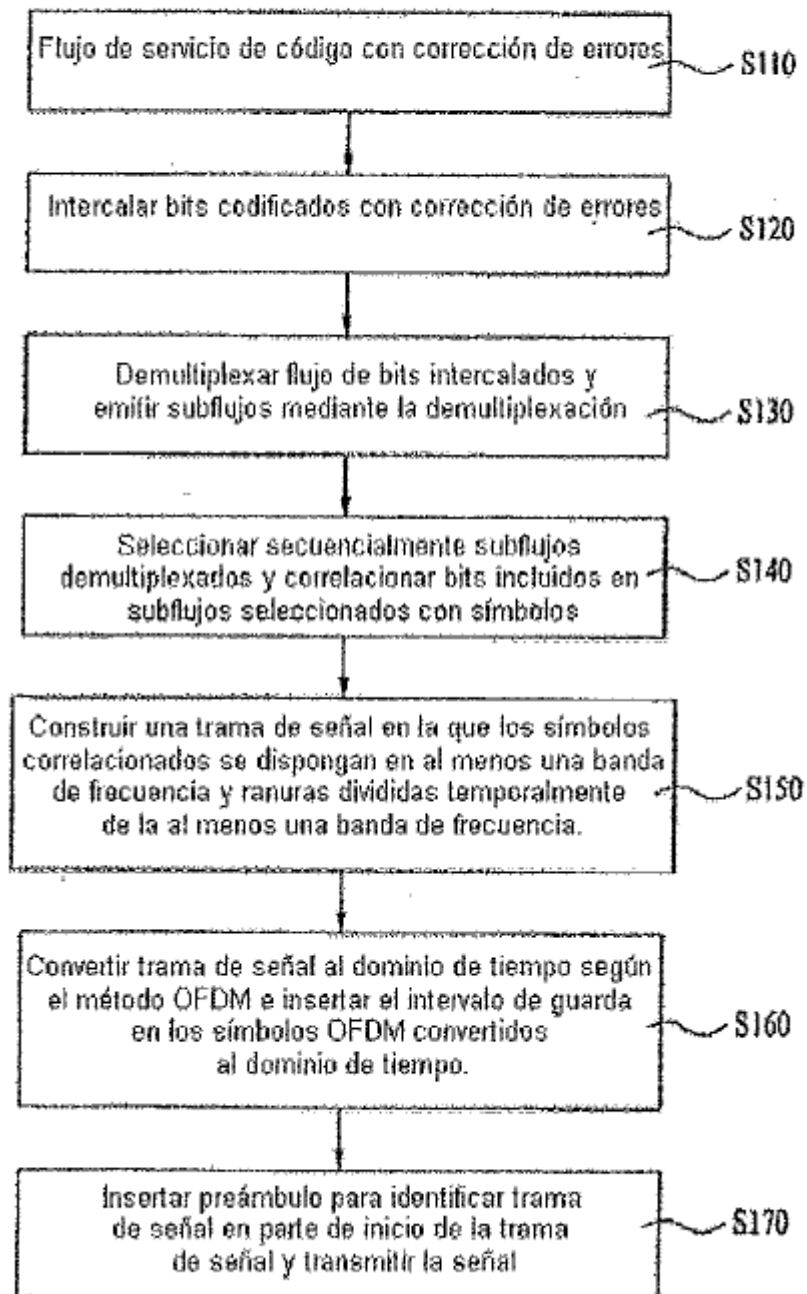


FIG. 38

