(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 410 557**

(51) Int. CI.:

G06F 11/07 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **12.02.2008 E 08101530 (7)**

(97) Fecha y número de publicación de la concesión europea: **06.03.2013 EP 1967951**

(54) Título: **Procedimiento y circuito para detección de bus y recuperación de sistema**

(30) Prioridad:

23.02.2007 TR 200701134

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
02.07.2013

(73) Titular/es:

VESTEL ELEKTRONIK SANAYI VE TICARET A.S. (100.0%)
ORGANIZE SANAYI BÖLGESI
45030 MANISA, TR

(72) Inventor/es:

CETIN, HUSEYIN ERTURK

(74) Agente/Representante:

ARPE FERNÁNDEZ, Manuel

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y circuito para detección de bus y recuperación de sistema

Ámbito de la técnica

[0001] Esta invención se refiere a un procedimiento universal y a un circuito para la detección de actividad de bus y recuperación de sistema, particularmente para sistemas de micro-ordenadores con un bus de comunicación tales como un micro controlador de la placa madre de una televisión.

Estado de la técnica

[0002] Se utilizan marcas internas de registro para detectar la actividad de bus no solo en ordenadores, sino también en productos de electrónica de consumo. Por ejemplo, en un conjunto IDTV, la placa madre y la tarjeta de módulo DVB se comunican utilizando un transmisor-receptor asíncrono universal (UART). En la misma placa madre, el micro-controlador y sus periféricos (sintonizador, procesador de video, etc.) se comunican utilizando un circuito inter-integrado (I^2C).

[0003] Cuando se utiliza un (UART), el micro-controlador tiene una marca de registro dedicada para supervisar la comunicación (UART). Si la comunicación falla, después de que el sistema haya sido restablecido o reiniciado, esta marca se repone y el micro-controlador se comporta de acuerdo a esta marca: restablecer el micro-controlador (DVB), retransmitir el último dato, etc.

[0004] Cuando se utiliza (I^2C), el micro-controlador, como maestro, supervisa sus periféricos y los periféricos se comunican como esclavos los IC (circuitos integrados). Si uno de los periféricos falla en responder al comando maestro, el maestro lo restablece.

[0005] En ambos caso, se asume que el micro-controlador tiene un bloque/registro dedicado a supervisar el bus de comunicación, como puede verse en la figura 1.

[0006] Si el micro-controlador no tiene un parte dedicada (registro/bloque) para supervisar la actividad bus, el sistema no puede detectar el fallo de bus y tomar la acción correcta lo que provoca un colapso completo del sistema.

[0007] Además, también es posible que cuando la comunicación bus falla, el micro-controlador mismo también falle en hacer su trabajo, tales como el de configurar los puertos de entrada-salida para propósitos generales (GPIO). En dicho caso, los periféricos que necesitan manejarse por medio de estos puertos (GPIO), no tienen ni comunicación bus ni acción (GPIO). Esto significa que el sistema se encuentra en un estado de fallo.

[0008] La existencia de fallo en la detección y en el restablecimiento del sistema es conocido a partir del documento US 4434403, donde la señal de sincronismo debe comprobarse periódicamente; mientras que, dentro de sistema anteriormente descrito (al igual que en I^2C) la señal de sincronismo puede no ser continua. La tecnología descrita tampoco es compatible con buses de datos unidireccionales.

[0009] Otro sistema común para superar las condiciones de fallo que ocurren en los sistemas de transmisión de datos es el sistema perro guardián (también denominado “temporizador perro guardián”). El sistema proporciona una protección de software y restablece el software en condiciones de fallo; los fallos debidos a colapsos de hardware no pueden ser corregidos por el sistema de perro guardián.

[0010] El documento US 4811200, describe el sistema de perro guardián en donde el software y/o el hardware se proporciona para supervisar el funcionamiento del sistema e implementar el restablecimiento del micro-procesador en el caso de un funcionamiento no apropiado del sistema. En este documento, los controladores dentro de aquel sistema requieren terminales de respuesta de actividad de bus de datos que no son compatibles con varios tipos de buses, mostrados en la figura 2.

[0011] En el documento de patente US 20060242517, se describe una lógica de supervisión que supervisa la actividad de bus de datos entre el procesador de datos y la memoria del aparato procesador de datos. La lógica de supervisión detecta un dato de acceso particular viajando a través del mencionado bus de datos dentro de un tiempo predeterminado. Dicho tiempo predeterminado se computa a través de un contador de la lógica de supervisión y si no se produce una detección de datos de acceso dentro del tiempo predeterminado, el procesador de datos realiza una operación predeterminada. La lógica y procedimiento revelados en el documento US 2006 0242517, de manera diferente a la presente invención, utiliza un contador para computar un tiempo predeterminado y es utilizada solo para supervisar la actividad bus entre procesador de datos y la memoria. Sin embargo, la presente invención puede utilizarse para cualquier tipo de bus que tenga transmisiones de señal periódicas.

[0012] El documento US 5864656 revela un sistema que supervisa un bus de datos y mide un tiempo de retardo entre dos transferencias de datos consecutivas. Si dicho retardo de tiempo se encuentra por encima de un límite predeterminado se ejecuta un software y un hardware de recuperación.

[0013] Como conclusión, los sistemas de la técnica anterior requieren bloques/registros especializados dentro del micro-controlador para generar una interrupción. Los sistemas existentes para la detección de fallos y la corrección para buses de datos no son compatibles con todo tipo de sistemas de bus. El micro-ordenador principal es responsable de otros periféricos, pero los fallos completos de sistema ocurren cuando el micro-controlador y el periférico fallan al comunicarse.

Resumen de la invención

[0014] De acuerdo con la presente invención, el circuito de detección de fallo de actividad de bus universal y restablecimiento comprende:

- medios para establecer una constante de tiempo para detección de fallo a partir de datos de entrada referidos a un periodo de datos del bus y,

- medios de detección para detectar para detectar un estado de actividad o de inactividad en dicho bus, generando dichos medios de detección una salida de reposición a partir de dicha constante de tiempo y dicha condición de inactividad.

[0015] De forma preferida el circuito comprende adicionalmente medios para determinar dicho periodo de tiempo del bus, enviando dichos datos de entrada a los mencionado medios de establecimiento de la constante de tiempo.

[0016] De manera preferida, los medios para determinación de una constante de tiempo seleccionan un valor de constante de tiempo de entre una pluralidad de diferentes valores de constante de tiempo dados.

[0017] De forma preferida, los medios de detección mencionados comprenden un circuito de entrada que determina un valor medio de corriente continua de una señal de datos en dicho bus; un circuito de detección de actividad que recibe en la entrada dicho valor medio a través de dicha constante de tiempo, a fin de generar dicha salida de reposición cuando dicho valor medio es indicativo de inactividad en dicho bus.

[0018] De manera preferida, dicho valor medio indicativo de inactividad en dicho bus determina la condición de conductividad de medios de diodo que cambian el nivel de salida de dicho circuito de detección de actividad a través de dicha constante de tiempo para así generar dicha salida de reposición como un estado de conmutación de dicho circuito de detección de actividad.

[0019] Preferiblemente, el procedimiento comprende además una etapa de determinación de dichos datos de entrada relativos periodo de datos del bus.

[0020] La presente invención proporciona un sistema de detección y corrección que ofrece ventajas sobre el estado de la técnica. Ofrece detección de fallo de bus universal y corrección de sistema para colapso de sistema que es aplicable a todo tipo de buses que tengan transmisión de datos periódica. También, para generar una interrupción en el micro-controlador no se requieren registros/bloques especializados de tipo alguno. Además, la invención no solo ofrece soluciones al colapso de software sin que también resuelve colapsos de hardware.

Objecto de la invención

[0021] El objeto de la invención es proporcionar un procedimiento y circuito universales para actividad de bus y un sistema de recuperación mediante supervisión de forma externa de la señal de bus, detectando tipo de bus, estableciendo constantes de tiempo por tipos de buses y generación de una señal de salida para los terminales de interrupción/reposición del mircro-controlador y/o del ICs periférico en una condición de fallo.

[0022] Un objeto adicional de la invención es un procedimiento de restablecimiento y detección de fallo de actividad de bus universal, que comprende la etapas de: determinar una constante de tiempo para detección de fallo a partir de datos de entrada relativos a un periodo de datos de bus; detectar una condición actividad o inactividad en dicho bus, generando los mencionados medios de detección una salida de reposición a partir de dicha constante de tiempo y dicha condición de inactividad.

[0023] La invención también tiene como objetivo proporcionar un sistema de corrección y detección que de soluciones al colapso del software y que también resuelva colapsos basados en hardware sin requerir registros/bloques especializados en el micro-controlador para generar una interrupción.

Descripción de los dibujos

[0024] La invención se ilustra en las figuras adjuntas, en las que:

La figura 1 es un diagrama de bloques explicativo que muestra un micro-controlador supervisando el bus de comunicación.

La figura 2 es un diagrama de bloques esquemático que muestra un sistema perro de guardián de micro-procesador múltiple.

La figura 3 es un diagrama de bloques explicativo que muestra un circuito compuesto de cinco diagramas de bloques generales.

La figura 4 es un diagrama de bloques explicativo que muestra una realización de un detector del periodo bus.

La figura 5 es un diagrama de bloques explicativo que muestra la arquitectura interior de los bloques marcados (B)

La figura 6 es un diagrama de bloques explicativo que muestra un sistema de la invención donde el periodo es seleccionado para ser un segundo para aplicaciones prácticas.

La figura 7a es un diagrama gráfico que muestra los valores medidos donde el emisor de (Q1) sigue la señal de entrada.

La figura 7b es un diagrama grafico que muestra los valores medidos donde el emisor de (Q2) sigue la base.

La figura 7c es un diagrama gráfico que muestra los valores medidos donde el colector de (Q3) sigue de forma inversa la señal de entrada.

La figura 7d es un diagrama gráfico que muestra un ejemplo de fallo de bus.

Descripción de la invención

[0025] El circuito y el procedimiento de la presente invención puede funcionar para todo sistema que tenga un micro-controlador con un puerto de interrupción/reposición y un bus de comunicación.

[0026] De acuerdo con la invención, el circuito está básicamente compuesto de cinco diagramas de bloques generales como se ilustra en la figura 3.

[0027] La tarea principal de la presente invención es detectar el periodo de protocolo de transferencia de datos utilizado, y posteriormente ajustarlo por medio del establecimiento de la constante de tiempo para detección de fallo en el bus en cuestión, y tomar acciones en caso de condición de error.

[0028] Al tener constantes de tiempo ajustables dentro del sistema de detección de error y corrección, el sistema particular puede ser utilizado en sistemas que tengas diferentes periodos para intervalos de transferencia de datos (tales como UART y I^2C).

[0029] En la figura 3, el primer bloque es un circuito seguidor de emisor que es utilizado como una memoria intermedia de entrada. El objetivo de utilizar una memoria intermedia de entrada es hacer evaluaciones de las señales de bus de datos sin corromperlos. El segundo bloque que es denominado una “medición de promedio” toma el promedio de corriente continua de la señal entrante. Este valor promedio es utilizado para controlar el transistor del bloque siguiente. El tercer bloque que es denominado “memoria intermedia de salida” se utiliza para almacenamiento intermedio e inversión de la señal entrante. El cuarto bloque proporciona una salida (baja [nivel bajo] o alta [nivel alto]) de acuerdo con la señal de entrada. El bloque marcado con (A) proporciona el ajuste de la invención a cualquier tipo de bus de datos que utilice señales periódicas.

[0030] Después de detectar el periodo de bus, la invención permite a uno de los bloques marcados (B) establecer una constante de tiempo dinámica para sistemas de detección de fallo de bus. El bloque B tiene diferentes valores de resistencia. La realización de los bloques marcados con (A) se ilustra en la figura 4 donde, de acuerdo con las actividades periódicas de bus, se habilita uno de los valores de resistencia en el interior de los bloques marcados con (B) y se establece un circuito de detección de fallo de bus universal.

[0031] Como se ilustra anteriormente, los bloques marcados con (B) tienen diferentes valores de resistencia para establecer un circuito de detección y corrección de fallo de bus aplicable a todo tipo de buses. La arquitectura interior de los bloques B se ilustra en la figura 5.

[0032] En un sistema de comunicación y transmisión de datos, la señal de bus de entrada activa generalmente es baja, por ejemplo, en caso de fallo, el nivel de tensión de bus permanece en estado alto (en reposo). En este procedimiento se asume una periodicidad en la señal de bus. Por ejemplo, un micro-controlador de TV transmite una señal SCL en la línea I^2C cada t segundos.

[0033] En la figura 6 se representa un establecimiento de la invención donde el periodo t es seleccionado para ser 1 segundo para aplicaciones prácticas.

[0034] El principio de la invención será explicado etapa a etapa con los valores medidos.

[0035] En la figura 7a, el emisor (Q1) sigue la señal de entrada, donde los valores (C1) y (R4) determinan la constante de tiempo.

[0036] Dentro de la etapa siguiente el emisor de (Q2) puede ahora llevar al transistor (Q3) a estado de conducción o a estado de corte; la medición se muestra en la figura 7b.

[0037] Los valores altos en el colector de (Q3), llevarán a estado de conducción al diodo (D1). (C2) y los valores de resistencia en los bloques marcados con (B) en la figura 6, determinan la constante de tiempo para la detección de actividad de bus. La medición se muestra en la figura 7c.

[0038] En esta realización, la constante de tiempo es ajustada de forma manual y las figuras 7a, 7b, 7c y 7d están esbozadas debido a este hecho; pero las características de la invención varían los valores de resistencia para diferentes tipos de bus y establecen un sistema dinámico de detección y corrección de fallo de bus para todo tipo de buses que tengan trasmisiones de señal periódicas. El bloque marcado con (A) representado en la figura 4 está acoplado al bus para detección de la constante de tiempo, y los bloques marcados con (B) varían los valores de resistencia para establecer un sistema dinámico de detección de fallo de bus y corrección.

[0039] En caso de error, los valores altos en el colector de (Q3) harán conducir al diodo (D1). Como se observa a partir de la figura 4, en una condición de fallo el sistema detecta un fallo y responde con una salida. La salida de la invención debería acoplarse para restablecer el circuito de micro-procesador o de periférico. En la figura 7d, se muestra un ejemplo de fallo de bus.

[0040] De acuerdo con la primera realización de la presente invención, el circuito de detección y restablecimiento de fallo de actividad de bus universal comprende: medios (C2, B1...Bn) para ajustar la constante de tiempo para detección de fallo a partir de unos datos de entrada relacionados con dicho periodo de dato; medios de detección (Q1, Q2, Q3, Q4) para detectar una condición de actividad o inactividad en dicho bus, generando dichos medios de detección, una salida de reposición a partir de la mencionada constante de tiempo y dicha condición de inactividad.

[0041] De forma preferida el circuito además incluye medios (BLOQUE A) para determinar dicho periodo de datos de el bus.

[0042] De forma preferida, dichos medios (C2, B1...Bn) para determinar una constante de tiempo, seleccionan un valor de entre una pluralidad de diferentes valores de constate de tiempo dados (B1...Bn).

[0043] De acuerdo con la segunda realización de la presente invención, el circuito de detección y restablecimiento de fallo de actividad de bus universal, comprende medios (BLOQUE A) para determinar el periodo de datos del bus; medios (C2, B1... Bn) para determinar una constante de tiempo para detección de fallo a partir de de dicho periodo de datos; medios de detección (Q1, Q2, Q3, Q4) para detectar una condición de actividad o inactividad en dicho bus, generando dichos medios de detección, una salida de reposición a partir de dicha constante de tiempo y dicha condición de inactividad.

[0044] Preferiblemente, dichos medios de detección comprenden un circuito de entrada (Q1, Q2, Q3) que determina un valor medio de la señal de datos en dicho bus; y un circuito de detección de actividad (Q4) que recibe en la entrada de dicho valor medio a través de dicha constante de tiempo, a fin de generar dicha salida de reposición cuando dicho valor medio es indicativo de la no actividad en dicho bus.

[0045] De forma más preferida, dicho valor promedio indicativo de inactividad en dicho bus determina la condición de conductividad de medios de diodo (D1) que cambian el nivel de salida de dicho circuito de detección de actividad (Q4) a través de dicha constante de tiempo, para así generar dicha salida de reposición como un estado de conmutación de dicho circuito de detección de actividad (Q4).

[0046] Por tanto, la invención además comprende procedimiento de detección y restablecimiento de fallo de actividad de bus universal que incluye las etapas de: determinar una constante de tiempo para la detección de fallo a partir de unos datos de entrada referidos a un periodo de datos del bus; detectar una condición de actividad o inactividad de dicho bus, generando dichos medios de detección una salida de reposición a partir de dicha constante de tiempo y de dicha condición de inactividad.

[0047] De forma preferida el procedimiento comprende además un etapa de determinación de dichos datos de entrada referidos al citado periodo de datos del bus.

REIVINDICACIONES

1. Circuito para detección y restablecimiento de actividad de bus para circuitos inter-integrados que comprende:

- medios ajustados manualmente (C2, B1, B2, Bn) para establecer una constante de tiempo que selecciona un valor constante de tiempo de entre una pluralidad de diferentes valores de constante de tiempo dados (B1, B2, Bn);

- medios de detección (Q1, Q2, Q3, Q4) para detectar un estado de actividad o de inactividad en dicho bus, comprendiendo un circuito de entrada (Q1, Q2 y Q3) que determina un valor medio de corriente continua de una señal de datos en dicho bus de conexión de circuitos inter-integrados y un circuito de detección de actividad (Q4) que genera una salida de reposición cuando dicho valor medio de corriente continua, indica inactividad en dicho bus para un tiempo definido por dicha constante de tiempo establecida, donde dicho circuito de entrada comprende:

- un circuito seguidor de emisor (Q1) que es utilizado como memoria intermedia de entrada;

- un bloque de medición de media que toma la media de corriente continua de la señal de datos;

- una memoria intermedia de salida (Q3) que pone en memoria intermedia e invierte la señal cuya media de corriente continua ha sido tomada, donde valores altos en un colector de transistor de dicha memoria intermedia de salida (Q3) activan un diodo (D1) y cargan un condensador (C2); donde la carga y descarga de dicho condensador (C2) son dos funciones temporales con dicha constante de tiempo ajustada como parámetro;

- y donde dicho circuito de detección de actividad comprende un cuarto bloque que genera dicha salida de reposición como señal alta o baja de acuerdo con una tensión de dicho condensador (C2); y

- un puerto de salida de reposición para entregar como salida dicha señal de salida de reposición.

2. Procedimiento para detección y restablecimiento de actividad bus para un bus de conexión de circuitos inter-integrados caracterizado por que comprende las siguientes etapas:

- ajustar manualmente una contante de tiempo mediante la selección de un valor de constante de tiempo de entre una pluralidad valores de constante de tiempo dados;

- determinar una valor medio de corriente continua de una señal de datos en dicho bus de conexión de circuitos inter-integrados;

- detectar un estado de actividad o de inactividad para un periodo definido por dicha constante de tiempo ajustada en dicho bus de conexión de circuitos inter-integrados en relación a dicho valor medio de corriente continua determinado; generar un salida de reposición a partir de dicha constante de tiempo cuando el valor medio de corriente continua es indicativo de inactividad en dicho bus.

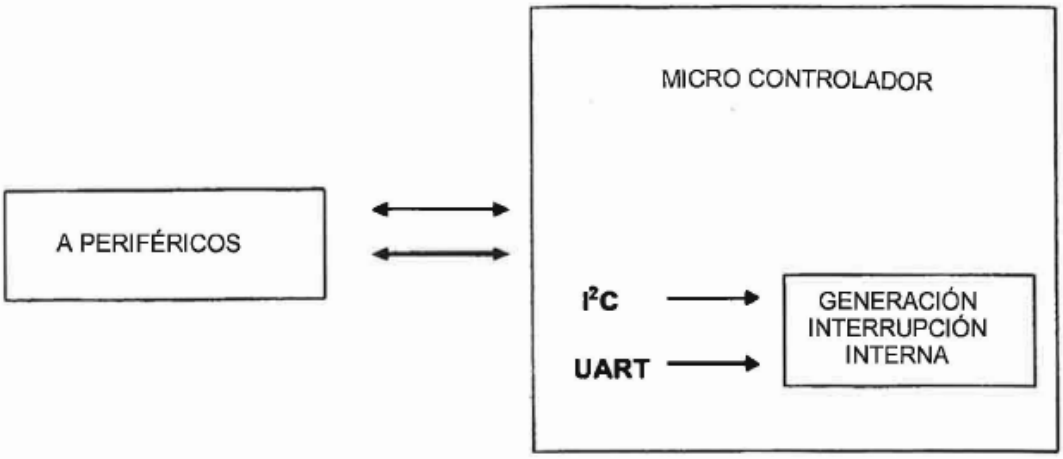

Figura - 1

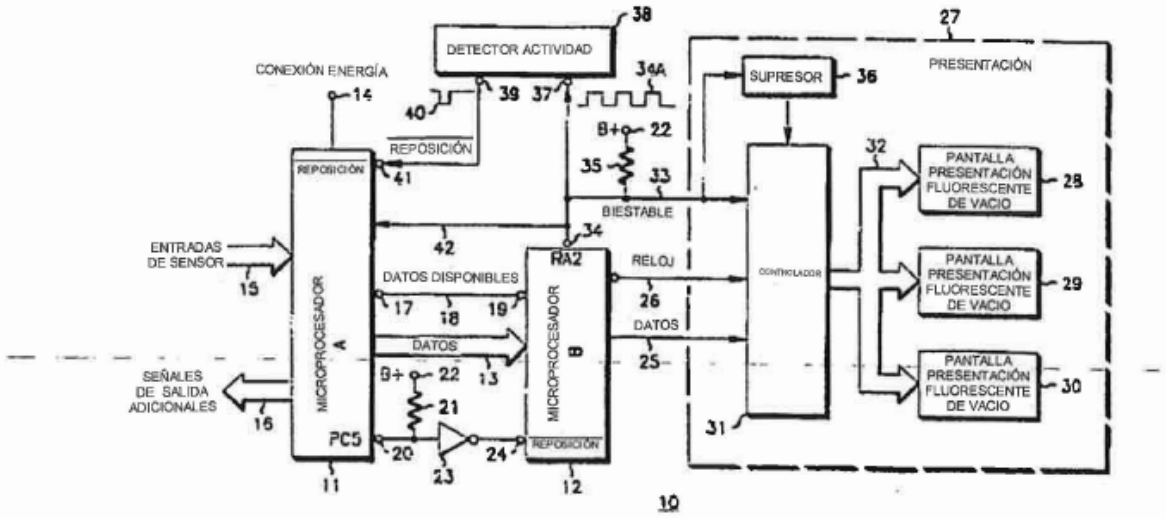

Figura – 2

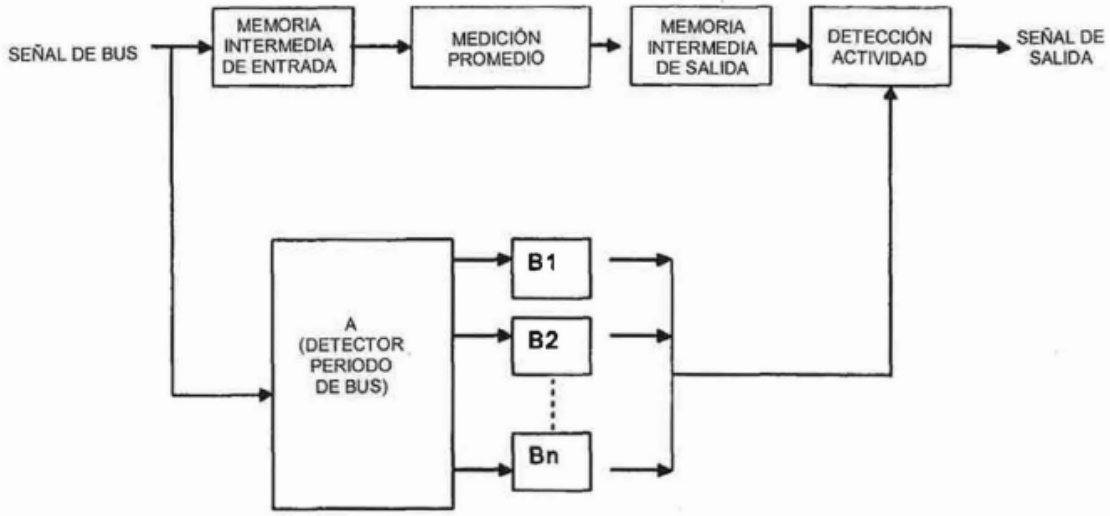

Figura - 3

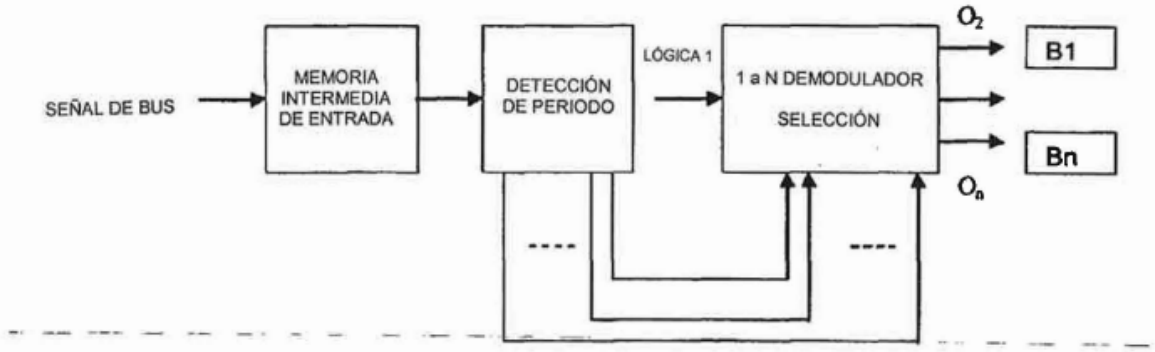

Figura - 4

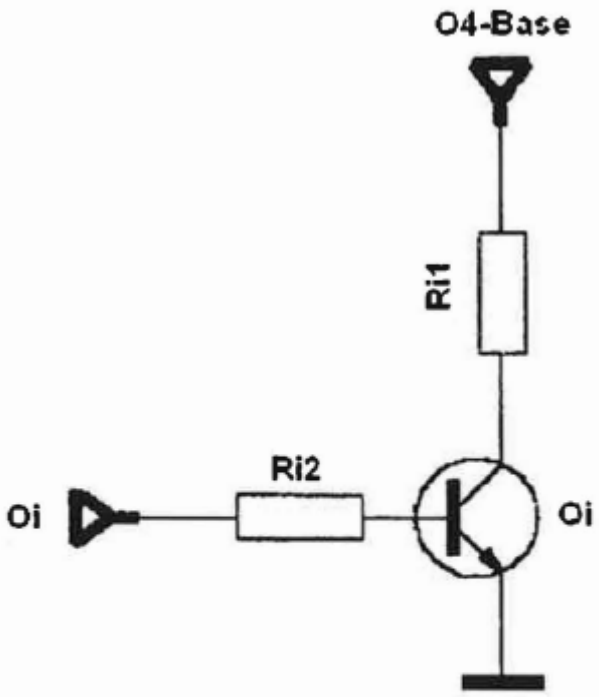

Figura - 5

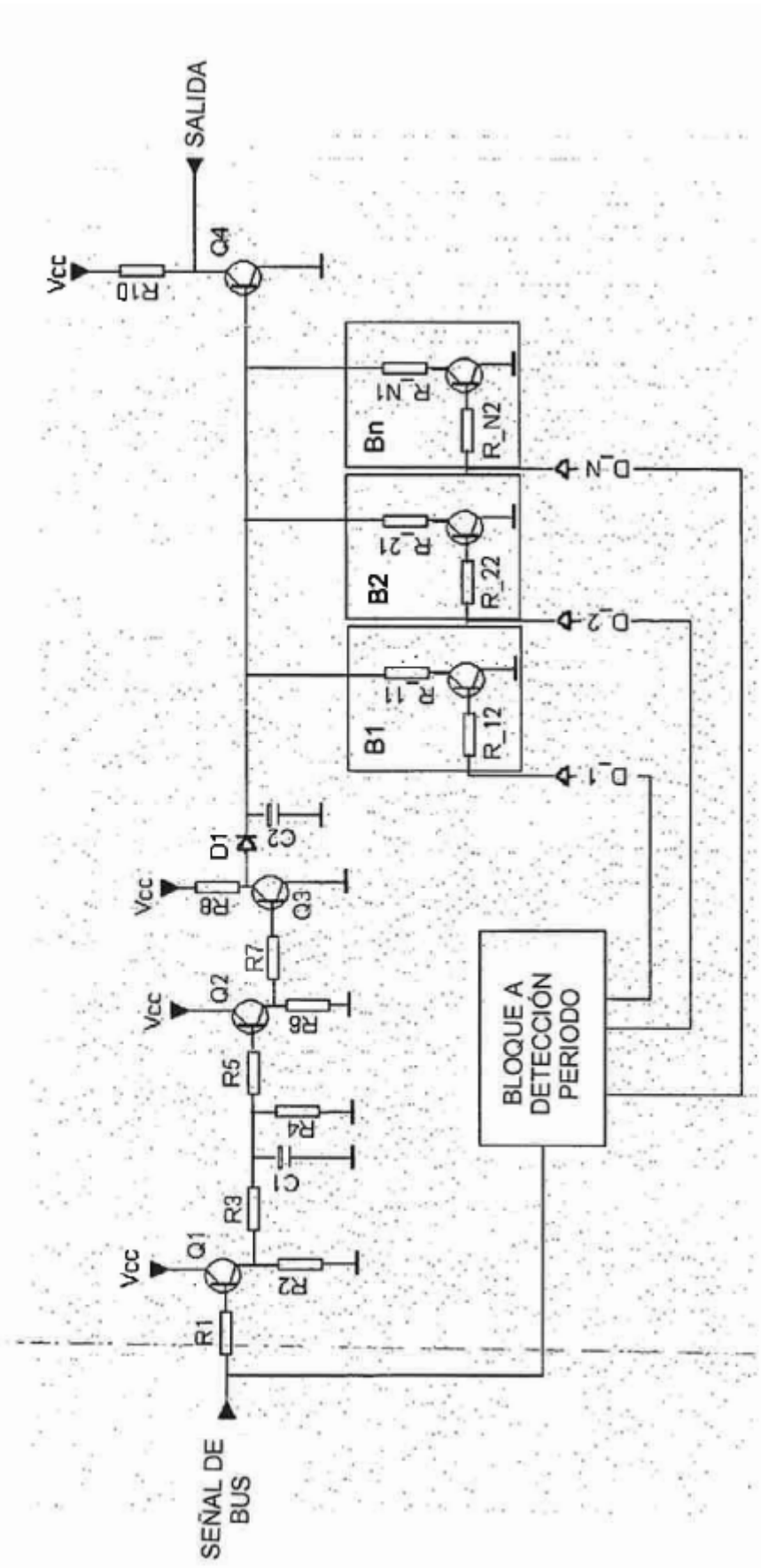
SALIDA
Vcc
R10
Q4
Bn
R_N1
R_N2
N
B2
R_21
R_22
2
B1
R_11
R_12
1
D1
C2
Vcc
R8
Q3
R7
Q2
Vcc
R6
R5
R4
C1
R3
Vcc
Q1
R2
R1
SEÑAL DE BUS
BLOQUE A DETECCIÓN PERIODO

Figura - 6

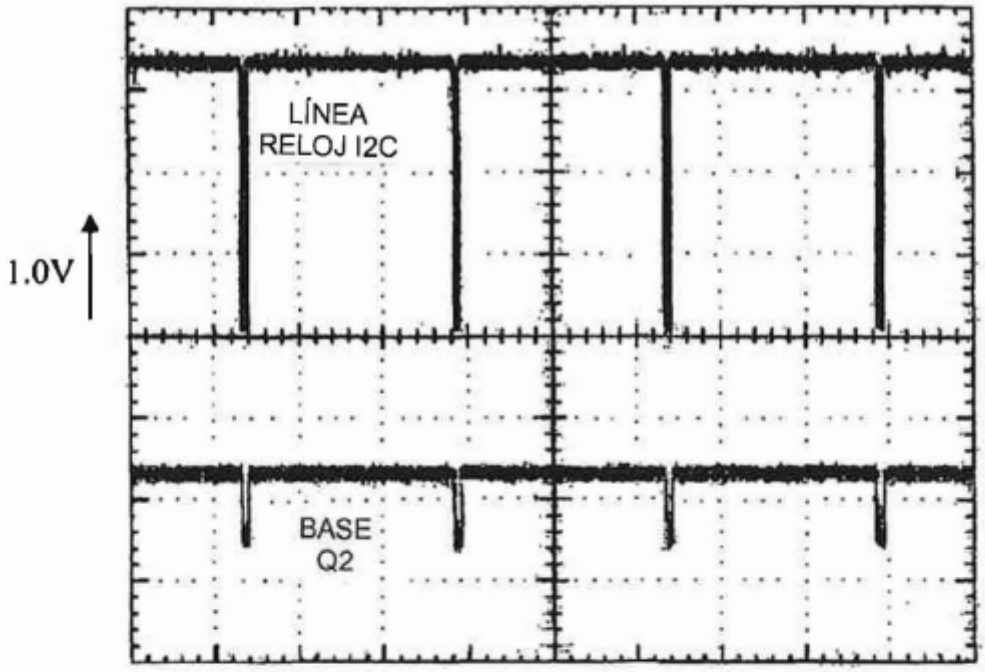

Figura – 7a

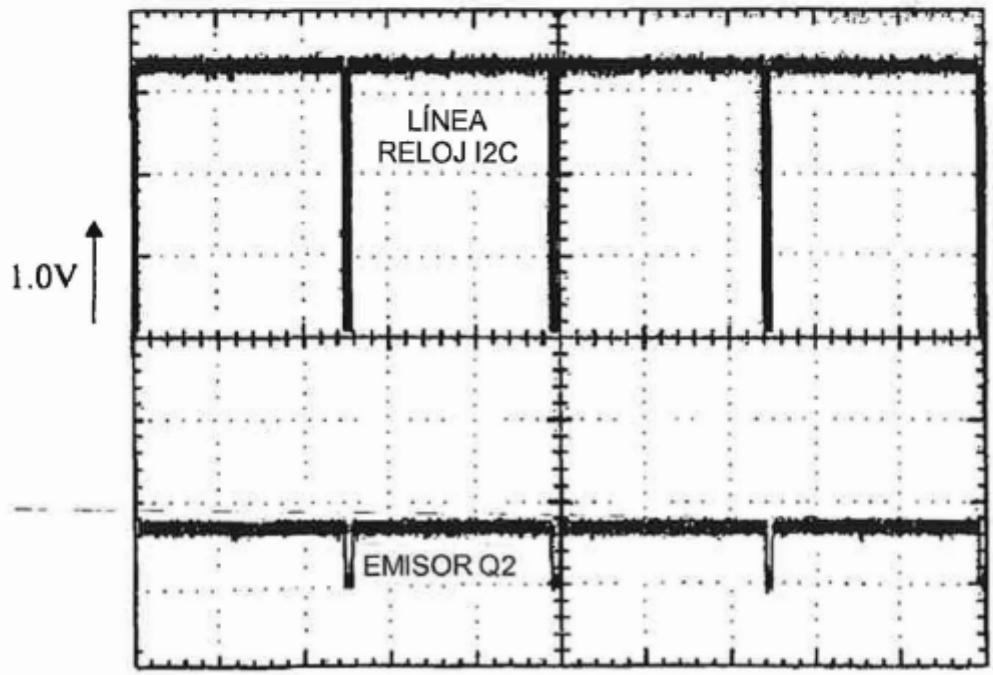

Figura – 7b

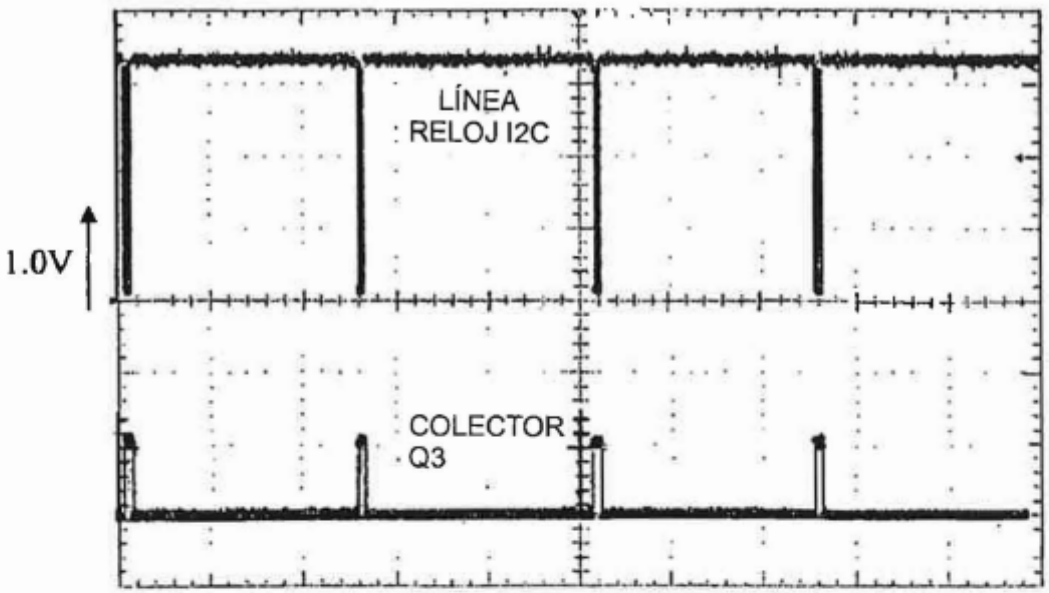

Figura – 7c

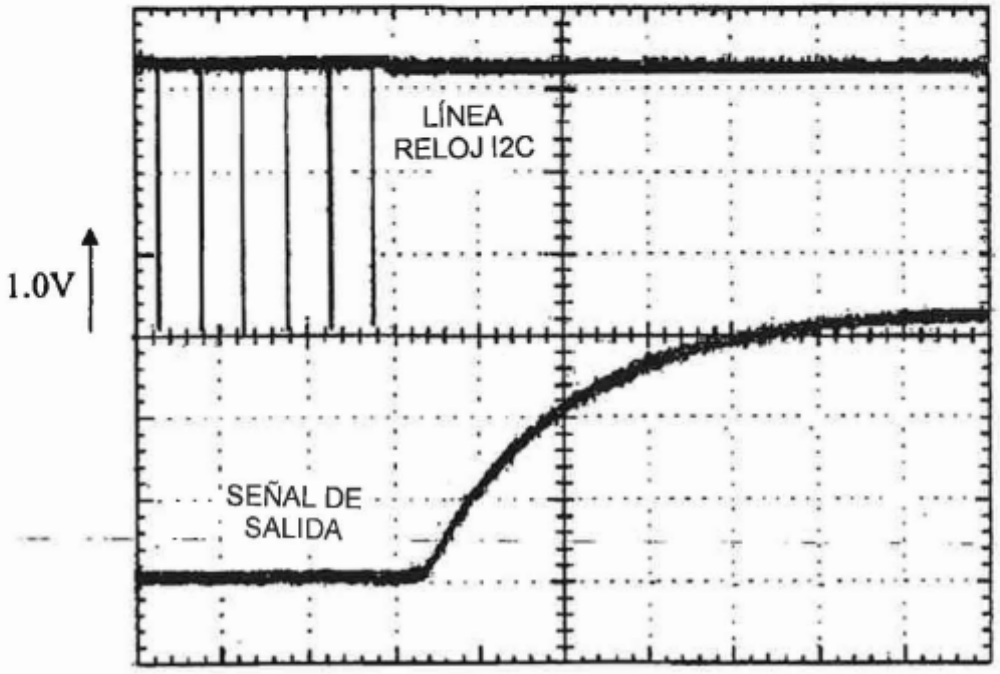

Figura – 7d

REFERENCIAS CITADAS EN LA DESCRIPCIÓN

La lista de referencias citada por el solicitante lo es solamente para utilidad del lector, no formando parte de los documentos de patente europeos. Aún cuando las referencias han sido cuidadosamente recopiladas, no pueden excluirse errores u omisiones y la OEP rechaza toda responsabilidad a este respecto.

Documentos de patente citados en la descripción

- US 4434403 A **[0008]**
- US 4811200 A **[0010]**
- US 20060242517 A **[0011]**
- US 5864656 A **[0012]**