

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 417 492**

51 Int. Cl.:

H02P 1/24 (2006.01)
G01R 15/20 (2006.01)
G05F 1/455 (2006.01)
G05F 1/613 (2006.01)
H02M 5/257 (2006.01)
H02P 23/00 (2006.01)
H02M 1/42 (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **05.08.2008 E 08795029 (1)**

97 Fecha y número de publicación de la concesión europea: **03.04.2013 EP 2183849**

54 Título: **Dispositivo, sistema y método para ahorrar energía basado en un IGBT/FET**

30 Prioridad:

13.08.2007 US 964587 P
24.08.2007 US 966124 P
03.01.2008 US 9844 P
03.01.2008 US 9846 P
03.01.2008 US 9845 P
03.01.2008 US 9806 P
04.08.2008 US 185442

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
08.08.2013

73 Titular/es:

THE POWERWISE GROUP, INC. (100.0%)
4855 TECHNOLOGY WAY, SUITE 550
BOCA RATON, FL 33431, US

72 Inventor/es:

LUMSDEN, JOHN L.

74 Agente/Representante:

RIZZO, Sergio

ES 2 417 492 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCION**DISPOSITIVO, SISTEMA Y MÉTODO PARA AHORRAR ENERGÍA BASADO EN UN IGBT/FET**

ANTECEDENTES DE LA INVENCION

[0001] Esta invención hace referencia a dispositivos, sistemas y métodos de ahorro de energía, más específicamente, a un transistor bipolar de puerta aislada/transistor de efecto campo (IGBT/FET) basado en un dispositivo, sistema y método de ahorro de energía para su uso en el que se ahorra una cantidad predeterminada de tensión por debajo de una línea de tensión nominal y/o por debajo de una tensión de aplicación nominal, conservando así energía.

[0002] Desde la revolución industrial, el consumo de energía mundial ha aumentada de forma constante. La mayoría de la energía generada y consumida proviene de la combustión de combustibles fósiles, una fuente natural no renovable que se está agotando rápidamente. A medida que continúan agotándose las fuentes naturales de la Tierra, la generación y conservación de la energía se ha convertido en un importante problema creciente entre los gobiernos tanto de este país como los extranjeros. Además, no sólo son los gobiernos quienes se preocupan por la generación y conservación de la energía, sino también las empresas y consumidores preocupados por el rápido aumento del coste de dichas fuentes.

[0003] No solo existe una preocupación global por la generación y conservación de la energía, sino que también existe una preocupación por la distribución de energía, especialmente en la economías emergentes. Pese a que la generación y conservación de energía son de gran importancia, el problema de su distribución también es un gran problema ya que incluye la infraestructura existente que normalmente es inadecuada para distribuir de manera correcta la energía y no está preparada todavía para poder mejorarla. Esta situación problemática se manifiesta en las "caídas de tensión" en las que una tensión nominal CA no puede mantenerse en el caso de una sobrecarga de red/generación.

[0004] Actualmente, las entidades gubernamentales y las compañías eléctricas intentan remediar los incidentes por caídas de tensión elevando la tensión CA o añadiendo una restricción de la generación de energía en ubicaciones apropiadas de la red de energía. Este método normalmente tiene como resultado una amplia disparidad de tensiones disponibles para los consumidores en hogares y/o empresas. Los aumentos de tensión pueden oscilar entre el diez por ciento y el quince por ciento (10% - 15%) y, ya que la energía se calcula mediante $\frac{\text{Tensión}^2}{\text{carga}}$, el resultado de este "remedio" de las entidades gubernamentales y compañías eléctricas recae en un aumento del coste para el consumidor de hasta el veinticinco por ciento (25%). Por lo tanto, en lugar de conservar energía, las entidades gubernamentales y las compañías eléctricas la agotan.

[0005] Además, pese a que muchos aparatos y equipos utilizados en empresas y hogares son capaces de llevar funcionar, exactamente según la especificación, con la tensión nominal menos el diez por ciento (10%), la mayoría de dispositivos de ahorro de energía no aprovechan esta característica. Así, este potencial añadido de ahorrar energía suele ignorarse con frecuencia.

[0006] Por lo tanto, existe la necesidad de un dispositivo, sistema y método de ahorro de energía basado en un IGBT/FET, en el que se ahorra una cantidad predeterminada de tensión por debajo de

una línea nominal de tensión y/o por debajo de una tensión nominal del aparato, conservando así energía.

[0007] La técnica anterior pertinente incluye las siguientes referencias:

Patente/ Núm. de serie (EE.UU. excepto si se indica lo contrario)	Inventor	Fecha de expedición/publicación
6.664.771	Scoggins <i>et al.</i>	12-16-2003
6.486.641	Scoggins <i>et al.</i>	11-26-2002
2005/0068013	Scoggins	03-31-2005
6.489.742	Lumsden	12-03-2002
7.010.363	Donnelly <i>et al.</i>	03-07-2006
5.652.504	Bangerter	07-29-1997
5.625.236	Lefebvre <i>et al.</i>	04-29-1997
5.543.667	Shavit <i>et al.</i>	08-06-1996
5.442.335	Cantin <i>et al.</i>	08-15-1995
5.134.356	El-Sharkawi <i>et al.</i>	07-28-1992
5.003.192	Beigel	03-26-1991
3.959.719	Espelage	05-25-1976
4.706.017	Wilson	11-10-1987
2007/0279053	Taylor <i>et al.</i>	12-06-2007
6.963.195	Berkcan	11-08-2005
6.184.672	Berkcan	02-06-2001
3.582.774	Forgacs	06-01-1971
5.994.898	DiMarzio <i>et al.</i>	11-30-1999
7.358.724	Taylor <i>et al.</i>	04-15-2008
7.259.546	Hastings <i>et al.</i>	08-21-2007
7.250.748	Hastings <i>et al.</i>	07-31-2007
7.298.132	Woolsey <i>et al.</i>	11-20-2007
7.298.133	Hastings <i>et al.</i>	11-20-2007
7.157.898	Hastings <i>et al.</i>	01-02-2007
6.912.911	Oh <i>et al.</i>	07-05-2005
5.180.970	Ross	01-19-1993
6.414.475	Dames <i>et al.</i>	07-02-2002
2008/0084201	Kojori	04-10-2008
7.358.724	Taylor <i>et al.</i>	04-15-2008
6.426.632	Clunn	07-30-2002
6.265.881	Meliopoulos <i>et al.</i>	07-24-2001
5.202.621	Reischer	04-13-1993
4.616.174	Jorgensen	10-07-1986
4.513.274	Halder	04-23-1985
4.096.436	Cook <i>et al.</i>	06-20-1978
3.976.987	Anger	08-24-1976
2008/0084200	Kojori	04-10-2008
2004/0239335	McClelland <i>et al.</i>	12-02-2004
7.301.308	Aker <i>et al.</i>	11-27-2007
6.548.989	Duff, Jr.	04-15-2003
6.548.988	Duff, Jr.	04-15-2003
7.245.100	Duff, Jr.	07-17-2007
7.205.822	Torres <i>et al.</i>	04-17-2007
7.091.559	Fragapane <i>et al.</i>	08-15-2006

(continúa)

Patente/ Núm. de serie (EE.UU. excepto si se indica lo contrario)	Inventor	Fecha de expedición/publicación
6.724.043	Ekkanath Madathil	04-20-2004
6.618.031	Bohn, Jr. <i>et al.</i>	09-09-2003
6.411.155	Pezzani	06-25-2002
5.559.685	Lauw <i>et al.</i>	09-24-1996
6.055.171	Ishii <i>et al.</i>	04-25-2000
7.355.865	Royak <i>et al.</i>	04-08-2008
7.123.491	Kusumi	10-17-2006
6.650.554	Darshan	11-18-2003
5.946.203	Jiang <i>et al.</i>	08-31-1999
5.936.855	Salmon	08-10-1999
5.600.549	Cross	02-04-1997
4.679.133	Moscovici	07-07-1987
2008/0043502	Billig <i>et al.</i>	02-21-2008

[0008] El documento US 5747972 describe un convertor CA/CA comprendiendo un controlador de factor de potencia y un filtro de salida. Un controlador lógico dirige cuatro conmutadores semiconductores de energía con una modulación de ancho de pulso sincronizada con la polaridad detectada de la línea de tensión entrante.

5

RESUMEN DE LA INVENCION

[0009] El objetivo principal de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET, en el que se ahorra una cantidad predeterminada de tensión por debajo de una línea de tensión nominal, conservando así energía.

10 **[0010]** Otro objetivo de la presente invención es proporcionar un dispositivo, sistema y método basado en un IGBT/FET en el que se ahorra una cantidad predeterminada de tensión por debajo de una tensión de aplicación nominal, conservando así energía.

15 **[0011]** Un objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET, que puede utilizarse para una variedad de aplicaciones, incluyendo, sin carácter limitativo, los dispositivos de ahorro de energía domésticos, reguladores del motor, reguladores de pequeños aparatos y cualquier aplicación en la que se requiera la medición de corriente CA.

20 **[0012]** Otro objetivo de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que puede utilizarse para: los reguladores de frigoríficos; congeladores; climatizadores; motores eléctricos CA y tensión CA; dispositivos de ahorro de energía domésticos monofásicos, bifásicos o polifásicos; dispositivos de ahorro de energía comerciales e industriales; y reguladores de tensión CA.

25 **[0013]** Un objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que elimina virtualmente las caídas de tensión provocadas por una sobrecarga de energía en una red eléctrica.

[0014] Un objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que reduce una carga sobre una red eléctrica.

[0015] Otro objetivo de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que puede utilizarse para reducir la carga impuesta sobre la red eléctrica durante los momentos de máxima carga.

[0016] Otro objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que permite a las entidades gubernamentales y/o compañías eléctricas controlar la energía desde la perspectiva de la demanda en lugar de la perspectiva de producción y/o entrega.

[0017] Otro objetivo de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que reduce su coste después de que el coste inicial del equipo utilizado en el sistema se amortice.

[0018] Otro objetivo de la presente invención es proporcionar un dispositivo, sistema y método basado en un IGBT/FET que proporcione control y regulación precisa de la energía.

[0019] Otro objetivo de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET, en el que el dispositivo puede programarlo un usuario para activarse en un periodo de tiempo y/o fecha específicos.

[0020] Otro objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET en el que un usuario puede programar reducciones de porcentaje de ahorro de energía individuales y/o múltiples.

[0021] Un objetivo adicional de la presente invención es proporcionar un dispositivo, sistema y método basado en un IGBT/FET que es adaptable a una pluralidad de potencias y/o frecuencias.

[0022] Un objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que puede ser de tamaño pequeño.

[0023] Otro objetivo de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que es preferiblemente asequible para el usuario final.

[0024] Otro objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que permite a un usuario dirigir la máxima demanda al punto de consumo en lugar de al punto de generación.

[0025] Otro objetivo de la presente invención es proporcionar un dispositivo, sistema y método basado en un IGBT/FET que proporciona aislamiento galvánico a una unidad de procesamiento central (si se utiliza) de una fuente de energía CA.

[0026] Otro objetivo adicional de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que puede incluir una modulación de ancho de pulso simultánea o aleatoria.

[0027] Otro objetivo de la presente invención consiste en proporcionar un dispositivo, sistema y método basado en un IGBT/FET que reduce los armónicos resultantes de los dispositivos de ahorro de energía utilizados en la actualidad.

[0028] La presente invención cumple los objetivos mencionados y otros proporcionando un dispositivo, sistema y método basado en un IGBT/FET de acuerdo con las reivindicaciones 1 y 10, en

el que se ahorra una cantidad predeterminada de tensión por debajo de una línea nominal de tensión y/o por debajo de una tensión nominal de aplicación, conservando así energía. Las conexiones de fase de entrada se proporcionan para introducir señales analógicas en el dispositivo y sistema. Un concentrador de flujo magnético detecta la señal analógica entrante y un detector de cruce por cero determina el cruce por cero de la señal. El semiciclo positivo y el semiciclo negativo de la señal se identifican y encaminan al procesador de señal digital para procesar la señal. La señal se reduce con la unidad de control mediante la modulación de ancho de pulso y la cantidad reducida de energía se extrae, generando así un ahorro de energía para el usuario final.

[0029] Los objetivos, características y ventajas arriba mencionados y otros de la presente invención deberían ser aún más comprensibles para aquellos expertos en la técnica tras leer la siguiente descripción detallada junto con los dibujos en los que se muestran y describen los modos de realización ilustrativos de la invención.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0030] En la siguiente descripción, se hará referencia a los dibujos adjuntos en los que:

FIG. 1 es un diagrama de bloques de un dispositivo y sistema basado en un IGBT/FET de la presente invención para utilizar en un sistema eléctrico trifásico.

FIG. 2 es una vista plana en perspectiva de un medio de detección de la presente invención;

FIG. 3 es un diagrama de circuito de un medio de detección de la presente invención;

FIG. 4 es un diagrama de circuito de un medio acondicionador de señal de la presente invención;

FIG. 5 es un oscilograma para un medio determinante del cruce por cero voltios de la presente invención;

FIG. 6 es un diagrama de circuito para un medio determinante de cruce por cero voltios de la presente invención;

FIG. 7 es un diagrama de circuito de un medio detector de pérdida y un medio giratorio y determinante de la rotación de fase de la presente invención;

FIG. 8 muestra un diagrama de circuito de un medio identificador de semiciclo de la presente invención;

FIG. 9 muestra un oscilograma de un medio identificador de semiciclo de la presente invención;

FIG. 10 muestra un oscilograma de un medio identificador de semiciclo de la presente invención;

FIG. 11A es un diagrama de circuito del medio de encaminamiento de la presente invención;

FIG. 11B es una continuación del diagrama de circuito de la FIG. 11A;

FIG. 11C es un diagrama de circuito de un programador de puertos de las FIGS. 11A y 11B; **FIG. 11D** es un diagrama de circuito de un soporte de resistencia de las FIGS. 11A y 11B; **FIG. 11E** es un

diagrama de circuito de un conector de las FIGS. 11A y 11B;

FIG. 12A es un oscilograma de un medio reductor de tensión de la presente invención;

FIG. 12B es un oscilograma de un medio reductor de tensión basado en IGBT de la presente invención;

FIG. 12C es un diagrama de circuito de un medio reductor de tensión basado en IGBT de la presente invención;

FIG. 12D es un diagrama de circuito de los circuitos de accionamiento para el medio reductor de tensión basado en IGBT de la **FIG. 12C**; **FIG. 12E** es un oscilograma de un medio reductor de tensión de la presente invención basada en FET;

FIG.12F es un diagrama de circuito de un medio reductor de tensión basado en FET de la presente invención;

FIG. 12G es un diagrama de circuito de los circuitos de accionamiento para el medio reductor de tensión basado en FET de la **FIG. 12F**; **FIG.13** es un circuito de diagrama de una combinación de un medio de reposición y un medio indicador de la presente invención; **FIG. 14** es un diagrama de circuito de una unidad de fuente eléctrica de un medio de alimentación de la presente invención;

FIG. 15A es un diagrama de circuito de un medio de comunicación de la presente invención;

FIG. 15B es un diagrama de circuito de una interfaz USB de un medio de comunicación de la **FIG. 15A**; **FIG. 15C** es un diagrama de circuito de un bloque aislante de un medio de comunicación de la **FIG. 15A**;

FIG. 15D es un diagrama de circuito de un primer conector de un medio de comunicación de la **FIG. 15A** hacia un procesador de señal digital;

FIG. 15B es un diagrama de circuito de un segundo conector de un medio de comunicación de la **FIG. 15A**; **FIG. 16** es una vista de la pantalla de una interfaz de ventana de la presente invención; y

FIG. 17 es una vista de la pantalla de una interfaz de ventanas de la presente invención.

DESCRIPCIÓN DE LOS MODOS DE REALIZACIÓN PREFERIDOS

[0031] Con el propósito de describir el modo de realización preferido, la terminología utilizada con referencia a los componentes numerados en los dibujos es la siguiente:

- | | |
|--|-------------------------------------|
| 1. dispositivo y sistema de ahorro de energía basado en IGBT/FET, generalmente | 20. señal analógica |
| 2. conexión de entrada de fase | 21. punto de cruce por cero voltios |
| 3. concentrador de flujo magnético | 22. semiciclo positivo |
| 4. dispositivo acondicionador de la señal analógica | 23. semiciclo negativo |
| 5. detector del punto de cruce por cero voltios | 24. energía reducida |
| 6. dispositivo detector de pérdida de fase | 25. interfaz de comunicaciones USB |
| 7. dispositivo de rotación de fase | 26. placa de circuito |
| 8. identificador de semiciclo | 27. carcasa |
| 9. dispositivo lógico | 28. conductor |
| 10. procesador de señal digital | 29. mitad superior de la carcasa |
| 11. conversor A/D | 30. mitad inferior de la carcasa |
| 12. unidad de suministro eléctrico | 31. bisagra |
| | 32. primer filtro |

- | | |
|---|---|
| 13. interruptor de reinicio | 33. segundo filtro |
| 14. diodo emisor de luz | 34. comparador |
| 15. unidad de control IGBT/FET | 35. búfer Schmidt |
| 16. dispositivo informático | 36. señal de cruce por cero absoluto |
| 17. conexión de salida de fase | 37. chip concentrador de flujo magnético |
| 18. línea neutral | 38. apertura |
| 19. energía entrante | 39. onda senoidal de entrada |
| 40. interfaz de ventanas | 73. transistor |
| 41. pantalla principal de control | 74. puerto USB |
| 42. campo, generalmente | 75. diodo Zener |
| 43. campo de modo operacional | 76. primer conector |
| 44. campo de fase | 77. segundo conector |
| 45. campo inicial | 78. Inductor |
| 46. campo de calibración | 79. soporte de resistencia |
| 47. campo de puntos de referencia | 80. conector del dispositivo lógico |
| 48. indicadores | 81. regulador de tensión lineal |
| 49. reloj en tiempo real | 82. señal de activación de semiciclo positivo aplicada al transistor de control de semiciclo positivo |
| 50. medidor eléctrico digital | 83. señal de activación de semiciclo negativo aplicada al transistor de control de semiciclo negativo |
| 51. memoria del disparador de Schmitt en modo inverso | 84. señal de activación aplicada al transistor de control de semiciclo positivo durante un semiciclo negativo |
| 52. dispositivo diodo supresor de transitorios | 85. señal de activación aplicada al transistor de control de semiciclo negativo durante un semiciclo positivo |
| 53. diodo | 86. señal de activación aplicada al primer transistor de control en derivación IGBT durante un semiciclo negativo |
| 54. transistor de control de semiciclo positivo | |
| 55. FET | |
| 56. condensador | |
| 57. transformador | |
| 58. transistor de control de semiciclo negativo | |
| 59. primer transistor de control en derivación IGBT | |
| 60. segundo transistor de control en derivación IGBT | |
| 61. dispositivo en derivación | |
| 62. circuito integrado | |

63. resistencia	86. señal de activación aplicada al primer transistor de control en derivación IGBT durante un semiciclo negativo
64. generador de línea dividido	
65. aislante óptico	
66. activador de acoplamiento óptico	
67. primer transistor de control en derivación IGBT	86. señal de activación aplicada al primer transistor de control en derivación IGBT durante un semiciclo negativo
68. segundo transistor de control en derivación FET	
69. onda cuadrada	86. señal de activación aplicada al primer transistor de control en derivación IGBT durante un semiciclo negativo
70. amplificador operacional	
71. aislador	
72. rectificador	90. regulador de conmutación

[0032] Con referencia a la FIG. 1, se muestra un diagrama de bloques de un dispositivo y sistema de ahorro de energía de la presente invención para utilizar en un sistema eléctrico trifásico. El dispositivo y sistema de ahorro de energía **1** incluye varios componentes y medios para reducir la cantidad de energía introducida, en el que la energía reducida genera un efecto mínimo o virtualmente no existente en el funcionamiento de un dispositivo que se activa de manera electrónica.

[0033] Una cantidad predeterminada de energía entrante **19** con al menos una señal analógica **20** que se introduce en el dispositivo y sistema **1** a través de un medio de introducción, que es preferiblemente al menos una conexión de entrada de fase **2**. Una línea neutral **18** también se proporciona en el dispositivo y sistema **1**. Como se muestra en la FIG. 1, el sistema y dispositivo **1** se utiliza en un sistema eléctrico trifásico con una fase neutral positiva A-B-C para utilizar como punto de referencia y como sumidero para una fuerza contraelectromotriz fijada que se produce cuando se interrumpe la corriente durante una carga de coeficiente de potencia de retardo. Sin embargo, el sistema de ahorro de energía **1** de la presente invención también puede utilizarse en un sistema monofásico y/o bifásico, en el que la única diferencia estructural es la cantidad de conexiones de entrada de fase **2** (p.ej. en un sistema monofásico, sólo se utiliza una conexión de entrada de fase **2** además de una conexión neutral (A), y en un sistema bifásico se utilizan dos conexiones de entrada de fase **2** (A & B) además de una conexión neutral).

[0034] Al menos una conexión de entrada **2** se conecta al menos a un medio detector, que es preferiblemente al menos un concentrador de flujo magnético **3**, que detecta la cantidad predeterminada de energía entrante **19**. El concentrador de flujo magnético **3** aísla de modo galvánico la corriente de energía entrante **19** y comunica cualquier condición de sobrecorriente a los medios de encaminamiento, que consisten preferiblemente en al menos un dispositivo lógico **9**. Si existen condiciones de sobrecorriente, las condiciones de sobrecorriente se comunican

simultáneamente al dispositivo lógico **9** y al medio procesador, que es preferiblemente un procesador de señal digital **10**, en el que el procesador de señal digital **10** apaga inmediatamente el dispositivo y sistema **1**. Esta acción de frenado electrónico tiene el objetivo de salvaguardar el dispositivo y sistema **1** por si mismo, así como el equipo de la terminal utilizado junto con el dispositivo y el sistema **1** en caso de que ocurra un cortocircuito o una sobrecarga. Por lo tanto, el dispositivo lógico **9** proporciona protección total a los dispositivos de control de potencia en caso de que ocurra un fallo de software/firmware y/o un problema de conexión eléctrica o una subida de tensión a tiempo real ya que el tiempo de reacción del dispositivo lógico **9** y del procesador de señal digital **10** es preferiblemente de 5ms. El dispositivo lógico **9** arbitra entre las señales de accionamiento aplicadas a los transistores de control de semiciclo IGBT/FET **54** y **58** y las señales aplicadas a los transistores de control en derivación IGBT/FET **59**, **60**, **67** y **68**. Por lo tanto, evita que los transistores de control de semiciclo IGBT/FET **54** y **58** y los transistores de control en derivación IGBT/FET **59**, **60**, **67** y **68** se desplacen simultáneamente a una condición de encendido, lo que podría provocar un fallo de control de la potencia y/o de los elementos en derivación. El procesador de señal digital incluye preferiblemente al menos un convertor A/D **11**.

[0035] Antes de comunicar el valor analógico de la corriente de fase desde la conexión entrante de fase **2** a la señal digital del procesador **10**, el concentrador de flujo magnético **3** primero transmite la energía entrante **19** a través de al menos un medio acondicionador de la señal, que consiste preferiblemente en al menos un dispositivo acondicionador de la señal analógica **4**. Después de que la(s) señal(es) se hayan acondicionado, mediante un método descrito más adelante, las señales acondicionadas se envían a un medio determinante de cruce por cero voltios, que consiste preferiblemente en al menos un detector de cruce por cero voltios **5**, para detectar el punto en el que la tensión CA pasa a través de los cero voltios relativos a neutral **18**, conocidos comúnmente como cruce por cero.

[0036] Después de detectar el cruce por cero y si se utiliza un sistema eléctrico trifásico, la señal acondicionada se introduce entonces al menos en un medio detector de pérdida, que consiste preferiblemente en al menos un dispositivo detector de pérdida de fase **6** y al menos un medio giratorio y determinante de la rotación de fase, que consiste preferiblemente en al menos un dispositivo de rotación de fase **7**, con tal de preparar la señal para introducirla de manera adecuada en al menos un medio identificador de semiciclo, que consiste preferiblemente en al menos un identificador de semiciclo **8**, y después en el dispositivo lógico **9** y en el procesador de señal digital **10**. Los detalles del identificador de semiciclo **8** se mencionan abajo.

[0037] El control de potencia se ejecuta a través de al menos un medio reductor de tensión, que incluye preferiblemente al menos una unidad de control de IGBT/FET **15**, en conexión eléctrica con el procesador de señal digital **10** para reducir la energía a una cantidad predeterminada. Sin embargo, antes de que las señales procesadas entren en el medio reductor, pueden volver a acondicionarse a través de al menos un dispositivo acondicionador de señal analógica **4** con tal de limpiar una señal para eliminar cualquier señal falsa o transitoria. Las señales de mando para controlar de la unidad de control del IGBT/FET **15** del medio reductor de tensión se determinan mediante el procesador de señal digital **10** y se mitigan mediante el dispositivo lógico **9**.

[0038] La energía reducida 24 se introduce entonces en el al menos un concentrador de flujo magnético 3 y después en el al menos un medio de salida, que consiste preferiblemente en al menos una conexión de salida de fase 17, y se extrae hacia un dispositivo eléctrico para su consumo.

[0039] El sistema y dispositivo 1 se activa a través del medio de alimentación, que consiste preferiblemente en una unidad de suministro eléctrico 12 en conexión eléctrica con el procesador de señal digital 10. Un medio de reinicio, que es preferiblemente un interruptor de reinicio 13, se suministra preferiblemente para permitir a un usuario reiniciar el dispositivo y sistema 1 según se desee. Además, un medio indicador, como el diodo emisor de luz 14, puede estar en conexión eléctrica con el interruptor de reinicio 13 con tal de alertar a un usuario si el dispositivo y sistema 1 necesitan reiniciarse.

[0040] El dispositivo y sistema 1 puede incluir opcionalmente al menos un medidor de electricidad digital 50 y al menos un medio de comunicación, como una interfaz de comunicaciones USB 25, capaz de interconectar con al menos un dispositivo informático 16 que contiene al menos un puerto USB 74 y al menos una interfaz de ventana 40, a través de una transmisión con cable o inalámbrica. La interfaz de comunicaciones USB 25 permite a un usuario controlar, mostrar y/o configurar el dispositivo y el sistema 1 a través de su dispositivo informático 16. Sin embargo, la inclusión de la interfaz de comunicaciones USB 25 no es necesaria en la implementación del dispositivo y sistema 1. Además, un reloj en tiempo real 49 puede incorporarse de manera opcional al procesador de señal digital 10 o conectarse de otro modo al dispositivo y sistema de ahorro de energía 1.

[0041] Un usuario puede determinar el modo de operación en el que utilizar el dispositivo y sistema de ahorro de energía 1 de la presente invención, p. ej. un usuario puede seleccionar cómo desea ahorrar energía ya sea introduciendo el valor RMS deseado, introduciendo el porcentaje de tensión deseada o introduciendo la reducción del porcentaje de ahorro deseado en un dispositivo informático 16. Por ejemplo, si un usuario elige reducir la tensión de entrada en un porcentaje fijo, el dispositivo de ahorro de energía y el sistema 1 permite dicha reducción del porcentaje de tensión y automáticamente reduce la tensión con tal de que sea consistente con un contenido armónico máximo permitido estableciendo un umbral de tensión más bajo. El umbral de tensión más bajo asegura que en condiciones más bajas o de caídas de tensión, el sistema y dispositivo 1 no continúa intentando reducir la tensión disponible en el porcentaje de reducción especificado.

[0042] FIG. 2 muestra una vista plana en perspectiva de un medio de detección de la presente invención. El medio de detección, que es preferiblemente al menos un concentrador magnético de flujo 3, mide la corriente CA de modo galvánico cuando se conecta a los circuitos activos del dispositivo y sistema 1 de la presente invención. Una carcasa 27, elaborada preferiblemente con plástico, incluye una mitad superior de carcasa 29 y una mitad inferior de carcasa 30 y una bisagra 30 conectando las dos mitades 29 y 30, contiene una placa de circuito 26 con un chip concentrador de flujo magnético 37 montado sobre el lado inferior de la mitad superior de la carcasa 29. Cada mitad 29 y 30 incluye al menos una parte con muescas en la que las mitades 29 y 30 se unen, se forma al menos una apertura 38 para permitir extender un conductor 28 a través de ella. El uso de dicha carcasa 27 define con precisión la distancia entre el chip concentrador de flujo magnético 37 y el núcleo central del conductor 28. Un detector de ventana asociado con el chip concentrador de flujo

magnético **37** determina de manera precisa si la corriente, dentro de los semiciclos negativo y positivo, se encuentra fuera de los intervalos normales. Además, el concentrador de flujo magnético **3** utiliza un colector abierto del búfer Schmidt para permitir conectar múltiples concentradores **3** tanto al dispositivo acondicionador de señal analógica **4** como al dispositivo lógico **9**.

5 **[0043]** La carcasa **27** encaja y se sujeta sobre el conductor **28**, que es preferiblemente un cable, para asegurarse de que el conductor **28** se mantiene firmemente contra la carcasa **27**. La mitad superior de la carcasa **29** puede formarse con varios tamaños con tal de acomodar las diferentes anchuras de cable. Una pluralidad de aberturas **38** de varios tamaños pueden formarse cuando las mitades **29** y **30** se unen para acomodar los conductores **28** de diferentes anchuras. El concentrador de flujo magnético **3** proporciona un aislamiento galvánico de la energía entrante **19**, lleva a cabo una medición de corriente precisa, es adaptable a cualquier intervalo de corrientes a través de múltiples canales de cable situados dentro de la carcasa **27**, proporciona aislamiento galvánico a la alta tensión, tiene una distorsión armónica cero y excelente linealidad. Además, debido a que el intervalo de medidas de corriente está determinado por un medio mecánico, no son necesarios los cambios en
10
15 la placa de circuito impresa **26**. La siguiente ecuación determina la sensibilidad aproximada:

$$V_{out} = 0.06 * I / (D + 0.3mm)$$

cuando I = corriente en el conductor **28** y D = la distancia en mm desde la superficie superior del chip concentrador de flujo magnético **37** hasta el centro del conductor **28**.
20

[0044] Ya que no se produce ninguna conexión eléctrica con el objetivo de medición, se consigue un aislamiento galvánico total. Además, existe una pérdida de inserción cero y, por lo tanto, no se disipa el calor ni se pierde energía ya que no existe conexión eléctrica ni se utiliza una derivación ni un transformador.
25

[0045] **FIG. 3** es un diagrama de circuito del medio de detección de la presente invención. El concentrador de flujo magnético **3** mide el flujo magnético generado cuando una corriente eléctrica alterna fluye dentro del conductor **28**. La sobrecorriente se consigue mediante los comparadores **34** que forman un comparador de ventana. Cuando los umbrales establecidos por las resistencias **63** son sobrepasados por una salida del controlador de flujo magnético **3**, que puede producir una señal "Current_Hi" (de corriente alta), las salidas del colector abierto de los comparadores **34** se reducen y pasan al dispositivo lógico **9** y una entrada del microprocesador no enmascarable apaga el dispositivo y el sistema **1**. Con tal de evitar los problemas con el circuito a tierra, el concentrador de flujo magnético **3**, incluye preferiblemente un circuito integrado **62** que regula la tensión operacional del concentrador de flujo magnético **3** a 5VCC.
30
35

[0046] Con referencia a la **FIG. 4**, se muestra un diagrama de circuito de un medio acondicionador de señal de la presente invención. El medio acondicionador de señal, que es preferiblemente al menos un dispositivo acondicionador de señal analógica **4**, limpia o acondiciona una señal analógica de onda senoidal de 50/60Hz para eliminar cualquier señal falsa o transitoria antes de su transmisión al identificador **8** de semiciclo. Si la onda senoidal contiene cualquier ruido o distorsión de suficiente
40

amplitud, esto puede, bajo ciertas circunstancias, generar falsas detecciones de cruce por cero. Así, la inclusión de dicho dispositivo acondicionador de señal analógica **4** es importante.

[0047] Con tal de acondicionar adecuadamente la señal de onda senoidal, se utilizan amplificadores operacionales **70**. Un amplificador operacional **70** se configura como un filtro activo, de paso bajo de segundo orden, para eliminar o reducir los armónicos y cualquier señal transitoria o de interferencia que pueda estar presente. Sin embargo, al utilizar tal filtro se produce un retraso de grupo en el que el retraso compensa, en tiempo, el cruce por cero de la señal filtrada desde el punto de cruce por cero real de la onda senoidal entrante CA. Con tal de solucionar el retraso, se proporcionan amplificadores operacionales **70** para permitir el cambio de fase necesario para corregir el punto de cruce por cero a tiempo con precisión, como se requiere. La salida de los amplificadores operacionales **70** es la señal de onda senoidal completamente acondicionada 50/60Hz que conecta con el conversor A/D **11** del procesador de señal digital **10** (ver **FIG. 1**) para una medición de valor cuadrático medio (RMS). Esta señal es exactamente la mitad de la línea de alimentación necesaria para permitir la medición de ambos semiciclos, positivo y negativo. El conversor A/D **11** realiza una operación matemática conocida de complemento a dos para **permitir lo mismo** y requiere que la señal CA se desvíe tanto positiva como negativamente con respecto al centro o a la línea de tensión dividida. La señal también entra en el identificador de semiciclo **8**.

[0048] Las **FIGS. 5** y **6** muestran un oscilograma y un diagrama de los circuitos, respectivamente, para un medio determinante de punto de cruce por cero voltios de la presente invención. El medio determinante de punto de cruce por cero voltios, que es preferiblemente al menos un detector del cruce por cero voltios **5** en el que el cruce por cero **21** está determinado con precisión. Un amplificador operacional **70** está configurado como un comparador **34** con su referencia exactamente a la mitad de suministro de energía utilizando la mitad de la línea de alimentación. Un comparador **34** funciona con una alta ganancia y, como resultado, cambia entre unos pocos milivoltios de la tensión de línea dividida.

[0049] Un acondicionamiento adicional de la señal de cruce por cero también se lleva a cabo mediante un búfer Schmidt **35**. Posterior al procesamiento adicional de señal, se produce una onda cuadrada muy precisa **69** ajustada a unos pocos milivoltios del punto de cruce por cero voltios **21** real de la onda senoidal.

[0050] **FIG. 7** muestra un diagrama de circuito de un medio detector de pérdida y un medio giratorio y determinante de la rotación de fase de la presente invención. El medio detector de pérdida, que es preferiblemente al menos un dispositivo de detección de pérdida de fase **6**, y el medio giratorio y determinante de la rotación de fase, que es preferiblemente al menos un dispositivo de rotación de fase **7**, trabajan juntos para preparar de manera adecuada la señal para transmitirla al dispositivo lógico **9** y al procesador de señal digital **10** cuando se utiliza un sistema eléctrico trifásico. Los circuitos del dispositivo de detección de pérdida de fase **6** incluye amplificadores operacionales **70** configurados como comparadores **34** donde cada uno utiliza un alto valor de resistencias en serie, comprendiendo dos resistencias en serie de 0,5 megohmios, que es necesario para conseguir la tensión de trabajo requerida de las resistencias **63**, y dos diodos **53** conectados en paralelo inverso. Los diodos **53** están centrados alrededor del punto de cruce por cero voltios **21** de la onda senoidal

entrante **39** aproximadamente a la tensión de caída de los diodos **53**, que se aplica a su vez al comparador **34** que acondiciona adicionalmente la señal adecuada para pasar al dispositivo lógico **9** y al procesador de señal digital **10**, resultando en el cierre del sistema en ausencia de cualquiera de las señales.

5 **[0051]** En un sistema eléctrico trifásico, la rotación de fase puede ser A-B-C o A-C-B. Para permitir que el procesador de señal digital **10** funcione adecuadamente, debe determinarse primero la rotación de fase. Los comparadores **34** se utilizan para detectar el/los punto(s) de cruce por cero voltios **21** y comunicar el/los punto(s) **21** al procesador de señal digital **10**. El procesador de señal digital **10**, a su vez, calcula la velocidad rotacional a través de la lógica de temporización. Cada uno
10 de los amplificadores operacionales **70** actúa como un simple comparador **34** con la señal de entrada, proporcionada en cada caso por los pares de diodos en paralelo inverso **53** junto con las resistencias en serie **63**.

[0052] Las **FIGS. 8, 9 y 10** muestran un diagrama de circuito y osciladores, respectivamente, de un medio identificador de semiciclo de la presente invención. El medio identificador de semiciclo, que es
15 preferiblemente al menos un identificador de semiciclo **8**, proporciona datos adicionales al dispositivo lógico **9** y al procesador de señal digital **10** identificando si el semiciclo de la señal analógica es positivo o negativo. Esto es de gran importancia para evitar una situación en la que si los transistores de control de semiciclo IGBT/FET **54 y 58** y los transistores de control en derivación IGBT/FET **59, 60, 67 y 68** están encendidos simultáneamente, ocurriría un cortocircuito a lo largo de la entrada de
20 energía.

[0053] Los amplificadores operacionales **70**, que están configurados como comparadores de ventana **34**, tienen umbrales de conmutación separados determinados por al menos una resistencia **63**. Como se muestra en la **FIG. 9**, existen tres señales, una señal de cruce por cero absoluto **36** y dos señales coincidentes en las que una señal coincidente tiene un semiciclo positivo **22** y una señal
25 coincidente tiene un semiciclo negativo **23** de una onda senoidal entrante **39**. El diseño permite a la ventana ajustarse para proporcionar, cuando lo requiera, la "zona muerta".

[0054] Con referencia a las **FIGS. 11A, 11B, 11C, 11D y 11E**, se muestran los diagramas de circuito del medio de encaminamiento de la presente invención. El medio de encaminamiento, que es preferiblemente al menos un dispositivo lógico **9**, funciona a tiempo real, fuera del procesador de
30 señal digital **10**, con tal de arbitrar entre los momentos de encendido de los transistores de control del semiciclo IGBT/FET **54 y 58** y de los transistores de control en derivación IGBT/FET **59, 60, 67 y 68**.

[0055] El dispositivo lógico **9** lleva a cabo la función de encaminamiento para asegurarse de que todas las señales son apropiadas para el requisito de inmediatez y polaridad de la onda senoidal entrante **39** y lleva a cabo la función de modulación de ancho de pulso para asegurar el
35 funcionamiento seguro del dispositivo y sistema de ahorro de energía **1**, independientemente del estado del procesador de señal digital **10**, la presencia de ruido, interferencia o señal transitoria. Los circuitos del aislante **71**, como se muestra en la **FIG. 11C**, permiten la programación del dispositivo lógico **9**. Los circuitos del soporte de resistencia **79** del dispositivo lógico **9** según se muestra en la **FIG. 11D**, son necesarios para operar el dispositivo lógico **9**. Según se muestra en la **FIG. 11E**, los
40 circuitos del conector de dispositivo lógico **80** permiten la activación y desactivación de ciertos

aspectos del dispositivo lógico **9**.

[0056] Tratar con una carga resistiva es mucho menos exigente que tratar con una carga reactiva, en particular, una carga reactiva de manera inductiva. Hoy en día, la modulación por ancho de pulsos (PWM) se define como modulación de una onda portadora de impulsos en la que el valor de cada muestra instantánea de una onda moduladora produce un impulso de duración proporcional variando entre el flanco anterior, posterior, o ambos de un impulso y que también es conocido como modulación por duración de impulso. Sin embargo, para los fines de esta invención y aplicación, el PWM se define como la modulación de una onda portadora en la que se elimina al menos una parte de un área bajo la curva de una onda moduladora. Cuando el PWM se aplica directamente a la energía entrante, el componente inductivo reacciona cuando la energía se elimina e intenta mantener la corriente activa y aumenta su tensión autogenerada hasta que la corriente encuentra una vía de descarga. Esta circunstancia, sin la circuitería en derivación, destruiría los transistores de control de semiciclo.

[0057] Por lo tanto, el dispositivo lógico **9** es un "supervisor" en el que se realiza la acción apropiada en caso de que el procesador de señal digital **10** se "cuelgue", si existe un fallo de sobrecorriente o si ocurre una pérdida de fase. En cualquiera de estas situaciones, el dispositivo lógico **9** responde inmediatamente, a tiempo real, para salvaguardar los transistores de control del semiciclo y los dispositivos en derivación y el equipo conectado a este.

[0058] Adicionalmente, el dispositivo lógico **9** mitiga las complejas necesidades de accionamiento de los transistores de control de semiciclo IGBT/FET **54** y **58** y los transistores de control en derivación IGBT/FET **59**, **60**, **67** y **68** y, hasta cierto punto, le descarga esta tarea al procesador de señal digital **10**. Ya que el dispositivo lógico **9** controla esta función, puede llevarse a cabo a tiempo real y, por lo tanto, el control de temporización de los requisitos de activación puede mantenerse en un límite mucho más estricto del que podría conseguirse mediante el procesador de señal digital **10**. La habilidad para responder a tiempo real es importante para la operación fiable y segura del dispositivo de ahorro de energía y sistema **1** de la presente invención.

[0059] Las **FIGS. 12A, 12B, 12C, 12D, 12E** y **12g** muestran osciladores y diagramas de circuito de un medio reductor de tensión de la presente invención. El medio reductor de tensión, que incluye preferiblemente al menos una unidad de control IGBT/FET **15**, reduce las señales analógicas de la onda senoidal entrante **39**, que consiste en la cantidad de energía introducida en el dispositivo y sistema **1** de ahorro de energía, mediante la modulación de ancho de pulso en la que al menos una parte se elimina del área bajo la curva de la onda senoidal de modulación **39**, reduciendo la energía así y sin los armónicos empleados previamente asociados a dicho control de tensión. Esta técnica, como se muestra en la **FIG. 12A**, funciona junto con las características inherentes de los dispositivos IGBT/FET que permiten controlar el punto de activación para encender y apagar. Toda la energía potencial se contiene en cada semiciclo y, en el caso de un semiciclo completo, contiene el área más grande bajo la curva. Cada semiciclo se modula en una proporción espacio-marca del 90%, el área bajo la curva se reduce en un 10% y, como resultado, la energía se reduce proporcionalmente como se muestra en la **FIG. 12A**;

[0060] La forma original de la onda senoidal entrante se mantiene y, ya que la modulación puede ser

alta, posiblemente decenas de KHz, el filtrado de la salida es posible debido al pequeño tamaño de los componentes de bobina convirtiéndolo en una propuesta práctica. El efecto global se comprueba cuando el valor cuadrático medio (RMS), que es la raíz cuadrada del tiempo medio del cuadrado o de una cantidad o, para una cantidad periódica, la media se toma de un ciclo completo al que también se denomina valor eficaz, se mide correctamente y se observa una reducción en un porcentaje de la tensión de salida similar a la proporción espacio-marca empleada. La tensión reducida resulta en una corriente reducida, produciendo así energía reducida consumida por un usuario final.

[0061] Debido a que los dispositivos IGBT y FET son unipolares por naturaleza, en el caso del control de CA, es necesario proporcionar al menos una unidad de control de IGBT/FET **15** para controlar cada semiciclo. Además, con tal de evitar invertir la polarización, los diodos de dirección se utilizan para encaminar cada semiciclo al dispositivo apropiado. Adicionalmente, muchos dispositivos IGBT y FET tienen un elemento principal en derivación de diodo parásito en el que la conexión entre dos dispositivos IGBT o FET en paralelo inverso resultaría en la obtención de dos de los diodo parásitos en paralelo inverso, quedando así la configuración inoperativa como elemento controlador.

[0062] Los diodos **53** están conectados a lo largo del transistor de semiciclo positivo **54** y del transistor de control de semiciclo negativo **58** y funciona idealmente para una carga puramente resistiva o para una carga reactiva de corriente principal. Sin embargo, cuando se activa una carga con un coeficiente de potencia de corriente en retraso, cuando la corriente en un componente reactivo de manera inductiva se elimina repentinamente, como es el caso cuando ocurre la modulación, el campo magnético en colapso intenta mantener la corriente funcionando, similar a un volante de inercia electrónico, y produce una fuerza contraelectromotriz (EMF) que aumentará su tensión hasta que encuentre el camino de descarga que permitirá liberar la energía. Con esta configuración, esta "fuerza contraelectromotriz" podría provocar el fallo de los componentes activos de elemento de control de semiciclo. Con tal de evitar que esto ocurra, se colocan transistores de control en derivación de IGBT/FET adicionales **59, 60, 67 y 68** en una configuración en derivación.

[0063] Durante el semiciclo positivo, el transistor de control de semiciclo positivo **54** modula y un diodo **53** está activo durante todo el semiciclo positivo. El segundo transistor de control en derivación IGBT **60** se enciende por completo y un diodo **53** está activo. Por lo tanto, cualquier tensión de polaridad inversa que resulta de la fuerza contraelectromotriz de la carga se fija automáticamente.

[0064] Durante el semiciclo negativo, los otros dispositivos comprendidos en redes de serie y derivación se activan de manera similar.

[0065] Durante las transiciones de conmutación, puede haber presente un pico que puede mantenerse durante un corto periodo de tiempo. El pico se fija con los dispositivos de supresión de picos **52**, que son capaces de absorber grandes cantidades de energía durante un corto periodo de tiempo y permiten un tiempo de respuesta muy rápido. Los dispositivos de supresión de picos **52** también fijan cualquier señal transiente de la red eléctrica debido a relámpagos u otras fuentes que podrían dañar de otra manera los componentes activos de los transistores de semiciclo o en derivación. Además, mientras que cada transistor de semiciclo está modulando el ancho de pulso, el otro transistor de semiciclo se enciende por completo durante la duración precisa del semiciclo. Los servicios de estos transistores de semiciclo se invierten durante el siguiente semiciclo. Este proceso

proporciona una protección completa contra las señales de EMF arriba descritas. Esta configuración es necesaria, especialmente cerca del momento de cruce por cero cuando ambos elementos en derivación se encuentran en transición.

[0066] Cada uno de los transistores de control de semiciclo IGBT/FET **54** y **58** y los transistores de control en derivación IGBT/FET **59**, **60**, **67** y **68** tienen características de puerta aislada que requiere que los dispositivos aumenten para permitir encenderlos. Este aumento de tensión es preferiblemente de 12 Voltios en magnitud y se suministra preferiblemente mediante alimentación flotante, preferiblemente una para cada par. Esto sólo es posible desde que los dispositivos IGBT/FET funcionan en el modo de emisor común en el caso del IGBT y en el modo de fuente común en el caso de FET; de otro modo, se necesitarían cuatro fuentes de energía aisladas para cada fase. Cada uno de los pares requiere una señal de activación individual que se proporciona mediante los controladores aislados optoacoplados. Estos controladores **66** hacen uso de las fuentes de alimentación aisladas y sirven para encender y apagar muy rápidamente cada dispositivo eléctrico. Estos controladores **66** están activos en ambas direcciones, lo que es necesario ya que la capacidad de entrada de los dispositivos eléctricos es alta y deben descargarse de manera activa rápidamente en la posición de apagado y cargarse rápidamente en la posición de encendido.

[0067] El problema con la modulación de ancho de pulso directa es que cuando se activa una carga reactiva de manera inductiva así como cuando la IGBT modula a apagado, existe una señal de fuerza contraelectromotriz que necesita fijarse. Con referencia a la **FIG. 12B**, se muestra un onda senoidal entrante **39** que se aplica al transistor de control de semiciclo positivo **54** y el transistor de control de semiciclo negativo **58**. Normalmente, estos transistores de control de semiciclo **54** y **58** se encuentran en la posición "apagado" y necesitan activarse. Durante el semiciclo positivo, el transistor de control de semiciclo positivo **54** se modula y funciona junto con un diodo **53** para pasar el semiciclo positivo modulado a una terminal de salida de línea. El segundo transistor de control en derivación IGBT **60** se encuentra encendido durante la el semiciclo y funciona junto con un diodo **53** para fijar la fuerza contraelectromotriz a la tierra. Durante el semiciclo positivo, el transistor de control de semiciclo negativo **58** se enciende por completo y su posición encendida se sostiene con un diodo **53**. Estos diodos **53** llevan a cabo el encaminamiento apropiado de las señales.

[0068] Debido a la modulación de semiciclo positivo, una señal de fuerza contraelectromotriz se produce. Ya que el transistor de control de semiciclo negativo **58** está encendido durante este periodo, la fuerza contraelectromotriz negativa pasa a través de un diodo **53** para fijarse a la tensión de semiciclo positiva CA simultánea.

[0069] Pese a que no se aplica ninguna modulación al transistor de control en derivación **59** y el segundo transistor de control en derivación IGBT **60**, estos transistores **59** y **60** trabajan junto con los diodos **53** de manera similar a la descrita arriba.

[0070] Como se muestra en la **FIG. 12B**, que muestra un oscilograma de un medio reductor de tensión de la presente invención basado en un IGBT, durante el semiciclo positivo **22**, una señal de activación aplicada al transistor de control de semiciclo negativo **85** y una señal de activación aplicada al segundo transistor de control en derivación IGBT **87**. Durante el semiciclo negativo **23**, se aplica una señal de activación al transistor de control de semiciclo positivo **84** y se aplica una señal

de activación al primer transistor de control en derivación IGBT **86**. La señal de activación del semiciclo positivo **82** aplicada al transistor de control de semiciclo positivo **54** y la señal de activación de semiciclo negativo **83** aplicada al transistor de control de semiciclo **58** también se muestran.

[0071] De modo similar, la **FIG. 12E** muestra un oscilograma del medio reductor de tensión de la presente invención basado en un FET, durante el semiciclo positivo **22**, una señal de activación aplicada al transistor de control de semiciclo negativo **85** y una señal de activación aplicada al segundo transistor de control en derivación IGBT **89**. Durante el semiciclo negativo **23**, se aplica una señal de activación al transistor de control de semiciclo positivo **84** y se aplica una señal de activación al primer transistor de control en derivación FET **88**. La señal de activación del semiciclo positivo **82** aplicada al transistor de control de semiciclo positivo **54** y la señal de activación del semiciclo negativo **83** aplicada al transistor de control de semiciclo negativo **58** también se muestran.

[0072] En resumen, existen dos estratagemas de fijación utilizadas, la primera para el semiciclo positivo y la segunda para el semiciclo negativo. Durante el semiciclo positivo, cuando el transistor de control de semiciclo positivo **54** se modula, el transistor de control de semiciclo negativo **58** y el segundo transistor de control en derivación **60** están encendidos. Durante el semiciclo negativo, cuando el transistor de control de semiciclo negativo **58** se modula, el transistor de control de semiciclo positivo **54** y el primer transistor de control en derivación IGBT **59** están encendidos.

[0073] El hardware utilizado en el dispositivo y método de ahorro de energía basado en IGBT y el basado en FET de la presente invención es idéntico excepto por una diferencia que son los transistores de control de semiciclo IGBT/FET **54** y **58** y los transistores de control en derivación IGBT/FET **59**, **60**, **67** y **68**. Se muestran los diagramas de circuitos de la circuitería basada en IGBT de la **FIG.12C** y el activador basado en IGBT de la **FIG.12D** y la circuitería basada en FET de la **FIG.12E** y el activador basado en FET de la figura **12F** con el objetivo de compararlos.

[0074] Con referencia a la **FIG. 13**, se muestra un diagrama de circuito de una combinación de medio de reposición y un medio indicador de la presente invención. El medio de reposición, que es preferiblemente al menos un interruptor de reposición **13**, y el medio indicador, que es preferiblemente al menos un diodo emisor de luz **14**, trabajan juntos para indicar si el dispositivo y sistema de ahorro de energía basado en IGBT/FET **1** no está funcionando adecuadamente y para permitir al usuario reponer el dispositivo y sistema **1** según se necesite. Preferiblemente, el diodo emisor de luz **14** indicará que el dispositivo y sistema **1** están funcionando de manera adecuada parpadeando entre encendido/apagado. Cuando se encuentre en una condición de fallo, el diodo emisor de luz **14** cambia preferiblemente a una trayectoria irregular que es obvia e inmediatamente reconocible como condición de fallo.

[0075] **FIG. 14** es un diagrama de circuito de una unidad de suministro eléctrico **12** de un medio de alimentación de la presente invención. El medio de alimentación, que es preferiblemente al menos una unidad de fuente eléctrica **12** acepta una variedad de entradas, incluyendo, sin carácter limitativo, una operación monofásica de 80Vrms a 265Vrms, bifásica de 80Vrms a 600Vrms, trifásica de 80Vrms a 600Vrms y de 48Hz a 62Hz.

[0076] La unidad de fuente eléctrica **12** está aislada por completo y tiene un diseño de doble regulación. En la entrada, un rectificador **72** compuesto por diodos **53** acepta electricidad

monofásica, bifásica y trifásica. La energía se aplica a un regulador de conmutación **90** y a un circuito integrado **62** a través de un transformador **57**. En vista de las grandes tensiones existentes a lo largo de las terminales CC, el regulador de conmutación **90** y el circuito integrado **62** se suplementan con un transistor FET **73** empleado en una configuración de StackFET para aumentar su tensión de funcionamiento. El secundario del transformador **57** tiene un diodo **53** y un condensador de reserva **56**. La tensión CC a través del condensador **56** pasa a través de las resistencias de red **63** y un diodo Zener **75** hacia un aislante óptico **65** y finalmente a las terminales de alimentación. El uso del aislador óptico **65** garantiza un aislamiento galvánico entre la entrada y la salida de alimentación (6,4V CC). Finalmente, la salida de los reguladores de tensión lineales **81** (3,3VA CC) pasa a un amplificador operacional **70**, que está configurado como una unidad de búfer amplificador con dos resistencias **63** que establecen la tensión de línea dividida. La línea neutral principal está conectada a este punto de línea dividida y también a una resistencia de cero ohmios. Un inductor **78** aísla la línea de alimentación digital (+3,3V) desde la analógica (3,3VA) y reduce el ruido.

[0077] A continuación, las **FIGS. 15A, 15B, 15C y 15E** muestran los circuitos de un medio de comunicación de la presente invención. El medio de comunicación, que es preferiblemente al menos una interfaz de comunicaciones USB **25**, permite que un usuario monitorice y establezca los parámetros del dispositivo y sistema de ahorro de energía **1** de la presente invención según se desee.

[0078] Los circuitos de una interfaz de comunicaciones USB **25** se muestran en la **FIG. 15B**, un bloque aislante **71** utilizado en el aislamiento de una interfaz de comunicaciones USB **25** desde el procesador de señal digital **10** mostrado en la **FIG. 15C** y conectores primeros y segundos **76 y 77** para conectar el medio de comunicaciones al procesador de señal digital **10** se muestran en las **FIGS. 15D y 15E**.

[0079] Debido a que la placa principal de circuito impresa no está aislada del neutral, es necesario aislar de manera galvánica la interfaz de comunicaciones USB **25**. Se hace uso de la característica de comunicaciones en serie incorporada al procesador de señal digital **10** para comunicar en serie con el medio comunicador **46**. Las señales, en el lado del usuario de la barrera de aislamiento, se aplican a un circuito integrado **62**, que consiste en un dispositivo que toma los datos en serie y los traduce en datos USB para conseguir una conexión directa con un dispositivo informático **16** a través de un puerto USB anfitrión **74**. La potencia de 5V del USB anfitrión se utiliza para alimentar el medio de comunicación **46** y evitar la necesidad de proporcionar alimentación aislada desde la unidad. Preferiblemente, existen dos diodos emisores de luz de actividad **14**, que indican actividad en los canales TX (transmisión) y RX (recepción). Las comunicaciones preferiblemente funcionan a 9.600 baudios, que es adecuado dada la pequeña cantidad de datos pasados.

[0080] Pese a que la inclusión de un medio de comunicaciones no es necesaria en el funcionamiento del dispositivo y sistema de ahorro de energía **1**, es una característica que permite facilitar el uso del dispositivo y sistema **1**.

[0081] Finalmente, con referencia a las **FIGS. 16 y 17**, se muestran vistas de pantalla de una interfaz de ventana **40** de la presente invención. La interfaz de ventana **40** se muestra en el dispositivo

informático **16** y permite que un usuario monitorice y configure el dispositivo y sistema de ahorro de energía **1** como se desee. Se proporciona una pantalla principal de monitorización **41** con una pluralidad de campos **42** en los que un usuario final puede ajustar el dispositivo y sistema de ahorro de energía **1**. Por ejemplo, los campos **42** pueden incluir un campo de modo operacional **43**, un campo de fase **44**, un campo inicial **46** y un campo de punto de referencia **47**.

[0082] En el campo operacional **43**, un usuario puede seleccionar la manera en la que desea conservar la energía. Las maneras incluyen un porcentaje de reducción de tensión en el que la salida de voltios se ajusta mediante un porcentaje fijo, un porcentaje de reducción de ahorro con el que se pretende que la salida de voltios consiga un porcentaje de ahorro y la regulación de tensión en la que el valor cuadrático medio de salida de voltios sea un valor pre-establecido.

[0083] El campo de fase **44** permite a un usuario seleccionar el tipo de fase utilizada en conexión con el dispositivo y sistema de ahorro de energía **1**, es decir, monofásico, bifásico o trifásico.

[0084] El campo inicial **45** permite a un usuario configurar el sistema y dispositivo **1** para comenzar de manera aleatoria y/o provocar un retraso o un "inicio suave" en el que el usuario introduce el tiempo de retraso en segundos en los que el sistema y dispositivo se iniciará.

[0085] El campo de calibración **46** permite a un usuario introducir las calibraciones precisas deseadas y/o rotar las fases.

[0086] El campo de punto de referencia **47** muestra la configuración seleccionada por el usuario y la cantidad de energía ahorrada utilizando el dispositivo y sistema de ahorro de energía **1** como regulación de tensión, porcentaje de reducción de tensión o porcentaje de reducción de ahorro de energía. Con respecto al porcentaje de reducción tensión, el límite más bajo RMS se establece por debajo de la tensión entrante que debe pasar para permitir que la tensión entrante pase a través cuando sea menor o igual a la tensión del límite más bajo. Con respecto al porcentaje de reducción de ahorro, el menor límite RMS se establece por debajo de la tensión que pasa a través de él.

[0087] Los indicadores **48** se proporcionan en la interfaz de ventanas **40** mostrando la corriente de operación, la tensión de operación, la línea de frecuencia, el ahorro de energía calculado y la rotación de fase.

[0088] Un reloj en tiempo real **49** puede incorporarse a la interfaz de ventana **40** para permitir programar una reducción de tensión adicional para un momento predeterminado y un tiempo operacional predeterminado, p.ej. para temporadas, días de la semana, horas del día, para un periodo operacional predeterminado. Además, un usuario puede programar el dispositivo y sistema de ahorro de energía **1** para operar durante varios momentos del día. El reloj en tiempo real **49** se establece a través del puerto de comunicaciones o se fija para permitir la selección de las fechas y tiempos estacionales definidos cuando, con la experiencia, se conocen por exhibir una sobrecarga en el panel eléctrico. Durante estos tiempos, el sistema permite una mayor reducción de la tensión CA regulada, reduciendo así la carga en el panel. Pueden definirse múltiples tiempos cada uno con su propio porcentaje de reducción adicional o caída de tensión.

[0089] El medidor de electricidad digital **50** proporciona un medio para registrar datos estadísticos sobre el uso de energía, el coeficiente de potencia y la sobretensión. El medidor de electricidad digital **50** también proporciona la habilidad para incluir condensadores para la corrección del

coeficiente de energía, funciona con sistemas monofásicos, bifásicos y trifásicos y funciona con todas las tensiones globales. Puede utilizarse de manera remota o local para desactivar o activar el suministro de energía al usuario a voluntad del proveedor. Además, el medidor de electricidad digital **50** puede detectar si el dispositivo y sistema de ahorro de energía **1** ha sido puentado por un usuario final intentando no pagar por el consumo de energía en el que el proveedor es alertado de dicho abuso. Finalmente, el uso del reloj en tiempo real **49** permite a un usuario y/o a un proveedor reducir el consumo de energía en los tiempos seleccionados de un día o para un periodo de tiempo seleccionado, aliviando y/o eliminando así los problemas de las caídas de tensión.

[0090] Debe entenderse que pese a que se ilustra un modo de realización preferido de la invención, no tiene carácter limitativo en cuanto a la forma específica o la configuración de las partes aquí descritas y mostradas. Resultará aparente para los expertos en la técnica que pueden realizarse cambios dentro del alcance de las reivindicaciones adjuntas.

Reivindicaciones

1. Un sistema de ahorro de energía (1) comprendiendo:
- 5 un medio para introducir (2) una cantidad predeterminada de energía entrante en dicho sistema de ahorro de energía;
- un medio para detectar dicha cantidad predeterminada de energía entrante introducida en dicho sistema de ahorro de energía;
- un medio para acondicionar (4) al menos una señal analógica de dicha energía;
- 10 un medio para determinar (5) al menos un punto de cruce por cero voltios de dicha al menos una señal analógica acondicionada; un medio para identificar (8) al menos un semiciclo positivo y al menos un semiciclo negativo de la citada al menos una señal analógica acondicionada;
- un medio para encaminar dicho al menos un semiciclo positivo de dicha al menos una señal analógica acondicionada y dicho al menos un semiciclo negativo de dicha al menos una señal analógica acondicionada hacia al menos un procesador de señal digital para procesar dicha al
- 15 menos una señal analógica;
- un medio para reducir dicha al menos una señal analógica condicionada de dicha cantidad predeterminada de energía para generar una cantidad reducida de energía, en la que dicho medio para reducir comprende al menos una unidad de control (15); y
- un medio para extraer (17) dicha energía reducida de dicho sistema de ahorro de energía
- 20 en el que dicha al menos una unidad de control (15) comprende un transistor de control de semiciclo positivo IGBT/FET (54) configurado para proporcionar una modulación de ancho de pulso a dicho al menos un semiciclo positivo de dicha al menos una señal analógica acondicionada, un transistor de control de semiciclo negativo IGBT/FET (58) configurado para proporcionar una modulación de ancho de pulso a dicho al menos un semiciclo negativo de dicha
- 25 al menos una señal analógica acondicionada,
- un primer transistor de control en derivación IGBT/FET (59) y un segundo transistor de control en derivación (60) configurados como conmutadores de encaminamiento para fijar una fuerza contraelectromotriz.
- 30 2. El sistema de ahorro de energía de acuerdo con la reivindicación 1, en el que el dispositivo de ahorro de energía no está configurado para controlar las características de una carga a la que está conectado.
3. El sistema de ahorro de energía de la reivindicación 1, en el que el dispositivo de ahorro de
- 35 energía está configurado para controlar una pluralidad de cargas.
4. El sistema de ahorro de energía de acuerdo con la reivindicación 1, en el que el dispositivo de ahorro de energía está configurado para utilizarlo con los controladores de los frigoríficos; congeladores; climatizadores; motores eléctricos CA y tensión CA; dispositivos de ahorro de energía

domésticos polifásicos, bifásicos o monofásicos; dispositivos de ahorro de energía comerciales e industriales; o reguladores de tensión CA.

- 5 **5.** El sistema de ahorro de energía de acuerdo con la reivindicación 1, en el que dicho sistema también comprende un medio para comunicar con al menos un dispositivo informático.
- 10 **6.** El sistema de ahorro de energía de acuerdo con la reivindicación 1, en el que el medio para encaminar consiste en un dispositivo lógico (9), y en el que el dispositivo lógico se encuentra en conexión eléctrica con dicha al menos una unidad de control (15).
- 15 **7.** El sistema de ahorro de energía de acuerdo con la reivindicación 6, en el que el dispositivo lógico se encuentra en conexión eléctrica con dicho medio para determinar al menos un punto de cruce por cero voltios de dicha al menos una señal analógica acondicionada.
- 20 **8.** El sistema de ahorro de energía de acuerdo con la reivindicación 6, en el que el dispositivo lógico (9) se encuentra en conexión eléctrica con dicho medio para identificar al menos un semiciclo positivo y al menos un semiciclo negativo (8) de dicha al menos una señal analógica acondicionada.
- 25 **9.** El sistema de ahorro de energía de acuerdo con la reivindicación 1, en el que el dispositivo de ahorro de energía también comprende una alimentación eléctrica (12) configurada para proporcionar una línea de tensión dividida destinada a utilizarse con el sistema de ahorro de energía.
- 30 **10.** Un método para reducir el consumo de energía mediante el sistema de ahorro de energía (1) comprendiendo:
- 35 a. la introducción de una cantidad predeterminada de energía entrante con al menos una señal analógica en dicho sistema de ahorro de energía;
- 40 b. la detección de dicha cantidad predeterminada de energía entrante introducida en dicho sistema de ahorro de energía;
- c. la determinación de al menos dos puntos de cruce por cero voltios de dicha al menos una señal analógica;
- d. la identificación de al menos un semiciclo positivo de al menos una señal analógica y al menos un semiciclo negativo de dicha al menos una señal analógica;
- e. el encaminamiento de dicho al menos un semiciclo positivo de dicha al menos una señal analógica y dicho al menos un semiciclo negativo de dicha al menos una señal analógica hacia al menos un procesador de señal digital;
- f. el procesamiento de dicha al menos una señal analógica;
- g. la reducción de dicha cantidad predeterminada de energía proporcionando una modulación de ancho de pulso a dicha al menos una señal analógica para generar una cantidad de energía reducida; y

h. la extracción de dicha cantidad reducida fuera de dicho sistema de ahorro de energía; en el que dicha reducción comprende la configuración de un transistor de control de semiciclo positivo IGBT/FET (54) para proporcionar una modulación de ancho de pulso sobre dicho al menos un semiciclo positivo de dicha al menos una señal analógica, una configuración del transistor de control de semiciclo negativo IGBT/FET (58) para proporcionar una modulación de ancho de pulso a dicho al menos un semiciclo negativo de dicha al menos una señal analógica, una configuración del primer transistor de control en derivación IGBT/FET (59) y del segundo transistor de control en derivación IGBT/FET (60) como conmutadores de encaminamiento para fijar una fuerza contraelectromotriz.

5

10

11. El método de acuerdo con la reivindicación 10, en el que el sistema de ahorro de energía no controla las características de una carga a la que está conectado.

15

12. El sistema de ahorro de energía de acuerdo con la reivindicación 10, en el que el dispositivo de ahorro de energía se utiliza para controlar una pluralidad de cargas.

20

13. El método de acuerdo con la reivindicación 10 en el que el sistema de ahorro de energía se utiliza para los controladores de los frigoríficos; congeladores; climatizadores; motores eléctricos CA y tensión CA; dispositivos de ahorro de energía domésticos polifásicos, bifásicos o monofásicos; dispositivos de ahorro de energía comerciales e industriales; o reguladores de tensión CA.

14. El método de acuerdo con la reivindicación 10, en el que el método también comprende la detección de una pérdida de fase de dicha al menos una señal analógica.

25

15. El método de acuerdo con la reivindicación 10, en el que el método también comprende la detección de una rotación de fase de dicha al menos una señal analógica.

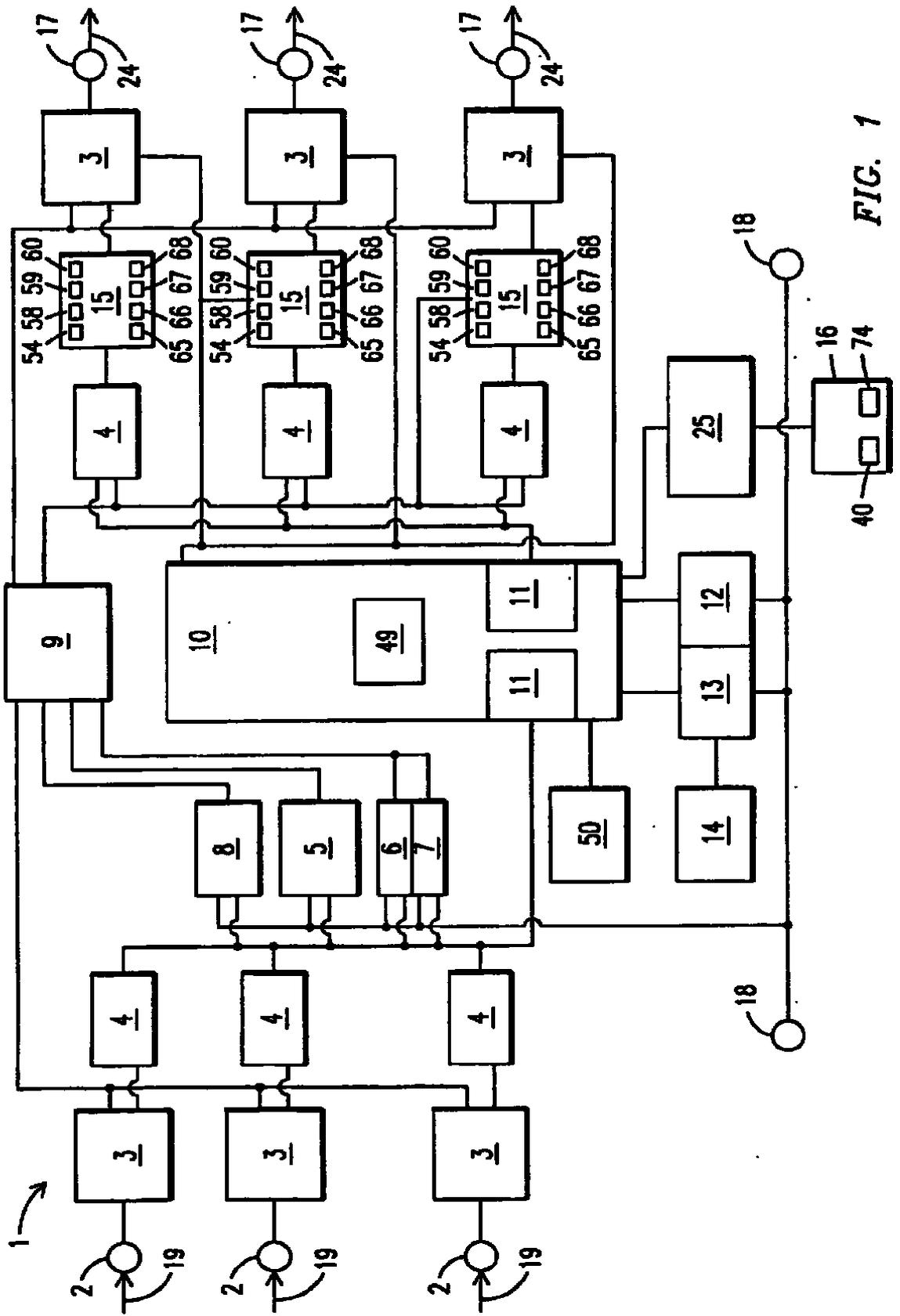
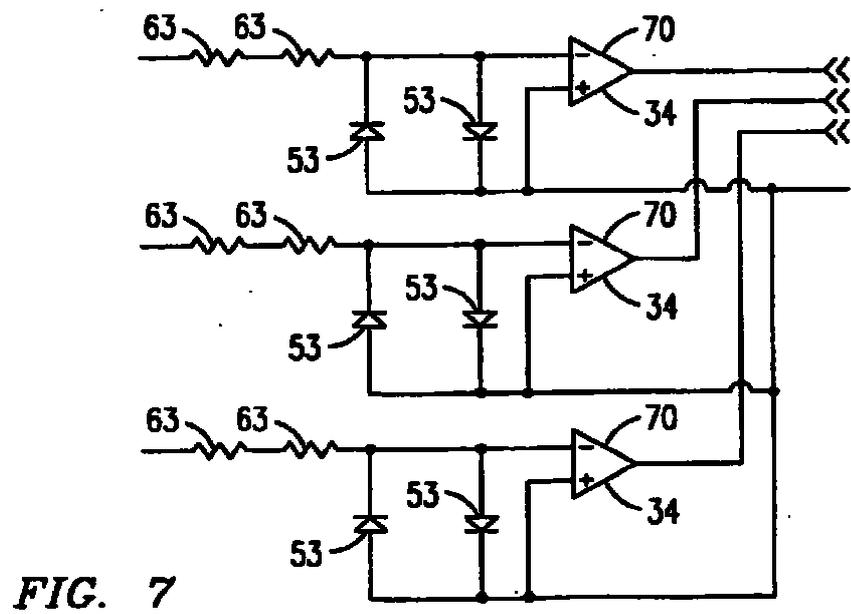
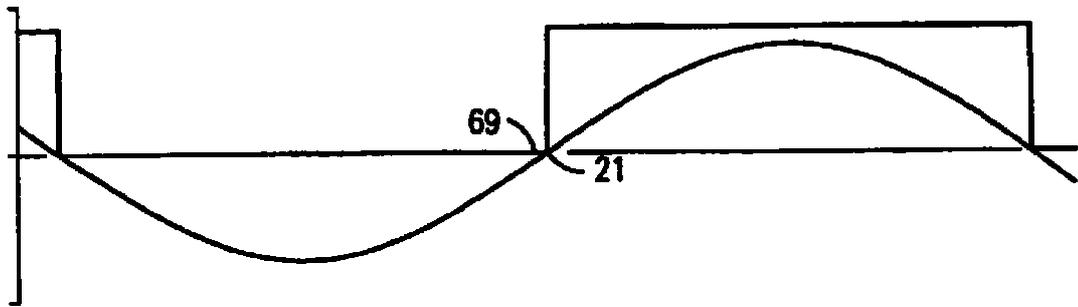
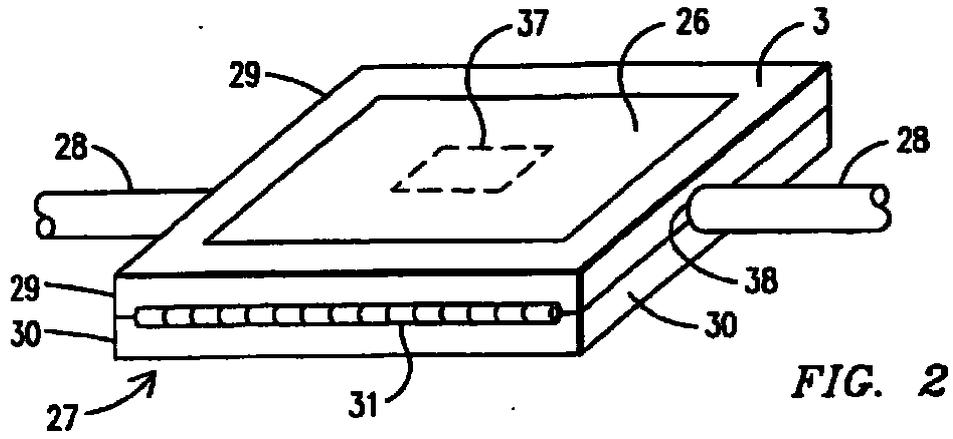
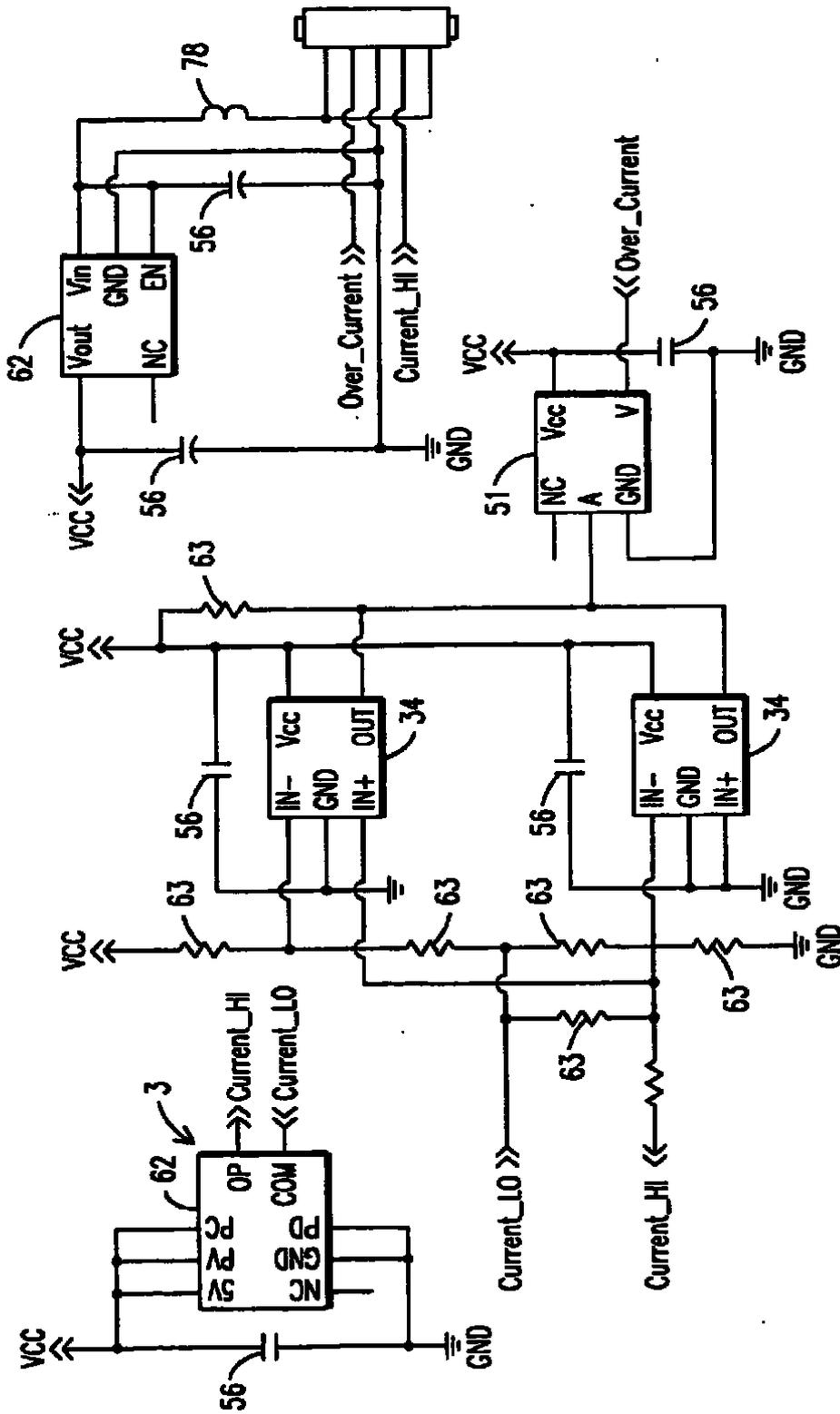


FIG. 1





Vout : tensión de salida **Vin**: tensión de entrada
Over_Current: sobrecorriente **Current_HI**: corriente alta
Current_LO: corriente baja **GND**: toma de tierra

FIG. 3

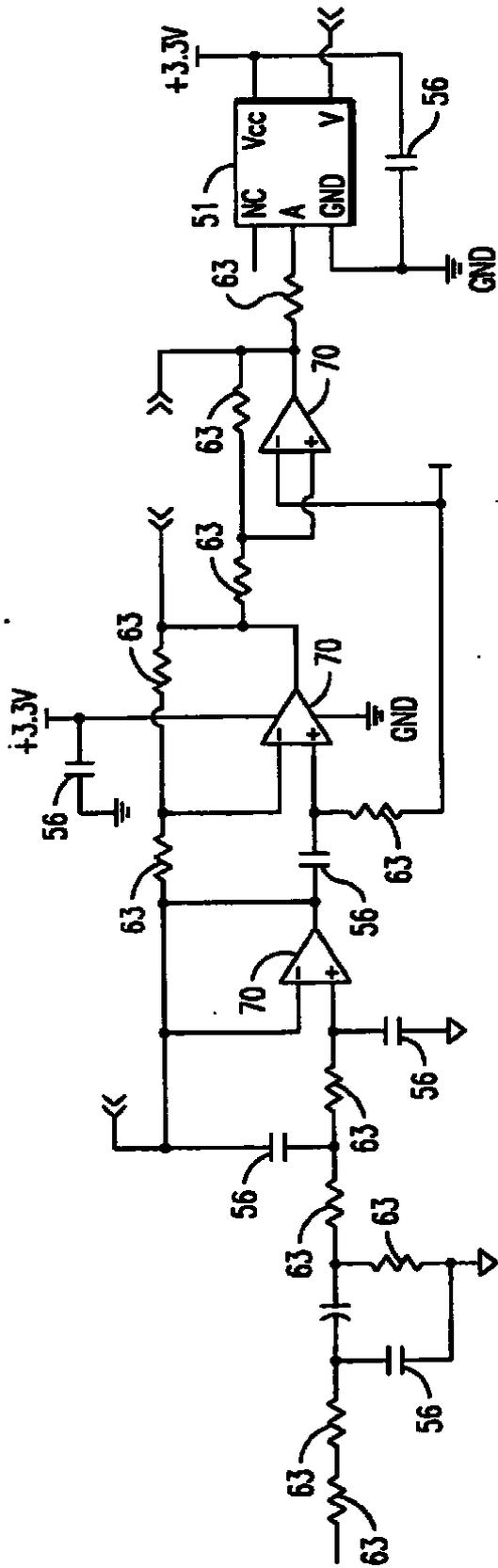


FIG. 4

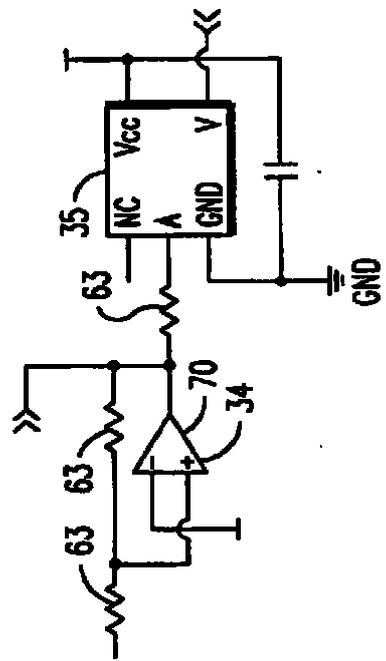


FIG. 6

GND: toma de tierra NC: normalmente cerrado
 A: amplificador

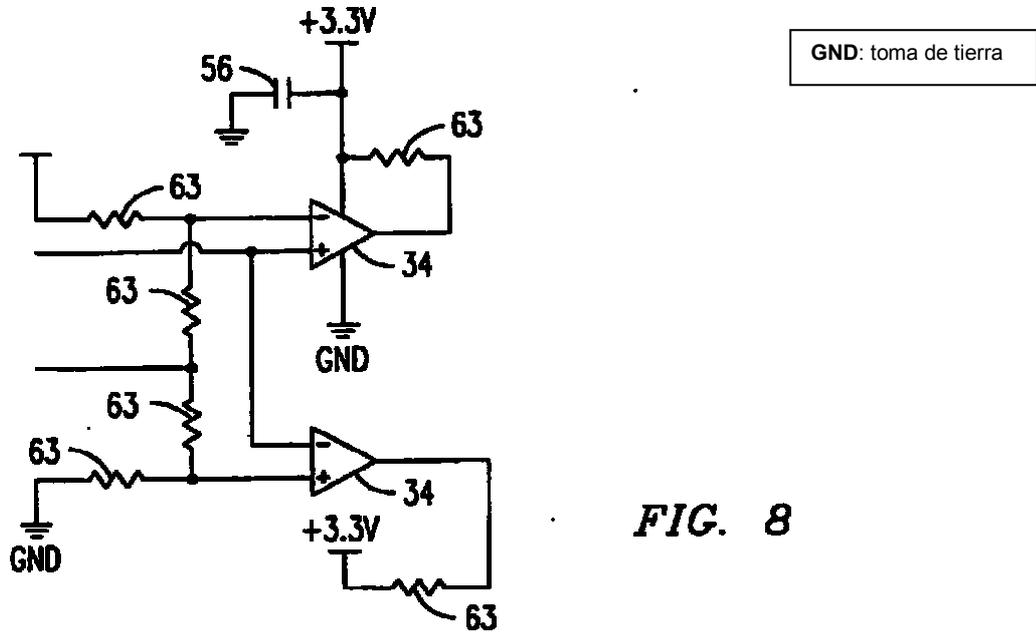


FIG. 8

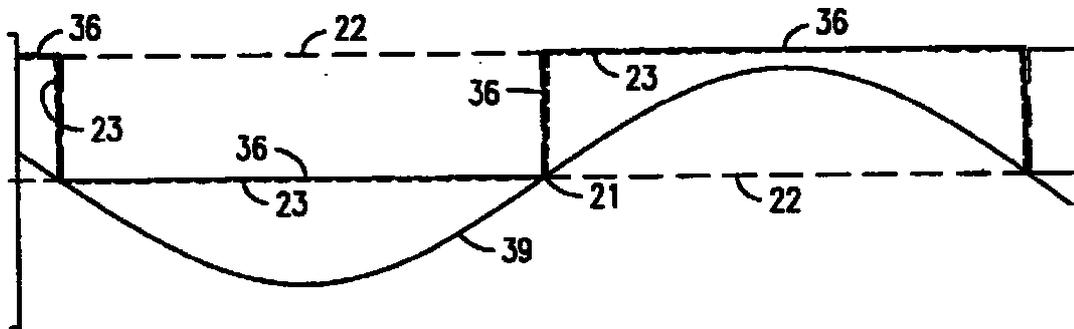


FIG. 9

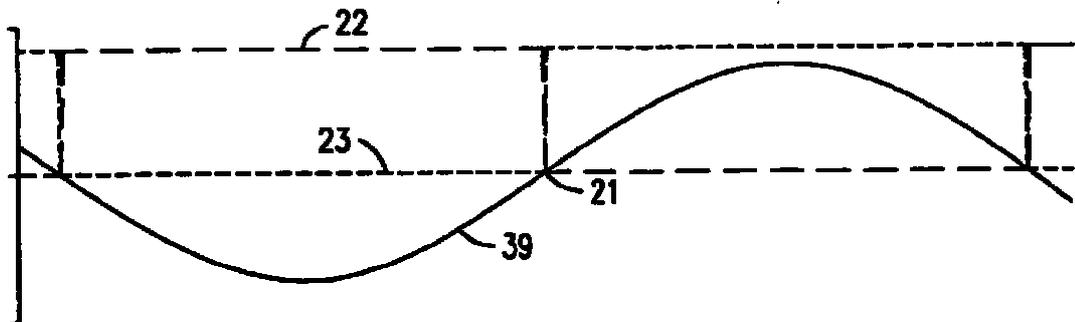
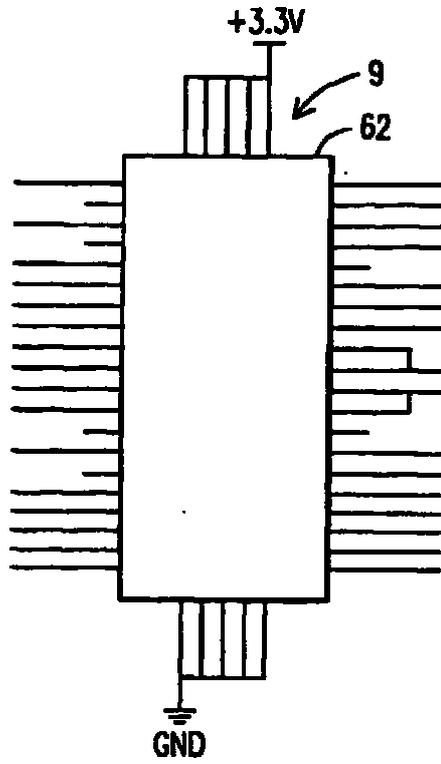


FIG. 10



GND: toma de tierra

FIG. 11A

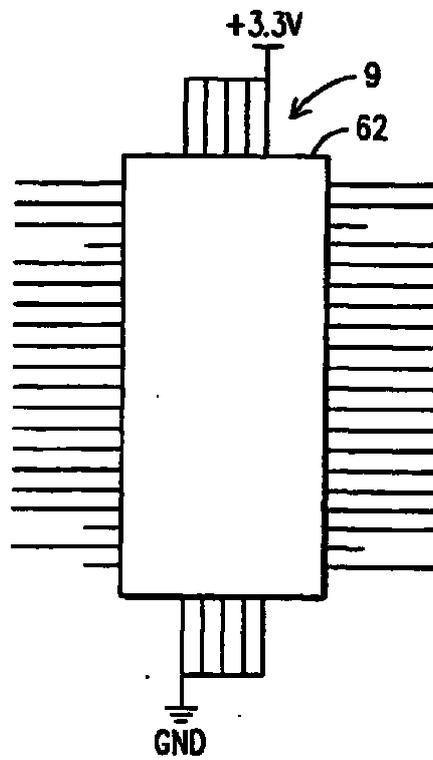


FIG. 11B

GND: toma de tierra

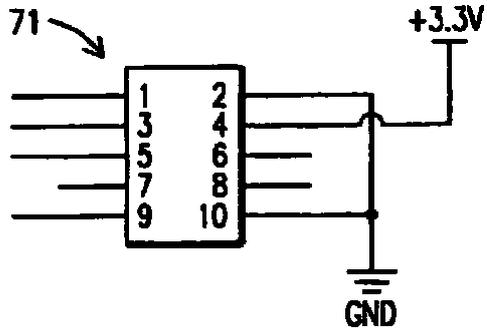


FIG. 11C

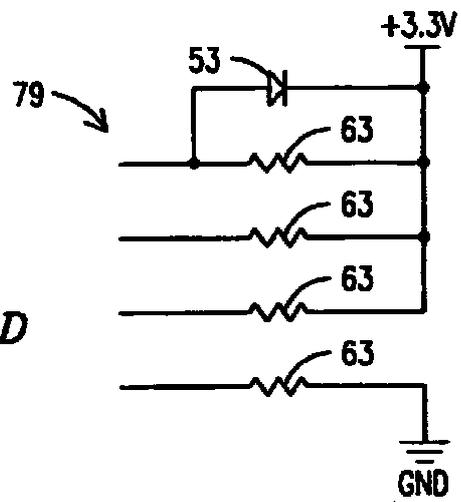


FIG. 11D

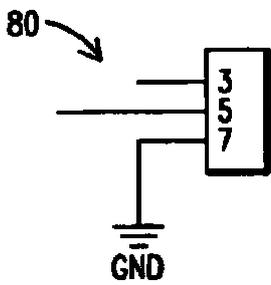
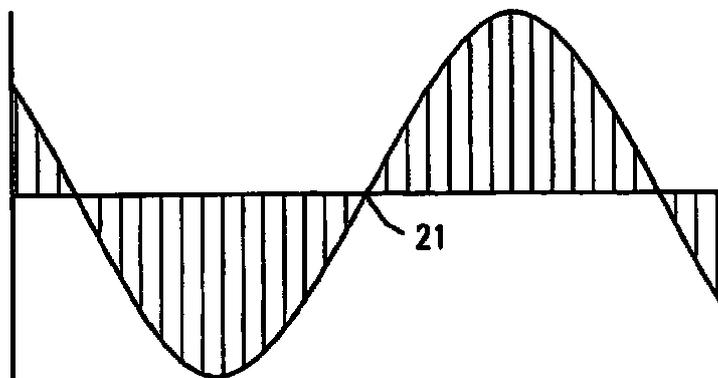


FIG. 11E

FIG. 12A



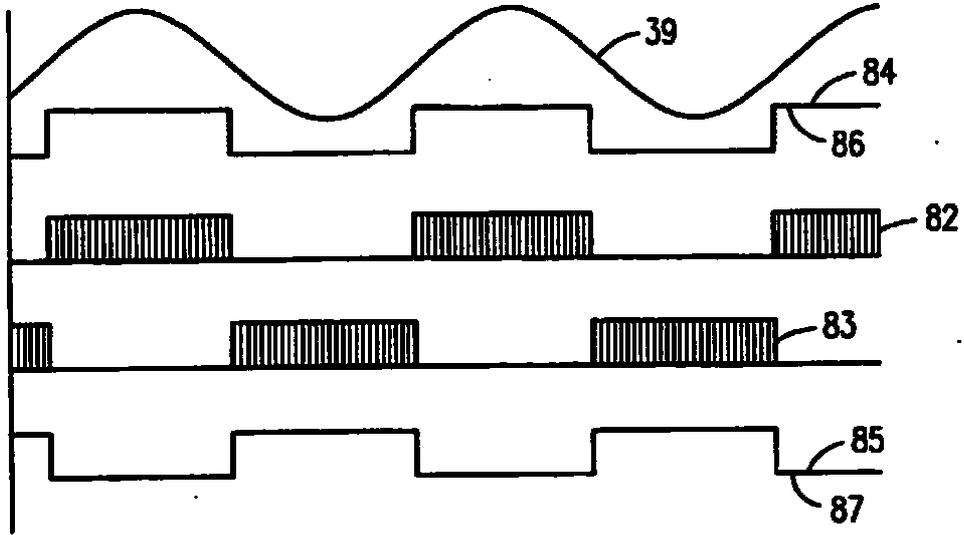


FIG. 12B

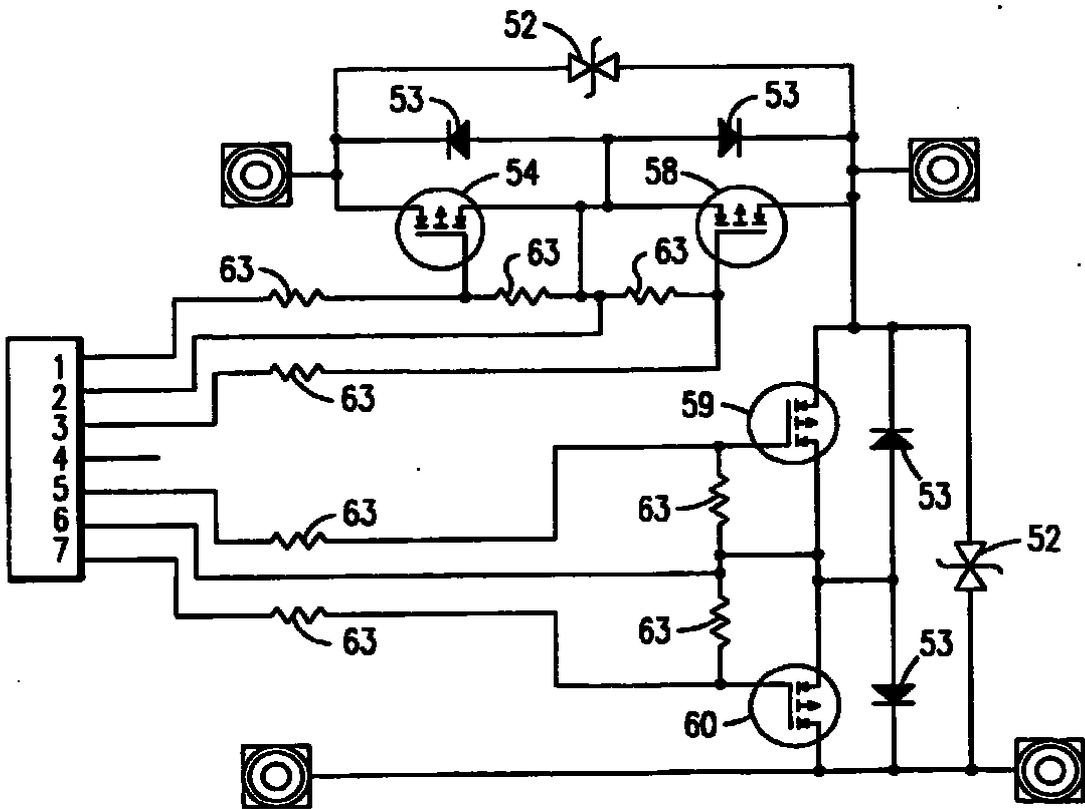


FIG. 12C

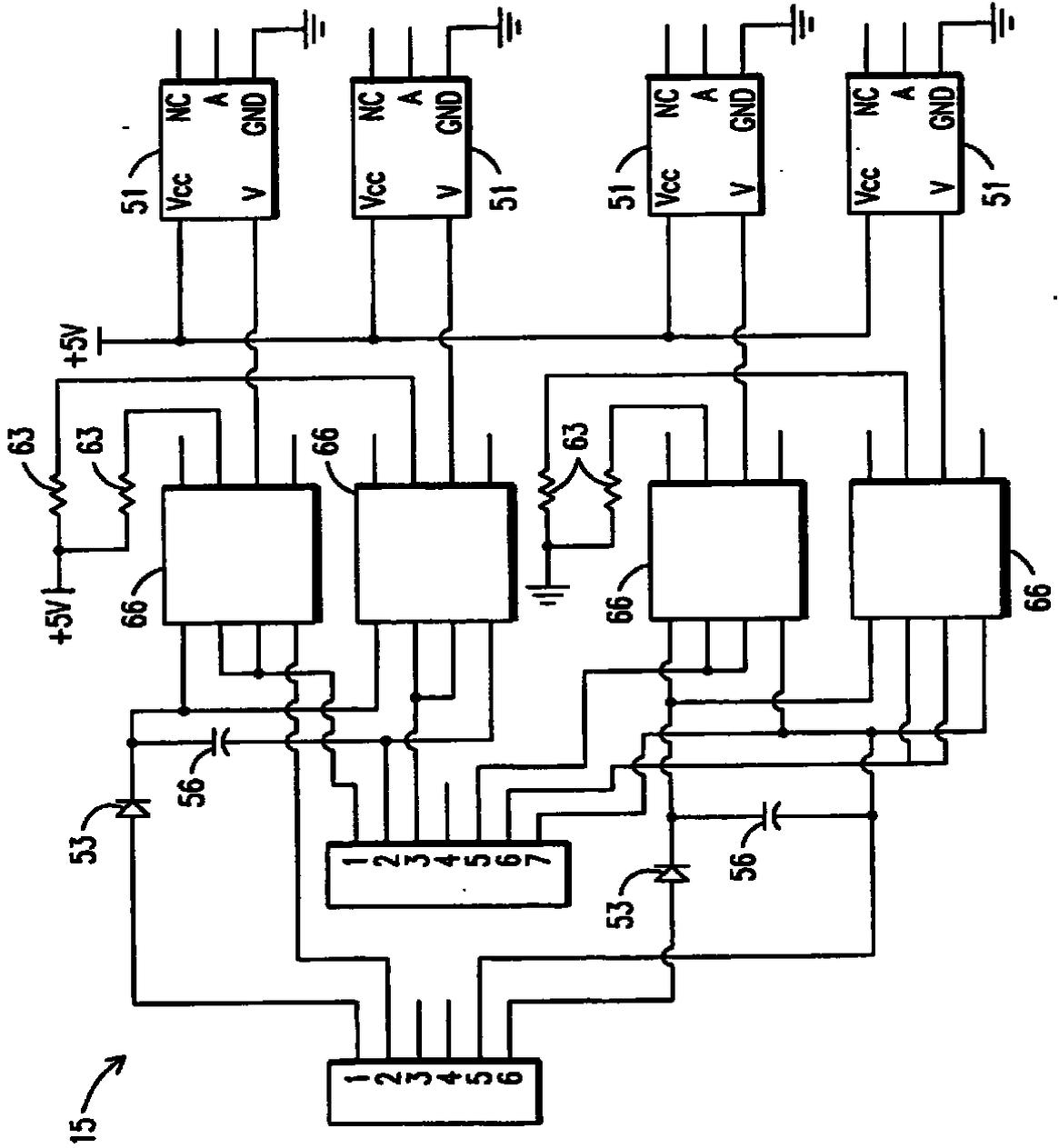


FIG. 12D

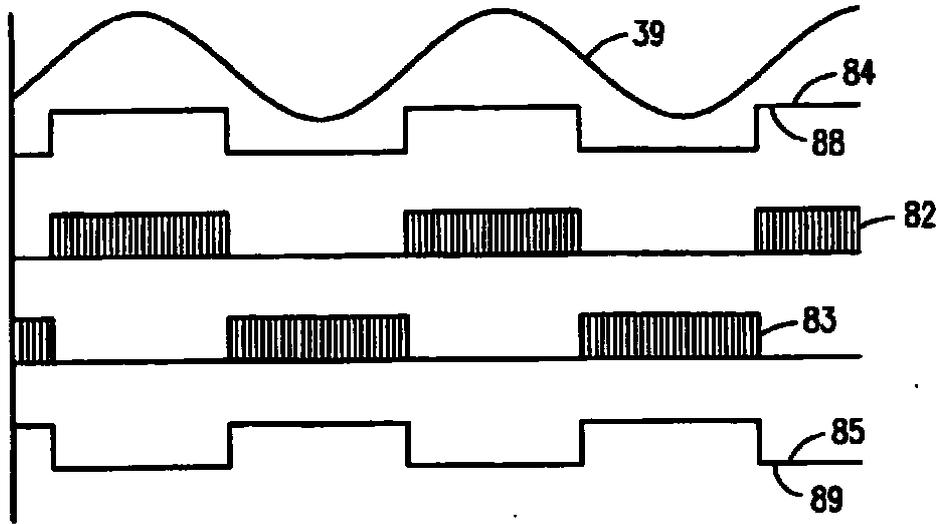


FIG. 12E

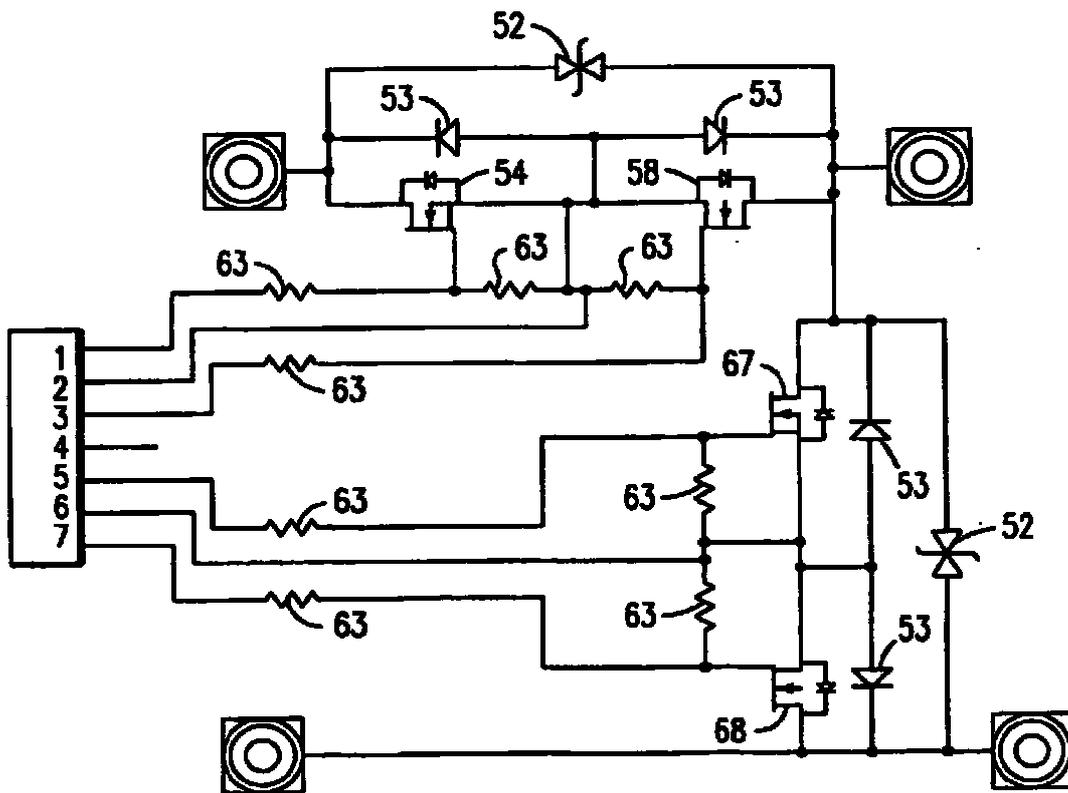
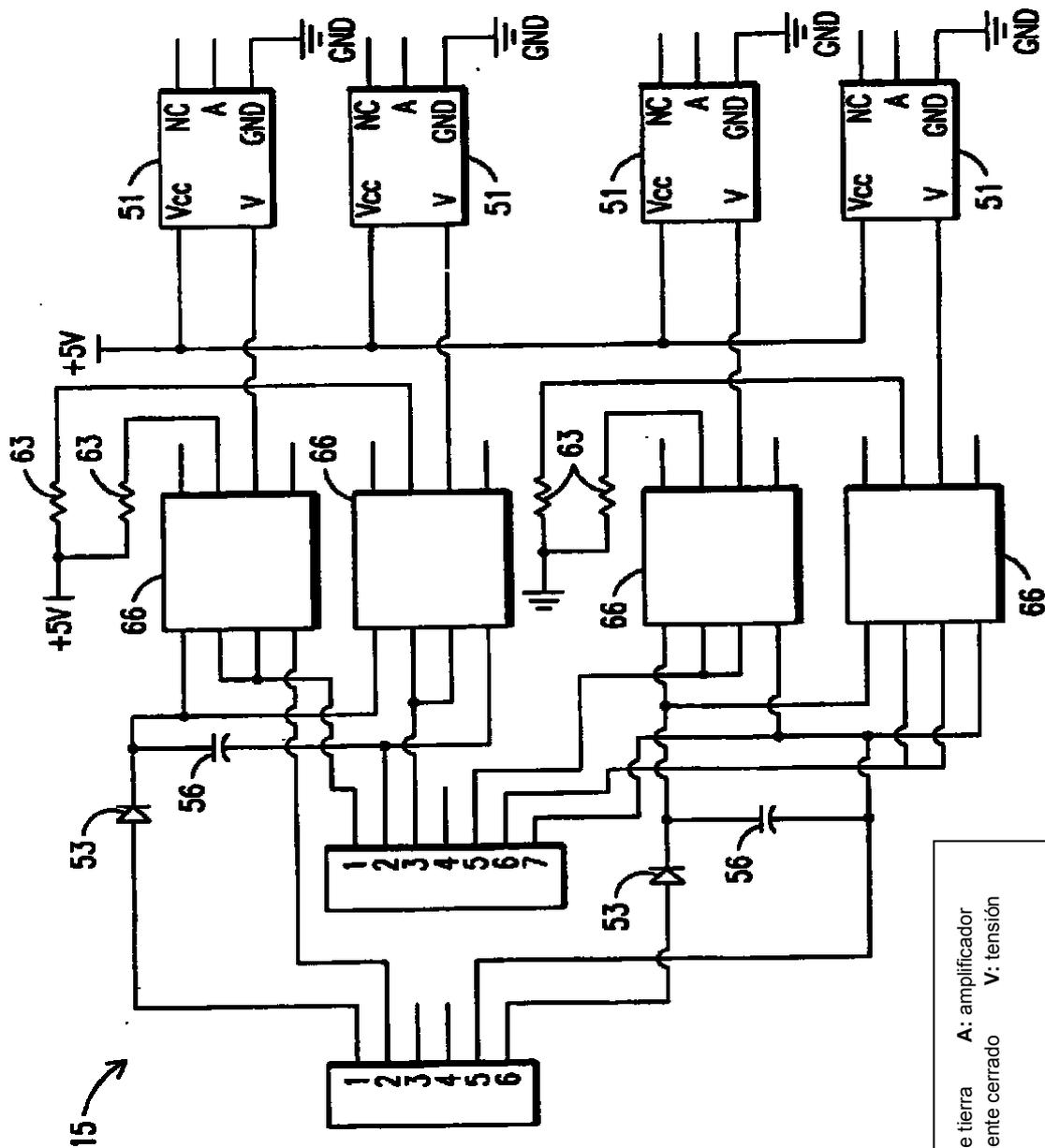


FIG. 12F



GND: toma de tierra A: amplificador
 NC: normalmente cerrado V: tensión

FIG. 12G

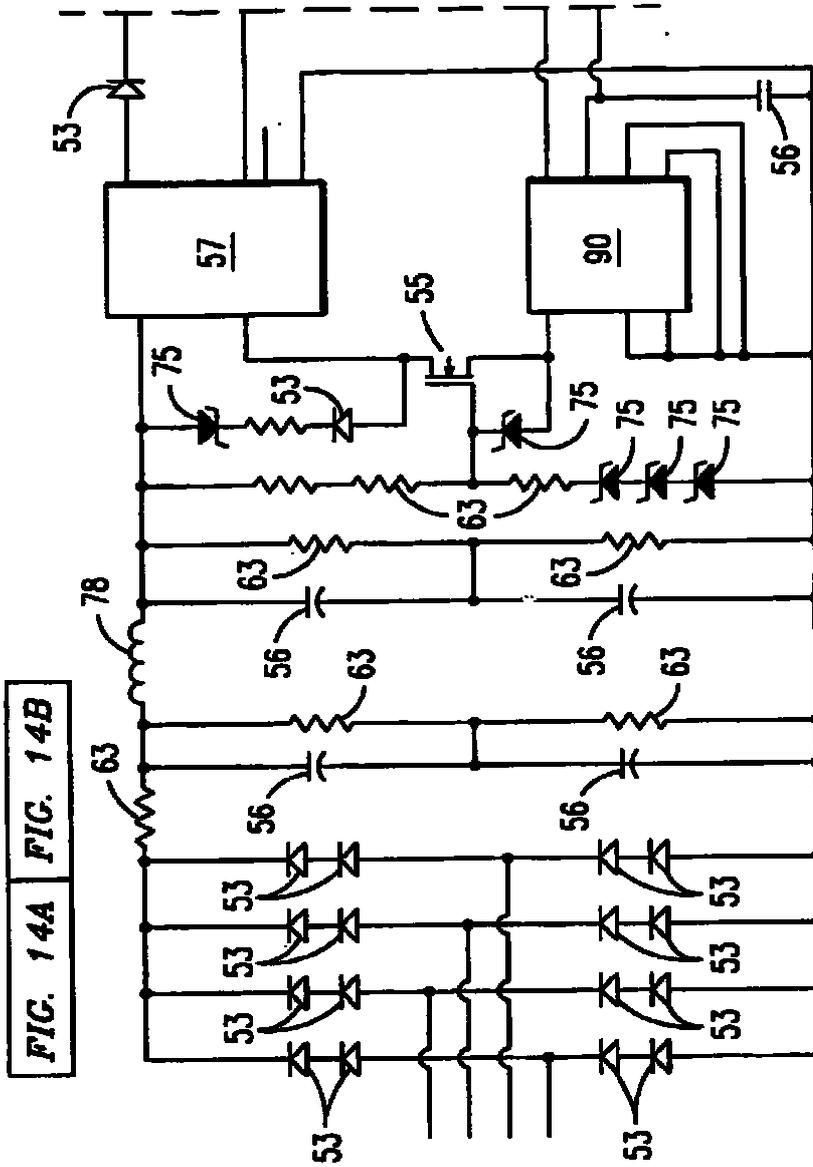


FIG. 14A FIG. 14B

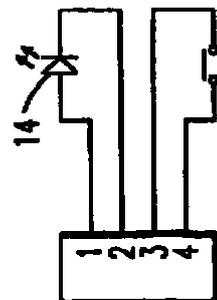


FIG. 14A

FIG. 13

GND: toma de tierra

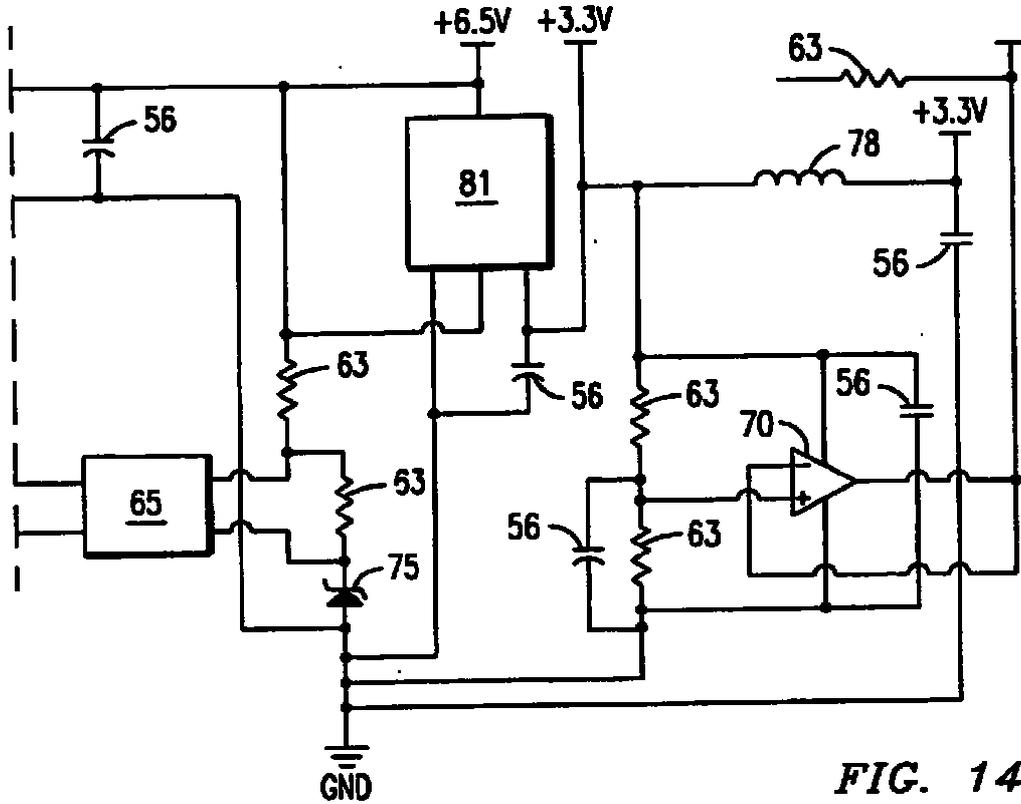


FIG. 14B

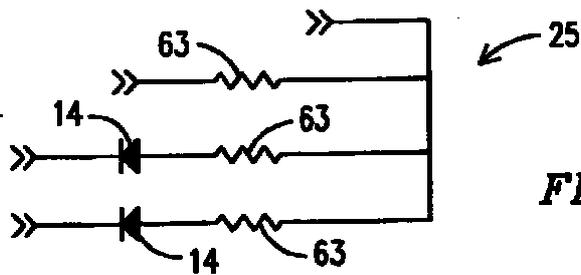


FIG. 15B

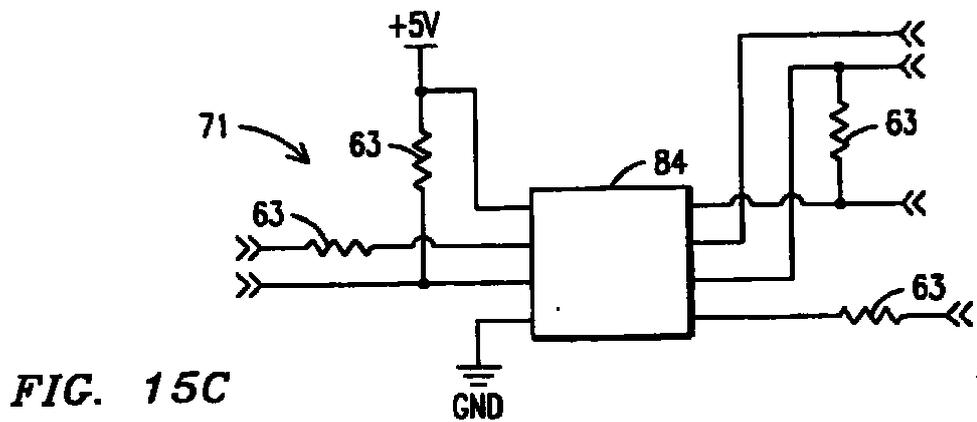


FIG. 15C

GND: toma de tierra

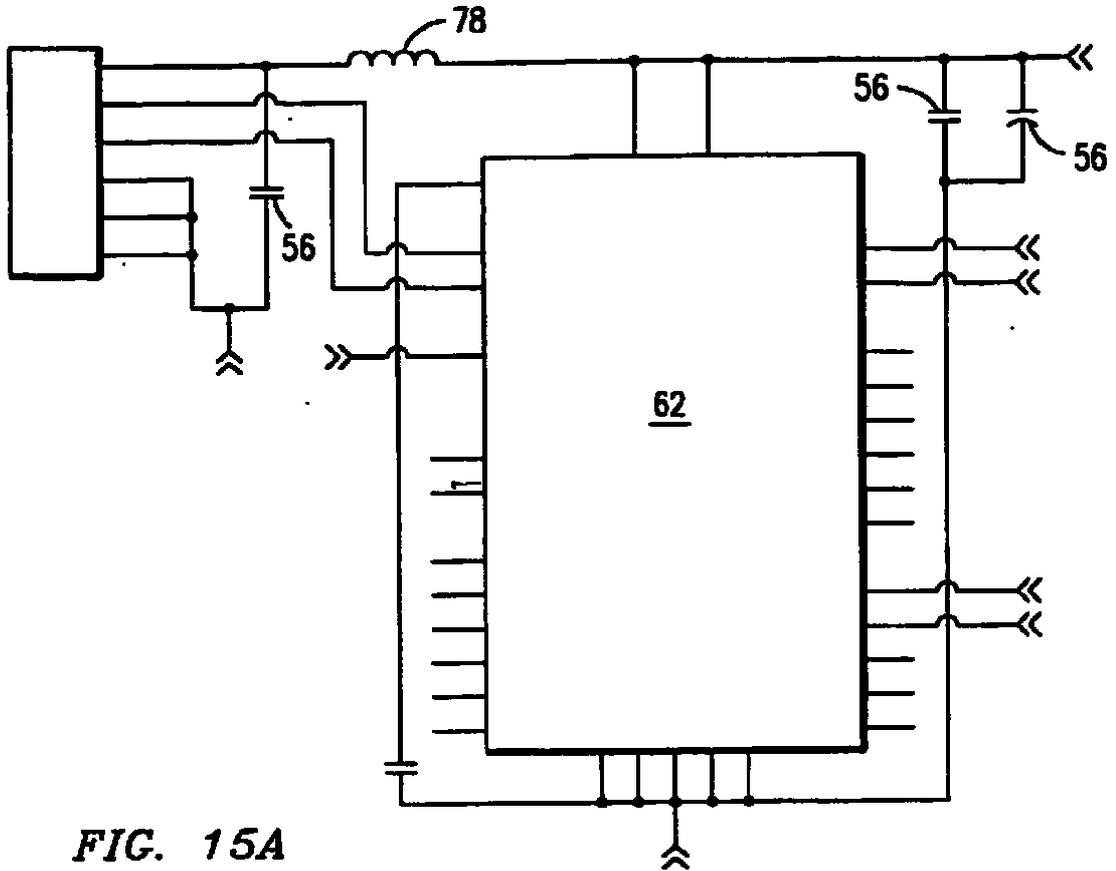


FIG. 15A

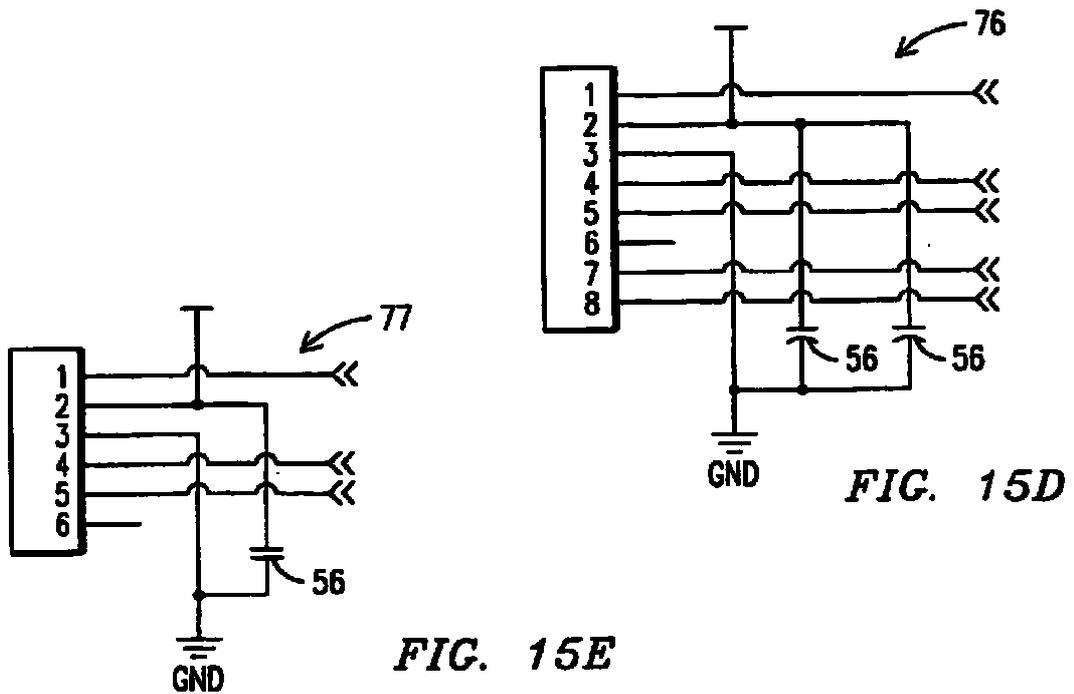


FIG. 15D

FIG. 15E

Configuración [X]

Modo operativo

- Regulación de tensión (RMS)
- Reducción de tensión (%)
- Reducción de ahorro (%)

Puntos de referencia

Regulación de tensión:

Puntos de referencia (RMS):

Reducción de tensión:

Regulación de tensión (%):

Límite más bajo RMS:

Reducción de ahorro:

Reducción de ahorro (%):

Límite más bajo RMS:

Modo operativo

Permitir inicio aleatorio:

Tiempo de inicio suave (Segs):

Calibración

FA -1 FA -2 FA -3

Factor de calibración de entrada	<input type="text" value="1.00"/>	<input type="text" value="1.00"/>	<input type="text" value="1.00"/>
Factor de calibración de salida	<input type="text" value="1.00"/>	<input type="text" value="1.00"/>	<input type="text" value="1.00"/>
Factor de calibración de corriente	<input type="text" value="1.00"/>	<input type="text" value="1.00"/>	<input type="text" value="1.00"/>

Rotación derecha

Rotación izquierda

Fase

- Monofásico
- Bifásico
- Trifásico

[OK] [Cancelar]

FIG. 16

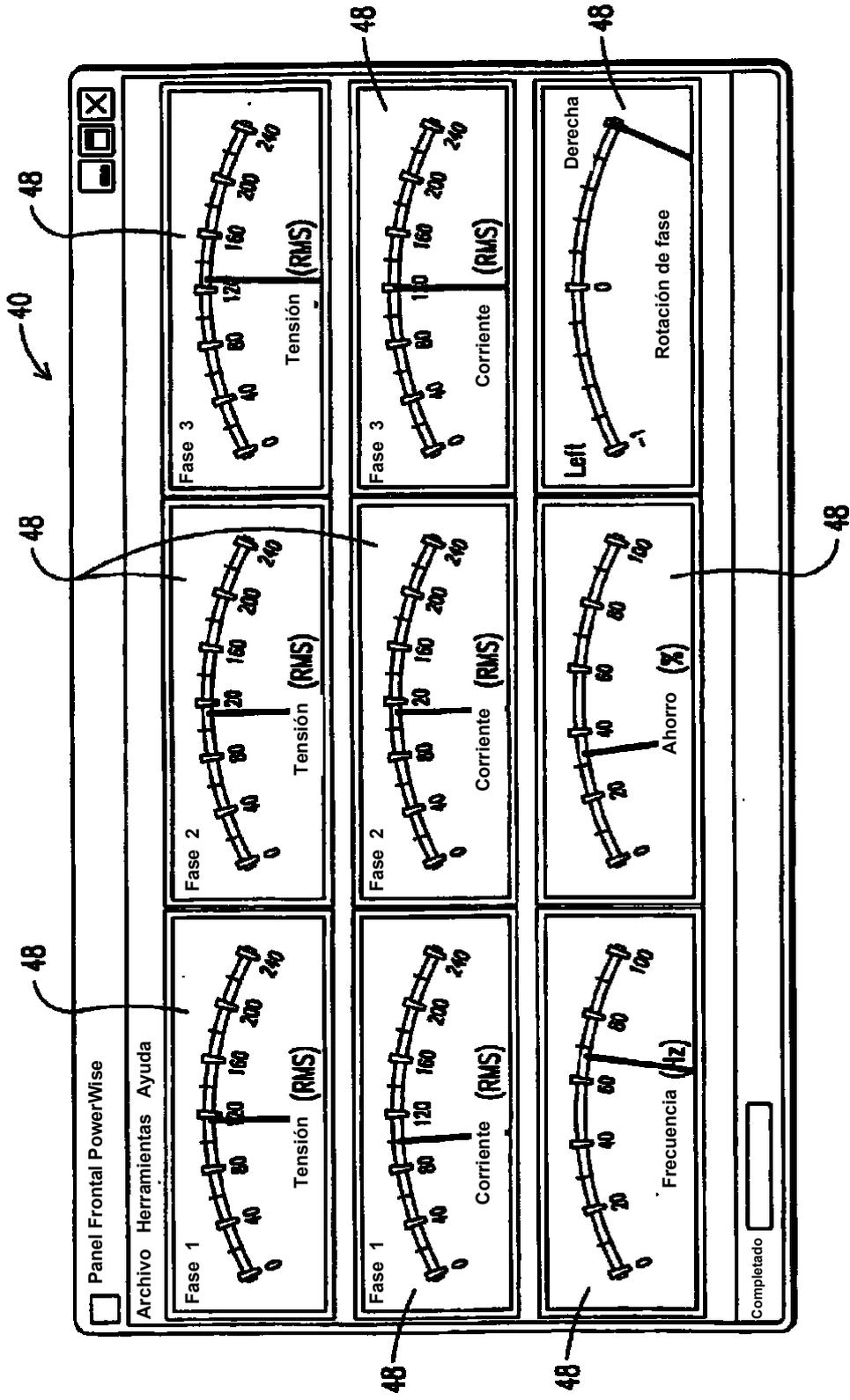


FIG. 17