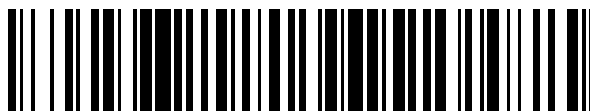


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 417 500**

51 Int. Cl.:

**G11C 8/16** (2006.01)

**G11C 8/12** (2006.01)

**G11C 11/4063** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **30.11.2006 E 06817678 (3)**

97 Fecha y número de publicación de la concesión europea: **03.04.2013 EP 1955333**

54 Título: **Circuito integrado de semiconductor que tiene un consumo de potencia bajo con autorrefresco**

30 Prioridad:

**30.11.2005 US 289428**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**08.08.2013**

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED  
(100.0%)  
11 HINES ROAD, SUITE 203  
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:

**OH, HAKJUNE**

74 Agente/Representante:

**CARVAJAL Y URQUIJO, Isabel**

**ES 2 417 500 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Circuito integrado de semiconductor que tiene un consumo de potencia bajo con autorrefresco

La presente invención se refiere, en general, a memorias de acceso aleatorio dinámicas (DRAM). En particular, la presente invención se refiere a circuitos de autorrefresco de DRAM.

## 5 Antecedentes de la invención

A medida que la tecnología de fabricación de semiconductores de transistores se aproxima al nivel nanométrico, los circuitos y los sistemas resultantes que usan los mismos logran varias ventajas primarias. Una integración más alta empaca, en un área dada de silicio, más características y funciones que la tecnología de fabricación más antigua, dando como resultado unos dispositivos más pequeños y más fácilmente portátiles. Con una integración más alta, puede fabricarse un número mayor de microplacas por oblea de silicio, reduciendo de forma efectiva el coste por microplaca. Los transistores más pequeños conmutan más rápido debido a una tensión umbral reducida, proporcionando una velocidad de funcionamiento superior para los sistemas.

Un ejemplo de un dispositivo semiconductor que se beneficia de los transistores de dimensiones más pequeñas es la memoria de acceso aleatorio dinámica a la que, en lo sucesivo en el presente documento, se hace referencia simplemente con el acrónimo DRAM. Los expertos en la materia entienden que la DRAM se emplea más ampliamente en los sistemas informáticos, debido a su alta densidad y velocidad. A pesar de que existen diferentes tipos de memoria DRAM disponibles para dar cabida a normas específicas, tal como RDRAM, SDRAM, DDR-SDRAM, por ejemplo, su núcleo subyacente es aún DRAM.

La célula de memoria DRAM se basa en el almacenamiento de cargas para diferenciar entre un "1" lógico y un "0" lógico almacenados. Desafortunadamente, esta carga se fugará o se disipará después de un periodo de tiempo relativamente corto, requiriendo por lo tanto un refresco periódico para mantener el nivel lógico almacenado. El refresco de DRAM se conoce bien en la técnica, al igual que los circuitos requeridos para ejecutar las operaciones de refresco. Una descripción simplificada de una operación de refresco se analiza a continuación con referencia al sistema de DRAM de la técnica anterior que se muestra en la figura 1.

La DRAM de la técnica anterior de la figura 1 incluye una agrupación de células de memoria 100, unos circuitos periféricos de paso limitado, unos circuitos de trayectoria de datos, unos circuitos de direccionamiento y unos circuitos de control de refresco. El sistema de DRAM de la figura 1 se ha simplificado, no obstante los expertos en la materia entenderán que los sistemas de DRAM incluirán otros circuitos para habilitar funciones adicionales.

La agrupación de células de memoria 100 incluye unas líneas de palabra y unas líneas de bit acopladas con células de memoria. Los circuitos periféricos de paso limitado incluyen unos descodificadores de filas 102 para excitar las líneas de palabra, y el amplificador de detección y los circuitos de acceso de líneas de bit 104 para transferir datos a y fuera de las células de memoria. Los circuitos de paso limitado presentan un empaque denso para corresponderse con el tamaño de la agrupación de células de memoria 100.

Se observa en los nodos acoplados o conectados entre sí pueden incluir enlaces que pueden o pueden no incluir unos circuitos intermedios.

Los circuitos de direccionamiento pueden incluir un predescodificador de direcciones de fila 106 para generar una dirección de fila predescodificada en respuesta a una dirección de fila **R\_ADDR[n]**, unos descodificadores de direcciones de columna 108 para activar los dispositivos de acceso de líneas de bit en respuesta a una dirección de columna **C\_ADDR[m]**, y unas memorias intermedias de direcciones 110 para generar **R\_ADDR[n]** y **C\_ADDR[m]** en respuesta a las direcciones externas A0 a An. Los circuitos de trayectoria de datos incluyen los circuitos de E/S de datos 112 para acoplar los datos entre los amplificadores de detección en el bloque 104 con las memorias intermedias de entrada/salida de datos (que no se muestran). Se observa que las variables n y m anteriores son iguales a 0 o a valores enteros mayores que 0.

Los circuitos de control de refresco incluyen un controlador de instrucciones 114, un contador de direcciones de fila interno 116 y un circuito de autorrefresco 118. Tales circuitos de control de refresco se conocen bien en la técnica, y el sistema que se muestra en la figura 1 puede incluir unos bloques de circuito adicionales para ejecutar operaciones adicionales. El controlador de instrucciones 114 responde a la señal de reloj **CLK** y recibe varias señales de nivel de sistema, tal como **CKE**, **WT**, **RD** y **REF**, que se descodifican para iniciar varias operaciones en el interior del sistema de DRAM a través de la señal **COMMAND**. Tres operaciones a modo de ejemplo que se usan para ilustrar el funcionamiento del sistema de DRAM incluirán una operación de lectura, una operación de refresco automático y una operación de autorrefresco.

Los expertos en la materia deberían conocer bien una operación de lectura de DRAM. En la figura 1, una operación de lectura se inicia cuando el controlador de instrucciones **114** recibe una combinación predefinida de las señales **CKE, WT, RD, REF** para señalar una operación de lectura, y la memoria intermedia de direcciones **110** recibe un conjunto específico de señales de dirección **A0** a **An**. La memoria intermedia de direcciones **110** genera un conjunto de direcciones de fila **R\_ADDR[n]** y un conjunto de direcciones de columna **C\_ADDR[m]**. El predescodificador de direcciones de fila **106** genera unas señales de dirección de fila predescodificada a partir de **R\_ADDR[n]**, que se usan a continuación por los descodificadores de filas **102** para excitar por lo menos una línea de palabra en la agrupación de células de memoria **100**. La totalidad de las células de memoria conectadas con la línea de palabra excitada acoplarán su carga almacenada con las líneas de bit respectivas. Dicho de otra forma, cada línea de bit en la agrupación de células de memoria **100** portará datos, que se detectan y se bloquean temporalmente posteriormente mediante los amplificadores de detección de líneas de bit correspondientes en el bloque **104**. Dependiendo de la configuración, el descodificador de direcciones de columna **108** seleccionará por lo menos un dispositivo de acceso de líneas de bit en el bloque **104** que se corresponde con **C\_ADDR[m]**, para acoplar ese amplificador de detección de líneas de bit con el bloque de circuito de E/S de datos **112**. La operación de lectura no implica el circuito de control de refresco.

La diferencia principal entre una operación de refresco automático y una de autorrefresco es el momento en el que estas se ejecutan. El refresco automático, también conocido como refresco CAS-antes de-RAS y refresco solo-RAS, se ejecuta durante el funcionamiento normal del sistema de DRAM, mientras que una operación de autorrefresco se ejecuta durante un modo de suspensión del sistema de DRAM. Se conoce bien que se usa un modo de suspensión para apagar unos circuitos seleccionados del sistema de DRAM con el fin de reducir el consumo de potencia, no obstante las células de DRAM en la agrupación de células de memoria **100** han de refrescarse durante el modo de suspensión para conservar los datos almacenados.

Una operación de refresco automático se ejecuta durante el funcionamiento normal del sistema de DRAM cuando una instrucción de refresco se recibe a través de las señales externas recibidas por el controlador de instrucciones **114**. El controlador de instrucciones **114** proporciona a continuación una señal de control **REFR** para incrementar o disminuir el contador de direcciones de fila interno **116**, y para habilitar el bloqueo temporal mediante las memorias intermedias de direcciones **110**. El contador de direcciones de fila interno **116** proporciona una dirección de refresco **REF\_ADDR[p]** que se bloquea temporalmente mediante las memorias intermedias de direcciones **110**. Se observa que la variable *p* es igual a 0 o un valor entero mayor que 0. Las memorias intermedias de direcciones **110** generan una dirección de fila **R\_ADDR[n]**, que se descodifica mediante el predescodificador de direcciones de fila **106** y los descodificadores de filas **102** para excitar por lo menos una línea de palabra. Cada amplificador de detección de líneas de bit restablece a continuación la carga de las células de memoria a las que se ha accedido a través de su funcionamiento de amplificación inherente. Debido a que la operación de refresco automático se ejecuta durante el funcionamiento normal con prioridad sobre otras operaciones, esta se ejecuta con rapidez para permitir que otras operaciones se reanuden.

El circuito de autorrefresco **118** incluye un oscilador interno (que no se muestra). El sistema de DRAM entra en el modo de suspensión (o "modo de autorrefresco") a través del controlador de instrucciones **114** para iniciar el oscilador del circuito de autorrefresco **118**. El circuito de autorrefresco **118** proporciona una señal de suspensión **SLEEP** para el contador de direcciones de fila interno **116**. De acuerdo con las instrucciones para autorrefresco de entrada y de salida, una señal **OSC\_OUT** se genera de forma periódica en el modo de autorrefresco. La señal generada **OSC\_OUT** se proporciona al contador de direcciones de fila interno **116** y a las memorias intermedias de direcciones **110**. En respuesta a **OSC\_OUT**, la memoria intermedia de direcciones **110** bloquea temporalmente la **REF\_ADDR[p]** generada por el contador de direcciones de fila interno **116**, y proporciona una dirección de fila **R\_ADDR[n]**. Como en el caso de refresco automático que se describe anteriormente, una línea de palabra se excita a través del predescodificador de direcciones de fila **106** y los descodificadores de filas **102** para refrescar las células de memoria en la agrupación de células de memoria **100**.

La implementación del sistema de DRAM de la figura 1 en la tecnología de fabricación nanométrica del estado de la técnica aumentará de forma inherente el rendimiento de velocidad del sistema. En particular los transistores, especialmente el predescodificador de direcciones de fila **106** y los descodificadores de filas **102**, pueden optimizarse para minimizar el retardo de propagación de la dirección de fila **R\_ADDR[n]** a través de los mismos. No obstante, una desventaja significativa de los transistores de alta velocidad de dimensiones mínimas es la intensidad de fuga a través del transistor, que aumenta el consumo de potencia global del sistema de DRAM. Los problemas de fuga de intensidad con la tecnología a escala nanométrica se ha documentado bien por la industria de los semiconductores. Por lo tanto, el funcionamiento a alta velocidad se obtiene a costa del consumo de potencia.

Las figuras 2 y 3 son unos esquemas de circuito que se presentan para ilustrar la fuente de la fuga de intensidad en los transistores de tecnología nanométrica. La figura 2 es un circuito de puertas lógicas simples que consiste en una puerta NAND de 2 entradas **200** que tiene una salida conectada con una entrada de un inversor **202**. A modo de ejemplo, este circuito puede ser uno de varios circuitos en el predescodificador de direcciones de fila **106** de la figura 1. La puerta NAND **200** recibe dos direcciones de fila, **R\_ADDR[h]** y **R\_ADDR[i]**, y genera la dirección de fila predescodificada **PDR\_ADDR[k]** a través del inversor **202**. Se observa que las variables *h*, *i* y *k* son iguales a 0 o a

valores enteros mayores que 0. Tanto la puerta NAND **200** como el inversor **202** se implementan con transistores de CMOS y, preferiblemente, se dimensionan mínimamente para maximizar la velocidad. A pesar de que no se muestra de forma explícita, las dos puertas lógicas están conectadas con las fuentes de alimentación de VDD y de VSS. La fuga de intensidad puede tener lugar en la totalidad de los transistores de cada puerta lógica, tal como se mostrará en la figura 3.

La figura 3 es un esquema de transistores del inversor **202** que se muestra en la figura 2. El inversor **202** es un inversor de CMOS complementario convencional que consiste en el transistor de canal p **300** y el transistor de canal n **302** conectados en serie entre VDD y VSS. La implementación de transistores de CMOS de la puerta NAND **200** se conoce bien en la técnica y, por lo tanto, no se muestra. Cuando se implementan en tecnología nanométrica, puede fugarse intensidad ( $I_{fuga1}$ ) de los transistores **300** y **302** con respecto a VDD a VSS, incluso si la señal de entrada IN se mantiene a los estados de "0" lógico o de "1" lógico. Además, puede fugarse intensidad con respecto a VDD a través de los óxidos de puerta delgados de los transistores **300** y **302** ( $I_{fuga2}$ ), lo que permite que la intensidad fluya a su través hasta un terminal de fuente/drenador de un transistor precedente. Por ejemplo, si la puerta del transistor **300** se excita hasta VSS por un circuito precedente, puede fugarse intensidad con respecto a VDD a través de su óxido de puerta directamente a VSS.

Por lo tanto, las operaciones de autorrefresco para los sistemas de DRAM pueden consumir una cantidad significativa de potencia, lo que no es deseable para las aplicaciones de cálculo portátiles. En las aplicaciones de cálculo portátiles en las que la duración de la batería es finita, el modo de suspensión puede usarse con frecuencia y durante unos periodos de tiempo prolongados en un esfuerzo de prolongar la duración de la batería.

La patente de EE. UU. 4.951.258 se dirige a una mejora que reduce el consumo de potencia de la circuitería de CBR (CAS antes de RAS) en comparación con la circuitería CBR anteriormente conocida. Para el refresco de CBR, se usa un contador para producir una señal de dirección interna mientras que, para otras operaciones, la dirección de fila se obtiene a partir de una memoria intermedia de direcciones de fila. El uso de unas trayectorias de dirección separadas de esta forma se conoce bien en el campo de los circuitos de DRAM.

El documento EP 0 511 397 A1 se dirige a una mejora que reduce el tiempo de descodificación y que mejora la velocidad de acceso a memoria. Por consiguiente, el fin del documento EP 0 511 397 A1 es aumentar la velocidad de funcionamiento del sistema de memoria.

Es, por lo tanto, deseable proporcionar un esquema de autorrefresco de baja potencia para los sistemas de DRAM.

#### Sumario de la invención

Es un objeto de la presente invención obviar o mitigar por lo menos una desventaja de los sistemas de autorrefresco previos para la memoria DRAM.

En un primer aspecto, la presente invención proporciona un circuito de lógica dependiente de modo para su uso en una memoria de acceso aleatorio dinámica. El circuito de lógica dependiente de modo puede incluir un primer circuito para generar una primera señal en respuesta a un estado lógico predeterminado de una primera señal de entrada, en un primer modo de funcionamiento y un segundo circuito lógicamente idéntico al primer circuito para generar una segunda señal en respuesta al estado lógico predeterminado de una segunda señal de entrada, en un segundo modo de funcionamiento.

De acuerdo con las realizaciones del primer aspecto, el segundo circuito incluye unos transistores que tienen una tensión umbral más alta que la de los transistores del primer circuito. El primer circuito incluye un circuito de conmutación de potencia para desconectar de forma selectiva los transistores del primer circuito con respecto a VDD o a VSS en el segundo modo de funcionamiento. El segundo circuito incluye un circuito de conmutación de potencia para desconectar de forma selectiva los transistores del primer circuito con respecto a VDD y VSS en un modo de apagado profundo. Los circuitos de lógica dependiente de modo pueden incluir además un circuito selector para recibir la primera señal y la segunda señal, pasando el circuito selector la primera señal en el primer modo de funcionamiento y pasando la segunda señal en el segundo modo de funcionamiento. El circuito de lógica dependiente de modo puede incluir además por lo menos dos primeras líneas de señal para proporcionar la primera señal de entrada, y por lo menos dos segundas líneas de señal para proporcionar la segunda señal de entrada, estando las primeras y las segundas líneas de señal intercaladas una con otra.

En todavía otra realización, el circuito de lógica dependiente de modo incluye además un primer circuito de excitación acoplado con las por lo menos dos primeras líneas de señal, y un segundo circuito de excitación acoplado con las por lo menos dos segundas líneas de señal, excitando el segundo circuito de excitación las por lo menos dos segundas líneas de señal hasta una de VDD y de VSS en el primer modo de funcionamiento.

En un segundo aspecto, la presente invención proporciona un método para accionar una memoria de acceso aleatorio dinámica (DRAM) en una operación de autorrefresco. El método incluye a) deshabilitar un circuito precodificador de alta velocidad; b) habilitar un circuito predescodificador de baja potencia, siendo el circuito predescodificador de baja potencia lógicamente idéntico al circuito precodificador de alta velocidad; y c) proporcionar una dirección de refresco para el circuito predescodificador de baja potencia.

De acuerdo con las realizaciones del presente aspecto, el método puede incluir además la etapa de desacoplar el circuito precodificador de alta velocidad con respecto a VDD o a VSS, y puede incluir además proporcionar de forma selectiva una dirección de fila predescodificada desde el circuito predescodificador de baja potencia. La etapa de proporcionar la dirección de refresco incluye habilitar una memoria intermedia de direcciones de baja potencia para bloquear temporalmente la dirección de refresco proporcionada por un contador de direcciones de fila, y deshabilitar una memoria intermedia de direcciones de alta velocidad. La memoria intermedia de direcciones de alta velocidad puede desacoplarse con respecto a VDD y VSS.

Otras características de la presente invención serán evidentes para los expertos en la materia tras la revisión de la siguiente descripción de realizaciones específicas de la invención en conjunción con las figuras adjuntas. La invención se define en las reivindicaciones adjuntas.

#### Breve descripción de los dibujos

A continuación, se describirán realizaciones de la presente invención, solo a modo de ejemplo, con referencia a las figuras adjuntas, en las que:

la figura 1 es un diagrama de bloques de un sistema de DRAM de la técnica anterior;

la figura 2 es un esquema de circuito de puertas lógicas;

la figura 3 es un esquema de circuito de un inversor de CMOS,

la figura 4 es un diagrama de bloques de un sistema de DRAM con unos circuitos de autorrefresco de baja potencia de acuerdo con una realización de la presente invención;

la figura 5A es un esquema de circuito de un circuito precodificador de filas dependiente de modo de acuerdo con una realización de la presente invención;

la figura 5B es un esquema de circuito de una puerta NAND incluida en el circuito precodificador de filas de alta velocidad que se muestra en la figura 5A;

la figura 5C es un esquema de circuito de un inversor incluido en el circuito precodificador de filas de alta velocidad que se muestra en la figura 5A;

la figura 6 es un esquema de circuito de un circuito de memoria intermedia de direcciones de fila dependiente de modo de acuerdo con una realización de la presente invención;

la figura 7 es un diagrama de sincronismo que ilustra el funcionamiento de una operación de autorrefresco de baja potencia de acuerdo con una realización de la presente invención;

la figura 8 es una disposición plana de líneas de dirección de fila intercaladas; y,

la figura 9 es una vista isométrica de líneas de dirección de fila intercaladas en vertical.

#### Descripción detallada

En general, la presente invención proporciona unos circuitos lógicamente idénticos para proporcionar las mismas señales de control lógico, en los que cada conjunto de señales de control puede tener diferentes parámetros eléctricos. Un circuito puede optimizarse para un comportamiento de alta velocidad, mientras que otro circuito puede optimizarse para un consumo de potencia bajo. Los circuitos lógicamente idénticos pueden incluir unos circuitos predescodificadores de direcciones de líneas de palabra para una DRAM, en los que un circuito precodificador de alta velocidad se habilita durante un modo de funcionamiento normal y un circuito predescodificador de baja potencia más lento se habilita para las operaciones de autorrefresco. Durante las operaciones de autorrefresco, el circuito de alta velocidad puede desacoplarse con respecto a la fuente de alimentación para minimizar su fuga de intensidad.

Las realizaciones de la presente invención se describen a continuación en el contexto de la DRAM, y en particular,

de los circuitos de direccionamiento de filas de autorrefresco de DRAM.

Tal como se describe anteriormente, las operaciones de lectura, escritura y de refresco automático se ejecutan a alta velocidad con unos márgenes de sincronismo estrechos. Por otro lado, el autorrefresco durante el modo de suspensión o modos similares de baja potencia puede ejecutarse a unas velocidades menores. Más específicamente, las restricciones de sincronismo de activación de líneas de palabra pueden relajarse debido a que no se requiere un funcionamiento a alta velocidad. Por lo tanto, unas porciones de la trayectoria de direccionamiento de filas pueden descodificarse con unos circuitos lógicos optimizados para un funcionamiento a una velocidad más baja y un consumo de potencia bajo. Debido a que tales circuitos no pueden funcionar a alta velocidad para las operaciones de lectura/escritura y de refresco automático, el circuito de consumo de potencia bajo se añade al sistema de DRAM. A pesar de que se consumirá un área de silicio adicional, las ventajas de ahorro de energía de tener una trayectoria de circuito de consumo de potencia bajo dedicada superarán el coste de área de silicio añadido. Por consiguiente, los parámetros eléctricos de las señales pueden incluir el sincronismo. Asimismo, las tensiones tales como la VDD interna pueden ajustarse a unas tensiones de nivel más bajo.

Un método de reducción de intensidad de fuga conocido es aumentar la tensión umbral de los transistores. Como debería conocerse por parte de los expertos en la materia, la tensión umbral puede ajustarse durante la fabricación mediante la adaptación del espesor de óxido de puerta, las concentraciones de implante y las dimensiones de los transistores, por ejemplo. Para los fines de la presente invención, puede usarse cualquier técnica de ajuste de tensión umbral.

La figura 4 es un diagrama de bloques de un sistema de DRAM de acuerdo con una realización de la presente invención. El sistema que se muestra en el presente caso es similar al sistema que se muestra en la figura 1, e incluye características adicionales para reducir el consumo de potencia durante una operación de autorrefresco.

El sistema de DRAM incluye una agrupación de células de memoria **450**, unos descodificadores de filas **452**, un amplificador de detección y unos circuitos de acceso de líneas de bit **454**, unos descodificadores de direcciones de columna **458**, unos circuitos de E/S de datos **462** y un controlador de instrucciones **464**, que realizan la misma función que la agrupación de células de memoria **100**, los descodificadores de filas **102**, el amplificador de detección y los circuitos de acceso de líneas de bit **104**, los descodificadores de direcciones de columna **108**, los circuitos de E/S de datos **112** y el controlador de instrucciones **114**, respectivamente, que se describen anteriormente para la figura 1. El controlador de instrucciones **464** responde a la señal de reloj **CLK**. El predescodificador de direcciones de fila **106** se sustituye en el presente caso con el circuito selector **400** que se implementa como un multiplexor (MUX) simple controlado por la señal **SLEEP**, y dos circuitos lógicamente idénticos **402** y **404**. Otros circuitos del sistema de DRAM incluyen una memoria intermedia de direcciones dependiente de modo **406**, un circuito de conmutación de potencia interno **408**, un circuito de autorrefresco **410** y un contador de direcciones de fila interno **412**. A continuación, se da un análisis adicional de los circuitos que se mencionan anteriormente.

El circuito lógico **402** es un circuito precodificador de filas de alta velocidad mientras que el circuito lógico **404** es un circuito predescodificador de filas de baja potencia. Ambos circuitos son una respuesta a las mismas señales de entrada de estado lógico predeterminado. El circuito precodificador de filas de alta velocidad **402** recibe unas señales de direcciones de fila rápidas **R\_ADDR\_F[n]** y proporciona una dirección de fila predescodificada a una primera entrada del MUX **400**. El circuito predescodificador de filas de baja potencia **404** recibe unas señales de direcciones de fila lentas **R\_ADDR\_S[n]** y proporciona una dirección de fila predescodificada a una segunda entrada del MUX **400**. En una implementación práctica, las direcciones de fila predescodificadas a partir de los circuitos **402** y **404** se alimentan a un primer conjunto de entradas y a un segundo conjunto de entradas del MUX **400** respectivamente, debido a que habría más de una señal de dirección predescodificada proporcionada por cada circuito. Un conjunto de direcciones de fila predescodificadas se proporciona de forma selectiva a los descodificadores de filas **452** por la señal **SLEEP**. Detalles adicionales de los circuitos **402** y **404** se describirán con referencia a la figura 5A. Se observa que las salidas lógicas de los circuitos **402** y **404** son las mismas para una **REF\_ADDR[p]** dada. Colectivamente, los circuitos **400**, **402** y **404** forman un circuito precodificador dependiente de modo.

La memoria intermedia de direcciones dependiente de modo **406** proporciona de forma selectiva dos conjuntos independientes de direcciones de fila, **R\_ADDR\_S[n]** y **R\_ADDR\_F[n]**, en respuesta a la señal **SLEEP**. En la presente realización, **R\_ADDR\_S[n]** y **R\_ADDR\_F[n]** serían lógicamente las mismas para una dirección de refresco dada **REP\_ADDR[p]**, excepto por sus parámetros de sincronismo. Por consiguiente, la memoria intermedia de direcciones dependiente de modo **406** incluye, preferiblemente, una memoria intermedia de direcciones de alta velocidad para excitar **R\_ADDR\_F[n]**, y una memoria intermedia de direcciones de baja potencia para excitar **R\_ADDR\_S[n]**. La memoria intermedia de direcciones de alta velocidad se optimiza para alta velocidad y la memoria intermedia de direcciones de baja potencia se optimiza para un consumo de potencia bajo. Los parámetros de diseño de estas dos memorias intermedias de direcciones coincidirían de forma correspondiente con los de los circuitos precodificadores de filas **402** y **404**. Detalles adicionales de la memoria intermedia de direcciones dependiente de modo **406** se muestran en la figura 6.

El circuito de autorrefresco **410** funciona de forma similar a la del circuito **118** en la figura 1. La señal de control **SLEEP** se genera cuando la instrucción de modo de suspensión de baja potencia se recibe por el controlador de instrucciones **464**. La señal de control **SLEEP** se recibe por el MUX **400**, la memoria intermedia de direcciones dependiente de modo **406**, el conmutador de potencia interno **408** y el contador de direcciones de fila interno **412**.

- 5 El contador de direcciones de fila interno **412** se incrementa en respuesta a la señal de control **REFR** en el modo normal y en respuesta a la señal de oscilación **OSC\_OUT** en el modo de autorrefresco cuando la señal **SLEEP** está activa, para proporcionar la señal de dirección de refresco **REF\_ADDR[p]**. Por lo tanto, la señal **SLEEP** selecciona entre **OSC\_OUT** y **REFR** como la fuente para generar **REF\_ADDR[p]**,

10 El conmutador de potencia interno **408** es un circuito que no se usa en el sistema de la figura 1. Este circuito desacopla de forma selectiva las tensiones de fuente de alimentación **VDD** y **VSS** con respecto a los raíles de fuente de alimentación internos **VDDL**, **VSSL** y **VDD\_L**, **VSS\_L**. Estos raíles internos pueden encaminarse hacia unos circuitos específicos en el interior del sistema de **DRAM**. Cuando se desacoplan con respecto a **VDD** y **VSS**, los circuitos conectados con **VDDL** y **VSSL** ya no tendrán una trayectoria de intensidad hasta la fuente de alimentación, reduciendo/eliminando por lo tanto la intensidad de fuga. Este desacoplamiento puede tener lugar en un modo de suspensión a través de **SLEEP** o en un modo de apagado profundo a través de la señal **DEEP**. Tal como se mostrará en la figura 5A, los circuitos predescodificadores **402** y **404** se alimentan a partir de **VDDL** y de **VSSL**, pero cualquier circuito que no se requiera durante el modo de suspensión puede beneficiarse de estar conectado con **VDD\_L**, **VSS\_L** y **VDDL**, **VSSL**. El conmutador de potencia interno **408** se muestra como un circuito central en la figura 4, pero puede implementarse de una forma distribuida de tal modo que los raíles internos y el circuito de conmutación pueden pertenecer a un circuito específico.

15 La figura 5A es un esquema de circuito que muestra detalles del MUX **400**, el circuito precodificador de filas de alta velocidad **402** y el circuito predescodificador de filas de baja potencia **404**. En el interior de cada circuito predescodificador **402** y **404** se encuentra una lógica de descodificador para generar una señal de dirección predescodificada. Cada circuito predescodificador **402** y **404** incluirá una pluralidad de puertas lógicas de descodificador para generar un conjunto respectivo de señales de dirección predescodificadas, pero solo una se muestra en la figura 5A para simplificar el esquema.

20 La lógica de descodificador del circuito predescodificador de filas de baja potencia **404** incluye una puerta NAND **500** que tiene su salida conectada con un inversor **502**. La puerta NAND **500** recibe unas señales de direcciones de fila **R\_ADDR\_S[h]** y **R\_ADDR\_S[i]**. En el presente ejemplo, los transistores de la puerta NAND **500** y el inversor **502** tienen, preferiblemente, una tensión umbral alta para resistir la fuga de intensidad. Como resultado, estos funcionan más lentamente en relación con los circuitos de alta velocidad del circuito predescodificador **402**. Tal como se analiza anteriormente, existen muchas formas de aumentar la tensión umbral de un transistor, cualquiera de las cuales puede usarse en las realizaciones que se dan a conocer en el presente caso. En el ejemplo que se muestra en el presente caso, el conmutador de potencia interno **408** se distribuye entre los bloques de circuito aplicables y aparece como el transistor de canal p **504** y el transistor de canal n **506**. El transistor de canal p **504** desacopla **VDD** con respecto a la línea de potencia interna **VDDL** en respuesta a la señal **DEEP**, mientras que el transistor de canal n **506** desacopla **VSS** con respecto a la línea de potencia interna **VSSL** en respuesta a la señal de complemento de **DEEP**, etiquetada **DEEP\***. La señal **DEEP** se excita hasta un nivel alto lógico para poner en estado apagado los transistores **504** y **506** cuando el sistema de **DRAM** entra en un modo de apagado profundo para maximizar la conservación de potencia a través de la totalidad del sistema. Durante un modo de apagado profundo, los datos almacenados en las células de memoria pueden perderse, por lo tanto no se requiere el autorrefresco de las células de memoria.

25 La lógica de descodificador del circuito precodificador de filas de alta velocidad **402** incluye una puerta NAND **508** que tiene su salida conectada con un inversor **510**. La puerta NAND **508** recibe unas señales de direcciones de fila **R\_ADDR\_P[h]** y **R\_ADDR\_F[i]**. En el presente ejemplo, los transistores de la puerta NAND **508** y el inversor **510** tienen, preferiblemente, una tensión umbral baja ( $V_t$ ) para maximizar la velocidad. Desafortunadamente para los transistores a escala nanométrica con una  $V_t$  baja, la fuga de intensidad estática es una porción significativa del consumo de potencia global. El circuito predescodificador **402** incluye el circuito de conmutación de potencia interno distribuido que consiste en el transistor de canal p **512** y el transistor de canal n **514** que acoplan **VDD** y **VSS** con **VDD\_L** y **VSS\_L** respectivamente. El terminal de puerta de los transistores **512** y **514** recibe la señal de control **SLEEP** y su complemento **SLEEP\*** respectivamente, para desacoplar los raíles internos **VDD\_L** y **VSS\_L** con respecto a **VDD** y **VSS** en el modo de suspensión.

30 La puerta NAND **500** del circuito predescodificador de filas de baja potencia **404** y la puerta NAND **508** del circuito precodificador de filas de alta velocidad **402** tienen la misma estructura de circuito. La figura 5B muestra solo la puerta NAND **508** que tiene una configuración de circuito conocida que tiene los transistores de canal p **542** y **544** y los transistores de canal n **546** y **548**. La fuente del transistor **548** está conectada con el drenador del transistor **514**, la puerta del cual recibe la señal de complemento de control **SLEEP\***. Las señales de direcciones de fila **R\_ADDR\_F[h]** y **R\_ADDR\_F[i]** se alimentan a las puertas de los transistores **542**, **544**, **546** y **548**. La señal de salida de NAND se proporciona desde los drenadores acoplados de los transistores **544** y **546** hasta la entrada del

inversor **510**. VSS\_L es un nivel de tensión en el nodo NN entre la fuente del transistor **548** y el drenador del transistor **514**. La configuración de circuito de la puerta NAND **508** es similar a la de la puerta NAND 500, pero está acoplada con VDD\_L.

5 El inversor **502** del circuito predescodificador de filas de baja potencia **404** y el inversor **510** del circuito precodificador de filas de alta velocidad **402** tienen la misma estructura de circuito. La figura 5C muestra la configuración de circuito del inversor **510**. Haciendo referencia a la figura 5C, el inversor **510** incluye los transistores de canal p y de canal n de drenadores acoplados **552** y **554** que están conectados en serie con el transistor **512**, la puerta del cual recibe **SLEEP**. La señal de salida a partir de la puerta NAND **508** del circuito predescodificador de filas **402** se alimenta a las puertas de los transistores **552** y **554**. La señal de salida invertida del inversor **510** se proporciona al transistor **518** del MUX **400**. VDD\_L es un nivel de tensión en el nodo Np entre el drenador del transistor **512** y la fuente del transistor **552**. La configuración de circuito del inversor **502** es similar a la del inversor **510**, pero está acoplada con VDDL.

15 Debería observarse que la señal de control **SLEEP** puede incluir una operación OR lógico de **SLEEP** con **DEEP**. Por lo tanto, **SLEEP** se excita hasta el nivel alto lógico cuando **DEEP** se excita hasta el nivel alto lógico para aislar ambos circuitos predescodificadores **402** y **404** con respecto a las fuentes de alimentación.

20 El MUX **400** se muestra como que incluye unos transistores de paso de canal n simples **516** y **518** que tienen unos terminales de entrada de fuente/drenador conectados con la salida de los inversores **502** y **510**, respectivamente. El terminal de puerta del transistor **516** recibe la señal de control **SLEEP** y el terminal de puerta del transistor **518** recibe una señal **SLEEP** invertida a través del inversor **520**. Un experto en la materia entenderá que los transistores de paso de canal n **516** y **518** pueden sustituirse con unas puertas de transmisión completamente de CMOS o transistores de canal p. Además, solo se muestra un único emparejamiento de los transistores **516** y **518**, pero debería entenderse que, en la práctica, habrá un par de transistores de paso configurados de la misma forma para cada par de puertas lógicas de descodificador.

25 Durante un modo de suspensión en el que **SLEEP** se excita hasta el nivel alto lógico activo, los transistores **512** y **514** se ponen en estado apagado para aislar la lógica de codificador del circuito precodificador de filas de alta velocidad con respecto a las fuentes de alimentación. La fuga de intensidad a través de este circuito se minimiza debido a que los transistores **512** y **514** pueden estar conformados como dispositivos de tensión umbral alta que muestran una fuga de intensidad mínima. Con **SLEEP** en el nivel alto lógico, el transistor **518** se pone en estado apagado mientras que el transistor **516** se pone en estado encendido. El circuito predescodificador de filas de baja potencia **404** permanece activo y pasa su salida a **PDR\_ADDR[k]**.

30 **SLEEP** se excita hasta el nivel bajo lógico inactivo para poner en estado encendido los transistores **512** y **514**. El transistor **518** se pone en estado encendido mientras que el transistor **516** se pone en estado apagado. Si se desea, puede realizarse una operación OR lógico de **DEEP** con **SLEEP\*** y excitarse hasta VDD para desacoplar VDDL y VSSL del circuito predescodificador de filas de baja potencia **404** con respecto a VDD y VSS cuando **SLEEP** se encuentra en el nivel bajo lógico inactivo.

35 La figura 6 es un esquema de circuito de la memoria intermedia de direcciones dependiente de modo **406** que se muestra en la figura 4. La memoria intermedia de direcciones dependiente de modo **406** incluye la memoria intermedia de direcciones de alta velocidad **600** y la memoria intermedia de direcciones de baja potencia **602**, ambas recibiendo y accionables para bloquear temporalmente la dirección de refresco **REF\_ADDR[p]** con respecto al contador de direcciones de fila **412**. La memoria intermedia de direcciones de alta velocidad **600** puede ajustarse para recibir y bloquear temporalmente unas señales de direcciones externas A0-An en lugar de **REF\_ADDR[p]** en respuesta a la señal de control **REFR**. A pesar de que no se muestra, la memoria intermedia de direcciones de alta velocidad **600** puede incluir un circuito MUX para pasar una de A0-An o **REF\_ADDR[p]**. Asimismo, la memoria intermedia de direcciones dependiente de modo **406** realiza funciones en respuesta a las otras señales de instrucción **COMMAND** (véase la figura 4). La memoria intermedia de direcciones de baja potencia **602** recibe **SLEEP** para bloquear temporalmente **REF\_ADDR[p]** y para pasar **OSC\_OUT** durante las operaciones de autorrefresco. La salida de la memoria intermedia de direcciones de alta velocidad **600** está acoplada con **R\_ADDR\_F[n]** mediante la puerta de transmisión de CMOS **604** controlada por **SLEEP** y **SLEEP\***. **R\_ADDR\_F[n]** está acoplada con VSS mediante el transistor de canal n **606** que tiene su puerta conectada con **SLEEP**. De forma similar, la salida de la memoria intermedia de direcciones de baja potencia **602** está acoplada con **R\_ADDR\_S[n]** mediante la puerta de transmisión de CMOS **608** controlada por **SLEEP\*** y **SLEEP**. **R\_ADDR\_S[n]** está acoplada con VSS mediante el transistor de canal n **610** que tiene su puerta conectada con **SLEEP\***.

40 En el funcionamiento normal, **SLEEP** se encuentra en el nivel bajo lógico inactivo y **SLEEP\*** se encuentra en el nivel alto lógico para poner en estado encendido la puerta de transmisión de CMOS **604** y para poner en estado apagado el transistor **606**. Por lo tanto, **R\_ADDR\_F[n]** se excita mediante la memoria intermedia de direcciones de alta velocidad **600**. A la inversa, la puerta de transmisión de CMOS **608** se pone en estado apagado y el transistor **610** se pone en estado encendido para mantener **R\_ADDR\_S[n]** a VSS.



En el modo de suspensión, **SLEEP** se ajusta al nivel alto lógico activo y **SLEEP\*** se encuentra en el nivel bajo lógico para poner en estado apagado la puerta de transmisión de CMOS **604** y para poner en estado encendido el transistor **606**. Por lo tanto, **R\_ADDR\_F[n]** se mantiene a VSS. A la inversa, la puerta de transmisión de CMOS **608** se pone en estado encendido y el transistor **610** se pone en estado apagado para permitir que la memoria intermedia de direcciones de baja potencia **602** excite **R\_ADDR\_S[n]**

La memoria intermedia de direcciones de alta velocidad **600** puede configurarse para incluir el conmutador de potencia interno distribuido con unas líneas VDD\_L y VSS\_L internas que pueden desacoplarse con respecto a VDD y VSS para reducir el consumo de potencia mientras que el circuito no se está usando en el modo de suspensión. Además, la memoria intermedia de direcciones de baja potencia **602** puede incluir los circuitos de conmutación de potencia internos distribuidos con los raíles VDDL y VSSL.

En el ejemplo que se muestra en el presente caso de la figura 6, **R\_ADDR\_F[n]** y **R\_ADDR\_S[n]** se excitan hasta VSS cuando están desconectadas con respecto a sus circuitos de memoria intermedia respectivos. Como alternativa, **R\_ADDR\_F[n]** y **R\_ADDR\_S[n]** pueden excitarse hasta VDD, o simplemente dejarse flotar. Una ventaja de la excitación de **R\_ADDR\_F[n]** y **R\_ADDR\_S[n]** hasta VSS o VDD será evidente posteriormente.

A continuación, se da una descripción del funcionamiento del sistema de DRAM que se muestra en la figura 4 junto con las figuras 5A, 5B, 5C y 6, con referencia al diagrama de sincronismo/secuencia que se muestra en la figura 7. El diagrama de la figura 7 muestra las líneas de señal para lo siguiente: señal de reloj **CLK**; señal de habilitación de reloj **CKE**; instrucción de refresco externa **REFRESH**; señal de control **SLEEP**; señal de oscilación **OSC\_OUT**, dirección de fila lenta **R\_ADDR\_S[n]**; dirección de fila rápida **R\_ADDR\_F[n]**; y los raíles internos VDD\_L y VSS\_L que se usan en el interior del circuito precodificador de filas de alta velocidad **402**.

Las operaciones normales, que incluyen lectura/escritura y refresco automático, tienen lugar durante el periodo de tiempo t1. Debido a que la señal de control **SLEEP** se mantiene en el nivel de VSS inactivo, **OSC\_OUT** se mantiene en el nivel de VSS inactivo. Con **SLEEP** en el nivel inactivo, la memoria intermedia de direcciones de alta velocidad **600** proporciona unas señales **R\_ADDR\_F[n]** a alta frecuencia al circuito precodificador de filas de alta velocidad **402**, que genera a continuación una dirección de fila predescodificada transmitida por el MUX **400**. Durante este periodo de tiempo, **R\_ADDR\_S[n]** se mantiene a VSS. Debido a que el circuito precodificador de filas de alta velocidad **402** está completamente activo, VDD\_L y VSS\_L están acopladas, respectivamente, con VDD y con VSS.

Cerca del final del periodo de tiempo t1, **CKE** cae hasta VSS y una instrucción de refresco válida **REFRESH COMMAND** se recibe al comienzo del periodo de tiempo t2. En estas condiciones, **SLEEP** se excita hasta el nivel alto lógico activo de VDD para iniciar el modo de suspensión. Con **SLEEP** en el nivel activo de VDD, **OSC\_OUT** oscilará a una frecuencia relajada para desencadenar el contador de direcciones de fila **412** para proporcionar una nueva dirección de refresco **REF\_ADDR[p]** de forma síncrona con **OSC\_OUT**. La memoria intermedia de direcciones de baja potencia **602** bloqueará temporalmente **REF\_ADDR[p]** y excitará **R\_ADDR\_S[n]** a la frecuencia **OSC\_OUT**. El MUX **400** pasará solo la dirección de fila predescodificada proporcionada por el circuito predescodificador de filas de baja potencia **404**, mientras que VDD\_L y VSS\_L en el circuito precodificador de filas de alta velocidad **402** están desconectados, respectivamente, con respecto a VDD y VSS. Tal como se muestra en la figura 7, VDD\_L se descarga lentamente y VSS\_L se carga lentamente. Una tensión de equilibrio final  $\Delta V_{L1}$  de VDD\_L al final del modo de suspensión está dada por:

$$\Delta V_{L1} = V_{TP0} - V_{TP1} + (S/\ln 10)[\ln(W_{P1}/W_{P0})]$$

(1)

en la que:

- V<sub>TP0</sub> es la tensión umbral del transistor **512**;
- V<sub>TP1</sub>, es la tensión umbral del transistor de canal p **552** del inversor **510**;
- W<sub>P0</sub> es la anchura de canal del transistor **512**;
- W<sub>P1</sub> es la anchura de canal del transistor **552**; y
- S es la oscilación subumbral.

De forma similar, una tensión de equilibrio final  $\Delta V_{L2}$  de VSS\_L al final del modo de suspensión está dada por:

$$\Delta V_{L2} = |V_{TN0}| - |V_{TN1}| + (S/\ln 10)[\ln(W_{N1}/W_{N0})]$$

(2)

en la que:

$V_{TN0}$  es la tensión umbral del transistor **514**;  
 $V_{TN1}$  es la tensión umbral del transistor de canal n **548** de la puerta NAND **508**;  
 $W_{N0}$  es la anchura de canal del transistor **514**;  
 $W_{N1}$  es la anchura de canal del transistor **548**; y  
 S es la oscilación subumbral.

5

No obstante, debido a que ni VDD\_L ni VSS\_L están conectadas con la fuente de alimentación de VDD y de VSS, la fuga de intensidad se minimiza.

El periodo de autorrefresco  $t_2$  continuará hasta que **CKE** se eleve hasta VDD al comienzo del periodo de tiempo  $t_3$ . **SLEEP** se excita hasta el nivel de VSS inactivo y **OSC\_OUT** cae hasta el nivel de VSS inactivo. Con **SLEEP** en el nivel de VSS inactivo, la memoria intermedia de direcciones de baja potencia **602** se deshabilita, y la memoria intermedia de direcciones de alta velocidad se habilita para excitar **R\_ADDR\_F[n]** para el circuito precodificador de filas de alta velocidad habilitado **402**. Tal como se muestra en la figura 7, las líneas VDD\_L y VSS\_L internas se restablecen a VDD y VSS después de que el conmutador de potencia interno reconecte las mismas con VDD y con VSS.

10

Tal como se menciona anteriormente, existe una ventaja en tener dos conjuntos independientes de direcciones de fila, a saber, **R\_ADDR\_F[n]** y **R\_ADDR\_S[n]**. De acuerdo con una realización de la presente invención, las líneas de transporte de señal de **R\_ADDR\_F[n]** pueden estar intercaladas con las de **R\_ADDR\_S[n]** para proporcionar apantallamiento frente a ruidos y reducción de diafonía. Este tipo de apantallamiento es beneficioso para una señalización de alta frecuencia, tal como para las direcciones de fila **R\_ADDR\_F[n]**. Se conoce bien en la técnica anterior que las líneas de señal pueden apantallarse disponiendo las mismas junto a las líneas de VDD o de VSS. De acuerdo con las presentes realizaciones, las líneas de señal pueden estar intercaladas en vertical o en horizontal.

15

20

La figura 8 ilustra una disposición de intercalación horizontal de las líneas de señal de **R\_ADDR\_F[n]** y de **R\_ADDR\_S[n]**. Estas líneas se forman típicamente de metal y sobre la misma capa de metal del dispositivo semiconductor. Tal como se muestra en la figura 8, cada línea de **R\_ADDR\_F[n]** está intercalada con cada línea de **R\_ADDR\_S[n]**. En la figura 8, se muestra una línea **R\_ADDR\_S[j]** adicional. Se observa que la variable  $j$  es igual a 0 o un valor entero mayor que 0. Haciendo referencia a la figura 6, la totalidad de las líneas de señal individuales de **R\_ADDR\_S[n]** se excitan hasta VDD en el modo normal, apantallando de este modo cada línea de señal de **R\_ADDR\_F[n]**.

25

La figura 9 ilustra una disposición de intercalación vertical de las líneas de señal de **R\_ADDR\_F[n]** y de **R\_ADDR\_S[n]**. El ejemplo (a) muestra dos líneas de metal apiladas en vertical una con respecto a otra, en las que la línea de arriba porta una señal de dirección **R\_ADDR\_S[n]** y la línea de debajo porta una señal de dirección **R\_ADDR\_F[n]**. El ejemplo (b) muestra una configuración que consiste en tres líneas de metal apiladas en vertical una con respecto a otra. Las líneas de arriba y de debajo portan las señales de dirección **R\_ADDR\_S[n]** y la línea intermedia porta una señal de dirección **R\_ADDR\_F[n]**. Cada línea de metal en los ejemplos (a) y (b) se forma con una capa de metal diferente. La combinación de intercalación de líneas de dirección vertical puede combinarse con una intercalación horizontal.

30

35

En resumen, mediante la implementación de unas versiones de baja potencia duplicadas de los circuitos lógicos de alta velocidad en el sistema, pueden lograrse unos ahorros de energía significativos. Para los sistemas de DRAM, la presente invención se incorpora mediante la memoria intermedia de direcciones de baja potencia y el circuito predescodificador de filas de baja potencia. Las realizaciones que se describen anteriormente de la invención no deberían limitarse a la adición de un circuito lógico de baja potencia en paralelo a un circuito lógico de alta velocidad. Por ejemplo, además de un circuito lógico de baja potencia, el sistema puede incluir un tercer circuito lógico optimizado para equilibrar el consumo de potencia y la velocidad. En las realizaciones, los elementos, dispositivos y circuitos están conectados uno con otro tal como se muestra en las figuras, con fines de simplicidad. En las aplicaciones prácticas de la presente invención, los dispositivos, elementos y circuitos pueden estar conectados o acoplados directamente uno con otro o pueden estar conectados o acoplados indirectamente uno con otro a través de otros dispositivos, elementos y circuitos.

40

45

La presente invención puede aplicarse a cualquier nivel jerárquico de descodificación de direcciones, y pueden controlarse otras fuentes de alimentación tal como VPP o VBB.

50

Se pretende que las realizaciones que se describen anteriormente de la presente invención sean solo ejemplos. Los expertos en la materia pueden efectuar alteraciones, modificaciones y variaciones a las realizaciones particulares sin alejarse del alcance de la invención, que se define únicamente por las reivindicaciones adjuntas al presente documento.

**REIVINDICACIONES**

1. Un circuito de lógica dependiente de modo (400, 402, 404) para su uso en una memoria de acceso aleatorio dinámica, que comprende:
- 5 un primer circuito (402) para producir una primera dirección en un modo de funcionamiento de lectura, de escritura o de refresco automático, estando el primer circuito (402) deshabilitado en un modo de funcionamiento de suspensión;
- un segundo circuito (404) lógicamente idéntico al primer circuito para producir una segunda dirección en el modo de funcionamiento de suspensión, consumiendo el segundo circuito menos potencia que el primer circuito; y
- 10 un selector (400) para recibir la primera dirección y la segunda dirección, pasando el selector la primera dirección en el modo de funcionamiento de lectura, de escritura o de refresco automático y pasando la segunda dirección en el modo de funcionamiento de suspensión.
2. El circuito de lógica dependiente de modo según la reivindicación 1, en el que el segundo circuito (404) incluye unos transistores que tienen una tensión umbral más alta que la de los transistores del primer circuito.
3. El circuito de lógica dependiente de modo según la reivindicación 1, en el que el primer circuito (402) incluye un circuito de conmutación de potencia (512, 514) para desconectar de forma selectiva los transistores del primer
- 15 circuito con respecto a VDD o a VSS en el modo de funcionamiento de suspensión.
4. El circuito de lógica dependiente de modo según la reivindicación 3, en el que el segundo circuito (404) incluye otro circuito de conmutación de potencia (408) para desconectar de forma selectiva los transistores del segundo circuito con respecto a VDD y VSS en un modo de apagado profundo.
5. El circuito de lógica dependiente de modo según la reivindicación 1, que además incluye por lo menos dos
- 20 primeras líneas de señal para proporcionar la primera señal de entrada, y por lo menos dos segundas líneas de señal para proporcionar la segunda señal de entrada, estando las primeras y las segundas líneas de señal intercaladas una con otra.
6. El circuito de lógica dependiente de modo según la reivindicación 5, que además incluye un primer circuito de excitación acoplado con las por lo menos dos primeras líneas de señal, y un segundo circuito de excitación acoplado
- 25 con las por lo menos dos segundas líneas de señal, excitando el segundo circuito de excitación las por lo menos dos segundas líneas de señal hasta una de VDD y de VSS en el modo de funcionamiento de lectura, de escritura o de refresco automático.
7. El circuito de lógica dependiente de modo según la reivindicación 1,
- 30 en el que el primer circuito comprende un circuito predescodificador (402) para proporcionar la primera dirección, siendo la primera dirección una dirección lógica predescodificada, en respuesta a una dirección de fila lógica en el modo de funcionamiento de lectura, de escritura o de refresco automático
- en el que el segundo circuito comprende un circuito predescodificador de baja potencia (404) para proporcionar la segunda dirección, siendo la segunda dirección la dirección lógica predescodificada, en respuesta a la dirección de fila lógica en el modo de funcionamiento de suspensión, consumiendo el predescodificador de baja potencia menos
- 35 potencia que el predescodificador; y
- que comprende además un descodificador de filas (452) para recibir la dirección lógica predescodificada y para excitar por lo menos una línea de palabra que se corresponde con la dirección lógica predescodificada.
8. El circuito de lógica dependiente de modo según la reivindicación 7, que además incluye un circuito de conmutación de potencia para desacoplar de forma selectiva el circuito predescodificador con respecto a VDD o a
- 40 VSS en el modo de funcionamiento de suspensión.
9. El circuito de lógica dependiente de modo según la reivindicación 7, en el que el selector comprende un circuito multiplexor (400) para pasar la dirección lógica predescodificada desde el circuito predescodificador (402) en el modo de funcionamiento de lectura, de escritura o de refresco automático y para pasar la dirección lógica predescodificada desde el circuito predescodificador de baja potencia (404) en la operación de autorrefresco.
- 45 10. El circuito de lógica dependiente de modo según la reivindicación 7, que además incluye
- un primer bus de direcciones para proporcionar una primera dirección de fila al circuito predescodificador; y

un segundo bus de direcciones para proporcionar una segunda dirección de fila al circuito predescodificador de baja potencia.

11. El circuito de lógica dependiente de modo según la reivindicación 10, que además incluye
- 5 una memoria intermedia de direcciones de alta velocidad (600) para excitar el primer bus de direcciones en el modo de funcionamiento de lectura, de escritura o de refresco automático; y
- una memoria intermedia de direcciones de baja potencia (602) para excitar el segundo bus de direcciones en la operación de autorrefresco, excitando la memoria intermedia de direcciones de baja potencia el segundo bus de direcciones hasta una de VDD y de VSS en el modo de funcionamiento de lectura, de escritura o de refresco automático, y las líneas de señal del primer bus de direcciones y el segundo bus de direcciones están intercaladas.
- 10 12. Un método para accionar una memoria de acceso aleatorio dinámica (DRAM) en una operación de autorrefresco, comprendiendo el método:
- a) deshabilitar un circuito precodificador de alta velocidad accionable en un modo de funcionamiento de lectura, de escritura o de refresco automático;
- 15 b) habilitar un circuito predescodificador de baja potencia en un modo de suspensión, siendo el circuito predescodificador de baja potencia lógicamente idéntico al circuito precodificador de alta velocidad, y consumiendo menos potencia que el precodificador de alta velocidad, y
- c) proporcionar una dirección de refresco para el circuito predescodificador de baja potencia.
13. El método según la reivindicación 12, que además incluye la etapa de desacoplar el circuito precodificador de alta velocidad con respecto a VDD o a VSS.
- 20 14. El método según la reivindicación 12, que además incluye proporcionar de forma selectiva una dirección de fila predescodificada desde el circuito predescodificador de baja potencia.
15. El método según la reivindicación 12, en el que la etapa de proporcionar la dirección de refresco incluye
- habilitar una memoria intermedia de direcciones de baja potencia para bloquear temporalmente la dirección de refresco proporcionada por un contador de direcciones de fila, y
- 25 deshabilitar una memoria intermedia de direcciones de alta velocidad.

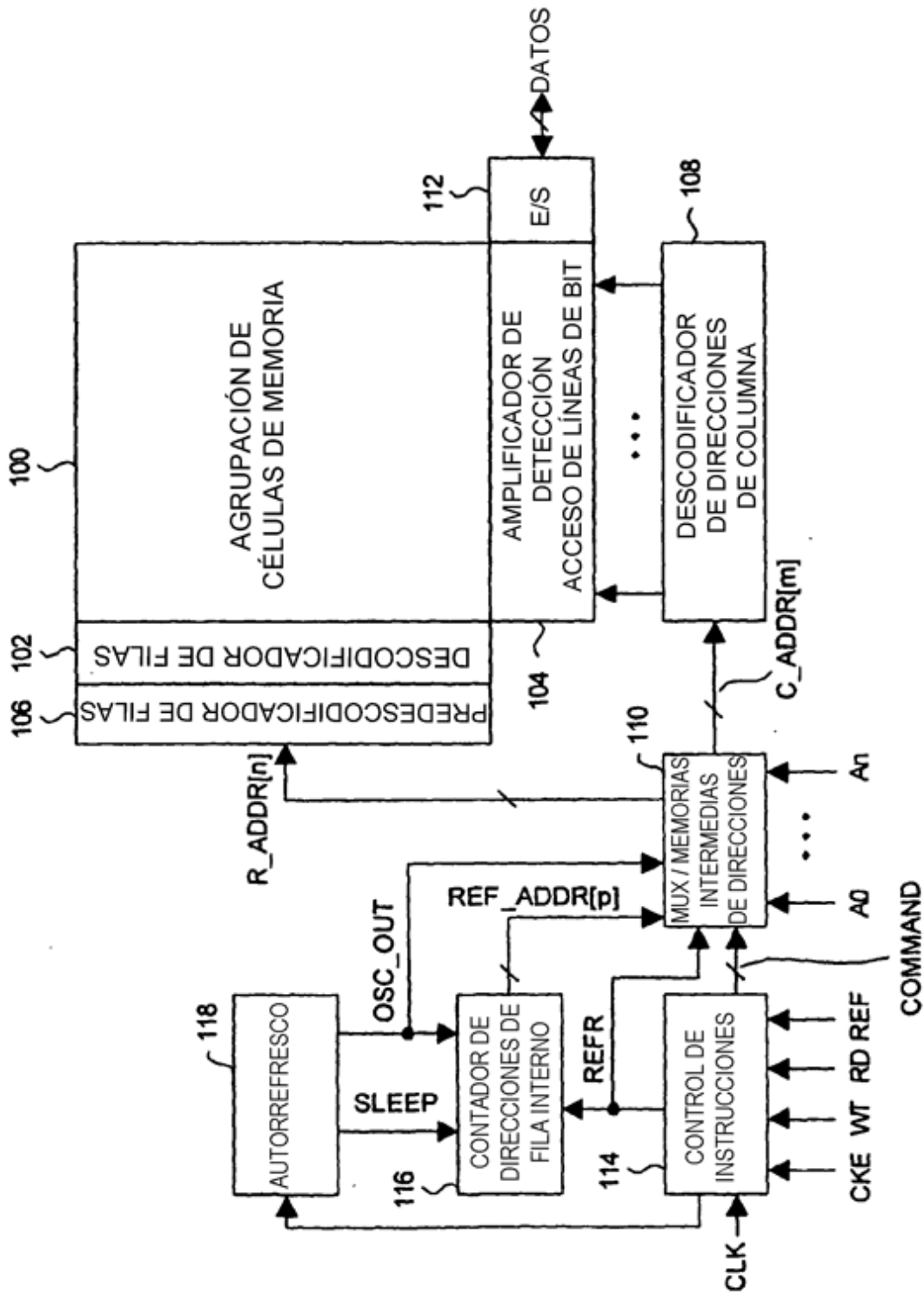


FIGURA 1 (TÉCNICA ANTERIOR)

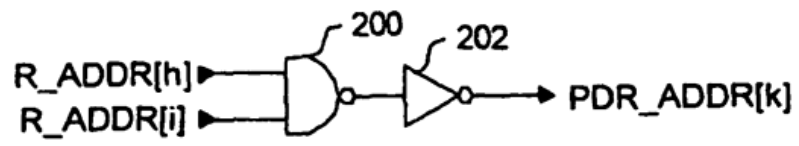


FIGURA 2 (TÉCNICA ANTERIOR)

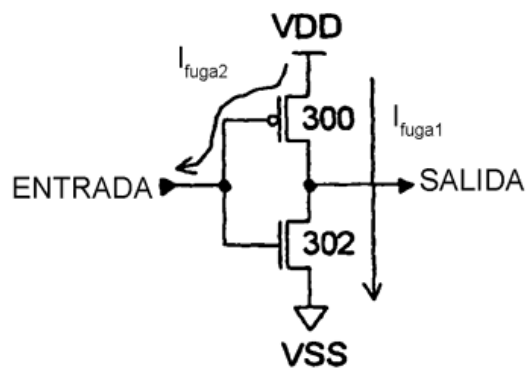


FIGURA 3 (TÉCNICA ANTERIOR)

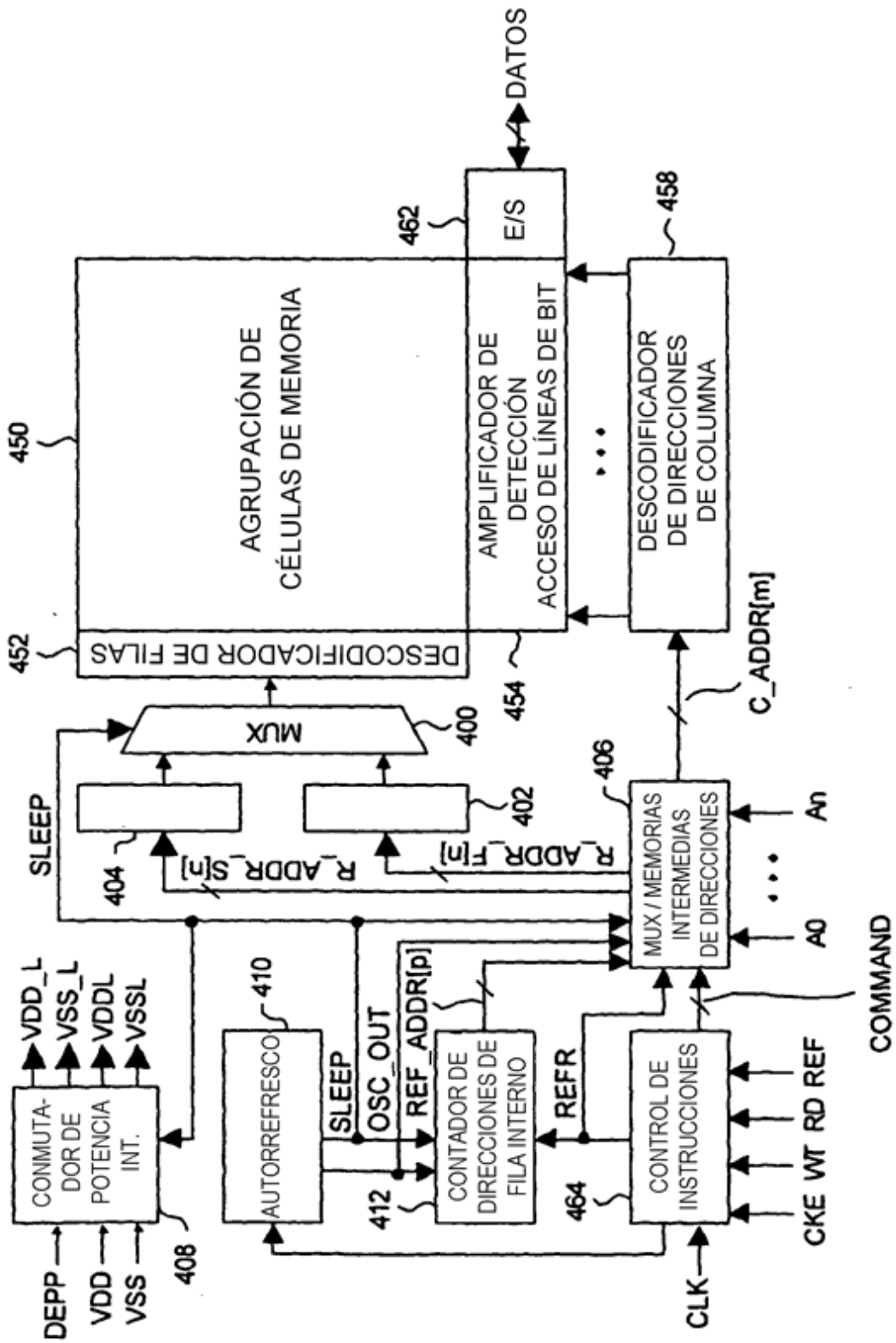


FIGURA 4

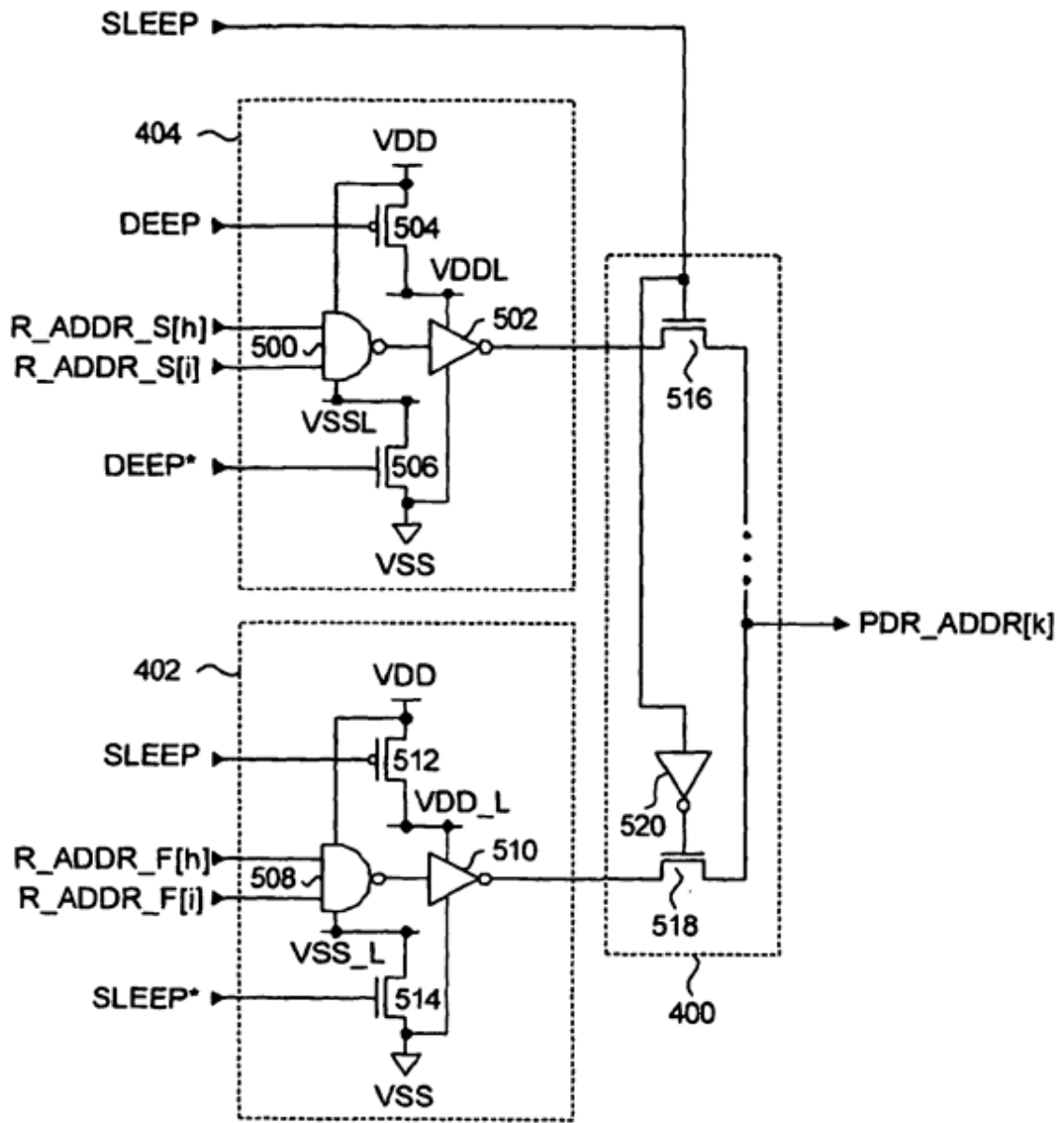


FIGURA 5A



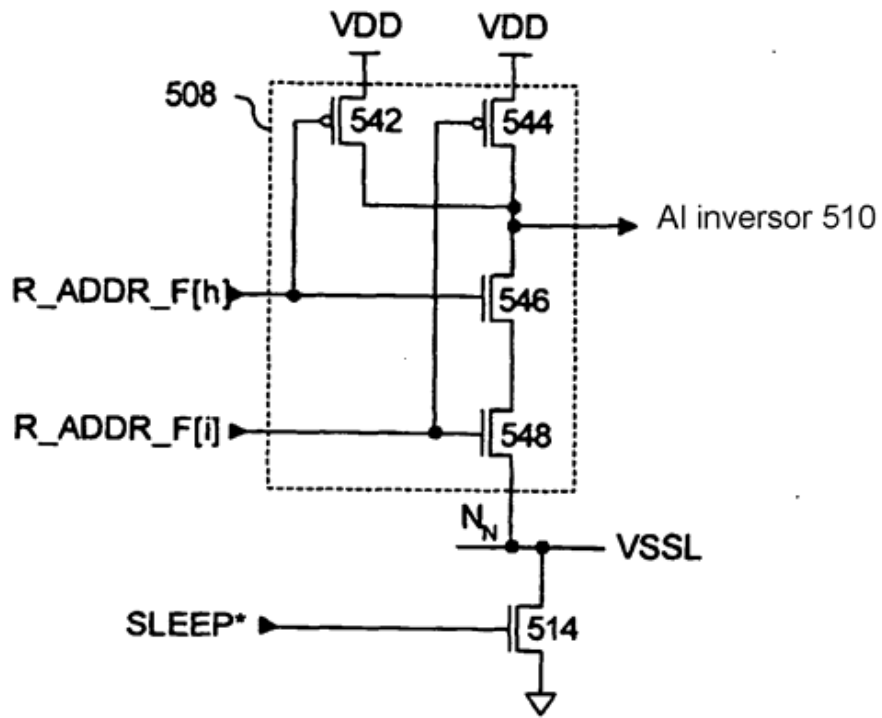


FIGURA 5B

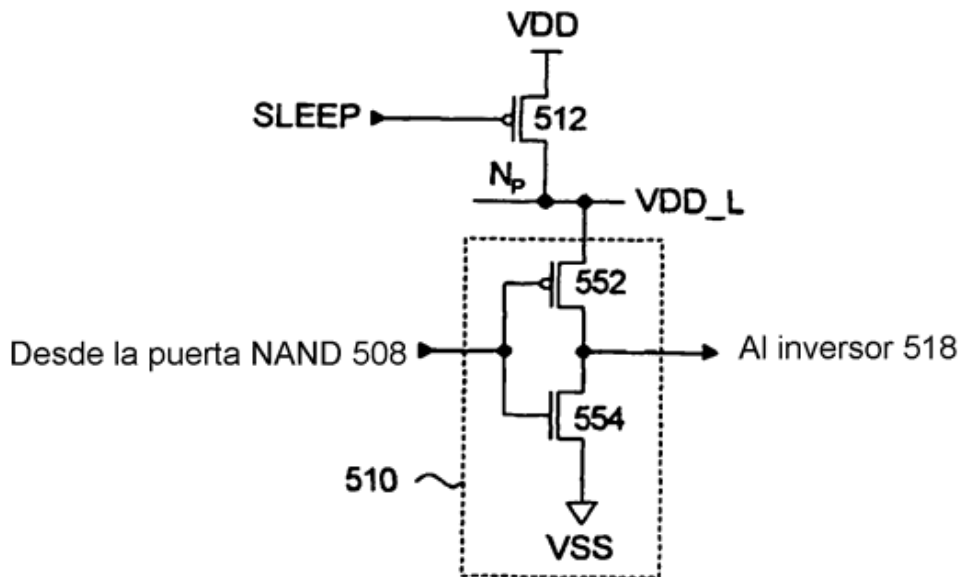


FIGURA 5C

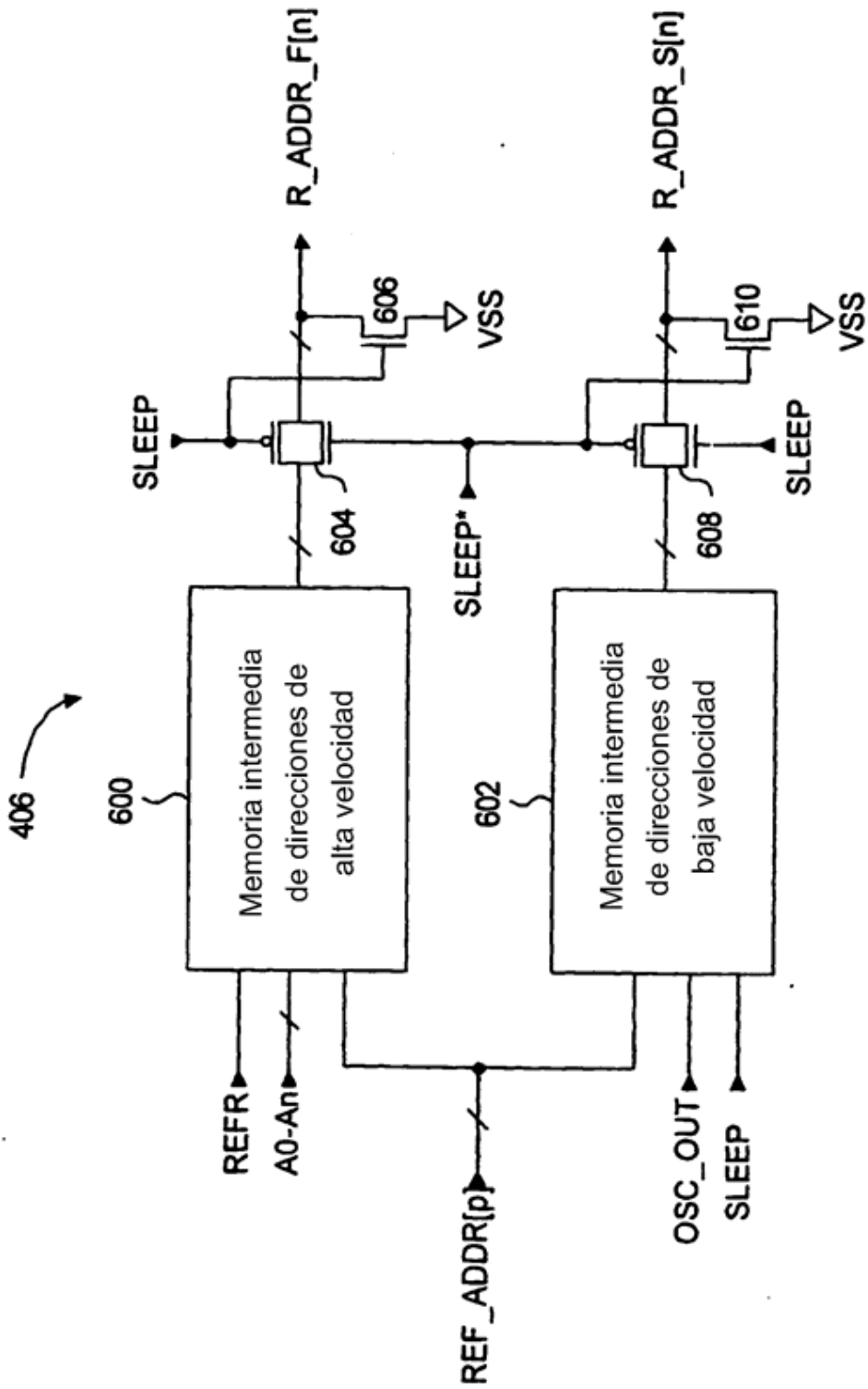


FIGURA 6

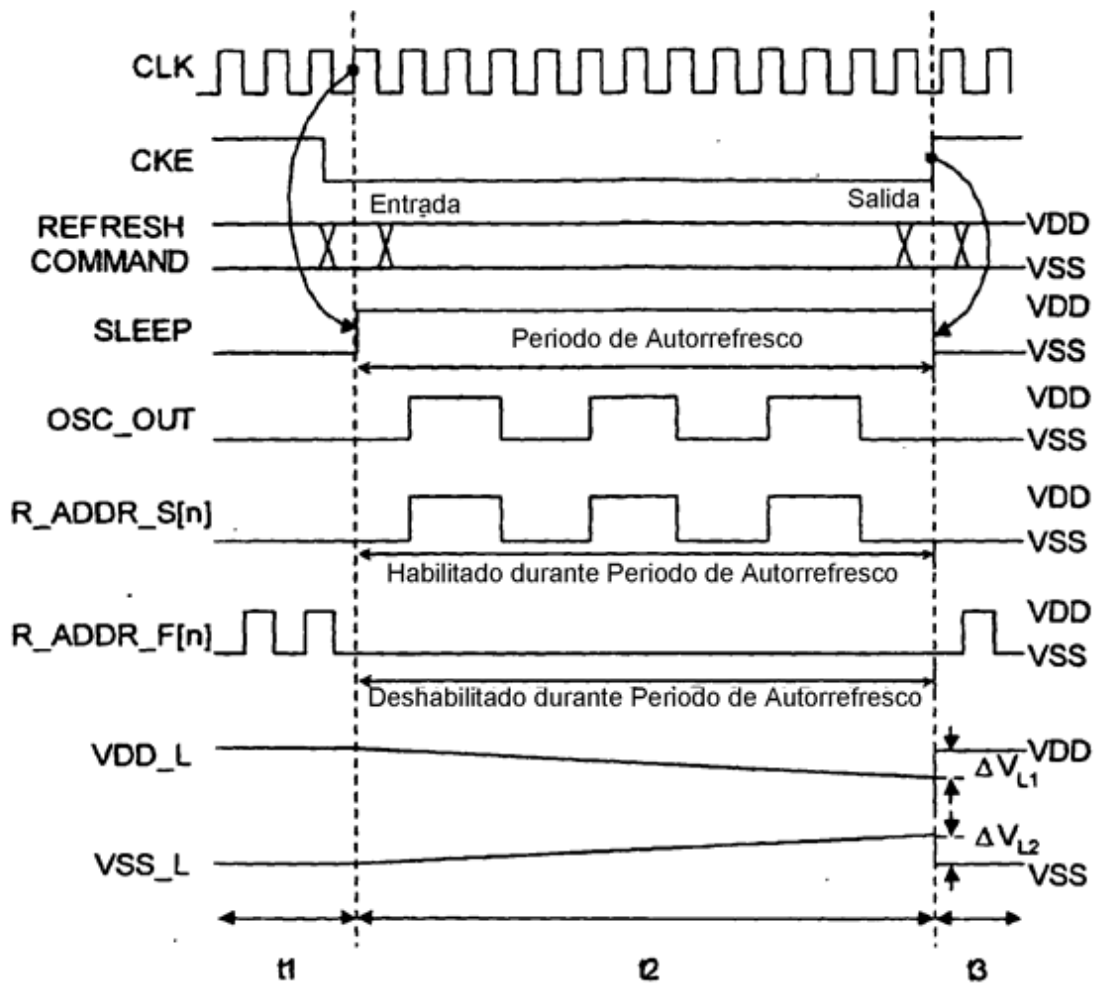


FIGURA 7

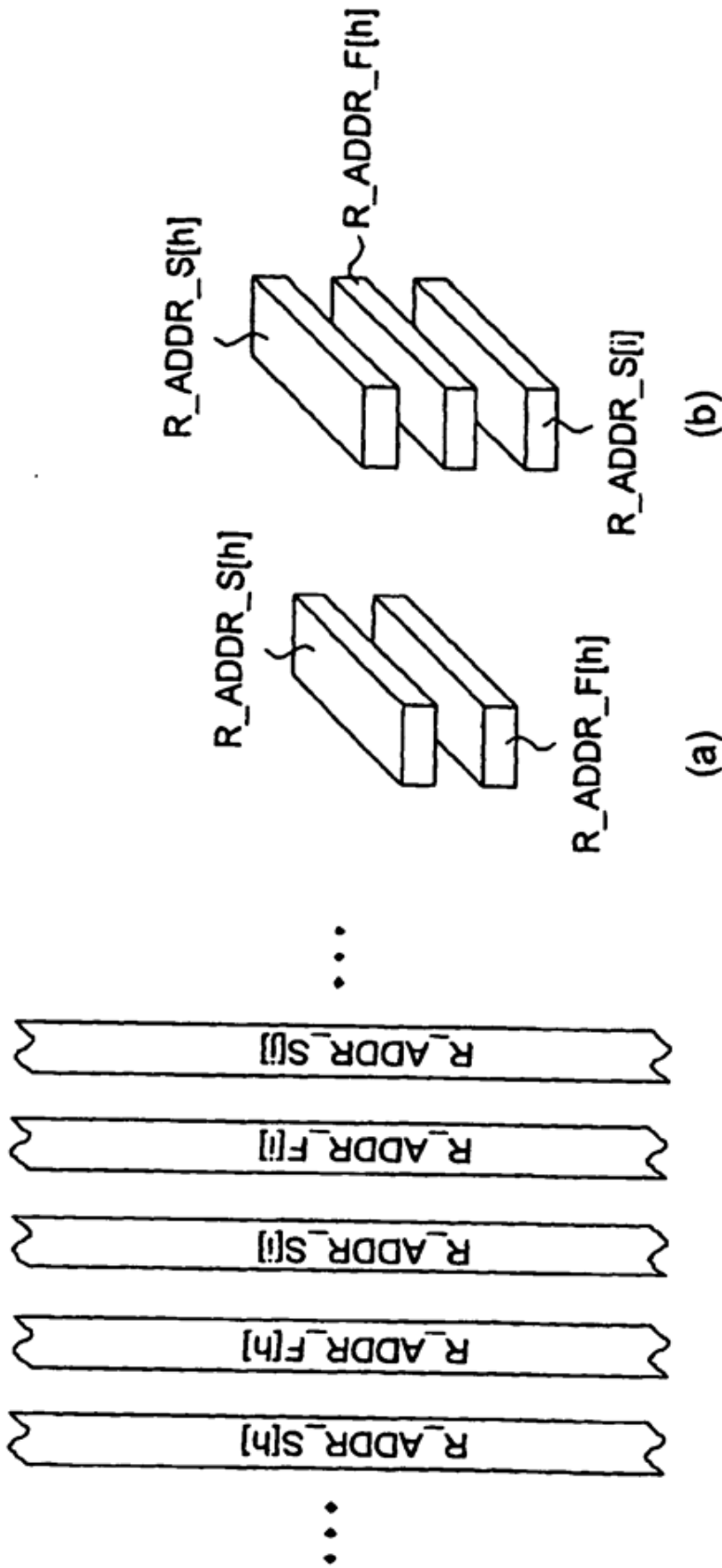


FIGURA 9

FIGURA 8