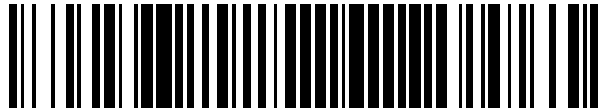


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 420 487**

51 Int. Cl.:

H04B 1/7117 (2011.01)

H04B 1/707 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **31.07.2001 E 01965855 (8)**

97 Fecha y número de publicación de la concesión europea: **17.04.2013 EP 1317833**

54 Título: **Aparato y métodos para selección por muestreo y reutilización de dedos de rastrillo en sistemas de espectro ensanchado o difundido**

30 Prioridad:

31.07.2000 US 222008 P

31.07.2000 US 222025 P

31.07.2000 US 222027 P

31.07.2000 US 222029 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
23.08.2013

73 Titular/es:

**INTEL MOBILE COMMUNICATIONS GMBH
(100.0%)**

**Am Campeon 10-12
85579 Neubiberg , DE**

72 Inventor/es:

**MEDLOCK, JOEL D.;
RIEKEN, KEITH y
HOLMES, DAVID M.**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 420 487 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato y métodos para selección por muestreo y reutilización de dedos de rastrillo en sistemas de espectro ensanchado o difundido

DATOS DE PRIORIDAD

- 5 Esta solicitud reivindica prioridad a partir de las siguientes Solicitudes Provisionales:
- (1) "Método y Aparato para Diezmado-Interpolación Aplicados a Sistemas de CDMA" que soporta el documento U.S. de Serie N° 60/222.027, presentado el 31 de Julio de 2000;
 - (2) "Aparato y Método para Selección por Muestreo Concurrente y Reutilización de Dedos de Rastrillo", que soporta el documento U.S. de Serie N° 60/222.008, presentado el 31 de Julio de 2000;
 - 10 (3) "Selección por Muestreo Concurrente, Memoria Caché Segmentada para Dedos de Rastrillo de CDMA", que soporta el documento U.S. de Serie N° 60/222.025, presentado el 31 de Julio de 2000; y
 - (4) "Aparato y Método para Selección por Muestreo Concurrente en un Sistema de CDMA", que soporta el documento U.S. de Serie N° 60/222.029, presentado el 31 de Julio de 2000;

ANTECEDENTES DEL INVENTO

- 15 Este invento se refiere en general a sistemas de comunicación inalámbrica.
- La comunicación inalámbrica tiene muchas aplicaciones en mercados de consumo y empresariales. Entre las muchas aplicaciones están: móvil inalámbrico, fijo inalámbrico, Comisión Federal de Comunicaciones no licenciada (FCC) inalámbrica, red de área local (LAN), telefonía sin cables, estación base personal, telemetría y otros. Generalmente cada una de estas aplicaciones utiliza técnicas y protocolos de modulación únicos y frecuentemente incompatibles.
- 20 Los dispositivos de comunicación inalámbrica, tales como microteléfonos o aparatos de teléfono móviles, necesitan típicamente adquirir cierta información y características específicas de celda antes de negociar un servicio con una estación base. Con este propósito, cada estación base transmite cierta información específica de celda necesaria para que un usuario adquiera servicios tales como telefonía de buscapersonas o telefonía móvil desde la estación base. Por ejemplo, en sistemas CDMA, la información específica de celda es contenida en canales piloto y/o de sincronización. Los canales piloto y/o de sincronización son ensanchados o expandidos y codificados con secuencias específicas de código de ruido pseudo-aleatorio o de oro, que forman la base para el marco, ranura o intervalo, y sincronización de temporización de bit para un microteléfono.
- 25 Múltiples usuarios están en comunicación típicamente con una única estación base. Aunque tales usuarios operan en la misma frecuencia al mismo tiempo, distintas técnicas permiten que múltiples usuarios sean distinguidos unos de otros. En sistemas de CDMA, cada usuario de microteléfono es asignado a un código ortogonal diferente que es utilizado para ensanchar o expandir los datos transmitidos desde la estación base de modo que se distinguen de los datos transmitidos a otros usuarios de microteléfonos.
- 30 La fig. 1 ilustra una dispositivo de comunicación 100 de la técnica anterior. El dispositivo de comunicación 100 incluye una antena 102, un procesador 104 de comunicaciones, un procesador 106 de banda de base y un microprocesador/controlador 108, y un bus o línea de transmisión para interconectar el procesador 104 de comunicaciones, el procesador de base, y un microprocesador/controlador 108. El microprocesador 108 soporta el intercambio de datos y/o instrucciones a los otros componentes del dispositivo de comunicación 100. El procesador 106 de banda de base es acoplado al procesador 104 de comunicaciones para recibir y transmitir datos. El dispositivo de comunicación 100 puede ser un microteléfono móvil, una plataforma de prueba, un modem integrado, una estación base u otros dispositivos de comunicación en otras aplicaciones dependientes de código.
- 35 El procesador 104 de comunicaciones es acoplado a la antena 102 para recibir datos. El procesador 104 de comunicaciones incluye componentes y realiza funciones que son conocidas por los expertos en la técnica. Estos componentes no están mostrados en el procesador 104 de comunicaciones con propósitos de claridad.
- 40 Después de que los datos hayan sido tratados por el procesador frontal, los datos tratados son suministrados al procesador 106 de banda de base. En sistemas de espectro ensanchado o expandido, el procesador de banda de base ha de ser capaz de identificar, contraer, y descodificar los datos. La contracción (es decir, la multiplicación de los procesos de datos por la misma forma de onda de ensanchamiento binaria que fue utilizada para ensanchar
- 45

los datos en el transmisor) y eliminación de la modulación de la portadora restaura la forma de onda de datos de banda de base original.

5 En la práctica, múltiples copias de la misma señal son recibidas en el dispositivo de comunicación 100 con un breve período de tiempo entre ellas. Estas copias que son algunas veces llamadas componentes de múltiples trayectos se producen debido a que las señales toman diferentes trayectos de diferente longitud desde la antena transmisora a la antena receptora. En el caso de un sistema de CDMA, es factible y ventajoso contraer y descodificar varios de los componentes de múltiple trayectos, volver a alinearlos de manera que estén también en fase y combinarlos para producir una señal más fuerte. Para hacer esto, el procesador de banda de base en un sistema de CDMA toma típicamente la forma de un receptor de rastrillo que tiene varios dedos, cada uno de los cuales es un receptor que contrae y descodifica uno de los componentes de múltiples trayectos. La información general acerca de receptores de rastrillo puede ser encontrada las páginas 972-982 de J.S. Lee, L.E. Miller, Manual de Ingeniería de Sistemas de CDMA (Artech House 1998).

15 Generalmente, los datos recibidos son muestreados a una tasa conocida como la frecuencia código. En las normas o estándares de CDMA IS-95 y 3GPP, las frecuencias código son 1,2288 MHz y 3,84 MHz, respectivamente, que corresponden a períodos de muestreo de 0,814 microsegundos y 0,2604 microsegundos. El período de muestreo es conocido como un chip.

20 Los datos son usualmente tratados a pares, comúnmente denominados como datos "En-Fase" (I) y en "Cuadratura" (Q). Un dedo del rastrillo es alimentado con tres muestras, típicamente etiquetadas Anticipada, A Tiempo, y Retardada, donde cada muestra incluye un par de datos (es decir, datos I y Q). La muestra A Tiempo contiene los datos que han de ser descodificados. Las muestras Anticipada y Retardada son utilizadas en herramientas de seguimiento para asegurar que la muestra A Tiempo representa el centro del chip.

Dos ejemplos de frecuencia código son 1,2288 MHz y 3,84 MHz que corresponden a períodos de muestreo de 0,814 microsegundos y 0,21604 microsegundos. Estos son utilizados en sistemas de CDMA IS95 y 3GPP, respectivamente.

25 Los datos que llegan al procesador de banda de base 106 son típicamente sobre-muestreados a una tasa de muestreo más elevada (por ejemplo, tasa de sobre-muestreo de 4x u 8x) medida con respecto a la frecuencia código. Por ejemplo: si la frecuencia código es 1,2288 MHz y la tasa de sobre-muestreo es 4x entonces las muestras lo serán a 4,9152 MHz. Pasar directamente a los datos sobre-muestreados recibidos al procesador 106 de banda de base es ineficiente generalmente debido a que la tasa de muestreo de los datos puede no ser la tasa óptima para el tratamiento por la tasa del procesador 106 de banda de base. Así, se requiere algún tipo de almacenamiento de comunicaciones. Debido a que la tasa de sobre-muestreo es típicamente muy rápida, tal almacenamiento de comunicaciones probablemente sea muy caro, y se requiere más capacidad de almacenamiento de memoria cuando aumenta la tasa de muestreo. Así, se plantea una necesidad de un aparato y métodos que proporcionen un almacenamiento rápido de los datos en bruto en la parte frontal o previa del procesador de banda de base sin requerir un espacio de memoria excesivo.

Además, los datos son contraídos típicamente por múltiples dedos de rastrillo. Se plantea la necesidad de que el aparato y métodos permitan reutilizar múltiples dedos de rastrillo para conservar espacio de silicio físico y permitir que los múltiples dedos de rastrillo accedan al almacenamiento de datos concurrentemente de forma sustancial para conseguir un tratamiento más rápido.

40 El documento WO 00/25435 describe un método para control de acceso de memoria en receptores de rastrillo con seguimiento de anticipación retardo en sistemas de telecomunicación, en que los datos que son recibidos en el receptor de rastrillo y son leídos por un dedo de anticipación en el seguimiento anticipación-retardo son almacenados en la memoria tampón y hechos pasar a un ciclo de lectura posterior a un dedo de retardo para leer por el mismo en el seguimiento de anticipación-retardo.

45 La publicación de patente Norteamericana 5.818.523 describe un método para corregir el sombreado de blancos para cámaras de video, en que el sombreado de blancos de una señal de imagen es corregido por un sistema de corrección de sombreado de blancos que requiere una pequeña cantidad de memoria. El espacio de memoria es conservado diezmado las señales de corrección antes de almacenarlas en la memoria e interpolando la señal de corrección diezmada antes de utilizarla para realizar correcciones.

50 La publicación de patente Norteamericana 5.555.193 describe un sistema de compresión de video que evita la interrupción de una escena presentada, en el que una escena procedente de una primera corriente de datos es mantenida en una presentación mientras una segunda escena procedente de una segunda corriente de datos está siendo formada. El sistema incluye una memoria en la que la primera escena es mantenida y presentada en la pantalla de presentación, mientras la segunda escena está siendo formada en la memoria. Una parte

predeterminada de la primera escena es diezmada por un aparato para diezmar y almacenada en una memoria de cuadros, y, es a continuación interpolada por un interpolador y presentada en la pantalla de presentación.

5 La publicación de Patente EP 0 998 052 A2 describe un aparato de comunicación para sistemas de CDMA que comprende una memoria tampón RAM que almacena señales recibidas mediante antenas, un selector y un bloque de banda de base para modulación y demodulación de las señales. Los datos de todos los canales de todas las estaciones móviles en el área de servicio de un sector pertinente servido por el sistema son multiplexados por división de tiempo y leídos repetidamente en los componentes del demodulador del bloque de banda de base.

RESUMEN

10 Los problemas antes mencionados son resueltos mediante las características de las reivindicaciones independientes. Además las realizaciones son el objeto de las reivindicaciones dependientes

15 En una realización ejemplar del presente invento, la tasa de muestreo de los datos recibidos es diezmada por un factor de D y los datos recibidos son almacenados en la memoria a la frecuencia diezmada. Almacenando los datos recibidos a la frecuencia diezmada, los requisitos de almacenamiento son reducidos por un factor de D. Esto puede hacerse debido a que los datos, antes del muestreo, han sido filtrados de tal manera que toda la información a las frecuencias de muestreo mayores que el doble de la frecuencia de corte del filtro ha sido eliminada. Los datos almacenados son interpolados a continuación por un factor de IR para restaurarlos a una tasa más rápida, un múltiplo de la frecuencia código. En una realización ejemplar, las operaciones de diezmado e interpolación ocurren al comienzo de la cadena de tratamiento de señal, proporcionando así el beneficio de requisitos de almacenamiento reducidos en la parte frontal de la cadena de tratamiento. Sin embargo, las operaciones de diezmado e interpolación pueden ocurrir en cualquier parte en la cadena de tratamiento de señal y por ello no están limitadas a puestas en práctica en la parte frontal.

20 En una realización ejemplar, la memoria es una memoria tampón circular que comprende un conjunto de registros. Cada registro está dividido en dos partes para almacenar datos En-Fase y en Cuadratura (I y Q), respectivamente. Una vez que los datos han sido almacenados en la memoria (a una frecuencia diezmada), un circuito de contracción (por ejemplo, un receptor de rastrillo), que incluye múltiples dedos de rastrillo, puede acceder a los datos. Los múltiples dedos de rastrillo pueden acceder simultáneamente de forma sustancial a los datos en la memoria mediante un circuito selector para cada dedo de rastrillo. Cada circuito selector incluye múltiples multiplexores controlados por un conjunto de líneas de selección. Las líneas de selección son controladas por un controlador externo.

30 En otra realización ejemplar, la memoria es una RAM de un solo puerto que está dividida en bloques basándose en la frecuencia código aplicable y la distancia de ida y vuelta entre terminales móviles en servicio y una estación base. Si la memoria está dividida en tres bloques, por ejemplo, durante cada paso por un dedo de rastrillo virtual o físico, dos bloques de la memoria están en un modo Lectura mientras el tercer bloque está en un modo Escritura. Estos bloques están divididos además en segmentos basados en un área de compensación de rendimiento. En este contexto, cada bloque de RAM es en efecto una RAM de un solo puerto autónomo o independiente.

35 En otra realización ejemplar, la memoria puede contener suficientes ubicaciones de almacenamiento para almacenar datos procedentes de múltiples antenas y almacenar suficientes datos procedentes de cada antena para permitir la alineación de las señales recibidas desde los múltiples trayectos.

40 Cada bloque de datos puede contener datos procedentes de una pluralidad de canales codificados de CDMA cada uno con múltiples trayectos posibles. Volviendo a tratar los datos múltiples veces la memoria y los dedos de rastrillo son utilizados de forma efectiva muchas veces por chip (o bloque de chips) reduciendo así significativamente la cantidad de hardware requerido para un número dado de dedos (lógicos) y combinadores.

45 Para evitar tener que utilizar una RAM de lectura/escritura de múltiples puertos, puede ser utilizado un método de tiempo compartido. Uno (o más) ciclos pueden ser dedicados a operaciones de escritura y muchos ciclos pueden ser dedicado a operaciones de lectura.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La fig. 1 ilustra un dispositivo de comunicación de la técnica anterior.

La fig. 2 ilustra un dispositivo de comunicación ejemplar de acuerdo con una realización del invento.

La fig. 3 ilustra un circuito de diezmado-interpolación ejemplar de acuerdo con una realización del invento.

La fig. 4 ilustra un circuito de diezmado ejemplar de acuerdo con una realización del invento.

La fig. 5 ilustra un circuito de interpolación ejemplar de acuerdo con una realización del invento.

La fig. 6 ilustra un circuito de contracción ejemplar en un procesador de banda de base de acuerdo con una realización del invento.

5 La fig. 7 ilustra una memoria ejemplar de acuerdo con una realización del invento.

La fig. 8 ilustra un circuito de contracción ejemplar acoplado a una memoria de acuerdo con una realización del invento.

La fig. 9 ilustra otra memoria ejemplar de acuerdo con una realización del invento.

10 La fig. 10 ilustra otro circuito de contracción ejemplar acoplado a una memoria de acuerdo con una realización del invento.

La fig. 11 ilustra un proceso ejemplar de acuerdo con una realización del invento.

La fig. 12 ilustra una puesta en práctica de una memoria de un solo puerto que es funcionalmente una memoria de múltiples puertos.

15 La fig. 13 ilustra cómo la memoria de la fig. 12 puede acceder a una serie contigua de direcciones que empieza en cualquier dirección.

DESCRIPCIÓN DETALLADA

20 A continuación se hará referencia en detalle a las distintas realizaciones del invento. En la siguiente descripción detallada del presente invento, se han descrito numerosos detalles específicos con el fin de proporcionar una meticulosa comprensión del presente invento. Sin embargo, será evidente para un experto en la técnica que el presente invento puede ser puesto en práctica sin estos detalles específicos. En otros casos, no se han descrito en detalle métodos, procedimientos, componentes y circuitos bien conocidos de modo que no oscurezcan innecesariamente aspectos del presente invento.

25 La fig. 2 ilustra un dispositivo de comunicación 200 ejemplar de acuerdo con una realización del invento. El dispositivo de comunicación 200 incluye una antena 102, un procesador frontal 104, un circuito 202 de diezmado-interpolación, un procesador 204 de banda de base, un microprocesador 108, y un bus 110 para interconectar los componentes anteriores. El circuito 202 de diezmado-interpolación recibe datos procedentes del procesador frontal 104, almacena los datos (la cantidad de datos almacenada dependerá de los detalles de la realización elegida), y convierte la tasa de muestreo en una tasa más ventajosa para el tratamiento por las otras unidades de tratamiento, tales como el procesador 204 de banda de base. El procesador 204 de banda de base incluye 30 mecanismos que permiten que múltiples dispositivos de contracción (por ejemplo, dedos de rastrillo) recuperen simultáneamente de forma sustancial datos de una memoria en el circuito 202 de diezmado-interpolación. Las realizaciones ejemplares de tales mecanismos están descritas en las figs. 8 y 10 a continuación.

35 La fig. 3 ilustra un circuito 202 de diezmado-interpolación ejemplar de acuerdo con una realización del invento. El circuito 202 de diezmado-interpolación incluye un circuito de diezmado 302, una memoria 304, y un circuito de interpolación 306. En una realización ejemplar, la memoria 304 es una RAM de un solo puerto. En otra realización ejemplar, la memoria 304 es una RAM de FIFO, un conjunto de registros, u otros dispositivos de memoria adecuados. Las realizaciones ejemplares de la memoria 304 están descritas en las figs. 7, 9, 12 y 13, más adelante.

40 Los datos recibidos procedentes del procesador frontal 104 son diezmados por el circuito de diezmado 302 por un factor de D para reducir la tasa de muestreo (R) a una tasa de muestreo mínima (por ejemplo, R/D) más eficiente para el almacenamiento en la memoria 304.

45 Los datos recuperados de la memoria 304 son interpolados por el circuito de interpolación 306 por un factor IR para aumentar su velocidad a una tasa de $R \cdot IR/D$ antes de ser emitidos al procesador 204 de banda de base. En una realización ejemplar, el factor de diezmado (D) y el factor de interpolación (IR) son determinados de forma independiente dependiendo de la infraestructura circundante. Por ejemplo, el factor de diezmado puede ser configurado para diezmar la tasa de muestreo por un factor de cuatro mientras el factor de interpolación puede ser configurado para aumentar la tasa de muestreo por un factor de dos. Cuando el factor de diezmado y el factor de interpolación son iguales, los factores de diezmado y de interpolación se cancelan entre ellos exactamente y la

tasa de datos de salida final es la misma que la tasa de datos recibidos (es decir, la tasa de muestreo).

En una realización, el factor de diezmado y el factor de interpolación son codificados en el circuito 202 de diezmado-interpolación. En otra realización, el factor de diezmado y el factor de interpolación son configurables dinámicamente para adaptarlos a múltiples protocolos de comunicación haciendo los coeficientes de filtro programables.

La fig. 4 ilustra un circuito 302 de diezmado ejemplar de acuerdo con una realización del invento. El circuito de diezmado 302 incluye un filtro pasa bajos 402 y un circuito 404 muestreador reductor de tasa. El filtro pasa bajos 402 y el circuito 404 muestreador reductor de tasa son diseñados utilizando principios bien conocidos para diseñar circuitos de diezmado. Por ejemplo, supóngase que una señal $x(n)$ con un espectro $X(\omega)$ ha de ser muestreada reduciendo su tasa por un factor entero D . La secuencia de entrada $x(n)$ es hecha pasar en primer lugar a través del filtro pasa bajos 402 que está caracterizado por la respuesta de impulso $h(n)$ y una respuesta de frecuencia $H_D(\omega)$. En una realización ejemplar, $H_D(\omega)$ es igual a 1 cuando $|\omega| \leq \pi/D$ y de otro modo es igual a 0. El filtro pasa bajos 402 elimina el espectro de $X(\omega)$ en el rango de $\pi/D < \omega < \pi$. La salida del filtro pasa bajos 402 es una secuencia $v(n)$.

$$v(n) = \sum_{K=0}^{\infty} h(k)x(n-k)$$

La secuencia $v(n)$ es muestreada reduciendo su tasa en el circuito 404 muestreador reductor de tasa por un factor D que produce $y(m)$:

$$y(m) = v(mD) = \sum_{K=0}^{\infty} h(k)x(mD-k)$$

Un experto en la técnica conocerá estructuras de puerta específicas necesarias para construir un circuito de diezmado para servir a los propósitos del circuito de diezmado 302 basado en los principios anteriormente descritos.

Un aumento en la tasa de muestreo en un factor entero de $1/R$ puede ser conseguido interpolando nuevas muestras de $1/R-1$ entre valores sucesivos de la señal. Como es sabido generalmente en la técnica, el proceso de interpolación puede ser conseguido de varias formas. En una realización ejemplar, es utilizado un proceso que preserva la forma espectral de la secuencia de señal $x(n)$. La fig. 5 ilustra un circuito 306 de interpolación ejemplar de acuerdo con una realización del invento. El circuito de interpolación 306 incluye un circuito 502 muestreador de aumento de tasa acoplado a un filtro pasa bajos 504.

En una realización ejemplar, $v(m)$ indica una secuencia que es obtenida a partir de $x(n)$ añadiendo $1/R-1$ ceros entre sucesivos valores de $x(n)$. En una realización ejemplar, la tasa de muestreo de $v(m)$ es igual a la tasa de $y(m)$ anterior. Además, $v(m)$ es igual a $x(m/R)$, cuando $m = 0, \pm 1R, \pm 21R, \dots$ e igual a cero de otro modo. Una transformación z es realizada en $v(m)$ en el circuito 502 muestreador de aumento de tasa. Después de la transformación z , el aumento de la tasa de muestreo obtenido por la adición de $1/R-1$ cero muestras entre valores sucesivos de $x(n)$ da como resultado una señal cuyo espectro $V(\omega_y)$ es una repetición periódica de doblez $1/R$ del espectro de señal de entrada $X(\omega_x)$. Debido a que sólo los componentes de frecuencia de $x(n)$ en el rango de $0 \leq \omega_x \leq \pi/1R$ son únicos, las imágenes de $X(\omega)$ anteriores $\omega_y = \pi/1R$ son rechazadas haciendo pasar la secuencia $v(m)$ a través del filtro pasa bajos 504 que tiene una respuesta de frecuencia de $H_1(\omega_y)$. En una realización ejemplar, $H_1(\omega_y)$ es igual a C cuando $0 \leq |\omega_y| \leq \pi/1R$ e igual a cero de otro modo. C es un factor de escala que es requerido para normalizar de manera adecuada la secuencia de salida $y(m)$. En una realización ejemplar, C es seleccionado de manera que la salida $y(m)$ es igual a $x(m/1R)$ para $m = 0, \pm 1R, \pm 21R, \dots$ etc. En una realización ejemplar, la secuencia de salida $y(m)$ puede ser expresada como una circunvolución de la secuencia $v(n)$ (véase fig. 4) con la respuesta de muestra unidad $h(n)$ del filtro pasa bajos 504.

Un experto en la técnica conocerá estructuras de puerta específicas necesarias para construir un circuito de interpolación para servir a los propósitos del circuito de interpolación 306 basado en los principios antes descritos. Información adicional con respecto al diezmado e interpolación puede ser encontrada en las páginas 549-555 de A.V. Oppenheim y col., Señales y Sistemas (Prentice Hall, 2ª Edición 1997). Esta referencia está incorporada aquí para todos los propósitos.

La fig. 6 ilustra un circuito de contracción 600 ejemplar en el procesador 204 de banda de base del invento. El

5 circuito de contracción 600 incluye un circuito selector 602 acoplado a múltiples dedos de rastrillo 604a-604c. El número de dedos de rastrillo mostrados es solamente con propósitos de ilustración. En un circuito de contracción, el número de dedos de rastrillo puede ser más o menos, dependiendo de los requisitos de diseño del sistema. El circuito selector 602 acopla selectivamente los múltiples dedos de rastrillo 604 sustancialmente al mismo tiempo a la memoria 304 para permitir que los dedos de rastrillo 604 recuperen datos almacenados en la memoria 304. En una realización ejemplar, en lugar de utilizar un dedo de rastrillo 604 diferente para tratar los datos de cada trayecto múltiple diferente, los circuitos en los dedos de rastrillo 604 individuales pueden ser reutilizados. Cada reutilización del hardware de un dedo para procesar un trayecto múltiple diferente o un trayecto de un canal de datos diferente es denominado como utilizar un dedo virtual.

10 La fig. 7 ilustra una memoria 304 ejemplar de acuerdo con una realización del invento. La memoria 304 incluye múltiples registros 702a-702p. Cada registro 702 está dividido en dos mitades: una mitad para almacenar los datos En-Fase (I) y otra mitad para almacenar datos en Cuadratura (Q). Las muestras diezmadas procedentes del circuito de diezmado 302 son escritas secuencialmente en los múltiples registros 702 de una manera circular, siendo almacenada una muestra en cada registro. Así, cuando todo lo registros 702 han sido introducidos inicialmente, la siguiente muestra es introducida en el registro escrito menos recientemente y así sucesivamente. 15 Por ejemplo, si hay 16 registros y las muestras son almacenadas en orden numérico comenzando con la muestra 0, entonces la muestra 16 es almacenada sobrescribiendo la muestra 0, la muestra 17 es almacenada sobrescribiendo la muestra 1, etc. como se ha mostrado en la fig. 7. De este modo, la memoria 304 contiene las muestras más recientes procedentes del circuito de diezmado 302. El número de registros mostrado en la memoria 304 de la fig. 7 es arbitrario y puede ser aumentado o disminuido dependiendo de los requisitos del sistema. 20

En una realización ejemplar, la memoria 304 almacena solamente muestras procedentes de una antena. Cuando múltiples antenas están proporcionando muestras (por ejemplo, en una estación base), deberían ser implantadas múltiples memorias 304, una por antena.

25 La fig. 8 ilustra un circuito de contracción 600 ejemplar acoplado a la memoria 304 como se ha mostrado en la fig. 7 anteriormente. Para facilidad de explicación, el circuito de contracción 600 incluye solamente un dedo 802 de rastrillo. El dedo 802 de rastrillo está configurado para acceder a la memoria 304 simultáneamente de forma sustancial con otros dedos de rastrillo o dedos virtuales (no mostrados) mediante el circuito selector 602. El dedo de rastrillo 802 incluye circuitos de dedo de rastrillo conocidos en la técnica para realizar funciones de dedo de rastrillo. El circuito selector 602 incluye múltiples multiplexores 804a-804c para proporcionar tres tipos de datos En-Fase (es decir, anticipado, a tiempo, y con retardo) y múltiples multiplexores 806a-806c para proporcionar tres tipos de datos en Cuadratura (es decir, anticipado, a tiempo, y retardado) al dedo de rastrillo 802, respectivamente. El circuito selector 602 incluye también una línea 808 de selección de muestra Retardada, una línea 810 de selección de muestra A Tiempo, y una línea 812 de selección de muestra Anticipada para seleccionar distintos tipos de datos I o Q. Ventajosamente, cada multiplexor tiene una entrada desde cada registro de memoria 304 y las señales de control son aplicadas al multiplexor para permitir la selección de cualquiera de estas entradas como la salida del multiplexor. Como se ha mostrado, la memoria 304 almacena 16 muestras y cada línea de selección 808-812 tiene cuatro bits para identificar la muestra que ha de ser seleccionada por el multiplexor al cual está conectado. En una realización ejemplar, las líneas de selección de muestra 808-812 son controladas por un controlador externo (no mostrado). 30 35 40

45 Cuando más de un dedo de rastrillo físico es puesto en práctica en el procesador 204 de banda de base, el dedo de rastrillo 802 y el circuito de selección 602 son replicados para cada dedo de rastrillo físico. Cada dedo de rastrillo físico requiere su propio conjunto de líneas de selección 808-812. En una realización ejemplar, en lugar de utilizar un dedo de rastrillo 802 diferente para procesar los datos de cada trayecto múltiple diferente, pueden ser reutilizados circuitos en el dedo de rastrillo 802. En una realización, si tres dedos virtuales son puestos en práctica en un único dedo de rastrillo físico 802, las líneas de selección 808-812 formarán un ciclo a través de tres conjuntos de operaciones de selección de muestra, uno por dedo virtual, de manera que a cada dedo virtual se le de acceso a todas las muestras recuperadas de la memoria 304.

50 En una realización ejemplar, la memoria 304 es accesible simultáneamente de forma sustancial por múltiples dedos de rastrillo físicos o virtuales 802. Por ejemplo, si las muestras están almacenadas en la memoria 304 a una tasa de sobre-muestreo de 8x, durante el acceso por el dedo de rastrillo 802, dieciséis conjuntos de datos (o palabras) I son recibidos por los multiplexores I 804 y dieciséis conjuntos de datos (o palabras) Q son recibidos por los multiplexores Q 806. Es decir, para los multiplexores I 804, los mismos dieciséis conjuntos de datos I están disponibles para los multiplexores de Anticipación, A Tiempo y Retardado. De manera similar, para los multiplexores Q 806, los mismos dieciséis conjuntos de datos Q están disponibles para los multiplexores de Anticipación, A Tiempo y Retardado. 55

La fig. 9 ilustra otra memoria 304 ejemplar de acuerdo con una realización del invento. La memoria 304 está dividida en tres bloques 902a-902c. Cada bloque 902 puede almacenar hasta 256 palabras o chips válidos de muestra. Generalmente, dos tipos de datos por muestra (En-Fase y en Cuadratura) son almacenados por chip. En una realización ejemplar, en un paso dado, un bloque está en un modo de Escritura y los bloques restantes están en un modo de Lectura. Así, como se ha mostrado en la fig. 9, los datos en Paso 1 están siendo escritos al bloque 902c y leídos desde los bloques 902a y 902b y los datos en Paso 2 están siendo escritos al bloque 902a y leídos desde los bloques 902b y 902c. Los bloques en modo de Lectura permiten que múltiples dedos de rastrillo con diferentes desplazamientos o desfases lean datos secuencialmente.

El tamaño de los bloques 902 es determinado basándose en varios factores, incluyendo: la frecuencia código del sistema de tratamiento y la distancia de ida y vuelta máxima (útil) entre un terminal móvil y una estación base. La frecuencia código es dependiente de las normas o estándares aplicables (por ejemplo, IS-95, 3GPP, etc.). Generalmente, cuanto mayor es la frecuencia código, mayor debería ser el bloque de memoria 902. Por ejemplo, si la distancia de ida y vuelta máxima es de aproximadamente 10 Km, cada bloque en la memoria 304 debería ser capaz de almacenar alrededor de 256 chips. Un experto en la técnica sabe cómo calcular el tamaño del bloque de memoria basándose en la distancia de ida y vuelta máxima y en la frecuencia código.

La fig. 10 ilustra otro circuito de contracción 600 ejemplar acoplado a la memoria 304 como se ha mostrado en la fig. 9 antes. En la fig. 10, cada bloque de memoria 902 en la memoria 304 está dividido además en segmentos 1002a-1002h. En una realización ejemplar, el tamaño de los segmentos 1002 depende de la minimización del área. Por ejemplo, para un bloque de memoria de un tamaño de 256 palabras (o chips), un segmento 1002 de 16 ó 32 palabras es una buena compensación de rendimiento. Un experto en la técnica sabe cómo calcular una compensación de área de rendimiento y determinar un tamaño óptimo para los segmentos 1002 basándose en el tamaño del bloque de memoria. Cada segmento de memoria 1002 es acoplado a un elemento de transmisión por bus separado 1004a-1004h mediante múltiples líneas de señal 1006a-1006h. En general, cada línea de señal 1006 lleva un par de datos I y Q en el elemento 1004 de transmisión por bus. Cada elemento 1004 de transmisión por bus lee secuencialmente datos desde su segmento 1002 respectivo.

Múltiples circuitos de contracción 600a-600b están conectados a los segmentos de memoria 1002 mediante un bus 1010. Cada circuito de contracción 600 incluye un circuito selector 602 y un dedo de rastrillo 1008. El circuito selector 602 incluye un multiplexor de bloque 1012, tres multiplexores de muestra 1014a-1014c, y una memoria cache 1016. El dedo de rastrillo 1008 incluye hardware conocido en la técnica. El multiplexor de bloque 1012 selecciona uno de los elementos 1004 de transporte por bus para leer datos de uno de los segmentos 1002. Los multiplexores de muestra 1014 seleccionan las muestras Anticipada, A Tiempo, y Retardada entre los pares de datos I y Q leídos desde un segmento 1002, que fue seleccionado por el multiplexor de bloque 1012. Los pares de datos I y Q seleccionados por los multiplexores de muestra 1014 son almacenados en la memoria cache 1016 para ser procesados por el dedo de rastrillo 1008. En una realización ejemplar, la memoria cache 1016 es una memoria cache de FIFO que comienza a almacenar muestras cuando el primer chip que ha de ser procesado es presentado a la FIFO. En una realización ejemplar, cada circuito selector 602 está acoplado a un circuito de interpolación independiente (no mostrado) para interpolar las muestras recuperadas de la memoria 304.

La fig. 11 ilustra un proceso ejemplar de acuerdo con una realización del invento. En el paso 1102, los datos son recibidos en una antena y muestreados a una tasa de muestreo R. La tasa de muestreo de los datos recibidos es diezmada por un factor de D por el circuito de diezmado 302 (operación 1104). A continuación, los datos son almacenados en la memoria 304 a la tasa diezmada (operación 1106). Los datos almacenados son leídos desde la memoria 304 cuando sea necesario y proporcionados al circuito de interpolación 306 (operación 1108). En una realización ejemplar, la memoria 304 es leída y controlada por un microprocesador (por ejemplo, el microprocesador 108) o un controlador dedicado. La memoria puede ser accedida por múltiples dedos de rastrillo físicos y virtuales simultáneamente de forma sustancial mediante un circuito selector. En una realización, la memoria es una memoria tampón circular comprendida de múltiples registros. En otra realización, la memoria es una RAM de un solo puerto.

El circuito de interpolación 306 Interpola la tasa de los datos leídos desde la memoria 304 (operación 1110) a continuación emite los datos a una tasa interpolada (por ejemplo, un múltiplo predeterminado de la frecuencia código (es decir, 1x, 2x, 4x, 8x, etc.)) al siguiente módulo de tratamiento, tal como el procesador 204 de banda de base (operación 1112).

En una realización ejemplar, los factores de diezmado y de interpolación son codificados en el circuito de diezmado-interpolación 202. En otra realización ejemplar, los factores de diezmado e interpolación son reprogramables dinámicamente para acomodar distintos protocolos de comunicación dependiendo de la infraestructura circundante, bien utilizando una cadena de exploración o escaneado (que es una técnica conocida por un experto en la técnica) o accediendo a los registros que controlan la operación por el microprocesador, o por

5 otros medios. Los datos son almacenados en la memoria 304 a una velocidad mínima para reducir el tamaño de memoria requerido. Después, los datos recuperados de la memoria 304 son interpolados a una tasa aumentada. Como resultado, los requisitos de espacio de memoria en la memoria 304 son pequeños mientras la eficiencia durante las siguientes etapas de tratamiento (tal como en el procesador 204 de banda de base) no está comprometida.

La fig. 12 ilustra el uso de una estructura de RAM amplia que se comporta de una manera análoga a una RAM de múltiples puertos. La estructura de RAM comprende un registro 1201, una memoria 1202, un registro 1203 y un multiplexor 1204. La salida del multiplexor 1204 es proporcionada a un dedo de rastrillo.

10 El registro 1201 está segmentado en n segmentos, siendo capaz cada uno de ser escrito independientemente y almacenando cada uno una muestra. Si n es una potencia de 2 la operación es más simple. Muestras sucesivas son almacenadas en segmentos sucesivos en el registro 1201. Cuando n muestras han sido ensambladas son escritas en una ubicación de memoria en la memoria 1202.

Cada dedo tiene su propio registro 1203 y multiplexor 1204.

15 La fig. 13 ilustra más detalles de la memoria 1202 y representa cómo los datos pueden ser leídos desde la memoria 1202 en cualquier límite de dirección. Con propósitos de ilustración, se ha supuesto que 8 muestras son almacenadas en cada dirección de memoria 1301, que las muestras están numeradas consecutivamente como se ha mostrado y que se desea extraer 8 muestras consecutivas que empiezan en cualquier dirección de muestra (y no necesariamente en una dirección de memoria).

20 La memoria es direccionada por los circuitos de dirección que comprenden una pluralidad de multiplexores 1302-0 a 1302-7, las líneas de dirección A_LOW y A_LOW+1 y líneas de selección 0 a 7. Cada multiplexor selecciona una dirección de A_LOW o A_LOW+1 dependiendo del valor en la línea de selección conectada al multiplexor. El número de multiplexores (y líneas de selección) es igual al número de muestras almacenadas en cada dirección 1301 en memoria.

25 La dirección de memoria en la línea de dirección A_LOW es formada dividiendo la dirección de muestra por el número de muestras almacenadas en cada dirección de memoria. La dirección de memoria en la línea de dirección A_LOW+1 es uno más que la dirección de memoria en la línea de dirección A_LOW. El resto que resulta de la división de la dirección de muestra por el número de muestras almacenadas controla el valor de cada línea de selección. Si el resto es igual o menor que el número de la línea de selección, la señal suministrada por la línea de selección al multiplexor es tal manera que la dirección de memoria en la línea A_LOW es seleccionada. Si el resto es mayor que el número de la línea de selección, la señal suministrada por la línea de selección a este multiplexor es tal que la dirección de memoria en la línea A_LOW+1 es seleccionada.

Así, si se desean extraer 8 muestras que comienzan con la misma dirección 5, Select5, Select6 y Select7 orientarán el multiplexor 1302 para suministrar A_LOW y las restantes Selecciones orientarán a sus multiplexores 1302 para suministrar A_LOW+1. El multiplexor 1204 suministrará datos en el orden 5, 6, 7, 8, 9, 10, 11, 12.

35 En el aparato de las figs. 12 y 13 los ciclos son dedicados a una operación particular. Un esquema de solicitud de arbitraje conseguirá los mismos objetivos.

Cuando una memoria es tal como la mostrada en las figs. 9, 10 ó 12 o similar existen posibilidades de reutilizar el dedo y el soporte de múltiples antenas.

40 La memoria 1202, si tiene una anchura de n muestras, puede soportar hasta n-1 dedos si son operados a una frecuencia código.

45 Si la memoria 1202 es operada a alguna frecuencia más elevada que la frecuencia código, un múltiplo, más posiblemente alguna sobrecarga para conmutación de contexto, entonces los datos procedentes del mismo bloque de memoria pueden ser alimentados más de una vez al mismo hardware de dedo proporcionando así una reutilización del dedo. Un bloque de datos, por ejemplo 256 chips, puede ser procesados por un dedo, a continuación un segundo bloque (probablemente con diferente punto de comienzo) puede ser procesado por el mismo hardware de dedo. Como cada dedo no está tratando una corriente de datos continua, los ciclos pueden ser requeridos para conmutación de contexto, incluyendo posiblemente la inicialización de los filtros de interpolación.

50 Si la memoria 1202 es operada a alguna frecuencia más elevada que la frecuencia código, un múltiplo, más posiblemente alguna sobrecarga para conmutación de contexto, o si son suministrados menos de n-1 dedos, y el tamaño de la memoria es aumentado por un múltiplo A (nuevo tamaño de memoria = tamaño de memoria anterior x A), entonces los datos procedentes de las antenas A puede ser suministrados a los dedos de rastrillo. El bloque

de memoria, con su acceso direccionable es inherentemente un multiplexor.

Los ejemplos precedentes ilustran ciertas realizaciones ejemplares del invento a partir de las cuales otras realizaciones, variaciones y modificaciones serán evidentes para los expertos en la técnica. El invento no debería por ello estar limitado a la realizaciones particulares descritas anteriormente, sino que en su lugar está definido por la reivindicaciones.

5

REIVINDICACIONES

1. Un aparato (200) para tratar datos en un sistema de espectro ensanchado, que comprende:
un circuito de diezmado (302) que tiene un factor de diezmado asociado;
una memoria (304) acoplada a dicho circuito de diezmado; y
- 5 un circuito de interpolación (306) acoplado a dicha memoria, teniendo dicho circuito de interpolación un factor de interpolación asociado;
en el que dicho circuito de diezmado (302) está dispuesto para diezmar una tasa de datos, de datos recibidos por dicho factor de diezmado a una tasa diezmada y para almacenar dichos datos recibidos en dicha memoria (304) a dicha tasa diezmada; y
- 10 en el que dicho circuito de interpolación (306) está dispuesto para interpolar dicha frecuencia diezmada por dicho factor de interpolación a una tasa interpolada y para recuperar dichos datos recibidos desde dicha memoria (304) a dicha tasa interpolada;
en el que dicha memoria (304) es una memoria tampón circular;
en el que dicha memoria tampón circular (308) incluye múltiples registros (702a-702p);
- 15 comprendiendo el aparato (200) además una pluralidad de dispositivos de contracción (600);
en el que cada uno de dicha pluralidad de dispositivos de contracción (600) incluye:
un circuito selector (602) y
un dedo (802) de rastrillo;
- 20 en el que dicho circuito selector (602) incluye un primer conjunto de multiplexores (804a-804c) para seleccionar datos En-Fase, un segundo conjunto de multiplexores (806a-806c) para seleccionar datos en cuadratura, y múltiples líneas de selección de muestra (808, 810, 812) acopladas a cada dedo (802) de rastrillo; y
en el que cada multiplexor (804a-c, 806a-c) tiene una entrada procedente de cada registro (702a-p) de la memoria (304), y en el que cada multiplexor es operable para permitir la selección de cualquiera de estas entradas como salida a un dedo de rastrillo desde el multiplexor de acuerdo con las señales de control aplicables mediante las múltiples líneas de selección (808, 810, 812) al multiplexor.
- 25
2. El aparato según la reivindicación 1, que comprende además:
un procesador de comunicación (204) acoplado a dicho circuito de interpolación (306) para recibir datos desde dicha memoria a dicha tasa interpolada.
3. El aparato según la reivindicación 1, que comprende además:
- 30 un controlador dedicado para controlar la recuperación de datos desde dicha memoria (304).
4. El aparato según la reivindicación 1, que comprende además:
un microprocesador para controlar la recuperación de datos desde dicha memoria (304).
5. El aparato según la reivindicación 1, en el que dicho factor de diezmado es programable configurando dicho circuito de diezmado (302).
- 35 6. El aparato según la reivindicación 1, en el que dicho factor de diezmado es codificado en dicho circuito de diezmado (302).
7. El aparato según la reivindicación 1, en el que dicho factor de interpolación es programable configurando dicho circuito de interpolación (306).
8. El aparato según la reivindicación 1, en el que dicho factor de interpolación es codificado en dicho circuito de interpolación (306).
- 40 9. El aparato según la reivindicación 1, en el que los datos almacenados en dichos múltiples registros son accesibles por múltiples dedos de rastrillo mediante circuitos selectores en dicha pluralidad de dispositivos de

contracción.

10. Un método para tratar datos en un sistema de espectro ensanchado, que comprende las operaciones de:

recibir datos a una tasa de muestreo;

diezmar dicha tasa de muestreo por un factor de diezmando para obtener una frecuencia diezmada;

5 almacenar dichos datos en una memoria a dicha tasa diezmada;

interpolarse dicha tasa diezmada para obtener una frecuencia interpolada; y

emitir dichos datos procedentes de dicha memoria a dicha tasa interpolada a un procesador de comunicación;

utilizando el método un aparato (200), comprendiendo el aparato:

dicha memoria, en el que dicha memoria (304) es una memoria tampón circular,

10 en el que dicha memoria tampón circular (304) incluye múltiples registros (702a-702p),

en el que el aparato comprende además una pluralidad de dispositivos de contracción,

en el que cada uno de dicha pluralidad de dispositivos de contracción (600) incluye un circuito selector (602) y

un dedo (802) de rastrillo,

15 en el que dicho circuito selector (602) incluye un primer conjunto de multiplexores (804a-804c) para seleccionar datos en-fase, un segundo conjunto de multiplexores (806a-806c) para seleccionar datos en cuadratura, y múltiples líneas de selección de muestra (808, 810, 812) acopladas a cada dedo (802) de rastrillo, y

en el que cada multiplexor (804, 806) tiene una entrada procedente de cada registro (702) de la memoria (304); y

en el que el método comprende además:

20 seleccionar cualquiera de estas entradas como salida a un dedo de rastrillo desde un multiplexor de acuerdo con las señales de control aplicadas al multiplexor mediante las múltiples líneas de selección (808, 810, 812).

11. El método según la reivindicación 10, que comprende además la operación de: recuperar datos desde dicha memoria (304) de acuerdo con las instrucciones procedentes de un microprocesador.

12. El método según la reivindicación 10, que comprende además la operación de: recuperar datos desde dicha memoria (304) de acuerdo con las instrucciones procedentes de un controlador dedicado.

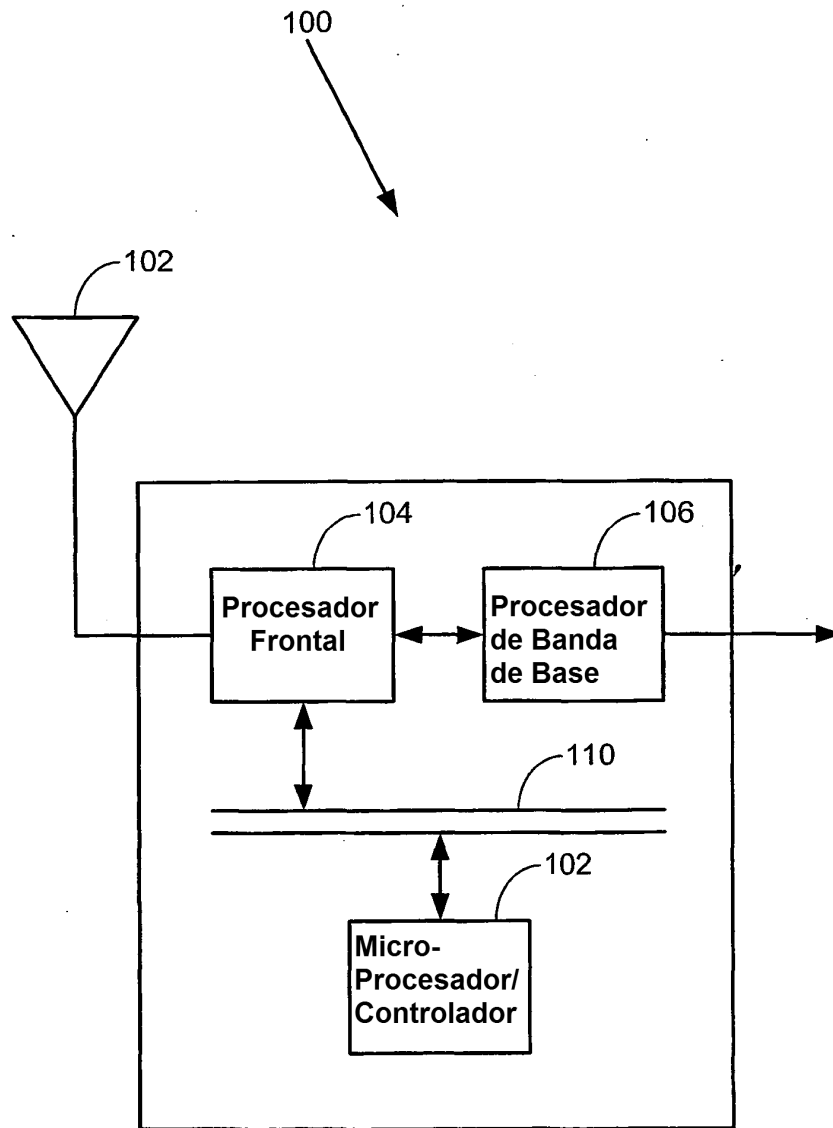


FIG. 1
(Técnica Anterior)

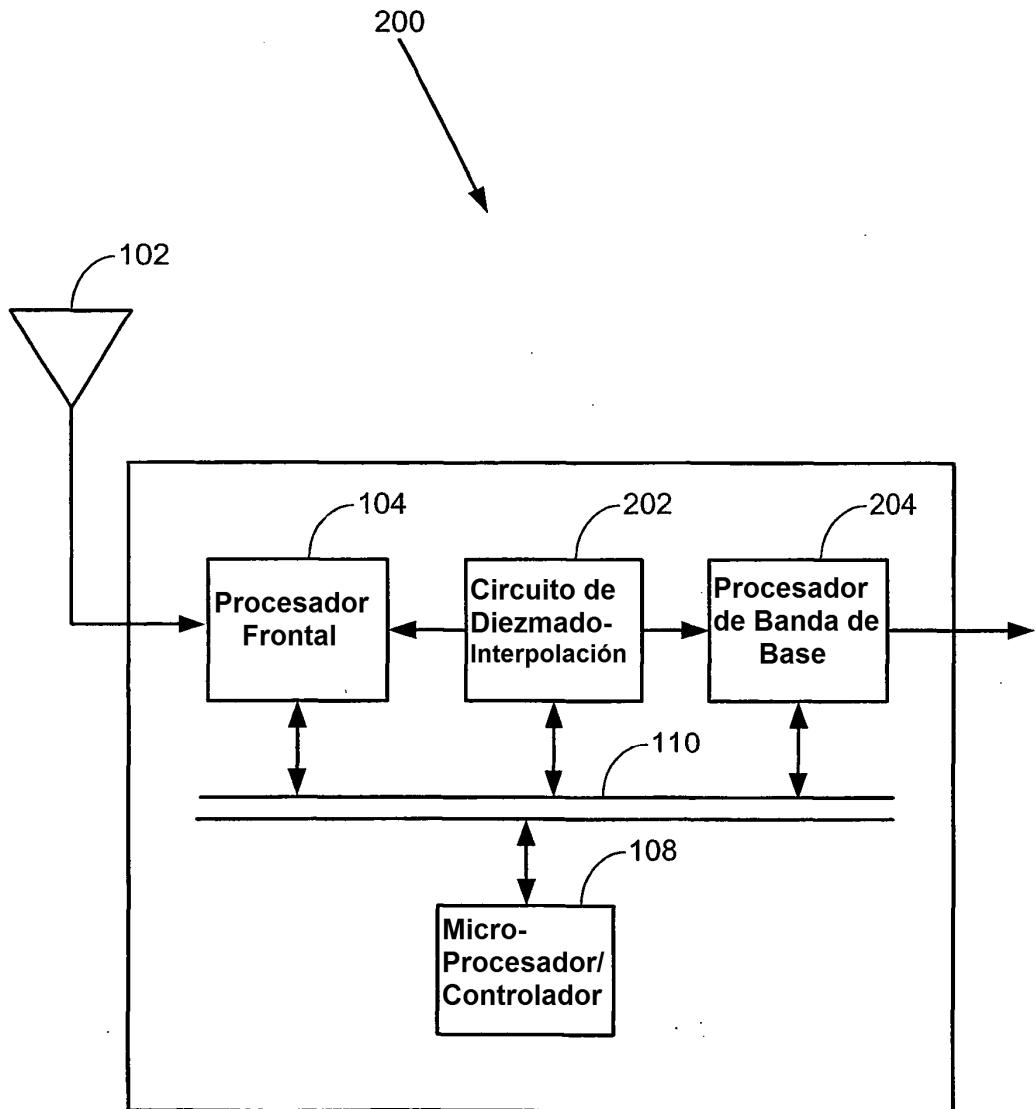


FIG. 2

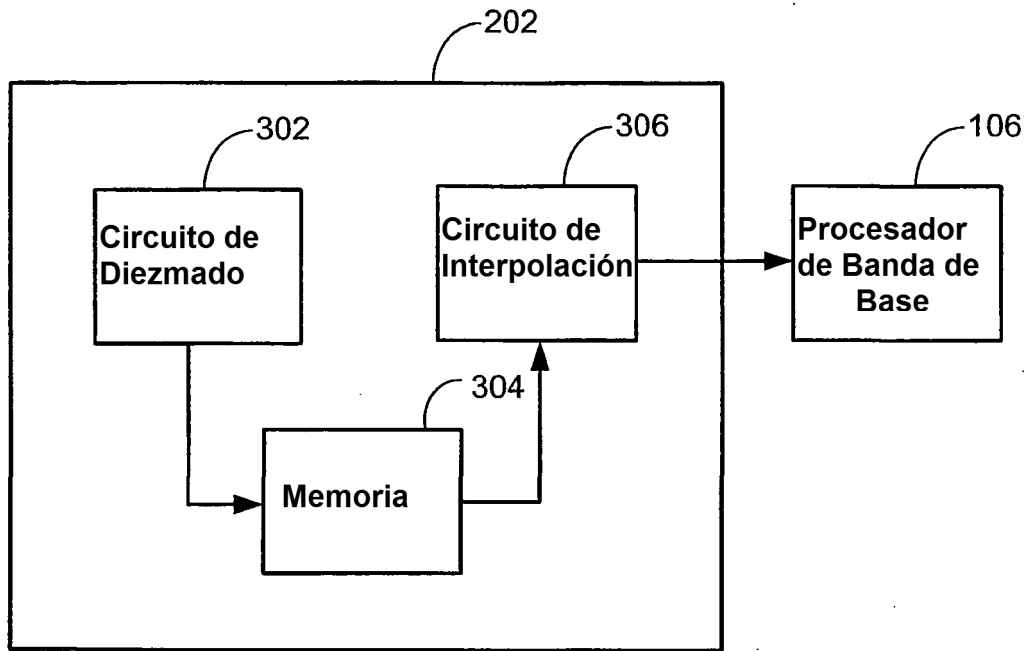


FIG. 3

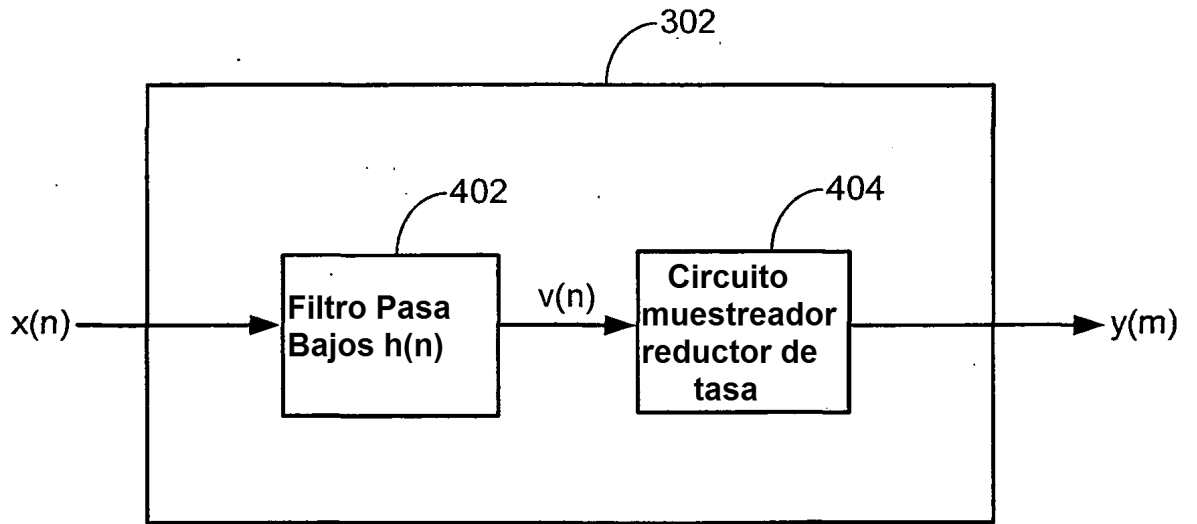


FIG. 4

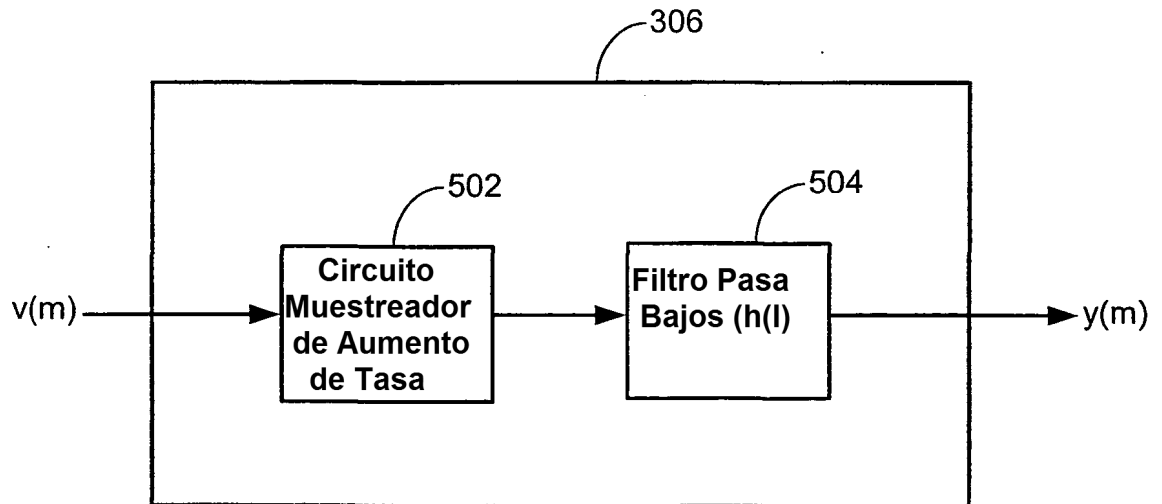


FIG. 5

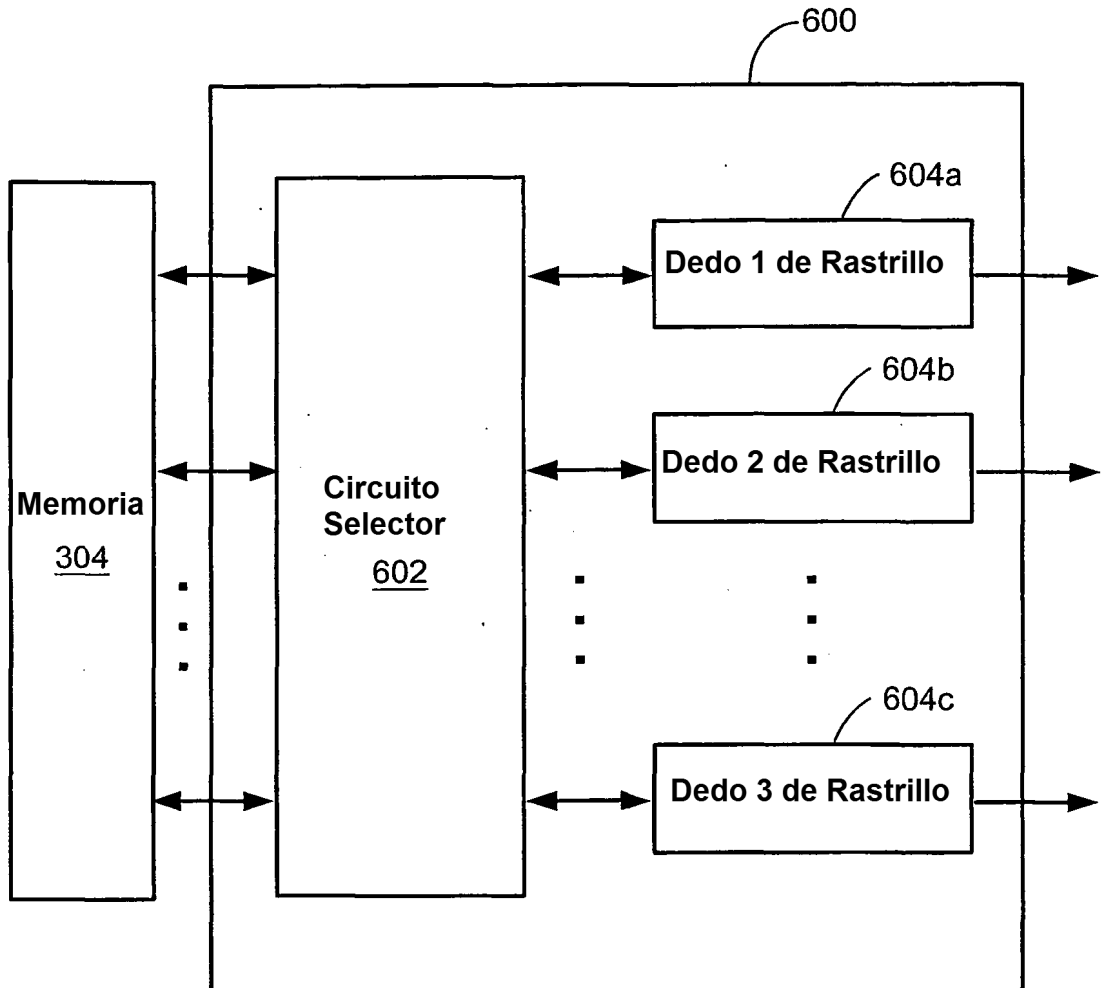


FIG. 6

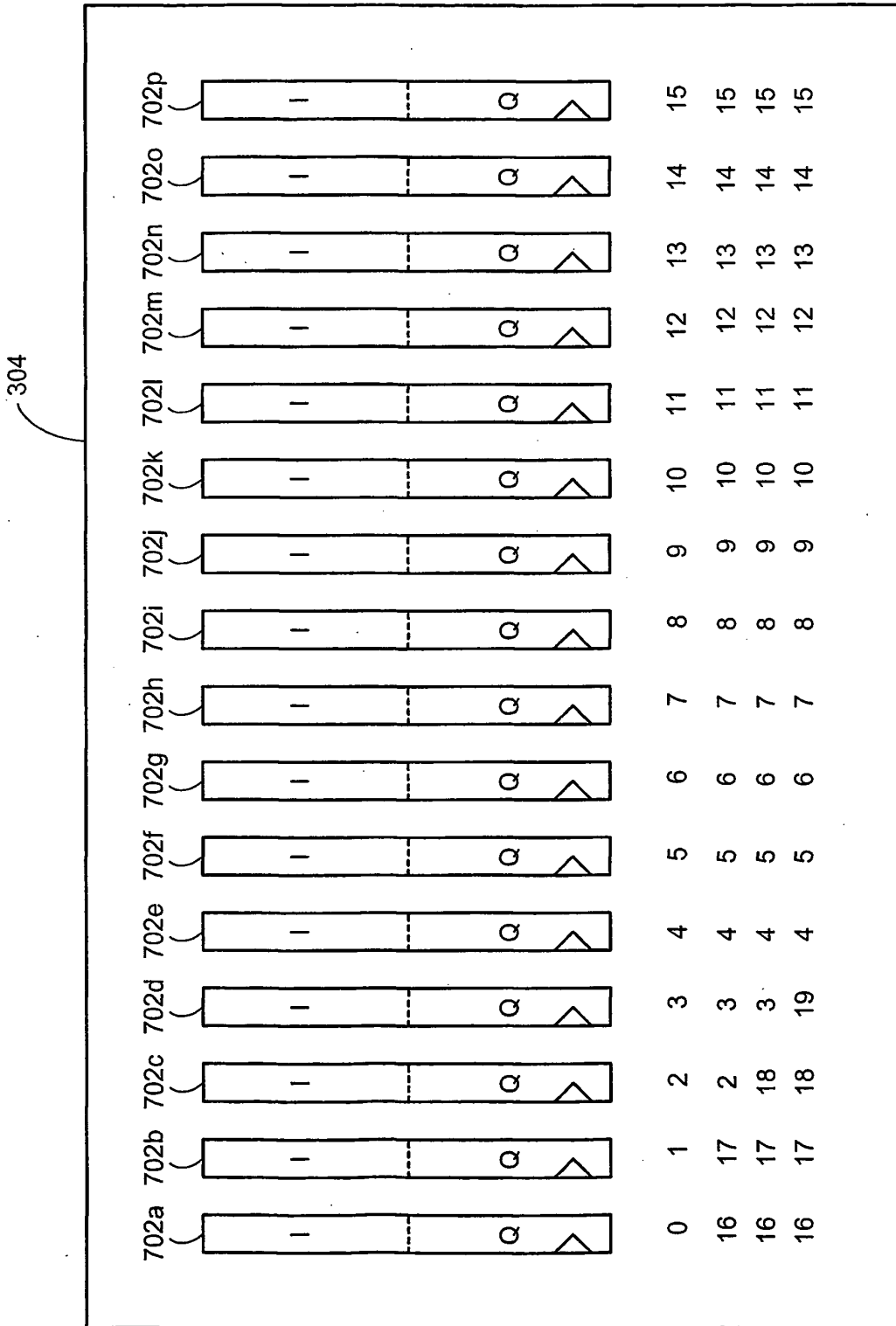


FIG. 7

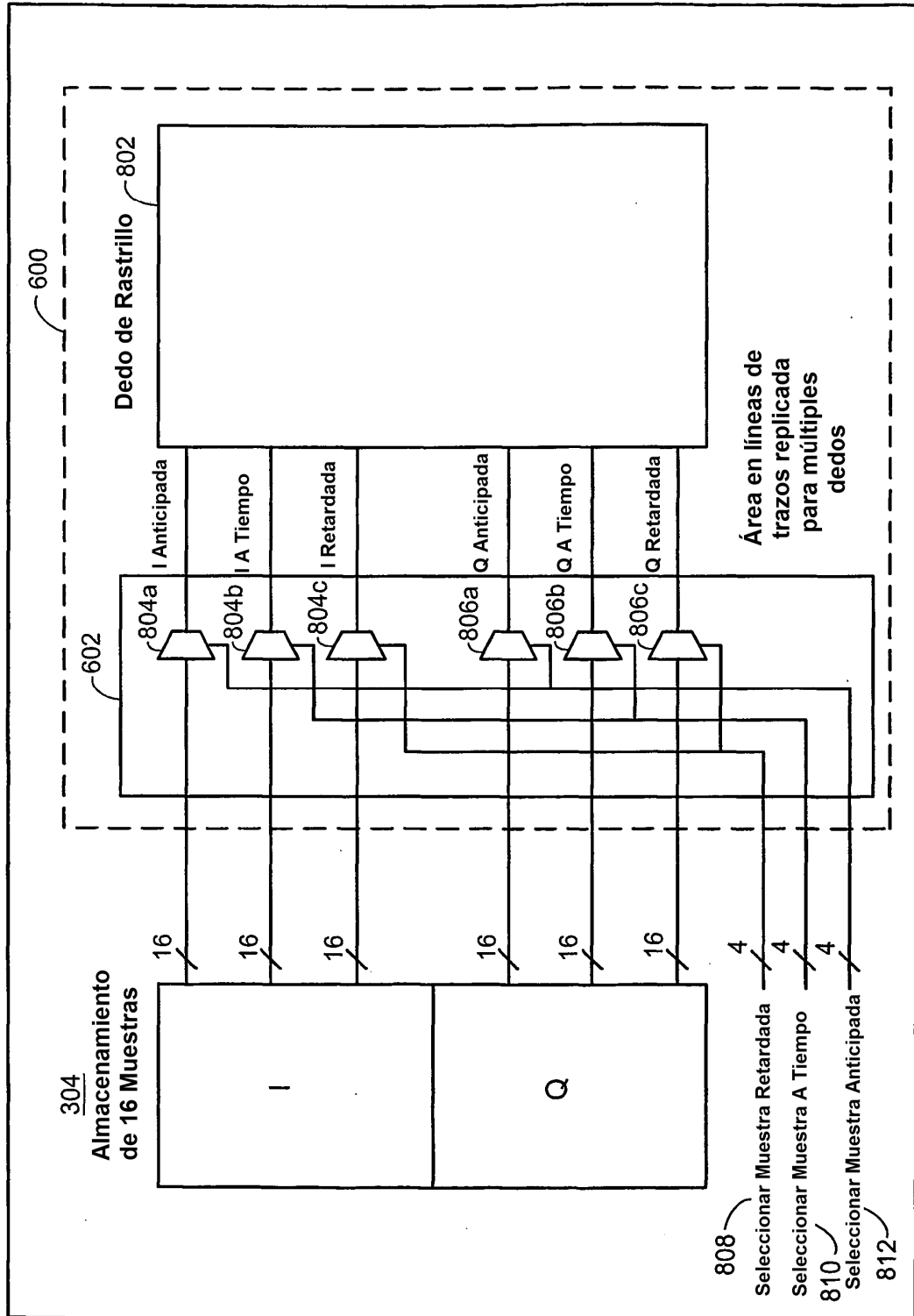


FIG. 8

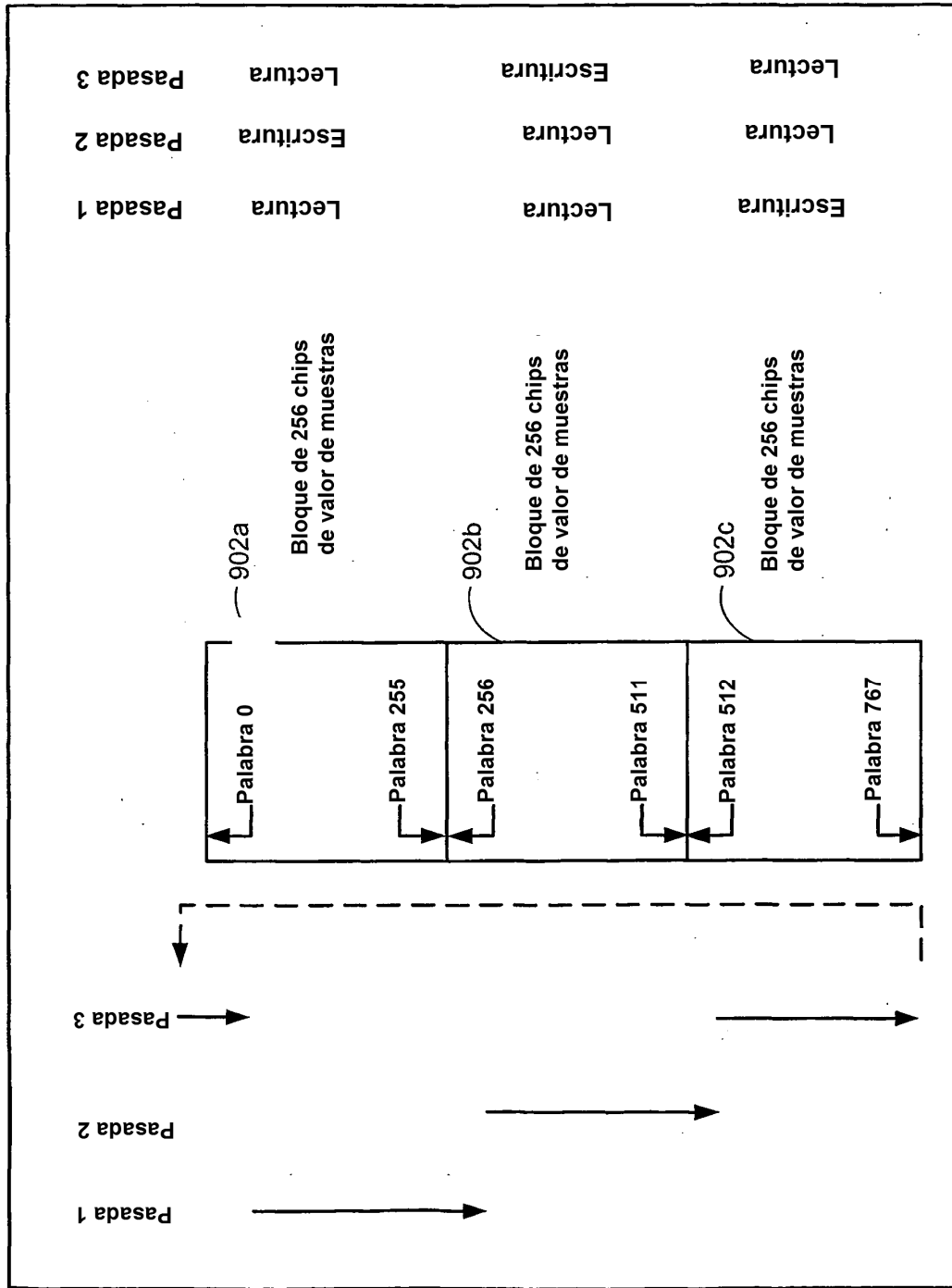


FIG. 9

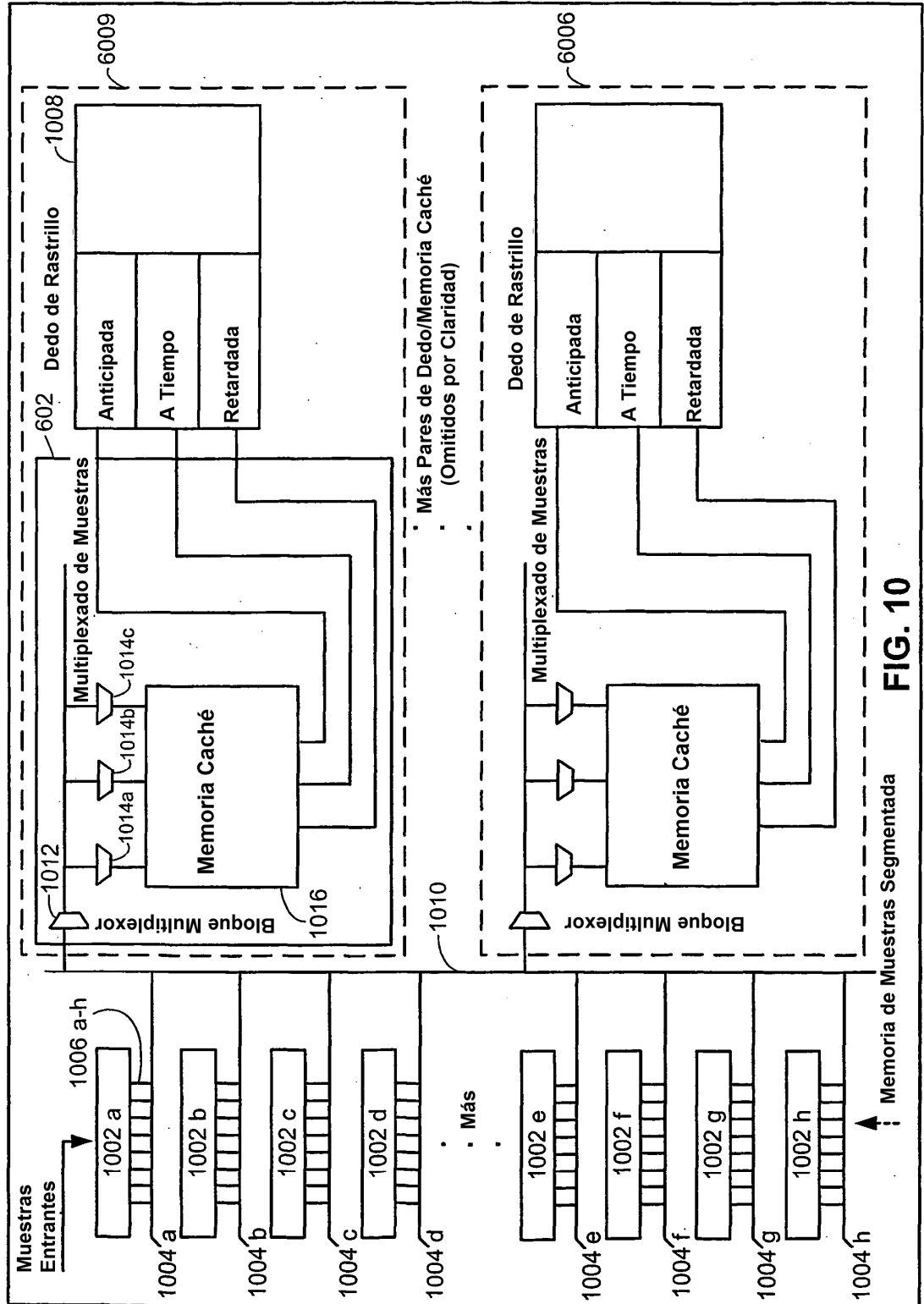


FIG. 10

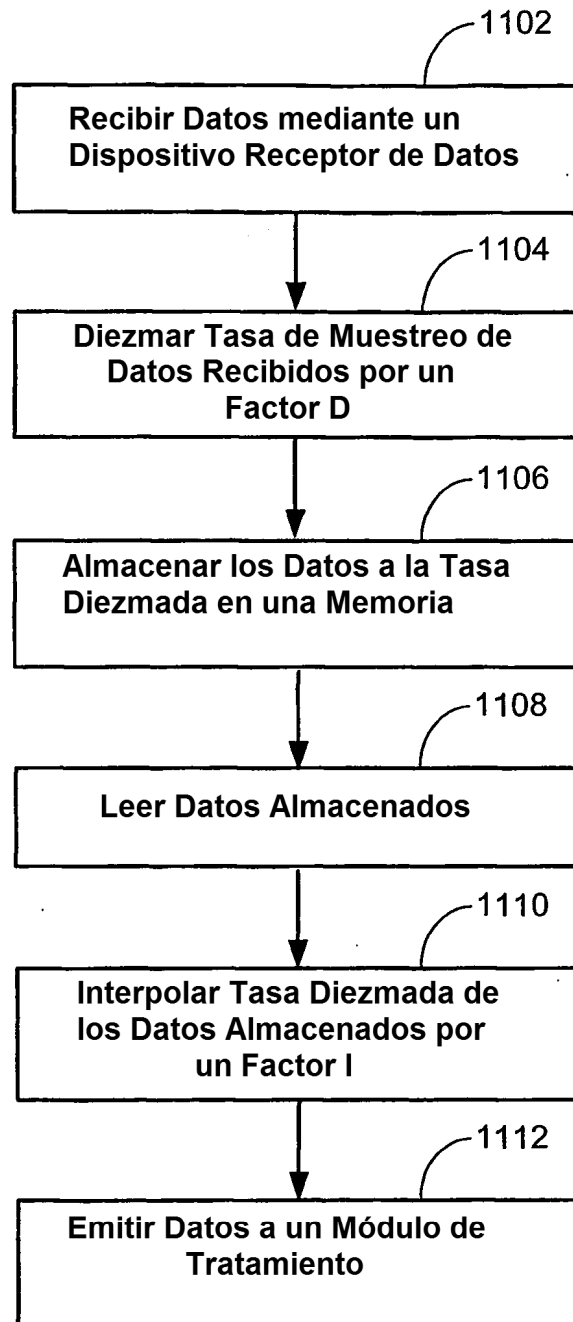


FIG. 11

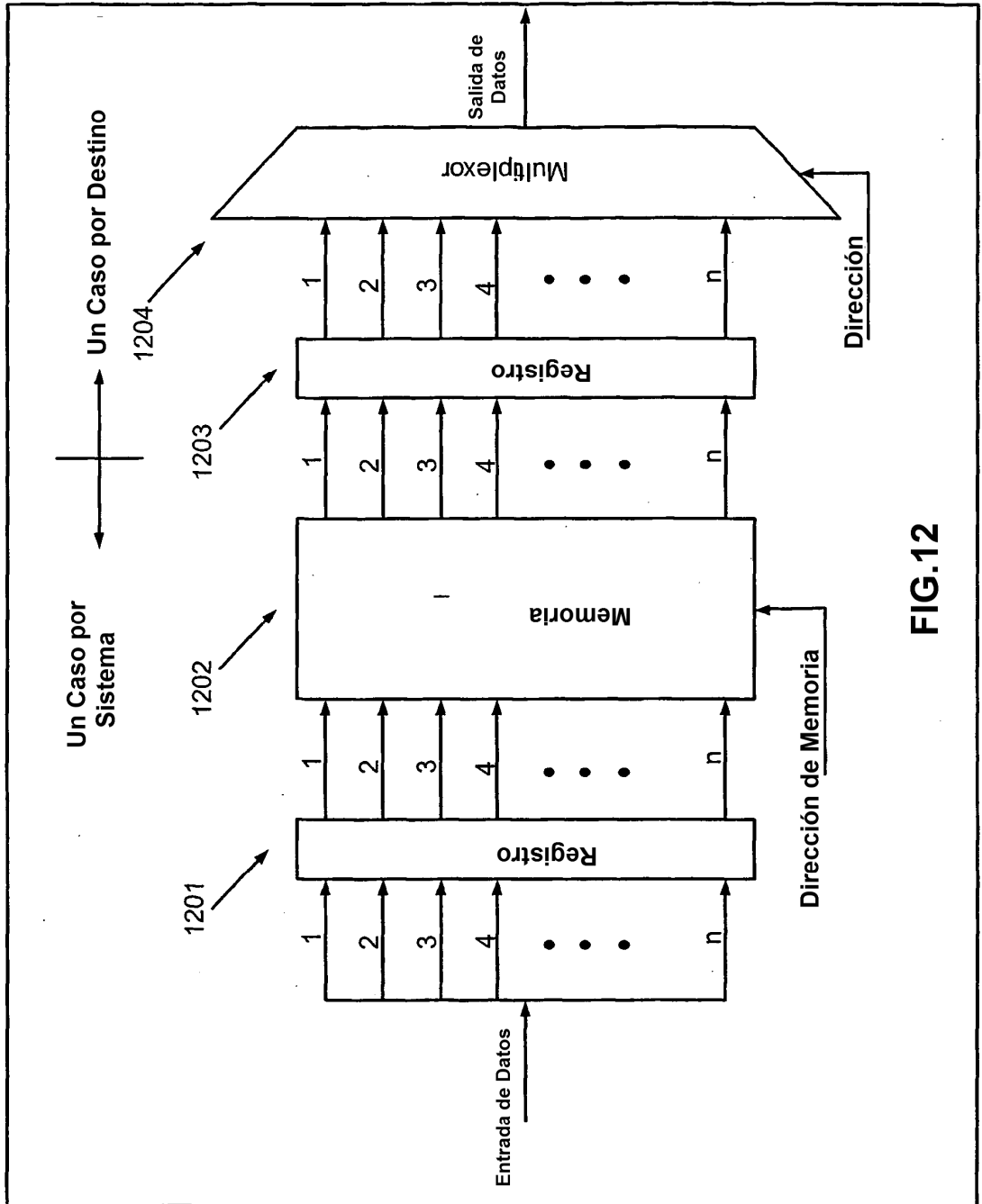


FIG.12