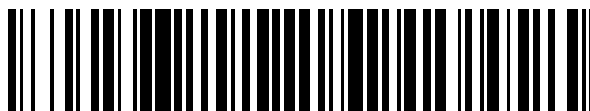


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 423 283**

51 Int. Cl.:

**G11C 16/16** (2006.01)

**G11C 16/08** (2006.01)

**G11C 8/20** (2006.01)

**G11C 8/12** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **08.02.2008 E 08714575 (1)**

97 Fecha y número de publicación de la concesión europea: **22.05.2013 EP 2132748**

54 Título: **Control de decodificación con detección de transición de dirección en función de borrado de página**

30 Prioridad:

**27.02.2007 US 711043**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**19.09.2013**

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED  
(100.0%)  
11 HINES ROAD, SUITE 203  
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:

**PYEON, HONG BEOM**

74 Agente/Representante:

**CARVAJAL Y URQUIJO, Isabel**

**ES 2 423 283 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Control de decodificación con detección de transición de dirección en función de borrado de página

Campo de la invención

La invención se relaciona con funciones de borrado de página en memorias flash.

## 5 Antecedentes de la invención

Se utiliza una función de borrado en memoria flash no volátil para restaurar el estado original de una celda flash. Debido a las limitaciones físicas de la operación de borrado, toma un largo tiempo completar la operación. La operación de borrado toma relativamente más tiempo que otras operaciones principales tales como un programa de página. Por ejemplo, cuando el tiempo de borrado es de 1.5 ms, el tiempo de programa de página puede ser de 25 us. Con una operación de borrado de bloque, se borra un bloque completo de una vez, un bloque que consiste de un grupo de páginas (filas). Debido a esto, el borrado de bloque necesita hacer copias de seguridad de los contenidos a otro medio de memoria antes de borrar todos los contenidos del bloque seleccionado al mismo tiempo con el fin de permitir que algunos de los contenidos (ciertas páginas) sean restauradas asumiendo que se deben mantener algunos de los contenidos del bloque. Esto requiere que se incorpore otro sistema de memoria en la misma tarjeta o el mismo paquete para apoyar la restauración de datos mencionados de la memoria flash. Esto aumenta el coste total del sistema con memoria flash y hace más complicado el control de datos.

La Publicación de Patente US-A-5784327 describe un método de operación EEPROM en donde el borrado se realiza en una o más páginas en una memoria no volátil y en donde se reinician los registros después de cada borrado de página o bloque.

## 20 Resumen de la invención

De acuerdo con un amplio aspecto, la invención proporciona un circuito generador de reinicio de selección de página para limitar las operaciones de borrado de múltiples páginas en una memoria no volátil, el circuito generador de reinicio de selección de página comprende: una entrada para recibir porciones de dirección de bloque de cada dirección de un grupo de una o más direcciones; un circuito de detección de transición de dirección que detecta cuando son diferentes las porciones de dirección de bloque de dos direcciones del grupo de direcciones de página; el generador de reinicio de selección de página se puede operar para generar una salida de reinicio para despejar páginas enganchadas luego de detectar que son diferentes las porciones de dirección de bloque de dos direcciones.

En algunas realizaciones, el circuito generador de reinicio de selección de página limita operaciones de borrado de múltiples páginas en una memoria no volátil que comprende memoria flash.

30 En algunas realizaciones, el circuito generador de reinicio de selección de página comprende adicionalmente: un primer circuito de habilitación de reinicio de selección de página permite la generación de la salida de reinicio cuando las direcciones tienen relación con la operación de borrado de múltiples páginas.

35 En algunas realizaciones, el circuito generador de reinicio de selección de página comprende adicionalmente: un segundo circuito de habilitación de reinicio de selección de página que permite la generación de la salida de reinicio correctamente coordinada con el enganche de direcciones en los registros de dirección principal.

40 En algunas realizaciones, el circuito generador de reinicio de selección de página comprende adicionalmente: un primer circuito de habilitación de reinicio de selección de página que permite la generación de la salida de reinicio cuando las direcciones de página tienen relación con la operación de borrado de múltiples páginas; un segundo circuito de habilitación de reinicio de selección de página que permite la generación de la salida de reinicio correctamente coordinada con el enganche de direcciones en los registros de dirección principal; en donde el generador de reinicio de selección de página se puede operar para generar la salida de reinicio solo cuando se habilita por el primer circuito de habilitación de reinicio de selección de página y el segundo circuito de habilitación de reinicio de selección de página.

45 En algunas realizaciones, el circuito de detección de transición de dirección comprende: para cada bit de una dirección de bloque de múltiples bits: a) un registro de sub-dirección de bit respectivo para registrar el bit y producir una salida de dirección registrada; b) un circuito de detección de dirección en forma de bits respectivo para detectar una transición en la salida de dirección registrada; un circuito de fusión para combinar salidas de los circuitos de detección de dirección en forma de bits.

En algunas realizaciones, cada circuito de detección de dirección en forma de bits comprende: un primer circuito para detectar generación de transiciones de dirección; un segundo circuito para detectar disminución de transiciones de dirección; un circuito para combinar salidas del primer circuito y el segundo circuito.

5 En algunas realizaciones, el primer circuito para detectar generación de transiciones de dirección comprende: a) un inversor y un elemento de retardo conectados juntos en secuencia; b) una compuerta NAND que tiene una primera entrada conectada para recibir una de las salidas de dirección registrada, la compuerta NAND que tiene una segunda entrada conectada para recibir una de las salidas de dirección registrada después de inversión por el inversor y retardo por el elemento de retardo; el segundo circuito para detectar disminución de transiciones de dirección comprende: a) un inversor y un elemento de retardo; b) una compuerta NAND que tiene una primera  
10 entrada conectada para recibir una de las salidas de dirección registrada después de inversión por el inversor, la compuerta NAND que tiene una segunda entrada conectada para recibir una de las salidas de dirección registrada después de retardo por el elemento de retardo.

15 En algunas realizaciones, para cada bit de la dirección de bloque de múltiples bits, el registro de sub-dirección de bit respectivo comprende: un enganche SR que tiene una entrada conectada para recibir el bit; un circuito de habilitación para permitir el enganche del bit al enganche SR que permite la generación de la salida de reinicio cuando las direcciones de página tienen relación con la operación de borrado de múltiples páginas.

En algunas realizaciones, el circuito generador de reinicio de selección de página comprende adicionalmente: un circuito generador de pulso de reinicio principal.

20 De acuerdo con otro amplio aspecto, la invención proporciona un circuito de memoria que comprende: una pluralidad de bloques de memoria, cada bloque comprende celdas de memoria no volátil dispuestas en una pluralidad de páginas; un circuito de enganche respectivo para cada página, cada página que tiene una dirección de página, las direcciones de página de las páginas son únicas dentro de cada bloque, la dirección de página de cada página es la misma que la página correspondiente entre bloques; un circuito de habilitación de bloque respectivo para cada bloque; un circuito pre-decodificador de bloque que procesa una porción de dirección de bloque de cada dirección de un comando de borrado de página al habilitar el circuito de habilitación de bloque para el bloque identificado por la porción de dirección de bloque de la dirección; un circuito pre-decodificador de página que procesa una porción de dirección de página de cada dirección de un comando de borrado de página al configurar el circuito de enganche para cada página que tiene la dirección de página identificada mediante la porción de dirección; el circuito generador de reinicio de selección de página como se resumió anteriormente; los circuitos de enganche se pueden operar  
25 adicionalmente para conectar una tensión de borrado a las páginas seleccionadas de los bloques habilitados después que se han procesado todas las direcciones del comando de borrado de página mediante el pre-decodificador de bloque, el pre-decodificador de página, y el circuito generador de reinicio de selección de página; en donde se evita el borrado accidental de páginas debido a una operación de borrado de múltiples páginas que se relaciona con dos o más direcciones de bloques diferentes.

35 En algunas realizaciones, la memoria no volátil comprende memoria flash.

En algunas realizaciones, los circuitos de enganche tienen una entrada de reinicio comúnmente conectada para recibir la salida de reinicio generada por el generador de reinicio de selección de página.

40 De acuerdo con otro amplio aspecto, la invención proporciona un método que comprende: para cada una de una pluralidad de direcciones de una operación de borrado de múltiples páginas que pertenecen a una memoria no volátil, cada dirección contiene una porción de dirección de bloque y una porción de dirección de página: a) detectar si la porción de dirección de bloque difiere de aquella de una dirección previa de la pluralidad de direcciones; b) reiniciar cualesquier selecciones previas de páginas y bloques luego de detectar que la dirección de bloque difiere de aquella de una dirección previa de la pluralidad de direcciones; c) seleccionar una página respectiva en cada una de una pluralidad de bloques; d) seleccionar una pluralidad respectiva de la pluralidad de bloques; y en donde  
45 después de dicha detección, reiniciar, seleccionar una página respectiva y seleccionar una pluralidad respectiva de la pluralidad de bloques en cada dirección, se seleccionará la dirección de un único bloque restante, el método comprende adicionalmente borrar cualesquier páginas seleccionadas en el único bloque seleccionado restante.

En algunas realizaciones, el método comprende adicionalmente: generar una salida de reinicio para reiniciar las selecciones previas.

50 En algunas realizaciones, el método comprende adicionalmente: recibir direcciones, cada dirección contiene una porción de dirección de bloque y una porción de dirección de página; para cada dirección recibida, determinar si la dirección es parte de una operación de borrado de página; desarrollar dicha detección y reinicio solo si se determina que la dirección es parte de una operación de borrado de página.

En algunas realizaciones, el método comprende adicionalmente; direcciones de enganche en los registros de dirección principal; sincronizar la generación de la salida de reinicio con el enganche de direcciones en los registros de dirección principal.

5 En algunas realizaciones, detectar si la porción de dirección de bloque difiere de aquella de una dirección previa de la pluralidad de direcciones que comprende: para cada bit de una dirección de bloque de múltiples bits: a) registrar el bit en un registro de sub-dirección de bit respectivo; b) desarrollar detección de dirección en forma de bits para detectar una transición en una salida del registro de sub-dirección; combinar las salidas de la detección de dirección en forma de bits.

10 En algunas realizaciones, realizar la detección de dirección en forma de bits comprende: detectar generación de transiciones de dirección; y detectar disminución de transiciones de dirección.

En algunas realizaciones, el método se aplica a la memoria flash.

Breve descripción de los dibujos

Se describirán ahora las realizaciones de la presente invención, solo por vía de ejemplo, con referencia a las figuras adjuntas, en donde:

15 La Figura 1 es un diagrama esquemático de un sistema de memoria flash;

La Figura 2 es un diagrama de circuito de un circuito decodificador para celdas de memoria flash;

La Figura 3 es un diagrama de circuito de un sistema de memoria flash que muestra más detalle de las conexiones de decodificador de bloque;

20 La Figura 4A es un diagrama de circuito de un sistema de memoria flash que muestra el comportamiento al desarrollar un borrado de múltiples páginas dentro de un único bloque;

La Figura 4B es un diagrama de circuito de un sistema de memoria flash que muestra el comportamiento cuando se realiza una operación de borrado de múltiples páginas con páginas en diferentes bloques;

La Figura 5 es un diagrama esquemático de un sistema de memoria flash que muestra el comportamiento correcto para múltiples páginas que se borran dentro de un único bloque;

25 Las Figuras 6A y 6B muestran diagramas esquemáticos de un sistema de memoria flash que muestra un intento de borrado de múltiples páginas en múltiples bloques, pero con direcciones de página que se reinician luego de detección de un bloque diferente;

La Figura 7 es un diagrama de circuito detallado de un registro de sub-dirección;

La Figura 8 es un diagrama de circuito detallado de un circuito ATD (Detección de Transición de Dirección);

30 La Figura 9 es un diagrama de circuito detallado de un circuito que detecta cuando ha habido un cambio de dirección de bloque durante una operación de borrado de múltiples páginas, y genera un pulso de reinicio de acuerdo con lo anterior para reiniciar las direcciones de página;

La Figura 10 es un primer ejemplo de la operación del circuito de la Figura 9 para entradas de dirección consecutiva de una operación de borrado de página; y

35 La Figura 11 es un segundo ejemplo de la operación del circuito de la Figura 9 para comandos consecutivos que no están en ambas direcciones de página.

Descripción detallada

40 Debido a las limitaciones del borrado de bloque, el borrado basado en página se ha presentado como una alternativa de operación de borrado de bloque en memorias flash. Se describen ejemplos en las Solicitudes de Patente copendientes Provisionales de los Estados Unidos No. de Serie 60/786,897 presentada el 29 de marzo, 2006 y No. de Serie 60/843,593 presentada el 11 de septiembre, 2006. El borrado de bloque aún tiene una aplicación para borrar un bloque completo. Las funciones de borrado de bloque y de página pueden coexistir en las operaciones de memoria flash. Para una operación de borrado de múltiples bloques, no se presenta restricción en la selección de bloques para borrar en forma simultánea. Las aplicaciones de memoria flash se utilizan principalmente en mercados

orientados a la densidad, tales como cámaras, almacenamiento de datos, reproductores de audio y video portátiles de tal manera que es crítica la densidad de celda y son obligatorios los bloques de decodificador y periféricos pequeños. En los sistemas de memoria flash, es a menudo un objetivo simplificar y minimizar la cantidad de circuitos periféricos al núcleo de la memoria. Debido a esto, en los sistemas de memoria flash normalmente las señales de decodificación de selección de página se conectan comúnmente a todos los bloques con decodificación global. En dicho sistema, si se presenta borrado de página con direcciones de bloques diferentes, se pueden eliminar accidentalmente las páginas no deseadas en bloques diferentes. Un ejemplo de esta operación incorrecta se detalla adelante.

La Figura 1 muestra una disposición de celdas de memoria flash en la que se presentan sectores o bloques físicos 10, 12, ..., 14, 16, cada uno con celdas de memoria flash 21, 23, 25, 27 y un decodificador respectivo 11, 13, ..., 15, 17. Las celdas de memoria de cada bloque se componen de un grupo de páginas (filas). La página 1 24 y página N 26 se muestran para el bloque 10, y la página 1 28 y página N 30 se muestran para el bloque 12. Un pre-decodificador de bloque 20 produce un grupo de salidas de selección de bloque 32. Una de las salidas de selección de bloque y las señales comúnmente compartidas 32 se conectan a cada uno de los bloques. También se muestra un pre-decodificador 22 que tiene un grupo de salidas seleccionadas de página 34. Las salidas seleccionadas de página 34 se conectan comúnmente a todas las de los bloques 10, 12, ..., 14, 16. En operación, el pre-decodificador de bloque 20 genera señales seleccionadas de bloque 32 para seleccionar subconjuntos particulares de los bloques 10, 12, 14, 16. El pre-decodificador 22 genera salidas seleccionadas de página 34 que seleccionan páginas particulares. Una vez se hace esto, una operación de borrado eliminará las páginas seleccionadas desde los bloques seleccionados.

La Figura 2 muestra una estructura de enganche detallada que tiene una función de borrado de múltiples páginas en el bloque de núcleo con un decodificador de dirección de fila. La estructura de la Figura 2 forma parte de los decodificadores 11, 13, ..., 15, 17 de la Figura 1, y se replica para cada página. El circuito tiene entradas que consisten de  $wl\_act$  (línea de palabra activa = línea de página activa) 40, Address\_Set 42, entradas pre-codificadas X, Y, Z 44 (salidas de pre-decodificador 22 de la Figura 1), Address\_Reset 46, y selección de bloque 47 (una de las señales de selección de bloque 32 desde el decodificador de bloque 20 de la Figura 1). La entrada  $wl\_act$  se ingresa como una primera entrada a una compuerta NAND 48. La Address\_Set 42 se conecta a la compuerta de un transistor 50. Las entradas pre-codificadas X, Y, Z 44 son entradas para una compuerta AND de tres entradas 45 cuya salida se conecta a la entrada de otro transistor 52 y a una entrada de compuerta OR 62. Para este ejemplo, para una página dada, X se conecta para recibir x o  $\bar{x}$ , Y se conecta para recibir y o  $\bar{y}$ , y Z se conecta para recibir z o  $\bar{z}$ , donde x,  $\bar{x}$ , y,  $\bar{y}$ , z y  $\bar{z}$  son salidas del pre-decodificador. Cada página tiene un grupo diferente de conexiones a las salidas del pre-decodificador de tal manera que se pueden seleccionar individualmente. Los circuitos de decodificador para las páginas correspondientes de todas las de los bloques tienen las mismas entradas precodificadas. La Address\_Reset 46 se conecta a la compuerta de otro transistor 60. Los inversores 54, 56 se conectan para formar un enganche de activación- reinicio (SR) 58. La salida del enganche de activación- reinicio 58 se conecta a otra entrada de la compuerta OR 62 cuya salida se conecta como una segunda entrada a la compuerta NAND 48. La salida de la compuerta NAND 48 pasa a través del inversor 64 al WL\_driver 66. La salida de WL\_driver 66 pasa a través del transistor de selección de bloque 68 que es habilitado (o no) por la entrada de selección de bloque 47. La entrada de selección de bloque es la misma para todas las páginas de un bloque dado, pero es diferente para cada bloque.

En operación, la  $wl\_act$  40 necesita ser alta para cualquier operación de borrado de página. La operación de activación del enganche de activación- reinicio 58 se controla por la Address\_Set 42 en combinación con la salida de compuerta AND 45. La salida de la compuerta AND 45 son altas cuando las señales de selección de página se activan de forma adecuada para esa página. Tanto la Address\_Set 42 como la salida de la compuerta AND 45 necesitan ser altas para que ocurra una operación de activación dentro del enganche de activación- reinicio 58. La operación de reinicio del enganche de activación- reinicio 58 se controla por la entrada Address\_Reset 46. Cuando Address\_Reset es alta, ocurre un reinicio. Cuando se activa el enganche 58, la salida de compuerta OR 62 será alta. Asumiendo que es alta la  $wl\_act$  40, se producirá un alto en la salida del inversor 64 que pasa a través del controlador 66. La salida de WL\_driver 66 solo se conectará a las celdas de memoria de esa página si también es alta la selección de bloque correspondiente 47 del decodificador de bloque. El WL\_driver 66 tiene un valor bajo cuando se necesita borrado. No se selecciona 'H' (nivel Vdd, voltaje de operación), y se selecciona 'L' (Vss, nivel de suelo). La tensión de borrado se aplica al sustrato. (-20v).

Un ejemplo de una estructura de comando que puede ser procesada por el decodificador y pre-decodificador de bloque es como sigue:

{bloque B<sub>1</sub>, página P<sub>1</sub>}, {bloque B<sub>2</sub>, página P<sub>2</sub>}, ..., {bloque B<sub>K</sub>, página P<sub>K</sub>}, borra

Esto significa que se va a borrar en el bloque B<sub>1</sub>, la página P<sub>1</sub>, se va a borrar en el bloque B<sub>2</sub>, la página P<sub>2</sub>, y así sucesivamente hasta el bloque B<sub>K</sub>, donde se va a borrar la página P<sub>K</sub>. Cada uno de estos pares {bloque, página} resulta en una operación de activación en la lógica del decodificador correspondiente para el bloque y la página.

Después de que se completan todas las operaciones de inicio, el comando de borrado se ejecuta para realizar la operación de borrado para las páginas y bloques seleccionados.

5 El circuito de la Figura 2 se repite para cada página. Con esta estructura, cada dirección de página en un bloque seleccionado se engancha en el enganche 58 de cada bloque que decodifica la línea de palabra, y se pueden seleccionar líneas de múltiples palabras para ser borradas durante la fase de activación de dirección antes que inicie la función de borrado. Los decodificadores de dirección de fila conectados comúnmente en cada bloque, al mismo tiempo, se seleccionan mediante el pre-decodificador y el decodificador de bloque. Se selecciona la página en el bloque correcto al accionar alta selección de bloque 47 en el bloque seleccionado (al transistor 68 se coloca entre el WL\_driver 66 y los bloques de celda de memoria (no mostrados). Debido a esto, el borrado de múltiples páginas funcionará solo correctamente si se limita a borrar múltiples páginas dentro del mismo bloque.

10 La Figura 3 muestra cómo puede funcionar de forma adecuada un borrado de múltiples páginas, cuando las múltiples páginas están todas dentro de el mismo bloque. La Figura 3 muestra una vista diferente del circuito de la Figura 1. El bloque 10 se ha expandido para mostrar los decodificadores de línea de palabra 80, 82, 84, 86 (que forman parte del decodificador 11 de la Figura 1) y celdas de memoria 21. Una de las salidas de selección de bloque 32 se conecta al transistor respectivo 68 para cada página. Seleccionar múltiples páginas resultará en los decodificadores de línea de palabra correspondientes de cada bloque que se activa. Sin embargo, si se van a borrar las páginas dentro de solo el primer bloque 10, luego la selección de bloque habilitará solo el primer bloque 10, y como tal, solo las páginas dentro de ese bloque se borrarán, y ese es el resultado deseado. La selección final se realiza por los transistores 68 que actúan como interruptores NMOS. Los WL\_drivers para las páginas seleccionadas en todos los bloques generan una tensión de borrado de página (0V). Este solo se acopla a través del nivel de compuerta de celdas de memoria de los bloques seleccionados debido a que solo se encienden en los transistores 68 de bloques seleccionados. Además, 20V se aplican al sustrato de la memoria flash. Debido a esto se puede borrar la tensión inversa entre la compuerta (0v) y el sustrato (20v), la carga atrapada de la compuerta flotante de cada celda seleccionada. Para las celdas no seleccionadas, el WL\_driver genera Vdd. El nivel de flotación en la línea de página aplicada vdd se impulsa por el nivel de sustrato (20v) de tal manera que la compuerta de la celda no seleccionada tiene más o menos 16V, y no ocurre borrado.

15 La Figura 4A muestra detalles adicionales de cómo puede funcionar de forma adecuada un borrado de múltiples páginas, cuando las múltiples páginas están todas dentro de el mismo bloque. La Figura 4A muestra una vista diferente del circuito de la Figura 1. El bloque 10 se ha expandido como en la Figura 3. Además, el bloque 12 se ha expandido para mostrar decodificadores de línea de palabra 100, 102, 104, 106 (que forma parte del decodificador 13 de la Figura 1), y celdas de memoria 23. La salida de selección de bloque 32 para el bloque 12 se conecta a un transistor respectivo 110 para cada página en el bloque 12. Para los propósitos de este ejemplo, se asume que se ha generado la siguiente información de dirección para el propósito de una operación de borrado donde se asume que el bloque 0 es el bloque 10, el bloque 1 es el bloque 12, la página 0 es la página asociada con los decodificadores 80, 100, la página 1 es la página asociada con los decodificadores 82, 102, la página 2 es la página asociada con los decodificadores 84, 104, y la página 3 es la página asociada con los decodificadores 86, 106:

{bloque 0, página 1}, {bloque 0, página 2}, borra

20 Las múltiples páginas que se seleccionan resultarán en los decodificadores de línea de palabra correspondientes de cada bloque que se activa. Sin embargo, si se eliminan todas las páginas dentro del mismo bloque (bloque 0 en este ejemplo), luego la selección de bloque habilitará solo el primer bloque 10, y como tal, solo se eliminarán las páginas dentro de ese bloque, y esto es el resultado deseado. Aquí se asume que se habilitan los decodificadores de línea de palabra 82, 84 y por lo tanto producen una salina "L" (la tensión de borrado de la celda seleccionada), y se desactivan los decodificadores de línea de palabra 80, 86 y por lo tanto producen una salida "H". Debido a que las salidas del pre-decodificador se conectan directamente para cada bloque, se habilitan y deshabilitan los decodificadores de línea de palabra correspondientes para el bloque 12. Más específicamente, se habilitan los decodificadores de línea de palabra 102, 104, y se deshabilitan los decodificadores de línea de palabra 100, 106. En este ejemplo, solo se habilita el bloque 10 (la entrada de selección de bloque es "H") que enciende los transistores 68, pero no enciende los transistores 110. El resultado de esto es que las salidas "L" de los decodificadores de bloque 10 se propagan a través de las celdas de memoria 21 del bloque 10, que se borrarán cuando se afirma el comando de borrado. Las salidas "H" producen un estado de flotación lo que significa que no ocurre borrado. En el bloque 12, ninguna de las salidas de los decodificadores 100, 102, 104, 106 se propagan a través de celdas de memoria 23, y todas las celdas tienen un estado de flotación lo que significa que no ocurre borrado, y este es el resultado deseado.

25 La Figura 4B muestra detalles adicionales de cómo puede funcionar de forma no adecuada un borrado de múltiples páginas, cuando las múltiples páginas están todas dentro de bloques diferentes. La Figura 4B muestra los mismos detalles de circuito como la Figura 4A. Para los propósitos de este ejemplo, se asume que se ha generado la siguiente información de dirección para el propósito de una operación de borrado:

Borrado {bloque 0, página 1}, {bloque 1, página 2},

En razón a que se seleccionan ambos bloques, se habilitarán todos los transistores 68 y 110. Las múltiples páginas que se seleccionan resultarán en los decodificadores de línea de palabra correspondientes de cada bloque que se activa. Por lo tanto, se habilitarán todas las salidas de los decodificadores 82, 84, 102, 104, que producen las salidas "L" salidas. Debido a que se habilitan todos los transistores 68, 110, se propagara la tensión de borrado a través de las celdas 21, 23. El resultado es que se borra el AND del bloque 0, página 1 y la página 2 se elimina en bloque 1, página 1 y página 2. Es fácilmente evidente que esto es más que de lo que se va borrar de acuerdo con el comando.

Las Figuras 5, 6A y 6B son vistas de un circuito proporcionado por una realización de la invención que proporciona una funcionalidad de borrado de página. Aunque la Figura 5 muestra el circuito que procesa un comando de borrado de múltiples páginas con las páginas en el mismo bloque, las Figuras 6A y 6B son dos vistas del mismo circuito que procesa un comando de borrado de múltiples páginas, con las páginas que están en los bloques diferentes. En los circuitos, se producen dos bloques 610, 612. El bloque 610 tiene cuatro páginas que forma parte de las celas de memoria 588. El bloque 612 tiene cuatro páginas que forman parte de las celas de memoria 608. De manera más general, puede estar presente cualquier número de bloques y páginas. El bloque 610 tiene decodificadores de línea de palabra 580, 582, 584, 586 (uno por página) conectados a celdas de memoria 588 a través de transistores de conmutación 590. El bloque 612 tiene decodificadores de línea de palabra 600, 602, 604, 606 conectados a celdas de memoria 608 a través de transistores de conmutación 710. También se muestra un pre-decodificador de bloque 500. El pre-decodificador de bloque 500 tiene una salida de selección de bloque 506 conectada a transistores de conmutación habilitados/deshabilitados 590 para el bloque 610, y tiene una salida de selección de bloque 508 conectada a transistores de conmutación habilitados/deshabilitados 710. También se proporciona un pre-decodificador de página 502 que tiene salidas seleccionadas de página 509 que se conectan comúnmente a decodificadores de línea de palabra correspondientes en cada bloque como se describió anteriormente para implementaciones convencionales. El pre-decodificador de página 502 también tiene una salida Address\_Reset 510 conectada comúnmente a una entrada de reinicio de cada uno de los decodificadores de línea de palabra, una salida Address\_set 512 conectada comúnmente a una salida de activación de cada uno de los decodificadores de línea de palabra, y una salida WI\_act 514 que se conecta comúnmente a una entrada WI\_act de los decodificadores de línea de palabra. También se muestra un circuito generador de reinicio de selección de página 504. Este circuito tiene una salida de reinicio 516 que se conecta al pre-decodificador de página 502, o directamente al reinicio de dirección 510, y al pre-decodificador de bloque 500.

En las Figuras 5, 6A y 6B, las conexiones entre el pre-decodificador de bloque 500 y los bloques se pueden considerar interconexiones lógicas. De manera general, se puede implementar cualquier función que permita a los bloques ser seleccionados individualmente. Puede haber otra intervención lógica. Por ejemplo, para implementaciones con un gran número de bloques (tal como 2048 en el ejemplo adelante), se puede realizar la selección de bloque similar a la selección de página. Por ejemplo, cada bloque puede tener un decodificador de línea de bloque que se dirige únicamente por bits particulares enviados en un grupo de líneas de selección de bloque. En otras palabras, el grupo de los decodificadores de línea de bloques podría ser similar a un grupo de decodificadores de línea de palabra de un único bloque. Los decodificadores de línea de bloques pueden tener una entrada de reinicio similar para reiniciar las direcciones de bloque previamente enganchadas.

El circuito generador de reinicio de selección de página 504 se muestra como un circuito separado del pre-decodificador de página, pero también se pueden implementar como un único circuito. Se muestra una forma específica de salidas seleccionadas de página, pero de manera más general, se puede utilizar cualquier tipo de salidas seleccionadas de página que permitan páginas correspondientes de los decodificadores de línea de palabra que van a ser seleccionados. Adicionalmente, aunque en algunas realizaciones los decodificadores de línea de palabra de las Figuras 5, 6A y 6B son similares en forma a los decodificadores de la Figura 2, de manera más general, se pueden emplear cualesquier circuitos de enganche.

En operación, las múltiples páginas que se seleccionan resultarán en los decodificadores de línea de palabra correspondientes de cada bloque que se activa. Asumiendo que las páginas están en el mismo bloque, el circuito generador de reinicio de selección de página 504 no generará un reinicio. Después que todas las direcciones se han activado, la operación de borrado se ejecuta, y la tensión de borrado (0v) se propagará a las páginas del bloque seleccionado a través del control adecuado de los transistores de conmutación (al encender los transistores 590 para el bloque 610, o al encender los transistores 710 para el bloque 612). Por otro lado, cuando las páginas no están en el mismo bloque, tan pronto como se detecta un bloque diferente, el circuito generador de reinicio de selección de página 504 produce un reinicio en la salida de reinicio 516 que reinicia todas las direcciones de página previamente activadas y reinicia las direcciones de bloque. Las direcciones posteriores se enganchan y borran asumiendo que todas pertenecen al mismo bloque.

En la Figura 5, se muestra un ejemplo de una operación de borrado de múltiples páginas en el mismo bloque. Aquí la operación contemplada es:

{Bloque 0, página 1}, {Bloque 0, página 2} borra

La dirección de borrado de página página1 resulta en la configuración de los enganches en los decodificadores de línea de palabra 582, 602, y la dirección de página página2 resulta en la configuración de los enganches en los decodificadores de línea de palabra 584, 604. Adicionalmente la dirección de bloque bloque0 resulta en la selección de bloque 506 que pasa a un estado de habilitación. La selección de bloque 508 permanece en el estado deshabilitado. Cuando la operación de borrado se ejecuta, las WL\_drivers (no mostradas) en los decodificadores de línea de palabra 582, 584, 602, 604 generan la tensión de borrado para cada una de página 1, página 2 en los dos bloques 610, 612. En el ejemplo ilustrado, se muestra la tensión de borrado ("L") que se genera para cada una de las páginas seleccionadas (página 1, página 2). La selección de solo el bloque 0 con señales seleccionadas de bloque ("H" en la entrada 506 para transistores de conmutación 590 del bloque 0 610 vs. "L" en la entrada 508 para transistores de conmutación 710 del bloque 1 612) significa que solo se borran las páginas del bloque0 610 y este es el resultado deseado.

En los ejemplos representados en las Figuras 6A y 6B, se muestran estados secuenciales del circuito para un ejemplo de una operación de borrado de múltiples páginas para direcciones de página en bloques diferentes. Aquí la operación contemplada es:

15 {Bloque 0, página 1}, {Bloque 1, página 2} borra

La dirección de borrado de página página1 resulta en la configuración de los enganches en los decodificadores de línea de palabra 582, 602. Adicionalmente la dirección de bloque bloque0 resulta en la selección de bloque 506 que pasa a un estado de habilitación. El estado del circuito en este punto se representa en la Figura 6A. La tensión de borrado aún se ha propagado a las celdas de memoria ya que la operación de borrado no se consigue realizar hasta que se ha procesado todas las direcciones y no se emite todavía el comando de confirmación 'borrado'. Después de esto, cuando se intenta que se active una página siguiente en un bloque diferente, el circuito generador de reinicio de selección de página 504 entonces detecta que la dirección de bloque de la siguiente dirección es diferente, debido a que el bloque 1 es diferente del bloque 0. En este punto, se genera un reinicio 516, y esto resulta en enganches previamente activos en los decodificadores de línea de palabra que se reinician (específicamente, se reinician enganches en los decodificadores 582, 602 para este ejemplo), y también resulta en el reinicio de la selección de bloque 506 a un estado deshabilitado. La segunda dirección luego se procesa normalmente. En particular, la dirección de página página2 resulta en la configuración de los enganches en los decodificadores de línea de palabra 584, 604. Adicionalmente la dirección de bloque bloque1 resulta en la selección del bloque 508 que pasa a un estado de habilitación. La selección de bloque 506 permanece en el estado deshabilitado. La WL\_drivers (no mostrada) en los decodificadores de línea de palabra 584, 604 genera la tensión de borrado (0V) para la página2 en los dos bloques. En este punto, el estado del circuito es como se representa en la Figura 6B. Se ha reiniciado 'H' en la selección de bloque para el bloque 10 a 'L', y se ha reiniciado la selección de página en los decodificadores de línea de palabra 582, 602. En el ejemplo ilustrado, se muestra la tensión de borrado ("L") que se genera para la página seleccionada (página 2). La selección de solo el bloque 1 con señales seleccionadas de bloque ("H" en la entrada 508 para transistores de conmutación 710 del bloque 1 612 vs. "L" en la entrada 506 para transistores de conmutación 590 de bloque 0 610) significa que solo se borra la página del bloque 1 612 y este es el resultado deseado.

Se proporcionarán ahora los detalles de las implementaciones de ejemplo del circuito generador de reinicio de selección de página 504. En algunas realizaciones, con el fin de implementar las operaciones descritas, se realiza detección de dirección de diferentes bloques utilizando un mecanismo ATD (Detección de Transición de Dirección). Se observa que la ATD (Detección de Transición de Dirección) se ha utilizado popularmente en la DRAM (Memoria Dinámica de Acceso Aleatorio) y SRAM asíncrona (Memoria Estática de Acceso Aleatorio) para encontrar el inicio de una nueva dirección. Como una función de los cambios de dirección detectados, la lógica de control interno genera las señales pertinentes en DRAM o SRAM. Se considera que el ancho de pulso y la única o múltiples transiciones de dirección son factores críticos en el diseño de circuitos de memoria DRAM o SRAM asíncrona y debido a esto, se utiliza lógica complicada para llevar a cabo la función de ATD.

Con referencia ahora a la Figura 7, se muestra un circuito de sub-dirección de registro de bloque para enganchar las direcciones de bloque que forman parte del circuito generador de reinicio de selección de página 504. El circuito de la Figura 7 tiene una entrada wr\_en 200 conectada para habilitar las entradas de los transistores 204, 212. Se presenta una dirección de entrada de bloque 202 que se conecta a la salida de activación de un enganche 210 que consiste de inversores 206, 208 a través del transistor 204. La dirección de entrada de bloque 202 también se conecta a la entrada de reinicio del enganche 210 a través del inversor 214 y el transistor 212. El enganche 210 tiene una salida que se conecta a través del inversor 216 para producir la salida completa 218.

En operación, cuando es alta la entrada wr\_en 200, se enciende el transistor 204, y una transición positiva en la entrada de dirección 202 activa el enganche 210 que consiste de inversores 206, 208. Siempre y cuando sea alta la wr\_en 200, también se enciende el transistor 212, y una transición negativa en la entrada de dirección 202 reiniciará el enganche 210. El estado de enganche se invierte por el inversor 216 para producir la señal de salida 218, siendo esta la dirección de bloque enganchada. El circuito de la Figura 7 se replica tantas veces como el número de bits de dirección de bloque. En este caso, de RA<16: 6>, la dirección de bloque es 11-bits, y de esta manera el circuito de la



Figura 7 se replica 11 veces. Después de almacenar las direcciones de fila en los registros de dirección principal que consisten de direcciones de bloque y direcciones de página (no mostradas), las direcciones de bloque se enganchan en el registro de sub-dirección de la Figura 7. La señal de control 'wr\_en' 200 se genera a partir de una combinación de dos entradas. La primera entrada, cmd\_addip\_pgperse significa que el comando más reciente es un comando de entrada de dirección de borrado de página, y la segunda entrada es un Row\_latch utilizado en los registros de dirección principal colocados en bloques de registro anteriores al registro de sub-dirección de la Figura 7 (no mostrado). Un mecanismo específico de combinación de cmd\_addip\_pgperse y Row\_latch se detallará adelante en la descripción de la Figura 9.

Cada registro de sub-dirección de la Figura 7 genera una salida de dirección de bloque enganchada 218 solo cuando es habilitada por wr\_en, y esto solo ocurre al procesar direcciones de borrado de página. Como resultado, utilizando dicho registro de subdirección, se puede evitar el consumo de energía por la detección de transición de dirección innecesaria del otro comando relacionado con direcciones de fila.

Un ejemplo de un circuito ATD (Detección de Transición de Dirección) se representa en la Figura 8, pero de debe entender claramente que se pueden emplear alternativamente muchos circuitos para implementar una función ATD. En la Figura 8, la entrada 230 es una de las direcciones de bloque enganchadas 218 producidas por uno de los circuitos de la Figura 7. El circuito de la Figura 8 también se replica tantas veces como el número de bits de dirección de bloque. En este caso, a partir de RA<16:6>, la dirección de bloque es 11-bits, y de esta manera el circuito de la Figura 8 se replica 11 veces. La entrada 230 se carga a una primera entrada de una primera compuerta NAND 240, a través de un inversor 232 y un elemento de retardo 236 hacia una segunda entrada de la primera compuerta NAND 240, a través de un inversor 234 hacia una primera entrada de una segunda compuerta NAND 242, y a través del elemento de retardo 238 a una segunda entrada de la segunda compuerta NAND 242. Las salidas de la primera compuerta NAND 240 y la segunda compuerta NAND 242 se cargan a las salidas respectivas de una tercera compuerta NAND 244 cuya salida es una señal ATD\_out completa 246. Esta señal ATD\_out es una de las salidas (11 en total) que se conecta a la entrada del circuito de fusión ATD 340 mostrado en la Figura 9. De manera más general, en algunas realizaciones el circuito ATD consiste de un primer circuito para detectar disminución de transiciones de dirección, un segundo circuito para detectar generación de transiciones de dirección, y un circuito para combinar las salidas del primer circuito y el segundo circuito.

En operación, una transición desde bajo a alto en la entrada 230 (generación de transición de dirección) resultará en un pulso (activo bajo) en la salida de compuerta NAND 240 que dura la duración del retardo introducido por el elemento de retardo 236. Esto genera un pulso correspondiente (activo alto) en ATD\_out 246. Una transición desde alto hasta bajo en la entrada 230 (disminución de transición de dirección) resultará en un pulso (activo bajo) en la salida de compuerta NAND 242 que dura la duración del retardo introducido por el elemento de retardo 238. Esto genera un pulso correspondiente (activo alto) en el ATD\_out 246. Por lo tanto, el circuito detectará cualquier cambio en la entrada 230 y generará un pulso en ATD\_out 246 luego de dicha detección.

La Figura 9 es un diagrama de bloque de un circuito completo para detectar nuevas direcciones de bloque. Esto se podría implementar por ejemplo como el circuito generador de reinicio de página 504 de las Figuras 5 y 6. Las entradas incluyen Row\_latch 310, Rst\_b 302 (entrada mostrada en dos lugares), New\_cmd\_b 304 (entrada mostrada en dos lugares), Radd<16:6>, Cmd\_addip\_pgperse 308. El Row\_latch 310 se invierte por el inversor 314 y por la entrada como una primera entrada a la compuerta NAND 316. Rst\_b 302 y New\_cmd\_b son entradas a la compuerta NAND 318. Las compuertas NAND 316, 318 se conectan como un enganche SR 319. La salida del enganche SR 319 es la entrada al elemento de retardo 330. La salida 331 del elemento de retardo 330 se marca Latch\_start y esta es la entrada a una primera entrada de compuerta NAND 320. De forma similar, el Cmd\_addip\_pgperse 308 se invierte por el inversor 324 y por la salida como una primera entrada a la compuerta NAND 326. Rst\_b 302 y New\_cmd\_b 304 son entradas a la compuerta NAND 328. Las compuertas NAND 326, 328 se conectan como un enganche SR 329. La salida 327 del enganche SR 329 se marca Pgpadd\_input y ésta es la entrada a una segunda entrada de compuerta NAND 320. La salida de compuerta NAND 320 se invierte por el inversor 322 para producir wr\_en 323 que es la entrada a los registros de sub-dirección 332 descritos anteriormente con referencia a la Figura 7. El Radd<16:6> funciona como la entrada a los registros de dirección 332. La salida 333 de los registros de dirección 332 es Raddo<16:6>, y esta es la entrada al circuito ATD (detección de transición de dirección) 334. Más específicamente, cada bit es la entrada a un elemento ATD en forma de bits respectivo, tal como se muestra en la Figura 8. Estas señales ATD en forma de bits atd<16:6> 335 se fusionan con el circuito de fusión ATD 340. Un grupo de señales ATD en forma de bits se combinan con compuertas NOR 342, 346, 348, 350, las compuertas NAND 352, 354 y compuerta NOR 356. La salida de la última compuerta NOR 356 se engancha en el enganche SR 361 que consiste de compuertas NAND 358, 360. La segunda compuerta NAND 360 recibe Rst\_b 302 y New\_cmd\_b 304. La salida fusionada completa atd\_all se indica en 362. La atd\_all 362 es la entrada a un circuito generador de pulso de reinicio principal 370. Esta es la entrada a una primera entrada de compuerta NAND 364 directamente, y a una segunda entrada de compuerta NAND 364 a través del elemento de retardo 366 y el inversor 368. La salida de la compuerta NAND 364 se invierte por el inversor 371 para producir una salida completa 372 denominada como dec\_rst\_pgp (nueva dirección de bloque).

Se describirá ahora en detalle la operación del circuito de la Figura 9. Antes del inicio de la operación normal, se afirma el rst\_b 302 (es decir transiciones a bajo) para inicializar los estados de todos los enganches y proporcionar un estado de salida conocido limpio para cada enganche y lógica conectada.

5 La señal new\_cmd\_b 304 se genera a partir de la afirmación de comandos. Cada vez que se afirma un comando nuevo, se afirma new\_cmd\_b 304 (es decir transiciones a bajo). Esto también inicializa todos los enganches y lógica conectada. La nueva operación inicia cada vez que se afirma un nuevo comando.

10 Se presenta un pulso en la entrada cmd\_addip\_pgperse 308 cuando un comando es la entrada de dirección de una operación de borrado de página. Por ejemplo, cuando se afirma la "entrada de dirección para borrado de página" a través de un puerto de entrada del dispositivo, el reloj interno engancha los bits de comando y un intérprete de comando decodifica el comando de 8-bit. Si el resultado decodificado es la 'entrada de dirección para borrado de página', el 'cmd\_addip\_pgperse' se emite como un pulso desde el intérprete de comando. Este pulso se genera y utiliza para iniciar la detección de dirección de bloque para determinar si la dirección de bloque es un mismo bloque o un bloque diferente. Esta entrada se engancha mediante el enganche 329. Cuando la salida Pgpadd\_input 327 del enganche 329 es alta, esto significa que el Row\_latch 310 que acciona el Latch\_start 331 con respecto a una  
15 entrada de dirección para una operación de borrado de página.

Quando se afirma una entrada de dirección de borrado de página la Pgpadd\_input 327 pasa a alto, y se genera Row\_latch 310 de tal manera que Latch\_start 331 pasa a alto, y luego wr\_en 323 (salida del inversor 322) pasa a alto y se reinicia por un new\_cmd\_b 304 o rst\_b 302. Esto habilita el inicio de la detección de transición de dirección de bloque.

20 Los 11 bits Radd<16:6> 306 son la porción de dirección de bloque de una dirección, y representan los bits de una dirección de bloque que se utilizan como valores de entrada de los registros de sub-dirección descritos anteriormente. Esto asume una implementación con los bloques 2048. De manera más general, se puede utilizar cualquier cantidad. Estos valores se almacenan en el registro de dirección principal (no mostrado) que utiliza la sincronización del pulso Row\_latch. En algunas realizaciones, los Radd<16:6> también se enganchan como una  
25 función del Row\_latch 310, y como tal se produce un retardo antes que aparezca la dirección de bloque en el Radd<16:6>. Con el fin de conseguir el margen de sincronización entre Radd<16:6> 306 y wr\_en 323, se proporciona el elemento de retardo 330 para obtener Latch\_start 331 desde la entrada Row\_latch 310.

30 La salida Raddo<16:6> 333 de los registros de sub-dirección 332 luego se procesa por el circuito ATD 334 para producir un bit atd respectivo por bloque (atd<16:6> 335) y estos se combinan con el circuito ATD de fusión 340 para producir atd\_all. En el ejemplo ilustrado, este consiste de 11 bits ATD individuales fusionados para producir una única salida atd\_all 362. Si cualquiera de uno o más de atd<16:6> es alto, entonces atd\_all pasa a alto.

Quando atd\_all 362 pasa a alto, la salida final es un pulso en dec\_rst\_pgp 372. Este se conecta a los decodificadores de dirección de fila (también denominados como decodificadores de línea de palabra) para reiniciar el estado de enganche en caso de tener acceso una página de bloque diferente.

35 Una vez se emite la señal de reinicio dec\_rst\_pgp 372 para el primer comando de 'entrada de dirección para borrado de página', se decodifica la primera dirección de página y la salida decodificada se engancha en los decodificadores de línea de palabra adecuados. La señal de reinicio se emite primero y luego la señal de activación de los enganches de decodificador seleccionado se emite asumiendo que se detecta un cambio en la dirección de bloque. En el caso de direcciones de página consecutivas con la misma dirección de bloque, no se emite una señal de  
40 reinicio adicional. En el caso de direcciones de página consecutivas con direcciones de bloques diferentes, se genera otra señal de reinicio para limpiar previamente las páginas enganchadas.

45 En algunas realizaciones un circuito capaz de reinicio de selección de página se proporciona para habilitar la generación de la salida de reinicio correctamente coordinada con el enganche de direcciones en los registros de dirección principal. Para el ejemplo de la Figura 9, los circuitos denominados colectivamente con el número de referencia 311 cumplen esta función, pero se pueden emplear alternativamente otros circuitos. Por ejemplo se podrían utilizar biestabilizadores D en lugar de enganches SR.

50 En algunas realizaciones un circuito capaz de reinicio de selección de página se proporciona para habilitar la generación de la salida de reinicio cuando las direcciones de página tienen relación con una operación de borrado de múltiples páginas. Para el ejemplo de la Figura 9, los circuitos denominados colectivamente con el número de referencia 309 cumplen esta función, pero se pueden emplear alternativamente otros circuitos. Por ejemplo se podrían utilizar biestabilizadores D en lugar de enganches SR.

Para ayudar aún más en la comprensión del circuito de la Figura 9, se describirán ahora dos ejemplos operacionales específicos con referencia a las Figuras 10 y 11. Con referencia primero a la Figura 10, esta muestra un ejemplo de cómo el circuito de la Figura 9 opera cuando se producen entradas de dirección consecutiva para una operación de

borrado de página. Se muestran dos casos, uno para el caso donde las dos direcciones tienen la misma dirección de bloque, y uno para el caso donde las dos direcciones tienen direcciones de bloques diferentes. Las señales se marcan y numeran lo mismo como en la Figura 9. Se ha empleado una notación abreviada para atd<16:6> en la que solo se muestra una única señal para el atd de un único bit.

5 La operación se reinicia mediante un pulso 400 en Rst\_b 302. Esto produce un estado conocido en Latch\_start 331 y Pgpadd\_input 327. Un inicio de la nueva afirmación de comando se reconoce como una señal por el pulso 402 en New\_cmd\_b 304. Después de esto está un pulso 404 en Cmd\_Addip\_pgperse 308 que indica que el comando es un comando de borrado de página. Este se engancha y produce la transición 405 en Pgpadd\_input 327. La nueva salida de comando es seguida por un pulso 406 en Row\_latch 310 que indica que se ha recibido una primera  
10 dirección de fila. Esto desencadena una transición 408 en Latch\_start 331. La combinación de altos estados en Latch\_start 331 y Pgpadd\_input 327 resulta en una transición 410 en wr\_en 323. A su vez, el wr\_en 323 desencadena el enganche de las direcciones de bloque Radd<16:6> en los registros de sub-dirección 332 en 411.

15 La dirección del bloque para la primera dirección se indica en 412. Dado que esta es la primera dirección, la nueva dirección de bloque será diferente del estado desconocido. Esto está representado por un pulso de 414 en ATD <16:06>, aunque el pulso ocurriría realmente en una de las 11 señales atd. Este se procesa por el circuito de fusión ATD y un pulso de 416 se produce en atd\_all 362, que a su vez genera un pulso de reinicio principal 418 en dec\_rst\_pgp 372. Esto reiniciará todas las direcciones enganchadas, pero en este punto ninguna se ha enganchado todavía. Esta operación es una operación inicial de reinicio independiente de que estados están en pre-decodificador y decodificador de bloque. Después de la operación de reinicio para el pre-decodificador y pre-decodificador bloque,  
20 la primera dirección de bloque recibido y la dirección de la página están enganchados como se ha descrito anteriormente.

25 Algún tiempo más tarde, se recibe otra nueva orden como se señala por el pulso 422 en New\_cmd\_b 304. Esto reinicia el Latch\_start 331 (transición negativa 423) y el Pgpadd\_input 327 (transición negativa 425) y se reinicia el wr\_en (transición negativa 427). Siguiendo este hay un pulso 424 en Cmd\_Addip\_pgperse 308 que indica que el comando es una dirección que forma parte de un comando de borrado de página. Este se engancha y produce la transición 429 en Pgpadd\_input 327. La nueva entrada de comando es seguida por un pulso 426 en Row\_latch 310 que indica que se ha recibido una dirección. Esto desencadena una transición 428 en Latch\_start 331. La combinación de los estados altos en Latch\_start 331 y 327 Pgpadd\_input resulta en una transición 430 en wr\_en  
30 323. A su vez, wr\_en 323 desencadena el enganche de las direcciones de bloqueo Radd <16:06> en la los registros de subdirección 332 como se indica en 431.

35 La dirección del bloque de la segunda dirección se indica en 432. Teniendo en cuenta que esta es la segunda dirección, la nueva dirección de bloque puede o no ser diferente de la dirección del bloque anterior. Para el caso de que la nueva dirección de bloque sea la misma que la dirección de bloque anterior, la ATD <16:06> resultante se representa en 335-1. Esta es la notación abreviada para indicar que no hay transición en una cualquiera de las señales atd <16:06>. El resultado es que el atd\_all es bajo, y como tal, no hay pulso de reinicio principal. Para el caso de que la nueva dirección del bloque es diferente a la dirección del bloque anterior, el atd <16:06 > resultante se representa en 335-2. Se presenta un pulso 434 en ATD <16:06> siendo esta notación abreviada para la  
40 ocurrencia de un pulso en una de las 11 señales de atd. Esto se procesa por el circuito de fusión ATD y un pulso de 436 se produce en atd\_all 362 que a su vez genera un pulso de reinicio principal 438 en dec\_rst\_pgp 372. Esto borrará la dirección de la página previamente enganchada, y la dirección de la página siguiente se enganchará.

45 Volviendo ahora a la Figura 11, este es un ejemplo de la operación del circuito de la Figura 9 para los comandos secuenciales que no son ambos comandos de borrado de página. El ejemplo es idéntico al ejemplo de la Figura 10 para el procesamiento de un primer comando que es un comando de borrado de página, y no se repetirá la descripción de este. Algún tiempo después, se reconoce otro nuevo inicio de comando que se señala por el pulso 422 en New\_cmd\_b 304. Este reinicia el Latch\_start 331 (transición negativa 423) y el Pgpadd\_input 327 (transición negativa 425). Este a su vez se reinicia wr\_en 323 (transición negativa 427). Después de esto, no hay Cmd\_Addip\_pgperse 308 que indica que el comando es un comando de borrado de página. La nueva entrada de comando es seguida por un primer pulso 450 en Row\_latch 310 que indica que se ha recibido una dirección. Esto no  
50 desencadena ninguna operación adicional del circuito, ya que no ha sido habilitada por la combinación requerida de los estados en alto en Latch\_start 331 y Pgpadd\_input 327.

55 En las realizaciones descritas anteriormente, los elementos del dispositivo y los circuitos se conectan entre sí como se muestra en las figuras, por motivos de la simplicidad. En las aplicaciones prácticas de la presente invención, los elementos, circuitos, etc. se pueden conectar directamente el uno al otro. Además, los elementos, circuitos, etc. se pueden conectar indirectamente entre sí a través de otros elementos, circuitos, etc., necesarios para el funcionamiento de dispositivos y aparatos. Por lo tanto, en la configuración actual, los elementos de circuito y circuitos se acoplan con conectan directa o indirectamente entre sí.

Las realizaciones anteriores han asumido el uso de memoria flash. Más en general, se puede emplear la memoria no volátil.

Las realizaciones descritas anteriormente de la presente invención están destinados a ser solamente ejemplos. Se pueden efectuar alteraciones, modificaciones y variaciones a las realizaciones particulares por los expertos en la técnica sin apartarse del alcance de la invención, que se define únicamente por las reivindicaciones adjuntas a la misma.

5

**REIVINDICACIONES**

1. Una memoria no volátil que comprende bloques de memoria (10, 12, 14, 16), cada bloque de memoria comprende:
- 5 celdas de memoria no volátil dispuestas en una pluralidad de páginas (24, 26, 28, 30), cada página tiene una dirección de página (X, Y, Z), las direcciones de página de las páginas son únicas dentro de cada bloque, la dirección de página de cada página es la misma que la página correspondiente entre bloques:
- caracterizada por:
- un circuito de enganche respectivo (58) para cada página que se puede operar para conectar una tensión de borrado a la página a la página que se va a borrar en respuesta a una dirección de página; y
- 10 un generador de reinicio de selección de página (504, Figuras 7, 8, 9) configurado para limitar una operación de borrado de múltiples páginas a un único bloque de memoria seleccionado en dicha memoria no volátil, el circuito generador de reinicio de selección de página comprende:
- una entrada configurada para recibir porciones de memoria de dirección de bloque (306) de cada dirección de un grupo de una o más direcciones de páginas que se van a borrar:
- 15 un circuito de detección de transición de dirección (334) configurado para detectar cuando son diferentes las porciones de memoria de dirección de bloque de dos direcciones del grupo de direcciones de página;
- el generador de reinicio de selección de página se puede operar para generar una salida de reinicio (516, 372) para limitar el borrado de múltiples páginas a páginas dentro el mismo bloque al limpiar los circuitos de enganche luego de detectar que son diferentes las porciones de dirección de bloque de dos direcciones.
- 20 2. La memoria no volátil de la reivindicación 1 en donde la memoria no volátil es una memoria flash.
3. La memoria no volátil de la reivindicación 1 en donde el generador de reinicio de selección de página comprende adicionalmente:
- un primer circuito de habilitación de reinicio de selección de página (309) configurado para habilitar la generación de la salida de reinicio cuando las direcciones tienen relación con la operación de borrado de múltiples páginas;
- 25 un segundo circuito de habilitación de reinicio de selección de página (311) configurado para habilitar la generación de la salida de reinicio correctamente coordinada con el enganche de direcciones en los registros de dirección principal; o
- un primer circuito de habilitación de reinicio de selección de página (309) configurado para habilitar la generación de la salida de reinicio cuando las direcciones de página tienen relación con la operación de borrado de múltiples páginas, y un segundo circuito de habilitación de reinicio de selección de página (311) que permite la generación de la salida de reinicio correctamente coordinada con el enganche de direcciones en los registros de dirección principal, el generador de reinicio de selección de página se puede operar para generar la salida de reinicio solo cuando se habilita por el primer circuito de habilitación de reinicio de selección de página y el segundo circuito de habilitación de reinicio de selección de página.
- 30
- 35 4. La memoria no volátil de la reivindicación 1 en donde el circuito de detección de transición de dirección comprende:
- para cada bit de una dirección de bloque de múltiples bits:
- a) un registro de sub-dirección de bit respectivo (332) que registra el bit y produce una salida de dirección registrada;
- b) un circuito de detección de transición de dirección en forma de bits respectivos (334) que detectan una transición en la salida de dirección registrada;
- 40 un circuito de fusión (340) que combina salidas del circuito de detección de transición de dirección en forma de bits.
5. La memoria no volátil de la reivindicación 4 en donde cada circuito de detección de transición de dirección en forma de bits comprende:

un primer circuito (232, 236, 240) que detecta la generación de transiciones de dirección;

un segundo circuito (234, 238, 242) que detecta disminución de transiciones de dirección;

un circuito (244) que combina salidas del primer circuito y el segundo circuito.

5 6. La memoria no volátil de la reivindicación 5 en donde: el primer circuito para detectar generación de transiciones de dirección comprende:

a) un inversor (232) y un elemento de retardo (236) conectados juntos en secuencia;

b) una compuerta NAND (240) que tiene una primera entrada conectada para recibir una de las salidas de dirección registrada, la compuerta NAND que tiene una segunda entrada conectada para recibir una de las salidas de dirección registrada después de inversión por el inversor y retardo por el elemento de retardo; y

10 el segundo circuito para detectar disminución de transiciones de dirección comprende:

a) un inversor (234) y un elemento de retardo (238);

b) una compuerta NAND (242) que tiene una primera entrada conectada para recibir una de las salidas de dirección registrada después de inversión por el inversor, la compuerta NAND tiene una segunda entrada conectada para recibir una de las salidas de dirección registrada después de retardo por el elemento de retardo.

15 7. La memoria no volátil de la reivindicación 4 en donde para cada bit de la dirección de bloque de múltiples bits, el registro de subdirección respectivo comprende:

un enganche de activación/reinicio (SR) (210) que tiene una entrada conectada para recibir el bit;

un circuito de habilitación (204, 212) que permite enganchar el bit al enganche SR que permite la generación de la salida de reinicio cuando las direcciones de página tienen relación con la operación de borrado de múltiples páginas.

20 8. La memoria no volátil de la reivindicación 5 que comprende adicionalmente:

un circuito generador de pulso de reinicio principal (370).

9. La memoria no volátil de la reivindicación 1 que comprende adicionalmente:

un circuito de habilitación de bloque respectivo (590, 710) para cada bloque;

25 un circuito pre-decodificador de bloque (500) que procesa una porción de dirección de bloque de cada dirección de un comando de borrado de página al habilitar el circuito de habilitación de bloque para el bloque identificado por la porción de dirección de bloque de la dirección; y

un circuito pre-decodificador de página (502) que procesa una porción de dirección de página de cada dirección de un comando de borrado de página al establecer el circuito de enganche para cada página que tiene la dirección de página identificada mediante la porción de dirección;

30 los circuitos de enganche se pueden operar adicionalmente para conectar una tensión de borrado a las páginas seleccionadas de los bloques habilitados después que se han procesado todas las direcciones del comando de borrado de página mediante el pre-decodificador de bloque, el pre-decodificador de página, y el circuito generador de reinicio de selección de página;

35 en donde se evita el borrado accidental de páginas debido a una operación de borrado de múltiples páginas que se relaciona con dos o más direcciones de bloques diferentes.

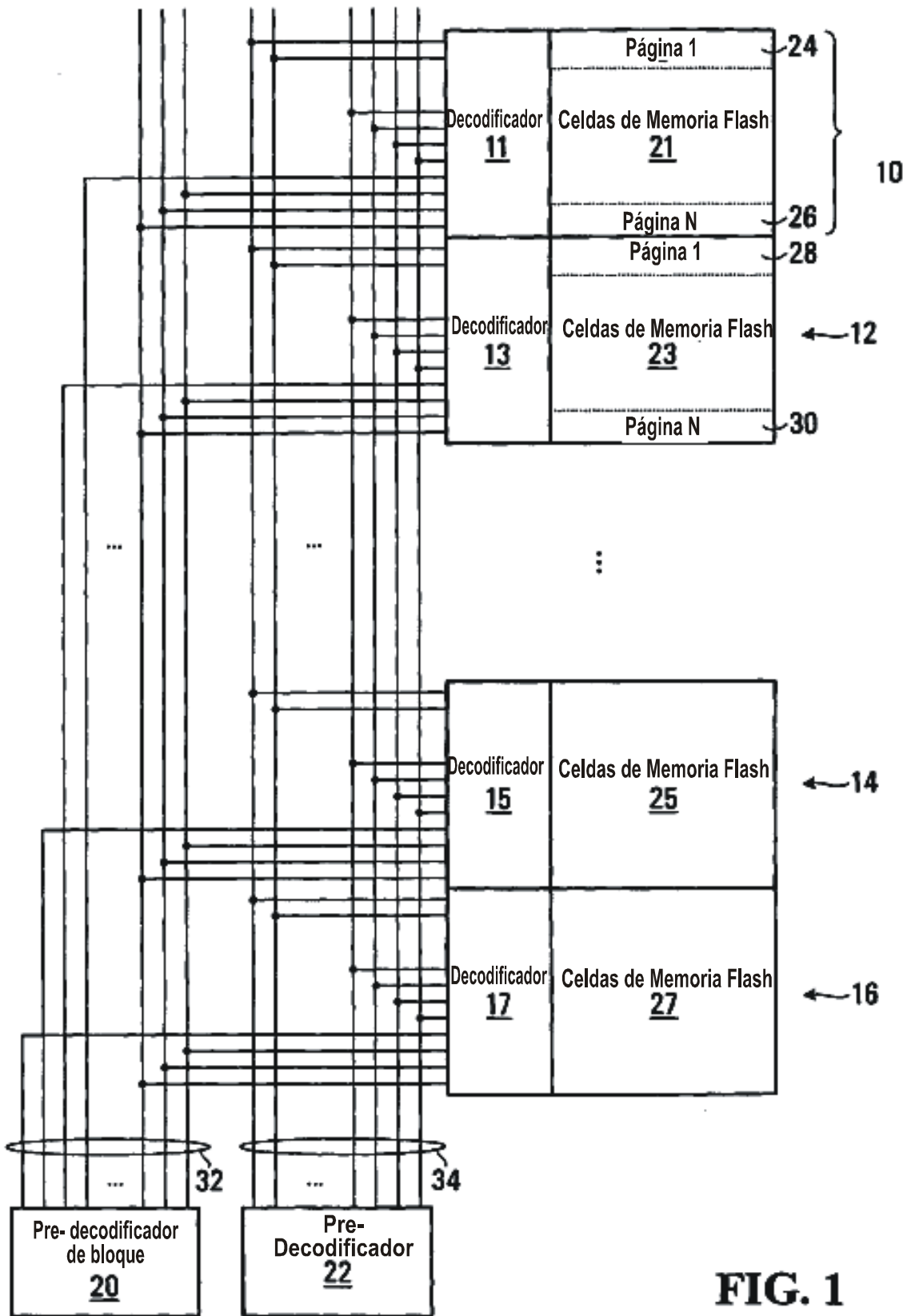
10. La memoria no volátil de la reivindicación 9 en donde:

los circuitos de enganche tienen una entrada de reinicio comúnmente conectada para recibir la salida de reinicio generada por el generador de reinicio de selección de página.

40 11. Un método para borrar páginas en una memoria no volátil que comprende bloques de memoria (10, 12, 14, 16), cada bloque de memoria comprende:

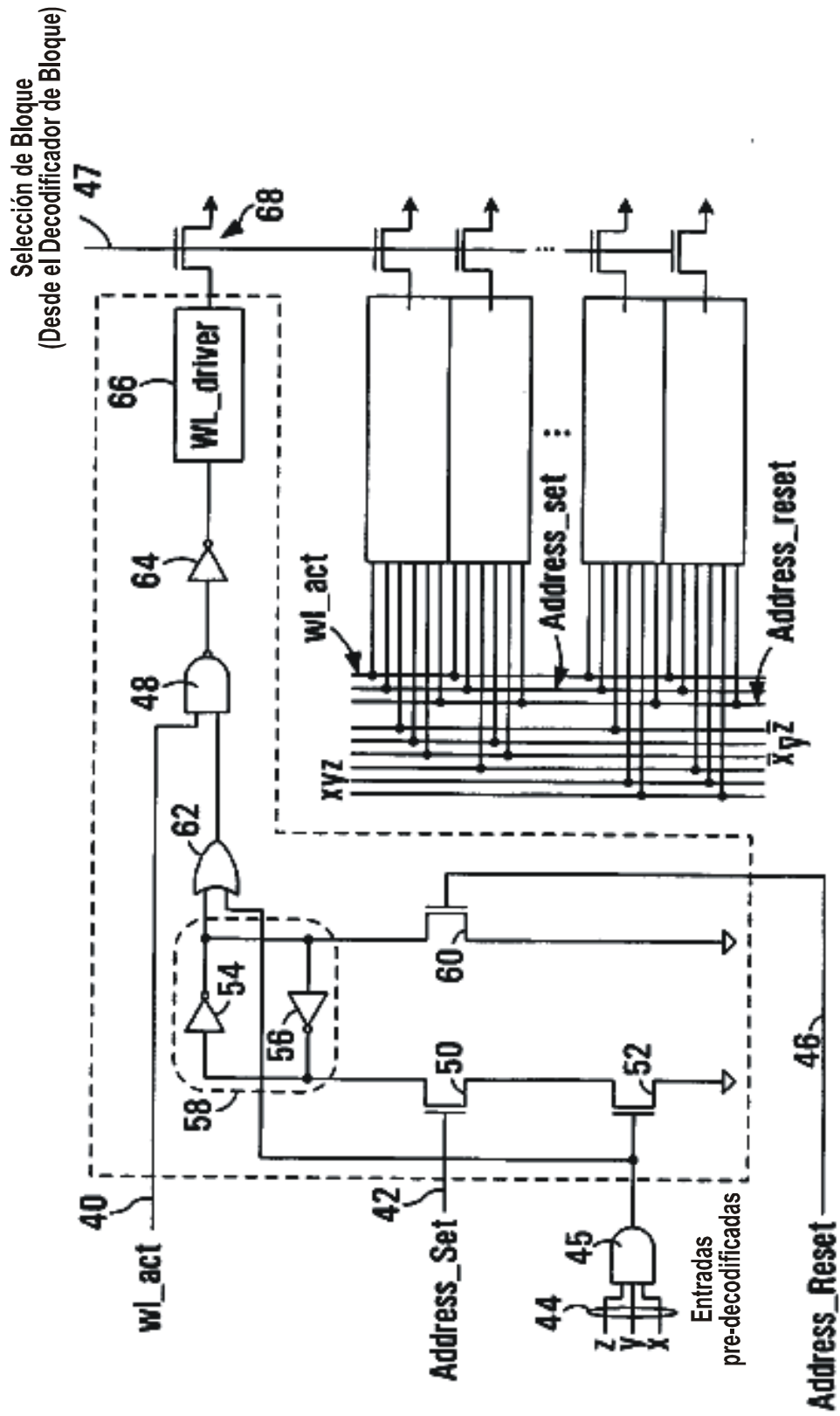
celdas de memoria no volátil dispuestas en una pluralidad de páginas (24, 26, 28, 30), cada página tiene una dirección de página (X, Y, Z), las direcciones de página de las páginas son únicas dentro de cada bloque, la dirección de página de cada página es la misma que la página correspondiente entre bloques:

- 5 caracterizada por: para cada una de una pluralidad de direcciones de una operación de borrado de múltiples páginas que pertenecen a la memoria no volátil, cada dirección contiene una porción de dirección de bloque y una porción de dirección de página:
- a) detectar si la porción de dirección de bloque difiere de aquella de una dirección previa de la pluralidad de direcciones;
- 10 b) reiniciar cualesquier selecciones previas de páginas y bloques luego de detectar que la dirección de bloque difiere de aquella de una dirección previa de la pluralidad de direcciones;
- c) seleccionar una página respectiva en cada una de una pluralidad de bloques;
- d) seleccionar una pluralidad respectiva de la pluralidad de bloques;
- e) seleccionar una dirección de bloque restante después de las a), b), c) y d); y
- f) borrar cualesquier páginas seleccionadas en el único bloque seleccionado restante.
- 15 12. El método de la reivindicación 11 que comprende adicionalmente:  
generar una salida de reinicio (510) para reiniciar las selecciones previas.
13. El método de la reivindicación 12 que comprende adicionalmente:
- (i) recibir direcciones, cada dirección contiene una porción de bloque y una porción de dirección de página;  
para cada dirección recibida, determinar si la dirección es parte de una operación de borrado de página;
- 20 realizar dicha detección y reinicio solo si se determina que la dirección (309) es parte de una operación de borrado de página; o
- (ii) direcciones de enganche en los registros de dirección principal;
- Sincronización de (311) la generación de la salida de reinicio con el enganche de direcciones en los registros de dirección principal.
- 25 14. El método de la reivindicación 11 en donde detectar si la porción de dirección de bloque difiere de aquella de una dirección previa de la pluralidad de direcciones comprende:
- para cada bit de una dirección de bloque de múltiples bits:
- a) registrar el bit en un registro de subdirección respectivo (332);
- 30 b) desarrollar detección de transición de dirección en forma de bits (334) para detectar una transición en una salida del registro de sub-dirección;
- combinar salidas (340) de la detección de dirección en forma de bits.
15. El método de la reivindicación 14 en donde la etapa de realizar la detección de dirección en forma de bits comprende:
- detectar (240) generación de transiciones de dirección; y
- 35 detectar (242) disminución de transiciones de dirección.

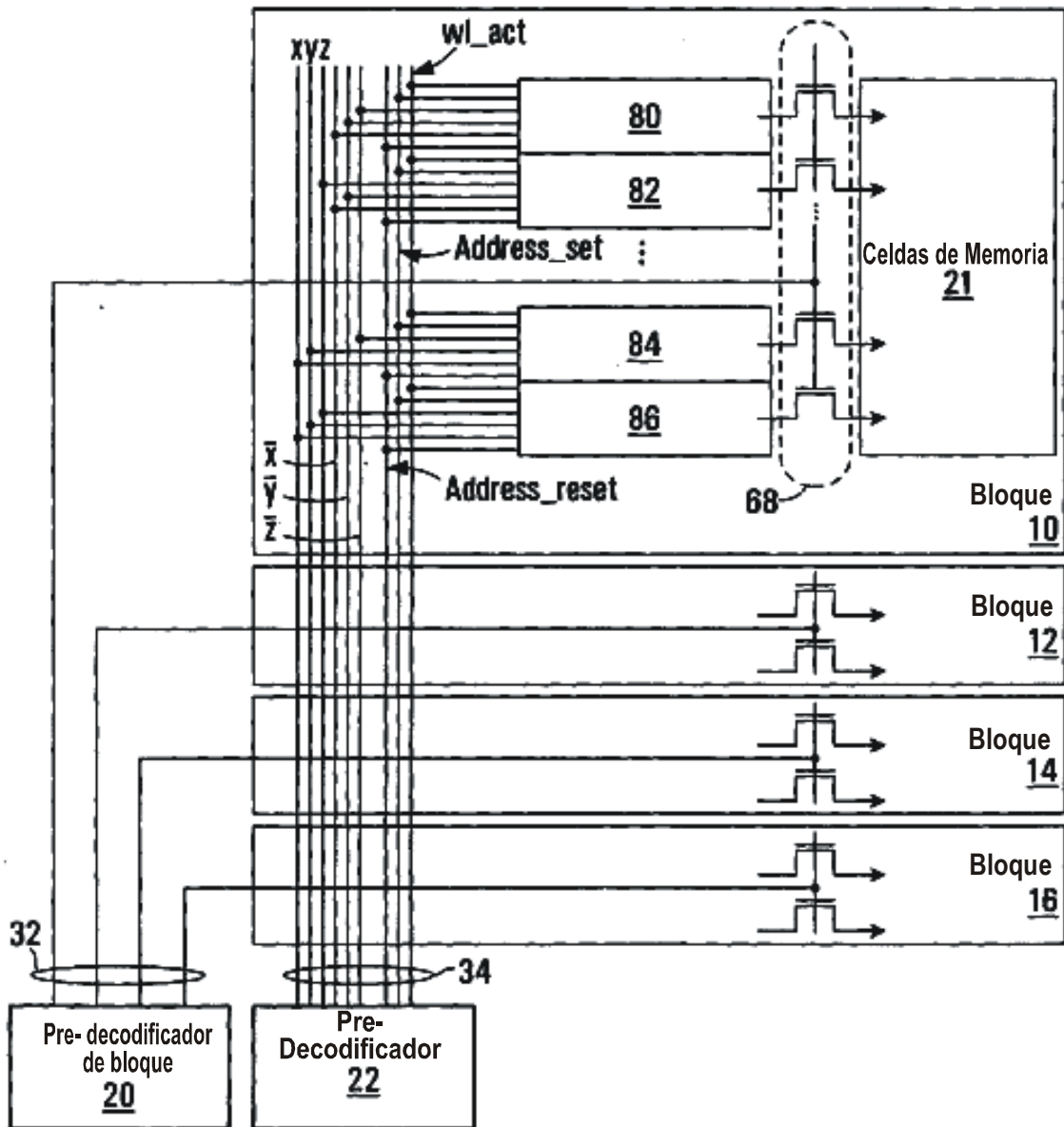


**FIG. 1**





**FIG. 2**



**FIG. 3**

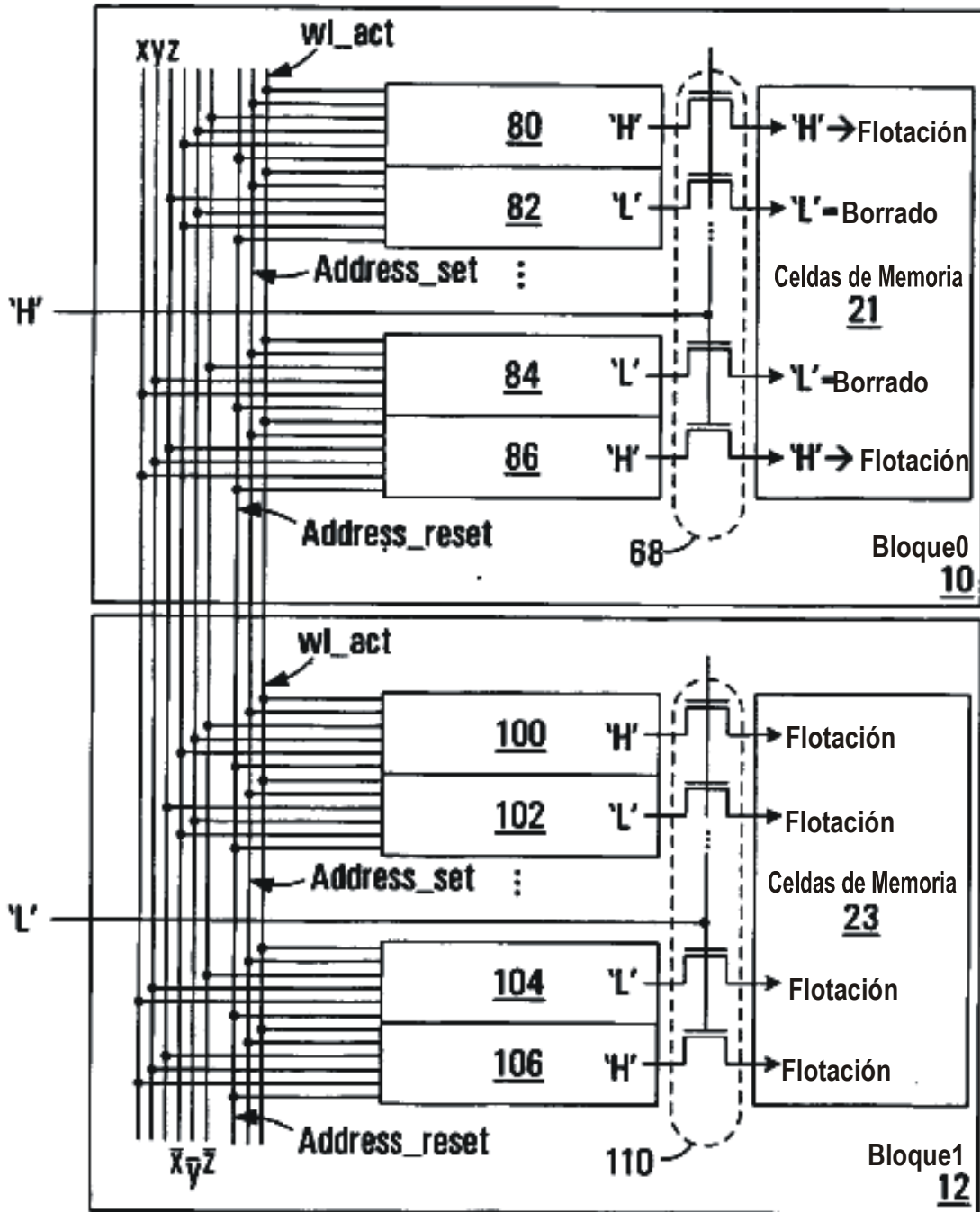


FIG. 4A

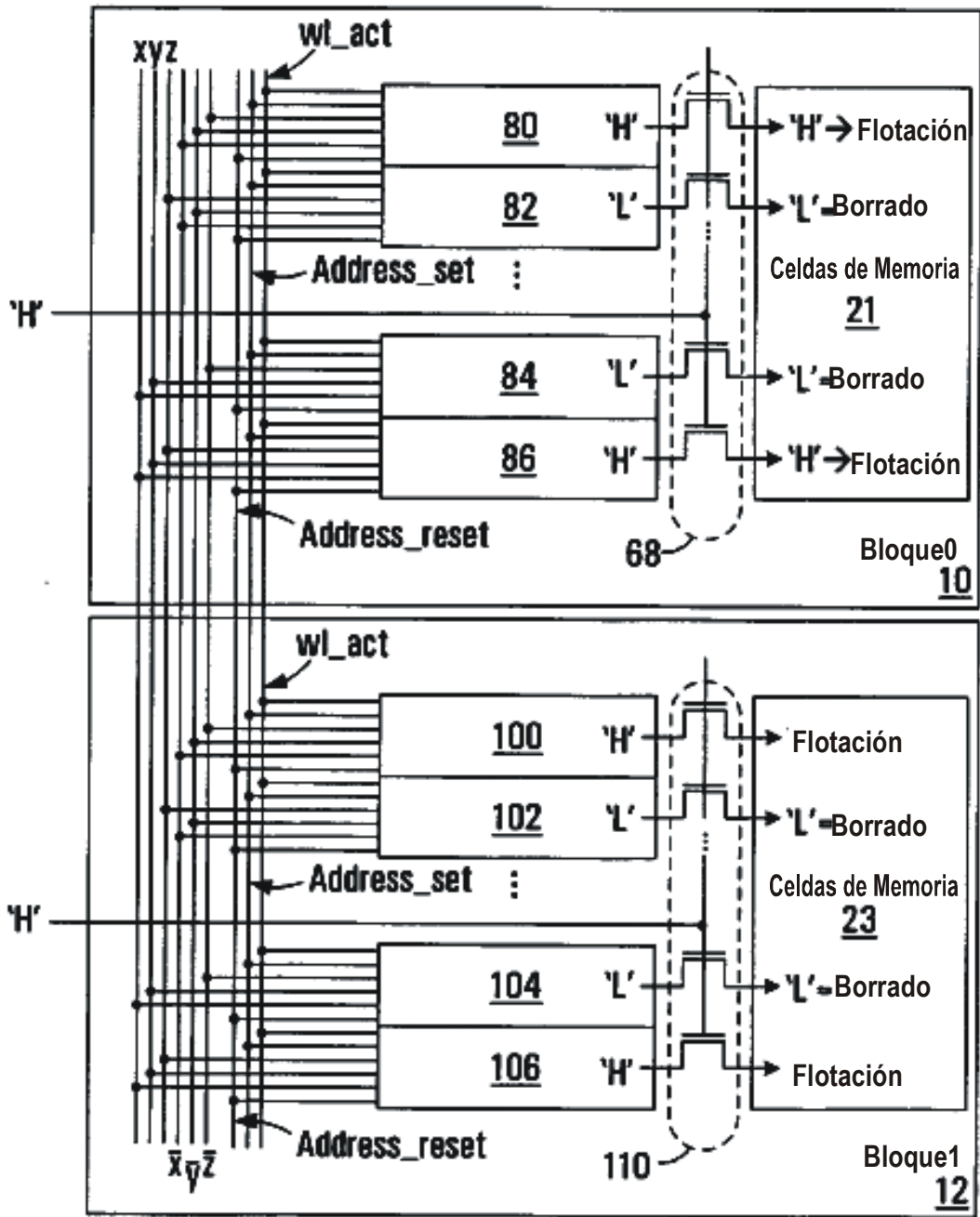


FIG. 4B

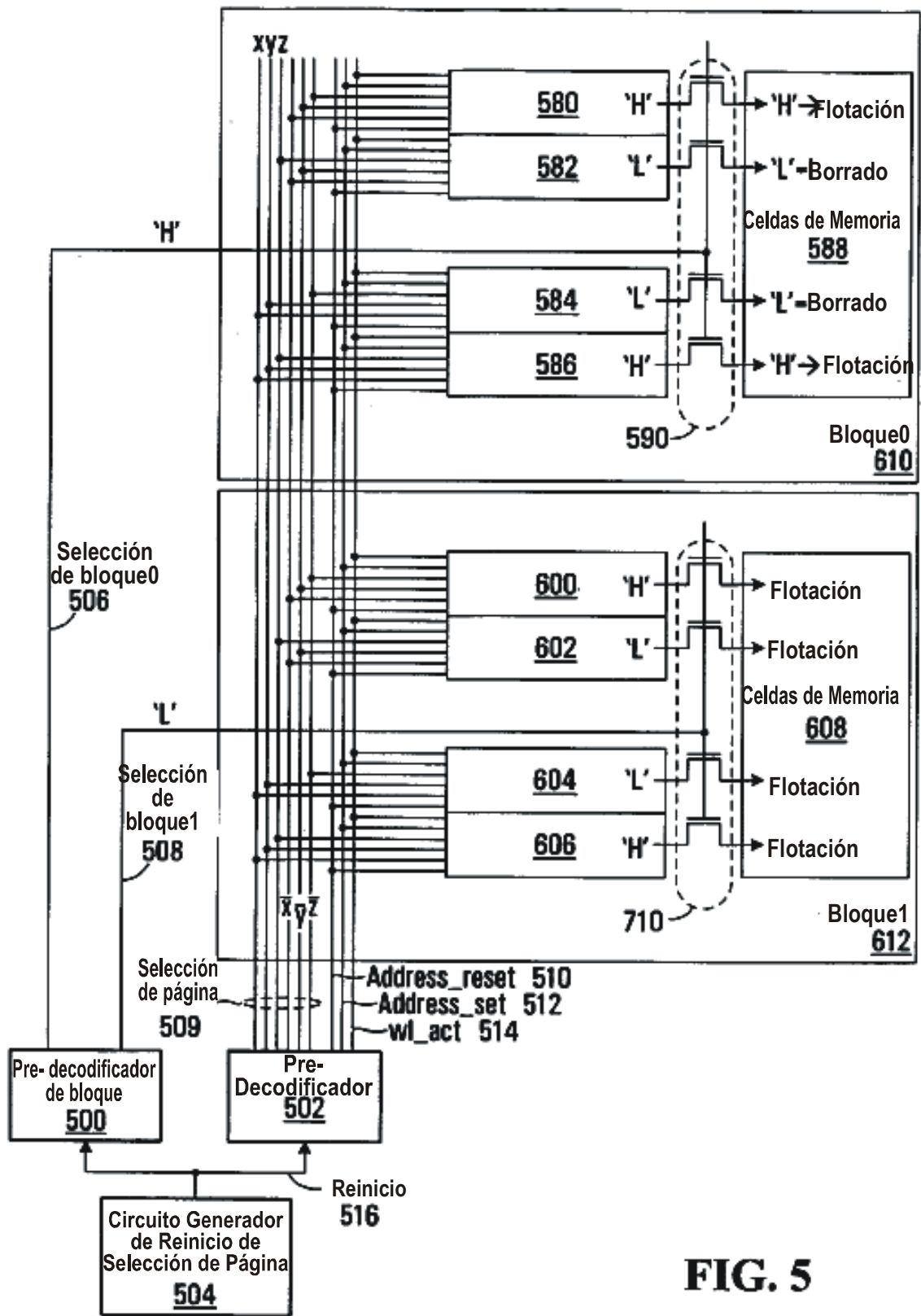


FIG. 5

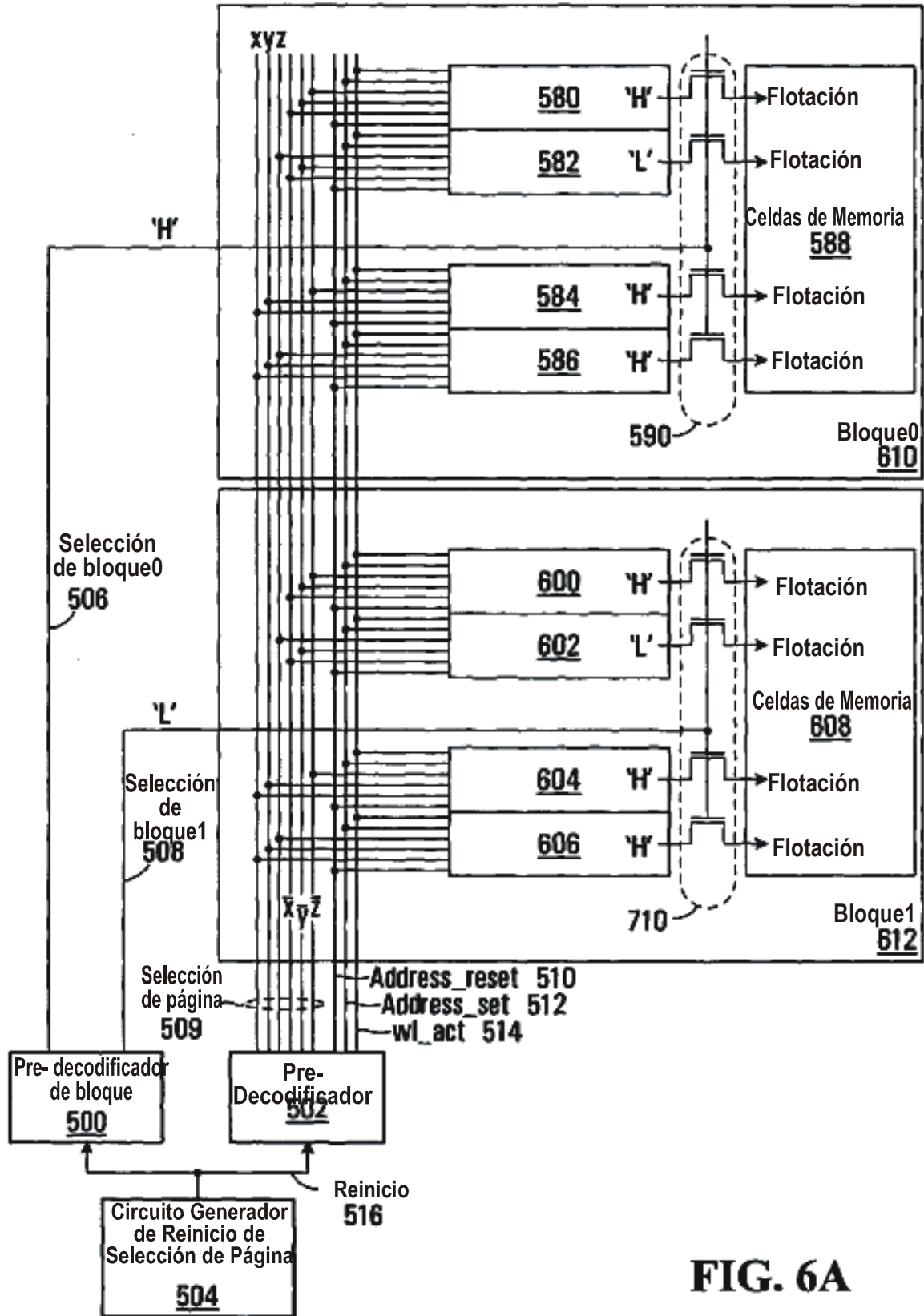


FIG. 6A

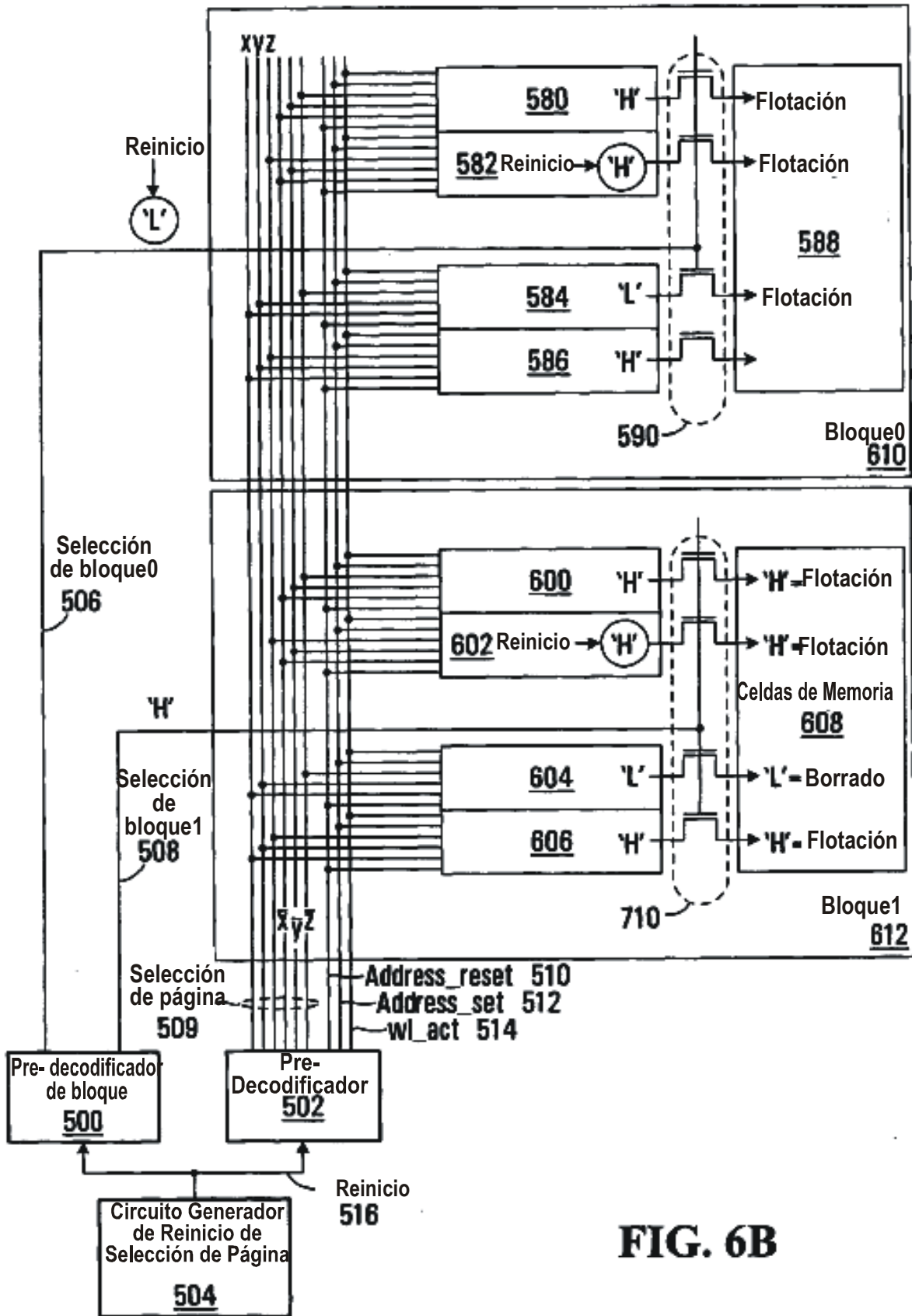
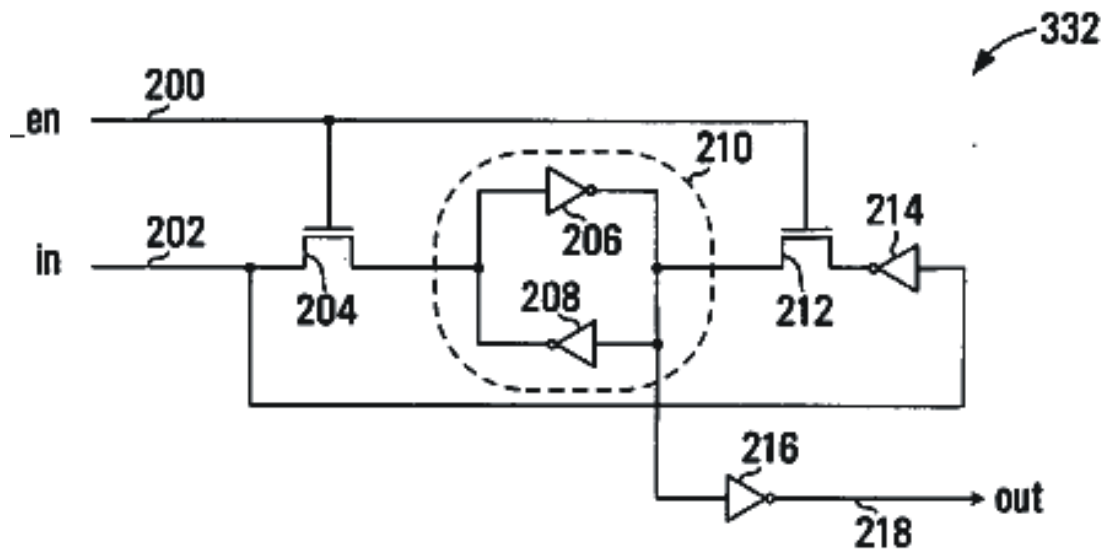
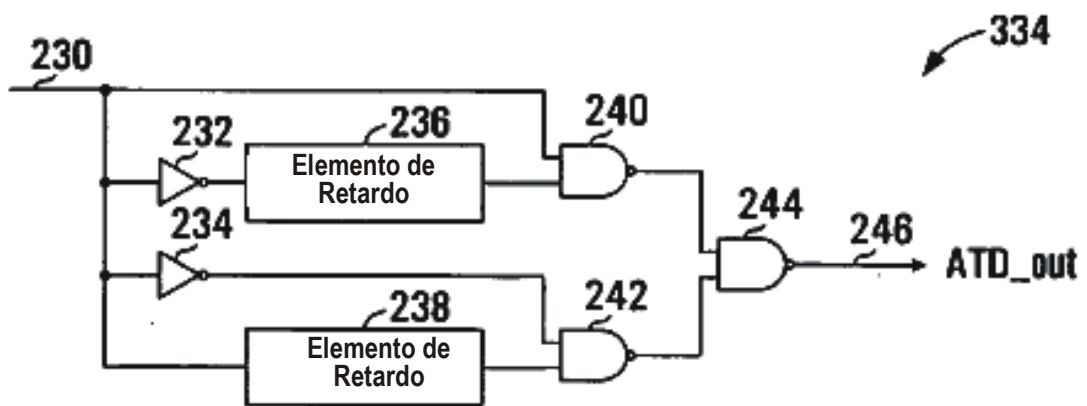


FIG. 6B



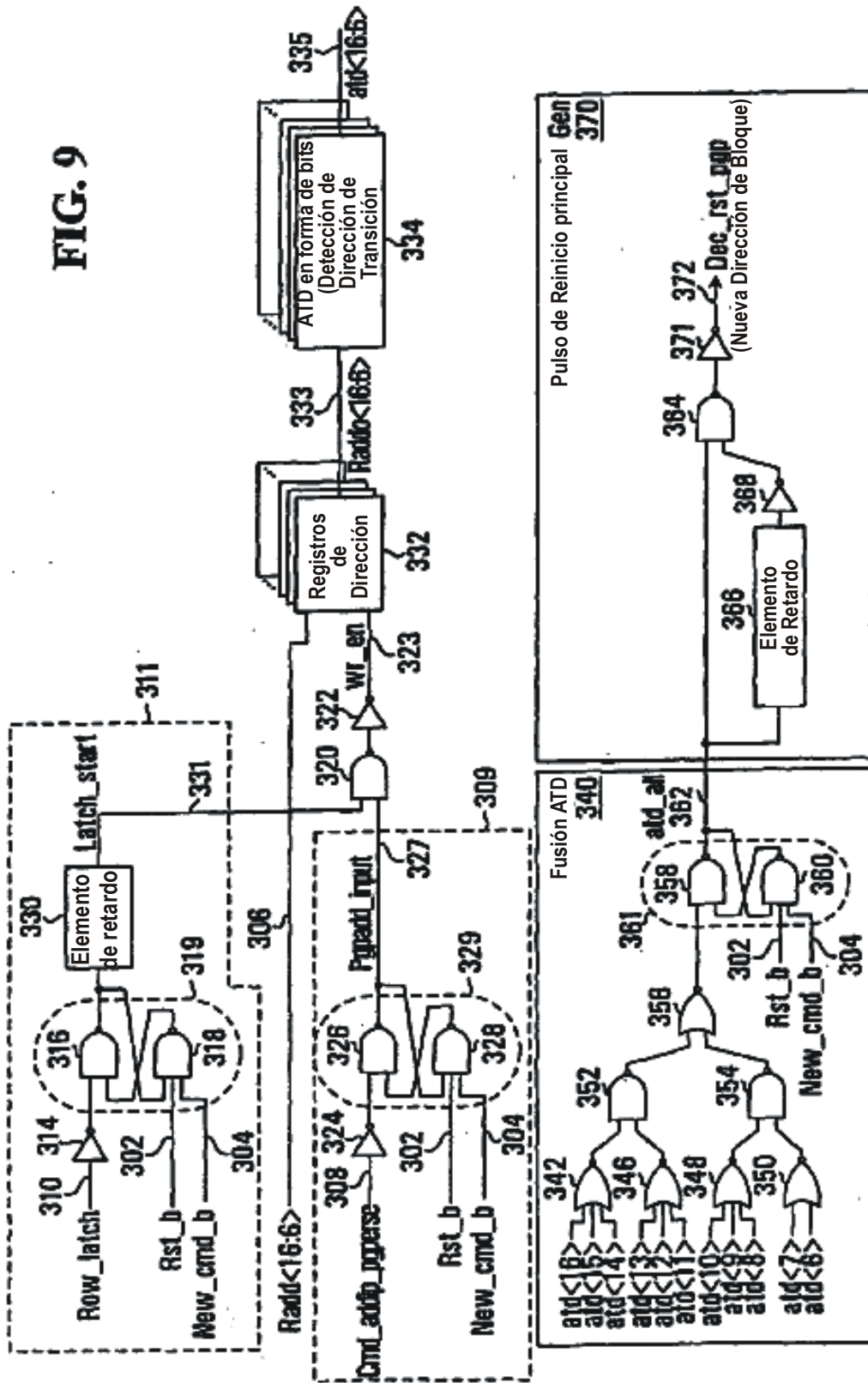
**FIG. 7**



**FIG. 8**



**FIG. 9**



**FIG. 10**

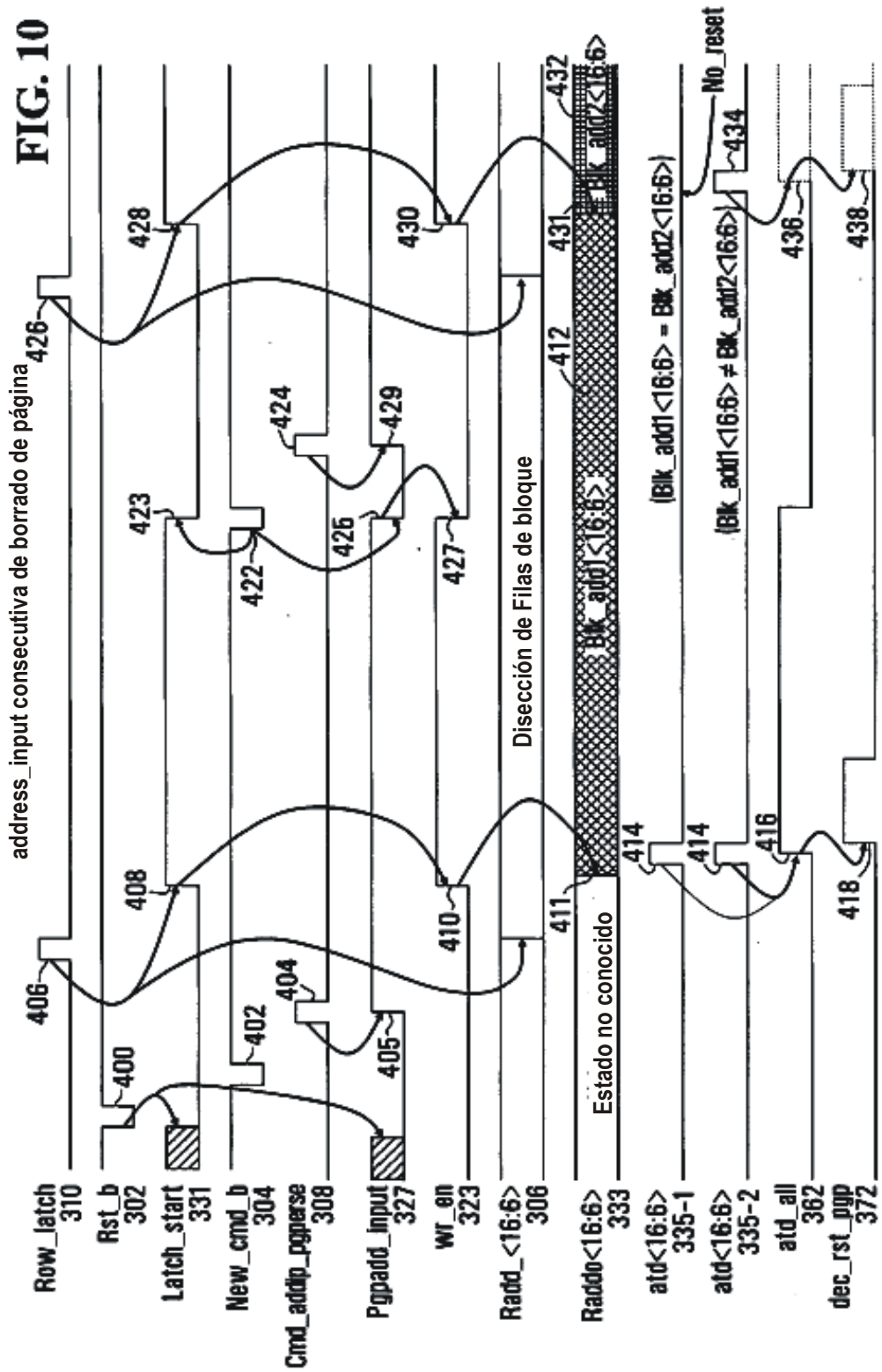


FIG. 11

