

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 424 222**

51 Int. Cl.:

G11C 7/06 (2006.01)

G11C 7/10 (2006.01)

G11C 7/12 (2006.01)

G11C 7/14 (2006.01)

G11C 11/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **01.09.2009 E 09792136 (5)**

97 Fecha y número de publicación de la concesión europea: **10.07.2013 EP 2332142**

54 Título: **Dispositivo de memoria para aplicaciones de memoria resistiva**

30 Prioridad:

09.09.2008 US 206933

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

30.09.2013

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration 5775
Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**DAVIERWALLA, ANOSH B.;
ZHONG, CHENG;
PARK, DONGKYU;
ABU-RAHMA, MOHAMED HASSAN;
SANI, MEHDI HAMIDI y
YOON, SEI SEUNG**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 424 222 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de memoria para aplicaciones de memoria resistiva

I. Campo de la divulgación

La presente divulgación está dirigida, en general, a un dispositivo de memoria que incluye un amplificador y una célula de memoria que incluye un elemento de memoria resistiva.

II. Antecedentes

Los avances en la tecnología de memoria no volátil incluyen tecnologías de memoria resistiva, tal como la memoria magnética de acceso aleatorio (MRAM). La tecnología MRAM es una tecnología emergente de memoria no volátil que emplea uniones de túnel magnético (MTJ), basadas en el ferromagnetismo, como elementos básicos de memoria. Una arquitectura matricial usada comúnmente para las MRAM es la arquitectura de un solo transistor, una sola MTJ (1T1MTJ). Tal como sugiere el nombre, en esta arquitectura cada célula de bit consiste en una MTJ conectada en serie con un transistor de acceso NMOS. Para aprovechar las ventajas de una mayor densidad y una reducción en el área asociadas con la disminución de escala de las tecnologías MOS, resulta deseable usar transistores de núcleo dentro de la célula de bit de MRAM. Sin embargo, aunque reducir la escala de la tecnología MOS al régimen submicrométrico profundo produce beneficios de área y de densidad a las células de bit de MRAM, usar estos dispositivos de escala submicrométrica profunda en el amplificador sensor de MRAM degrada el rendimiento de lectura (el margen de salida) del amplificador sensor de MRAM debido a limitaciones de la tensión operativa de estos dispositivos de escala submicrométrica profunda.

Los diseños convencionales de amplificadores sensores de MRAM para la arquitectura 1T1MTJ usan transistores de núcleo. Sin embargo, debido a consideraciones de ruptura y fiabilidad, la tensión de alimentación para los transistores de núcleo se limita normalmente a aproximadamente 1 voltio (V) para tecnologías punteras de escala submicrométrica profunda. Los siguientes dispositivos están apilados entre carriles de alimentación en diseños convencionales de amplificadores sensores de MRAM para la arquitectura 1T1MTJ: la célula de bit, que comprende un transistor de acceso y un dispositivo MTJ, un transistor multiplexor, un transistor de fijación de nivel y un transistor de carga PMOS. Los transistores de acceso y de multiplexión deberían ser operados como conmutadores (en la región lineal), mientras que los transistores de fijación de nivel y de carga PMOS deberían permanecer en saturación para que el amplificador sensor exhiba una ganancia razonable. Sin embargo, el bajo requerimiento de tensión de alimentación que se deriva de usar dispositivos de núcleo en el amplificador sensor unido a que la tensión umbral de los transistores sea una fracción significativa de esta tensión de alimentación puede dificultar mantener los transistores de fijación de nivel y de carga PMOS en saturación, lo que, a su vez, degrada la ganancia y da como resultado un margen subóptimo de la señal en la salida del amplificador sensor.

El documento US2008/137430 versa acerca de un circuito que incluye transistores primero y segundo para controlar la línea de bits y una línea de referencia, respectivamente, un transistor de referencia conectado al segundo transistor de control y un transistor de escritura de la corriente de referencia conectado al primer transistor de control, para comparar la corriente de la línea de bits y la corriente de referencia. Un primer transistor intermedio está conectado al transistor de escritura paralelo al primer transistor de control, y un segundo transistor intermedio está conectado entre la puerta y el drenador del transistor de referencia paralelo al segundo transistor de control. Hay transistores de polarización conectados en serie, respectivamente, a los transistores intermedios para superponer una corriente sobre la corriente de referencia.

El documento US7272035 presenta un sistema en el que cada célula de varias células de almacenamiento magnético incluye un elemento magnético y un transistor de selección. El elemento magnético puede programarse usando conmutación inducida por transferencia de espín por una corriente de escritura excitada a través del elemento magnético. Las varias células de almacenamiento magnético se agrupan en pares. La fuente del transistor de selección para una célula de almacenamiento magnético de un par comparte la fuente con el transistor de selección para la otra célula de almacenamiento del par.

El dispositivo semiconductor del documento US2004/125683 comprende una matriz de células de memoria, cada una de las cuales incluye un transistor de célula y un condensador, pares de líneas de palabras y de líneas de bits. Un circuito de control controla el circuito de memoria para poner las líneas de bits en un nivel alto para escribir datos de "1" en las células de memoria con independencia de un nivel lógico de los datos que hayan de escribirse, en un estado en el que el potencial de la puerta del transistor de célula de cada célula de memoria se eleva desde un primer potencial de un tiempo de espera hasta un segundo potencial de un tiempo activo y, después, para poner las líneas de bits en un nivel bajo para escribir datos de "0" en las células de memoria con datos de "0" que hayan de escribirse, en un estado en el que el potencial de la puerta del transistor de célula cambia a un tercer potencial más alto que el primer potencial y más bajo que el segundo potencial.

I. Resumen

5 En una realización particular, se da a conocer un dispositivo de memoria que incluye una célula de memoria que incluye un elemento de memoria resistiva acoplado a un transistor de acceso. El transistor de acceso tiene un primer espesor de óxido para permitir la operación de la célula de memoria a una tensión operativa. El transistor de acceso también incluye un primer amplificador configurado para acoplar la célula de memoria a una tensión de alimentación que es mayor que un límite de tensión para generar una señal de datos basada en una corriente que atraviesa la célula de memoria. El primer amplificador incluye un transistor de fijación de nivel que tiene un segundo espesor de óxido que es mayor que el primer espesor de óxido. El transistor de fijación de nivel está configurado para impedir que la tensión operativa en la célula de memoria supere el límite de tensión.

10 En otra realización, se da a conocer un dispositivo de memoria que incluye una vía de lectura de datos que incluye un primer dispositivo de carga acoplado a una célula de almacenamiento de datos a través de un primer transistor de fijación de nivel. El primer dispositivo de carga tiene una primera configuración de dispositivo para operar a una primera tensión de alimentación. La célula de almacenamiento de datos incluye un transistor de acceso que tiene una segunda configuración de dispositivo para operar a una tensión que no supere un límite de tensión que es menor que la primera tensión de alimentación. Un terminal de control del transistor de fijación de nivel está polarizado para evitar que la tensión en la célula de almacenamiento de datos supere el límite de tensión.

15 En otra realización, se da a conocer un procedimiento que incluye acoplar una primera etapa amplificadora a una matriz de memoria. La primera etapa amplificadora incluye transistores que tienen una tolerancia de tensión de alimentación de entrada-salida (**ES**), incluyendo la matriz de memoria transistores que tienen una tolerancia de tensión de alimentación de núcleo que es menor que la tolerancia de tensión de alimentación de **ES**. El procedimiento incluye aplicar una tensión de control al transistor de fijación de nivel acoplado a la matriz de memoria para establecer la tensión de la matriz de memoria, de modo que la tensión de la matriz de memoria sea menor que la tolerancia de tensión de alimentación de núcleo.

20 Una ventaja particular proporcionada por las realizaciones dadas a conocer es una mejora en el rendimiento de lectura del amplificador sensor de MRAM porque la mayor tensión de alimentación permite un mayor margen de salida para distinguir valores locales durante operaciones de lectura.

25 Otros aspectos, ventajas y características de la presente divulgación se harán evidentes tras un repaso de toda la solicitud, incluyendo las secciones siguientes: Breve descripción de los dibujos, Descripción detallada y las Reivindicaciones.

IV. Breve descripción de los dibujos

30 La FIG. 1 es un diagrama de una realización ilustrativa particular de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo;
 35 la FIG. 2 es un diagrama de una segunda realización ilustrativa de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo;
 la FIG. 3 es un diagrama de una tercera realización ilustrativa de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo; y
 40 la FIG. 4 es un diagrama de flujo de una realización ilustrativa particular de un procedimiento de operación de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo.

V. Descripción detallada

45 Con referencia a la FIG. 1, se representa un diagrama de una realización ilustrativa particular de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo y se lo designa en general como 100. El dispositivo 100 de memoria puede incluir una matriz 102 de memoria que usa dispositivos de núcleo. En una realización particular, los dispositivos de núcleo pueden operar a tensiones de alimentación de núcleo $V_{\text{núcleo}}$ de hasta aproximadamente 1 voltio (V). La matriz 102 de memoria puede estar acoplada mediante líneas 104 de bits a un circuito lógico 106 de líneas de bits. La matriz 102 de memoria puede estar acoplada mediante líneas 108 de palabras a un circuito lógico 110 de líneas de palabras. El circuito lógico 106 de líneas de bits y el circuito lógico 110 de líneas de palabras pueden estar acoplados a una tensión de alimentación de núcleo $V_{\text{núcleo}}$, según se indica en 114, y a tierra, según se indica en 116. La matriz 102 de memoria también puede estar acoplada a un amplificador 112 que use dispositivos no de núcleo. En una realización particular, los dispositivos no de núcleo pueden operar a tensiones de alimentación de entrada-salida (ES) Vamp de hasta aproximadamente 1,8V. El amplificador 112 puede estar acoplado a una tensión de alimentación de ES Vamp, según se indica en 118. El amplificador 112 puede incluir un fijador 120 de nivel acoplado a la matriz 102 de memoria para mantener la tensión operativa Vop suministrada a la matriz 102 de memoria por el amplificador 112 por debajo de un límite de tensión Vlímite.

Al emplear una tensión de alimentación Vamp superior y dispositivos de entrada-salida (ES) tolerantes a una tensión alta como transistores en el amplificador sensor 112 mientras se siguen usando dispositivos de núcleo eficientes en cuanto a área en la matriz 102 de memoria, por ejemplo, para transistores de célula de bit MRAM, tales como transistores de acceso y transistores MUX, puede mejorar el rendimiento de lectura mientras se mantiene una densidad elevada de matriz. Dado que los dispositivos de ES tolerantes a tensiones altas usan un óxido de mayor grosor en la puerta, su dimensión mínima es también más alta que la de los dispositivos de núcleo, lo que implica un mayor impacto sobre el área. Según se ilustra, el sistema 100 proporciona una mejora en el rendimiento de lectura (el margen de salida) del amplificador sensor MRAM 112 sin mucha penalización en el área para todo el dispositivo 100 de memoria debido a que (1) la mayor tensión de alimentación da como resultado un mayor margen de salida, mejorando así considerablemente el rendimiento de lectura, y (2) pueden usarse dispositivos de ES tolerantes a tensión alta únicamente en el amplificador sensor 112, mientras que las células de bit MRAM que constituyen una porción mucho mayor del área del dispositivo 100 de memoria usan dispositivos de núcleo de alta densidad. Dado que el número de amplificadores sensores 112 en un chip de memoria es mucho menor que el número de células de bit, la penalización en el área que se deriva del uso de dispositivos de ES tolerantes a una tensión alta para los transistores de fijación de nivel y de carga PMOS en el amplificador sensor 112 puede ser secundaria en comparación con el rendimiento de lectura significativamente mejorado que se asocia con el uso de la mayor tensión de alimentación.

Con referencia a la FIG. 2, se representa un diagrama de una segunda realización ilustrativa de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo y se lo designa en general como 200. En una realización particular, el dispositivo 200 de memoria opera de forma sustancialmente similar al dispositivo 100 de memoria ilustrado en la FIG. 1. El dispositivo 200 de memoria puede incluir una célula 226 de memoria (o almacenamiento de datos) que puede incluir un elemento 228 de memoria resistiva acoplado a un transistor 230 de acceso. El transistor 230 de acceso puede tener un primer espesor de óxido para permitir la operación de la célula 226 de memoria a una tensión operativa Vop. En una realización particular, la célula 226 de memoria puede ser una célula de memoria magnetorresistiva por par de transferencia de espín de acceso aleatorio (STT-MRAM). La célula 226 de memoria puede estar incluida en una matriz 204 de memoria. El dispositivo 200 de memoria también puede incluir un primer amplificador 202 configurado para acoplar la célula 226 de memoria a una tensión de alimentación Vamp en un terminal 206 de alimentación, siendo la tensión de alimentación Vamp mayor que un límite de tensión Vlímite, para generar una señal de datos basada en una corriente que atraviesa la célula 226 de memoria. El primer amplificador 202 puede incluir un primer transistor 218 de fijación de nivel que tiene un segundo espesor de óxido que es mayor que el primer espesor de óxido del transistor 230 de acceso. El transistor 218 de fijación de nivel puede ser configurado para evitar que la tensión operativa Vop de la célula 226 de memoria supere el límite de tensión Vlímite. Al proporcionar una tensión apropiada de control de fijación de nivel Vfij en un terminal 208 de control para proteger la matriz 204 de memoria contra tensiones que superen Vlímite, la matriz 204 de memoria puede usar dispositivos más pequeños para tener mayor densidad y tamaños menores. Además, el primer amplificador 202 puede usar dispositivos más robustos para mejorar la operación usando una mayor tensión de alimentación Vamp.

En una realización particular, el transistor 230 de acceso puede tener una configuración de dispositivo de núcleo y el primer transistor 218 de fijación de nivel puede tener una configuración de dispositivo de entrada-salida (ES). En estas realizaciones particulares, el primer transistor 218 de fijación de nivel puede estar configurado para operar a una tensión de alimentación de entrada-salida (ES), Vamp, y el transistor 230 de acceso puede estar configurado para operar a una tensión de alimentación de núcleo, Vnúcleo. En estas realizaciones particulares, la tensión de alimentación de núcleo, Vnúcleo, puede ser de aproximadamente 1 V, y la tensión de alimentación de ES puede ser de aproximadamente 1,8 V. En una realización particular, el transistor 230 de acceso puede tener la configuración de dispositivo de núcleo, con el primer espesor de óxido en un intervalo entre aproximadamente 1 nm y aproximadamente 3 nm. En estas realizaciones particulares, el primer transistor 218 de fijación de nivel puede tener la configuración de un dispositivo de entrada-salida (ES), con el segundo espesor de óxido en un intervalo entre aproximadamente 3,5nm y aproximadamente 10 nm.

Una vía 210 de lectura de datos puede incluir un primer dispositivo 212 de carga que puede incluir un primer transistor 214 de carga. En una realización particular, el primer transistor 214 de carga puede ser un transistor de carga PMOS. El primer dispositivo 212 de carga puede estar acoplado a un primer dispositivo 216 de fijación de nivel que puede incluir al primer transistor 218 de fijación de nivel, pudiendo estar acoplado el primer transistor 214 de carga al primer transistor 218 de fijación de nivel. El primer transistor 218 de fijación de nivel puede estar acoplado al terminal 208 de control, que puede estar polarizado con la tensión de fijación Vfij. El primer dispositivo 216 de fijación de nivel puede estar acoplado, a través de un primer nodo 220, con un primer dispositivo 222 de conmutación de selección que puede incluir un primer transistor MUX 224, pudiendo estar acoplado el primer transistor 218 de fijación de nivel al primer transistor MUX 224. El primer dispositivo 222 de conmutación de selección puede estar incluido en la matriz 204 de memoria. El primer dispositivo 222 de conmutación de selección puede estar acoplado a la célula 226 de memoria, pudiendo estar acoplado el primer transistor MUX 224 al transistor 230 de acceso por medio del elemento 228 de memoria resistiva, que tiene una resistencia Rd. En una realización particular, el elemento 228 de memoria resistiva puede incluir una unión de túnel magnético (MTJ) que puede incluir una capa 232 de referencia, una capa 234 de túnel y una capa libre 236. El transistor 230 de acceso puede estar acoplado a tierra.

Una primera vía 240 de referencia puede incluir un segundo dispositivo 242 de carga que puede incluir un segundo transistor 244 de carga. En una realización particular, el segundo transistor 244 de carga puede ser un transistor de carga PMOS. El segundo dispositivo 242 de carga puede estar acoplado a un segundo dispositivo 246 de fijación de nivel que puede incluir un segundo transistor 248 de fijación de nivel, pudiendo estar acoplado el segundo transistor 244 de carga al segundo transistor 248 de fijación de nivel. El segundo transistor 248 de fijación de nivel puede estar acoplado al terminal 208 de control, que puede estar polarizado con la tensión de fijación de nivel Vfij. El segundo dispositivo 246 de fijación de nivel puede estar acoplado, a través de un segundo nodo 250, a un segundo dispositivo 252 de conmutación de selección, que puede incluir un segundo transistor MUX 254, pudiendo estar acoplado el segundo transistor 248 de fijación de nivel al segundo transistor MUX 254. El segundo dispositivo 252 de conmutación de selección puede estar incluido en la matriz 204 de memoria. El segundo dispositivo 252 de conmutación de selección puede estar acoplado a una primera célula 256 de referencia, pudiendo estar acoplado el segundo transistor MUX 254 a un primer transistor 260 de acceso de referencia mediante un primer elemento resistivo 258 de referencia que tiene una resistencia R1. En una realización particular, el elemento resistivo 258 de memoria puede incluir una unión de túnel magnético (MTJ). El primer transistor 260 de acceso de referencia puede estar acoplado a tierra.

Una segunda vía 270 de referencia puede incluir un tercer dispositivo 272 de carga que puede incluir un tercer transistor 274 de carga. En una realización particular, el tercer transistor 274 de carga puede ser un transistor de carga PMOS. El tercer dispositivo 272 de carga puede estar acoplado a un tercer dispositivo 276 de fijación de nivel que puede incluir un tercer transistor 278 de fijación de nivel, pudiendo estar acoplado el tercer transistor 274 de carga al tercer transistor 278 de fijación de nivel. El tercer transistor 278 de fijación de nivel puede estar acoplado al terminal 208 de control, que puede estar polarizado con la tensión de fijación de nivel Vfij. El tercer dispositivo 276 de fijación de nivel puede estar acoplado, a través de un segundo nodo 280, a un tercer dispositivo 282 de conmutación de selección, que puede incluir un tercer transistor MUX 284, pudiendo estar acoplado el tercer transistor 278 de fijación de nivel al tercer transistor MUX 284. El tercer dispositivo 282 de conmutación de selección puede estar incluido en la matriz 204 de memoria. El tercer dispositivo 282 de conmutación de selección puede estar acoplado a una segunda célula 286 de referencia, pudiendo estar acoplado el tercer transistor MUX 284 a un segundo transistor 290 de acceso de referencia mediante un segundo elemento resistivo 288 de referencia que tiene una resistencia R0. En una realización particular, el elemento resistivo 288 de memoria puede incluir una unión de túnel magnético (MTJ). El segundo transistor 290 de acceso de referencia puede estar acoplado a tierra.

El primer amplificador 202 puede incluir al primer transistor 214 de carga acoplado al primer transistor 218 de fijación de nivel para generar la señal de datos. El primer amplificador 202 puede incluir al segundo transistor 244 de carga acoplado al segundo transistor 248 de fijación de nivel, y al tercer transistor 274 de carga acoplado al tercer transistor 278 de fijación de nivel. El segundo transistor 248 de fijación de nivel y el tercer transistor 278 de fijación de nivel pueden estar configurados para acoplarse a la primera célula 256 de referencia y a la segunda célula 286 de referencia, respectivamente, para generar una señal de referencia. El primer transistor 218 de fijación de nivel, el segundo transistor 248 de fijación de nivel, el tercer transistor 278 de fijación de nivel, el primer transistor 214 de carga, el segundo transistor 244 de carga y el tercer transistor 274 de carga pueden tener una configuración de dispositivo de entrada-salida (ES). Al menos un transistor 230, 260, 290 de la célula 226 de memoria, la primera célula 256 de referencia y la segunda célula 286 de referencia puede tener una configuración de dispositivo de núcleo. En una realización particular, el primer transistor MUX 224, el segundo transistor MUX 254 y el tercer transistor MUX 284 pueden tener la configuración de dispositivo de núcleo.

Según se ha descrito en lo que antecede, la vía 210 de lectura de datos puede incluir al primer dispositivo 212 de carga acoplado a la célula 226 de almacenamiento de datos por medio del primer transistor 218 de fijación de nivel. El primer dispositivo 212 de carga puede tener una primera configuración de dispositivo para operar a una primera tensión de alimentación Vamp suministrada en el terminal 206 de alimentación. En una realización particular, la primera configuración de dispositivo puede ser una configuración de dispositivo no de núcleo. En estas realizaciones particulares, la primera configuración de dispositivo puede ser una configuración de dispositivo de entrada-salida (ES). La célula 226 de almacenamiento de datos puede incluir al transistor 230 de acceso, que puede tener una segunda configuración de dispositivo para operar a una tensión operativa Vop, en el nodo 220, que no ha de superar un límite de tensión Vlímite que es menor que la primera tensión de alimentación Vamp. En una realización particular, la segunda configuración de dispositivo puede ser una configuración de dispositivo de núcleo. En estas realizaciones particulares, la configuración de dispositivo de núcleo puede tener una dimensión física menor que la configuración no de núcleo. El terminal 208 de control del primer transistor 218 de fijación de nivel puede estar polarizado para evitar que la tensión Vop en la célula 226 de almacenamiento de datos supere el límite de tensión Vlímite. En una realización particular, el límite de tensión Vlímite puede ser de aproximadamente 1V.

Según se ha descrito en lo que antecede, la primera vía 240 de referencia puede incluir al segundo dispositivo 242 de carga acoplado a la primera célula 256 de referencia, y la segunda vía 270 de referencia puede incluir al tercer dispositivo 272 de carga acoplado a la segunda célula 286 de referencia. El segundo dispositivo 242 de carga y el tercer dispositivo 272 de carga pueden tener la primera configuración de dispositivo. La primera célula 256 de referencia y la segunda célula 286 de referencia pueden incluir cada una al menos un transistor 260, 290 que puede tener la segunda configuración de dispositivo. El segundo transistor 248 de fijación de nivel puede impedir que una segunda tensión en la primera célula 256 de referencia supere el límite de tensión Vlímite. El tercer transistor 278 de

fijación de nivel puede impedir que una tercera tensión en la segunda célula 286 de referencia supere el límite de tensión $V_{\text{límite}}$. El primer dispositivo 222 de conmutación de selección en la vía 210 de lectura de datos puede acoplar selectivamente la célula 226 de almacenamiento de datos al primer transistor 218 de fijación de nivel. El segundo dispositivo 252 de conmutación de selección en la primera vía 240 de referencia puede acoplar selectivamente la primera célula 256 de referencia al segundo transistor 248 de fijación de nivel. El tercer dispositivo 282 de conmutación de selección en la segunda vía 270 de referencia puede acoplar selectivamente la segunda célula 286 de referencia al tercer transistor 278 de fijación de nivel. Cada uno del primer dispositivo 222 de conmutación de selección, del segundo dispositivo 252 de conmutación de selección y del tercer dispositivo 282 de conmutación de selección puede tener la segunda configuración de dispositivo.

Con referencia a la FIG. 3, se representa diagrama de una tercera realización ilustrativa de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo y se lo designa en general como 300. En una realización particular, el dispositivo 300 de memoria opera de forma sustancialmente similar al dispositivo 100 de memoria ilustrado en la FIG. 1 y al dispositivo 200 de memoria ilustrado en la FIG. 2. El dispositivo 300 de memoria puede incluir varias células 326 de memoria (o almacenamiento de datos), cada una de las cuales puede incluir un elemento resistivo 328 de memoria acoplado a un transistor 330 de acceso. El transistor 330 de acceso puede tener un primer espesor de óxido para permitir la operación de las células 326 de memoria a una tensión operativa V_{op} . En una realización particular, las células 326 de memoria pueden ser células de memoria magnetorresistiva por par de transferencia de espín de acceso aleatorio (STT-MRAM). Las células 326 de memoria pueden estar incluidas en una matriz 304 de memoria. El dispositivo 300 de memoria también puede incluir una primera etapa amplificadora 302 configurada para acoplar las células 326 de memoria a una tensión alta de alimentación V_{amp} , siendo la tensión de alimentación V_{amp} mayor que un límite de tensión $V_{\text{límite}}$, para generar una señal de datos basada en una corriente que atraviesa una de las células 326 de memoria. La primera etapa amplificadora 302 puede incluir un primer transistor 318 de fijación de nivel que tiene un segundo espesor de óxido que es mayor que el primer espesor de óxido del transistor 330 de acceso. El primer transistor 318 de fijación de nivel puede ser configurado para evitar que la tensión operativa V_{op} en las células 326 de memoria supere el límite de tensión $V_{\text{límite}}$. En una realización particular, el primer transistor 318 de fijación de nivel puede ser un transistor NMOS que tenga una configuración de dispositivo no de núcleo.

En una realización particular, el transistor 330 de acceso puede tener una configuración de dispositivo de núcleo y el primer transistor 318 de fijación de nivel puede tener una configuración de dispositivo de entrada-salida (ES). En estas realizaciones particulares, el primer transistor 318 de fijación de nivel puede estar configurado para operar a una tensión de alimentación de entrada-salida (ES), V_{amp} , y el transistor 330 de acceso puede estar configurado para operar a una tensión de alimentación de núcleo, $V_{\text{núcleo}}$. En estas realizaciones particulares, la tensión de alimentación de núcleo, $V_{\text{núcleo}}$, puede estar dentro de un intervalo entre aproximadamente 0,9 V y aproximadamente 1,2 V, tal como aproximadamente 1 V, y la tensión de alimentación de ES puede estar dentro de un intervalo entre aproximadamente 1,5 V y aproximadamente 2,0 V, tal como aproximadamente 1,8 V.

La primera etapa amplificadora 302 puede estar configurada, además, para acoplar al menos una célula 356, 386 de referencia a la tensión de alimentación V_{amp} para generar una señal de referencia. El dispositivo 300 de memoria puede incluir una segunda etapa amplificadora 312 acoplada a la primera etapa amplificadora 302. La segunda etapa amplificadora 312 puede estar configurada para proporcionar una señal de salida V_{sal} en el terminal 316 en función de una diferencia entre la señal de datos y la señal de referencia. La segunda etapa amplificadora 312 puede incluir al menos un transistor que tenga el primer espesor de óxido de los transistores 330 de acceso y que esté acoplado a una segunda tensión de alimentación V_2 que no supere el límite de tensión $V_{\text{límite}}$.

La matriz 304 de memoria puede incluir varios transistores MUX 324, M_0 , M_1 , ..., M_i , correspondientes a las varias células 326 de memoria en las respectivas varias líneas 104 de bits (FIG. 1). En una realización particular, los transistores MUX 324 pueden ser transistores NMOS que tengan una configuración de dispositivo de núcleo. Cada uno de los varios transistores MUX 324, M_0 , M_1 , ..., M_i , puede acoplar una correspondiente célula de las varias células 326 de memoria al primer transistor 318 de fijación de nivel, proporcionando una de varias vías 310 de lectura de datos.

Cada una de las vías 310 de lectura de datos puede incluir un primer transistor 314 de carga. En una realización particular, el primer transistor 314 de carga puede ser un transistor de carga PMOS. El primer transistor 314 de carga puede estar acoplado al primer transistor 318 de fijación de nivel. El primer transistor 318 de fijación de nivel puede estar acoplado a un terminal 308 de control, que puede estar polarizado con la tensión de fijación de nivel V_{fij} . El primer transistor 318 de fijación de nivel puede estar acoplado a los transistores MUX 324. Los transistores MUX 324 pueden estar acoplados a los transistores 330 de acceso mediante elementos resistivos 328 de memoria de las correspondientes células 326 de memoria. Cada uno de los elementos resistivos 328 de memoria puede incluir una unión de túnel magnético (MTJ) ilustrada como una resistencia R_{bit} , que puede incluir un valor de resistencia de "0" lógico o de "1" lógico. Los transistores 330 de acceso pueden estar acoplados a tierra. Las puertas de los transistores 330 de acceso pueden estar acopladas a una de las varias líneas 108 de palabras (FIG. 1). En una realización particular, los transistores 330 de acceso pueden ser transistores NMOS que tengan una configuración de dispositivo de núcleo.

Una primera vía 340 de referencia puede incluir un segundo transistor 344 de carga. En una realización particular, el segundo transistor 344 de carga puede ser un transistor de carga PMOS conectado a un diodo. El segundo dispositivo 344 de carga puede estar acoplado a un segundo transistor 348 de fijación de nivel. El segundo transistor 348 de fijación de nivel puede estar acoplado al terminal 308 de control, que puede estar polarizado con la tensión de fijación de nivel V_{fij} . En una realización particular, el segundo transistor 348 de fijación de nivel puede ser un transistor NMOS que tenga una configuración de dispositivo no de núcleo. El segundo transistor 348 de fijación de nivel puede estar acoplado a un transistor MUX 354. El transistor MUX 354 puede estar incluido en la matriz 304 de memoria. En una realización particular, el transistor MUX 354 puede ser un transistor NMOS que tenga una configuración de dispositivo de núcleo. La puerta del transistor MUX 354 puede estar acoplada a una tensión de alimentación que tenga una tensión V_{ddcx} que es menor que un límite de tensión de un dispositivo de núcleo. El transistor MUX 354 puede estar acoplado a una primera célula 356 de referencia, pudiendo estar acoplado el transistor MUX 354 a un primer transistor 360 de acceso de referencia mediante un primer elemento resistivo 358 de referencia que tiene una resistencia R_0 . En una realización particular, el elemento resistivo 358 de memoria puede incluir una unión de túnel magnético (MTJ). El primer transistor 360 de acceso de referencia puede estar acoplado a tierra. La puerta del primer transistor 360 de acceso de referencia puede estar acoplada a una línea 322 de palabras, tal como una de las varias líneas 108 de palabras representadas en la FIG. 1. En una realización particular, el primer transistor 360 de acceso de referencia puede ser un transistor NMOS que tenga una configuración de dispositivo de núcleo.

Una segunda vía 370 de referencia puede incluir un tercer transistor 374 de carga. En una realización particular, el tercer transistor 374 de carga puede ser un transistor de carga PMOS. El tercer transistor 274 de carga puede estar acoplado a un tercer transistor 278 de fijación de nivel. El tercer transistor 278 de fijación de nivel puede estar acoplado al terminal 208 de control, que puede estar polarizado con la tensión de fijación de nivel V_{fij} . En una realización particular, el tercer transistor 378 de fijación de nivel puede ser un transistor NMOS que tenga una configuración de dispositivo no de núcleo. El tercer transistor 278 de fijación de nivel puede estar acoplado a un transistor MUX 384. El transistor MUX 384 puede estar incluido en la matriz 304 de memoria. En una realización particular, el transistor MUX 384 puede ser un transistor NMOS que tenga una configuración de dispositivo de núcleo. La puerta del transistor MUX 384 puede estar acoplada a la puerta del transistor MUX 354 y también puede estar acoplada a una alimentación de tensión que tenga una tensión V_{ddcx} . El transistor MUX 384 puede estar acoplado a una segunda célula 386 de referencia, pudiendo estar acoplado el transistor MUX 384 a un segundo transistor 390 de acceso de referencia mediante un segundo elemento resistivo 388 de referencia que tiene una resistencia R_1 . En una realización particular, el elemento resistivo 358 de memoria puede incluir una unión de túnel magnético (MTJ). El segundo transistor 390 de acceso de referencia puede estar acoplado a tierra. La puerta del segundo transistor 390 de acceso de referencia puede estar acoplada a una de varias líneas 108 de palabras (FIG. 1). En una realización particular, el segundo transistor 390 de acceso de referencia puede ser un transistor NMOS que tenga una configuración de dispositivo de núcleo.

La primera etapa amplificadora 302 puede incluir al primer transistor 314 de carga acoplado al primer transistor 318 de fijación de nivel para generar la señal de datos. La primera etapa amplificadora 302 puede incluir al segundo transistor 344 de carga acoplado al segundo transistor 348 de fijación de nivel, y al tercer transistor 374 de carga acoplado al tercer transistor 378 de fijación de nivel. El segundo transistor 348 de fijación de nivel y el tercer transistor 378 de fijación de nivel pueden estar configurados para acoplarse a la primera célula 356 de referencia y a la segunda célula 386 de referencia, respectivamente, para generar la señal de referencia. La segunda etapa amplificadora 312 puede estar acoplada a cada una de las vías 310 de lectura de datos, a la primera vía 340 de referencia y a la segunda vía 370 de referencia. La segunda etapa amplificadora 312 puede estar configurada para proporcionar una señal de salida V_{sal} en el terminal 316 en función de una diferencia entre la señal de datos y la señal de referencia. El primer transistor 318 de fijación de nivel, el segundo transistor 348 de fijación de nivel, el tercer transistor 378 de fijación de nivel, el primer transistor 314 de carga, el segundo transistor 344 de carga y el tercer transistor 374 de carga pueden tener una configuración de dispositivo de entrada-salida (ES). Al menos uno de los transistores 330, 360, 390 de las células 326 de memoria, la primera célula 356 de referencia y la segunda célula 386 de referencia puede tener una configuración de dispositivo de núcleo. En una realización particular, los transistores MUX 324, el transistor MUX 354 y el transistor MUX 384 pueden tener la configuración de dispositivo de núcleo. La segunda etapa amplificadora 312 puede incluir al menos un transistor que tenga la configuración de dispositivo de núcleo y que esté acoplado a la segunda tensión de alimentación V_2 que no supere el límite de tensión $V_{límite}$.

Según se ha descrito en lo que antecede, cada una de las vías 310 de lectura de datos puede incluir al primer transistor 314 de carga acoplado a las células 326 de memoria por medio del primer transistor 318 de fijación de nivel. El primer transistor 314 de carga puede tener una primera configuración de dispositivo para operar a una primera tensión de alimentación V_{amp} . En una realización particular, la primera configuración de dispositivo puede ser una configuración de dispositivo no de núcleo. En estas realizaciones particulares, la primera configuración de dispositivo puede ser una configuración de dispositivo de entrada-salida (ES). Las células 326 de memoria pueden incluir a los transistores 330 de acceso, que pueden tener una segunda configuración de dispositivo para operar a una tensión operativa V_{op} , en el nodo 220, que no ha de superar un límite de tensión $V_{límite}$ que es menor que la primera tensión de alimentación V_{amp} . En una realización particular, la segunda configuración de dispositivo puede ser una configuración de dispositivo de núcleo. En estas realizaciones particulares, la configuración de dispositivo de

núcleo puede tener una dimensión física menor que la configuración no de núcleo. El terminal 308 de control del primer transistor 318 de fijación de nivel puede estar polarizado para evitar que la tensión V_{op} en las células 326 de memoria supere el límite de tensión $V_{límite}$. En una realización particular, el límite de tensión $V_{límite}$ puede ser de aproximadamente 1V.

5 Según se ha descrito en lo que antecede, la primera vía 340 de referencia puede incluir al segundo transistor 344 de carga acoplado a la primera célula 356 de referencia, y la segunda vía 370 de referencia puede incluir al tercer transistor 374 de carga acoplado a la segunda célula 386 de referencia. El segundo transistor 344 de carga y el tercer transistor 374 de carga pueden tener la primera configuración de dispositivo. La primera célula 356 de referencia y la segunda célula 386 de referencia pueden incluir cada una al menos un transistor 360, 390 que puede tener la segunda configuración de dispositivo. El segundo transistor 348 de fijación de nivel puede impedir que una segunda tensión en la primera célula 356 de referencia supere el límite de tensión $V_{límite}$. El tercer transistor 378 de fijación de nivel puede impedir que una tercera tensión en la segunda célula 386 de referencia supere el límite de tensión $V_{límite}$. Los transistores MUX 324 en las vías 310 de lectura de datos pueden acoplar selectivamente las células 326 de memoria al primer transistor 318 de fijación de nivel. El transistor MUX 354 en la primera vía 340 de referencia puede acoplar selectivamente la primera célula 356 de referencia al segundo transistor 348 de fijación de nivel. El transistor MUX 384 en la segunda vía 370 de referencia puede estar polarizado para acoplar la segunda célula 386 de referencia al tercer transistor 378 de fijación de nivel. Cada uno de los transistores MUX 324, 354, 384 puede tener la segunda configuración de dispositivo.

20 Con referencia a la FIG. 4, se representa un diagrama de flujo de una realización ilustrativa particular de un procedimiento de operación de un dispositivo de memoria con un amplificador que usa un primer tipo de dispositivo y una matriz de memoria que usa un segundo tipo de dispositivo y se lo designa en general como 400. En 402, una primera etapa amplificadora puede estar acoplada a una matriz de memoria. La primera etapa amplificadora puede incluir transistores que tienen una tolerancia de tensión de alimentación de entrada-salida (ES). La matriz de memoria puede incluir transistores que tienen una tolerancia de tensión de alimentación de núcleo que es menor que la tolerancia de tensión de alimentación de ES. En una realización particular, la primera etapa amplificadora puede ser el amplificador 112 y la matriz de memoria puede ser la matriz 102 de memoria de la FIG. 1. En otra realización particular, la primera etapa amplificadora puede ser el primer amplificador 202 y la matriz de memoria puede ser la matriz 204 de memoria de la FIG. 2. En otra realización particular, la primera etapa amplificadora puede ser la primera etapa amplificadora 302 y la matriz de memoria puede ser la matriz 304 de memoria de la FIG. 3.

30 Prosiguiendo hasta 404, puede aplicarse una tensión de control en un transistor de fijación de nivel acoplado a la matriz de memoria para establecer una tensión de la matriz de memoria, de modo que la tensión de la matriz de memoria sea menor que la tolerancia de tensión de alimentación de núcleo. Por ejemplo, puede aplicarse la tensión de control V_{fij} en los transistores 218, 248 y 278 de fijación de nivel acoplados a la matriz 204 de memoria para establecer la tensión en los nodos 220, 250 y 280, de modo que la tensión de la matriz de memoria sea menor que la tolerancia de tensión de alimentación de núcleo, según se ilustra en la FIG. 2. En una realización particular, puede aplicarse la tensión de control V_{fij} en un transistor 318, 348, 378 de fijación de nivel acoplado a la matriz 304 de memoria para establecer una tensión de la matriz de memoria V_{op} (FIG. 1), de modo que la tensión de la matriz de memoria V_{op} sea menor que la tolerancia de tensión de alimentación de núcleo $V_{límite}$, según se ilustra en la FIG. 3. Una consecuencia de no controlar V_{fij} es que la tensión de la matriz de memoria puede superar la tolerancia de la tensión de alimentación de núcleo, haciendo que los dispositivos de núcleo en la matriz de memoria fallen.

45 Pasando a 406, puede llevarse a cabo una operación de lectura de datos en una célula de almacenamiento de datos de la matriz de memoria para generar una señal de datos en el primer amplificador. En una realización particular, la operación de lectura de datos puede llevarse a cabo en una célula 226 de almacenamiento de datos de la matriz 204 de memoria para generar una señal de datos en el primer amplificador 202 usando la vía 210 de lectura de datos, tal como se ilustra en la FIG. 2. En una realización particular, puede llevarse a cabo la operación de lectura de datos en una de las células 326 de memoria de la matriz 304 de memoria para generar una señal de datos en la primera etapa amplificadora 302 usando una de las vías 310 de lectura de datos, tal como se ilustra en la FIG. 3.

50 Avanzando a 408, la señal de datos procedente de la primera etapa amplificadora puede ser comparada con una señal de referencia para generar una señal de salida en una segunda etapa amplificadora. La segunda etapa amplificadora puede incluir dispositivos que tienen la tolerancia de tensión de alimentación de núcleo. En una realización particular, la señal de datos procedente de la primera etapa amplificadora 302 puede ser comparada con una señal de referencia para generar una señal de salida V_{sal} en la segunda etapa amplificadora 312, usando la señal de referencia que se genera la primera vía 340 de referencia y la segunda vía 370 de referencia, tal como se ilustra en la FIG. 3. En una realización particular, la segunda etapa amplificadora 312 puede incluir dispositivos que tengan la tolerancia de tensión de alimentación de núcleo, tal como se ilustra en la FIG. 3.

60 En una realización particular, la célula de almacenamiento de datos puede estar acoplada al primer transistor de fijación de nivel por medio de un transistor de selección para permitir un flujo de corriente procedente de una alimentación de tensión del primer amplificador atravesando la célula de almacenamiento de datos. por ejemplo, la célula 226 de almacenamiento de datos puede estar acoplada al primer transistor 218 de fijación de nivel mediante un transistor de selección, tal como el primer transistor MUX 224, para permitir un flujo de corriente procedente de la

alimentación 206 de tensión del primer amplificador 202 a través de la célula 226 de almacenamiento de datos, tal como se ilustra en la FIG. 2. Como ejemplo adicional, una de las células 326 de memoria puede estar acoplada al primer transistor 318 de fijación de nivel mediante un transistor de selección, tal como un respectivo transistor de los transistores MUX 324 para permitir un flujo de corriente procedente de la alimentación de tensión de la primera etapa amplificadora 302 a través de la correspondiente célula de las células 326 de memoria, tal como se ilustra en la FIG. 3. En estas realizaciones particulares, el transistor de selección, tal como el primer transistor MUX 224 y/o los transistores MUX 324, puede tener la tolerancia de tensión de alimentación de núcleo Vlímite. En estas realizaciones particulares, aumentar la alimentación de tensión Vamp del primer amplificador 202 y/o de la primera etapa amplificadora 302 aumenta el margen de lectura de la operación de lectura de datos.

Los expertos en la técnica apreciarán, además, que diversos bloques lógicos ilustrativos, configuraciones, módulos, circuitos y etapas de algoritmo descritos en conexión con las realizaciones dadas a conocer en el presente documento pueden ser implementados como soporte físico electrónico, soporte lógico de ordenador o combinaciones de ambos. Los expertos en la técnica pueden implementar la funcionalidad descrita de maneras diversas para cada aplicación particular, pero no deberán interpretarse que tales decisiones de implementación provoquen un alejamiento del ámbito de la presente divulgación.

Las etapas de un procedimiento o algoritmo descritas en conexión con las realizaciones dadas a conocer en el presente documento pueden implementarse directamente en soporte físico, en un módulo de soporte lógico ejecutado por un procesador o en una combinación de los dos. Un módulo de soporte lógico puede residir en memoria de acceso aleatorio (RAM), en memoria flash, memoria de solo lectura (ROM), memoria programable borrrable de solo lectura (EPROM), memoria programable borrrable eléctricamente de solo lectura (EEPROM), registros, un disco duro, un disco extraíble, una memoria en disco compacto de solo lectura (CD-ROM) o en cualquier otra forma de medio de almacenamiento conocida en la técnica. Un medio ejemplar de almacenamiento está acoplado al procesador de modo que el procesador pueda leer información del medio de almacenamiento y escribir información en el mismo. Como alternativa, el medio de almacenamiento puede ser integral al procesador. El procesador y el medio de almacenamiento puede residir en un circuito integrado para aplicaciones específicas (ASIC). El ASIC puede residir en un dispositivo de cálculo o en un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes diferenciados en un dispositivo de cálculo o un terminal de usuario.

Se proporciona la anterior descripción de las realizaciones dadas a conocer para permitir que cualquier persona experta en la técnica realice o use las realizaciones dadas a conocer. Diversas modificaciones a dichas realizaciones serán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden ser aplicados a otras realizaciones sin apartarse del ámbito de la divulgación. Así, no se pretende que la presente divulgación esté limitada a las realizaciones mostradas en el presente documento, sino que ha de otorgársele el alcance más amplio posible coherente con los principios y las características novedosas definidos por las reivindicaciones siguientes.

REIVINDICACIONES

1. Un dispositivo (100; 200; 300) de memoria que comprende:

5 una célula (226; 326) de memoria que incluye un elemento (228; 328, 358, 388) de memoria resistiva acoplado a un transistor (230; 330) de acceso, teniendo el transistor (230; 330) de acceso un primer espesor de óxido para permitir la operación de la célula (226; 326) de memoria a una tensión operativa; y un primer amplificador configurado para acoplar la célula (226; 326) de memoria a una tensión de alimentación que es mayor que un límite de tensión para generar una señal de datos basada en una corriente que atraviesa la célula (226; 326) de memoria, **caracterizado porque**

10 el primer amplificador (112; 202; 302) incluye un transistor (120; 218; 318) de fijación de nivel que tiene un segundo espesor de óxido que es mayor que el primer espesor de óxido y en el que el transistor (120; 218; 318) de fijación de nivel está configurado para impedir que la tensión operativa en la célula (226; 326) de memoria supere el límite de tensión.
2. El dispositivo (100; 200; 300) de memoria de la reivindicación 1 en el que el transistor (120; 218; 318) de fijación de nivel está configurado para operar a una tensión de alimentación de entrada-salida (ES) y en el que el transistor (230; 330) de acceso está configurado para operar a una tensión de alimentación de núcleo.
3. El dispositivo (100; 200; 300) de memoria de la reivindicación 2 en el que la tensión de alimentación de núcleo es de aproximadamente 1 voltio y en el que la tensión de alimentación de ES es de aproximadamente 1,8 voltios.
4. El dispositivo (100; 200; 300) de memoria de la reivindicación 1 en el que la célula (226; 326) de memoria es una célula de memoria magnetorresistiva por par de transferencia de espín de acceso aleatorio (STT-MRAM).
5. El dispositivo (100; 200; 300) de memoria de la reivindicación 1 en el que el primer amplificador (112; 202; 302) está configurado, además, para acoplar al menos una célula (256, 286; 356, 386) de referencia a una tensión de alimentación para generar una señal de referencia y que, además, comprende:

25 un segundo amplificador (312) acoplado al primer amplificador (112; 202; 302) y configurado para proporcionar una señal de salida en función de una diferencia entre la señal de datos y la señal de referencia, incluyendo el segundo amplificador (312) al menos un transistor que tiene el primer espesor de óxido y que está acoplado a una segunda tensión de alimentación que no supera el límite de tensión.
6. El dispositivo (100; 200; 300) de memoria de la reivindicación 1 en el que el primer amplificador (112; 202; 302), además, comprende:

30 un primer transistor (214; 314) de carga acoplado al transistor (120; 218; 318) de fijación de nivel para generar la señal de datos;
un segundo transistor (244; 344) de carga acoplado a un segundo transistor (248; 348) de fijación de nivel;
y
un tercer transistor (274; 374) de carga acoplado a un tercer transistor (278; 378) de fijación de nivel,

35 estando configurados el segundo transistor de fijación de nivel y el tercer transistor de fijación de nivel para acoplarse a una primera célula (256,286; 356, 386) de referencia y a una segunda célula (256, 286; 356, 386) de referencia para generar una señal de referencia.
7. Un procedimiento que comprende:

40 acoplar una primera etapa amplificadora (112; 202; 302) a una matriz (102; 304) de memoria, incluyendo la primera etapa amplificadora (112; 202; 302) transistores que tienen una tolerancia de tensión de alimentación de entrada-salida (ES) y un transistor (120; 218; 318) de fijación de nivel, incluyendo la matriz (102; 304) de memoria transistores que tienen una tolerancia de tensión de alimentación de núcleo que es menor que la tolerancia de tensión de alimentación de ES y elementos (228; 328, 358, 388) de memoria resistiva; y

45 aplicar una tensión de control al transistor (120; 218; 318) de fijación de nivel acoplado a la matriz de memoria para establecer la tensión de la matriz de memoria, de modo que la tensión de la matriz de memoria sea menor que la tolerancia de tensión de alimentación de núcleo.
8. El procedimiento de la reivindicación 7 que, además, comprende:

50 llevar a cabo una operación de lectura de datos en una célula (226; 326) de almacenamiento de datos de la matriz (102; 304) de memoria para generar una señal de datos en la primera etapa amplificadora; y comparar la señal de datos de la primera etapa amplificadora (112; 202; 302) con una señal de referencia para generar una señal de salida en una segunda etapa amplificadora (312), incluyendo la segunda etapa amplificadora (312) dispositivos que tienen la tolerancia de tensión de alimentación de núcleo.

9. El procedimiento de la reivindicación 8 que, además, comprende acoplar la célula (226; 326) de almacenamiento de datos al transistor (120; 218; 318) de fijación de nivel por medio de un transistor de selección para permitir un flujo de corriente desde una tensión de alimentación de la primera etapa amplificadora (112; 202; 302) a través de la célula (226; 326) de almacenamiento de datos.
- 5 10. El procedimiento de la reivindicación 9 en el que el transistor de selección tiene la tolerancia de tensión de alimentación de núcleo.
11. El procedimiento de la reivindicación 9 en el que el aumento de la tensión de alimentación de la primera etapa amplificadora (112; 202; 302) aumenta el margen de lectura de la operación de lectura de datos.

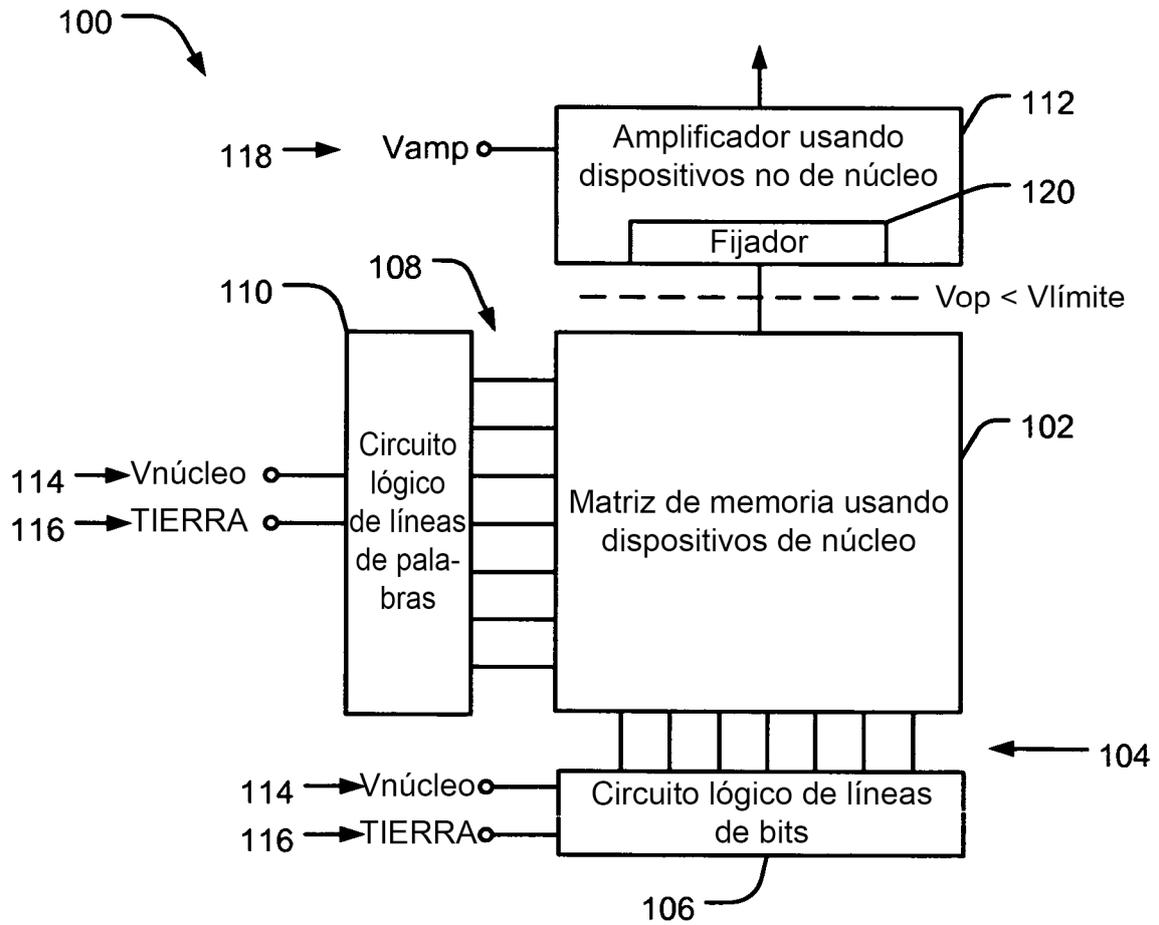


FIG. 1

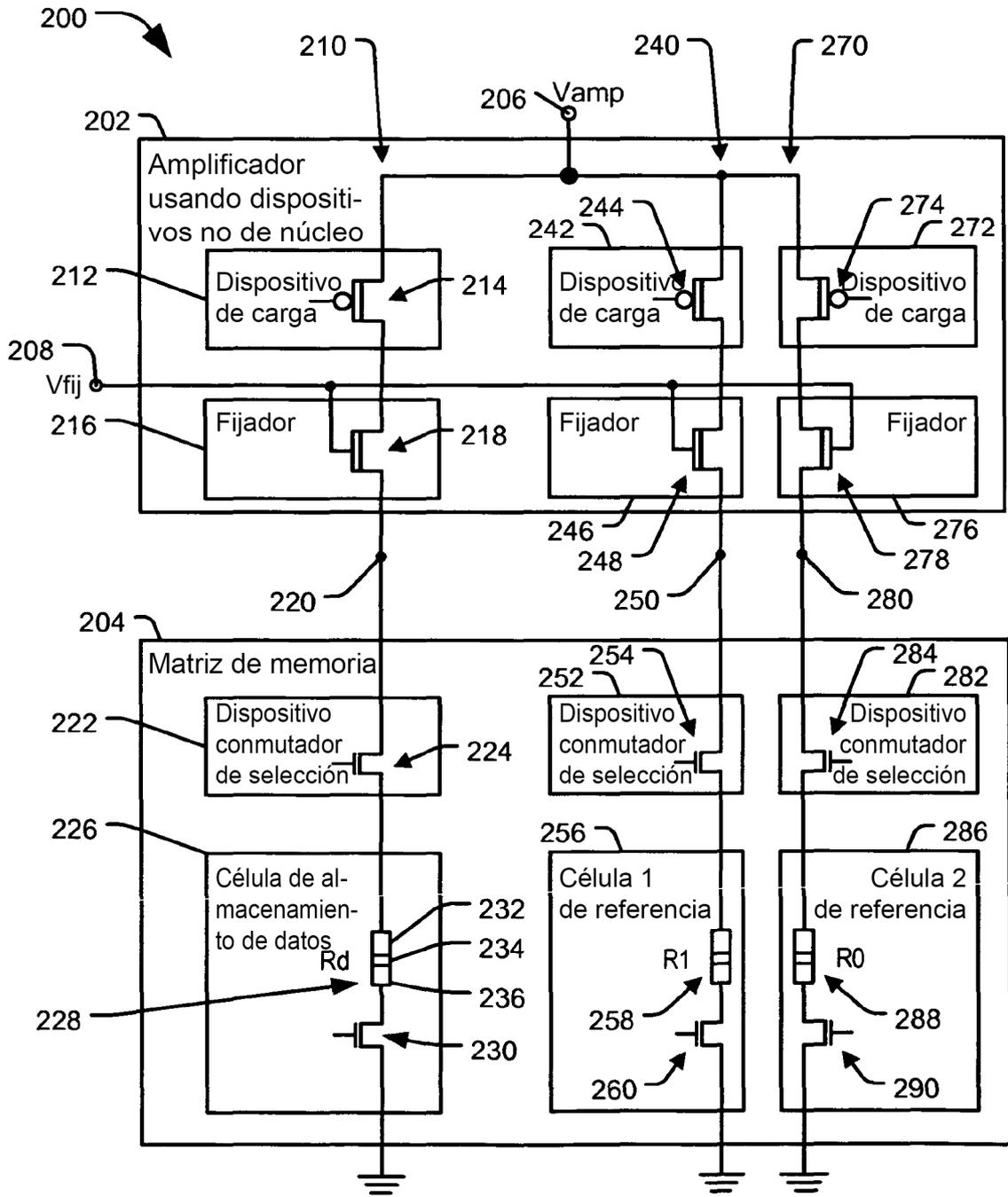


FIG. 2

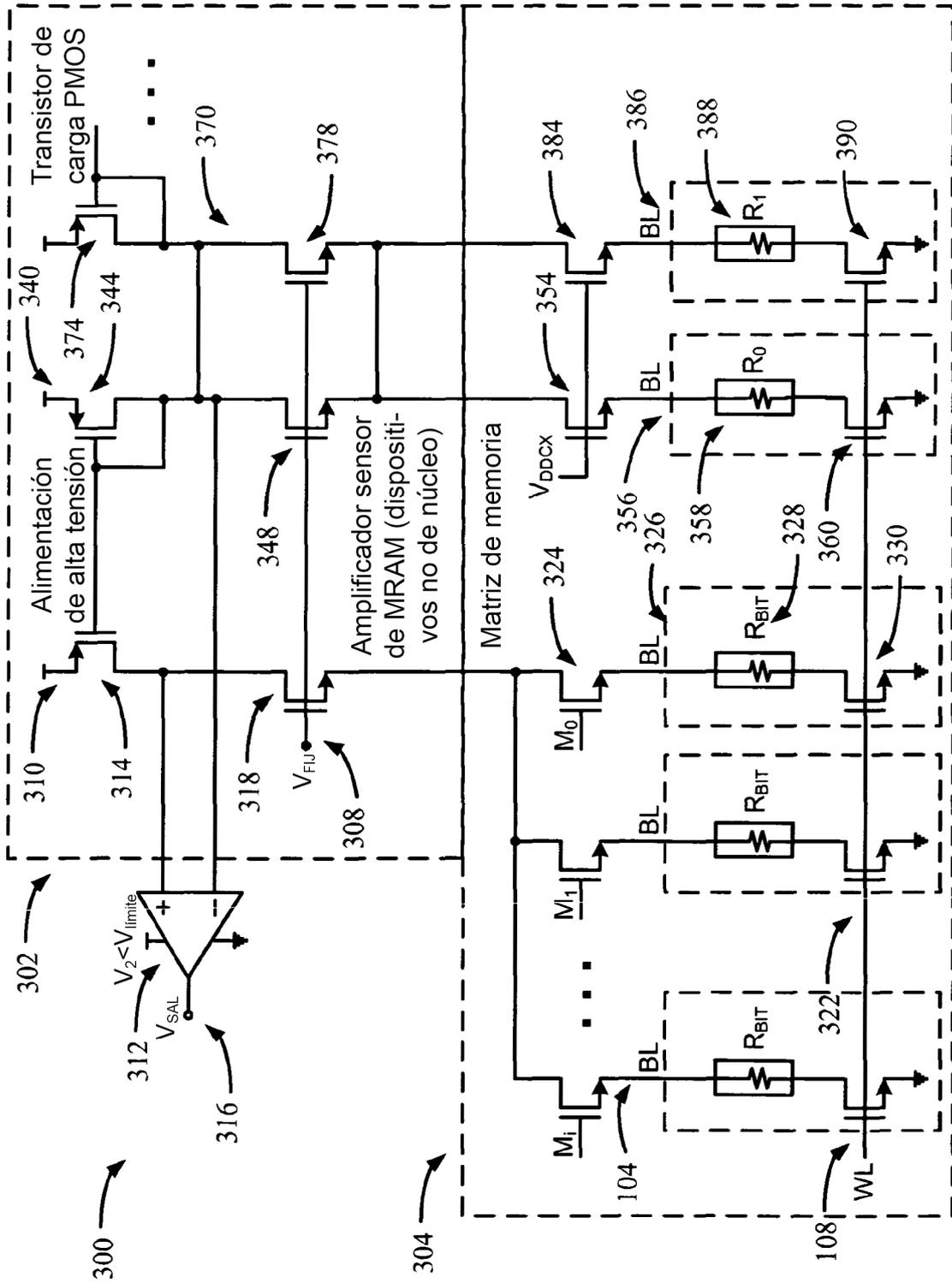
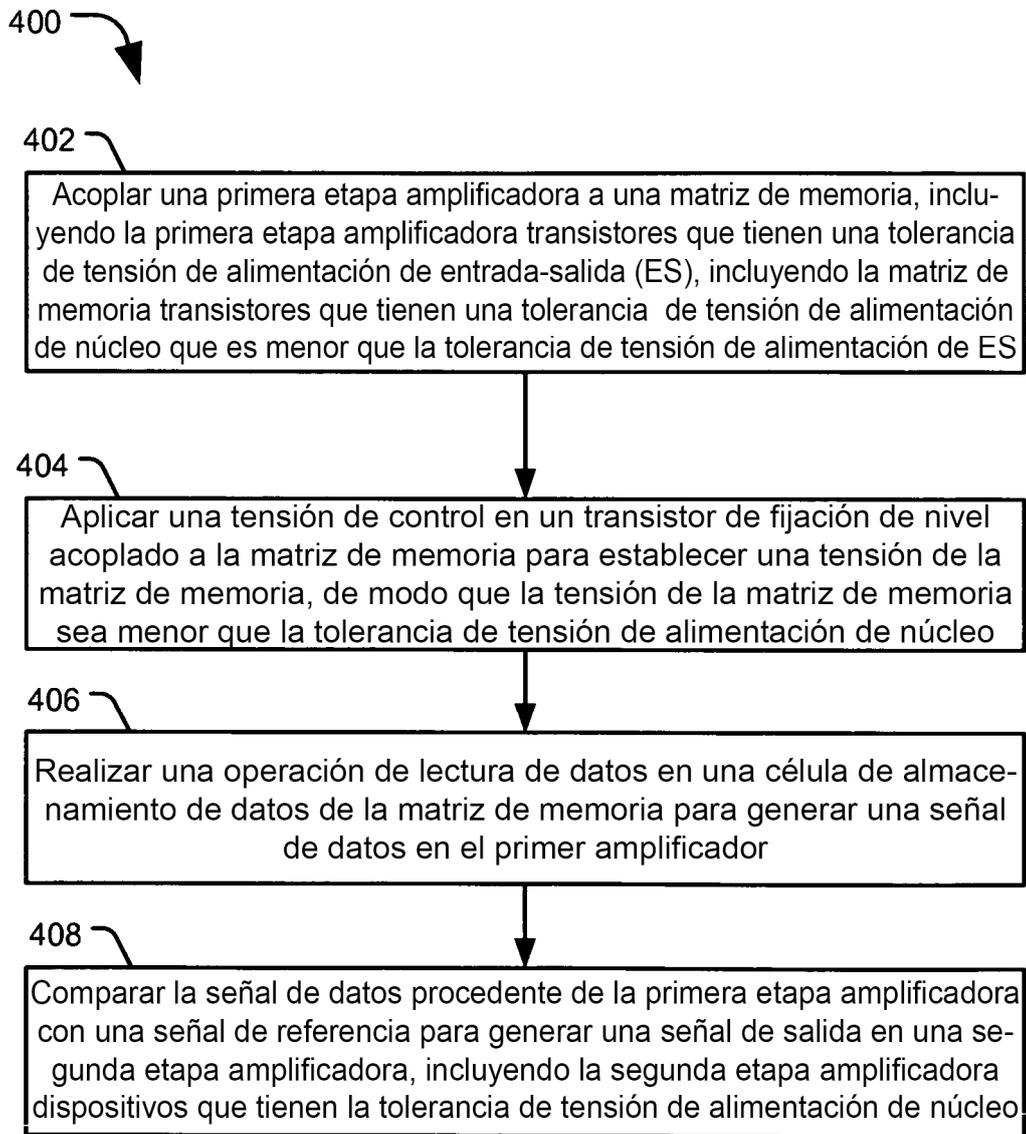


FIG. 3

**FIG. 4**