

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 424 463**

51 Int. Cl.:

H03M 13/11

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.04.2004** **E 10178005 (4)**

97 Fecha y número de publicación de la concesión europea: **03.07.2013** **EP 2270989**

54 Título: **Aparato de decodificación, método de decodificación y programa**

30 Prioridad:

13.05.2003 JP 2003133941

18.08.2003 JP 2003294383

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
02.10.2013

73 Titular/es:

SONY CORPORATION (100.0%)

1-7-1 Konan, Minato-ku

Tokyo 108-0075, JP

72 Inventor/es:

YOKOKAWA, TAKASHI;

MIYAUCHI, TOSHIYUKI y

IIDA, YASUHIRO

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 424 463 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato de decodificación, método de decodificación y programa

5 CAMPO TÉCNICO

La presente invención se refiere a un aparato de decodificación, un método de decodificación y un programa. Más en particular, la presente invención se refiere a un aparato de decodificación y un método de decodificación para decodificar

10 códigos en los que se realiza la codificación utilizando códigos de control de paridad de baja densidad (códigos LDPC) y para un programa relacionado.

ANTECEDENTES DE LA INVENCION

En los últimos años, la investigación en, a modo de ejemplo, los campos de comunicación tales como la comunicación

15 móvil y la comunicación de espacio profundo y los campos de difusión tales como las difusiones digitales por satélite o de ondas terrestres ha progresado de forma notoria. Junto con esta situación, la investigación sobre las teorías de codificación para obtener la codificación de corrección de errores y una decodificación eficiente se ha realizado de forma activa.

Como un límite teórico de la realización de códigos, se conoce el denominado límite de Shannon implicado por el así denominado teorema de codificación de canales de Shannon (C.E. Shannon). La investigación sobre las teorías de

20 codificación se ha realizado para la finalidad de desarrollar códigos que presentan una ejecución cercana a este límite de Shannon. En los últimos años, como un método de codificación que presenta una ejecución cercana al límite de Shannon, a modo de ejemplo, se han desarrollado técnicas para lo que se suele denominar "codificación turbo", tal como

25 códigos convolucionales concatenados paralelos (PCCC) y códigos convolucionales concatenados en serie (SCCC). Además, mientras se ha desarrollado esta codificación turbo, los códigos de control de paridad de baja densidad (en adelante referidos como "código LDPC"), que es un método de codificación que ha sido conocido durante un largo periodo de tiempo, han atraído la atención.

Los códigos LDPC fueron propuestos primero en R.G. Gallager, "Códigos de Control de Parida de Baja Densidad", Cambridge, Massachusetts: M.I. T. Press, 1963. Más adelante, los códigos LDPC volvieron a atraer la atención en el

30 Documento D. J.C. MacKay, "Códigos de corrección de errores adecuados basados en matrices muy escasas de elementos", presentado a IEEE Trans. Inf. Theory, IT-45, páginas 399-431, 1999 y M. G. Luby, M. Mitzenmacher, M. A. Shokrollahi y D. A. Spielman, "Análisis de códigos de baja densidad y diseños mejorados utilizando gráficos irregulares", en Proceedings of ACM Symposium on Theory of Computing, páginas 249-258, 1998.

A partir de esta reciente investigación comienza a conocerse que, para los códigos LDPC, a medida que aumenta la longitud del código, se puede obtener un rendimiento próximo al límite de Shannon, de forma similar a la denominada

40 codificación turbo. Además, puesto que los códigos LDPC tienen la propiedad de que la longitud mínima es proporcional a la longitud del código, tienen las ventajas operativas de que las características de la probabilidad de errores de bloques son buenas y un así denominado fenómeno de límite inferior de errores, que se observa en las características de decodificación de la codificación turbo, es difícil que ocurra.

Dichos códigos LDPC se describirán a continuación, en detalle. Los códigos LDPC son códigos lineales y no siempre

45 necesitan ser bidimensionales, pero aquí se proporciona una descripción suponiendo que los códigos LDPC son bidimensionales.

Las principales características de los códigos LDPC son que la matriz de control de paridad, que define los códigos, LDPC es escasa de elementos. En este caso, una matriz escasa se forma que tal manera que el número de '1' en los

50 elementos de la matriz es muy pequeño. Si la matriz de control escasa se indica como H, sus ejemplos incluyen una matriz de control en la que, según se ilustra en la Figura 1, el peso de ponderación de Hamming de cada columna (número de '1'; peso) es "3" y el peso de Hamming de cada fila es "6".

Según se describió anteriormente, los códigos LDPC definidos por la matriz de control H, en donde el peso de Hamming de cada fila y de cada columna es fijo, se denominan "códigos LDPC regulares". Por otro lado, los códigos LDPC

55 definidos por una matriz de control H en donde el peso de Hamming de cada fila y de cada columna no es fijo, se denominan "códigos LDPC irregulares".

La codificación por dichos códigos LDPC se realiza generando una matriz de generación G sobre la base de la matriz de control H y generando una palabra de código multiplicando esta matriz de generación G por un mensaje de información

60 bidimensional. Más concretamente, un aparato de codificación para realizar la codificación mediante códigos LDPC calcula una matriz de generación G en donde la ecuación $GH^T = 0$ se mantiene con una matriz de transposición H^T de la matriz de control H. En este caso, cuando la matriz de generación G es una matriz $k \times n$, el aparato de codificación multiplica la matriz de generación G por un mensaje de información de k bits (vector u) y genera una palabra de código

65 de n bits c ($c = uG$). La palabra de código generada por este aparato de codificación se transmite con el bit de código cuyo

valor es "0" siendo objeto de mapeado a "+1" y el bit de código cuyo valor es "1" siendo objeto de mapeado a "-1" y se recibe en el lado de recepción a través de un canal de comunicación predeterminado.

Por otro lado, la decodificación de los códigos LDPC se puede realizar mediante un algoritmo de paso de mensajes mediante la propagación de creencia en un así denominado gráfico de Tanner, que está constituido por un nodo de variable (también denominado un nodo de mensaje) y un nodo de control; este algoritmo de paso de mensaje fue propuesto por Gallager y es conocido como "decodificación probabilística". En adelante, los nodos de variables y los nodos de control se refieren también simplemente como nodos, en donde sea adecuado.

Sin embargo, en la decodificación probabilística, puesto que los mensajes intercambiados entre nodos son valores de números reales, con el fin de encontrar una solución analítica, es necesario efectuar un seguimiento de la distribución de probabilidad del mensaje que toma un valor continuo. Esto necesita un análisis que implica un alto grado de dificultad. En consecuencia, Gallager ha propuesto un algoritmo A o un algoritmo B como un algoritmo para decodificar códigos LDPC.

En general, la decodificación de los códigos LDPC se realiza en conformidad con el procedimiento ilustrado en la Figura 2. En este caso, el valor de recepción se indica como U_0 (u_{0i}), la salida del mensaje desde el nodo de control se indica como u_i y la salida de mensaje desde el nodo de variable se indica como v_i . En este caso, el mensaje es un valor de número real tal como el "0" – semejanza del valor se representa por una así denominada ratio de probabilidad logarítmica.

En la decodificación de los códigos LDPC, inicialmente, según se ilustra en la Figura 2, en la etapa S11, se recibe el valor de recepción u_0 (u_{0i}), se inicializa a 0 el mensaje u_j y una variable k que toma un valor entero como un contador para un proceso iterativo se inicializa a 0. A continuación, el proceso prosigue con la etapa S12. En la etapa S12, basada en el valor u_0 (u_{0i}) recibido, se determina un mensaje v_i realizando un cálculo representado en la ecuación (1). Además, sobre la base de este mensaje v_i , se determina un mensaje u_j realizando un cálculo representado en la ecuación (2).

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j \quad \dots (1)$$

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots (2)$$

En este caso, d_v y d_c , en las ecuaciones (1) y (2) son parámetros, respectivamente, que indican el número de '1' en la dirección vertical (en la dirección de filas) y en la dirección horizontal (en la dirección de columnas) de la matriz de control H y que se pueden seleccionar según se desee. A modo de ejemplo, en el caso de un código (3, 6), $d_v = 3$ y $d_c = 6$.

En el cálculo de cada una de las ecuaciones (1) y (2), puesto que la entrada del mensaje desde un borde desde el que procede un mensaje no se utiliza como un parámetro para un cálculo de suma o producto, la gama del cálculo de suma o producto es desde 1 a $d_v - 1$ o 1 a $d_c - 1$. En la práctica, el cálculo indicado en la ecuación (2) se realiza creando, por anticipado, una tabla de una función $R(v_1, v_2)$, representada en la ecuación (3), que se define con una salida con respecto a dos entradas v_1 y v_2 y utilizando esta tabla continuamente (de forma recursiva), según se representa en la ecuación (4).

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \quad \dots (3)$$

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))) \quad \dots (4)$$

En la etapa S12 además, la variable k se aumenta en 1 y el proceso prosigue luego con la etapa S13. En la etapa S13, se determina si la variable k es, o no, mayor que o igual a un número predeterminado N de decodificaciones iterativas. Cuando se determina, en la etapa S13, que la variable k no es mayor que o igual a N , el proceso retorna a la etapa S12 y se realiza de nuevo el procesamiento idéntico.

Cuando se determina, en la etapa S13, que la variable k es mayor que o igual a N , el proceso prosigue con la etapa S14, en donde el mensaje v que sirve como el resultado decodificado, que es finalmente objeto de salida como un resultado de realizar el cálculo representado en la ecuación (5), se determina y se proporciona a la salida. Con esta operación concluye el proceso de decodificación de los códigos LDPC.

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \quad \dots (5)$$

En este caso, a diferencia del cálculo de la ecuación (1), el cálculo de la ecuación (5) se realiza utilizando los mensajes de entrada desde todos los bordes conectados a los nodos de variables.

En dicha decodificación de códigos LDPC, a modo de ejemplo, en el caso del código (3, 6), según se indica en la Figura 3, se intercambian mensajes entre nodos. En el nodo (nodo de variable) indicado por el "=" en la Figura 3, se realiza el cálculo representado en la ecuación (1). En el nodo indicado por "+" (nodo de control), se realiza el cálculo representado en la ecuación (2). En particular, en el algoritmo A, el mensaje se forma para ser bidimensional; en el nodo indicado por "+", se realiza un cálculo de la función lógica OR exclusiva de $d_c - 1$ mensajes de entrada y en el nodo indicado por "=", con respecto al valor R recibido, cuando todos los $d_v - 1$ mensajes de entrada son valores de bits diferentes, se invierte el signo y se proporciona a la salida.

Además, en los últimos años, se ha realizado una investigación sobre un método de puesta en práctica de la decodificación de códigos LDPC. Antes de describir el método de puesta en práctica, la decodificación de códigos LDPC se describe de una forma esquemática.

La Figura 4 representa un ejemplo de una matriz de control de paridad de (3, 6) códigos LDPC (una tasa de codificación de 1/2, una longitud de código de 12). La matriz de control de paridad de códigos LDPC puede ser objeto de escritura utilizando un gráfico de Tanner, según se representa en la Figura 5. En la Figura 5, los nodos indicados por "+" son nodos de control y los nodos indicados por "=" son nodos de variables. Los nodos de control y los nodos de variables corresponden a las filas y las columnas de la matriz de control de paridad, respectivamente. La línea de conexión entre el nodo de control y el nodo de variable es un borde y corresponde a "1" de la matriz de control. Es decir, cuando el elemento de la j-ésima fila y la i-ésima columna de la matriz de control es 1, en la Figura 5, el i-ésimo nodo de variable (nodo de "=") desde la parte superior y el j-ésimo nodo de control (nodo de "+") desde la parte superior se conectan entre sí con un borde. El borde indica que el bit de signo correspondiente al nodo de variable tiene una condición restrictiva correspondiente al nodo de control. La Figura 5 representa un gráfico de Tanner de la matriz de control de la Figura 4.

En el algoritmo de suma-producto, que es un método de decodificación de códigos LDPC, el cálculo del nodo de variable y el cálculo del nodo de control se realizan de forma repetida.

En el nodo de variable, según se ilustra en la Figura 6, se realiza el cálculo de la ecuación (1). Es decir, en la Figura 6, el mensaje v_i correspondiente al borde a calcularse es objeto de cálculo utilizando los mensajes u_1 y u_2 procedentes de los bordes restantes conectados al nodo de variable y la información u_{0i} recibida. Los mensajes correspondientes a los otros bordes se calculan también de forma similar.

Antes de describir el cálculo del nodo de control, la ecuación (2) se expresa de nuevo como se indica en la ecuación (6) utilizando la ecuación $a \times b = \exp \{ \ln(|a|) + \ln(|b|) \} \times \text{sign}(a) \times \text{sign}(b)$, en donde (x) es 1 cuando ≥ 0 y es -1 cuando $x < 0$.

$$\begin{aligned} u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\ &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\ &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \\ &\dots (6) \end{aligned}$$

Además, en el caso de $x \geq 0$, cuando se realiza la definición $\phi(x) = \ln(\tanh(x/2))$ puesto que $\phi^{-1}(x) = 2 \tanh^{-1}(e^x)$, la ecuación (6) se puede escribir como la ecuación (7).

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \quad \dots (7)$$

En el nodo de control, según se indica en la Figura 7, se realiza el cálculo de la ecuación (7). Es decir, en la Figura 7, el mensaje u_j correspondiente al borde para el que ha de realizarse un cálculo se calcula utilizando los mensajes v_1, v_2, v_3, v_4 y v_5 procedentes de los bordes restantes conectados al nodo de control. Los mensajes correspondientes a los otros bordes se calculan también de forma similar.

La función $\phi(x)$ puede expresarse como $\phi(x) = \ln((e^x + 1) / (e^x - 1))$, y cuando $x > 0$, $\phi(x) = \phi^{-1}(x)$. Cuando las funciones $\phi(x)$ y $\phi^{-2}(x)$ se ponen en práctica como hardware, existen casos en los que se ponen en práctica utilizando una LUT (Tabla de Consulta) y ambas son la misma LUT.

Cuando el algoritmo de suma-producto se pone en práctica como hardware, es necesario realizar, de forma repetida, el cálculo de nodos de variables expresado por la ecuación (1) y el cálculo de nodos de control expresado por la ecuación (7) con una escala circuital adecuada y a una frecuencia operativa adecuada.

A modo de ejemplo de la puesta en práctica del aparato de decodificación, se proporciona primero una descripción de un método de puesta en práctica de un caso en donde la decodificación se realiza efectuando simplemente el cálculo de cada nodo, uno a uno, en secuencia (decodificación serie completa).

Se supone, en este caso, que, a modo de ejemplo, los códigos (una tasa de código de 2/3 y una longitud de código de 90) representados por una matriz de control de 30 (filas) x 90 (columnas), representada en la Figura 8, son objeto de decodificación. El número de '1' de la matriz de control de la Figura 8 es 269; por lo tanto, en el gráfico de Tanner, el número de bordes se hace de 269. En este caso, en la matriz de control de la Figura 8, 0 se representa por ".".

La Figura 9 representa, a modo de ejemplo, la configuración de un aparato de decodificación para decodificar códigos LDPC una vez.

En el aparato de decodificación de la Figura 9, se calcula un mensaje correspondiente a un borde para cada frecuencia de reloj a la que opera.

Más concretamente, el aparato de decodificación de la Figura 9 incluye dos memorias 100 y 102 para bordes, un calculador de nodos de control 101 y un calculador de nodos de variables 103, una memoria 104 para recepción y una sección de control 105.

En el aparato de decodificación representado en la Figura 9, datos de mensajes son objeto de lectura, uno a uno, desde la memoria 100 o 102 para bordes y utilizando los datos de mensajes, se calculan los datos de mensajes correspondientes al borde deseado. A continuación, los datos de mensajes determinados por ese cálculo se memorizan, uno a uno, en la memoria 100 o 102 para bordes en una etapa subsiguiente. Cuando ha de realizarse una decodificación iterativa, la decodificación iterativa se realiza concatenando, en serie, una pluralidad de los aparatos de decodificación representados en la Figura 9 para decodificar códigos LDPC una vez o utilizando, de forma repetida, el aparato de decodificación según se ilustra en la Figura 9. En este caso, se supone que, a modo de ejemplo, están conectados una pluralidad de los aparatos de decodificación ilustrados en la Figura 9.

La memoria 100 para bordes memoriza los mensajes D100 suministrados desde el calculador de nodos de variables 103 del aparato de decodificación (no ilustrado) en una etapa anterior en el orden en el que son objeto de lectura por el calculador de nodos de control 101 en una etapa posterior. A continuación, en la fase del cálculo del nodo de control, la memoria 100 para bordes suministra, al calculador de nodos de control 101, los mensajes D100 como una salida de mensajes D101 en el orden en el que están memorizados.

Sobre de la base de la señal de control D106 suministrada desde la sección de control 105, el calculador de nodos de control 101 realiza un cálculo en conformidad con la ecuación (7) utilizando el mensaje D101 suministrado desde la memoria 100 para bordes y suministra un mensaje D102 determinado por ese cálculo a la memoria 102 para bordes en una etapa posterior.

La memoria 102 para bordes memoriza los mensajes D102 suministrados desde el calculador de nodos de control 101 en una etapa anterior en el orden en el que son objeto de lectura por el calculador de nodos de variables 103 en una etapa posterior. A continuación, en la fase del cálculo de nodos de variables, la memoria 102 para bordes suministra el mensaje D102 como un mensaje D103 al calculador de nodos de variables 103 en el orden en el que son memorizados.

Además, una señal de control D107 se suministra al calculador de nodos de variables 103 desde la sección de control 105 y los datos recibidos D104 se le suministran desde la memoria 104 para recepción. Sobre la base de una señal de control D107, el calculador de nodos de variables 103 realiza un cálculo en conformidad con la ecuación (1) utilizando el mensaje D103 suministrado desde la memoria 100 para bordes y los datos recibidos D104 suministrados desde la memoria 100 para recepción y suministra un mensaje D105 obtenido como resultado del cálculo para la memoria 100 para bordes, del aparato de decodificación (no ilustrado) en una etapa posterior.

En la memoria 104 para recepción, los datos recibidos (códigos LDPC) que se convierten en códigos LDPC, son objeto de memorización. La sección de control 105 suministra una señal de control D106 para controlar un cálculo de nodos de variables y una señal de control D107 para controlar un cálculo de nodos de control para el calculador de nodos de control 101 y el calculador de nodos de variables 103, respectivamente. La sección de control 105 suministra la señal de control D106 al calculador de nodos de control 101 cuando los mensajes de todos los bordes se guardan en la memoria 100 para bordes y la sección de control 105 suministra la señal de control D107 al calculador de nodos de variables 103 cuando los mensajes de todos los bordes se guardan en la memoria 102 para bordes.

La Figura 10 representa, a modo de ejemplo, la configuración del calculador de nodos de control 101, representado en la Figura 9 para realizar los cálculos de nodos de control, uno a uno.

En la Figura 10, el calculador de nodos de control 101 se ilustra suponiendo que cada mensaje, junto con el bit de signo, es objeto de cuantización en un total de seis bits. Además, en la Figura 10, se realiza un cálculo de nodos de control de códigos LDPC representados por la matriz de control de la Figura 8. Además, una señal de reloj ck se suministra al calculador de nodos de control 101 de la Figura 10, siendo esta señal de reloj ck suministrada a los bloques necesarios. Cada bloque realiza el procesamiento en sincronización con la señal de reloj ck .

Sobre la base, a modo de ejemplo, de una señal de control de 1 bit D106 suministrada desde la sección de control 105, el calculador de nodos de control 101, representado en la Figura 10, realiza los cálculos en conformidad con la ecuación (7) utilizando los mensajes D101 que son objeto de lectura, uno a uno, desde la memoria 100 para bordes.

Más concretamente, en el calculador de nodos de control 101, los mensajes de 6 bits D101 (mensajes v_i) procedentes del nodo de variables, correspondiente a cada columna de la matriz de control, son objeto de lectura, uno a uno, mientras que el valor absoluto D122 ($|v_i|$), que es los bits de más bajo orden, se suministra a la LUT 121 y un bit de signo D121, que es el bit de más alto orden, se suministra a un circuito EXOR 129 y a una memoria FIFO (Primero en entrar, primero en salir) 133, respectivamente. Además, la señal de control D106 se suministra al calculador de nodos de control 101 desde la sección de control 105 y la señal de control D106 se suministra a un selector 124 y a un selector 131.

La LUT 121 realiza la lectura de un resultado de cálculo de 5 bits D123 ($\phi(|v_i|)$) de modo que el cálculo de $\phi(|v_i|)$ en la ecuación (7) se realiza sobre el valor absoluto D122 ($|v_i|$) y lo suministra a un dispositivo sumador 122 y una memoria FIFO 127.

El dispositivo sumador 122 integra los resultados del cálculo D123 sumando juntos los resultados de los cálculos D123 ($\phi(|v_i|)$) y un valor de 9 bits D124 memorizado en un registro 123 y memoriza el valor de integración de 9 bits obtenido en el registro 123 de nuevo. Cuando los resultados del cálculo para los valores absolutos D122 ($|v_i|$) de los mensajes D101 desde todos los bordes a través de una fila de la matriz de control son integrados, el registro 123 es objeto de reposición operativa.

Cuando los mensajes D101 a través de una fila de la matriz de control son objeto de lectura, uno a uno, y el valor integrado, de modo que los resultados del cálculo D123 para una sola fila se memorice en el registro 123, la señal de control D106 suministrada desde la sección de control 105 cambia desde 0 a 1. A modo de ejemplo, cuando el peso de ponderación de fila es "9", la señal de control D106 se pone a "0" en la primera a octava señales de reloj y es "1" en la novena señal de reloj.

Cuando la señal de control D106 es "1", el selector 124 selecciona el valor memorizado en el registro 123, es decir, el valor de 9 bits D124 ($\sum \phi(|v_i|)$ desde $i = 1$ a $i = d_c$) tal como $\phi(|v_i|)$ que se determina a partir de los mensajes D101 (mensajes v_i) desde todos los bordes a través de una sola fila de la matriz de control y proporciona, a la salida, el valor como un valor D125 a un registro 125, en donde se memoriza. El registro 125 suministra el valor memorizado D125 como un valor de 9 bits D126 al selector 124 y al dispositivo sumador 126. Cuando la señal de control D106 es "0", el selector 124 selecciona el valor D126 suministrado desde el registro 125 y proporciona, a la salida, el valor al selector 124, en donde se memoriza de nuevo. Es decir, hasta que se integren los $\phi(|v_i|)$ determinados desde los mensajes D101 (mensajes v_i) procedentes de todos los bordes a través de una sola fila de la matriz de control, el registro 125 suministra el valor $\phi(|v_i|)$ anteriormente integrado al selector 124 y al dispositivo sumador 126.

Por otro lado, la memoria FIFO 127 retarda los resultados del cálculo D123 ($\phi(|v_i|)$), a la salida, por la LUT 121 hasta que se obtenga, a la salida, desde el registro 125 un nuevo valor D126 ($\sum \phi(|v_i|)$ desde $i = 1$ a $i = d_c$) y lo suministra como un valor de 5 bits D127 a un dispositivo restador 126. El dispositivo restador 126 sustrae, desde el valor D126 suministrado desde el registro 125, el valor D127 suministrado desde la memoria FIFO 127 y suministra el resultado sustraído como un valor sustraído de 5 bits D128 a la LUT 128. Es decir, el dispositivo restador 126 sustrae $\phi(|v_i|)$ determinado desde los mensajes D101 (mensajes v_i) desde el borde a determinarse, a partir del valor integrado de $\phi(|v_i|)$ determinado desde los mensajes D101 (mensajes v_i) desde todos los bordes a través de una sola fila de la matriz de control y suministra el valor sustraído ($\sum \phi(|v_i|)$ desde $i = 1$ a $i = d_c - 1$) como un valor sustraído D128 a la LUT 128.

La LUT 128 proporciona, a la salida, los resultados del cálculo de 5 bits D129 ($\phi^{-1}(\sum \phi(|v_i|))$) de modo que el cálculo de $\phi^{-1}(\sum \phi(|v_i|))$ en la ecuación (7), se realice sobre el valor sustraído D128 ($\sum \phi(|v_i|)$ desde $i = 1$ a $i = d_c - 1$).

En paralelo con el procesamiento anterior, el circuito EXOR 129 realiza una multiplicación de bits de signo calculando la función OR exclusiva de un valor de 1 bit D131 memorizado en un registro 130 y el bit de signo D121 y memoriza el resultado de la multiplicación de 1 bit D130 en el registro 130 de nuevo. Cuando los bits de signos D121 del mensaje D101, desde todos los bordes a través de una sola fila de la matriz de control, se multiplican, se realiza la reposición del registro 130.

Cuando los resultados multiplicados D130 ($\prod \text{sign}(v_i)$ desde $i = 1$ a d_c) de modo que los bits de signos D121 de los mensajes D101, desde todos los bordes a través de una fila de la matriz de control, se multipliquen y se memoricen, la señal de control D106 suministrada desde la sección de control 105 cambia desde "0" a "1".

Cuando la señal de control D106 es "1", el selector 131 selecciona el valor memorizado en el registro 130, es decir, el valor D131 ($\prod \text{sign}(v_i)$ desde $i = 1$ a $i = d_c$), de modo que los bits de signos D121 de los mensajes D101 desde todos los bordes, a través de una fila de la matriz de control, sean multiplicados y se proporciona, a la salida, el valor como un valor de 1 bit D133 a un registro 132, en donde se memoriza. El registro 132 suministra el valor memorizado D132 como un valor de 1 bit D132 al selector 131 y al circuito de función lógica EXOR 134. Cuando la señal de control D106 es "0", el selector 131 selecciona un valor D133 suministrado desde el registro 132 y proporciona, a la salida, el valor al registro 132, en donde se memoriza de nuevo. Es decir, hasta que se multipliquen los bits de signo D121 de los mensajes D101 (mensajes v_i) desde todos los bordes a través de una fila de la matriz de control, el registro 132 suministra el valor memorizado, en el tiempo anterior, al selector 131 y al circuito EXOR 134.

Por otro lado, la memoria FIFO 133 retarda los bits de signo D121 hasta que un nuevo valor D133 ($\prod \text{sign}(v_i)$ desde $i = 1$ a $i = d_c$) se suministre desde el registro 132 al circuito EXOR 134 y suministre el resultado como un valor de 1 bit D134 al circuito EXOR 134. El circuito EXOR 134 divide el valor D133 por el valor D134 calculando la función OR exclusiva del valor D133 suministrado desde el registro 132 y el valor D134 suministrado desde la memoria FIFO 133 y proporciona, a la salida, un resultado dividido de 1 bit como un valor dividido D135. Es decir, el circuito EXOR 134 divide el valor de multiplicación de los bits de signo D121 ($\text{sign}(\prod v_i)$) de los mensajes D101 desde todos los bordes a través de una fila de la matriz de control por los bits de signos D121 ($\text{sign}(\prod v_i)$) de los mensajes D101 desde el borde que se va a determinar y proporciona, a la salida, el valor dividido ($\prod \text{sign}(\prod v_i)$ desde $i = 1$ a $i = d_c - 1$) como un valor dividido D135.

En el calculador de nodos de control 101, un total de seis bits tal como el resultado del cálculo de 5 bits D129 procedente de la LUT 128 es los 5 bits de más bajo orden y el valor dividido de 1 bit D135 a la salida desde el circuito EXOR 134 es el bit de más alto orden que se proporciona, a la salida, como un mensaje D102 (mensaje u_j).

Según se describió anteriormente, en el calculador de nodos de control 101, se realiza el cálculo de la ecuación (7) y se determina un mensaje u_j .

Puesto que el máximo del peso de ponderación de fila de la matriz de control de la Figura 8 es 9, es decir, puesto que el número máximo de los mensajes suministrados al nodo de control es 9, el calculador de nodos de control 101 tiene una memoria FIFO 127 y la memoria FIFO 133 para retardar nueve mensajes ($\varphi(\prod v_i)$). Cuando ha de calcularse un mensaje de la fila cuyo peso de ponderación es menor que 9, la magnitud del retardo en la memoria FIFO 127 y la memoria FIFO 133 se reduce al valor del peso de ponderación de fila.

La Figura 11 representa, a modo de ejemplo, la configuración del calculador de nodos de variables 103 representado en la Figura 9, para realizar cálculos de nodos de variables, uno a uno.

En la Figura 11, el calculador de nodos de variables 103 se representa suponiendo que cada mensaje, junto con el bit de signo, es objeto de cuantización en un total de seis bits. En la Figura 11, el cálculo de nodos de variables de códigos LDPC que se representa por la matriz de control de la Figura 8 es realizado en esta etapa. Además, una señal de reloj ck se suministra al calculador de nodos de variables 103 de la Figura 11 y la señal de reloj ck se suministra a los bloques necesarios. Cada bloque realiza el procesamiento en sincronización con la señal de reloj ck .

Sobre la base de, a modo de ejemplo, una señal de control de 1 bit D107 suministrada desde la sección de control 105, el calculador de nodos de variables 103 de la Figura 11 realiza cálculos en conformidad con la ecuación (1) utilizando los mensajes D103 que son objeto de lectura, uno a uno, desde la memoria 102 para bordes y los datos recibidos D104 que son objeto de lectura desde la memoria 104 para recepción.

Más concretamente, en el calculador de nodos de variables 103, mensajes de 6 bits D103 (mensajes u_j), desde el nodo de control correspondiente a cada fila de la matriz de control, es objeto de lectura, uno a uno, y los mensajes D103 se suministran al dispositivo sumador 151 y a la memoria FIFO 155. Además, en el calculador de nodos de variables 103, los datos recibidos de 6 bits D104 son objeto de lectura, uno a uno, desde la memoria 104 para recepción y se suministran al dispositivo sumador 156. Además, una señal de control D107 se suministra al calculador de nodos de variables 103 desde la sección de control 105 y la señal de control D107 se suministra a un selector 153.

El dispositivo sumador 151 integra los mensajes D103 sumando juntos los mensajes D103 (mensajes u_j) y un valor de 9 bits D151 memorizado en el registro 152 y memoriza el valor integrado de 9 bits en el registro 152 de nuevo. Cuando el

mensaje D103 desde todos los bordes a través de una fila de la matriz de control es objeto de integración, se efectúa la reposición del registro 152.

- 5 Cuando los mensajes D103, desde todos los bordes a través de una fila de la matriz de control, son objeto de lectura, uno a uno, y el valor tal como los mensajes D103 para una columna están integrados, se memoriza en el registro 152, la señal de control D107 suministrada desde la sección de control 105 cambia desde "0" a "1". A modo de ejemplo, cuando el peso de ponderación de columna es "5", la señal de control D107 es "0" en la primera señal de reloj hasta la cuarta señal de reloj y es "0" en la quinta señal de reloj.
- 10 Cuando la señal de control D107 es "1", el selector 153 selecciona el valor memorizado en el registro 152, es decir, un valor de 9 bits D151 ($\sum u_j$ desde $j = 1$ a d_v), de modo que los mensajes D103 (mensajes u_j) desde todos los bordes a través de una fila de la matriz de control sean integrados y proporciona, a la salida, el valor al registro 154, en donde se memoriza. El registro 154 suministra el valor memorizado D151 como un valor de 9 bits D152 al selector 153 y al dispositivo sumador-restador 156.
- 15 Cuando la señal de control D107 es "0", el selector 153 selecciona un valor D152 suministrado desde el registro 154 y proporciona, a la salida, el valor a un registro 154, en donde se memoriza de nuevo. Es decir, hasta que se integren los mensajes D103 (mensajes u_j) desde todos los bordes a través de una fila de la matriz de control, el registro 154 suministra el valor anteriormente integrado al selector 153 y al dispositivo sumador-restador 156.
- 20 Por otro lado, la memoria FIFO 155 retarda el mensaje D103 desde el nodo de control hasta un nuevo valor D152 ($\sum u_j$ desde $j = 1$ a d_v) sea objeto de salida desde el registro 154 y lo suministra como un valor de 6 bits D153 al dispositivo sumador-restador 156. El dispositivo sumador-restador 156 sustrae el valor D153 suministrado desde la memoria FIFO 155, desde el valor D152 suministrado desde el registro 154. Es decir, el dispositivo sumador-restador 156 sustrae el mensaje u_j desde el borde a determinarse, desde el valor integrado del mensaje D103 (mensajes u_j) desde todos los
- 25 bordes a través de una fila de la matriz de control y determina el valor sustraído ($\sum u_j$ desde $j = 1$ a $d_v - 1$). Además, el dispositivo sumador-restador 156 añade los datos recibidos D104 suministrados desde la memoria 104 para recepción al valor sustraído ($\sum u_j$ desde $j = 1$ a $d_v - 1$), y proporciona, a la salida, el valor de 6 bits obtenido, de este modo, como un mensaje D105 (mensaje v_i).
- 30 Según se describió anteriormente, en el calculador de nodos de variables 103, se realiza el cálculo de la ecuación (1) y se determina el mensaje v_i .
- Puesto que el máximo del peso de ponderación de columna de la matriz de control de la Figura 8 es 5, es decir, puesto que el número máximo de los mensajes suministrados al nodo de variable es 5, el calculador de nodos de variables 103
- 35 tiene una memoria FIFO 155 para retardar cinco mensajes (u_j). Cuando un mensaje de una columna cuyo peso de ponderación es menor que 5 ha de calcularse, la magnitud del retardo en la memoria FIFO 155 se reduce al valor del peso de ponderación de la columna.
- En el aparato de decodificación representado en la Figura 9, se suministra una señal de control desde la sección de control 105 en función del peso de ponderación de la matriz de control. Según el aparato de decodificación de la Figura 9, si solamente las capacidades de las memorias para bordes 100 y 102 y las memorias FIFO 127, 133 y 155 del calculador de nodos de control 101 y el calculador de nodos de variables 103 son suficientes, pueden decodificarse
- 40 códigos LDPC de varias matrices de control cambiando solamente la señal de control.
- 45 Aunque no se ilustra, en el aparato de decodificación de la Figura 9, en la etapa final de la decodificación, en lugar del cálculo de nodos de variables de la ecuación (1), se realiza el cálculo de la ecuación (5) y el resultado del cálculo es objeto de salida como el resultado decodificado final.
- Cuando se decodifican los códigos LDPC utilizando, de forma repetida, el aparato de decodificación de la Figura 9, el cálculo de los nodos de control y el cálculo de los nodos de variables se realiza de forma alternativa. Es decir, en el
- 50 aparato de decodificación de la Figura 9, se realiza un cálculo de nodos de variables por el calculador de nodos de variables 103 utilizando el resultado del cálculo de nodos de control por el calculador de nodos de control 101 y se realiza un cálculo de nodos de control por el calculador de nodos de control 101 utilizando el resultado del cálculo de nodos de variables por el calculador de nodos de variables 103.
- 55 Por lo tanto, para realizar una decodificación utilizando la matriz de control que tiene 269 bordes de la Figura 8, $269 \times 2 = 538$ señales de reloj se requieren. A modo de ejemplo, para poder realizar 50 decodificaciones iterativas, $538 \times 50 = 26900$ operaciones de reloj son necesarias, mientras que una trama en la que se establecen 90 códigos (datos recibidos) como una sola trama, que es la longitud del código, se recibe y por lo tanto, se hace necesaria una operación de alta
- 60 velocidad de aproximadamente 300 (aproximadamente $26900/90$) veces tan alta como la frecuencia de recepción. Si la frecuencia de recepción se supone que es de varias decenas de MHz, se requiere la operación a una velocidad del orden de GHz o superior.
- Además, en un caso en donde, a modo de ejemplo, 50 aparatos de decodificación, según se ilustra en la Figura 9, están concatenados para decodificar códigos LDPC, se pueden realizar simultáneamente una pluralidad de cálculos de nodos de variables y de cálculos de nodos de control. A modo de ejemplo, mientras se realiza un cálculo de nodos de variables
- 65

de la primera trama, se realiza un cálculo de nodos de control de la segunda trama y se realiza un cálculo de nodos de variables de la tercera trama. En este caso, mientras se reciben 90 códigos, puesto que necesita calcularse 269 bordes, el aparato de decodificación necesita operar a una frecuencia aproximada de 3 (aprox. 269/90) veces tan alta como la frecuencia de recepción y de este modo, la realización es suficientemente posible. Sin embargo, en este caso, la escala del circuito se hace, en términos simples, 50 veces tan grande como el aparato de decodificación de la Figura 9.

A continuación, se proporciona una descripción del método de puesta en práctica del aparato de decodificación en un caso en donde se realiza la decodificación mediante la realización simultánea de cálculos de todos los nodos (decodificación en paralelo completa).

Este método de puesta en práctica se describe en, a modo de ejemplo, en el documento de C. Howland y A. Blanksby, "Arquitecturas de decodificación en paralelo para códigos de control de paridad de baja densidad", Symposium sobre circuitos y sistemas, 2001.

Las Figuras 12A a 12C representan la configuración de formas de realización, a modo de ejemplo, del aparato de decodificación para decodificar los códigos (una tasa de codificación de 2/3 y una longitud de código de 90) representados por la matriz de control de la Figura 8. La Figura 12A representa la configuración global del aparato de decodificación. La Figura 12B representa la configuración detallada de la parte superior en la Figura rodeada por la línea de puntos B del aparato de decodificación de la Figura 12A. La Figura 12C representa la configuración detallada de la parte inferior en la Figura rodeada por la línea de puntos C del aparato de decodificación de la Figura 12A.

El aparato de decodificación de las Figuras 12A a 12C incluye una memoria 205 para recepción, dos dispositivos de intercambio de bordes 200 y 203, dos memorias 202 y 206 para bordes, un calculador de nodos de control 201 constituido por 30 calculadores de nodos de control 201₁ a 201₃₀ y un calculador de nodos de variables 204 constituido por 90 calculadores de nodos de variables 204₁ a 204₉₀.

En el aparato de decodificación de las Figuras 12A a 12C, todos los datos de mensajes correspondientes a 269 bordes son objeto de lectura simultánea desde la memoria 202 o 206 para bordes y utilizando los datos de mensajes, se calcula nuevos datos de mensajes correspondientes a los 269 bordes. Además, todos los datos de mensajes nuevos determinados como resultado del cálculo se memorizan simultáneamente en la memoria 206 o 202 para bordes en una etapa posterior. Utilizando, de forma repetida, el aparato de decodificación de las Figuras 12A a 12C, se realiza una decodificación iterativa. Cada sección se describirá a continuación en detalle.

La memoria 206 para bordes memoriza simultáneamente todos los mensajes D206₁ a D206₉₀ desde los calculadores de nodos de variables 204₁ a 204₉₀ en una etapa anterior, efectúa la lectura de los mensajes D206₁ a D206₉₀ como mensajes D207₁ a D207₉₀ en la siguiente señal de reloj (la temporización del siguiente reloj) y los suministra como mensajes D200 (D200₁ a D200₉₀) al dispositivo de intercambio de bordes 200 en la etapa posterior. El dispositivo de intercambio de bordes 200 redispone (intercambia) el orden de los mensajes D200₁ a D200₃₀ suministrados desde la memoria 206 para bordes en conformidad con la matriz de control de la Figura 8 y los suministra como mensajes D201₁ a D201₃₀ a los calculadores de nodos de control 201₁ a 201₃₀.

Los calculadores de nodos de control 201₁ a 201₃₀ realizan un cálculo en conformidad con la ecuación (7) utilizando los mensajes D201₁ a D201₃₀ suministrados desde el dispositivo de intercambio de bordes 200 y suministra los mensajes D202₁ a D202₃₀ obtenidos como resultado del cálculo a la memoria 202 para bordes.

La memoria 202 para bordes memoriza simultáneamente todos los mensajes D202₁ a D202₃₀ suministrados desde los calculadores de nodos de control 201₁ a 201₃₀ en la etapa anterior y en el momento siguiente, suministra todos los mensajes D202₁ a D202₃₀, como mensajes D203₁ a D203₃₀, al dispositivo de intercambio de bordes 203 en la etapa posterior.

El dispositivo de intercambio de bordes 203 redispone el orden de los mensajes D203₁ a D203₃₀ suministrados desde la memoria 202 para bordes en conformidad con la matriz de control de la Figura 8 y los suministra como mensajes D204₁ a D204₉₀ a los calculadores de nodos de variables 204₁ a 204₉₀.

Los calculadores de nodos de variables 204₁ a 204₉₀ realizan un cálculo en conformidad con la ecuación (1) utilizando los mensajes D204₁ a D204₉₀ suministrados desde el dispositivo de intercambio de bordes 203 y los datos recibidos D205₁ a D205₉₀ suministrados desde la memoria 205 para recepción y suministra los mensajes D206₁ a D206₉₀ obtenidos como resultado del cálculo a la memoria 206 para bordes en la etapa posterior.

La Figura 13 ilustra, a modo de ejemplo, la configuración de un calculador de nodos de control 201_m (m = 1, 2, ..., 30) de las Figuras 12A a 12C para realizar simultáneamente los cálculos de nodos de control.

En el calculador de nodos de control 201_m de la Figura 13, de forma similar al calculador de nodos de control 101 de la Figura 10, el cálculo de los nodos de control de la ecuación (7) se realiza y los cálculos del nodo de control se realizan simultáneamente para todos los bordes.

Más concretamente, en el calculador de nodos de control 201_m de la Figura 13, todos los mensajes $D221_1$ a $D221_9$ (v_i) desde el nodo de variable correspondiente a cada fila de la matriz de control de la Figura 8, que se suministran desde el dispositivo de intercambio de bordes 200 son objeto de lectura simultánea y los valores absolutos $D222_1$ a $D222_9$ ($|v_i|$) que son sus respectivos 5 bits de más bajo orden, se suministran a las LUTs 221_1 a 221_9 , respectivamente. Los bits de signo de 1 bit $D223_1$ a $D223_9$, que son los bits de más alto orden del mensaje $D221_1$ a $D221_9$ (v_i), se suministran a los circuitos EXOR 226_1 a 226_9 , respectivamente y también se suministran al circuito EXOR 225.

Las LUTs 221_1 a 221_9 efectúan la lectura de los resultados del cálculo de 5 bits $D224_1$ a $D224_9$ ($\phi(|v_i|)$) de modo que se realice el cálculo de $\phi(|v_i|)$ en la ecuación (7), respectivamente, sobre los valores absolutos de $D222_1$ a $D222_9$ ($|v_i|$), respectivamente y los suministra a los respectivos restadores 223_1 a 223_9 . Las LUTs 221_1 a 221_9 suministran los resultados de cálculos de $D224_1$ a $D224_9$ ($\phi(|v_i|)$) a un dispositivo sumador 222.

El dispositivo sumador 222 calcula la suma total de los valores de los resultados de cálculos $D224_1$ a $D224_9$ ($\phi(|v_i|)$) (la suma total de los resultados del cálculo para una sola fila) y suministra los resultados de cálculo de 9 bits $D225$ ($\sum \phi(|v_i|)$) desde $i = 1$ a 9) a los restadores 223_1 a 223_9 . Los dispositivos restadores 223_1 a 223_9 sustraen los resultados de cálculos $D224_1$ a $D224_9$ ($\phi(|v_i|)$) a partir de los resultados del cálculo $D225$, respectivamente, y suministra el valor sustraído de 5 bits $D227_1$ a $D227_9$ a las LUTs 224_1 a 224_9 . Es decir, los dispositivos restadores 223_1 a 223_9 sustraen $\phi(|v_i|)$ determinado a partir del mensaje v_i desde el borde que se va a determinar, a partir del valor integrado de $\phi(|v_i|)$ determinado desde el mensaje v_i desde todos los bordes y suministra los valores sustraídos $D227_1$ a $D227_9$ ($\sum \phi(|v_i|)$) desde $i = 1$ a 8) a las LUTs 224_1 a 224_9 , respectivamente. Las LUTs 224_1 a 224_9 efectúan la lectura de los resultados de cálculos de 5 bits $D228_1$ a $D228_9$, de modo que se realice el cálculo de $\phi^{-1}(\sum \phi(|v_i|))$ de la ecuación (7) sobre los valores sustraídos $D227_1$ a $D227_9$ y los proporcione a su salida.

Por otro lado, el circuito EXOR 225 realiza una multiplicación de los bits de signo $D223_1$ a $D223_9$ calculando la función OR exclusiva de todos los bits de signo $D223_1$ a $D223_9$ y suministra un valor de multiplicación de 1 bits $D226$ (valor de multiplicación de los bits de signo para una sola fila ($\prod \text{sign}(v_i)$ desde $i = 1$ a 9)) al respectivo circuito EXOR 226_1 a 226_9 . Calculando la función OR exclusiva del valor de la multiplicación $D226$ y los bits de signo $D223_1$ a $D223_9$, respectivamente, los circuitos EXOR 226_1 a 226_9 determinan los valores divididos de 1 bit $D229_1$ a $D229_9$ ($\prod \text{sign}(v_i)$ desde $i = 1$ a 8), de modo que el valor de multiplicación $D226$ se divida por los bits de signo $D223_1$ a $D223_9$, respectivamente, y los proporcione a la salida.

En el calculador de nodos de control 201_m , un total de seis bits tal como los resultados del cálculo de 5 bits $D228_1$ a $D228_9$ objeto de salida desde las LUTs 224_1 a 224_9 , se realizan cada uno para ser los cinco bits de más bajo orden y los valores divididos $D229_1$ a $D229_9$ procedentes de los circuitos EXOR 226_1 a 226_9 se hacen cada uno para ser el bit de más alto orden, a la salida, como mensajes $D230_1$ a $D230_9$ obtenidos como un resultado de cada cálculo de nodos de control.

En la manera anteriormente descrita, en el calculador de nodos de control 201_m , se realiza el cálculo de la ecuación (7) y se determina el mensaje u_j .

En la Figura 13, el calculador de nodos de control 201_m se representa suponiendo que cada mensaje, junto con el bit de signo, es objeto de cuantización para un total de seis bits. El circuito representado en la Figura 13 corresponde a un nodo de control. Para la matriz de control a procesarse en este caso en la Figura 8, puesto que los nodos de control de 30 filas, que es el número de sus filas, existen, el aparato de decodificación de las Figuras 12A a 12C tienen 30 calculadores de nodos de control 201_m representados en la Figura 13.

En el calculador de nodos de control 201_m de la Figura 13, se pueden calcular simultáneamente nueve mensajes. Para el peso de ponderación de fila de la matriz de control a procesarse en este caso en la Figura 8, el peso de ponderación de la primera fila es 8 y el peso de ponderación de la segunda fila es 9, es decir, existe un caso en el que el número de mensajes suministrados al nodo de control es 8 y existen nueve casos en los que el número de mensaje es 9. Por lo tanto, el calculador de nodos de control 201_1 tiene una configuración circuital capaz de calcular simultáneamente ocho mensajes de forma similar al circuito de la Figura 13 y los calculadores de nodos de control restantes 201_2 a 201_{30} se configuran de la misma manera que para el circuito de la Figura 13.

La Figura 14 representa, a modo de ejemplo, la configuración de un calculador de nodos de variables 204_p ($p = 1, 2, \dots, 90$) de las Figuras 12A a 12C para realizar simultáneamente cálculos de nodos de variables.

En los calculadores de nodos de variables 204_p de la Figura 14, de forma similar al calculador de nodos de variables 103 de la Figura 11, se realizan los cálculos de nodos de variables de la ecuación (1) y los cálculos de nodos de variables se realizan simultáneamente para todos los bordes.

Más concretamente, en los calculadores de nodos de variables 204_p de la Figura 14, todos los mensajes de 6 bits $D251_1$ a $D251_5$ (mensajes u_j) desde el nodo de control correspondiente a cada fila de la matriz de control, que se suministran desde el dispositivo de intercambio de bordes 203, son objeto de lectura simultánea y estos mensajes se suministran a los respectivos dispositivos sumadores 252_1 a 252_5 y se suministran también al dispositivo sumador 251. Además, los

datos recibidos D271 se suministran al calculador de nodos de variables 204_p desde la memoria 205 para recepción y los datos recibidos D271 se suministran a los dispositivos sumadores-restadores 252_1 a 252_5 .

El dispositivo sumador 251 integra todos los mensajes $D251_1$ a $D251_5$ (mensajes u_j) y suministra un valor integrado de 9 bits D252 (el valor de la suma total de mensajes para una sola columna ($\sum u_j$ desde $j = 1$ a 5)) a los dispositivos sumadores-restadores 252_1 a 252_5 . Los dispositivos sumadores-restadores 252_1 a 252_5 sustraen los mensajes $D251_1$ a $D251_5$ (mensajes u_j) desde el valor añadido D252, respectivamente, es decir, los dispositivos sumadores-restadores 252_1 a 252_5 sustraen los mensajes $D251_1$ a $D251_5$ (mensajes u_j) desde el borde a determinarse, a partir del valor integrado D252 en los mensajes u_j desde todos los bordes, respectivamente, y determinar el valor sustraído ($(\sum u_j$ desde $j = 1$ a 4)).

Además, los dispositivos sumadores-restadores 252_1 a 252_5 añaden los datos recibidos D271 (u_{0i}) al valor sustraído ($\sum u_j$ desde $j = 1$ a 4) y proporcionan, a la salida, valores añadidos de 6 bits D253 $_1$ a D253 $_5$ como los resultados de los cálculos de nodos de variables.

En la manera anteriormente descrita, en el calculador de nodos de variables 204_p , se realiza el cálculo de la ecuación (1) y se determina el mensaje v_i .

En la Figura 14, los calculadores de nodos de variables 204_p se muestran suponiendo que cada mensaje, junto con el bit de signo, es objeto de cuantización para seis bits. El circuito de la Figura 14 corresponde a un solo nodo de variable. Para la matriz de control que ha de procesarse, en este caso, en la Figura 8, puesto que los nodos de variables de 90 columnas, que es el número de sus columnas, existen, el aparato de decodificación de las Figuras 12A a 12C tiene 90 circuitos ilustrados en la Figura 14.

En los calculadores de nodos de variables 204_p de la Figura 14, es posible calcular simultáneamente cinco mensajes. La matriz de control que se va a procesar en este caso, en la Figura 8, tiene 15, 45, 29 y 1 columnas que presentan pesos de ponderación de 5, 3, 2 y 1 respectivamente. Por lo tanto, 15 calculadores de nodos de variables de entre los calculadores de nodos de variables 204_1 a 204_{90} tienen la misma configuración circuital que el del circuito de la Figura 14. Los restantes calculadores de nodos de variables 45, 29 y 1 tienen la configuración circuital capaz de calcular simultáneamente 3, 2 y 1 mensajes de forma similar al circuito representado en la Figura 14.

Aunque no se ilustra, también en el aparato de decodificación de las Figuras 12A a 12C, de forma similar al caso de la Figura 9, en la etapa final de la decodificación, en lugar del cálculo de nodos de variables de la ecuación (1), se realiza el cálculo de la ecuación (5) y el resultado del cálculo se proporciona como el resultado decodificado final.

Según el aparato de decodificación de las Figuras 12A a 12C, es posible calcular simultáneamente todos los mensajes correspondientes a 269 bordes en una sola señal de reloj.

Cuando se realiza la decodificación utilizando, de forma repetida, el aparato de decodificación de las Figuras 12A a 12C, se realizan, de forma alternada, el cálculo de nodos de control y el cálculo de nodos de variables y se puede realizar una sola decodificación en dos señales de reloj. Por lo tanto, a modo de ejemplo, para poder realizar 50 decodificaciones, el aparato de decodificación necesita funcionar a $2 \times 50 = 100$ frecuencias de reloj, mientras que los datos recibidos en los que se reciben códigos que tienen una longitud de código de 90 son una sola trama y por lo tanto, puede utilizarse aproximadamente la misma frecuencia operativa que la frecuencia de recepción. En general, puesto que la longitud de código de los códigos LDPC es tan grande como varios miles a varias decenas de miles, si el aparato de decodificación de las Figuras 12A a 12C se utiliza, el número de decodificaciones puede aumentarse en gran medida y puede esperarse la mejora en la ejecución de la corrección de errores.

Sin embargo, en el aparato de decodificación de las Figuras 12A a 12C, puesto que los cálculos de mensajes correspondientes a todos los bordes de un gráfico de Tanner se realizan en paralelo, la escala circuital aumenta en proporción a la longitud de código. Cuando el aparato de decodificación de las Figuras 12A a 12C está configurado como un aparato para realizar la decodificación de los códigos de LDPC que tienen una matriz de control particular, de una longitud de código particular y de una tasa de codificación particular, resulta difícil, para el aparato de decodificación, realizar la decodificación de códigos LDPC que tengan otra matriz de control, de otra longitud de código y de otra tasa de codificación. Es decir, a diferencia del aparato de decodificación de la Figura 9, es difícil para el aparato de decodificación de las Figuras 12A a 12C tratar la decodificación de varios códigos aún cuando se cambie solamente la señal de control y la dependencia de los códigos sea alta.

Además del aparato de decodificación de la Figura 9 y de las Figuras 12A a 12C, el método de puesta en práctica para calcular simultáneamente mensajes en unidades de cuatro mensajes en lugar de un solo mensaje o todos los mensajes se describe en, a modo de ejemplo, el documento de E. Yeo, P. Pakzad, B. Nikolic y V. Anantharam, "Arquitecturas de VLSI para decodificadores iterativos en canales de registro magnético", IEEE Transactions on Magnetics, vol. 37, n° 2, marzo 2001. En este caso, existen problemas por cuanto que, por lo general, no es fácil evitar la lectura simultánea desde, o la escritura simultánea en, diferentes direcciones de la memoria y el control de acceso a la memoria es difícil.

Además, un método de puesta en práctica aproximando el algoritmo de suma-producto ha sido también propuesto. Sin embargo, en este método, el deterioro del rendimiento es causa de que ocurra. Para la puesta en práctica del algoritmo de suma-producto como hardware, existe, según se describió anteriormente, un método en el que los cálculos de mensajes correspondientes a los bordes (un cálculo de nodos de control y un cálculo de nodos de bits) se realizan en serie, uno a uno, un método en el que todos los cálculos de mensajes se realizan en paralelo (en paralelo total) y un método en el que los cálculos de mensajes se realizan en unidades de varios cálculos en paralelo (paralelo).

Sin embargo, en el método en el que los cálculos de mensajes, correspondientes a los bordes, se realizan uno a uno, se requiere una alta frecuencia operativa. En consecuencia, como un método para aumentar el rendimiento, se conoce un método para disponer el aparato en una estructura de tipo 'tubería'. En este caso, la escala de circuitos, en particular, (la capacidad de) la memoria aumenta.

En el método en el que todos los cálculos de los mensajes se realizan en paralelo, aumenta la escala circuital para la lógica y la dependencia de los códigos es alta.

En el método en el que los cálculos de mensajes se realizan en unidades de varios cálculos en paralelo, el control del acceso a la memoria es difícil.

En el documento de Hocevar, "Construcción de código LDPC con puesta en práctica de hardware flexible", Proc IEEE International Conference on Communications, ICC 2003, p 2708-2712, da a conocer una técnica de construcción de códigos LDPC para códigos irregulares de varios tamaños de bloques que utilizan una arquitectura de decodificador eficiente y práctica que puede conseguir un alto grado de paralelismo.

DESCRIPCIÓN DE LA INVENCION

La presente invención se ha dado a conocer con miras a dichas circunstancias. Un objetivo de la presente invención es suprimir la frecuencia operativa a una gama suficientemente realizable, al mismo tiempo que se suprime la escala circuital para la lógica y la memoria y para ser capaz de controlar, con facilidad, el acceso a la memoria.

La invención se define en las reivindicaciones adjuntas.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La Figura 1 ilustra una matriz de control H de códigos LDPC.

La Figura 2 es un diagrama de flujo que ilustra un procedimiento para decodificar códigos LDPC.

La Figura 3 ilustra el flujo de mensajes.

La Figura 4 representa una forma de realización, a modo de ejemplo, de una matriz de control de códigos LDPC.

La Figura 5 representa un gráfico de Tanner de la matriz de control.

La Figura 6 representa un nodo de variable.

La Figura 7 representa un nodo de control.

La Figura 8 representa, a modo de ejemplo, una matriz de control de códigos LDPC.

La Figura 9 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un aparato de decodificación de códigos LDPC para realizar los cálculos de nodos, uno a uno.

La Figura 10 es un diagrama de bloques que representa, una forma de realización, a modo de ejemplo, de la configuración de un calculador de nodos de control para calcular los mensajes, uno a uno.

La Figura 11 es un diagrama de bloques que representa, a modo de ejemplo, la configuración de un calculador de nodos de variables para calcular los mensajes, uno a uno.

La Figura 12A es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un aparato de decodificación de códigos LDPC para realizar simultáneamente todos los cálculos de nodos.

La Figura 12B es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del aparato de decodificación de códigos LDPC para realizar simultáneamente todos los cálculos de nodos.

La Figura 12C es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del aparato de decodificación de códigos LDPC para realizar simultáneamente todos los cálculos de nodos.

La Figura 13 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador de nodos de control para calcular simultáneamente los mensajes.

5 La Figura 14 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador de nodos de variables para calcular simultáneamente los mensajes.

La Figura 15 representa una matriz que está dividida en matrices unitarias 5 x 5.

10 La Figura 16A es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un aparato de decodificación que no es una forma de realización de la presente invención.

La Figura 16B es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del aparato de decodificación que no es una forma de realización de la presente invención.

15 La Figura 16C es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del aparato de decodificación que no es una forma de realización de la presente invención.

20 La Figura 17 es diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación de las Figuras 16A a 16C.

La Figura 18 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de una forma de realización del aparato de decodificación al que se aplica la presente invención.

25 La Figura 19 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador de nodos de control.

La Figura 20 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador de nodos de variables.

30 La Figura 21 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador representado en la Figura 18.

35 La Figura 22 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del calculador representado en la Figura 18.

La Figura 23 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de una memoria para memorizar los resultados de la decodificación en curso de la Figura 18.

40 La Figura 24 es un diagrama de temporización que ilustra la operación de una memoria RAM para memorizar resultados de decodificación en curso de la Figura 18.

45 La Figura 25 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación de la Figura 18.

La Figura 26 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del aparato de decodificación que no es una forma de realización de la presente invención.

50 La Figura 27 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador de nodos de control.

La Figura 28 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador de nodos de variables.

55 La Figura 29 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador representado en la Figura 26.

La Figura 30 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del calculador representado en la Figura 26.

60 La Figura 31 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de una memoria para memorizar los resultados de decodificación en curso de la Figura 26.

65 La Figura 32 es un diagrama de temporización que ilustra la operación de la memoria RAM para memorizar los resultados de decodificación en curso de la Figura 31.

La Figura 33 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación representado en la Figura 26.

La Figura 34 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de una forma de realización de un ordenador al que se aplica la presente invención.

DESCRIPCIÓN DEL MEJOR MODO PARA REALIZAR LA INVENCION

Formas de realización específicas a las que se aplica la presente invención se describirán a continuación, en detalle, con referencia a los dibujos.

La Figura 15 ilustra, a modo de ejemplo, una matriz de control 30 x 9, que está dividida en unidades de matriz 5 x 5. La matriz de control, representada en la Figura 15, es la misma que la matriz de control ilustrada en la Figura 8.

En la Figura 15, la matriz de control se representa por una combinación de una matriz unitaria 5 x 5, una matriz en la que uno o más '1' que son elementos de la matriz unitaria, se sustituyen con '0' (en adelante referida como una "matriz cuasi-unitaria", en donde sea adecuado), en cuya matriz la matriz unitaria o la matriz cuasi-unitaria se desplaza, de forma cíclica (en adelante referida como una "matriz de desplazamiento", en donde sea adecuado), una suma de dos o más (plural) de la matriz unitaria, la matriz cuasi-unitaria y la matriz de desplazamiento (en adelante referida como una "matriz suma" en donde sea adecuado) y una matriz nula 5 x 5. Los códigos LDPC, representados por la matriz de código de la Figura 15, tienen una tasa de codificación de 2/3 y una longitud de código de 9.

Puede decirse que la matriz de código de la Figura 15 está formada por una matriz 5 x 5, una matriz cuasi-unitaria, de una matriz de desplazamiento, una matriz suma y una matriz nula. Por lo tanto, estas matrices 5 x 5, que forman la matriz de control, se referirán, en lo sucesivo, como "sub-matrices" en donde sea adecuado.

Las Figuras 16A a 16C ilustran, a modo de ejemplo, la configuración de un aparato de codificación para decodificar códigos LDPC representados por la matriz de control de la Figura 15. Las Figuras 16A a 16C son diagramas de bloques que representan, a modo de ejemplo, la configuración de dicho aparato de decodificación, que no es una forma de realización de la presente invención. La Figura 16A ilustra la configuración global del aparato de decodificación. La Figura 16B representa la configuración detallada de la parte izquierda en la Figura rodeada por la línea de puntos B del aparato de decodificación de la Figura 16A. La Figura 16C representa la configuración detallada de la parte derecha en la Figura rodeada por la línea de puntos C del aparato de decodificación representado en la Figura 16A.

Un aparato de decodificación 300 de las Figuras 16A a 16C incluye los conmutadores 310 y 315, una memoria de almacenamiento de datos de bordes 311 constituida por seis FIFOs 311₁ a 311₆, un selector 312, un calculador de nodos de control 313 constituido por cinco calculadores de nodos de control 313₁ a 313₅, dos circuitos de desplazamiento cíclicos 314 y 320, una memoria de almacenamiento de datos de bordes 316 constituida por 18 FIFOs 316₁ a 316₁₈, un selector 317, una memoria de datos recibidos 318 para memorizar la información recibida, un calculador de nodos de variables 319 y una sección de control 321.

Antes de describir, en detalle, cada sección del aparato de decodificación 300, se describirá primero el método de memorización de datos en las memorias de almacenamiento de datos de bordes 311 y 316.

La memoria de almacenamiento de datos de bordes 311 incluye seis FIFOs 311₁ a 311₆, siendo el número tal como 30, el número de filas de la matriz de control se divide por 5, que es el número de filas. Las FIFO 311_y (y = 1, 2, ..., 6) se forma de tal manera que los mensajes correspondientes a cinco bordes, que es el número de las filas y de las columnas de la sub-matriz, puede ser objeto de lectura o escritura simultáneamente. Su longitud (el número de etapas) es 9, que es el número máximo de '1' (peso de ponderación de Hamming) en la dirección de las filas de la matriz de control.

En la FIFO 311₁, los datos correspondientes a las posiciones de '1' desde la primera fila hasta la quinta fila de la matriz de control, representada en la Figura 15, se memorizan de tal manera que estén empaquetados más próximos (en una manera en la que se ignoran los '0') en la dirección horizontal (en la dirección de columna) para cada fila. Es decir, si la j-ésima fila y la i-ésima columna se indica como (j, i), en el primer elemento (la primera etapa) de la FIFO 311₁, se memorizan los datos correspondientes a las posiciones de '1' de la matriz unitaria 5 x 5 desde (1, 1) a (5, 5) de la matriz de control. En el segundo elemento, los datos correspondientes a las posiciones de '1' de la matriz de desplazamiento (matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en tres a la derecha) desde (1, 21) a (5, 25) de la matriz de control, que es la sub-matriz de la matriz de control, en donde se memoriza. Además, en los tercero a octavo elementos, de forma similar, los datos se memorizan de tal manera que correspondan a la sub-matriz de la matriz de control. En el noveno elemento, los datos correspondientes a las posiciones de '1' de la matriz de desplazamiento (la matriz de desplazamiento en la que los '1' de la primera fila, dentro de la matriz unitaria 5 x 5, se sustituyen con '0' y la matriz unitaria se desplaza, de forma cíclica, en uno a la izquierda) desde (1, 86) a (5, 90) de la matriz de control en donde se memoriza. En este caso, en la matriz de desplazamiento desde (1, 86) a (5, 90) de la matriz de control, puesto que no existe ningún '1' de la primera fila, el número de elementos se hace 8 solamente para la primera fila de la FIFO 311₁ y el número de elementos se hace de 9 para las filas restantes.

En la FIFO 311₂, los datos correspondientes a las posiciones de '1' desde la sexta fila hasta la décima fila de la matriz de control de la Figura 15 son objeto de memorización. Es decir, en el primer elemento de la FIFO 311₂, los datos correspondientes a las posiciones de '1' de la primera matriz de desplazamiento que forman la matriz suma desde (6, 1) a (10, 5) de la matriz de control (la matriz suma que es la suma de una primera matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en '1' a la derecha y una segunda matriz de desplazamiento, en la que la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en dos a la derecha) es objeto de memorización. En el segundo elemento, se almacenan datos correspondientes a las posiciones de '1' de la segunda matriz de desplazamiento que forma la matriz suma desde (6, 1) a (10, 5) de la matriz de control.

Más concretamente, para la sub-matriz cuyo peso de ponderación es 2 o más, los datos (el mensaje correspondiente a los bordes que pertenecen a la matriz unitaria, la matriz suma o la matriz de desplazamiento) correspondientes a las posiciones de '1' de la matriz unitaria cuyo peso de ponderación es 1, la matriz cuasi-unitaria o la matriz de desplazamiento, cuando la sub-matriz se representa en la forma de la suma de dos o más de la matriz unitaria ($P \times P$) cuyo peso de ponderación es 1, la matriz cuasi-unitaria en la que uno o más '1', que son elementos de la matriz unitaria, se sustituyen con 0 y la matriz de desplazamiento en la que la matriz unitaria o la matriz cuasi-unitaria se desplazan de forma cíclica, se memoriza en la misma dirección (las mismas FIFOs entre las FIFOs 311₁ a 311₆).

En adelante, para el tercer al noveno elementos, los datos se memorizan de tal manera que corresponden a la matriz de control. El número de los elementos de la FIFO 311₂ es 9 para todas las filas.

Para las FIFOs 311₃ a 311₆, de forma similar, los datos se memorizan de tal manera que corresponden de la matriz de control y la longitud de cada una de las FIFOs 311₃ a 311₆ es 9.

La memoria 316 para memorizar datos de bordes está formada por 18 FIFOs 316₁ a 316₁₈, siendo su número tal como 90, el número de filas de la matriz de control se divide por 5, el número de las filas de la sub-matriz. La FIFO 316_x ($x = 1, 2, \dots, 18$) está formada de tal manera que los mensajes correspondan a cinco bordes, siendo dicho número el número de las filas y el número de las columnas de la sub-matriz, pudiéndose efectuar la lectura o escritura simultáneamente.

En la FIFO 316₁, los datos correspondientes a las posiciones de '1' desde la primera columna hasta la quinta columna de la matriz de control de la Figura 15 se memorizan de tal manera que se empaqueten más próximos en la dirección vertical (en la dirección de la fila) para cada columna (en una manera en la que se ignoran los '0'). Es decir, en el primer elemento (la primera etapa) de la FIFO 316₁, se memorizan los datos correspondientes a las posiciones de '1' de la matriz unitaria 5 x 5 desde (1, 1) a (5, 5) de la matriz de control. En el segundo elemento, los datos correspondientes a las posiciones de '1' de la primera matriz de desplazamiento que forma la matriz suma de (6, 1) a (10, 5) de la matriz de control (la matriz suma, que es la suma de una primera matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en uno a la derecha y una segunda matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en dos a la derecha) es objeto de memorización. En el tercer elemento, se memorizan los datos correspondientes a las posiciones de '1' de la segunda matriz de desplazamiento que forma la matriz suma de (6, 1) a (10, 5) de la matriz de control.

Más concretamente, para la sub-matriz cuyo peso de ponderación es 2 o más, los datos (mensajes correspondientes a los bordes que pertenecen a la matriz unitaria, la matriz cuasi-unitaria o la matriz de desplazamiento) correspondientes a la posición de '1' de la matriz unitaria cuyo peso de ponderación es 1, la matriz cuasi-unitaria o la matriz de desplazamiento cuando la sub-matriz está representada en la forma de la suma de dos o más de la matriz unitaria ($P \times P$) cuyo peso de ponderación es 1, la matriz cuasi-unitaria en la que los '1' que son elementos de la matriz unitaria, se sustituyen con '0' y la matriz de desplazamiento en la que se desplaza, de forma cíclica, la matriz unitaria o la matriz cuasi-unitaria, se memoriza en la misma dirección (la misma FIFO de entre las FIFOs 316₁ a 316₁₈).

En adelante, para los cuarto y quinto elementos, además, los datos se memorizan de tal manera que correspondan a la matriz de control. El número de elementos (el número de etapas) de la FIFO 316₁ es 5, que es el número máximo de '1' (peso de ponderación de Hamming) en la dirección de las filas desde la primera columna hasta la quinta columna de la matriz de control.

Además, para las FIFOs 316₂ y 316₃, de forma similar, los datos se memorizan de tal manera que corresponden a la matriz de control y cada una de sus longitudes (el número de etapas) es 5. Además, para las FIFOs 316₄ a 316₁₂, de forma similar, se memorizan datos de tal manera que correspondan a la matriz de control y cada una de sus longitudes es 3. Además, para las FIFOs 316₁₃ a 316₁₈, de forma similar, los datos se memorizan de tal manera que correspondan a la matriz de control y cada una de sus longitudes es 2. Sin embargo, puesto que el primer elemento de la FIFO 316₁₈ corresponde a (1, 86) a (5, 90) de la matriz de control y no existe ningún '1' en la quinta columna ((1, 90) a (5, 90) de la matriz de control), no se memorizan datos.

A continuación se proporcionará una descripción, en detalle, de la operación de cada sección del aparato de decodificación 300 de las Figuras 16A a 16C. Cinco mensajes (datos) D319 se suministran a un conmutador 310 desde un circuito de desplazamiento cíclico 320. Además, una señal de control D320 que indica información (datos de matrices) en cuanto a qué fila de la matriz de control pertenece, se suministra al conmutador 310 desde la sección de control 321. En función de la señal de control D320, una FIFO para memorizar cinco mensajes (datos) D319 se selecciona de entre

las FIFOs 311₁ a 311₆ y los cinco elementos de datos de mensajes D319 se memorizan, de forma colectiva, en la FIFO seleccionada en secuencia.

La memoria de almacenamiento de datos de bordes 311 incluye seis FIFOs 311₁ a 311₆. En las FIFOs 311₁ a 311₆ de la memoria de almacenamiento de datos de borde 311, cinco mensajes D319 se suministran, de forma colectiva, desde el conmutador 310 en secuencia y las FIFOs 311₁ a 311₆ memorizan, de forma colectiva, los cinco mensajes D319 en secuencia (simultáneamente). Además, cuando han de leerse datos, la memoria de almacenamiento de datos de borde 311 lee secuencialmente los cinco mensajes (datos) D311₁ desde la FIFO 311₁ y los suministra al selector 312 en la etapa posterior. Después de que se concluya la lectura de los mensajes D311₁ desde la FIFO 311₁, la memoria de almacenamiento de datos de borde 311 lee también secuencialmente los mensajes D311₁ a D311₆ desde las FIFOs 311₂ a 311₆, respectivamente, y los suministra al selector 312.

Una señal de selección D321, que indica la selección de la FIFO desde la que se leen los datos de mensajes (la FIFO desde la que se han leído datos actualmente) desde entre las FIFOs 311₁ a 311₆, se suministra al selector 312 desde la sección de control 321 y además, cinco mensajes (datos) D311₁ a D311₆ se suministran al selector 312 desde la memoria de almacenamiento de datos de borde 311. El selector 312 selecciona la FIFO desde la que se ha leído actualmente datos de entre las FIFOs 311₁ a 311₆ en conformidad con una señal de selección D321 y suministra los cinco elementos de datos de mensajes, suministrados desde la FIFO seleccionada, como mensajes D312 a la sección de cálculo de nodos de control 313.

La sección de cálculo de nodos de control 313 incluye cinco calculadores de nodos de control 313₁ a 313₅. Cinco mensajes D312 se suministran a la sección de cálculo de nodos de control 313 a través del selector 312 y los mensajes D312 se suministran individualmente a cada uno de los calculadores de nodos de control 313₁ a 313₅. Además, una señal de control D322 se suministra al calculador de nodos de control 313 desde la sección de control 321 y la señal de control D322 se suministra a los calculadores de nodos de control 313₁ a 313₅. Los calculadores de nodos de control 313₁ a 313₅ realizan simultáneamente cálculos en conformidad con la ecuación (7) utilizando los mensajes D312 y para determinar los mensajes D313 correspondientes a cinco bordes como resultado de los cálculos. La sección de cálculo de nodos de control 313 suministra los cinco mensajes D313 obtenidos como resultado de los cálculos por los calculadores de nodos de control 313₁ a 313₅ al circuito de desplazamiento cíclico 314.

Una señal de control D322 suministrada desde la sección de control 321 al calculador de nodos de control 313 corresponde a la señal de control D106 de la Figura 10. Las secciones de cálculo de nodos de control 313₁ a 313₅ están configuradas, cada una, en la misma manera que el calculador de nodos de control 101 representado en la Figura 10.

Los cinco mensajes D313 calculados en la sección de cálculo de nodos de control 313 se suministran al circuito de desplazamiento cíclico 314. Además, una señal de control D323 que indica información (datos de matrices) en cuanto al hecho de que el borde correspondiente a los mensajes D313 esté conectado como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control se desplaza de forma cíclica, se suministra al circuito de desplazamiento cíclico 314 desde la sección de control 321. El circuito de desplazamiento cíclico 314 desplaza, de forma cíclica, los cinco mensajes D313 sobre la base de la señal de control D323 y suministra el resultado como un mensaje D314 al conmutador 315.

Una señal de control D324 que indica información en cuanto a qué columna de la matriz de control pertenecen los cinco mensajes (datos) D314 suministrados desde el circuito de desplazamiento cíclico 314 se suministra al conmutador 315 y también el mensaje D314 se suministra al circuito de desplazamiento cíclico 314. Sobre la base de la señal de control D324, el conmutador 315 selecciona la FIFO para memorizar el mensaje D314 desde entre las FIFOs 316₁ a 316₁₈ y suministra, de forma colectiva, los cinco mensajes D314 en secuencia.

Una memoria de almacenamiento de datos de borde 316 incluye 18 FIFOs 316₁ a 316₁₈. Los cinco mensajes D314 se suministran, de forma colectiva, en secuencia (simultáneamente) desde el conmutador 315 a las FIFOs 316₁ a 316₁₈ de la memoria de almacenamiento de datos de borde 316 y las FIFOs 316₁ a 316₁₈ memorizan, de forma colectiva, los cinco mensajes D314 en secuencia. Además, cuando han de leerse los datos, la memoria 316, para memorizar secuencialmente datos de bordes, lee cinco mensajes D315₁ desde la FIFO 316₁ y los suministra al selector 317 en la etapa posterior. Después de que se concluya la lectura de los datos desde la FIFO 316₁, la memoria 316 para memorizar datos de bordes secuencialmente efectúa la lectura de los mensajes D315₂ a D315₁₈ también desde las FIFOs 316₁ a 316₁₈ y los suministra al selector 317.

Una señal de selección D325 que indica la selección de la FIFO para la lectura de datos de mensajes (la FIFO desde la que se han leído actualmente datos) desde entre las FIFOs 316₁ a 316₁₈ se suministra desde la sección de control 321 al selector 317 y también, los datos de mensajes D315₁ a D315₁₈ se suministran desde la memoria de almacenamiento de datos de bordes 316. Sobre la base de la señal de selección D325, el selector 317 selecciona la FIFO desde la que se ha leído actualmente datos de entre las FIFOs 316₁ a 316₁₈ y suministra los cinco elementos de datos de mensajes suministrados desde la FIFO seleccionada, como mensajes D316 a la sección de cálculo de nodos de variables 319 y el bloque anteriormente descrito (no ilustrado) para realizar el cálculo de la ecuación (5).

Por otro lado, la memoria 318 para datos recibidos ha calculado la LLR (ratio de probabilidad logarítmica) de recepción a partir de la información recibida a través del canal de comunicación. Cinco elementos de las LLR de recepción calculados se suministran de forma colectiva (simultáneamente) como datos recibidos D317 (códigos LDPC) a la sección de cálculo de nodos de variables 319 y el bloque (no ilustrado) para recibir el cálculo de la ecuación (5). La memoria 318 para los datos recibidos efectúa la lectura de los datos recibidos D317 en la secuencia necesaria para el cálculo de nodos de variables de la sección de cálculo de nodos de variables 319.

La sección de cálculo de nodos de variables 319 incluye cinco calculadores de nodos de variables 319₁ a 319₅. Cinco mensajes D316 se suministran a la sección de cálculo de nodos de variables 319 a través del selector 317 y los mensajes D316 se suministran individualmente a cada uno de los calculadores de nodos de variables 319₁ a 319₅. Además, los cinco elementos de los datos recibidos D317 se suministran a la sección de cálculo de nodos de variables 319 desde la memoria 318 para los datos recibidos y los elementos de los datos recibidos D317 se suministran individualmente a cada uno de los calculadores de nodos de variables 319₁ a 319₅. Además, una señal de control D326 se suministra desde la sección de control 321 a la sección de cálculo de nodos de variables 319 y la señal de control D326 se suministra a los calculadores de nodos de variables 319₁ a 319₅.

Los calculadores de nodos de variables 319₁ a 319₅ realizan cálculos en conformidad con la ecuación (1) utilizando los mensajes D316 y los datos recibidos D317 y determinan los mensajes D318 correspondientes a cinco bordes como resultado de los cálculos. La sección de cálculo de nodos de variables 319 suministra los cinco mensajes D318 obtenidos como resultado de los calculadores de nodos de variables 319₁ a 319₅ al circuito de desplazamiento cíclico 320.

En este caso, la señal de control D326 suministrada desde una sección de control 521 a la sección de cálculos de nodos de variables 319 corresponde a la señal de control D107 de la Figura 11 y los calculadores de nodos de variables 319₁ a 319₅ están configurados, cada uno, de la misma manera que el calculador de nodos de variables 103 de la Figura 11.

Cinco mensajes D318 se suministran al circuito de desplazamiento cíclico 320 desde la sección de cálculos de nodos de variables 319. Además, una señal de control D327 que indica información (datos de matrices) en cuanto al hecho de que el borde correspondiente al mensaje D318 esté conectado como resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control se desplaza de forma cíclica, se suministra al circuito de desplazamiento cíclico 320 desde la sección de control 321. Sobre la base de la señal de control D327, el circuito de desplazamiento cíclico 320 realiza un desplazamiento cíclico de redistribución de los mensajes D327 y suministra los mensajes como mensajes D319 al conmutador 310.

La sección de control 321 suministra una señal de selección D320 al conmutador 310 y suministra una señal de selección D321 al selector 312 con el fin de controlarlos, respectivamente. La sección de control 321 suministra una señal de control D322 a la sección de cálculo de nodos de control 313, suministra una señal de control D323 al circuito de desplazamiento cíclico 314 y suministra una señal de control D324 al conmutador 315 con el fin de controlarlos, respectivamente. Además, la sección de control 321 suministra una señal de selección D325 al selector 317, suministra una señal de control D326 a la sección de cálculo de nodos de variables 319 y suministra una señal de control D327 al circuito de desplazamiento cíclico 320 con el fin de controlarlos, respectivamente.

Como resultado de la operación anterior que está en circulación una vez, puede realizarse una decodificación de los códigos LDPC. Después de que el aparato de decodificación 300 representado en las Figuras 16A a 16C, decodifique los códigos LDPC un número de veces predeterminado, el aparato de decodificación 300 determina un resultado decodificado final (no ilustrado) en conformidad con la ecuación (5) y lo proporciona a la salida.

Para las partes en las que se carece de datos de bordes (mensajes correspondientes a los bordes) durante el almacenamiento en la memoria (cuando los datos se guardan en la memoria de almacenamiento de datos de bordes 311 y 316), no se memoriza ningún mensaje. Durante el cálculo de nodos (durante el cálculo de nodos de control en la sección de cálculo de nodos de control 313 y durante el cálculo de nodos de variables en la sección de cálculo de nodos de variables 319), no se realiza ningún cálculo.

La Figura 17 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación 300 de las Figuras 16A a 16C. Este proceso se inicia cuando los datos recibidos, que se van a decodificar, se almacenan en la memoria 318 para datos recibidos.

En la etapa S31, la sección de cálculo de nodos de variables 319 realiza un cálculo de nodos de variables.

Más concretamente, cinco mensajes D316 (mensajes u_i) se suministran a la sección de cálculo de nodos de variables 319 por intermedio del selector 317. Es decir, la memoria de almacenamiento de datos de borde 316 efectúa la lectura secuencial de los cinco mensajes D316₁ memorizados en la etapa S39 (a describirse más adelante) desde la FIFO 316₁ y en adelante, lee secuencialmente los mensajes D316₂ a D316₁₈ también desde las FIFOs 316₂ a 316₁₈ y los suministra al selector 317.

Una señal de selección D307 que indica la selección de la FIFO (la FIFO desde la que se han leído actualmente datos) desde qué mensaje (datos) han de leerse desde entre las FIFOs 316₁ a 316₁₈ se suministra al selector 317 desde la

sección de control 321 y también, los datos de mensajes D316₁ a D316₁₈ se suministran al selector 317 desde la memoria de almacenamiento de datos de bordes 316. Sobre la base de la señal de selección D307, el selector 317 selecciona la FIFO desde la que se ha leído actualmente datos, de entre las FIFOs 316₁ a 316₁₈ y suministra los cinco elementos de los datos de mensajes suministrados desde la FIFO seleccionada, como los mensajes D316, a la sección de cálculo de nodos de variables 319.

Cuando todavía no se ha realizado un cálculo de nodos de control sobre los datos recibidos D309 suministrados desde la memoria 306 y no se memoriza un mensaje D304 en la memoria de almacenamiento de datos de borde 316, la sección de cálculo de nodos de variables 319 establece el mensaje u_i para un valor inicial utilizado para un cálculo de nodos de variables.

Los cinco elementos de los datos recibidos D309 (valor recibido u_{0i}) se suministran a la sección de cálculo de nodos de variables 319 desde la memoria 318 para los datos recibidos y los elementos de los datos recibidos D309 se suministran individualmente a cada uno de los calculadores de nodos de variables 319₁ a 319₅. Además, una señal de control D315 se suministra a la sección de cálculo de nodos de variables 319 desde la sección de control 321 y la señal de control D315 se suministra a los calculadores de nodos de variables 319₁ a 319₅.

Sobre la base de la señal de control D315, los calculadores de nodos de variables 319₁ a 319₅ realizan simultáneamente cálculos en conformidad con la ecuación (1) utilizando los mensajes D316 y los datos recibidos D309 y determinan cinco mensajes D319 como resultado de los cálculos.

Es decir, la señal de control D315 suministrada a la sección de cálculo de nodos de variables 319 por la sección de control 321 corresponde a la señal de control D107 descrita con referencia a la Figura 11 anteriormente descrita. Cada uno de los calculadores de nodos de variables 319₁ a 319₅ lee un mensaje necesario D314 (D316) desde la memoria de almacenamiento de datos de bordes 316 por intermedio del selector 317 en conformidad con la señal de control D309 y además, lee los cinco elementos de datos recibidos D309 suministrados desde la memoria 318 para datos recibidos, respectivamente, para realizar un cálculo de nodos de variables y determinar simultáneamente cinco mensajes D319 como resultado de los cálculos.

Después del procesamiento de la etapa S31, el proceso prosigue con la etapa S32, en donde la sección de cálculo de nodos de variables 319 suministra los cinco mensajes D319 (mensajes v_i) obtenidos como resultado de los cálculos de nodos de variables de los calculadores de nodos de variables 319₁ a 319₅ al circuito de desplazamiento cíclico 320. El proceso prosigue, entonces, con la etapa S33.

En la etapa S33, el circuito de desplazamiento cíclico 320 desplaza cíclicamente (redispone) los cinco mensajes D318 suministrados desde la sección de cálculo de nodos de variables 319.

Más concretamente, se suministra un mensaje D318 al circuito de desplazamiento cíclico 320 desde la sección de cálculo de nodos de variables 319. Además, una señal de control D327 que indica información (datos de matrices) en cuanto al hecho de que el borde correspondiente a los mensajes D318 está conectado como resultado de cuántas veces, a modo de ejemplo, la matriz unitaria, que forma la base en la matriz de control, se desplaza de forma cíclica, se suministra al circuito de desplazamiento cíclico 320 desde la sección de control 321. Sobre la base de la señal de control D327, el circuito de desplazamiento cíclico 320 desplaza, de forma cíclica, cinco mensajes D327 y suministra los resultados como el mensaje D319 al conmutador 310.

Después del procesamiento de la etapa S33, el proceso prosigue con la etapa S34, en donde el conmutador 310 suministra los cinco mensajes D319 suministrados desde el circuito de desplazamiento cíclico 320 a la memoria de almacenamiento de datos de bordes 311.

Más concretamente, un mensaje (datos) D304 se suministra al conmutador 310 desde el circuito de desplazamiento cíclico 320 y además, una señal de control D312 que indica información en cuanto a qué fila de la matriz de control pertenece el mensaje D304 se suministra al conmutador 310. Sobre la base de la señal de control D312, el conmutador 310 selecciona la FIFO para memorizar los mensajes D304 desde entre las FIFOs 300₁ a 300₆ y suministra, de forma secuencial, los cinco elementos de los datos de mensajes D304 colectivamente en la FIFO seleccionada.

A continuación, las FIFOs 300₁ a 300₁₈ de la memoria de almacenamiento de datos de bordes 311 memoriza, de forma colectiva, los cinco elementos de los datos de mensajes D304 suministrados desde el conmutador 310 en secuencia.

Después del procesamiento de la etapa S34, el proceso prosigue con la etapa S35, en donde la sección de control 321 determina si los mensajes del número total de bordes se han calculado, o no, por la sección de cálculo de nodos de variables 319. Cuando se determina que los mensajes del número total de bordes no han sido calculados, el proceso retorna a la etapa S31 y se realiza de nuevo el procesamiento anteriormente descrito.

Por otro lado, cuando se determina, en la etapa S35 que la sección de cálculo de nodos de variables 319 ha calculado los mensajes del número total de bordes, el proceso prosigue con la etapa S36, en donde la sección de cálculo de nodos de control 313 realiza un cálculo de nodos de control.

Más concretamente, cinco mensajes D302 se suministran a la sección de cálculo de nodos de control 313 a través del selector 312. Es decir, la memoria de almacenamiento de datos de bordes 311 lee, de forma secuencial, desde la FIFO 311₁, cinco mensajes D311₁ (mensaje v_i) memorizados en la etapa S34 y en adelante, lee secuencialmente los datos de mensajes D311₂ a D311₆ también desde las FIFOs 311₂ a 311₆ y los suministra al selector 312.

Una señal de selección D321 que indica la selección de la FIFO para la lectura de datos de mensajes (la FIFO desde la que se han leído actualmente los datos) desde entre las FIFOs 311₁ a 311₆ se suministra al selector 312 desde la sección de control 321 y además, los datos de mensajes D311₁ a D311₆ se suministran al selector 312 desde la memoria de almacenamiento de datos de bordes 311. Sobre la base de la señal de selección D321, el selector 301 selecciona la FIFO desde la que se han leído actualmente los datos y suministra cinco elementos de los datos de mensajes suministrados desde la FIFO seleccionada, como mensajes D311, a la sección de cálculo de nodos de control 313.

Además, una señal de control D322 se suministra a la sección de cálculo de nodos de control 313 desde la sección de control 321. Sobre la base de la señal de control D322, los calculadores de nodos de control 313₁ a 313₅ de la sección de cálculo de nodos de control 313 realiza simultáneamente los cálculos de nodos de control en conformidad con la ecuación (7) utilizando los mensajes D302 y la determinación de cinco mensajes D303 (mensajes u_j) como resultado de los cálculos.

Más concretamente, la señal de control D322 suministrada a la sección de cálculo de nodos de control 313 por la sección de control 321, corresponde a la señal de control D106 en la Figura 10 anteriormente descrita. Sobre la base de la señal de control D322, los calculadores de nodos de control 313₁ a 313₅ realizan, cada uno, un cálculo de nodos de control mientras efectúan la lectura de un mensaje necesario D311 (D312) desde la memoria de almacenamiento de datos de bordes 311 por intermedio del selector 312 y determinan simultáneamente cinco mensajes D313 como resultado de los cálculos.

Después del procesamiento de la etapa S37 el proceso prosigue con la etapa S38, en donde la sección de cálculo de nodos de control 313 proporciona cinco mensajes D313 obtenidos como resultado del cálculo de nodos de control para el circuito de desplazamiento cíclico 314. A continuación, el proceso prosigue con la etapa S38.

En la etapa S38, el circuito de desplazamiento cíclico 314 desplaza, de forma cíclica, los cinco mensajes D313 suministrados desde la sección de cálculo de nodos de control 313.

Más concretamente, los mensajes D313 se suministran al circuito de desplazamiento cíclico 314 desde la sección de cálculo de nodos de control 313. Además, una señal de control D314 que indica información (datos de matrices) en cuanto al hecho de que el borde correspondiente a los mensajes D313 está conectado como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control se desplaza de forma cíclica, se suministra al circuito de desplazamiento cíclico 314 desde la sección de cálculo 321. Sobre la base de la señal de control D314, el circuito de desplazamiento de cíclico 314 desplaza, de forma cíclica, los cinco mensajes D313 y suministra los resultados, como los mensajes D304, al conmutador 315.

Después del procesamiento de la etapa S38, el proceso prosigue con la etapa S39, en donde el conmutador 315 memoriza los cinco mensajes D304 suministrados desde el circuito de desplazamiento cíclico 314 en la memoria de almacenamiento de datos de bordes 316.

Más concretamente, los cinco mensajes (datos) D304 se suministran desde el circuito de desplazamiento cíclico 314 al conmutador 316 y además, una señal de control D324 que indica información en cuanto a qué fila de la matriz de control pertenecen los mensajes (datos) D304 se suministra al conmutador 316 desde el circuito de desplazamiento cíclico 314. Sobre la base de la señal de control D324, el conmutador 316 selecciona la FIFO para memorizar el mensaje D304 desde entre las FIFOs 316₁ a 316₁₈ de la memoria de almacenamiento de datos de bordes 316 y suministra colectivamente los cinco elementos de los datos de mensajes D304 a la FIFO seleccionada en secuencia.

A continuación, las FIFOs 316₁ a 316₁₈ de la memoria de almacenamiento de datos de bordes 316 memoriza colectivamente los cinco elementos de los datos de mensajes D304 suministrados desde el conmutador 316 en secuencia.

Después del procesamiento de la etapa S39, el proceso prosigue con la etapa S40, en donde la sección de cálculo 321 determina si los mensajes del número total de los bordes se han calculado, o no, por la sección de cálculo de nodos de control 313. Cuando se determina que los mensajes del número total de los bordes no se han calculado, el proceso retorna a la etapa S36 y se realiza de nuevo el procesamiento anteriormente descrito.

Por otro lado, cuando la sección de cálculo 321 determina, en la etapa S40, que los mensajes del número total de los bordes han sido calculados por la sección de cálculo de nodos de control 313, se concluye el procesamiento.

Cuando el aparato de decodificación 300 realiza, de forma repetida, el proceso de decodificación de la Figura 17 para el número de decodificaciones y la sección de cálculo de nodos de control 313 realiza el cálculo final de nodos de control, el

mensaje D304 obtenido como un resultado del cálculo de nodos de control se suministra desde la memoria de almacenamiento de datos de bordes 316 a través del selector 317 a un bloque (no ilustrado) para realizar el cálculo de la ecuación (5) anteriormente descrita. Los datos recibidos D309 se suministran, además, al bloque (no ilustrado) desde la memoria 306 para los datos recibidos. El bloque (no ilustrado) realiza el cálculo de la ecuación (5) utilizando los mensajes D304 y los datos recibidos D309 y proporciona el resultado del cálculo como un resultado decodificado final.

En la descripción anterior, aunque se utiliza una FIFO para memorizar datos de bordes (aunque las memorias de almacenamiento de datos de bordes 311 y 316 están formadas por FIFOs, se puede utilizar una memoria RAM en lugar de la FIFO. En ese caso para la memoria RAM, un anchura de bit en la que se pueden leer simultáneamente P elementos de información de borde (mensajes correspondientes a bordes) y se requiere el número total de bordes/P palabras. Para la escritura en la memoria RAM, en qué posición se leen los datos a escribirse se lee a continuación se determina sobre la base de la información de la matriz de control y los datos se escriben en esa posición. Para la lectura desde la memoria RAM, los datos se leen secuencialmente desde el principio de la dirección. Es decir, en la memoria RAM, los datos de mensajes se memorizan en la secuencia en la que se leen de tal manera que se empaqueten más próximos y los datos de mensajes se leen en la secuencia de posiciones de memoria. Si la memoria RAM se utiliza en lugar de la FIFO, los selectores 312 y 317 no son necesarios.

Cuando la anchura de bit física de la FIFO y de la memoria RAM no es suficiente, proporcionando la misma señal de control utilizando una pluralidad de memorias RAMs, éstas se pueden asumir lógicamente como una sola memoria RAM.

En el aparato de decodificación 300 de las Figuras 16A a 16C, se realiza un cálculo de nodos de variables utilizando el mensaje u_i obtenido como resultado del cálculo de nodos de control y se realiza un cálculo de nodos de control utilizando el mensaje v_i obtenido como resultado de ese cálculo. Por lo tanto, la memoria de almacenamiento de datos de bordes 311 y la memoria de almacenamiento de datos de bordes 316 para memorizar todos los mensajes u_i correspondientes a los bordes obtenidos como un resultado del cálculo de nodos de control y todos los mensajes v_i correspondientes a los bordes obtenidos como resultado del cálculo de nodos de variables se requieren a este respecto. Es decir, en el aparato de decodificación, se requiere una memoria de la capacidad requerida para memorizar mensajes dos veces tan grande como el número de '1' de la matriz de control H.

En consecuencia, para poder reducir todavía más la escala circuital del aparato de decodificación, un aparato de decodificación, en el que se reduce todavía más la capacidad de memoria cuando se compara con el aparato de decodificación 300 de las Figuras 16A a 16C se describe a continuación.

La Figura 18 es un diagrama de bloques que representa, a modo de ejemplo, la configuración de otra forma de realización del aparato de decodificación para decodificar códigos LDPC representados por la matriz de control de la Figura 15 a la que se aplica la presente invención.

En un aparato de decodificación 400 de la Figura 18, la memoria de almacenamiento de datos de bordes 311 de las Figuras 16A y 16B se forma como una memoria 410 para memorizar los resultados de decodificación en curso que presenta una capacidad más pequeña que la que tiene la memoria de almacenamiento de datos de bordes 311.

El aparato de decodificación 400 incluye una memoria 410 para memorizar resultados de decodificación en curso, un circuito de desplazamiento cíclico 411, una sección de cálculo 412 constituida por cinco calculadores 412₁ a 412₅, una memoria 413 para memorizar resultados de decodificación en curso, un circuito de desplazamiento cíclico 414, una sección de cálculo 415 constituida por cinco calculadores 415₁ a 415₅, una memoria 416 para recepción y una sección de cálculo 417.

A continuación se proporcionará una descripción, haciendo referencia a la Figura 19 a Figura 22 de la relación entre los calculadores 412₁ a 412₅ de la sección de cálculo 412 y los calculadores 415₁ a 415₅ de la sección de cálculo 415 de la Figura 18, el calculador de nodos de control 101 de la Figura 10 y el calculador de nodos de variables 103 de la Figura 11.

Las Figuras 19 y 20 son las mismas que la Figura 10 que ilustra el calculador de nodos de control 101 y la Figura 11 que ilustra el calculador de nodos de variables 103, respectivamente. La Figura 21 representa, a modo de ejemplo, la configuración de una sección de cálculo 412_k ($k = 1, 2, \dots, 5$). La Figura 22 representa, a modo de ejemplo, la configuración de una sección de cálculo 415_k ($k = 1, 2, \dots, 5$).

En el aparato de decodificación 400 de la Figura 18, en lugar del calculador 412_k, se realiza un cálculo de nodos de control y la sección de cálculo 415_k realiza un cálculo de nodos de variables, el calculador 412_k realiza parte del cálculo de nodos de control y el cálculo de nodos de variables y el calculador 415_k realiza algunos de los demás cálculos de nodos de variables.

Más concretamente, el calculador 412_k de la Figura 21 se forma por un bloque A' y un bloque B'. El bloque A' está configurado de la misma manera que el bloque para realizar el cálculo de nodos de control del calculador de nodos de control 101 de la Figura 19. El bloque B' está configurado de la misma manera que el bloque B, que es parte del calculador de nodos de variables 103 de la Figura 20, para la sustracción del mensaje u_i correspondiente al borde que se

va a determinar, desde el valor integrado de los mensajes u_j correspondientes a todos los bordes de cada columna de la matriz de control. Por otro lado, el calculador 415_k de la Figura 22 está formado a partir de un bloque C'. El bloque C' está configurado de la misma manera que el bloque C, que es otra parte del calculador de nodos de variables 103 de la Figura 20, para integrar los mensajes u_j correspondientes a los bordes de cada columna de la matriz de control y añadir el valor recibido u_{0i} al valor integrado.

El calculador 412_k de la Figura 21 suministra los resultados de los cálculos por el bloque A y el bloque B, es decir, los resultados de decodificación en curso u_j de modo que se realice parte del cálculo del nodo de control y del cálculo del nodo de variables a la memoria 413 para memorizar resultados de decodificación en curso. El calculador 415_k de la Figura 22 suministra los resultados de decodificación en curso v , de modo que parte de los otros cálculos de nodos de variables se realicen para la memoria 410 para memorizar los resultados de decodificación en curso.

Por lo tanto, es posible para el aparato de decodificación 400 de la Figura 18 realizar el cálculo de nodos de control y el cálculo de nodos de variables realizando, de forma alternada, el cálculo del calculador 412_k y el cálculo del calculador 415_k, con el fin de realizar la decodificación.

En el calculador 412_k de la Figura 22, puesto que los resultados de la decodificación en curso u_j correspondientes a los bordes que se van a determinar se sustraen de los resultados de decodificación en curso v , obtenidos como un resultado del cálculo del calculador 415_k en el bloque B utilizando los resultados de decodificación en curso u_j correspondientes a los bordes que se van a determinar, que se almacenan en la memoria 413 para memorizar los resultados de decodificación en curso, no se requiere la memoria FIFO 155 de la Figura 20.

A continuación, se proporciona una descripción del cálculo realizado por el calculador 412_k y el cálculo realizado por el calculador 415_k utilizando las ecuaciones.

Más concretamente la sección de cálculo 412 realiza un primer cálculo en conformidad con la ecuación (7) anteriormente descrita y la ecuación (8) descrita a continuación y suministra los resultados de decodificación en curso u_j , que son los resultados del primer cálculo, a la memoria 410 para memorizar los resultados de decodificación en curso, en donde se memorizan. La sección de cálculo 415 realiza un segundo cálculo en conformidad con la ecuación (5) anteriormente descrita y suministra los resultados de decodificación en curso v , que son los resultados del segundo cálculo, a la memoria 410 para memorizar los resultados de decodificación en curso, en donde se memorizan.

$$v_i = v - u_{dv} \quad \dots (8)$$

u_{dv} de la ecuación (8) representa los resultados en curso (en este caso, los propios resultados del cálculo de nodos de control) del cálculo de nodos de control desde el borde para el que ha de determinarse el mensaje de i -ésima columna de la matriz de control H. es decir, u_{dv} es los resultados de la decodificación en curso correspondientes al borde que se va a determinar.

Más concretamente, los resultados de la decodificación en curso v , obtenidos como resultado del segundo cálculo en conformidad con la ecuación (5) anteriormente descrita, son tales que el valor recibido u_{0i} y los resultados de la decodificación en curso u_j del cálculo de nodos de control, procedentes de todos los bordes correspondientes a los valores '1' de cada fila de la i -ésima columna de la matriz de control H, se multiplican juntos. El valor v_i utilizado para la ecuación (7), anteriormente descrita, se hace de modo que los resultados de la decodificación en curso u_{dv} del cálculo de nodos de control desde los bordes para los que han de determinarse mensajes, desde entre los resultados de decodificación en curso u_j del cálculo de nodos de control desde los bordes correspondientes a '1' de cada fila, de la i -ésima columna de la matriz de control H, se sustraen de los resultados de decodificación en curso v obtenidos como resultado del segundo cálculo en conformidad con la ecuación (5). Es decir, el cálculo de la ecuación (1), para determinar el valor v_i utilizado para el cálculo de la ecuación (7), es un cálculo en el que la ecuación anteriormente descrita (5) y la ecuación (8) están combinadas.

Por lo tanto, en el aparato de decodificación 400, el primer cálculo en conformidad con la ecuación (7) y la ecuación (8) por la sección de cálculo 412 y el segundo cálculo en conformidad con la ecuación (5) por la sección de cálculo 415 se realizan de forma alternada y la sección de cálculo 415 proporciona el resultado del segundo cálculo final como los resultados decodificados, lo que posibilita realizar una decodificación repetida de los códigos LDPC.

En este caso, los primeros resultados del cálculo, en conformidad con la ecuación (7) y la ecuación (8), se describen como los resultados de la decodificación en curso u_j y estos resultados de la decodificación en curso u_j son iguales a los resultados del cálculo de nodos de control u_j de la ecuación (7).

Puesto que el valor v de la ecuación (5), que se determina a partir del segundo cálculo, es tal que los resultados del cálculo de nodos de control u_j desde los bordes, desde los que han de determinarse mensajes, se añaden a los resultados del cálculo de nodos de variables v_i de la ecuación (1), solamente uno de los valores v se determina con respecto a una sola columna (un solo nodo de variables) de la matriz de control H.

En el aparato de decodificación 400, la sección de cálculo 412 realiza el primer cálculo utilizando los resultados de la decodificación en curso v (los segundos resultados de decodificación en curso) correspondientes a la columna de la matriz de control H , que son los resultados del segundo cálculo mediante la sección de cálculo 415 y memoriza, en la memoria 413 para almacenar resultados de decodificación en curso, los resultados de la decodificación en curso u_i (los primeros resultados de decodificación en curso) del cálculo de nodos de control desde los bordes de los mensajes (los mensajes a la salida para cada borde por cada nodo de control) de los bordes correspondientes a '1' de cada fila, de la i -ésima columna de la matriz de control H obtenida como resultado del cálculo. Por lo tanto, la capacidad de la memoria 413 para memorizar resultados de la decodificación en curso se hace igual a un valor de modo que, de forma similar al número de '1' (el número total de bordes) de la matriz de control y el número de bits de cuantización se multipliquen juntos. Por otro lado, la sección de cálculo 415 realiza un segundo cálculo utilizando los resultados de la decodificación en curso u_i correspondientes a los '1' de cada fila, de la i -ésima columna de la matriz de control H , que son los resultados del primer cálculo por la sección de cálculo 412 y el valor recibido u_{0i} y memoriza los resultados de la decodificación en curso v correspondientes a la i -ésima columna obtenida como resultado del cálculo en la memoria 410 para memorizar los resultados de la decodificación. Por lo tanto, la capacidad necesaria para la memoria 410 para memorizar los resultados de la decodificación en curso se hace un valor tal que el número de columnas de la matriz de control, que es más pequeño que el número de elementos '1' de la matriz de control, es decir, la longitud de código de los códigos LDPC y el número de bits de cuantización se multipliquen juntos.

Por lo tanto, en el aparato de decodificación 400 para decodificar códigos LDPC, en donde los elementos '1' en la matriz de control H son escasos, la capacidad de memoria de la memoria 410 para memorizar resultados de la decodificación en curso se puede reducir cuando se compara con la memoria de almacenamiento de datos de bordes 311 de las Figuras 16A y 16B. En consecuencia, se puede reducir la escala circuital del aparato de decodificación 400.

Además, en el aparato de decodificación 400, puesto que la sección de cálculo 415 realiza un segundo cálculo en conformidad con la ecuación (5), el aparato de decodificación 400 no necesita tener el bloque (no ilustrado) para realizar el cálculo de la ecuación (5) para calcular los resultados decodificados finales en el aparato de decodificación 300 de las Figuras 16A a 16C. De este modo, cuando se compara con el aparato de decodificación 300 de las Figuras 16A a 16C, se puede reducir la escala circuital del aparato de decodificación de la Figura 18.

A continuación se proporcionará una descripción, en detalle, de la operación de cada sección del aparato de decodificación 400 de la Figura 18.

Cinco resultados de la decodificación en curso $D415$ correspondientes a cinco columnas de la matriz de control, que son los resultados del segundo cálculo por la sección de cálculo 415, se suministran a la memoria 410 para memorizar los resultados de la decodificación en curso desde la sección de cálculo 415. La memoria 410 para memorizar los resultados de la decodificación en curso memoriza los cinco resultados de la decodificación en curso $D415$ suministrados desde la sección de cálculo 415 en secuencia, comenzando desde la primera dirección.

Más concretamente, en la primera dirección de la memoria 410 para memorizar resultados de la decodificación en curso, se memorizan los resultados de la decodificación en curso v desde la primera columna hasta la quinta columna, desde entre los resultados de la decodificación en curso correspondientes a la columna de la matriz de control. De modo similar, en la segunda dirección, se memorizan los resultados de la decodificación en curso v desde la sexta columna hasta la décima columna y en la tercera dirección, se memorizan los resultados de la decodificación en curso desde la 11ª columna hasta la 15ª columna. En adelante, de modo similar, los resultados de la decodificación en curso v , desde la 16ª columna hasta la 90ª columna, se memorizan en la cuarta dirección hasta la 18ª dirección en unidades de cinco resultados y un total de 90 resultados de la decodificación en curso v se memorizan en la memoria 410 para almacenar los resultados de la decodificación en curso. Por lo tanto, el número de palabras de la memoria 410 para memorizar los resultados de la decodificación en curso se hace 18 de modo que 90, el número de columnas de la matriz de control H (la longitud de código de los códigos LDPC) de la Figura 15, se divide por 5, el número de los resultados de la decodificación en curso que son objeto de lectura y escritura simultáneamente.

La memoria 410 para memorizar los resultados de la decodificación en curso efectúa una lectura simultánea, desde los resultados de la decodificación en curso $D415$ que han sido ya memorizados, de cinco resultados de la decodificación en curso v que son '1' en la fila correspondiente de la matriz de control H , de los resultados de la decodificación en curso u_i a determinarse por la sección de cálculo 412 en la etapa posterior y los suministra, como resultados de la decodificación en curso $D410$, al circuito de desplazamiento cíclico 411.

La memoria 410 para memorizar los resultados de la decodificación en curso está formada por, a modo de ejemplo, una memoria RAM de puerto único capaz de la lectura y escritura simultáneas de cinco resultados de la decodificación en curso. Puesto que, en la memoria 410 para memorizar los resultados de la decodificación en curso, los resultados de la decodificación en curso v correspondientes a la columna en la que se realiza el cálculo por el segundo cálculo de la sección de cálculo 415 son memorizados, la cantidad de datos memorizados en la memoria 410 para almacenar los resultados de la decodificación en curso, es decir, la capacidad de almacenamiento necesaria para la memoria 410 para memorizar los resultados de la decodificación en curso, es un valor de la multiplicación del número de bits de

cuantización de los resultados de la decodificación en curso y el número de columnas de la matriz de control H (la longitud de código de los códigos LDPC).

Cinco resultados de la decodificación en curso D410 se suministran al circuito de desplazamiento cíclico 411 desde la memoria 410 para memorizar los resultados de la decodificación en curso. Además, una señal de control D619 que indica información (datos de matrices) en cuanto al hecho de que los '1' de la matriz de control, que corresponde a los resultados de la decodificación en curso D410, están dispuestos como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control se desplaza de forma cíclica, se suministra al circuito de desplazamiento cíclico 411 desde la sección de cálculo 417. El circuito de desplazamiento cíclico 611 realiza un desplazamiento cíclico de redistribuir los cinco resultados decodificados D410 sobre la base de la señal de control D619 y suministra los resultados como resultados de la decodificación en curso D411 a la sección de cálculo 412.

La sección de cálculo 412 incluye cinco calculadores 412₁ a 412₅. Los cinco resultados de la decodificación en curso D411 (los segundos resultados de la decodificación en curso) v_i, que se obtienen como resultado del segundo cálculo por la sección de cálculo 415, se suministran a la sección de cálculo 412 desde el circuito de desplazamiento cíclico 411. Además, los cinco resultados de la decodificación en curso D413 (los primeros resultados de la decodificación en curso) u_j obtenidos anteriormente como un resultado del primer cálculo por los calculadores 412₁ a 412₅ se suministran a la sección de cálculo 412 desde la memoria 413 para memorizar los resultados de la decodificación en curso. Los cinco resultados de la decodificación en curso D411 y los cinco resultados de la decodificación en curso D413 se suministran a cada uno de los calculadores 412₁ a 412₅. Además, una señal de control D419 se suministra a la sección de cálculo 412 desde la señal de control 417 y la señal de control D419 se suministra a los calculadores 412₁ a 412₅. La señal de control de control D419 es una señal común a los cinco calculadores 412₁ a 412₅.

Los calculadores 412₁ a 412₅ realizan el primer cálculo en conformidad con la ecuación (7) y la ecuación (8) utilizando los resultados de la decodificación en curso D411 y los resultados de la decodificación en curso D413 y determinan los resultados de la decodificación en curso D412 (v_i). La sección de cálculo 412 suministra los cinco resultados de la decodificación en curso D412 correspondientes a cinco '1' de la matriz de control, que se obtienen como resultado de los cálculos por los calculadores 412₁ a 412₅, a la memoria 413 para almacenar los resultados de la decodificación en curso.

La memoria 413 para memorizar los resultados de la decodificación en curso está formada por, a modo de ejemplo, dos memorias RAMs de puerto único capaces de la lectura y escritura simultáneas de cinco resultados de la decodificación en curso. Los cinco resultados de la decodificación en curso D412 se suministran a la memoria 413 para memorizar los resultados de la decodificación en curso desde la sección de cálculo 412 y además, una señal de control D420, para controlar las operaciones de lectura y escritura de los resultados de la decodificación en curso 413, se suministran a la memoria 413 desde la sección de cálculo 417.

Sobre la base de la señal de control D420, la memoria 413 para memorizar los resultados de la decodificación en curso almacena, de forma colectiva, los cinco resultados de la decodificación en curso D412 suministrados desde la sección de cálculo 412 y al mismo tiempo, efectúa la lectura de los cinco resultados de la decodificación en curso D412, que se han memorizado con anterioridad y los suministra como resultados de la decodificación en curso D413 a la sección de cálculo 412 y al circuito de desplazamiento cíclico 414. Es decir, la memoria 413 para memorizar los resultados de la decodificación en curso realiza simultáneamente la lectura de los resultados de la decodificación en curso D413 a suministrar a la sección de cálculo 412 y al circuito de desplazamiento cíclico 414 y la escritura de los resultados de la decodificación en curso D412 suministrados desde la sección de cálculo 412.

En la memoria 413 para memorizar los resultados de la decodificación en curso, se memorizan los resultados de la decodificación en curso u_j del cálculo de nodos de control desde los bordes correspondientes '1' de cada fila, de la i-ésima columna de la matriz de control H, que se calculan por el primer cálculo de la sección de cálculo 412. Por lo tanto, la cantidad de datos memorizados en la memoria 413 para memorizar los resultados de la decodificación en curso, es decir, la capacidad de almacenamiento necesaria para la memoria 413 para memorizar los resultados de la decodificación en curso, se hace el valor de multiplicación del número de los bits de cuantización de los resultados de la decodificación en curso y el número de '1' de la matriz de control.

Cinco resultados de la decodificación en curso D413 (los resultados de la decodificación en curso u_j) se suministran al circuito de desplazamiento cíclico 414 desde la memoria 413 para memorizar los resultados de la decodificación en curso. Además, una señal de control D421 que indica información (datos de matrices) en cuanto al hecho de que los '1' de la matriz de control, que corresponde a los resultados de la decodificación en curso D413, están dispuestos como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria, que constituye la base en la matriz de control, es objeto de desplazamiento cíclico, se suministran al circuito de desplazamiento cíclico 414 desde la sección de cálculo 417. El circuito de desplazamiento cíclico 414 realiza un desplazamiento cíclico de redistribución de los cinco resultados de la decodificación en curso D413 sobre la base de la señal de control D421 y suministra los resultados como resultados de la decodificación en curso D414 a la sección de cálculo 415.

La sección de cálculo 415 incluye cinco calculadores 415₁ a 415₅. Cinco resultados de la decodificación en curso D414 se suministran a la sección de cálculo 415 desde el circuito de desplazamiento cíclico 414 y los resultados de la decodificación en curso D414 se suministran a los respectivos calculadores 415₁ a 415₅. Además, cinco elementos de

datos recibidos D417 (códigos LDPC) se suministran a la sección de cálculo 415 desde la memoria 417 para recepción y los elementos de datos recibidos D417 se suministran a los respectivos calculadores 415₁ a 415₅. Además, una señal de control D422 se suministra a la sección de cálculo 417 desde la señal de control 417 y la señal de control D422 se suministra a los calculadores 415₁ a 415₅. La señal de control D422 es una señal común a los cinco calculadores 417₁ a 417₅.

Los calculadores 415₁ a 415₅ realizan, cada uno, el segundo cálculo en conformidad con la ecuación (5) utilizando los resultados de la decodificación en curso D414 y los datos recibidos D417 y determinan los resultados de la decodificación en curso D415. La sección de cálculo 415 suministra los cinco resultados de la decodificación en curso D415 (v) obtenidos como un resultado del segundo cálculo por los calculadores 415₁ a 415₅ a la memoria 410 para memorizar los resultados de la decodificación en curso. Además, cuando el cálculo, que se está realizando actualmente, es el segundo cálculo final, la sección de cálculo 415 proporciona, a la salida, los cinco resultados de la decodificación en curso D415, que se obtienen como resultado del cálculo, como los resultados decodificados finales.

La memoria 416 para recepción memoriza, como datos recibidos D417, el LLR (ratio de probabilidad logarítmica) de recepción, que es el valor de 0-semejanza del bit de signo, que se calcula a partir del valor recibido (el bit de signo) que se recibe a través del canal de comunicación.

Es decir, en la primera dirección de la memoria 416 para recepción, los datos recibidos D417 correspondientes a la primera columna hasta la quinta columna de la matriz de control, desde entre los datos recibidos D417 correspondientes a la columna de la matriz de control son objeto de memorización. A continuación, en la segunda dirección, los datos recibidos D417 correspondientes a la sexta columna hasta la décima columna de la matriz de control se memorizan y en la tercera dirección, se memorizan los datos recibidos D417 correspondientes a la 11ª columna hasta la 16ª columna de la matriz de control. En adelante, de modo similar, en la cuarta dirección hasta la 18ª dirección, los datos recibidos D417 correspondientes a la 17ª columna hasta la 90ª columna se memorizan en unidades de cinco elementos de datos.

A continuación, una memoria 616 para recepción efectúa la lectura de los datos recibidos D417 que se han memorizado, con anterioridad, en unidades de cinco elementos de datos en la secuencia necesaria para el cálculo de nodos de variables y los suministra a la sección de cálculo 415.

La memoria 416 para recepción está formada por, a modo de ejemplo, una memoria de puerto único RAM capaz de la lectura y escritura simultáneas de cinco elementos de datos recibidos. La cantidad de datos memorizados en la memoria 416 para recepción, es decir, la capacidad de almacenamiento necesaria para la memoria 315 para recepción, es el valor de multiplicación de la longitud de código de los códigos LDPC y el número de bits de cuantización de los datos recibidos. El número de palabras de la memoria 416 para recepción es 18, que es el valor de modo que la longitud de código de los códigos LDPC, es decir 90, el número de columnas de la matriz de control, se divide por 5, el número de elementos de los datos recibidos D417 objeto de lectura simultánea.

La sección de control 417 suministra una señal de control D418 al circuito de desplazamiento cíclico 411 y suministra una señal de control D419 a la sección de cálculo 412 para poder controlarlos, respectivamente. La sección de control 417 suministra una señal de control D420 a la memoria 413 para memorizar los resultados de la decodificación en curso, suministra una señal de control D421 al circuito de desplazamiento cíclico 414 y suministra una señal de control D421 a la sección de cálculo 415 con el fin de controlarlos, respectivamente.

Como resultado de los datos que están en circulación en el orden de la memoria 410 para memorizar resultados de la decodificación en curso, el circuito de desplazamiento cíclico 411, la sección de cálculo 412, la memoria 413 para memorizar los resultados de la decodificación, el circuito de desplazamiento cíclico 414 y la sección de cálculo 415, el aparato de decodificación 400 puede realizar una decodificación. En el aparato de decodificación 400, después de que se realicen decodificaciones, de forma repetida, un número predeterminado de veces, los resultados de la decodificación en curso D415, que son los resultados del segundo cálculo por la sección de cálculo 415, se proporcionan como los resultados decodificados finales.

La Figura 21 es un diagrama de bloques que representa, a modo de ejemplo, la configuración de un calculador 412₁ de la sección de cálculo 412 de la Figura 18.

En la Figura 21, se proporciona una descripción del calculador 412₁ y el calculador 412₂ al calculador 412₅, se configuran también de la misma manera.

En la Figura 21, el calculador 412₁ se representa suponiendo que cada uno de los resultados de la decodificación en curso (u_{dv}), obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, junto con el bit de signo, son objeto de cuantización para un total de seis bits y cada uno de los resultados de la decodificación en curso (v), obtenidos como un resultado del segundo cálculo por el calculador 415, es objeto de cuantización para nueve bits. Además, una señal de control de reloj ck se suministra al calculador 412₁ de la Figura 21 y esta señal de control de reloj ck se suministra a los bloques necesarios. A continuación, cada bloque realiza el procesamiento en sincronización con la señal de control de reloj ck .

Sobre la base de la señal de control D419, suministrada desde la sección de control 417, el calculador 412₁ de la Figura 21 realiza un primer cálculo en conformidad con la ecuación (7) y la ecuación (8) utilizando los resultados de la decodificación en curso D413 (u_{dv}) obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, que son objeto de lectura, uno a uno, desde la memoria 413 para memorizar los resultados de la decodificación en curso y los resultados de la decodificación en curso D411 (v_i), que son objeto de lectura, uno a uno, desde el circuito de desplazamiento cíclico 411.

Más concretamente, un resultado de decodificación en curso D411, desde entre los cinco resultados de la decodificación en curso de 9 bits D411 (v) suministrados desde el circuito de desplazamiento cíclico 411, se suministran al calculador 412₁. Además, un resultado de la decodificación en curso D413, que es el resultado del cálculo por la sección de cálculo 412 en el tiempo anterior, desde entre los cinco resultados de la decodificación en curso de 6 bits D413 (u_i), que son los resultados del cálculo por la sección de cálculo 412 en el tiempo anterior, que se suministran desde la memoria 413 para memorizar los resultados de la decodificación en curso, se suministran al calculador 412₁. Los resultados de la decodificación en curso de 9 bits D411 (v) y los resultados de la decodificación en curso de 6 bits D413 (u_{dv}) se suministran al dispositivo restador 431. Además, la señal de control D419 se suministra al calculador 412₁ desde la sección de control 417 y la señal de control D419 se suministra al selector 435 y al selector 442.

El dispositivo restador 431 sustrae el resultado de la decodificación en curso de seis bits D413 (u_i) a partir del resultado de la decodificación en curso de 9 bits D411 (v) y proporciona, a la salida, el valor sustraído de 6 bits D431. Es decir, el dispositivo restador 431 realiza un cálculo en conformidad con la ecuación (8) y proporciona, a la salida, el valor sustraído D431 (v_i) que es el resultado del cálculo.

Un bit de signo D432 ($\text{sign}(v_i)$), que indica el signo positivo o negativo del bit de más alto orden desde entre el valor sustraído de 6 bits D431 objeto de salida desde el dispositivo restador 431, se suministra al circuito lógico EXOR 440 y el valor absoluto de D433 ($|v_i|$) de los cinco bits de más bajo orden se suministra a LUT 432.

El LUT 432 efectúa la lectura de los resultados del cálculo de 5 bits D434 ($\phi(|v_i|)$) de modo que el cálculo $\phi(|v_i|)$, en la ecuación (7) se realice sobre el valor absoluto D433 ($|v_i|$) y los suministra a un sumador 433 y una memoria FIFO 438.

El sumador 433 integra los resultados del cálculo D434 sumando juntos los resultados del cálculo D434 ($\phi(|v_i|)$) y el valor de 9 bits D435 memorizado en el registro 434 y memoriza el valor integrado de 9 bits obtenido como resultado en el registro 434 de nuevo. Cuando los resultados del cálculo para el valor absoluto D433 ($|v_i|$), determinado a partir de los resultados de la decodificación en curso D411, correspondientes a todos los '1' a través de una fila de la matriz de control están integrados, el registro 434 es objeto de reposición.

Cuando los resultados de la decodificación en curso D411 a través de una fila de la matriz de control se leen, uno a uno, y el valor integrado, de modo que los resultados del cálculo D434 para una fila estén integrados, se memoriza en el registro 434, la señal de control D419 suministrada desde la sección de control 417 cambia desde 0 a 1. A modo de ejemplo, cuando el peso de ponderación de la fila es "9", la señal de control D419 es "0" en la primera a octava señales de reloj y es "1" en la novena señal de reloj.

Cuando la señal de reloj D419 es "1", el selector 435 selecciona el valor memorizado en el registro 434, es decir, el valor de 9 bits D435 ($\sum \phi(|v_i|)$ desde $i = 1$ a $i = d_c$), de modo que $\phi(|v_i|)$ determinado a partir de los resultados de la decodificación en curso D411 (los resultados de la decodificación en curso v) correspondientes a todos los '1' a través de una fila de la matriz de control están integrados y proporciona el valor como un valor D436 al registro 436, en donde se memoriza. El registro 436 suministra el valor memorizado D436 como un valor de 9 bits D437 al selector 435 y al sumador 437. Cuando la señal de control D419 es "0", el selector 435 selecciona el valor D437, suministrado desde el registro 436 y proporciona el valor al registro 436, en donde se memoriza de nuevo. Es decir, hasta $\phi(|v_i|)$ determinado a partir de los resultados de la decodificación en curso D411 (los resultados de la decodificación en curso v) correspondientes a todos los '1' a través de una fila de la matriz de control están integrados, el registro 436 suministra $\phi(|v_i|)$ integrado en un tiempo anterior al selector 435 y al dispositivo sumador 437.

Por otro lado, la memoria FIFO 438 retarda el resultado del cálculo D434 ($\phi(|v_i|)$) objeto de salida por la LUT 432 hasta que un nuevo valor D437 ($\sum \phi(|v_i|)$ desde $i = 1$ a $i = d_c$) se proporciona desde el registro 436 y lo suministra como un valor de 5 bits D438 al dispositivo restador 437. El dispositivo restador 437 sustrae el valor D438, suministrado desde la memoria FIFO 438, desde el valor D437 suministrado desde el registro 436 y suministra el resultado de la sustracción como un valor sustraído de 5 bits D439 al LUT 439. Es decir, el dispositivo restador 437, sustrae desde el valor integrado de $\phi(|v_i|)$ determinado a partir de los resultados de la decodificación en curso D411 (los resultados de la decodificación en curso v) correspondientes a todos los '1' a través de una fila de la matriz de control, los resultados de la decodificación en curso correspondientes a los bordes a determinarse, es decir, $\phi(|v_i|)$ determinado a partir de los resultados de la decodificación en curso D411 (los resultados de la decodificación en curso v) correspondientes a los '1' predeterminados de matriz de control y suministra el valor sustraído ($\sum \phi(|v_i|)$) desde ($i = 1$ a $i = d_c - 1$) como un valor sustraído D439 al LUT 439.

El LUT 439 soportar el resultado del cálculo de 5 bits D440 ($\phi^{-1}(\sum \phi(|v_i|))$) de modo que el cálculo de $\phi^{-1}(\sum \phi(|v_i|))$ en la ecuación (7) se realice sobre el valor sustraído D439 ($\sum \phi(|v_i|)$ desde $i = 1$ a $i = d_c - 1$).

En paralelo con el procesamiento anterior, el circuito EXOR 440 realiza una multiplicación de bits de signo calculando la función lógica OR exclusiva de un valor de 1 bit D442 memorizado en el registro 441 y el bit de signo D432 y memoriza un resultado de multiplicación de 1 bit D441 en el registro 441 de nuevo. Cuando el bit de signo D432 determinado a partir de los resultados de la decodificación en curso D411, correspondiente a todos los '1' a través de una fila de matriz de control se multiplica, el registro 441 es objeto de reposición.

Cuando los resultados de la multiplicación D441 ($\prod \text{sign}(v_i)$) desde $i = 1$ a $i = d_c$, de modo que el bit de signo D432 determinado a partir de los resultados de la decodificación en curso D411 correspondientes a todos los '1', a través de una fila de la matriz de control se memorizan en el registro 441 se multiplica y la señal de control D419 suministrada desde la sección de control 417 cambia desde "0" a "1".

Cuando la señal de control D419 es "1", el selector 442 selecciona el valor memorizado en el registro 441, es decir, el valor D442 ($\prod \text{sign}(v_i)$ desde $i = 1$ a $i = d_c$) de modo que el bit de signo D432 determinado a partir de los resultados de la decodificación en curso D411, correspondientes a todos los '1' a través de una fila de la matriz de control se multipliquen y proporciona el valor como un valor de 1 bits D443 al registro 443. El registro 443 suministra el valor memorizado D443 como un valor de 1 bit D444 a un selector 442 y a un circuito lógico EXOR 445. Cuando la señal de control D419 es "0", el selector 442 selecciona un valor D444 suministrado desde el registro 443 y proporciona, a la salida, el valor al registro 443, en donde se memoriza de nuevo. Es decir, hasta que el bit de signo D432 determinado a partir de los resultados de la decodificación en curso D411 (los resultados de la decodificación en curso v) correspondientes a todos los '1', a través de una fila de la matriz de control, se multiplique, el registro 443 suministra el valor memorizado en el tiempo anterior al selector 442 y al circuito lógico EXOR 445.

Por otro lado, la memoria FIFO 444 retarda el bit de signo D432 hasta que un nuevo valor D444 ($\prod \text{sign}(v_i)$ desde $i = 1$ a $i = d_c$) se suministre desde el registro 443 al circuito lógico EXOR 445 y lo suministre como un valor de 1 bit D445 al circuito lógico EXOR 445. El circuito lógico EXOR 445 divide el valor D444 por el valor D445 calculando la función lógica OR exclusiva del valor D444 suministrado desde el registro 443 y el valor D445 suministrado desde la memoria FIFO 444 y proporciona, a la salida, el resultado dividido de 1 bit como un valor dividido D446. Es decir, el circuito lógico EXOR 445 divide el valor multiplicado del bit de signo D432 ($\text{sign}(v_i)$) determinado a partir de los resultados de la decodificación en curso D411 correspondientes a todos los '1', a través de una fila de la matriz de control por el bit de signo D432 ($\text{sign}(v_i)$) determinado a partir de los resultados de la decodificación en curso D411 correspondientes a los '1' predeterminados de la matriz de control, y proporciona el valor dividido ($\prod \text{sign}(v_i)$) desde $i = 1$ a $i = d_c - 1$) como el valor dividido D446.

En el calculador 412₁ un total de seis bits, en los que los resultados del cálculo de 5 bits D440 procedente de la LUT 439 son los cinco bits de más bajo orden y el valor dividido de 1 bit D446, procedente del circuito lógico EXOR 445, es el bit de más alto orden, se proporciona como los resultados de la decodificación en curso D412 (los resultados de la decodificación en curso u_j).

Según se describió anteriormente, en el calculador 412₁ se realizan los cálculos de la ecuación (7) y de la ecuación (8) y se determina el resultado de la decodificación en curso u_j .

Puesto que el máximo del peso de ponderación de fila de la matriz de control de la Figura 15 es 9, es decir, puesto que el número máximo de los resultados de la decodificación en curso D411 (v) y los resultados de la decodificación en curso D413 (u_{di}) suministrados al calculador 412₁ es 9, el calculador 412₁ tiene una memoria FIFO 438 para retardar nueve resultados del cálculo D434 ($\phi(|v_i|)$) determinado a partir de los nueve resultados de la decodificación en curso D411 y una memoria FIFO 444 para retardar nueve bits de signo D432. Cuando el mensaje de la fila, cuyo peso es menor que 9, ha de calcularse, la magnitud del retardo en la memoria FIFO 438 y la memoria FIFO 444 se reduce al valor del peso de ponderación de la fila.

La Figura 22 es un diagrama de bloques que representa, a modo de ejemplo, la configuración de un calculador 415₁ de la sección de cálculo 415.

En la Figura 22, se proporciona una descripción del calculador 415₁ y el calculador 415₂ al calculador 415₅ se configuran también de la misma manera.

En la Figura 22, el calculador 415₁ se ilustra suponiendo que cada resultado de la decodificación en curso (u_j), obtenido como un resultado del primer cálculo por el calculador 412, junto con el bit de signo, es objeto de cuantización para un total de seis bits. Además, una señal de reloj ck se suministra al calculador 415₁ de la Figura 22 y esta señal de reloj ck se suministra a los bloques necesarios. Cada bloque realiza el procesamiento en sincronización con la señal de reloj ck .

Sobre la base de la señal de control D422, suministrada desde la sección de control 417, el calculador 415₁ de la Figura 22 realiza un segundo cálculo en conformidad con la ecuación (5) utilizando los datos recibidos D417 (el valor recibido u_{di}), leídos uno a uno desde la memoria 416 para recepción y los resultados de la decodificación en curso D414 (u_j) leídos, uno a uno, desde el circuito de desplazamiento cíclico 414.

Más concretamente, en el calculador 415₁ los resultados de la decodificación en curso de 6 bits D414 (los resultados de la decodificación en curso u_j) correspondientes a los '1' de cada fila de la matriz de control se leen, uno a uno, desde el circuito de desplazamiento cíclico 414 y los resultados de la decodificación en curso D414 se suministran al dispositivo sumador 471. Además, en el calculador 415₁, los datos recibidos de 6 bits D417 se leen, uno a uno, desde la memoria 416 para recepción y se suministran al dispositivo sumador 475. Además, una señal de control D422 se suministra al calculador 415₁ desde la sección de control 417 y la señal de control D422 se suministra al selector 473.

El dispositivo sumador 471 integra los resultados de la decodificación en curso D414 sumando juntos los resultados de la decodificación en curso D414 (los resultados de la decodificación en curso u_j) y el valor integrado de 9 bits D471 memorizado en el registro 472 y memoriza el valor integrado de 9 bits en el registro 472 de nuevo. Cuando se integran los resultados de la decodificación en curso D414 correspondientes a todos los '1' a través de una fila de la matriz de control, el registro 472 es objeto de reposición.

Cuando los resultados de la decodificación en curso D414, a través de una fila de la matriz de control se leen, uno a uno, y el valor tal como los resultados de la decodificación en curso D414 para una sola fila se integran, se memorizan en el registro 472, la señal de control D422 suministrada desde la sección de control 417 cambia desde "0" a "1". A modo de ejemplo, cuando el peso de ponderación de la columna es "5", la señal de control D422 es "0" en la primera señal de reloj hasta la cuarta señal de reloj y es "1" en la quinta señal de reloj.

Cuando la sección de cálculo D422 es "1", el selector 473 selecciona el valor memorizado en el registro 472, es decir, un valor de 9 bits 471 ($\sum u_j$ desde $j = 1$ a d_v) de modo que los resultados de la decodificación en curso D414 (los resultados de la decodificación en curso u_j) desde todos los bordes a través de una fila de la matriz de control estén integrados y proporciona, a la salida, el valor al registro 474, en donde se memoriza. El registro 474 suministra el valor memorizado D471 como un valor de 9 bits D472 al selector 471 y al dispositivo sumador 475. Cuando la señal de control D422 es "0", el selector 473 selecciona el valor D472, suministrado desde el registro 474 y proporciona, a la salida, el valor al registro 474, en donde se memoriza de nuevo. Es decir, hasta que se integren los resultados de la decodificación en curso D414 (los resultados de la decodificación en curso u_j) desde todos los bordes a través de una fila de la matriz de control, el registro 474 suministra el valor anteriormente integrado al selector 473 y al dispositivo sumador 475.

El dispositivo sumador 475 añade juntos el valor de 9 bits D472 y los datos recibidos de 6 bits D417 suministrados desde la memoria 416 para recepción y proporciona, a la salida, el valor de 6 bits obtenido como el resultado de la decodificación en curso D415 (los resultados de la decodificación en curso v).

Según se describió anteriormente, en el calculador 415₁, se realiza el cálculo de la ecuación (5) y se determina el resultado de la decodificación en curso v .

Puesto que el máximo de los pesos de ponderación de las columnas de la matriz de control de la Figura 8 es 5, es decir, puesto que el número máximo de los resultados de la decodificación en curso u_j suministrados al calculador 415₁ es 5, el calculador 415₁ añade juntos un máximo de cinco resultados de la decodificación en curso de 6 bits u_j . Por lo tanto, la salida del calculador 415₁ es un valor de 9 bits.

La Figura 23 es un diagrama de bloques que representa, a modo de ejemplo, la configuración de la memoria 413 para memorizar los resultados de la decodificación en curso de la Figura 18.

La memoria 413 para memorizar los resultados de la decodificación en curso incluye conmutadores 501 y 504 y dos memorias RAMs 502 y 503 para memorizar los resultados de la decodificación en curso, que son memorias RAM de puerto único.

Antes de describir, en detalle, cada sección de la memoria 413 para memorizar los resultados de la decodificación en curso, el método de memorización de datos en la memoria RAM 502 y 503 para memorizar los resultados de la decodificación en curso se describirán primero a continuación.

Las memorias RAMs 502 y 503 para memorizar los resultados de la decodificación en curso memorizan los resultados de la decodificación en curso D412 que se obtienen como resultado del primer cálculo y que se suministran a través de un conmutador 501.

Más concretamente, en la primera dirección hasta la novena dirección de la memoria RAM 502 para memorizar resultados de la decodificación en curso, los resultados de la decodificación en curso D412 (D501), correspondientes a los '1' desde la primera fila hasta la quinta fila de la matriz de control H de la Figura 15 se memorizan de tal manera que estén empaquetados más próximos (en una manera en que los "0" sean ignorados) en la dirección horizontal (en la dirección de las columnas) para cada fila.

Más concretamente, cuando la j -ésima fila y la i -ésima columna se indican como (j, i) , en la primera dirección de la memoria RAM 502 para memorizar los resultados de la decodificación en curso, se memorizan los datos correspondientes a los '1' de la matriz unitaria 5×5 desde $(1, 1)$ a $(5, 5)$, que es un sub-matriz de la matriz de control de la Figura 15. En la segunda dirección, se memorizan los datos correspondientes a los '1' de la matriz de desplazamiento

desde (1, 21) a (5, 25) (una matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en tres a la derecha), que es una sub-matriz de la matriz de control de la Figura 15. De modo similar, en la tercera dirección hasta la octava dirección, además, se memorizan datos de tal manera que correspondan a la sub-matriz de la matriz de control de la Figura 15. A continuación, en la novena dirección, se memorizan los datos correspondientes a los '1' de la matriz de desplazamiento desde (1, 86) a (5, 90) de la matriz de control (la matriz de desplazamiento en la que los '1' de la primera fila de la matriz unitaria 5 x 5 se sustituyen con "0", y la matriz unitaria se desplaza, de forma cíclica, en uno a la izquierda). En este caso, en la matriz de desplazamiento desde (1, 86) a (5, 90) de la matriz de control de la Figura 15, puesto que los '1' no existen en la primera fila, los datos no se memorizan en la novena dirección.

En la 10ª dirección hasta la 18ª dirección de la memoria RAM 502 para memorizar los resultados de la decodificación en curso, se memorizan los datos correspondientes a los '1' desde la 11ª fila hasta la 15ª fila de la matriz de control de la Figura 15. Es decir, en la 10ª dirección, se memorizan los datos correspondientes a los '1' de la matriz, en donde la matriz unitaria 5 x 5 desde (11, 6) a (15, 10) de la matriz de control se desplaza, de forma cíclica, en tres a la derecha. En la 11ª dirección, los datos correspondientes a los '1' de la matriz de desplazamiento constituyen la matriz suma (la matriz suma, que es la suma de la matriz unitaria 5 x 5 y la matriz de desplazamiento en donde la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en tres a la derecha) desde (11, 11) a (15, 15) de la matriz de control. En la 12ª dirección, se memorizan los datos correspondientes a los '1' de la matriz unitaria que constituye la matriz suma desde (11, 6) a (15, 10) de la matriz de control. En adelante, además, en la 13ª dirección hasta la 18ª dirección, se memorizan datos de tal manera que correspondan a la matriz de control.

Más concretamente, para la sub-matriz cuyo peso de ponderación es 2 o más, se memorizan datos (los resultados de la decodificación en curso de los mensajes correspondientes a los bordes pertenecientes a la matriz unitaria, la matriz cuasi-unitaria o la matriz de desplazamiento), correspondientes a las posiciones de '1' de la matriz unitaria cuyo peso de ponderación es 1, la matriz cuasi-unitaria o la matriz de desplazamiento cuando la sub-matriz se representa en la forma de la suma de dos o más de la matriz unitaria ($P \times P$) cuyo peso de ponderación es 1, la matriz cuasi-unitaria en la que uno o más '1', que son los elementos de la matriz unitaria, se sustituyen con 0 y una matriz de desplazamiento en la que la matriz unitaria o la matriz cuasi-unitaria se desplaza, de forma cíclica, se memorizan en la misma dirección.

De modo similar, en la 19ª dirección hasta la 27ª de la memoria RAM 502 para memorizar la decodificación en curso, se memorizan los datos correspondientes a los '1' desde la 21ª fila hasta la 25ª fila, de tal manera que se correspondan con la matriz de control de la Figura 15. Es decir, el número de palabras de la memoria RAM 502 para memorizar los resultados de la decodificación en curso es 27.

En la primera dirección hasta la novena dirección de una memoria RAM 503 para memorizar los resultados de la decodificación en curso, los resultados de la decodificación en curso D412 (D502) correspondiente a los '1' desde la sexta fila hasta la décima fila de la matriz de control H de la Figura 15 se memorizan de tal manera que estén empaquetados más próximos en la dirección horizontal (en la dirección de las columnas) para cada fila (en una manera en la que se ignoran los '0').

Más concretamente, en la primera dirección de la memoria RAM 503 para memorizar los resultados de la decodificación en curso, se memorizan los datos correspondientes a los '1' de la primera matriz de desplazamiento que constituye la matriz suma desde (6, 1) a (10, 5) (la matriz suma, que es la suma de una primera matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza, de forma cíclica, en uno a la derecha y una segunda matriz de desplazamiento en la que la matriz unitaria se desplaza cíclicamente en dos a la derecha), que es una sub-matriz de la matriz de control. En la segunda dirección, se memorizan los datos correspondientes a los '1' de la segunda matriz de desplazamiento que constituye la matriz suma desde (6, 1) a (10, 5), que es una sub-matriz de la matriz de control. En adelante, además, en la tercera dirección hasta la novena dirección, se memorizan datos de tal manera que correspondan a la sub-matriz de la matriz de control.

De modo similar, en la 10ª dirección hasta la 18ª dirección de la memoria RAM 503 para memorizar la decodificación en curso, se memorizan datos correspondientes a los '1' desde la 16ª fila hasta la 20ª fila de la matriz de control de la Figura 15 de tal manera que se correspondan con la matriz de control de la Figura 15. En la 19ª dirección hasta la 27ª dirección, se memorizan datos correspondientes a los '1' desde la 26ª fila hasta la 30ª fila de la matriz de control de la Figura 15 de tal manera que se correspondan con la matriz de control de la Figura 15. Es decir, el número de palabras de la memoria RAM 503 para memorizar los resultados de la decodificación en curso es 27.

En la manera anteriormente descrita, el número de palabras de las memorias RAMs 502 y 503, para memorizar los resultados de la decodificación en curso, es 27. Es decir, el número de palabras se hace un valor tal como 9, que es el peso de ponderación de la fila de la matriz de control, se multiplica por 30, el número de filas y el resultado multiplicado (el número de '1' de la matriz de control) se divide por 5, el número de resultados de la decodificación en curso D501, que se leen simultáneamente y además, el resultado se divide por 2, el número de memorias RAMs 502 para memorizar los resultados de la decodificación en curso poseídos por la memoria 413 para memorizar los resultados de la decodificación en curso.

A continuación se proporcionará una descripción, en detalle, de la operación de cada sección de la memoria 413 para memorizar los resultados de la decodificación en curso de la Figura 23.

Cuando se realiza el primer cálculo por la sección de cálculo 412, los resultados de la decodificación en curso D412 (u_j), obtenidos como un resultado del primer cálculo, se suministran desde la sección de cálculo 412 a la memoria 413 para memorizar los resultados de la decodificación en curso y los resultados de la decodificación en curso D412 son objeto de escritura en una dirección predeterminada de una de las memorias RAM 502 para memorizar los resultados de la decodificación en curso y la memoria RAM 503 para memorizar los resultados de la decodificación en curso. Al mismo tiempo, los resultados de la decodificación en curso D412 (u_j), obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, es objeto de lectura desde la otra memoria RAM y se proporcionan a la sección de cálculo 412. Por otro lado, cuando se realiza el segundo cálculo por la sección de cálculo 415, la memoria 413 para memorizar los resultados de la decodificación en curso no realiza la escritura en la memoria RAM 502 para memorizar los resultados de la decodificación en curso ni en la memoria RAM 503 para memorizar los resultados, efectúa la lectura de los resultados de la decodificación en curso desde una dirección predeterminada de una de las memorias RAMs y los suministra al circuito de desplazamiento cíclico 414.

Los cinco resultados de la decodificación en curso D412 se suministran desde la sección de control 412 al conmutador 501 y además, una señal de control D420₁ que indica la selección de una de las memorias RAM 502 para memorizar los resultados de la decodificación en curso y la memoria RAM 503 para memorizar los resultados de la decodificación en curso puesto que una memoria para la escritura de los resultados de la decodificación en curso D412 se suministra al conmutador 501 desde la sección de control 417. Sobre la base de la señal de control D420₁, el conmutador 501 selecciona una de las memorias RAM 502 para memorizar los resultados de la decodificación en curso y la memoria RAM 503 para memorizar los resultados de la decodificación en curso y suministra los cinco resultados de la decodificación en curso D412 a la memoria RAM seleccionada.

Los cinco resultados de la decodificación en curso D412 se suministran como resultados de la decodificación en curso D501 a la memoria RAM 502 para memorizar los resultados de la decodificación en curso 501 y además, una señal de control D420₂, que indica la dirección, se le suministra desde la sección de control 417. La memoria RAM 502 para memorizar los resultados de la decodificación en curso efectúa la lectura de los cinco resultados de la decodificación en curso D501 obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, que están ya memorizados en la dirección indicada por la señal de control D420₂ y los suministra como resultados de la decodificación en curso D503 al conmutador 504.

Además, la memoria RAM 502 para memorizar los resultados de la decodificación en curso memoriza (escribe) los cinco resultados de la decodificación en curso D501, suministrados desde el conmutador 501, en la dirección indicada por la señal de control D420₂.

Los cinco resultados de la decodificación en curso D412 se suministran como resultados de la decodificación en curso D502 a la memoria RAM 503 para memorizar los resultados de la decodificación en curso desde el conmutador 501 y además, una señal de control D420₃, que indica la dirección, se suministra a la memoria RAM 503 desde la sección de control 417. La memoria RAM 503 para memorizar los resultados de la decodificación en curso efectúa la lectura de los cinco resultados de la decodificación en curso D502 obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, que han sido ya memorizados en la dirección indicada por la señal de control D420₃ y los suministra como resultados de la decodificación en curso D504 al conmutador 504. Además, la memoria RAM 502 para memorizar los resultados de la decodificación en curso memoriza (escribe) los cinco resultados de la decodificación en curso D502 suministrados desde el conmutador 501 en la dirección indicada por la señal de control D420₃.

Los resultados de la decodificación en curso D503 se suministran al conmutador 504 desde la memoria RAM 502 para memorizar los resultados de la decodificación en curso o los resultados de la decodificación en curso D504 se suministran al conmutador 504 desde la memoria RAM 503 para memorizar los resultados de la decodificación en curso. Además, una señal de control D420₄, que indica la selección de una de las memorias RAM 502 para memorizar los resultados de la decodificación en curso y la memoria RAM 503 para memorizar los resultados de la decodificación en curso, se suministran al conmutador 504 desde la sección de control 417. Sobre la base de la señal de control D420₁, el conmutador 504 selecciona una de las memorias RAM 502 para memorizar los resultados de la decodificación en curso y la memoria RAM 503 para memorizar los resultados de la decodificación en curso y suministra los cinco resultados de la decodificación en curso suministrados desde la memoria RAM seleccionada, como los cinco resultados de la decodificación en curso D413, a la sección de cálculo 412 y al circuito de desplazamiento cíclico 414.

La Figura 24 es un diagrama de temporización que ilustra las operaciones de lectura y escritura de la memoria RAM 502 para memorizar los resultados de la decodificación en curso y la RAM 503 para memorizar los resultados de la decodificación en curso de la memoria 413 para memorizar los resultados de la decodificación en curso.

En la Figura 24, el eje horizontal indica el tiempo (t).

En la memoria 413 para memorizar los resultados de la decodificación en curso, cuando ha de realizarse el primer cálculo por la sección de cálculo 412, sobre la base de la señal de control D420₂, la memoria RAM 502 para memorizar los resultados de la decodificación en curso efectúa la lectura, nueve veces, de los resultados de la decodificación en curso D501, correspondientes a los '1' desde la primera fila hasta la quinta fila de la matriz de control, que se memorizan

en la misma dirección, de entre los resultados de la decodificación en curso D501 obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, que están ya memorizados, en unidades de cinco resultados, y los suministra a la sección de cálculo 412 a través del conmutador 504. Es decir, puesto que el peso de ponderación de la fila de la matriz de control H de la Figura 15 es 9, existen nueve resultados de la decodificación en curso correspondientes a los '1' de cada fila de la matriz de control H y la memoria RAM 502 para memorizar los resultados de la decodificación en curso efectúa la lectura, nueve veces, de los cinco resultados de la decodificación en curso D501 correspondientes a los '1' desde la primera fila a la quinta fila en unidades de cinco resultados.

A continuación, sobre la base de la señal de control D420₃, la memoria RAM 503 para memorizar los resultados de la decodificación en curso lee continuamente nueve veces, los resultados de la decodificación en curso D502 correspondientes a los '1' desde la sexta fila a la 10ª fila, que se memorizan en la misma dirección, desde entre los resultados de la decodificación en curso D502 obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, que están ya memorizados, en unidades de cinco resultados y los suministra a la sección de cálculo 412 a través del conmutador 504. Al mismo tiempo, los cinco resultados de la decodificación en curso D412, correspondientes a los '1' desde la primera fila a la quinta fila de la matriz de control, que se obtienen como un resultado del primer cálculo que se está realizando actualmente por la sección de cálculo 412, se suministran como los resultados de la decodificación en curso D501 a la memoria RAM 502 para memorizar los resultados de la decodificación en curso a través del conmutador 501. Sobre la base de la señal de control D420₂, la memoria RAM 502 para memorizar los resultados de la decodificación en curso memoriza continuamente, nueve veces, los resultados de la decodificación en curso D501 en la dirección en la que están memorizados, con anterioridad, los resultados de la decodificación en curso leídos D503.

En adelante, sobre la base de la señal de control D420₂, la memoria RAM 502 para memorizar los resultados de la decodificación en curso, efectúa una lectura continua, nueve veces, de los resultados de la decodificación en curso D501 correspondientes a los '1' desde la 11ª fila hasta la 15ª fila de la matriz de control, que se memorizan en la misma dirección, desde entre los resultados de la decodificación en curso ya memorizados D501, obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, en unidades de cinco resultados y los suministra a la sección de cálculo 412 a través del conmutador 504. Al mismo tiempo, cinco resultados de la decodificación en curso D412, correspondientes a los '1' desde la sexta fila hasta la 10ª fila de la matriz de control, que se obtienen un resultado del primer cálculo que se está realizando actualmente por la sección de cálculo 412, se suministran como los resultados de la decodificación en curso D502 a la memoria RAM 503 para memorizar los resultados de la decodificación en curso, a través del conmutador 501. Sobre la base de la señal de control D420₃, la memoria RAM 503 para memorizar los resultados de la decodificación en curso, memoriza continuamente, nueve veces, los resultados de la decodificación en curso D502 en la dirección en la que están ya memorizados los resultados de la decodificación en curso ya leídos D504.

En adelante, de modo similar, hasta que los resultados de la decodificación en curso, correspondientes a todos los '1' de la matriz de control, que se obtienen como un resultado del primer cálculo por la sección de cálculo 412 se memoricen en la memoria RAM 502 para memorizar los resultados de la decodificación en curso o en la memoria RAM 503 para memorizar los resultados de la decodificación en curso, la memoria RAM 502 para memorizar los resultados de la decodificación en curso y la memoria RAM 503 para memorizar los resultados de la decodificación en curso realizan, de forma alternada, la lectura o escritura en unidades de nueve veces.

En la memoria 413 para memorizar los resultados de la decodificación en curso, cuando se realiza el segundo cálculo por la sección de cálculo 415, sobre la base de la señal de control D420₂, los resultados de la decodificación en curso ya memorizados D503, que se obtienen como un resultado del primer cálculo, desde la memoria RAM 502 para memorizar los resultados de la decodificación en curso, o sobre la base de la señal de control D420₃, los resultados de la decodificación en curso ya memorizados D504, obtenidos como un resultado del primer cálculo, son objeto de lectura desde la memoria RAM 503 para memorizar los resultados de la decodificación en curso y los resultados de la decodificación en curso ya leídos se suministran al circuito de desplazamiento cíclico 414 a través del conmutador 504.

La Figura 25 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación 400 de la Figura 18. Este proceso se inicia, a modo de ejemplo, cuando los datos recibidos, que se van a decodificar, se memorizan en la memoria 416 para recepción.

En la etapa S50, el circuito de desplazamiento cíclico 414 desplaza, de forma cíclica, los cinco resultados de la decodificación en curso D413 a memorizarse en la etapa S56 (a describirse más adelante), que se suministran desde la memoria 413 para memorizar los resultados de la decodificación en curso y los suministra a la sección de cálculo 415.

Más concretamente, cinco resultados de la decodificación en curso D413 se suministran al circuito de desplazamiento cíclico 414 desde la memoria 413 para memorizar los resultados de la decodificación en curso y además, una señal de control D421, que indica información (datos de matrices) en cuanto al hecho de que los '1' de la matriz de control, que corresponden a los resultados de la decodificación en curso D413, se disponen como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control es objeto de desplazamiento cíclico, se suministra al circuito de desplazamiento cíclico 414 desde la sección de control 417. Sobre la base de la señal de control D421, el circuito de desplazamiento cíclico 414 desplaza cíclicamente (redispone) los cinco resultados de la

decodificación en curso D413 y suministra los resultados de la decodificación en curso como los resultados de la decodificación en curso D414 a la sección de cálculo 415.

5 Cuando el primer cálculo no se ha realizado todavía sobre los datos recibidos D417, suministrados a la memoria 416 para recepción y los resultados de la decodificación en curso D413 no están memorizados en la memoria 413 para memorizar los resultados de la decodificación en curso, la sección de cálculo 415 establece los resultados de la decodificación en curso u_j a un valor inicial.

10 En la etapa S51, la sección de cálculo 415 realiza el segundo cálculo y suministra los resultados de la decodificación en curso D415, que son los resultados del cálculo, a la memoria 410 para memorizar los resultados de la decodificación en curso.

15 Más concretamente, en la etapa S50, los cinco resultados de la decodificación en curso D414 se suministran a la sección de cálculo 415 desde el circuito de desplazamiento cíclico 414 y además, cinco datos recibidos D417 se suministran a la sección de cálculo 415 desde la memoria 416 para los datos recibidos. Los resultados de la decodificación en curso D415 y los datos recibidos D417 se suministran individualmente a cada uno de los calculadores 415₁ a 415₅ de la sección de cálculo 415. Además, una señal de control D422 se suministra a la sección de cálculo 415 desde la sección de control 417 y la señal de control D422 se suministra al calculador 415₁ a 415₅.

20 Sobre la base de la señal de control D422, los calculadores 415₁ a 415₅ realizan, cada uno, un cálculo en conformidad con la ecuación (5) utilizando los resultados de la decodificación en curso D414 y los datos recibidos D417 y suministran los resultados de la decodificación en curso D415 (v) correspondientes a la columna de la matriz de control, que se obtienen como un resultado del cálculo, a la memoria 410 para memorizar los resultados de la decodificación en curso.

25 Después del procesamiento de la etapa S51, el proceso prosigue con la etapa S52, en donde la memoria 410 para memorizar los resultados de la decodificación en curso memoriza los resultados de la decodificación en curso D415 suministrados desde la sección de cálculo 415 en la etapa S51 en la misma dirección y a continuación, el proceso prosigue con la etapa S53.

30 En la etapa S53, la sección de control 417 determina si se han calculado, o no, todos los resultados de la decodificación en curso D415 correspondientes a la columna de la matriz de control por la sección de cálculo 415. Cuando se determina que no se han calculado todos los resultados de la decodificación en curso D415, el proceso retorna a la etapa S50 y se realiza de nuevo el procesamiento anteriormente descrito.

35 Por otro lado, cuando la sección de control 417 determina, en la etapa S53, que la totalidad de los resultados de la decodificación en curso D415, correspondientes a la columna de la matriz de control, han sido calculados por la sección de cálculo 415, el proceso prosigue con la etapa S54, en donde el circuito de desplazamiento cíclico 411 efectúa el desplazamiento cíclico de los resultados de la decodificación en curso D410 (v) suministrados desde la memoria 410 para memorizar los resultados de la decodificación en curso.

40 Más concretamente, cinco resultados de la decodificación en curso D410 se suministran al circuito de desplazamiento cíclico 411 desde la memoria 410 para memorizar los resultados de la decodificación en curso. Además, una señal de control D418 que indica información (datos de matrices) en cuanto al hecho de que los '1' de la matriz de control, que corresponden a los resultados de la decodificación en curso D410, están dispuestos como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control, es objeto de desplazamiento cíclico, se suministra al circuito de desplazamiento cíclico 411 desde la sección de control 417. Sobre la base de la señal de control D418, el circuito de desplazamiento cíclico 411 efectúa el desplazamiento cíclico (redispone) los cinco resultados de la decodificación en curso D410 y los suministra, como los resultados de la decodificación en curso D411 a la sección de cálculo 412.

50 Después del procesamiento de la etapa S54, el proceso prosigue con la etapa S55, en donde la sección de cálculo 412 realiza el primer cálculo y suministra los resultados de la decodificación en curso D412, que son los resultados del cálculo, al circuito de desplazamiento cíclico 414.

55 Más concretamente, los cinco resultados de la decodificación en curso D411 (v) se suministran a la sección de cálculo 412 desde el circuito de desplazamiento cíclico 411 en la etapa S54. Además, los cinco resultados de la decodificación en curso D412 (D413) (u_j) obtenidos como un resultado del primer cálculo por la sección de cálculo 412 en el tiempo anterior, que están ya memorizados en la etapa S56 (a describirse más adelante), se suministran a la sección de cálculo 412. Los resultados de la decodificación en curso D411 y los resultados de la decodificación en curso D413 se suministran individualmente a cada uno de los calculadores 412₁ a 412₅ de la sección de cálculo 412. Además, una señal de control D419 se suministra a la sección de cálculo 412 desde la sección de control 417 y la señal de control D419 se suministra al calculador 412₁ a 412₅.

65 Sobre la base de la señal de control D419, los calculadores 412₁ a 412₅, realizan, cada uno, cálculos en conformidad con la ecuación (7) y la ecuación (8) utilizando los resultados de la decodificación en curso D411 y los resultados de la

decodificación en curso D413 y suministran los resultados de la decodificación en curso D412 (u_j), obtenido como un resultado del cálculo a la memoria 413 para memorizar los resultados de la decodificación en curso.

Después del procesamiento de la etapa S55, el proceso prosigue con la etapa S56, en donde la memoria 413 para memorizar los resultados de la decodificación en curso memoriza, en la misma dirección, los cinco resultados de la decodificación en curso D412 suministrados desde la sección de cálculo 412 en la etapa S55 y el proceso prosigue, a continuación, con la etapa S57.

En la etapa S57, la sección de control 417 determina si se han calculado, o no, por la sección de cálculo 412, los resultados de la decodificación en curso D412 correspondientes a todos los '1' de la matriz de control. Cuando se determina que todos los '1' de la matriz de control no han sido calculados, el proceso retorna a la etapa S54 y se realiza, de nuevo, el procesamiento anteriormente descrito.

Por el contrario, cuando la sección de control 417 determina, en la etapa S57, que los resultados de la decodificación en curso D412 correspondientes a todos los '1', han sido calculados por la sección de cálculo 412, se concluye el procesamiento.

El aparato de decodificación 400 realiza, de forma repetida, el proceso de decodificación de la Figura 25 para el número de decodificaciones y el mensaje D415, obtenido como un resultado del segundo cálculo final, se proporciona como los resultados decodificados finales.

En la descripción anterior, aunque la memoria 413 para memorizar los resultados de la decodificación en curso, está constituida por dos memorias RAMs de puerto único, puede formarse a partir de tres o más memorias RAMs si las operaciones de lectura y escritura no ocurren simultáneamente desde y a una sola memoria RAM. Cuando la anchura de bit física de la memoria RAM no es suficiente, al proporcionar la misma señal de control utilizando una pluralidad de memorias RAM, éstas pueden suponerse, desde el punto de vista lógico, como una sola memoria RAM.

Para las partes en las que faltan los datos de bordes (mensajes correspondientes a los bordes), durante el almacenamiento en la memoria (cuando los datos se memorizan en la memoria 410 y 413 para memorizar los resultados de la decodificación en curso), no se memoriza ningún mensaje y durante el cálculo (durante el primer cálculo en la sección de cálculo 412 y durante el segundo cálculo en la sección de cálculo 415), no se realiza ningún cálculo.

La Figura 26 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del aparato de decodificación para decodificar códigos LDPC representados por la matriz de control de la Figura 15, que no es una forma de realización de la presente invención.

En el aparato de decodificación 600 de la Figura 26, la memoria de almacenamiento de datos de borde 316 de las Figuras 16A y 16C se forma como una memoria 613 para memorizar los resultados de la decodificación en curso, que tienen una capacidad menor que la que posee la memoria de almacenamiento de datos de bordes 316.

El aparato de decodificación 600 incluye una memoria 610 para memorizar los resultados de la decodificación en curso, un circuito de desplazamiento cíclico 611, una sección de cálculo 612 constituida por cinco calculadores 612₁ a 612₅, una memoria 613 para memorizar los resultados de la decodificación en curso, un circuito de desplazamiento cíclico 614, una sección de cálculo 615 constituida por cinco calculadores 615₁ a 615₅, una memoria 616 para recepción y una sección de control 617.

Haciendo referencia a la Figura 27 a la Figura 30, se proporciona una descripción de la relación entre el calculador 612₁ al calculador 612₅ de la sección de cálculo 612 de la Figura 26, el calculador 615₁ al calculador 615₅ de la sección de cálculo 615 de la Figura 30, el calculador de nodos de control 101 de la Figura 10 y el calculador de nodos de variables 103 de la Figura 11.

La Figura 27 y la Figura 28 son las mismas que la Figura 10 anteriormente descrita que ilustra el calculador de nodos de control 101 y la Figura 11, anteriormente descrita, que ilustra el calculador de nodos de variables 103, respectivamente. La Figura 29 ilustra, a modo de ejemplo, la configuración de un calculador 612_k ($k = 1, 2, \dots, 5$). La Figura 30 ilustra, a modo de ejemplo, la configuración de un calculador 615_k ($k = 1, 2, \dots, 5$).

En el aparato de decodificación 600 de la Figura 26, en cambio, el calculador 612_k realiza el cálculo de nodos de control y la sección de cálculo 615_k realiza el cálculo de nodos de variables, el calculador 612_k realiza parte del cálculo de los nodos de control y el calculador 615_k realiza parte de los otros del cálculo de nodos de control y parte del cálculo de los nodos de variables.

Más concretamente, el calculador 612_k de la Figura 29 está formado por los bloques D' y E'. el bloque D' está configurado de la misma manera que el bloque D para integrar valores de modo que los cálculos de ϕ se realicen sobre los valores absolutos de los mensajes v_i correspondientes a todos los bordes de cada columna de la matriz de control, siendo el bloque D una parte del calculador de nodos de control 101 de la Figura 27. El bloque E' está configurado de la

misma manera que el bloque E para multiplicar los bits de signo de los mensajes v_i correspondientes a todos los bordes de cada columna de la matriz de control.

Por otro lado, el calculador 615_k de la Figura 30 está formado por los bloques F', G' y H'. El bloque F' está configurado de la misma manera que el bloque F para dividir el valor multiplicados de los bits de signo de los mensajes v_i correspondientes a todos los bordes de cada columna de la matriz de control por el bit de signo del mensaje v_i correspondiente al borde a determinarse y para realizar el cálculo de ϕ^{-1} sobre el valor obtenido efectuando la sustracción del valor de modo que se realice el cálculo de ϕ sobre el valor absoluto del mensaje v_i correspondiente al que se va a determinar a partir del valor integrado de los valores, de modo que el cálculo ϕ se realice sobre los valores absolutos del mensaje v_i correspondientes a todos los bordes de cada columna de la matriz de control, siendo el bloque F' otra parte del calculador de nodos de control 101 de la Figura 19. El bloque G' está configurado de la misma manera que el bloque G para realizar el cálculo de ϕ sobre el valor absoluto del mensaje v_i . El bloque H' está configurado de la misma manera que el bloque H para realizar el cálculo de nodos de variables del calculador de nodos de variables 103 de la Figura 20.

El calculador 612_k de la Figura 29 suministra los resultados del cálculo por el bloque A y el bloque B, es decir, los resultados de la decodificación en curso w , de modo que se realicen algunos de los cálculos de los nodos de control, a la memoria 613 para memorizar los resultados de la decodificación en curso. El calculador 615_k de la Figura 30 suministra los resultados de la decodificación en curso v_i' , de modo que algunos de los otros del cálculo de nodos de control y del cálculo de nodos de variables se realicen para la memoria 610 para memorizar los resultados de la decodificación en curso.

Por lo tanto, es posible para el aparato de decodificación 600 de la Figura 26 realizar el cálculo de nodos de control y el cálculo de nodos de variables realizando, de forma alternada, el cálculo del calculador 612_k y el cálculo del calculador 615_k con el fin de realizar la decodificación.

En el calculador 615_k de la Figura 30, utilizando los resultados de la decodificación en curso v_i' , correspondientes al borde que se va a determinar, que se memorizan en la memoria 610 para almacenar los resultados de la decodificación en curso, el bloque C efectúa la sustracción de los resultados de la decodificación en curso v_i' correspondientes al borde que se va a determinar, a partir del valor absoluto de los resultados de la decodificación en curso w obtenido como un resultado del cálculo del calculador 612_k y multiplica el bit de signo de los resultados de la decodificación en curso w por el bit de signo de los resultados de la decodificación en curso v_i' correspondientes al borde que se va a determinar. Por lo tanto, la memoria 127 y la memoria FIFO 133 de la Figura 27 no son requeridas.

A continuación, utilizando ecuaciones, se proporciona una descripción de los cálculos realizados por el calculador 612₁ al calculador 612₅ de la sección de cálculo 612 y los cálculos realizados por el calculador 615₁ al calculador 615₅ de la sección de cálculo 615.

La sección de cálculo 612 realiza un primer cálculo en conformidad con la ecuación (9) y suministra los resultados de la decodificación en curso w , que son los resultados del primer cálculo, a la memoria 613 para memorizar los resultados de la decodificación en curso, en donde se memorizan. La sección de cálculo 615 realiza la ecuación (1) antes descrita y el segundo cálculo en conformidad con las ecuaciones (10) y (11) y suministra los resultados de la decodificación en curso v_i' , que son los resultados del segundo cálculo, a la memoria 610 para memorizar los resultados de la decodificación en curso, en donde se memorizan.

$$w = \sum_{i=1}^{d_c} |v_i'| \times \prod_{i=1}^{d_c} \text{sign}(v_i') \quad \dots (9)$$

$$u_j = \phi^{-1}(|w| - |v_i'|) \times \text{sign}(v_i') \times \text{sign}(w) \quad \dots (10)$$

$$v_i' = \phi(|v_i|) \times \text{sign}(v_i) \quad \dots (11)$$

Más concretamente, los resultados de la decodificación en curso w obtenidos como un resultado del primer cálculo, en conformidad con la ecuación (9), son tales que la suma total de los valores absolutos $|v_i'|$ de los resultados de la decodificación en curso v_i' del cálculo de nodos de control, correspondientes a todos los '1' de la j -ésima fila de la matriz de control H, que se obtienen como un resultado del segundo cálculo en conformidad con la ecuación (1), la ecuación (10) y la ecuación (11) y el bit de signo $\text{sign}(|v_i'|)$ se multiplican juntos. Por lo tanto, según se ilustra en la ecuación (10), u_j , obtenido por el cálculo de nodos de control en conformidad con la ecuación (7) se puede expresar utilizando un valor tal como el valor absoluto $|v_i'|$ de los resultados de la decodificación en curso v_i' , correspondientes al borde que se va a determinar, desde entre (una pluralidad de) resultados de la decodificación en curso v_i' correspondientes a los '1' (bordes)

de cada columna, de la j -ésima fila de la matriz de control H , es objeto de sustracción desde los valores absolutos $|w|$ de los resultados de la decodificación en curso w , que se obtienen como un resultado del primer cálculo en conformidad con la ecuación (9).

En el aparato de decodificación 600, el primer cálculo en conformidad con la ecuación (9) por la sección de cálculo 612 y el segundo cálculo en conformidad con la ecuación (1), la ecuación (10) y la ecuación (11) se realizan de forma alternada y la sección de cálculo 615 realiza un cálculo en conformidad con la ecuación (5) utilizando los resultados del primer cálculo final y proporciona los resultados del cálculo como los resultados decodificados, con lo que se realizan decodificaciones iterativas de códigos LDPC.

Más concretamente, en el apéndice de decodificación 600, la sección de cálculo 612 realiza el primer cálculo utilizando los resultados de la decodificación en curso v_i' correspondientes a todos los '1' de la j -ésima fila de la matriz de control H , que son los resultados del segundo cálculo por la sección de cálculo 615 y memoriza los resultados de la decodificación en curso w correspondientes a cada fila de la matriz de control, que se obtienen como un resultado del cálculo, en la memoria 613 para memorizar los resultados de la decodificación en curso. Por lo tanto, la capacidad de la memoria 613 para memorizar los resultados de la decodificación en curso se hace un valor tal que el número de filas de la matriz de control, que es más pequeño que el número de "1" de la matriz de control y el número de bit de cuantización de los resultados de la decodificación en curso w se multiplican juntos. La sección de cálculo 615 realiza el segundo cálculo utilizando los resultados de la decodificación en curso w correspondientes a cada fila de la i -ésima columna de la matriz de control H , que son los resultados del primer cálculo por la sección de cálculo 612 y el valor recibido u_{0i} y memoriza los resultados de la decodificación en curso v_i' del cálculo de nodos de control correspondientes a '1' (bordes) de la i -ésima columna de la matriz de control, que se obtienen como un resultado del cálculo, en la memoria 610 para memorizar los resultados de la decodificación en curso. Por lo tanto, la capacidad necesaria para la memoria 610 para memorizar los resultados de la decodificación en curso se hace un valor tal como el número de '1' de la matriz de control y el número de bits de cuantización de los resultados de la decodificación en curso v_i' se multiplican juntos, de forma similar a la memoria de almacenamiento de datos de bordes 311 de las Figuras 16A y 16B para memorizar los resultados de la decodificación en curso del cálculo de nodos de variables.

Por lo tanto, en el método de decodificación 600, cuando se compara con la memoria de almacenamiento de datos de bordes 311 de las Figuras 16A y 16B, la capacidad de memoria de la memoria 610 para memorizar los resultados de la decodificación en curso se puede reducir. Esto hace posible la reducción de la escala circuital del aparato de decodificación 600.

La operación de cada sección del aparato de decodificación 600 de la Figura 26 se describe a continuación, en detalle.

Sobre la base de una señal de control D618, la memoria 610 para memorizar los resultados de la decodificación en curso memoriza colectivamente los cinco resultados de la decodificación en curso D615 suministrados desde la sección de cálculo 615 y, al mismo tiempo, efectúa la lectura de los cinco resultados de la decodificación en curso ya memorizados D615 y los suministra como los resultados de la decodificación en curso D610 al circuito de desplazamiento cíclico 611 y a la sección de cálculo 615. Es decir, la memoria 610 para memorizar los resultados de la decodificación en curso realiza simultáneamente la lectura de los resultados de la decodificación en curso D610 a suministrarse al circuito de desplazamiento cíclico 611 y la escritura de los resultados de la decodificación en curso D615 suministrados desde la sección de cálculo 615.

En la memoria 610 para memorizar los resultados de la decodificación en curso, los resultados de la decodificación en curso v_i' (los segundos resultados de la decodificación en curso) correspondientes a los '1' (bordes) de la matriz de control, que se calculan por el segundo cálculo por la sección de cálculo 615, son memorizados. Por lo tanto, la cantidad de datos memorizados en la memoria 610 para memorizar los resultados de la decodificación en curso, es decir, la capacidad de almacenamiento requerido para la memoria 610 para memorizar los resultados de la decodificación en curso, se hace el valor multiplicado del número de bits de cuantización de los resultados de la decodificación en curso y el número de '1' (el número total de los bordes).

La memoria 610 para memorizar los resultados de la decodificación en curso incluye, a modo de ejemplo, dos memorias RAMs de puerto uno capaces de efectuar, simultáneamente, las operaciones de lectura y escritura de cinco resultados de la decodificación en curso. Los cinco resultados de la decodificación en curso D615 se suministran a la memoria 610 para memorizar los resultados de la decodificación en curso desde la sección de cálculo 615 y además, una señal de control D618, para controlar las operaciones de lectura y escritura de los resultados de la decodificación en curso D615, se suministra a la memoria 610 desde la sección de control 617.

Cinco resultados de la decodificación en curso D610 se suministran al circuito de desplazamiento cíclico 611 desde la memoria 610 para memorizar los resultados de la decodificación en curso. Además, una señal de control D619 que indica información (datos de matrices) en cuanto al hecho de que los '1' de la matriz de control, que corresponde a los resultados de la decodificación en curso D610, están dispuestos como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control se desplaza de forma cíclica, se suministra al circuito de desplazamiento cíclico 611 desde la sección de control 617. Sobre la base de la señal de control D619, el circuito de

desplazamiento cíclico 611 realiza un desplazamiento cíclico de redistribución de los cinco resultados decodificados D610 y suministra los resultados como resultados de la decodificación en curso D611 a la sección de cálculo 612.

La sección de cálculo 612 incluye cinco calculadores 612₁ a 612₅. Los cinco resultados de la decodificación en curso D611 (segundos resultados de la decodificación en curso) (v_i') se suministran a la sección de cálculo 612 desde el circuito de desplazamiento cíclico 611 y los cinco resultados de la decodificación en curso D611 (los primeros resultados de la decodificación en curso) (w) se suministran a los calculadores 612₁ a 612₅, respectivamente. Una señal de control D620 se suministra a la sección de cálculo 612 desde la sección de control 617 y la señal de control D620 se suministra a los calculadores 612₁ a 612₅. La señal de control D620 es una señal común a los cinco calculadores 612₁ a 612₅.

Los calculadores 612₁ a 612₅ realizan, cada uno, el primer cálculo utilizando los resultados de la decodificación en curso D611 en conformidad con la ecuación (9) con el fin de determinar los resultados de la decodificación en curso D612 (w). La sección de cálculo 612 suministra los cinco resultados de la decodificación en curso D612, que se obtienen como un resultado de los cálculos por los calculadores 612₁ a 612₅, a la memoria 613 para memorizar los resultados de la decodificación en curso.

Los cinco resultados de la decodificación en curso D612, correspondientes a la fila de la matriz de control, que son los resultados del primer cálculo por la sección de cálculo 612, se suministran a la memoria 613 para memorizar los resultados de la decodificación en curso desde la sección de cálculo 612. La memoria 613 para memorizar los resultados de la decodificación en curso memoriza los cinco resultados de la decodificación en curso D612 suministrados desde la sección de cálculo 612 en secuencia, comenzando desde la primera dirección.

Más concretamente, en la primera dirección de la memoria 613 para memorizar los resultados de la decodificación en curso, los resultados de la decodificación en curso w desde la primera fila hasta la quinta fila, desde entre los resultados de la decodificación en curso correspondientes a la fila de la matriz de control son objeto de memorización. De modo similar, en la segunda dirección, los resultados de la decodificación en curso w desde la sexta fila hasta la 10ª fila se memorizan y en la tercera dirección, se memorizan los resultados de la decodificación en curso w desde la 11ª hasta la 15ª. En adelante, de modo similar, los resultados de la decodificación en curso w desde la 16ª fila hasta la 30ª fila se memorizan en la cuarta dirección hasta la sexta dirección en unidades de cinco resultados y un total de 60 resultados de la decodificación en curso w se memorizan en la memoria 613 para memorizar los resultados de la decodificación en curso. Por lo tanto, el número de palabras de la memoria 610 para memorizar los resultados de la decodificación en curso se hace 6 de modo que 30, el número de filas de la matriz de control H de la Figura 15 se divide por 5, el número de resultados de la decodificación en curso, que son objeto de lectura y escritura simultáneas.

La memoria 613 para memorizar los resultados de la decodificación en curso efectúa una lectura simultánea de cinco resultados de la decodificación en curso w , que son los "1" en la columna de la matriz de control H , a los que corresponden los resultados de la decodificación en curso v_i' a determinarse por la sección de cálculo 615 a partir de los cinco resultados de la decodificación en curso ya memorizados D613 y los suministra como resultados de la decodificación en curso D613 al circuito de desplazamiento cíclico 614.

La memoria 613 para memorizar los resultados de la decodificación en curso incluye, a modo de ejemplo, una memoria RAM de puerto único capaz de la lectura y escritura simultáneas de cinco resultados de la decodificación en curso. Puesto que los resultados de la decodificación en curso w correspondientes a la fila, que se calculan por el primer cálculo de la sección de cálculo 612, se memorizan en la memoria 613 para memorizar los resultados de la decodificación en curso, la cantidad de datos memorizados en la memoria 613 para memorizar los resultados de la decodificación en curso, es decir, la capacidad de almacenamiento requerida para la memoria 613 para memorizar los resultados de la decodificación en curso, se hace el valor multiplicado del número de bits de cuantización de los resultados de la decodificación en curso y el número de filas de la matriz de control H .

Los cinco resultados de la decodificación en curso D613 (los resultados de la decodificación en curso w) se suministran al circuito de desplazamiento cíclico 614 desde la memoria 613 para memorizar los resultados de la decodificación en curso. Además, una señal de control D621, que indica información (datos de matrices) en cuanto al hecho de que los "1" de la matriz de control, que corresponde a los resultados de la decodificación en curso D613, están dispuestos como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base de la matriz de control se desplaza de forma cíclica, se suministran al circuito de desplazamiento cíclico 614 desde la sección de control 617. Sobre la base de la señal de control D621, el circuito de desplazamiento cíclico 614 realiza un desplazamiento cíclico de redistribución de los cinco resultados de la decodificación en curso D613 y suministra los resultados como los resultados de la decodificación en curso D614 a la sección de cálculo 615.

La sección de cálculo 615 incluye cinco calculadores 615₁ a 615₅. Los cinco resultados de la decodificación en curso D614 (w) se suministran a la sección de cálculo de nodos de variables 615 desde el circuito de desplazamiento cíclico 614 y además, cinco resultados de la decodificación en curso D610 (v_i') se suministran a la sección de cálculo de nodos de variables 615 desde la memoria 610 para memorizar los resultados de la decodificación en curso. Los resultados de la decodificación en curso D614 y los resultados de la decodificación en curso D610 se suministran a cada uno de los calculadores 615₁ a 615₅. Cinco elementos de datos recibidos D617 se suministran a la sección de cálculo 615 desde la memoria 617 para recepción y los elementos de datos recibidos D617 se suministran individualmente a cada uno de los

calculadores 615₁ a 615₅. Además, una señal de control D622 se suministra a la sección de control 617 desde la sección de control 617 y la señal de control D622 se suministra a los calculadores 615₁ a 615₅. La señal de control D622 es una señal común a los cinco calculadores 617₁ a 617₅.

Los calculadores 615₁ a 615₅ realizan, cada uno, el segundo cálculo en conformidad con la ecuación (1), la ecuación (10) y la ecuación (11) utilizando los resultados de la decodificación en curso D614 y D611 y los datos recibidos D617 (CÓDIGOS LDPC) con el fin de determinar los cinco resultados de la decodificación en curso D615 (v_i') correspondientes a los '1' de cada columna de la matriz de control. La sección de cálculo 615 suministra los cinco resultados de la decodificación en curso D615, que se obtienen como un resultado del segundo cálculo por los calculadores 615₁ a 615₅, a la memoria 610 para memorizar los resultados de la decodificación en curso.

La memoria 616 para recepción memoriza, como los datos recibidos D617, el LLR (ratio de probabilidad logarítmica) de recepción que es el valor de 0-semejanza del bit de signo, que se calcula a partir del valor recibido (bit de signo) que se recibe a través del canal de comunicación.

Más concretamente, en la primera dirección de la memoria 616 para recepción, los datos recibidos D617 correspondientes a la primera columna hasta la quinta columna de la matriz de control desde entre los datos recibidos D617 correspondientes a la columna de la matriz de control se memorizan. En la segunda dirección, los datos recibidos D617 desde la sexta columna a la 10ª columna de la matriz de control se memorizan y en la tercera dirección, se memorizan los datos recibidos D617 desde la 11ª columna hasta la 16ª columna de la matriz de control. En adelante, de modo similar, en la cuarta dirección hasta la 18ª dirección, se memorizan los datos recibidos D617 correspondientes a la 17ª columna hasta la 90ª columna en unidades de cinco elementos de los datos.

A continuación, la memoria 616 para recepción lee simultáneamente los datos recibidos ya memorizados D617, en la secuencia necesaria para el segundo cálculo por la sección de cálculo 615 en unidades de cinco elementos de los datos y los suministra a la sección de cálculo 615.

La memoria 616 para recepción incluye, a modo de ejemplo, una memoria RAM de puerto único. La cantidad de datos memorizados en la memoria 616 para recepción, es decir, la capacidad de almacenamiento necesaria para la memoria 616 para recepción, es el valor multiplicado de la longitud de código de los códigos LDPC y el número de bit de cuantización de los datos recibidos. Además, el número de palabras de la memoria 616 para recepción es 18, de modo que la longitud de código de los códigos LDPC, es decir 90, el número de columnas de la matriz de control, se divide por 5, el número de elementos de los datos recibidos D617, que son objeto de lectura simultánea.

La sección de control 617 suministra la señal de control D618 a la memoria 610 para memorizar los resultados de la decodificación en curso y suministra la señal de control D619 al circuito de desplazamiento cíclico 611 para poder controlarlos, respectivamente. Además, la sección de control 617 suministra la señal de control D620 a la sección de cálculo 612 y suministra la señal de control D621 al circuito de desplazamiento cíclico 614 para poder controlarlos, respectivamente.

Como resultado de los datos que están en circulación en el orden de la memoria 610 para memorizar los resultados de la decodificación en curso, el circuito de desplazamiento cíclico 611, la sección de cálculo 612, la memoria 613 para memorizar los resultados de la decodificación en curso, el circuito de desplazamiento cíclico 614 y la sección de cálculo 615, el aparato de decodificación 600 puede realizar una decodificación. En el aparato de decodificación 600, después de las decodificaciones se realicen repetidamente en un número predeterminado de veces, la sección de cálculo 615 realiza un cálculo en conformidad con la ecuación (5) y los resultados del cálculo se proporcionan como los resultados decodificados finales.

La Figura 29 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de un calculador 612₁ de la sección de cálculo 612 de la Figura 26.

En la Figura 29, el calculador 612₁ se describe y el calculador 612₂ a calculador 612₅ se configuran también de la misma manera.

Además, en la Figura 29, el calculador 612₁ se ilustra suponiendo que cada resultados de la decodificación en curso (v_i'), obtenido como un resultado del segundo cálculo por el calculador 615, es objeto de cuantización en seis bits. Una señal de reloj ck se suministra al calculador 612₁ de la Figura 29 y la señal de reloj ck se suministra a los bloques necesarios. Cada bloque realiza el procesamiento en sincronización con la señal de reloj ck .

Sobre la base de la señal de control D620 suministrada desde la sección de control 617, el calculador 612₁ de la Figura 29 realiza un primer cálculo en conformidad con la ecuación (9) utilizando los resultados de la decodificación en curso D611 (v_i') que se leen, uno a uno, desde el circuito de desplazamiento cíclico 611.

Más concretamente, un resultado de la decodificación en curso D611 desde entre los cinco resultados de la decodificación en curso de 6 bits D611 (v_i'), suministrados desde el circuito de desplazamiento cíclico 611 se suministra al calculador 612₁, el bit de signo D631, que es el bit de más alto orden, se suministra al circuito lógico EXOR 635 y el

valor absoluto D632 ($|v_i'|$) que es los cinco bits de más bajo orden de los resultados de la decodificación en curso de 6 bits D611 (v_i') se suministran al dispositivo sumador 631. Además, la señal de control D620 se suministra al calculador 612₁ desde la sección de control 617 y la señal de control D620 se suministra al selector 633 y el selector 637.

El dispositivo sumador 631 integra los valores absolutos D632 ($|v_i'|$) sumando juntos el valor absoluto D632 ($|v_i'|$) y el valor de 9 bits D633 memorizado en el registro 632 y memoriza el valor integrado de 9 bits obtenido como un resultado en el registro 632, de nuevo. Cuando se integran los valores absolutos D632 ($|v_i'|$), determinados a partir de los resultados de la decodificación en curso D611 correspondientes a todos los '1' a través de una fila de la matriz de control, el registro 632 es objeto de reposición.

Cuando los resultados de la decodificación en curso D611 a través de una fila de la matriz de control se leen, uno a uno, y el valor integrado, de modo que los valores absolutos D632 para una fila sean integrados y se memoriza en el registro 632, la señal de control D620 suministrada desde la sección de control 617 cambia desde 0 a 1. A modo de ejemplo, cuando el peso de ponderación de la fila es "9", la señal de control D620 es "0" en las primera a octava señales de reloj y es "1" en la novena señal de reloj.

Cuando la señal de control D620 es "1", el registro 632 selecciona el valor memorizado en el selector 633, es decir, un valor de 9 bits D633 ($\sum |v_i'|$ desde $i = 1$ a $i = d_c$) de modo que los valores absolutos D632 ($|v_i'|$) de los resultados de la decodificación en curso D611 (los resultados de la decodificación en curso v_i') correspondientes a todos los '1' a través de una fila de la matriz de control son integrados y proporciona, a la salida, el valor como un valor D634 al registro 634, en donde se memoriza. El registro 634 suministra el valor memorizado D634 como un valor de 9 bits D635 al selector 633 y además, lo proporciona a la salida. Cuando la señal de control D620 es "0" el selector 633 selecciona el valor D635 suministrado desde el registro 634 y proporciona el valor al registro 634, en donde se memoriza de nuevo. Es decir, hasta que se integren los valores absolutos D632 ($|v_i'|$) de los resultados de la decodificación en curso D611 (los resultados de la decodificación en curso v_i') correspondientes a todos los '1' a través de una fila de la matriz de control, el registro 634 suministra los $|v_i'|$ anteriormente integrados al selector 633 y además, los proporciona a la salida.

En paralelo con el procesamiento anterior, el circuito lógico EXOR 635 realiza una multiplicación de los bits de signo calculando la función OR exclusiva de un valor de 1 bit D637 memorizado en el registro 636 y el bit de signo D631 y memoriza el resultado de la multiplicación de 1 bit D636 en el registro 636, de nuevo. Cuando los bits de signo D631 de los resultados de la decodificación en curso D611 correspondientes a todos los '1' a través de una fila de la matriz de control se multiplican, el registro 636 es objeto de reposición.

Cuando los resultados de la multiplicación D636 ($\prod \text{sign}(v_i')$ desde $i = 1$ a d_c) de modo que los bits de signo D631, determinados a partir de los resultados de la decodificación en curso D611 correspondientes a todos los '1' a través de una fila de la matriz de control, se multiplican, se memorizarán en el registro 636, mientras que la señal de control D620 suministrada desde la sección de control 617 cambia desde "0" a "1".

Cuando la señal de control D620 es "1", el selector 637 selecciona el valor memorizado en el registro 636, es decir el valor D637 ($\prod \text{sign}(v_i')$ desde $i = 1$ a $i = d_c$) de modo que los bits de signos D631 de los resultados de la decodificación en curso D611 correspondientes a todos los '1' a través de una fila de la matriz de control, sean multiplicados y proporciona, a la salida, el valor como un valor de 1 bit D638 al registro 638, en donde se memoriza. El registro 638 suministra el valor memorizado D638 como un valor de 1 bit D639 al selector 637 y lo proporciona a la salida. Cuando la señal de control D620 es "0", el selector 637 selecciona el valor D639 suministrado desde el registro 638 y proporciona el valor al registro 638, en donde se memoriza de nuevo. Es decir, hasta que se multipliquen los bits de signo D631 de los resultados de la decodificación en curso D611 (los resultados de la decodificación en curso v_i') correspondientes a todos los '1' a través de una fila de la matriz de control, el registro 638 suministra el valor anteriormente memorizado al selector 637 y lo proporciona a la salida.

En el calculador 612₁, un total de 10 bits, en los que el valor de 9 bits D635 ($\sum |v_i'|$ desde $i = 1$ a $i = d_c$) objeto de salida desde el registro 634, se hacen los nueve bits de más bajo orden y el valor de 1 bit D639 ($\text{sign}(v_i')$) procedente del registro 638 se hace el bit del más alto orden, proporcionándose como los resultados de la decodificación en curso D612 (los resultados de la decodificación en curso w).

Según se describió anteriormente, en el calculador 612₁, se realiza el cálculo de la ecuación (9) y se determina el resultados de la decodificación en curso w .

La Figura 30 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración del calculador 615₁ de la sección de cálculo 615 de la Figura 26.

En la Figura 30, se describe el calculador 615₁ y el calculador 615₂ al calculador 615₅ se configuran también de la misma manera.

Además, en la Figura 30, el calculador 615₁ se ilustra suponiendo que cada resultado de la decodificación en curso (w), obtenido como un resultado del primer cálculo por el calculador 612, junto con el bit de signo, es objeto de cuantización a un total de 10 bits y cada resultado de la decodificación en curso (u_i) obtenido anteriormente como un resultado del

segundo cálculo, que se suministran desde la memoria 610 para memorizar los resultados de la decodificación en curso, junto con el bit de signo, es objeto de cuantización para un total de seis bits. Además, una señal de reloj ck se suministra al calculador 615₁ de la Figura 30 y la señal de reloj ck se suministra a bloques necesarios. Cada bloque realiza el procesamiento en sincronización con la señal de reloj ck .

Sobre la base de la señal de control D622 suministrada desde la sección de control 617, el calculador 615₁ de la Figura 30 realiza un segundo cálculo en conformidad con la ecuación (1), la ecuación (10) y la ecuación (11) utilizando los elementos de datos recibidos D617 (los valores recibidos u_{0i}), que son objeto de lectura, uno a uno, desde la memoria 616 para recepción, los resultados de la decodificación en curso D614 (w), que se leen, uno a uno, desde el circuito de desplazamiento cíclico 614 y los resultados de la decodificación en curso D610 (v_i') obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615, que leen, uno a uno, desde la memoria 610 para memorizar los resultados de la decodificación en curso.

Más concretamente, en el calculador 615₁, los resultados de la decodificación en curso de 10 bits D614 (los resultados de la decodificación en curso w) correspondientes a la fila de la matriz de control se leen, uno a uno, desde el circuito de desplazamiento cíclico 614. Los resultados de la decodificación en curso de 6 bits D610 (los resultados de la decodificación en curso v_i') obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615 se leen, uno a uno, desde la memoria 610 para memorizar los resultados de la decodificación en curso. El bit de signo D651 (sign (w)) del bit de más alto orden de los resultados de la decodificación en curso D614 y el bit de signo D653 (sign (u_i)) del bit del más alto orden de los resultados de la decodificación en curso D610 se suministran al circuito lógico EXOR 653. Un valor absoluto D652 ($|w|$) de los nueve bits de más bajo orden de los resultados de la decodificación en curso D614 y el bit de signo D653 ($|v_i'|$) de los nueve bits de más bajo orden de los resultados de la decodificación en curso D610 se suministran a un dispositivo restador 651. Además, en el calculador 615₁, los elementos de los datos recibidos de 6 bits D617 se leen, uno a uno, desde la memoria 616 para recepción y se suministran a un dispositivo sumador 658. Además, en el calculador 615₁, la señal de control D622 se suministra desde la sección de control 617 y la señal de control D622 se suministra al selector 656.

El dispositivo restador 651 sustrae el valor absoluto D654 desde el valor absoluto D652 y suministra un valor sustraído de 5 bits D655 a una LUT 652. El LUT 652 proporciona el resultado del cálculo de 5 bits D656 ($\varphi^{-1}(|w| - |v_i'|)$) de modo que el cálculo de φ^{-1} se realiza sobre el valor sustraído D655.

Por otro lado, el circuito lógico EXOR 653 multiplica juntos el bit de signo D651 y el bit de signo D653 calculando la función lógica OR exclusiva del bit de signo D651 (sign (w)) y el bit de signo D653 (sign (v_i')) y proporciona un resultado de multiplicación de 1 bit como un valor multiplicado D657. A continuación, un valor de 6 bits D658, en donde los resultados de cálculos de 5 bits D656 suministrados desde la LUT 652, se hacen los cinco bits de más bajo orden ($\varphi^{-1}(|w| - |v_i'|)$) y el valor 1 bit D657 (sign (w) x sign (v_i')) suministrado desde el circuito lógico EXOR 653 se hace el bit de más alto orden, se suministra a un dispositivo sumador 654 y se suministra también a una memoria FIFO 659.

En la manera anteriormente descrita, se realiza el cálculo en conformidad con la ecuación (10) y el valor de 6 bits D658 (u_i), que es el resultado del cálculo, se suministra al dispositivo sumador 654 y también se suministra a la memoria FIFO 659.

El dispositivo sumador 654 integra los valores D658 sumando, juntos, el valor de 6 bits D658 (u_i) y el valor de 9 bits D659 memorizados en el registro 655 y memoriza el valor integrado de 9 bits obtenido como resultado en el registro 655, de nuevo. Cuando se integran el valor D658 correspondiente a todos los '1' a través de una columna de la matriz de control, el registro 655 es objeto de reposición.

Cuando los valores D658 a través una columna de la matriz de control se leen, uno a uno, y el valor tal como los valores D658 para una columna se integran, entonces se memoriza en el registro 655 y la señal de control D622 suministrada desde la sección de control 617 cambia desde "0" a "1". A modo de ejemplo, cuando el peso de ponderación de la columna es "5", la señal de control D622 es "0" en la primera a cuarta señales de reloj y es "1" en la quinta señal de reloj.

Cuando la señal de control D622 es "1", el selector 656 selecciona el valor memorizado en el registro 655, es decir, un valor de 9 bits D659 ($\sum u_j$ desde $j = 1$ a d_i) de modo que el valor D658 (u_i) correspondiente a los '1' a través de una columna de la matriz de control son integrados y proporciona, a la salida, el valor al registro 657, en donde se memoriza. El registro 657 suministra el valor memorizado D659 como un valor de 9 bits D660 a un selector 471 a un dispositivo sumador 658. Cuando la señal de control D622 es "0", el selector 656 selecciona el valor D660 suministrado desde el registro 657 y proporciona el valor al registro 657, en donde se memoriza de nuevo. Es decir, hasta que se integren los valores D658 (u_i) correspondientes a los '1' a través de una columna de la matriz de control, el registro 657 suministra el valor anteriormente integrado al selector 656 y al dispositivo sumador 658.

El dispositivo sumador 658 añade, juntos, el valor de 9 bits D660 y los datos recibidos de 6 bits D617 suministrados desde la memoria 616 para recepción y suministra el valor de 9 bits D661 obtenido como un resultado.

En el calculador 615, cuando ha de realizarse el cálculo final, el dispositivo sumador 658 proporciona el valor de 9 bits D661 como los resultados decodificados finales. Es decir, la sección de cálculo 615 realiza un cálculo en conformidad con la ecuación (5).

Por otro lado, hasta que un nuevo valor D660 ($\sum u_j$ desde $j = 1$ a $j = d_v$) se proporcione desde el registro 665, la memoria FIFO 659 retarda el valor de 6 bits D658 (u_i) y suministra el valor como un valor de 6 bits D662 al dispositivo restador 660. El dispositivo restador 660 sustrae el valor de 6 bits D662 desde el valor de 9 bits D660 y proporciona el valor sustraído D663. Es decir, el dispositivo restador 660 sustrae el valor correspondiente al borde que se va a determinar, es decir, el valor D658 (u_i) correspondiente a los '1' predeterminados de la matriz de control, a partir del valor integrado de los valores D658 correspondientes a los '1' a través de una columna de la matriz de control y proporciona, a la salida, el valor sustraído ($\sum u_j$ desde $i = 1$ a $i = d_v - 1$) como un valor sustraído de 6 bits D663.

En la manera anteriormente descrita, el cálculo en conformidad con la ecuación (1) se realiza y el valor sustraído de 6 bits D663 (v_i), que es el resultado del cálculo, es objeto de salida. A continuación, el valor absoluto ($|v_i|$) de los cinco bits de más bajo orden del valor sustraído de 6 bits D663, proporcionado desde el dispositivo restador 660 se suministra al LUT 661 y el bit de signo ($\text{sign}(v_i)$) del bit del más alto orden se proporciona como un valor D665.

El LUT 661 proporciona los resultados del cálculo de 5 bits D666 ($\phi(|v_i|)$) de modo que se realice el cálculo de ϕ sobre el valor absoluto ($|v_i|$). A continuación, la LUT 661 suministra, como resultados de la decodificación en curso (v_i') un total de seis bits, en los que el resultado del cálculo de 5 bits D666 ($\phi(|v_i|)$) procedente de la LUT 661, se hace los cinco bits de más bajo orden y el valor D665 ($\text{sign}(v_i)$) el bit del más alto orden, a la memoria 610 para memorizar los resultados de la decodificación en curso.

Según se describió anteriormente, en el calculador 615₁, se realizan los cálculos de la ecuación (1), la ecuación (10) y la ecuación (11) y se determinan los resultados de la decodificación en curso v_i' .

El máximo del peso de ponderación de columna de la matriz de control de la Figura 15 es 5, es decir, el número máximo de los resultados de la decodificación en curso D614 (w) y los resultados de la decodificación en curso D610 (v_i') suministrados al calculador 615₁ es 5. Por lo tanto, el calculador 615₁ tiene una memoria FIFO 659 para retardar los cinco resultados de la decodificación en curso D614 y los cinco resultados del cálculo D658 (u_i) determinados a partir de los resultados de la decodificación en curso D610. Cuando un mensaje cuyo peso de ponderación de columna es menor que 5 ha de calcularse, la magnitud del retardo, en la memoria FIFO 659, se reduce al valor del peso de ponderación de la columna.

La Figura 31 es un diagrama de bloques que ilustra, a modo de ejemplo, la configuración de la memoria 610 para memorizar los resultados de la decodificación en curso de la Figura 26.

La memoria 610 para memorizar los resultados de la decodificación en curso incluye los conmutadores 701 y 704 y las memorias RAM 702 y 703 para memorizar los resultados de la decodificación en curso, que son dos memorias RAMs de puerto único.

Antes de que cada sección de la memoria 610 para memorizar los resultados de la decodificación en curso se describa en detalle, se describirá primero el método para memorizar datos en las memorias RAMs 702 y 703 para memorizar los resultados de la decodificación en curso.

Las memorias RAMs 702 y 703 para memorizar los resultados de la decodificación en curso memorizan los resultados de la decodificación en curso D615 que se obtienen como resultado del quinto cálculo por la sección de cálculo 612 y que se suministran a través del conmutador 701.

Más concretamente, en la primera dirección hasta la quinta dirección de la memoria RAM 702 para memorizar los resultados de la decodificación en curso, los resultados de la decodificación en curso D615 (D701) correspondientes a los '1' desde la primera columna hasta la quinta columna de la matriz de control H de la Figura 15 se memorizan de tal manera que sean empaquetados más próximos en la dirección horizontal (en la dirección de la columna) para cada fila (en una manera en la que se ignoren los '0').

Más concretamente, cuando la j -ésima fila y la i -ésima columna se indiquen como (j, i), en la primera dirección de la memoria RAM 702 para memorizar los resultados de la decodificación en curso, se memorizan los datos correspondientes a los '1' de la matriz unitaria 5×5 desde (1, 1) a (5, 5) de la matriz de control de la Figura 15. En la segunda dirección, los correspondientes a las posiciones de '1' de una primera matriz de desplazamiento que forma una matriz suma desde (6, 1) a (10, 5) de la matriz de control de la Figura 15 (una matriz suma, que es la suma de la primera matriz de desplazamiento en la que la matriz unitaria 5×5 se desplaza cíclicamente en uno a la derecha y una segunda matriz de desplazamiento en la que la matriz unitaria 5×5 se desplaza cíclicamente en dos a la derecha) son objeto de memorización. Además, en la tercera dirección, se memorizan los datos correspondientes a las posiciones '1' de la segunda matriz de desplazamiento que forma la matriz suma desde (6, 1) a (10, 5) de la matriz de control. En adelante, además, en la cuarta dirección y la quinta dirección, se memorizan datos de tal manera que correspondan a la matriz de control de la Figura 15.

En la sexta dirección hasta la 10ª dirección de la memoria RAM 702 para memorizar la decodificación en curso, se memorizan los datos correspondientes a los '1' desde la 11ª columna hasta la 15ª columna de la matriz de control de la Figura 15. Es decir, en la sexta dirección, se memorizan los datos correspondientes a las posiciones de '1' de la primera matriz de desplazamiento que forma la matriz suma desde (11, 11) a (15, 15) de la matriz de control (la matriz suma, que es la suma de la matriz unitaria 5 x 5 y la primera matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza cíclicamente en tres a la derecha) y en la séptima dirección, se memorizan los datos correspondientes a los '1' de la matriz unitaria que forma la matriz suma (11, 11) a (15, 15) de la matriz de control. En adelante, además, en la octava dirección hasta la 10ª dirección, se memorizan los datos de tal manera que correspondan a la matriz de control.

De modo similar, en la 10ª dirección hasta la 28ª dirección de la memoria RAM 702 para memorizar la decodificación en curso, de tal manera que correspondan a la matriz de control de la Figura 15, se memorizan datos correspondientes a los '1' desde la 21ª columna hasta la 25ª columna, desde la 31ª columna hasta la 35ª columna, desde la 41ª columna hasta la 45ª columna, desde la 51ª columna hasta la 55ª columna, desde la 61ª columna hasta la 65ª columna, desde la 71ª columna hasta la 75ª columna, desde la 81ª columna hasta la 85ª columna. Es decir, el número de palabras de la memoria RAM 702 para memorizar los resultados de la decodificación en curso es 28.

En la primera dirección hasta la quinta dirección de la memoria RAM 703, los resultados de la decodificación en curso D615 (D702) correspondientes a los '1' desde la sexta columna a la 10ª columna de la matriz de control H de la Figura 15 se memorizan de tal manera que estén empaquetados más próximos en la dirección horizontal (en la dirección de las columnas) para cada fila (en una manera en la que se ignoren los '0').

Más concretamente, en la primera dirección de la memoria RAM 703 para memorizar los resultados de la decodificación en curso se memorizan los datos correspondientes a los '1' de la primera matriz de desplazamiento que forma la matriz suma desde (6, 1) a (10, 5) (la matriz suma, que es la suma de la primera matriz de desplazamiento en la que la matriz unitaria 5 x 5 se desplaza cíclicamente en uno a la derecha y la segunda matriz de desplazamiento en la que la matriz unitaria se desplaza cíclicamente en dos a la derecha) que es la sub-matriz de la matriz de control. En la segunda dirección, se memorizan los datos correspondientes a los '1' de la segunda matriz de desplazamiento que forma la matriz suma desde (6, 1) a (10, 5) que es la sub-matriz de la matriz de control. En adelante, de modo similar, en la tercera dirección a la quinta dirección, además, se memorizan los datos de tal manera que correspondan a la sub-matriz de la matriz de control.

De forma similar, en la sexta dirección hasta la segunda dirección de la memoria RAM 703 para memorizar la decodificación en curso, se memorizan los datos correspondientes a los '1' desde la 16ª columna hasta la 20ª columna de la matriz de control de la Figura 15, desde la 26ª columna hasta la 30ª columna, desde la 36ª columna hasta la 40ª columna, desde la 46ª columna hasta la 50ª columna, desde la 56ª columna hasta la 60ª columna, desde la 66ª columna hasta la 70ª columna, desde la 76ª columna hasta la 80ª columna y desde la 86ª columna hasta la 90ª columna. Es decir, el número de palabras de la memoria RAM 703 para memorizar los resultados de la decodificación en curso es 26.

Según se describió anteriormente, el número de palabras de la memoria RAM 702 para memorizar los resultados de la decodificación en curso es 28 y el número de palabras de la memoria RAM 703 para memorizar los resultados de la decodificación en curso es 26.

La Figura 32 es un diagrama de temporización que ilustra la operación de lectura y escritura de la memoria RAM 702 para memorizar los resultados de la decodificación en curso y la memoria RAM 703 para memorizar los resultados de la decodificación en curso de la memoria 610 para memorizar los resultados de la decodificación en curso.

En la Figura 32, el eje horizontal indica el tiempo (t).

En la memoria 610 para memorizar los resultados de la decodificación en curso, cuando ha de realizarse el primer cálculo por la sección de cálculo 612, sobre la base de una señal de control D720₂ suministrada desde la sección de control 617, los resultados de la decodificación en curso ya memorizados D703, obtenidos como un resultado del segundo cálculo, se leen desde la memoria RAM 702 para memorizar los resultados de la decodificación en curso o sobre la base de la señal de control D720₃ suministrada desde la sección de control 617, los resultados de la decodificación en curso ya memorizados D704 obtenidos como un resultado del segundo cálculo se leen desde la memoria RAM 703 para memorizar los resultados de la decodificación en curso. Los resultados de la decodificación en curso leídos se suministran al circuito de desplazamiento cíclico 614 a través del conmutador 704.

Cuando ha de realizarse el segundo cálculo por la sección de cálculo 615, los resultados de la decodificación en curso D615 v_i' obtenidos como un resultado del segundo cálculo se suministran a la memoria 610 para memorizar los resultados de la decodificación en curso desde la sección de cálculo 615. Al mismo tiempo, cuando los resultados de la decodificación en curso D615 se escriben en una dirección predeterminada de una de entre la memoria RAM 702 para memorizar los resultados de la decodificación en curso y de la memoria RAM 703 para memorizar los resultados de la decodificación en curso, los resultados de la decodificación en curso D610 (v_i'), obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615, son objeto de lectura desde la otra memoria RAM y se proporcionan a la sección de cálculo 615 a través del circuito de desplazamiento cíclico 614.

Los cinco resultados de la decodificación en curso D615 se suministran al conmutador 701 desde la sección de cálculo 615 y además, una señal de control D720₁ que indica la selección de una de las memorias RAM 702 para memorizar los resultados de la decodificación en curso y la memoria RAM 703 para memorizar los resultados de la decodificación en curso, como una memoria para la escritura de los resultados de la decodificación en curso D615 se suministra al conmutador 701. Sobre la base de la señal de control D720₁, el conmutador 701 selecciona una de entre la memoria RAM 702 para memorizar los resultados de la decodificación en curso y la memoria RAM 703 para memorizar los resultados de la decodificación en curso y suministra los cinco resultados de la decodificación en curso D612 a la memoria así seleccionada.

Los cinco resultados de la decodificación en curso D612 se suministran como resultados de la decodificación en curso D701 a la memoria RAM 702 para memorizar los resultados de la decodificación en curso desde el conmutador 701 y además, una señal de control D702₂, que indica la dirección se suministra desde la sección de control 617. La memoria RAM 702 para memorizar los resultados de la decodificación en curso efectúa la lectura de los cinco resultados de la decodificación en curso D701 obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615, que están ya memorizados en la dirección indicada por la señal de control D720₂ y los suministra como los resultados de la decodificación en curso D703 al conmutador 704. Además, la memoria RAM 702 para memorizar los resultados de la decodificación en curso, memoriza (escribe) los cinco resultados de la decodificación en curso D702 suministrados desde el conmutador 701 en la dirección indicada por la señal de control D720₂.

Los cinco resultados de la decodificación en curso D615 se suministran como los resultados de la decodificación en curso D702 a la memoria RAM 703 para memorizar los resultados de la decodificación en curso desde el conmutador 701, y además, una señal de control D720₃, que indica la dirección se suministra desde la sección de control 617. La memoria RAM 703 para memorizar los resultados de la decodificación en curso efectúa la lectura de los resultados de la decodificación en curso D702 obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615, que están ya memorizados en la dirección indicada por la señal de control D720₃ y los suministra como los resultados de la decodificación en curso D704 al conmutador 704. Además, la memoria RAM 702 para memorizar los resultados de la decodificación en curso, memoriza (escribe) los cinco resultados de la decodificación en curso D702 suministrados desde el 701 en la dirección indicada por la señal de control D720₃.

Los resultados de la decodificación en curso D703 se suministran al conmutador 704 desde la memoria RAM 702 para memorizar los resultados de la decodificación en curso o los resultados de la decodificación en curso D704 se suministran desde la memoria RAM 703 para memorizar los resultados de la decodificación en curso. Además, una señal de control D720₄ que indica la selección de una de entre la memoria RAM 702 para memorizar los resultados de la decodificación en curso y la memoria RAM 703 para memorizar los resultados de la decodificación en curso se suministra desde la sección de control 617. Sobre la base de la señal de control D720₄, el conmutador 704 selecciona una de entre la memoria RAM 702 para memorizar los resultados de la decodificación en curso y la memoria RAM 703 para memorizar los resultados de la decodificación en curso y suministra los cinco resultados de la decodificación en curso suministrados desde la memoria RAM seleccionada que se suministran como los cinco resultados de la decodificación en curso D610 a la sección de cálculo 615.

En la memoria 610 para memorizar los resultados de la decodificación en curso, cuando ha de realizarse el segundo cálculo por la sección de cálculo 615, sobre la base de la señal de control D720₂, la memoria RAM 702 para memorizar los resultados de la decodificación en curso efectúa la lectura, cinco veces, de los resultados de la decodificación en curso D701 correspondientes a los '1' desde la primera columna a la quinta columna de la matriz de control, que se memorizan en la misma dirección, desde entre los resultados de la decodificación en curso ya memorizados D701 obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615 en unidades de cinco resultados y los suministra a la sección de cálculo 615 a través del conmutador 704. Es decir, puesto que el peso de ponderación de la columna de la matriz de control H de la Figura 15 es 5, existen cinco resultados de la decodificación en curso correspondientes a los '1' de cada columna de la matriz de control H y la memoria RAM 702 para memorizar los resultados de la decodificación en curso efectúa la lectura, cinco veces, de los resultados de la decodificación en curso D701 correspondiente a los '1' desde la primera columna a la quinta columna en unidades de cinco resultados.

A continuación, sobre la base de la señal de control D720₃, la memoria RAM 703 para memorizar los resultados de la decodificación en curso efectúa la lectura continua, cinco veces, de los cinco resultados de la decodificación en curso D702 correspondientes a los '1' desde la sexta columna a la 10ª columna de la matriz de control, que se memorizan en la misma dirección, desde entre los resultados de la decodificación en curso D702 obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615, que están ya memorizados y los suministra a la sección de cálculo 615 a través del conmutador 704 y del circuito de desplazamiento cíclico 614. Al mismo tiempo, los cinco resultados de la decodificación en curso D615 correspondientes a los '1' de la primera columna a la quinta columna de la matriz de control, obtenidos como un resultado del segundo cálculo que se está actualmente realizando por la sección de cálculo 615, se suministran como los resultados de la decodificación en curso D701 a la memoria RAM 702 para memorizar los resultados de la decodificación en curso a través del conmutador 701. Sobre la base de la señal de control D720₂, la memoria RAM 702 para memorizar los resultados de la decodificación en curso memoriza continuamente, cinco veces, los resultados de la decodificación en curso D701 en la dirección en la que se memorizan los resultados de la decodificación en curso D703 ya leídos.

En adelante, sobre la base de la señal de control D720₂, la memoria RAM 702 para memorizar los resultados de la decodificación en curso efectúa la lectura continua, cinco veces, de los resultados de la decodificación en curso D701 correspondientes a los '1' desde la 11ª columna a la 15ª columna de la matriz de control, que se memorizan en la misma dirección, desde entre los resultados de la decodificación en curso ya memorizados D701 obtenidos anteriormente como un resultado del segundo cálculo por la sección de cálculo 615 en unidades de cinco resultados y los suministra a la sección de cálculo 615 a través del conmutador 704. Al mismo tiempo, los cinco resultados de la decodificación en curso D612 correspondientes a los '1' desde la sexta columna hasta la 10ª columna de la matriz de control, que se obtienen como un resultado del segundo cálculo que se está actualmente realizando por la sección de cálculo 615, se suministran como los resultados de la decodificación en curso D702 a la memoria RAM 703 para memorizar los resultados de la decodificación en curso a través del conmutador 701. Sobre la base de la señal de control D720₃, la memoria RAM 703 para memorizar los resultados de la decodificación en curso memoriza continuamente, cinco veces, los resultados de la decodificación en curso ya leídos D702 en la dirección en la que se memorizan los resultados de la decodificación en curso D704.

En adelante, de modo similar, hasta que los resultados de la decodificación en curso, correspondientes a todos los '1', que se obtienen como un resultado del segundo cálculo por la sección de cálculo 615, se memoricen en la memoria RAM 702 para memorizar los resultados de la decodificación en curso o la memoria RAM 703 para memorizar los resultados de la decodificación en curso, la memoria RAM 702 para memorizar los resultados de la decodificación en curso y la memoria RAM 703 para memorizar los resultados de la decodificación en curso realizan, de forma alternada, las operaciones de lectura y escritura de los resultados cinco veces.

La Figura 33 es un diagrama de flujo que ilustra el proceso de decodificación del aparato de decodificación 600 de la Figura 26. Este proceso se inicia cuando, a modo de ejemplo, se memorizan los datos recibidos a decodificarse en la memoria 616 para recepción.

En la etapa S70, el circuito de desplazamiento cíclico 614 realiza un desplazamiento cíclico de redistribución de los cinco resultados de la decodificación en curso D613 memorizados en la etapa S76 (a describirse más adelante), que se suministran desde la memoria 613 para memorizar los resultados de la decodificación en curso y los suministra a la sección de cálculo 615.

Más concretamente, los cinco resultados de la decodificación en curso D613 se suministran al circuito de desplazamiento cíclico 614 desde la memoria 613 para memorizar los resultados de la decodificación en curso. Además, una señal de control D621, que indica información (datos de matrices) en cuanto al hecho de que los '1' de la matriz de control, que corresponden a los resultados de la decodificación en curso D613, estén dispuestos como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base de la matriz de control es objeto de desplazamiento cíclico, se suministran al circuito de desplazamiento cíclico 614 desde la sección de control 617. Sobre la base de la señal de control D621, el circuito de desplazamiento cíclico 614 realiza un desplazamiento cíclico (redispone) los cinco resultados de la decodificación en curso D613 y los suministra como los resultados de la decodificación en curso D614 a la sección de cálculo 615.

Cuando el primer cálculo no se ha realizado sobre los datos recibidos D617 suministrados desde la memoria 616 para recepción y los resultados de la decodificación en curso D612 no se han memorizado en la memoria 613 para memorizar los resultados de la decodificación en curso, la sección de cálculo 615 establece el resultado a un valor inicial.

En la etapa S71, la sección de cálculo 615 realiza el segundo cálculo y suministra los resultados de la decodificación en curso D615, que son los resultados del cálculo, a la memoria 610 para memorizar los resultados de la decodificación en curso.

Más concretamente, los cinco resultados de la decodificación en curso D614 se suministran a la sección de cálculo 615 desde el circuito de desplazamiento cíclico 614 en la etapa S70 y los resultados de la decodificación en curso anteriores D610 se suministran desde la memoria 610 para memorizar los resultados de la decodificación en curso en la etapa S72 (a describirse más adelante). Cinco elementos de los datos recibidos D617 se suministran desde la memoria 616 para datos recibidos y los cinco resultados de la decodificación en curso D615 y D610, y los datos recibidos D617 se suministran individualmente a cada uno de los calculadores 615₁ a 615₅ de la sección de cálculo 615. Además, la señal de control D622 se suministra a la sección de cálculo 615 desde la sección de control 617 y la señal de control D622 se suministra a los calculadores 615₁ a 615₅.

Sobre la base de la señal de control D622, los calculadores 615₁ a 615₅ realizan, cada uno, un cálculo en conformidad con la ecuación (1), la ecuación (10) y la ecuación (11) utilizando los resultados de la decodificación en curso D614 y D610 y los datos recibidos D617 y suministra los resultados de la decodificación en curso D615 (v_i') correspondientes a los '1' de cada columna de la matriz de control, que se obtienen como un resultado del cálculo, a la memoria 610 para memorizar los resultados de la decodificación en curso.

Después del procesamiento de la etapa S71, el proceso prosigue con la etapa S72, en donde la memoria 610 para memorizar los resultados de la decodificación en curso D615 suministrados desde la sección de cálculo 615 en la etapa

S71 en la misma dirección, efectúa la lectura de los resultados de la decodificación en curso ya memorizados D615 (D610) y los suministra al circuito de desplazamiento cíclico 611 y a la sección de cálculo 615.

- 5 Después del procesamiento de la etapa S72, el proceso prosigue con la etapa S73, en donde la sección de control 617 determina si, o no, todos los resultados de la decodificación en curso D615 correspondientes a los '1' de cada columna de la matriz de control han sido calculados por la sección de cálculo 615. Cuando la sección de control 617 determina que todos los resultados de la decodificación en curso D615 no han sido calculados, el proceso retorna a la etapa S70 y se realiza de nuevo el procesamiento anteriormente descrito.
- 10 Por el contrario, cuando la sección de control 617 determina, en la etapa S73, que todos los resultados de la decodificación en curso D615 han sido calculados por la sección de cálculo 615, el proceso prosigue con la etapa S74, en donde el circuito de desplazamiento cíclico 611 realiza el desplazamiento cíclico de los resultados de la decodificación en curso D610 (v_i') suministrados desde la memoria 610 para memorizar los resultados de la decodificación en curso.
- 15 Más concretamente, los cinco resultados de la decodificación en curso D610 se suministran al circuito de desplazamiento cíclico 611 desde la memoria 610 para memorizar los resultados de la decodificación en curso. Además, una señal de control D619, que indica información (datos de matrices) en cuanto al hecho de que los '1' de la matriz de control, que corresponden a los resultados de la decodificación en curso D610, están dispuestos como un resultado de cuántas veces, a modo de ejemplo, la matriz unitaria que forma la base en la matriz de control se desplaza de forma cíclica, se suministran al circuito de desplazamiento cíclico 611 desde la sección de control 617. Sobre la base de la señal de control D619, el circuito de desplazamiento cíclico 611 efectúa el desplazamiento cíclico (redispone) los cinco resultados de la decodificación en curso D610 y los suministra como los resultados de la decodificación en curso D611 a la sección de cálculo 612.
- 20 Después del procesamiento de la etapa S74, el proceso prosigue con la etapa S75, en donde la sección de cálculo 612 realiza el primer cálculo y suministra los resultados de la decodificación en curso D612, que son los resultados del cálculo, al circuito de desplazamiento cíclico 614.
- 25 Más concretamente, los cinco resultados de la decodificación en curso D611 (v_i') se suministran a la sección de cálculo 612 desde el circuito de desplazamiento cíclico 611 en la etapa S74 y los resultados de la decodificación en curso D611 se suministran individualmente a cada uno de los calculadores 612₁ a 612₅ de la sección de cálculo 612. Además, la señal de control D621 se suministra a la sección de cálculo 612 desde sección de control 617 y la señal de control D621 se suministra a los calculadores 612₁ a 612₅.
- 30 Sobre la base de la señal de control D619, los calculadores 612₁ a 612₅ realizan, cada uno, un cálculo en conformidad con la ecuación (9) utilizando los resultados de la decodificación en curso D611 y suministran los resultados de la decodificación en curso D612 (w) correspondientes a la fila de la matriz de control, que se obtienen como resultado del cálculo, a la memoria 613 para memorizar los resultados de la decodificación en curso.
- 35 Después del procesamiento de la etapa S75, el proceso prosigue con la etapa S76, en donde la memoria 613 para memorizar los resultados de la decodificación en curso memoriza los resultados de la decodificación en curso D612 suministrados desde la sección de cálculo 612 en la etapa S75 en la misma dirección y el proceso prosigue entonces con la etapa S77.
- 40 En la etapa S77, la sección de control 617 determina si, o no, los resultados de la decodificación en curso D612 correspondientes a todas las filas de la matriz de control han sido calculados por la sección de cálculo 612. Cuando la sección de control 617 determina que todos los resultados de la decodificación en curso no han sido calculados, el proceso retorna a la etapa S74 y se realiza de nuevo el procesamiento anteriormente descrito.
- 45 Por el contrario, cuando la sección de control 617 determina, en la etapa S77, que los resultados de la decodificación en curso D612 correspondientes a todas las filas han sido calculados por la sección de cálculo 612, el procesamiento está concluido.
- 50 El aparato de decodificación 600 realiza, de forma repetida, el proceso de decodificación de la Figura 33 para el número de decodificaciones y el valor D661, obtenido por la sección de cálculo 621 como un resultado del cálculo en conformidad con la ecuación (5) anteriormente descrita se proporcionan como los resultados decodificados finales.
- 55 En la descripción anterior, aunque la memoria 610 para memorizar los resultados de la decodificación en curso está formada a partir de dos memorias RAMs de puerto único, puede formarse a partir de tres o más memorias RAMs si las operaciones de lectura y escritura no ocurren simultáneamente desde y a una sola memoria RAM. Cuando la anchura de bits física de la memoria RAM es insuficiente, al proporcionar la misma señal de control utilizando una pluralidad de memorias RAMs, estas memorias se pueden suponer, desde el punto de vista lógico, como una sola memoria RAM.
- 60 Para las partes en las que los datos de bordes no existen (mensajes correspondientes a bordes), durante el almacenamiento en la memoria (cuando los datos se memorizan en las memorias 610 y 613 para memorizar los
- 65

resultados de la decodificación en curso), no se memoriza ningún mensaje y durante el cálculo (el primer cálculo en la sección de cálculo 612 y durante el segundo cálculo en la sección de cálculo 615) no se realizan ningún cálculo.

Si se utiliza un dispositivo de desplazamiento de rotación para los circuitos de desplazamiento cíclico 314 y 320 de las Figuras 16A y 16B, los circuitos de desplazamiento cíclico 411 y 414 de la Figura 18 y los circuitos de desplazamiento cíclico 611 y 614 de la Figura 26, se pueden realizar las operaciones deseadas al mismo tiempo que se reduce la escala circuital.

En el caso anteriormente descrito, con fines de simplificación de la descripción, se utiliza, a modo de ejemplo, un caso, en el que p es 5, es decir, el número de filas y el número de cálculo de la sub-matriz que forma la matriz de control es 5. El número de filas y el número de columnas de la sub-matriz no necesita siempre ser 5 y puede adoptar un valor diferente dependiendo de la matriz de control. A modo de ejemplo, p puede ser 360 o 392.

Además, en esta forma de realización, los códigos LDPC de una longitud de código de 90 y una tasa de codificación de $2/3$ se utilizan a este respecto. Sin embargo, la longitud de código y la tasa de codificación pueden ser cualquier valor. A modo de ejemplo, cuando el número de filas y el número de columnas, p , de la sub-matriz es 5, si el número total de los bordes es más pequeño que o igual a 5, los códigos LDPC de incluso cualquier longitud de código y tasa de codificación pueden decodificarse utilizando el aparato de decodificación 300 de las Figuras 16A a 16C el aparato de decodificación 400 de la Figura 18 y el aparato de decodificación 600 de la Figura 26 cambiando solamente la señal de control.

Además, el aparato de decodificación para algunos códigos LDPC, que satisfacen las condiciones en las que el número de filas y el número de columnas, p , de la sub-matriz es un valor predeterminado, y el número total de los bordes es más pequeño que, o igual a un valor particular, es capaz de decodificar códigos LDPC de cualquier tasa de codificación deseada en cualquier longitud de código deseada, que satisfacen las condiciones.

Cuando la matriz de control no es un múltiplo del número p de las filas y columnas de la sub-matriz, la presente invención puede aplicarse suponiendo que la matriz de control es un múltiplo de p asignando elementos de todos '0' a la parte exterior de las fracciones de la matriz de control.

A continuación, las series anteriormente descritas de procesos pueden realizarse mediante hardware y se pueden realizar también por software. Cuando las series de procesos se realiza por software, el programa que forma el software se instala en un ordenador de uso general, etc.

En consecuencia, la Figura 34 ilustra, a modo de ejemplo, la configuración de una forma de realización de un ordenador al que se instala un programa para ejecutar la serie anteriormente descrita de procesos.

El programa puede registrarse, por anticipado, en un disco duro 905 y una memoria ROM 903 que sirven como un soporte de registro incorporado en el ordenador.

Como alternativa, el programa se puede memorizar (registrar), de forma temporal o permanente, en un soporte de registro extraíble 911, tal como un disco flexible, una memoria CD-ROM (Memoria de Lectura Solamente de Disco Compacto), un disco MO (Magneto-óptico), un disco DVD (Disco Versátil Digital), un disco magnético o una memoria de semiconductores. Dicho soporte de registro extraíble 911 puede proporcionarse como un así denominado software empaquetado.

Además de instalarse en un ordenador desde el soporte de registro extraíble 911, tal como se describió anteriormente, los programas se pueden transferir al ordenador en una manera inalámbrica, desde un sitio de descarga, por intermedio de un satélite artificial para la difusión vía satélite digital o puede transferirse, en forma cableada, al ordenador a través de una red, tal como una red LAN (Red de Área Local) o a través de Internet. En el ordenador, los programas que se transfieren, de tal manera, pueden recibirse en una sección de comunicación 908 y pueden instalarse en el disco duro 905 allí contenido.

El ordenador incorpora una unidad CPU (Unidad Central de Procesos) 902. Una interfaz de entrada/salida 910 está conectada a la unidad CPU 902 a través de un bus 901. Cuando se introduce una instrucción por un usuario mediante la utilización de una sección de entrada 907 incluyendo un teclado, un ratón, un micrófono, etc., a través de la interfaz de entrada/salida 910, la unidad CPU 902 ejecuta el programa memorizado en la memoria ROM (memoria de lectura solamente) 903 en conformidad con esa instrucción. Como alternativa, la unidad CPU 902 carga, en la memoria RAM (memoria de acceso aleatorio) 904, el programa memorizado en el disco duro 905, el programa que se transfiere desde un satélite o una red, que se recibe por la sección de comunicación 908 y que se instala en el disco duro 905 o el programa que se lee desde el medio de registro extraíble 911 cargado en una unidad 909 y está instalado en el disco duro 905 y la unidad CPU 902 ejecuta el programa. Como resultado, la unidad CPU 902 realiza el procesamiento en conformidad con los diagramas de flujo anteriormente descritos o el procesamiento conforme a los diagramas de bloques anteriormente descritos. A continuación, a modo de ejemplo, la unidad CPU 902 proporciona el resultado del procesamiento a través de la interfaz de entrada/salida 910 desde una sección de salida 906 incluyendo una pantalla LCD (Pantalla de Cristal Líquido), un altavoz, etc., transmite el resultado del procesamiento desde la sección de comunicación 908 y lo registra, además, en el disco duro 905 cuando se requiere.

En esta especificación, las etapas de procesamiento para la escritura del programa para permitir al ordenador realizar varios procesamientos no hay necesidad de su ejecución cronológica, en función de las órdenes escritas como diagramas de flujo. Además, se pueden ejecutar de forma simultánea o individual (a modo de ejemplo, procesamiento en paralelo o procesamientos basados en el objeto).

El programa puede procesarse por un solo ordenador o puede procesarse por una pluralidad de ordenadores en una manera distribuida. Además, el programa puede transferirse a un ordenador distante y puede procesar a este respecto.

Para la decodificación de códigos LDPC que tienen una matriz de control que puede representarse por una combinación de una matriz unitaria ($P \times P$), una matriz cuasi-unitaria en la que uno o más '1', que son elementos de la matriz unitaria, se sustituyen con 0, una matriz de desplazamiento en la que la matriz unitaria o la matriz cuasi-unitaria se desplaza de forma cíclica, una matriz suma, que es la suma de dos o más de la matriz unitaria, la matriz cuasi-unitaria y la matriz de desplazamiento y una matriz nula ($P \times P$), una arquitectura para realizar simultáneamente p cálculos de nodos de control y p cálculos de nodos de variables se adoptan a este respecto. En consecuencia, realizando simultáneamente p cálculos de nodos, se puede suprimir la frecuencia operativa dentro de un margen factible. De este modo, aunque se puede realizar un gran número de decodificaciones iterativas, es posible impedir el acceso simultáneo a diferentes direcciones durante la escritura y la lectura desde la memoria (FIFO y RAM).

Cuando los códigos LDPC, representados por la matriz de control de la Figura 15, se decodifican utilizando repetidamente el aparato de decodificación 300 de las Figuras 16A a 16C, puesto que es posible realizar los cálculos sobre 269 bordes cada cinco bordes para cada nodos de control y cada nodo de variable. Por lo tanto, para una decodificación, el aparato de decodificación necesita realizar $269/5 \times 2$ aprox. 108 operaciones de reloj. Por lo tanto, con el fin de realizar 50 decodificaciones, mientras se reciben 90 elementos de información de códigos, el aparato de decodificación necesita realizar $108 \times 50 = 5400$ operaciones de reloj y por lo tanto, una frecuencia operativa aproximadamente 60 veces tan alta como la frecuencia de recepción se puede utilizar a este respecto. Por lo tanto, en conformidad con el aparato de decodificación de las Figuras 16A a 16C, cuando se comparan con el aparato de decodificación de la Figura 9 para realizar los cálculos de nodos uno a uno, solamente se necesita una frecuencia operativa de 1/5. Cuando se ve desde el aspecto de la escala circuital, puesto que el tamaño de la memoria es el mismo, aún cuando el circuito lógico se haga ligeramente grande, la influencia del conjunto es pequeña.

El aparato de decodificación 400 de la Figura 18 y el aparato de decodificación 600 de la Figura 26 tienen una capacidad de memoria más pequeña que la que tiene el aparato de decodificación 300 de las Figuras 16A a 16C.

A modo de ejemplo, cuando la matriz de control de los códigos LDPC es la matriz de control de la Figura 15 y el número de bits de cuantización de los códigos LDPC es 6, en el aparato de decodificación 300 de las Figuras 16A a 16C, la memoria de almacenamiento de datos de bordes requiere dos memorias RAMs que tengan la capacidad de 269 (el número total de los bordes) $\times 6 = 1614$ bits, es decir, la capacidad de $1614 \times 2 = 3228$ bits para las dos memorias RAMs. En comparación, a modo de ejemplo, cuando el número de bits de cuantización de los resultados de la decodificación en curso v es 9, en el aparato de decodificación 400 de la Figura 18, la memoria 413 para memorizar los resultados de la decodificación en curso necesita estar provista de una memoria RAM que tenga una capacidad de 1614 bits del número total de los bordes y la memoria 410 para memorizar los resultados de la decodificación en curso necesita estar provista de una memoria RAM que tenga una capacidad del valor multiplicado de la longitud de código (el número de las columnas de la matriz de control) de los códigos LDPC y el número de bits de cuantización de los resultados de la decodificación en curso v , es decir, la capacidad de $90 \times 9 = 810$ bits. De este modo, la escala circuital del aparato de decodificación se puede reducir. Además, en el aparato de decodificación 400 de la Figura 18, puesto que no es necesario para la sección de cálculo 415 realizar el segundo cálculo para tener una memoria FIFO, la escala circuital de la lógica se puede reducir.

Además, a modo de ejemplo, cuando la matriz de control de los códigos LDPC es la matriz de control de la Figura 15 y el número de bits de cuantización de los resultados de la decodificación en curso v es 10, en el aparato de decodificación 600 de la Figura 26, la memoria 610 para memorizar los resultados de la decodificación en curso necesita estar provista de una memoria RAM que tenga una capacidad de 1614 bits del número total de los bordes y la memoria 613 para memorizar los resultados de la decodificación en curso necesita estar provista de una memoria RAM que tenga una capacidad del valor multiplicado del número de filas de la matriz de control y los resultados de la decodificación en curso v , es decir, una capacidad de $30 \times 10 = 300$ bits. De este modo, se puede reducir la escala circuital del aparato de decodificación. Además, en el aparato de decodificación 600 de la Figura 26, puesto que no es necesario para la sección de cálculo 612 realizar el primer cálculo para tener una memoria FIFO, la escala circuital de la lógica se puede también reducir.

En general, puesto que la longitud de código de los códigos LDPC es tan grande como varios miles a varios centenares de miles, los códigos LDPC cuyo valor de p tenga un tamaño de varios centenares se utilizan a este respecto. En ese caso, aumentan las ventajas de utilizar el aparato de decodificación según la presente invención.

Además, puesto que el aparato de decodificación, según la presente invención, pone en práctica verdaderamente el algoritmo de suma-producto, no ocurre una pérdida de decodificación distinta a la cuantización de mensajes.

Aplicabilidad industrial

5 Desde los anteriores puntos de vista, utilizando el aparato de decodificación según la presente invención, se hace posible la decodificación de alto rendimiento.

Además, las configuraciones relacionadas con la invención, que no son formas de realización de la presente invención, se dan a conocer en las cláusulas numeradas siguientes:

10 1. Un aparato de decodificación para decodificar códigos LDPC (Control de Paridad de Baja Densidad), cuando se utilizan como una sub-matriz, una matriz unitaria ($P \times P$), una matriz cuasi-unitaria en la que uno o más '1', que son elementos de la matriz unitaria, se sustituyen con 0, una matriz de desplazamiento en la que dicha matriz unitaria o dicha matriz cuasi-unitaria se desplaza de forma cíclica, una matriz suma, que es la suma de dos o más de dicha matriz unitaria, dicha matriz cuasi-unitaria y dicha matriz de desplazamiento o una matriz nula ($P \times P$), una matriz de control de
15 dichos códigos LDPC se representa por una combinación de una pluralidad de dichas sub-matrices, comprendiendo dicho aparato de decodificación:

un primer medio de cálculo para realizar simultáneamente P cálculos de nodos de control para decodificar dichos códigos LDPC y
20

un segundo medio de cálculo para realizar simultáneamente P cálculos de nodos de variables para decodificar dichos códigos LDPC.

25 2. El aparato de decodificación según la Cláusula 1, en donde dicho primer medio de cálculo tiene P calculadores de nodos de control para realizar cálculos de nodos de control y

dicho segundo medio de cálculo tiene P calculadores de nodos de variables para realizar cálculos de nodos de variables.

30 3. El aparato de decodificación según la Cláusula 1, que comprende, además:

un medio de memorización de mensajes para las operaciones de lectura y escritura simultáneas de datos de mensajes correspondientes a P bordes, que se obtienen como un resultado de dichos P cálculos de nodos de control o dichos P cálculos de nodos de variables.

35 4. El aparato de decodificación según la Cláusula 3, en donde dicho medio de memorización de mensajes memoriza datos de mensajes correspondientes a los bordes, que son objeto de lectura durante el cálculo del nodo de control, de tal manera que los '1' de la matriz de control se empaquetan más próximos en la dirección de las filas.

40 5. El aparato de decodificación según la Cláusula 3, en donde dicho medio de memorización de mensajes memoriza datos de mensajes correspondientes a los bordes, que son objeto de lectura durante el cálculo de nodo de variable, de tal manera que los '1' de la matriz de control se empaqueten más próximos en la dirección de las columnas.

45 6. El aparato de decodificación según la Cláusula 3, en donde dicho medio de memorización de mensajes memoriza, en la misma dirección, los mensajes correspondientes a P bordes que pertenecen a una matriz unitaria cuyo peso de ponderación es 1, una matriz cuasi-unitaria o una matriz de desplazamiento cuando las sub-matrices, cuyo peso de ponderación es 2 o más desde entre las sub-matrices que representan dicha matriz de control, se representan en la forma de la suma de la matriz unitaria cuyo peso de ponderación es 1, la matriz cuasi-unitaria o la matriz de desplazamiento.

50 7. El aparato de decodificación según la Cláusula 3, en donde dicho medio de memorización de mensajes comprende un número de filas/p FIFOs y un número de columnas/p FIFOs y

dicho número de filas/p FIFOs y dicho número de columnas/p FIFOs tienen, cada uno, un número de palabras que corresponden al peso de ponderación de la fila y al peso de ponderación de la columna de dicha matriz de control, respectivamente.
55

8. El aparato de decodificación según la Cláusula 3, en donde dicho medio de memorización de mensajes comprende una memoria RAM (memoria de acceso aleatorio) y

60 dicha memoria RAM memoriza dichos datos de mensajes en la secuencia de lectura, de tal manera que se empaqueten más próximos y efectúa la lectura de dichos datos de mensajes en la secuencia de posiciones de memoria.

9. El aparato de decodificación según la Cláusula 1, que comprende, además:

65 un medio de memorización de información recibida para memorizar la información recibida de códigos LDPC y para la lectura simultánea de P elementos de dicha información recibida.

10. El aparato de decodificación según la Cláusula 9, en donde dicho medio de memorización de información recibida memoriza dicha información recibida de tal manera que la información recibida pueda ser objeto de lectura en la secuencia necesaria para dicho cálculo de nodos de variables.
- 5 11. El aparato de decodificación según la Cláusula 1 que comprende, además:
- un medio para disponer de los mensajes obtenidos como un resultado de dichos P cálculos de nodos de control o dichos P cálculos de nodos de variables.
- 10 12. El aparato de decodificación según la Cláusula 11, en donde dicho medio de redistribución comprende un dispositivo de desplazamiento de rotación.
13. El aparato de decodificación según la Cláusula 1, en donde dicho primer medio de cálculo y dicho segundo medio de cálculo determinan los mensajes correspondientes a P bordes.
- 15 14. El aparato de decodificación según la Cláusula 1, en donde dicho primer medio de cálculo realiza algunos de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables y
- dicho segundo medio de cálculo realiza algunos de los otros de dichos P cálculos de nodos de variables.
- 20 15. El aparato de decodificación según la Cláusula 14, en donde dicho primer medio de cálculo comprende P calculadores para realizar algunos de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables y
- dicho segundo medio de cálculo comprende P calculadores para realizar algunos de los otros de dichos P cálculos de nodos de variables.
- 25 16. El aparato de decodificación según la Cláusula 14 que comprende, además:
- un primer medio de memorización de resultados de la decodificación en curso para las operaciones de lectura y escritura simultáneas de los primeros resultados de la decodificación en curso correspondientes a P bordes, que se obtienen por dicho primer medio de cálculo realizando algunos de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables.
- 30 17. El aparato de decodificación según la Cláusula 16, en donde dicho primer medio de memorización de resultados de la decodificación en curso memoriza dichos resultados de la decodificación en curso correspondientes al borde, que son objeto de lectura cuando algunos de los otros de dichos P cálculos de nodos de variables se realiza, de tal manera que los '1' de la matriz de control se empaqueten más próximos en la dirección de la fila.
- 35 18. El aparato de decodificación según la Cláusula 16, en donde dicho primer medio de memorización de resultados de la decodificación en curso son dos memorias RAMs (memorias de acceso aleatorio) de puerto único.
- 40 19. El aparato de decodificación según la Cláusula 18, en donde dichas dos memorias RAMs de puerto único memorizan, de forma alternada, dichos primeros resultados de la decodificación en curso en unidades de dichos primeros resultados de la decodificación en curso para bordes de P de dicha matriz de control.
- 45 20. El aparato de decodificación según la Cláusula 18, en donde dichas dos memorias RAMs (memorias de acceso aleatorio) de puerto único leen, cada una, dichos primeros resultados de la decodificación en curso memorizados en la misma dirección.
- 50 21. El aparato de decodificación según la Cláusula 16, en donde dicho primer medio de memorización de los resultados de la decodificación en curso memoriza, en la misma dirección, dichos primeros resultados de la decodificación en curso correspondientes a P bordes pertenecientes a una matriz unitaria cuyo peso de ponderación es 1, una matriz cuasi-unitaria o una matriz de desplazamiento cuando las sub-matrices cuyo peso de ponderación es 2 o más desde entre las sub-matrices que representan dicha matriz de control se representan en la forma de la suma de la matriz unitaria cuyo peso de ponderación es 1, la matriz cuasi-unitaria o la matriz de desplazamiento.
- 55 22. El aparato de decodificación según la Cláusula 14 que comprende, además:
- un medio de memorización de resultados de la decodificación en curso para la lectura y escritura simultáneas de dichos segundos resultados de la decodificación en curso correspondientes a P bordes, que se obtienen por dicho segundo medio de cálculo realizando algunos de los otros de dichos P cálculos de nodos de variables.
- 60 23. El aparato de decodificación según la Cláusula 14 que comprende, además:
- 65 un medio de memorización de información recibida para memorizar la información recibida de códigos LDPC y efectuar la lectura simultánea de dichos P elementos de información recibida.

24. El aparato de decodificación según la Cláusula 23, en donde dicho medio de memorización de información recibida memoriza dicha información recibida de tal manera que se pueda leer en la secuencia necesaria para algunos de los otros dichos P cálculos de nodos de variables.

5 25. El aparato de decodificación según la Cláusula 14 que comprende, además:

medios de redistribución para redistribuir los primeros resultados de la decodificación en curso obtenidos por dicho primer medio de cálculo realizando algunos de dichos P cálculos de nodos de control y dichos P de cálculos de nodos de variables o segundos resultados de la decodificación en curso obtenidos por dicho segundo medio de cálculo realizando algunos de los otros de dichos P cálculos de nodos de variables.

26. El aparato de decodificación según la Cláusula 25, en donde dicho medio de redistribución comprende un dispositivo de desplazamiento barrel.

15 27. El aparato de decodificación según la Cláusula 1, en donde dicho primer medio de cálculo realiza algunos de dichos P cálculos de nodos de control y

dicho segundo medio de cálculo realiza algunos de los otros de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables.

20 28. El aparato de decodificación según la Cláusula 27, en donde dicho primer medio de cálculo comprende P calculadores para realizar algunos de dichos P cálculos de nodos de control y

dicho segundo medio de cálculo comprende P calculadores para realizar algunos de los otros de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables.

25 29. El aparato de decodificación según la Cláusula 27 que comprende, además:

30 un primer medio de memorización de resultados de la decodificación en curso para la lectura y escritura simultáneas de los primeros resultados de la decodificación en curso correspondientes a P bordes, que se obtienen por dicho primer medio de cálculo realizando algunos de dichos P cálculos de nodos de control.

30. El aparato de decodificación según la Cláusula 27 que comprende, además:

35 un segundo medio de memorización de resultados de la decodificación en curso para la lectura y escritura simultáneas de los segundos resultados de la decodificación en curso correspondientes a P bordes, que se obtienen por dicho segundo medio de cálculo realizando algunos de los otros de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables.

40 31. El aparato de decodificación según la Cláusula 30, en donde dicho segundo medio de memorización de resultados de la decodificación en curso memoriza dichos segundos resultados de la decodificación en curso correspondientes a bordes, que son objeto de lectura cuando se realizan algunos de los otros de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables, de tal manera que los '1' de la matriz de control se empaquetan más próximos en la dirección de las columnas.

45 32. El aparato de decodificación según la Cláusula 30, en donde dicho segundo medio de memorización de resultados de la decodificación en curso son dos memorias RAMs (memorias de acceso aleatorio) de puerto único.

50 33. El aparato de decodificación según la Cláusula 32, en donde dichas memorias RAM de puerto único memorizan, de forma alternada, dichos segundos resultados de la decodificación en curso en unidades de dichos segundos resultados de la decodificación en curso correspondientes a P bordes de dicha matriz de control.

55 34. El aparato de decodificación según la Cláusula 32, en donde dichas dos memorias RAMs (memorias de acceso aleatorio) de puerto único efectúan la lectura, cada una, de dichos segundos resultados de la decodificación en curso en la misma dirección.

60 35. El aparato de decodificación según la Cláusula 30, en donde dicho segundo medio de memorización de resultados de la decodificación en curso memoriza, en la misma dirección, dichos segundos resultados de la decodificación en curso correspondientes a P bordes que pertenecen a una matriz unitaria cuyo peso de ponderación es 1, una matriz cuasi-unitaria o una matriz de desplazamiento cuando las sub-matrices cuyo peso de ponderación es 2 o más de entre las sub-matrices que representan dicha matriz de control se representan en la forma de la suma de la matriz unitaria cuyo peso de ponderación es 1, la matriz cuasi-unitaria o la matriz de desplazamiento.

65 36. El aparato de decodificación según la Cláusula 27 que comprende, además:

un medio de memorización de información recibida para memorizar la información recibida de códigos LDPC y para la lectura simultánea de dichos P elementos de información recibida.

5 37. El aparato de decodificación según la Cláusula 36, en donde dicho medio de memorización de información recibida memoriza dicha información recibida de tal manera que dicha información recibida pueda leerse en la secuencia necesaria para algunos de los otros de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables.

38. El aparato de decodificación según la Cláusula 27 que comprende, además:

10 medios de redistribución para redistribuir los primeros resultados de la decodificación en curso obtenidos por dicho primer medio de cálculo realizando algunos de dichos P cálculos de nodos de control o segundos resultados de la decodificación en curso obtenidos por dicho segundo medio de cálculo realizando algunos de los otros de dichos P cálculos de nodos de control y dichos P cálculos de nodos de variables.

15 39. El aparato de decodificación según la Cláusula 38, en donde dichos medios de redistribución comprenden, un dispositivo de desplazamiento de rotación.

20 40. Un método de decodificación para su uso con un aparato de decodificación para decodificar códigos LDPC (control de paridad de baja densidad), cuando se utilizan como una sub-matriz, una matriz unitaria ($P \times P$), una matriz cuasi-unitaria en la que uno o más '1', que son elementos de la matriz unitaria, se sustituyen con 0, una matriz de desplazamiento en la que dicha matriz unitaria o dicha matriz cuasi-unitaria se desplaza de forma cíclica, una matriz suma, que es la suma de dos o más de dicha matriz unitaria, dicha matriz cuasi-unitaria y dicha matriz de desplazamiento o una matriz nula ($P \times P$), una matriz de control de códigos LDPC se representa por una combinación de una pluralidad de dichas sub-matrices, comprendiendo dicho método de decodificación:

25 una primera etapa de cálculo de realización simultánea de P cálculos de nodos de control para decodificar dichos códigos LDPC y

30 una segunda etapa de cálculo de realizar simultáneamente P cálculos de nodos de variables para decodificar dichos códigos LDPC.

41. Un programa para permitir a un ordenador decodificar códigos LDPC (control de paridad de baja densidad) comprendiendo dicho programa:

35 una primera etapa de cálculo de realización simultánea de P cálculos de nodos de control para decodificar dichos códigos LDPC y

40 una segunda etapa de cálculo de realización simultánea de P cálculos de nodos de variables para decodificar dichos códigos LDPC.

45

REIVINDICACIONES

1. Un aparato de decodificación (400) para decodificar un Código de Control de Paridad de Baja Densidad LDPC adaptado para poner en práctica una propagación de creencia sobre una representación de gráfico de Tanner del código LDPC, en donde la matriz de control de paridad, correspondiente al gráfico de Tanner de dicho código LDPC, está constituida por una combinación de una pluralidad de sub-matrices $P \times P$
 - en donde cada sub-matriz es una matriz unitaria $P \times P$; una matriz cuasi-unitaria en donde uno o varios '1', que son elementos de la matriz unitaria $P \times P$ se sustituyen por 0; una matriz de desplazamiento en donde dicha matriz unitaria o dicha matriz cuasi-unitaria está desplazada de forma cíclica; una matriz suma $P \times P$, que es la suma de dos o más de dicha matriz unitaria $P \times P$, de dicha matriz cuasi-unitaria y de dicha matriz de desplazamiento, en donde dicha matriz suma $P \times P$ tiene un peso de ponderación de línea o de columna de dos o más; o una matriz nula $P \times P$ y dicha combinación comprende matrices suma $P \times P$,
 - comprendiendo dicho aparato de decodificación:
 - un segundo medio de cálculo (415) adaptado para realizar simultáneamente una primea parte de P cálculos de nodos de variables para obtener P segundos resultados de decodificación en curso v (D415) según la ecuación $v = u_0 + \sum_{j=1}^{d_v} u_j$, en donde u_0 representa un valor inicial para un mensaje recibido a decodificarse y $\sum_{j=1}^{d_v} u_j$ representa un valor integrado en donde un primer resultado de decodificación en curso u_j previamente obtenido por un primer medio de cálculo (412) y memorizado en una primera memoria (413) se suma en todos los d_v bordes conectados a un nodo de variable;
 - una segunda memoria (410) adaptada para memorizar los P segundos resultados de decodificación en curso v a partir del segundo medio de cálculo en una misma dirección;
 - un primer medio de cálculo (412), adaptado para realizar simultáneamente una segunda parte de los P cálculos de nodos de variables según la ecuación $v_i = v - u_{dv}$, en donde u_{dv} es un primer resultado de decodificación en curso obtenido anteriormente correspondiente al borde para el que debe determinarse el mensaje de borde v_i y para realizar simultáneamente P cálculos de nodos de control utilizando los valores de mensaje de borde para v_i para obtener los P primeros resultados de decodificación en curso u_i (D412) y
 - la primera memoria (413) adaptada para memorizar los P primeros resultados de decodificación en curso u_i procedentes del primer medio de cálculo en una misma dirección;
 - en donde la primera memoria está, además, adaptada para memorizar, en una misma dirección, para una matriz suma cuyo peso de ponderación de línea o de columna es dos o más, los primeros resultados de decodificación en curso correspondientes a los P bordes que pertenecen a la matriz unitaria, a la matriz cuasi-unitaria o a la matriz de desplazamiento incluida en la suma para formar dicha matriz suma, cuyo peso de ponderación de línea o de columna es dos o más.
2. El aparato de decodificación según la reivindicación 1, en donde dicho segundo medio de cálculo comprende P calculadores, cada uno para realizar la primera parte de un cálculo de nodo de variable y
 - dicho primer medio de cálculo comprende P calculadores para realizar la segunda parte de un cálculo de nodo de variable y de un cálculo de nodo de control.
3. El aparato de decodificación según la reivindicación 1, en donde dicha primera memoria comprende dos memorias de acceso aleatorio (RAMs) de puerto único.
4. El aparato de decodificación según la reivindicación 3, en donde dichas dos memorias RAMs de puerto único memorizan, de forma alternada, dichos segundos resultados de decodificación en curso en unidades de dichos segundos resultados de decodificación en curso correspondientes a bordes de P filas de dicha matriz de control.
5. El aparato de decodificación según la reivindicación 3, en donde dichas dos memorias RAMs de puerto único efectúan la lectura, cada una, de dichos segundos resultados de decodificación en curso, memorizados en la misma dirección.
6. El aparato de decodificación según la reivindicación 1 que comprende, además:
 - un medio de memorización de informaciones recibidas (416) para memorizar la información recibida de códigos LDPC y para efectuar la lectura simultanea de P elementos de información recibida.

7. El aparato de decodificación según la reivindicación 6, en donde dicho medio de memorización de información recibida memoriza dicha información recibida, de tal manera que dicha información recibida pueda ser objeto de lectura en la secuencia necesaria para dicha primera parte de los P cálculos de nodos de variables.

5 8. El aparato de decodificación según la reivindicación 1 que comprende, además:

un medio de redistribución (411, 414) para redistribuir los primeros resultados de decodificación en curso obtenidos por dicho primer medio de cálculo realizando dichos P cálculos de nodos de control y dicha segunda parte de los P cálculos de nodos de variables o los segundos resultados de decodificación en curso obtenidos por dicho segundo medio de cálculo realizando dicha primera parte de los P cálculos de nodos de variables.

9. El aparato de decodificación según la reivindicación 8, en donde dicho medio de redistribución comprende un dispositivo desplazador de rotación.

10. Un método de decodificación para decodificar un código de control de paridad de baja densidad LDPC, adaptado para poner en práctica una propagación de creencia en una representación de gráficos de Tanner del código LDPC, en donde la matriz de control de paridad correspondiente al gráfico de Tanner de dicho código LDPC está constituida por una combinación de una pluralidad de sub-matrices de $P \times P$;

en donde cada sub-matriz es una matriz unitaria $P \times P$; una matriz cuasi-unitaria en donde uno o varios '1', que son elementos de la matriz unitaria $P \times P$, se sustituyen por 0; una matriz de desplazamiento en donde dicha matriz unitaria o dicha matriz cuasi-unitaria se desplaza de forma cíclica; una matriz suma $P \times P$, que es la suma de dos o más de dicha matriz unitaria $P \times P$, de dicha matriz cuasi-unitaria y de dicha matriz de desplazamiento, en donde dicha matriz suma $P \times P$ tiene un peso de ponderación de línea o de columna de dos o más o una matriz nula $P \times P$ y dicha combinación comprende matrices suma $P \times P$,

comprendiendo dicho método de decodificación las etapas del método siguientes:

realizar simultáneamente una primera parte de P cálculos de nodos de variables para obtener P segundos resultados de decodificación en curso v (D415) según la ecuación $v = u_0 + \sum_{j=1}^{d_v} u_j$, en donde u_0 representa un valor inicial para un mensaje recibido a decodificar y $\sum_{j=1}^{d_v} u_j$ representa un valor integrado en donde un primer resultado de decodificación en curso u_j previamente obtenido por un primer medio de cálculo (412) y memorizado en una primera memoria (413) se suma en todos los d_v bordes conectados a un nodo de variable utilizando un segundo medio de cálculo (415);

memorizar los P segundos resultados de decodificación en curso v a partir del segundo medio de cálculo en una misma dirección de una segunda memoria (410);

realizar simultáneamente una segunda parte de los P cálculos de nodos de variables según la ecuación $v_i = v - u_{dv}$, usando un primer medio de cálculo (412) en donde u_{dv} es un primer resultado de decodificación en curso obtenido anteriormente que corresponde al borde para el que debe determinarse el mensaje de borde v_i y realizar simultáneamente P cálculos de nodos de control utilizando los valores de mensaje de borde para v_i para obtener los P primeros resultados de decodificación en curso u_i (D412) y

memorizar los P primeros resultados de decodificación en curso u_i procedentes del primer medio de cálculo en una misma dirección de la primera memoria (413), incluyendo memorizar, en una misma dirección, para una matriz suma cuyo peso de ponderación de línea o de columna es dos o más, los primeros resultados de decodificación en curso correspondientes a los P bordes que pertenecen a la matriz unitaria, a la matriz cuasi-unitaria o a la matriz de desplazamiento incluidas en la suma para formar dicha matriz suma, cuyo peso de ponderación de línea o de columna es dos o más.

11. Un programa para permitir a un ordenador decodificar códigos LDPC (Control de Paridad de Baja Densidad) poniendo en práctica el método de la reivindicación 10.

FIG. 1

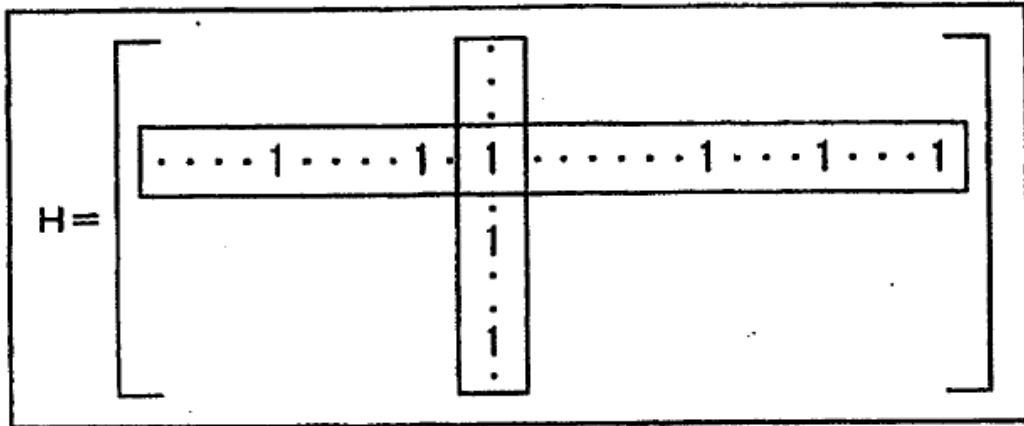


FIG. 2

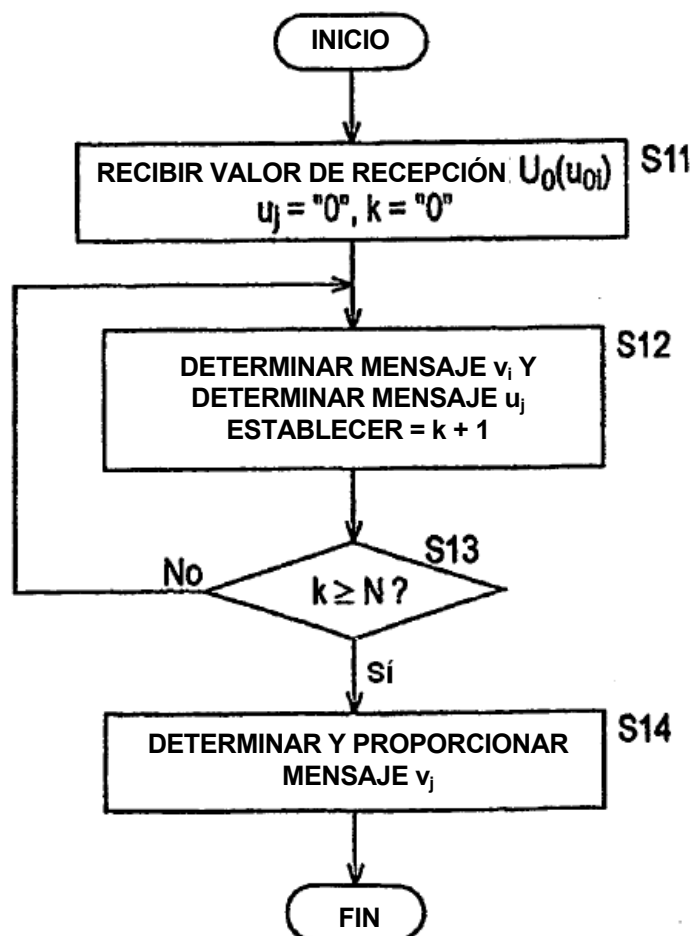


FIG. 3

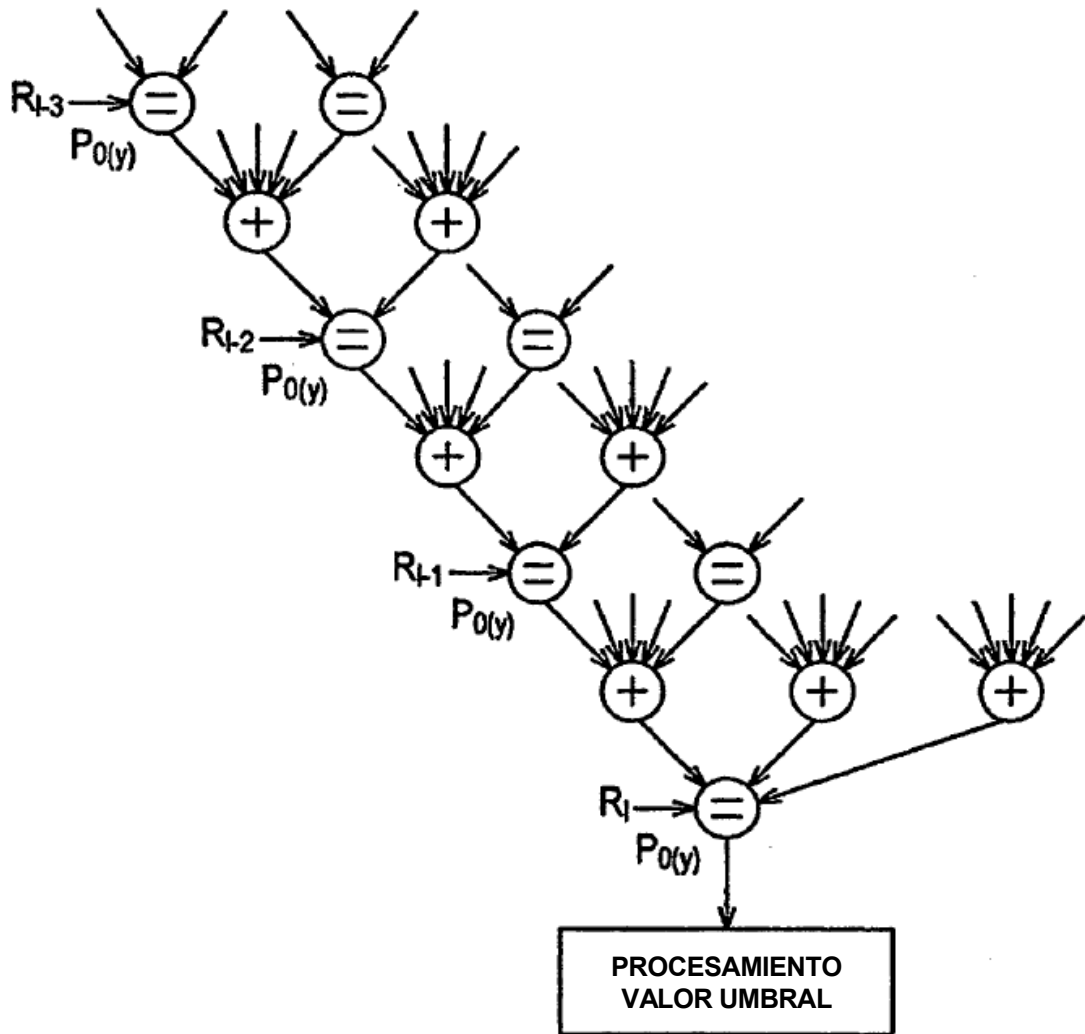


FIG. 4

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 5

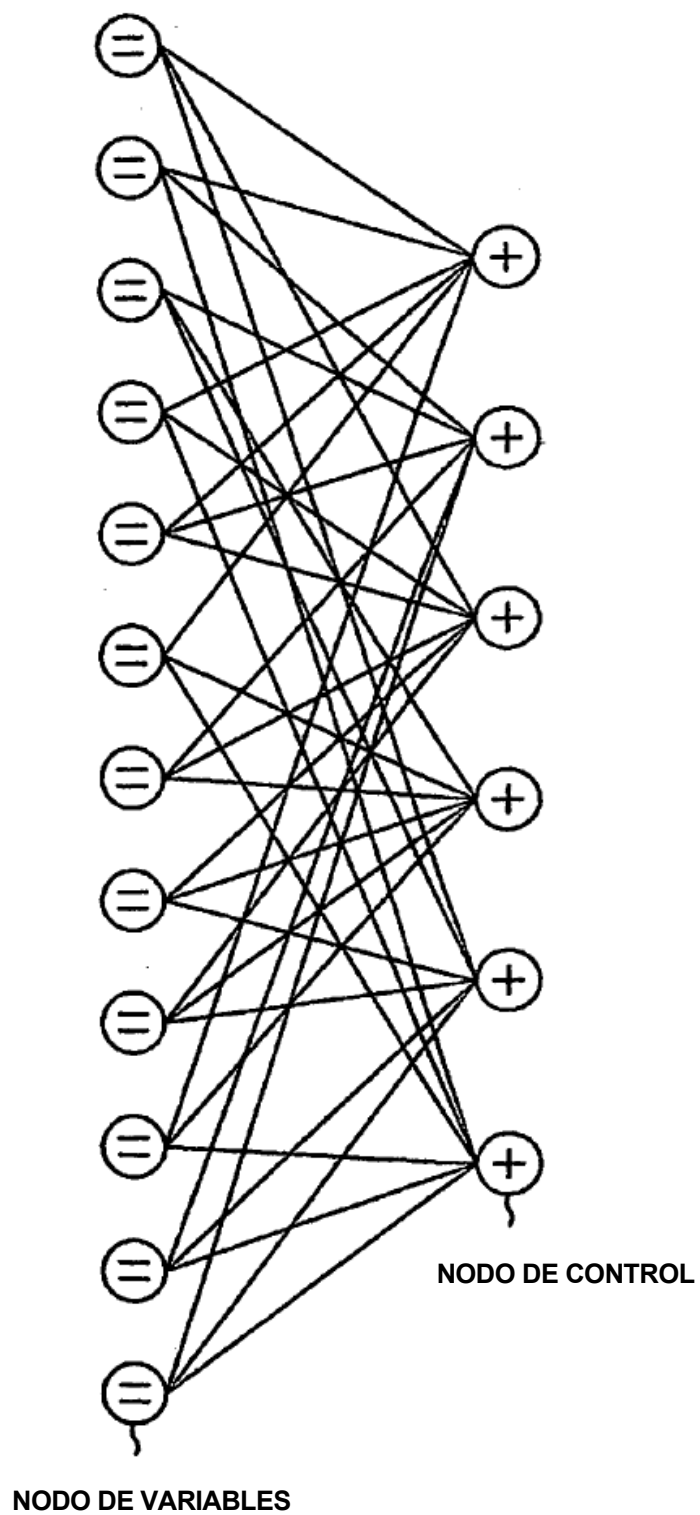


FIG. 6

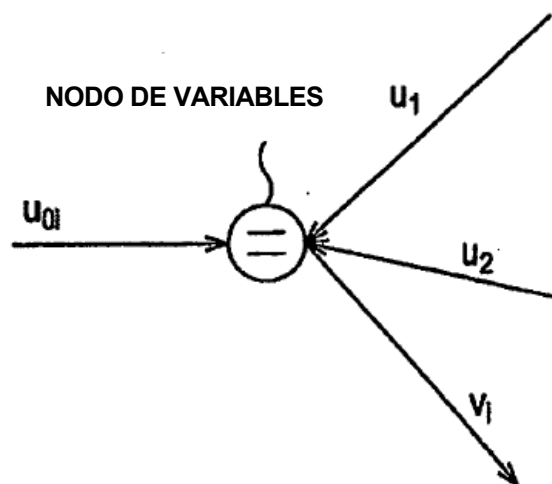


FIG. 7

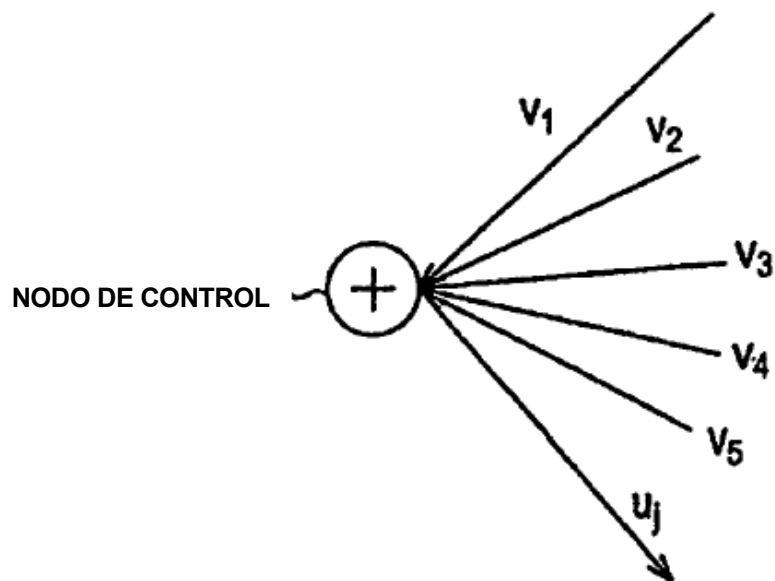


FIG. 8

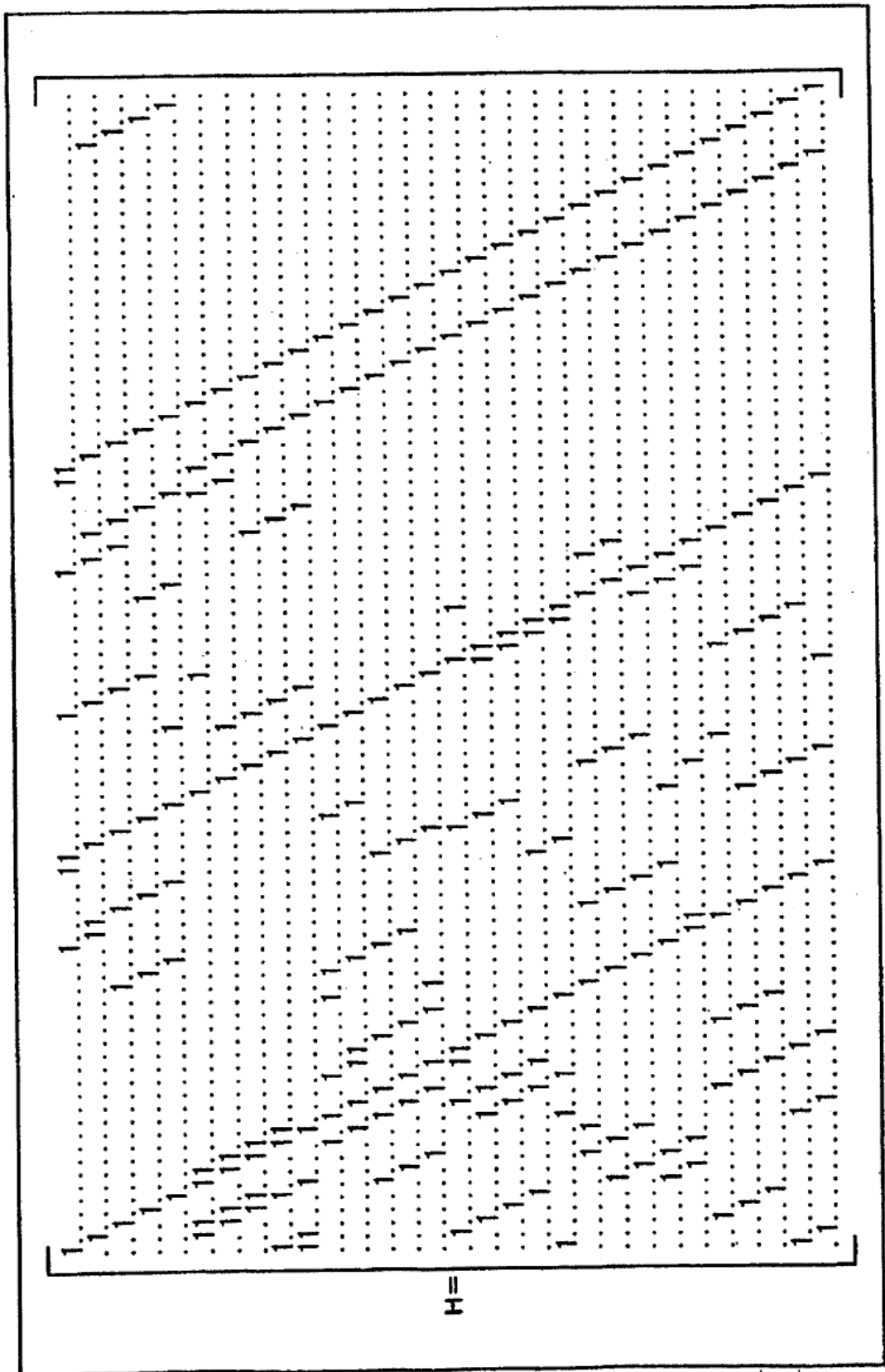


FIG. 9

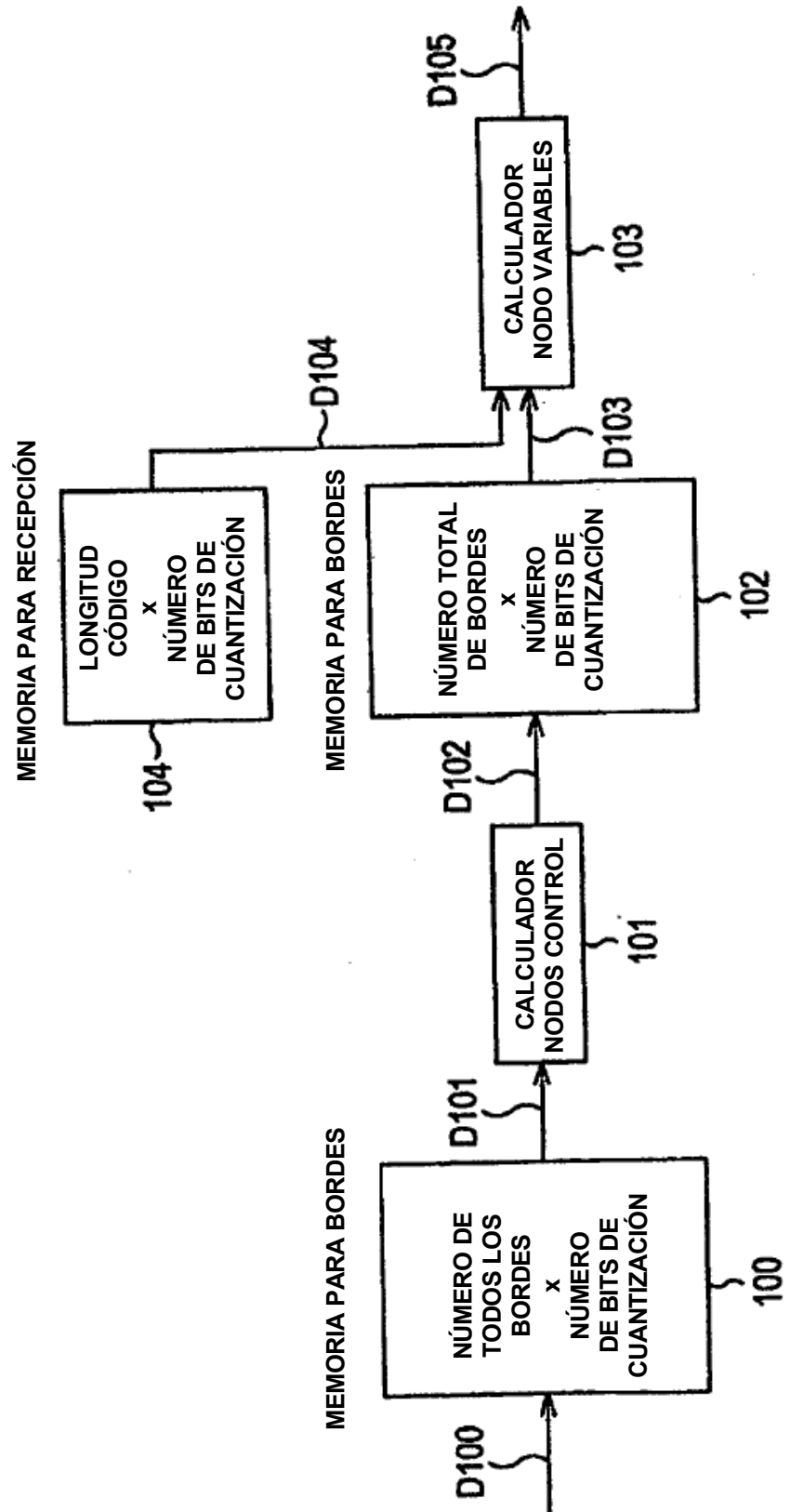


FIG. 10

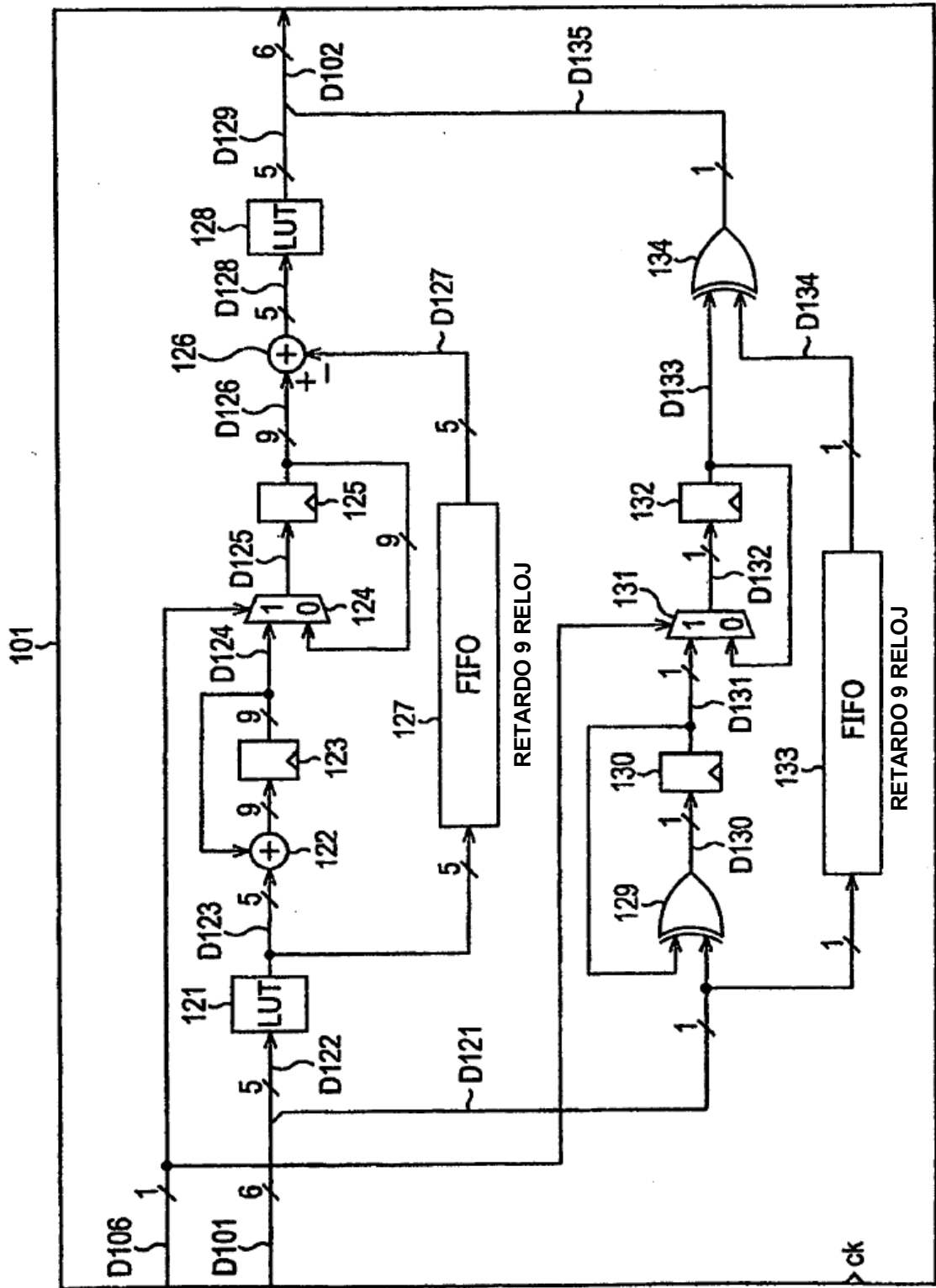


FIG. 11

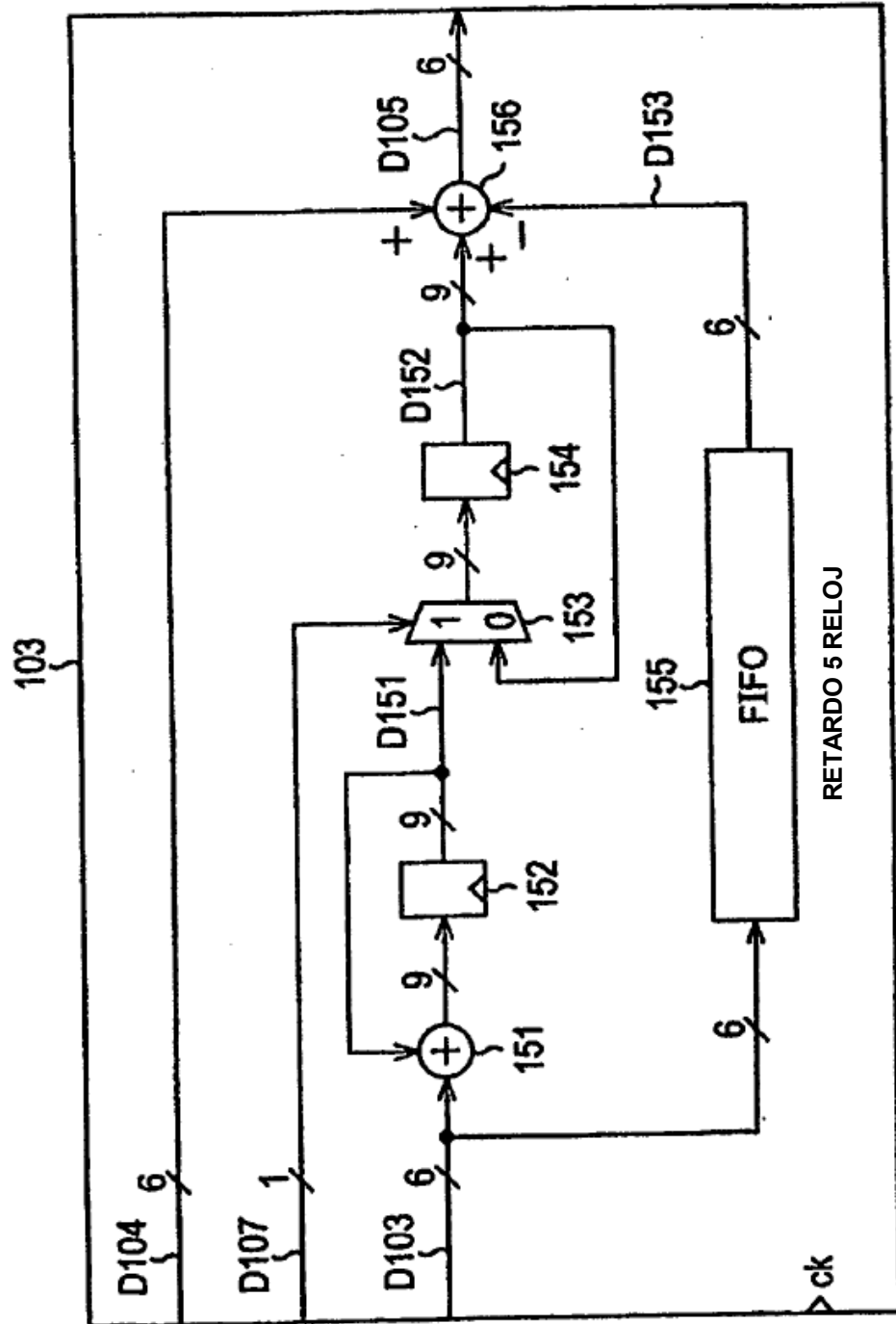


FIG. 12A

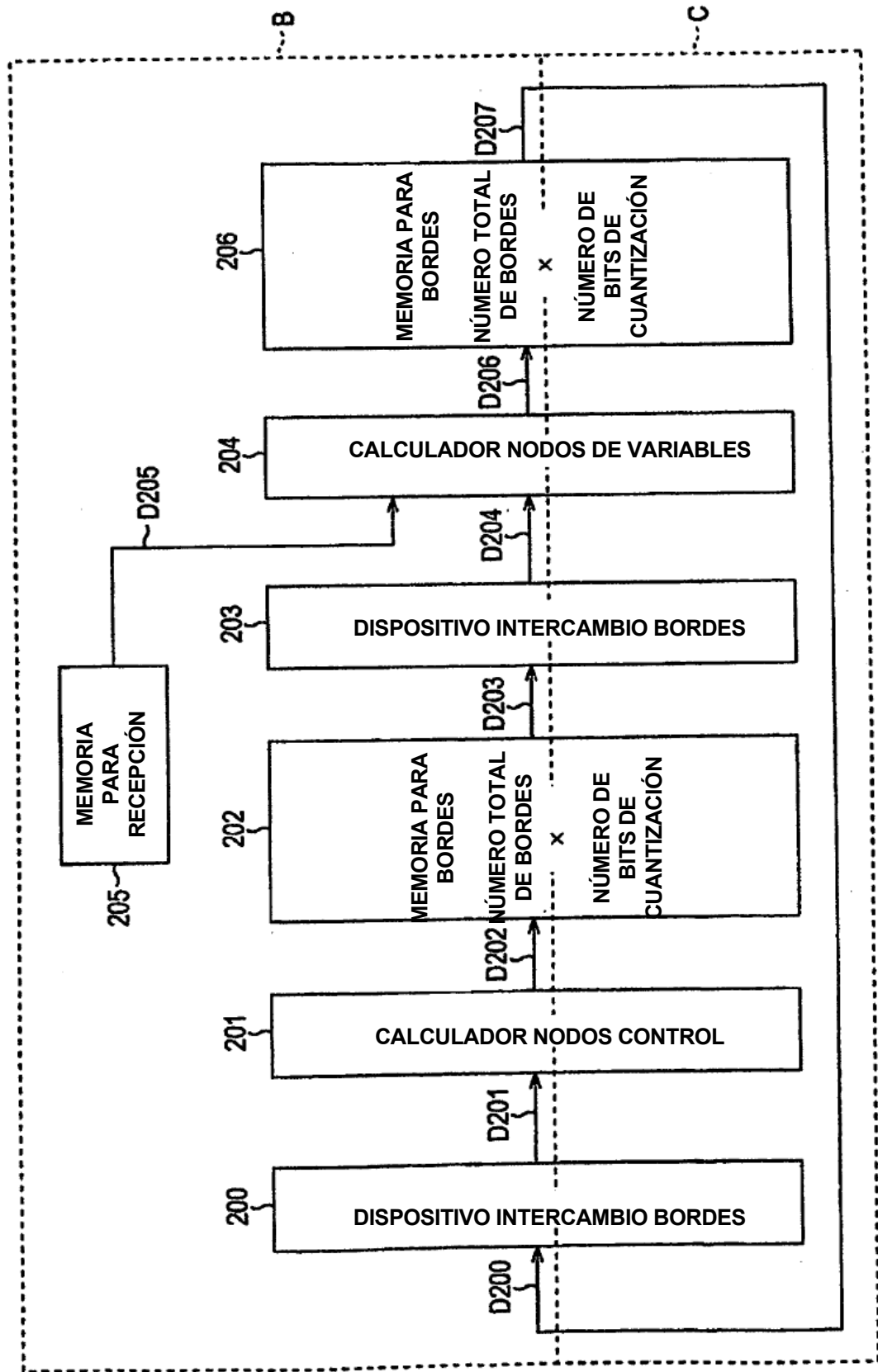


FIG. 12B

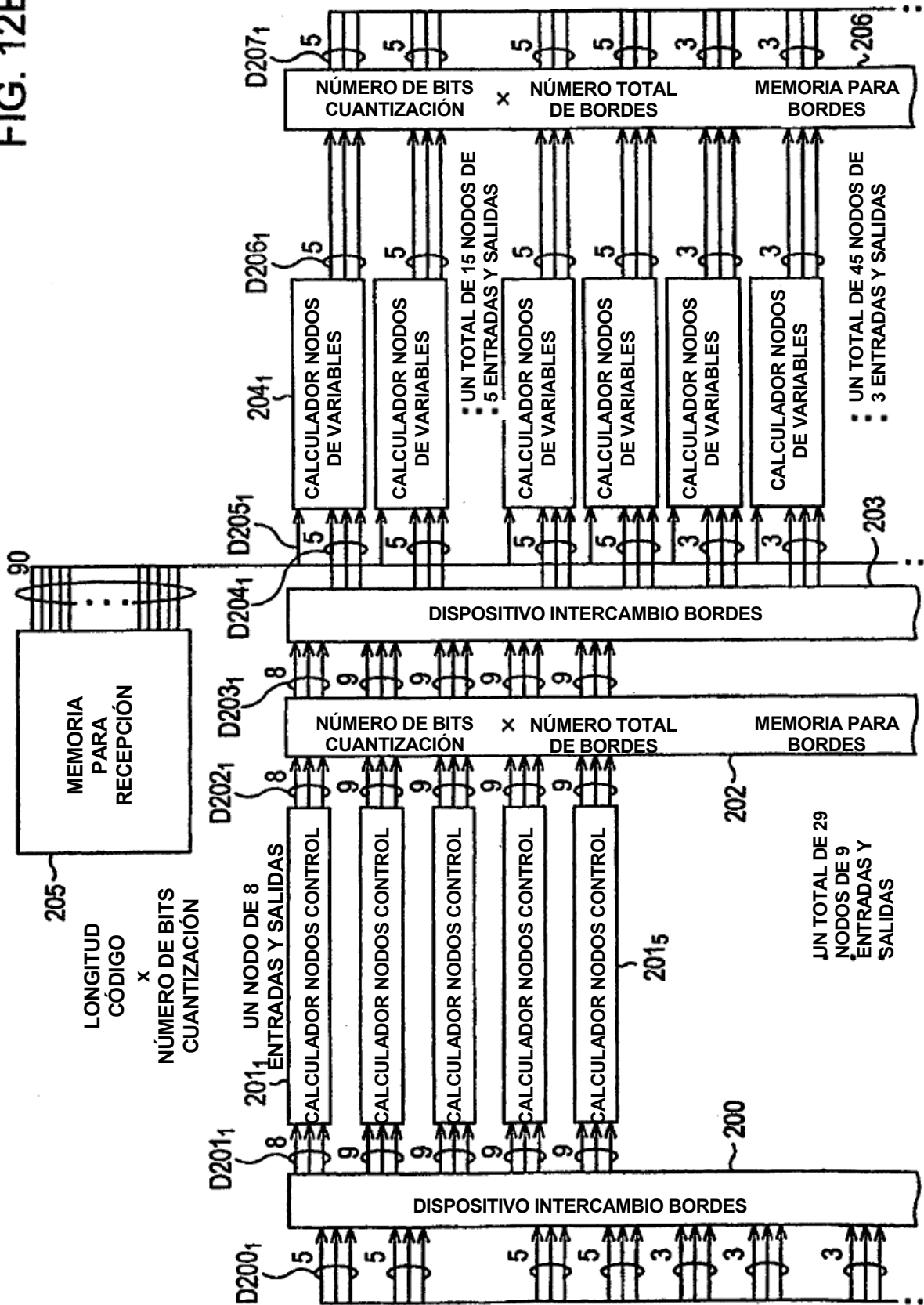


FIG. 12C

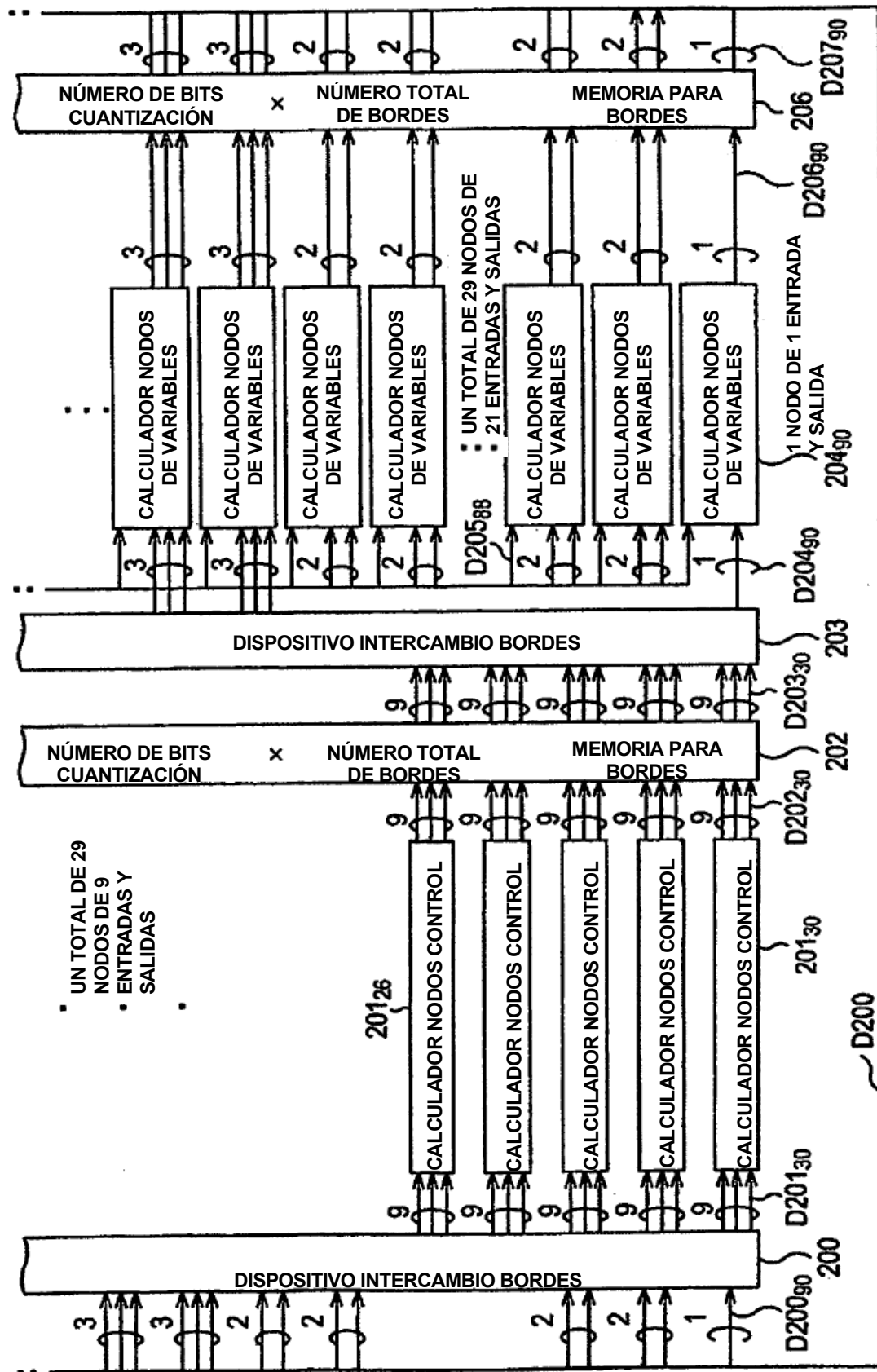


FIG. 13

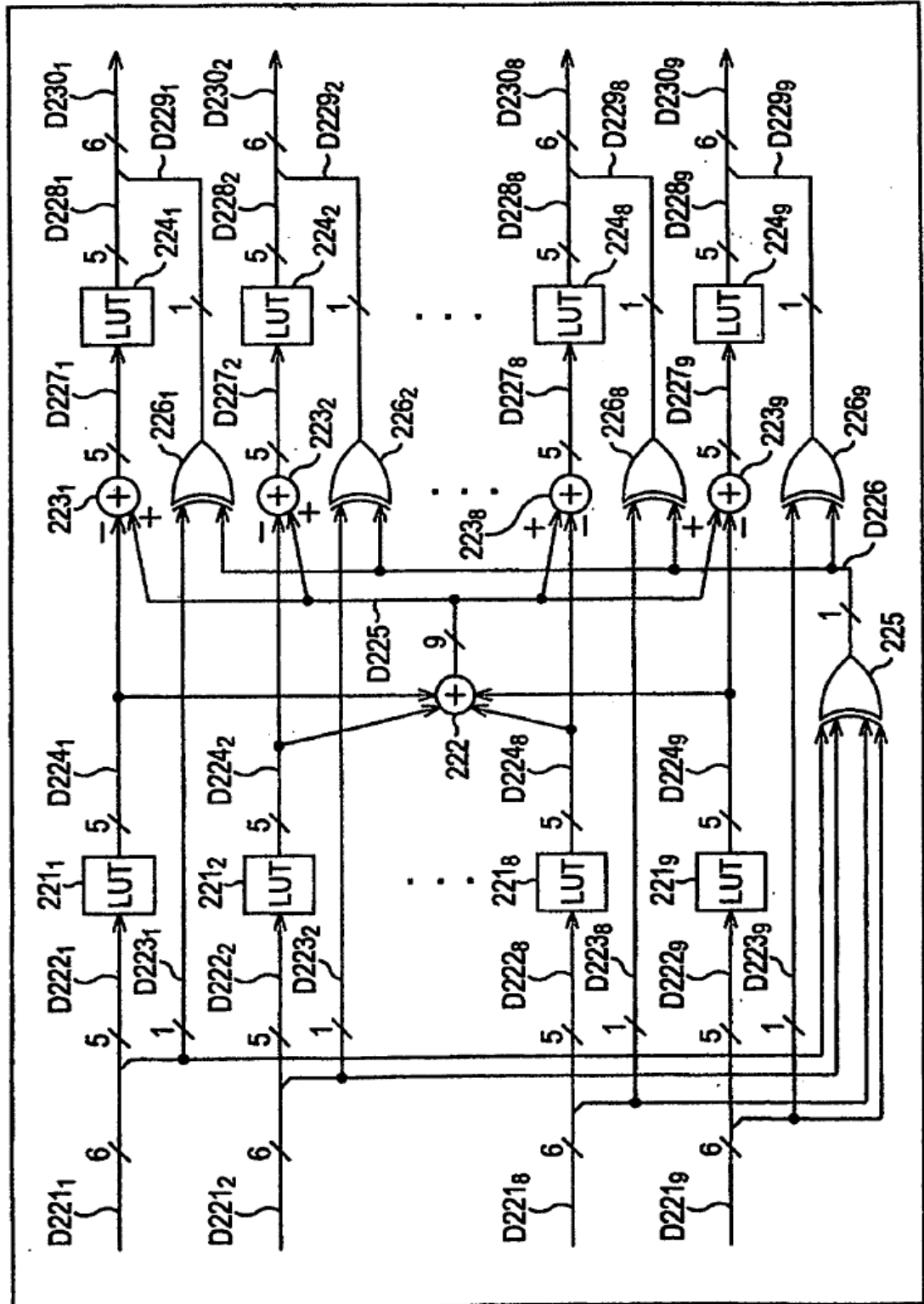


FIG. 14

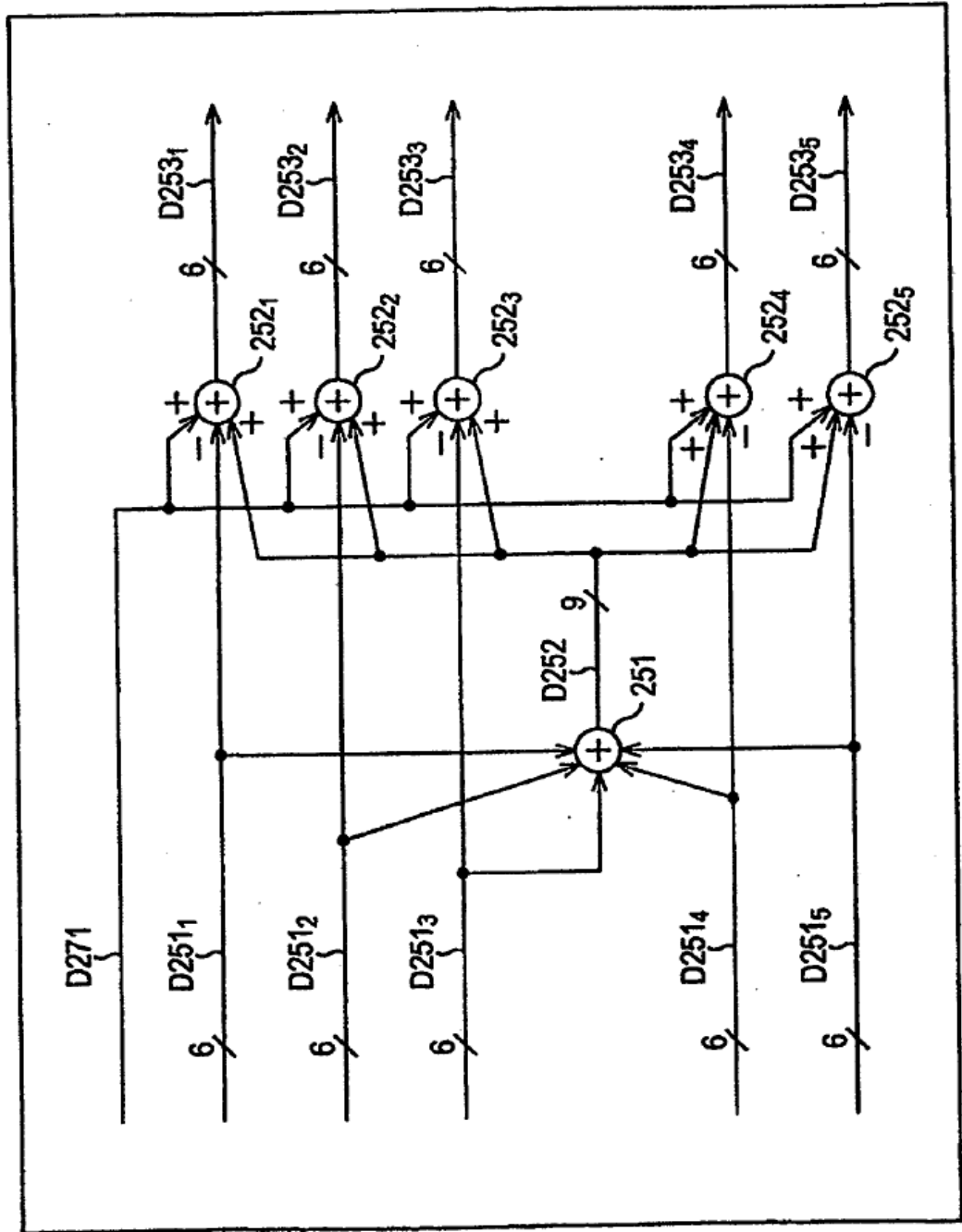
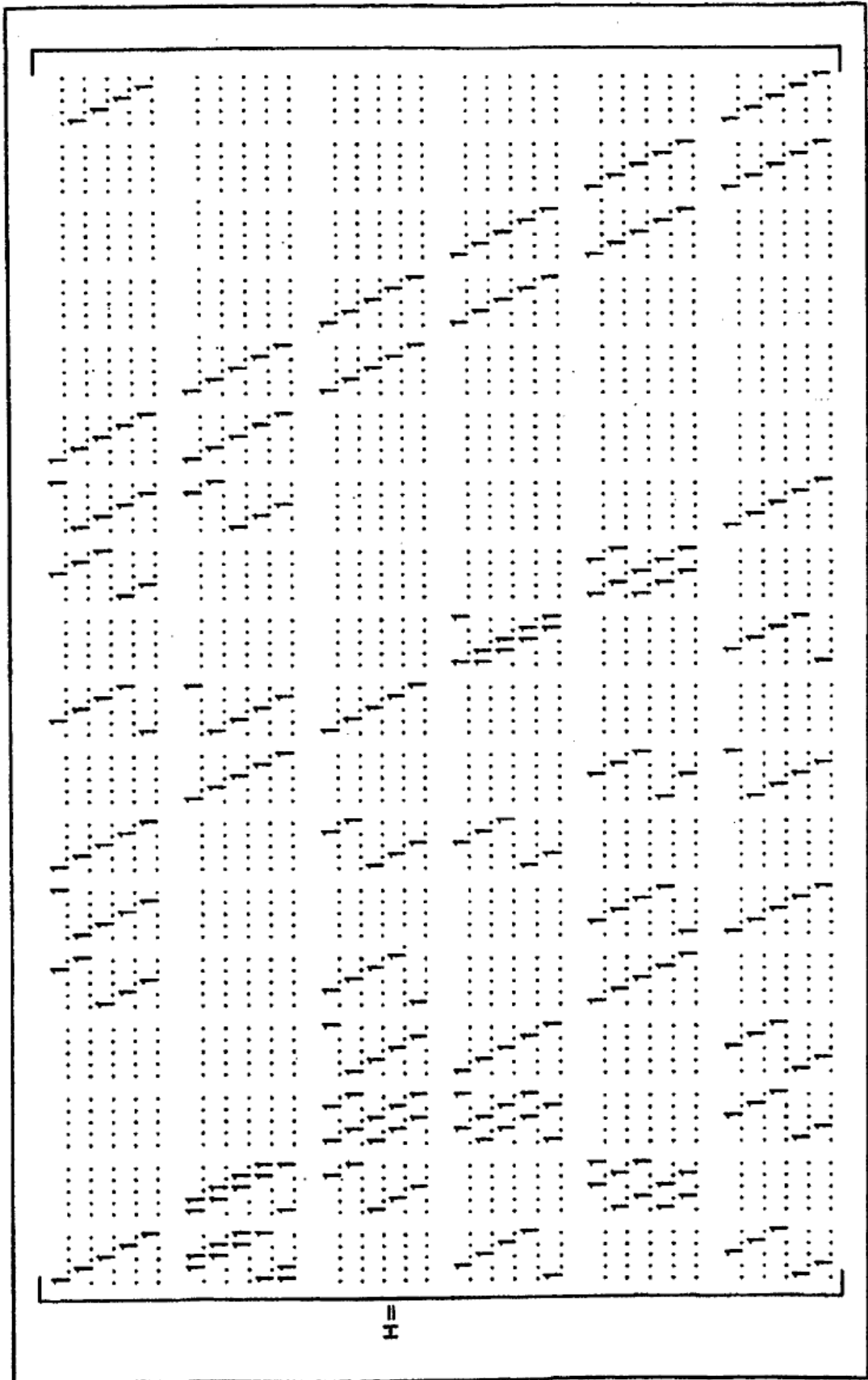


FIG. 15



H

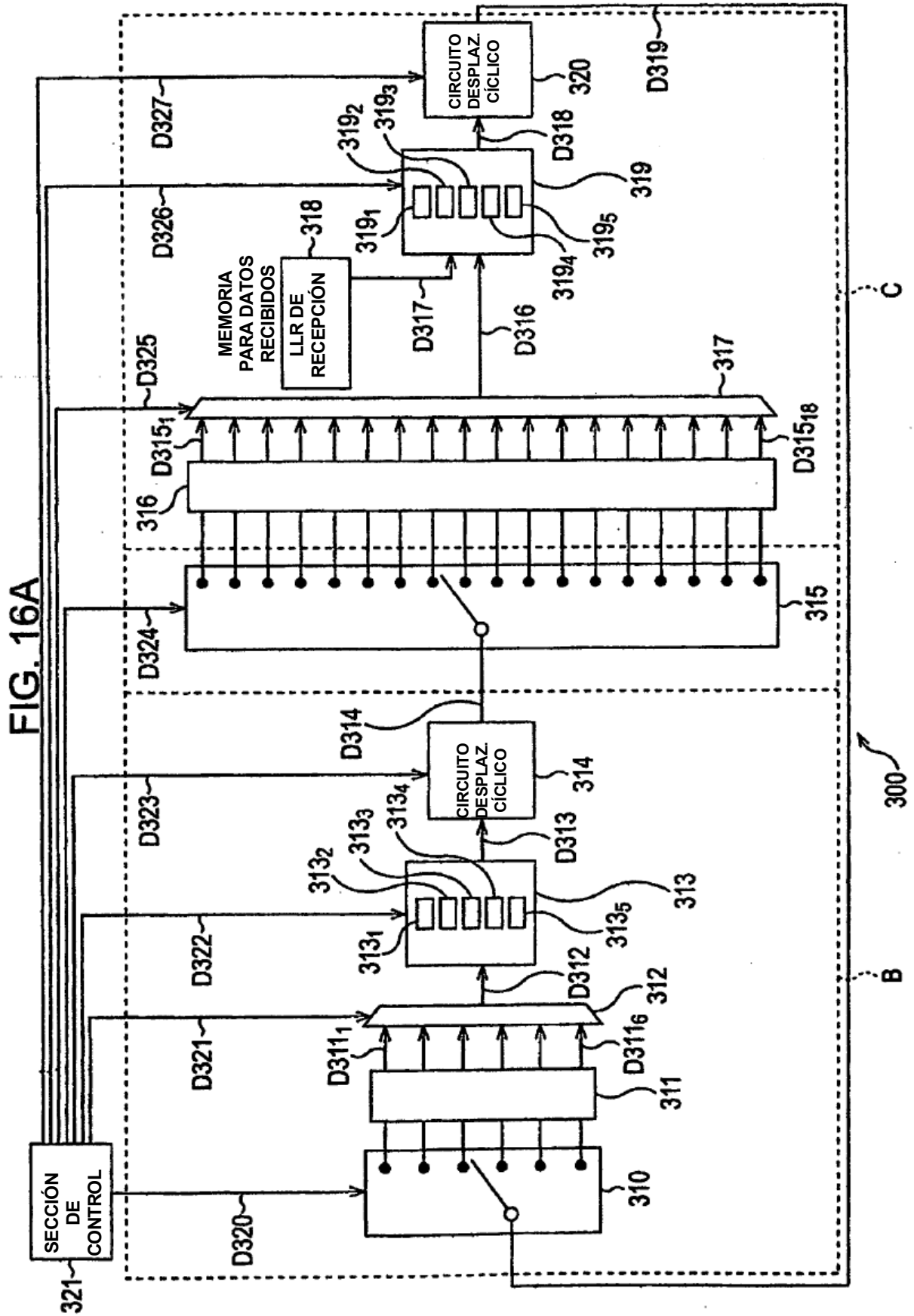


FIG. 16B

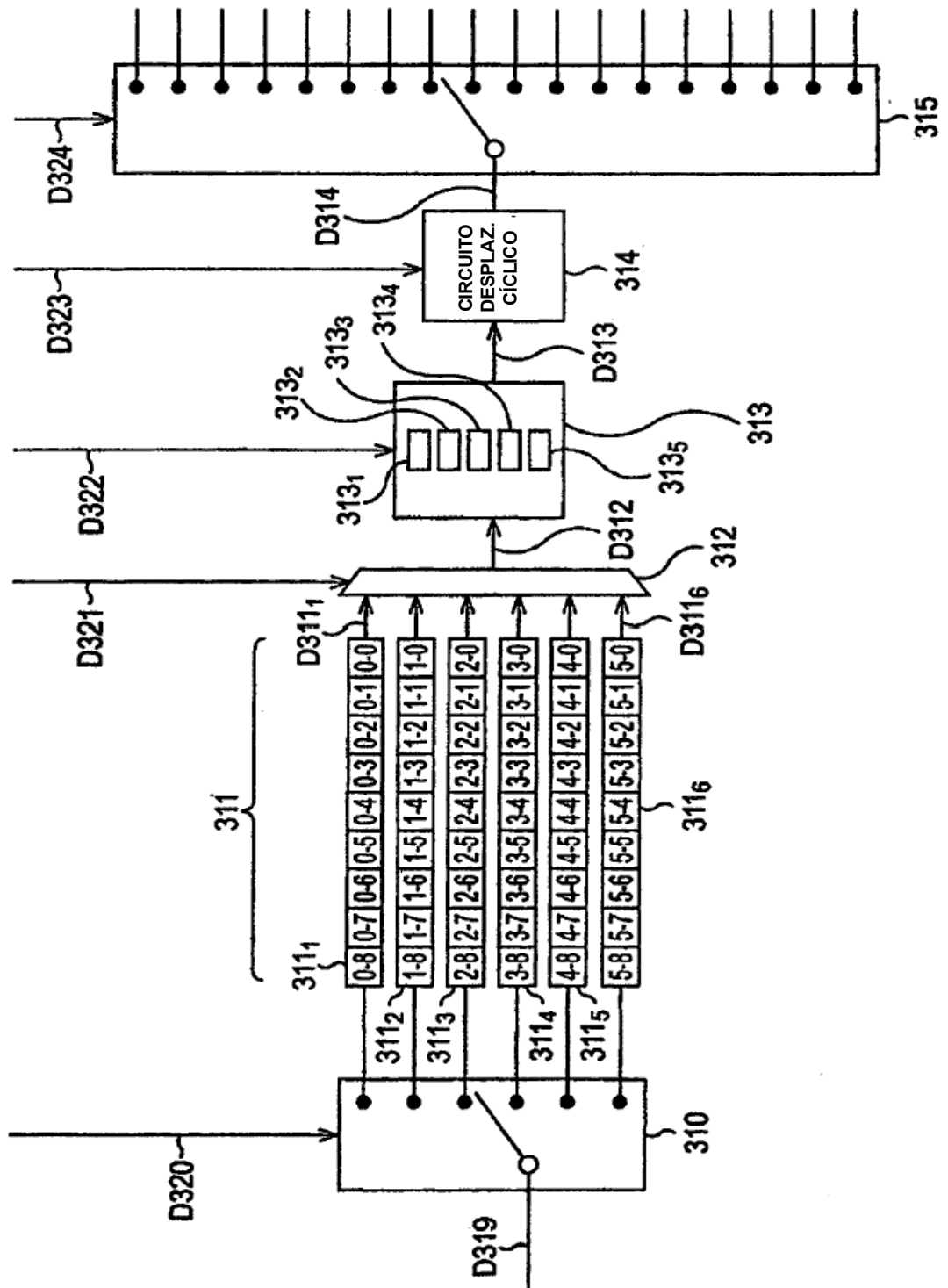


FIG. 16C

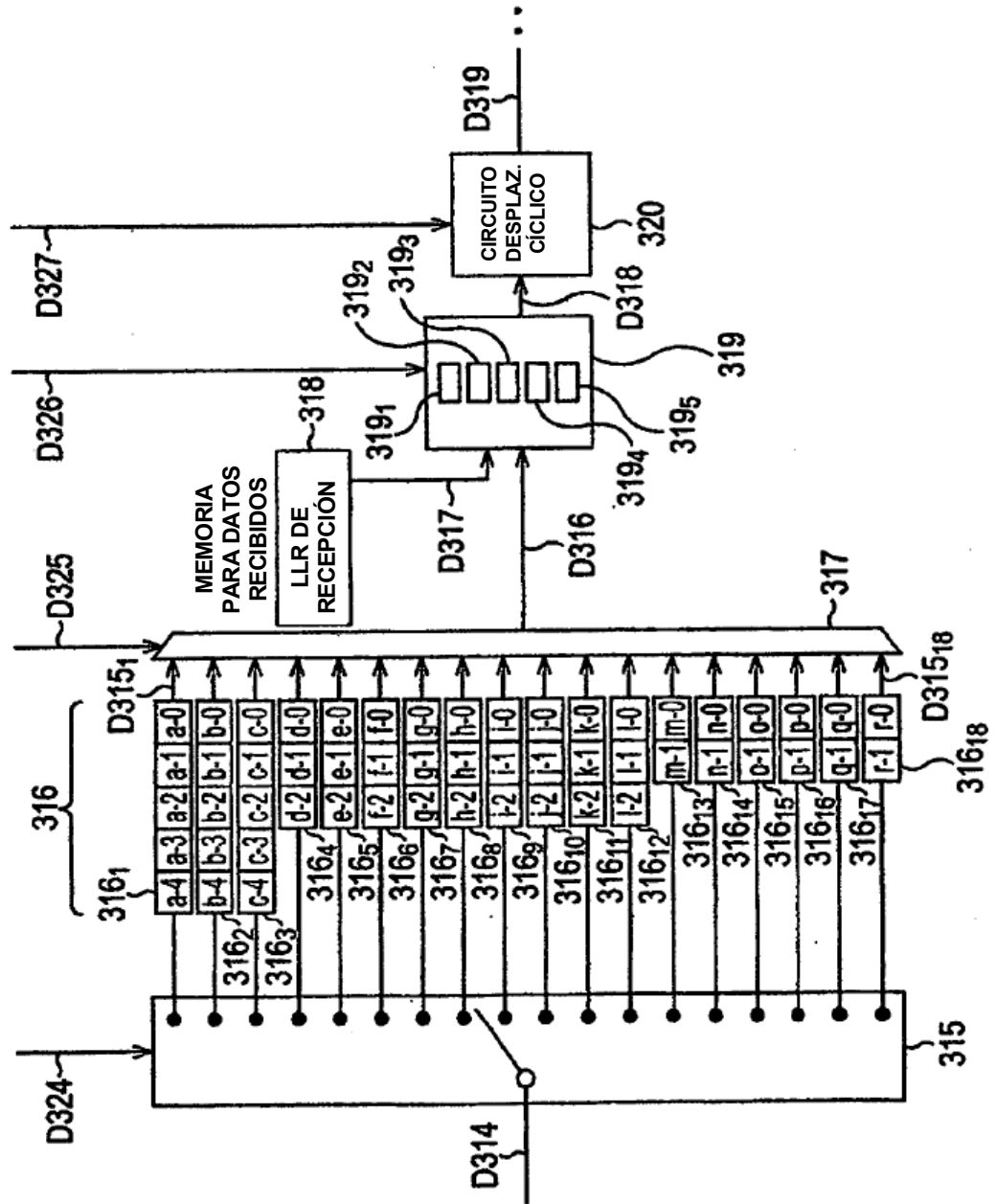


FIG. 17

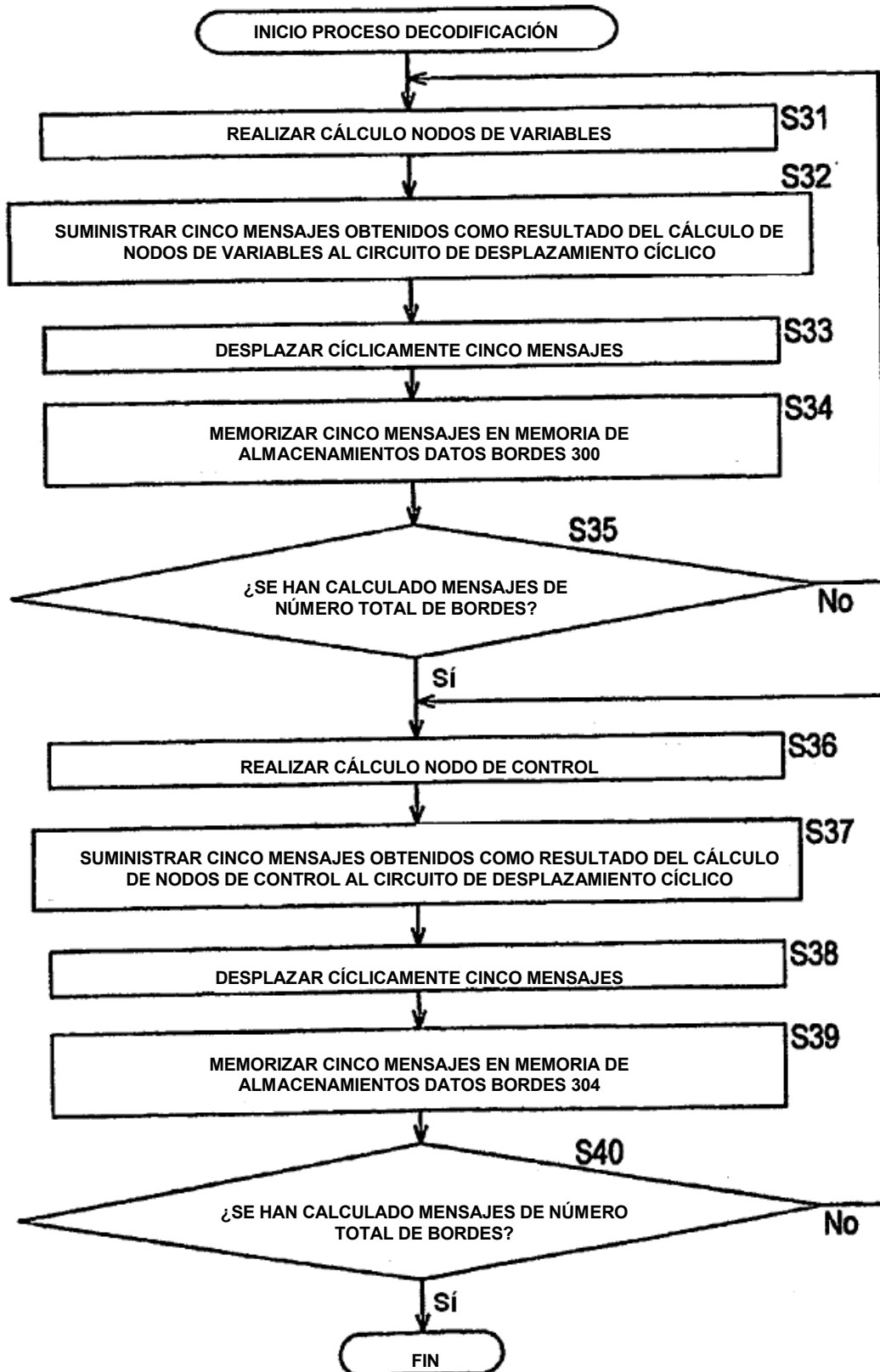


FIG. 18

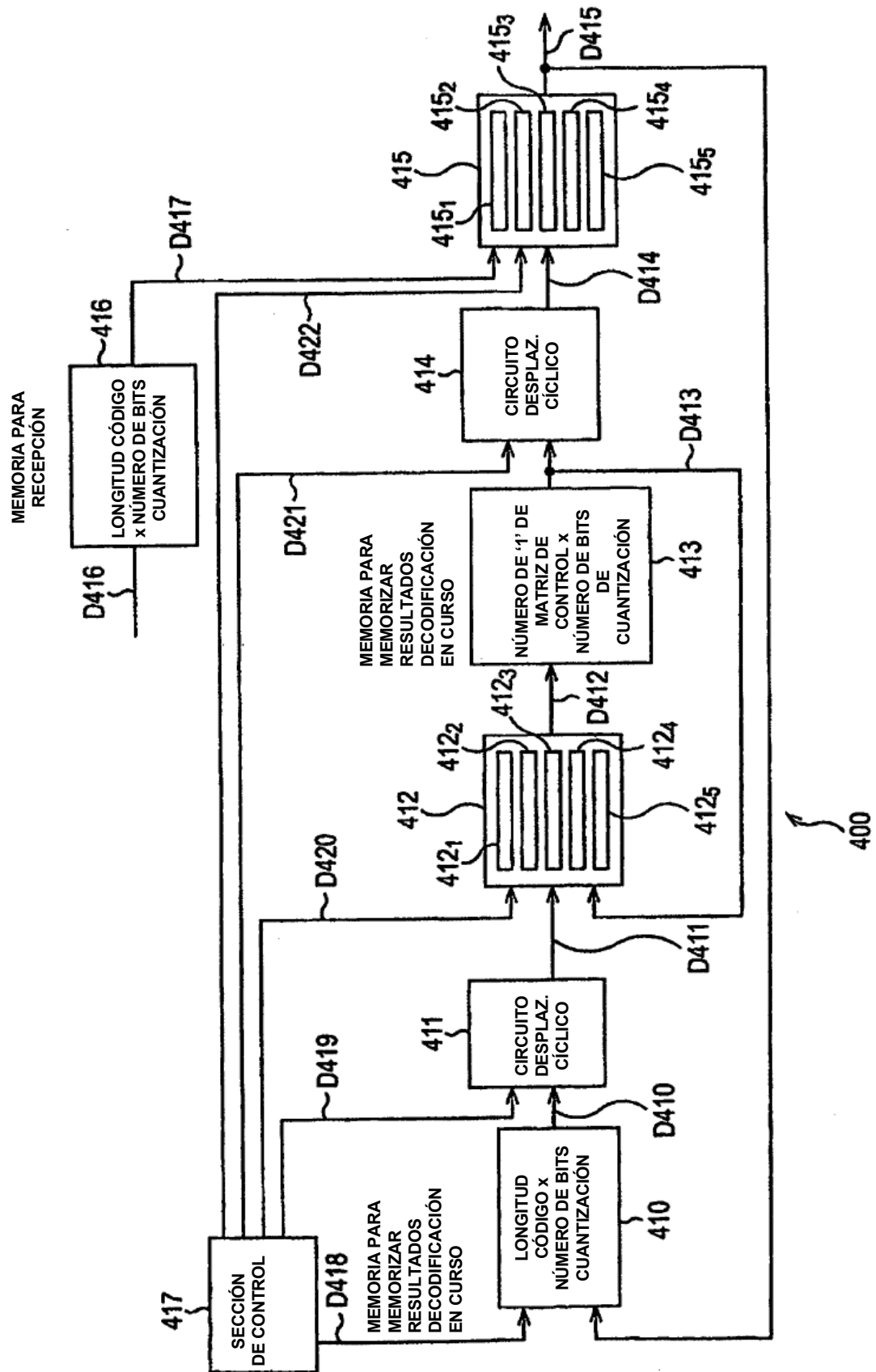


FIG. 19

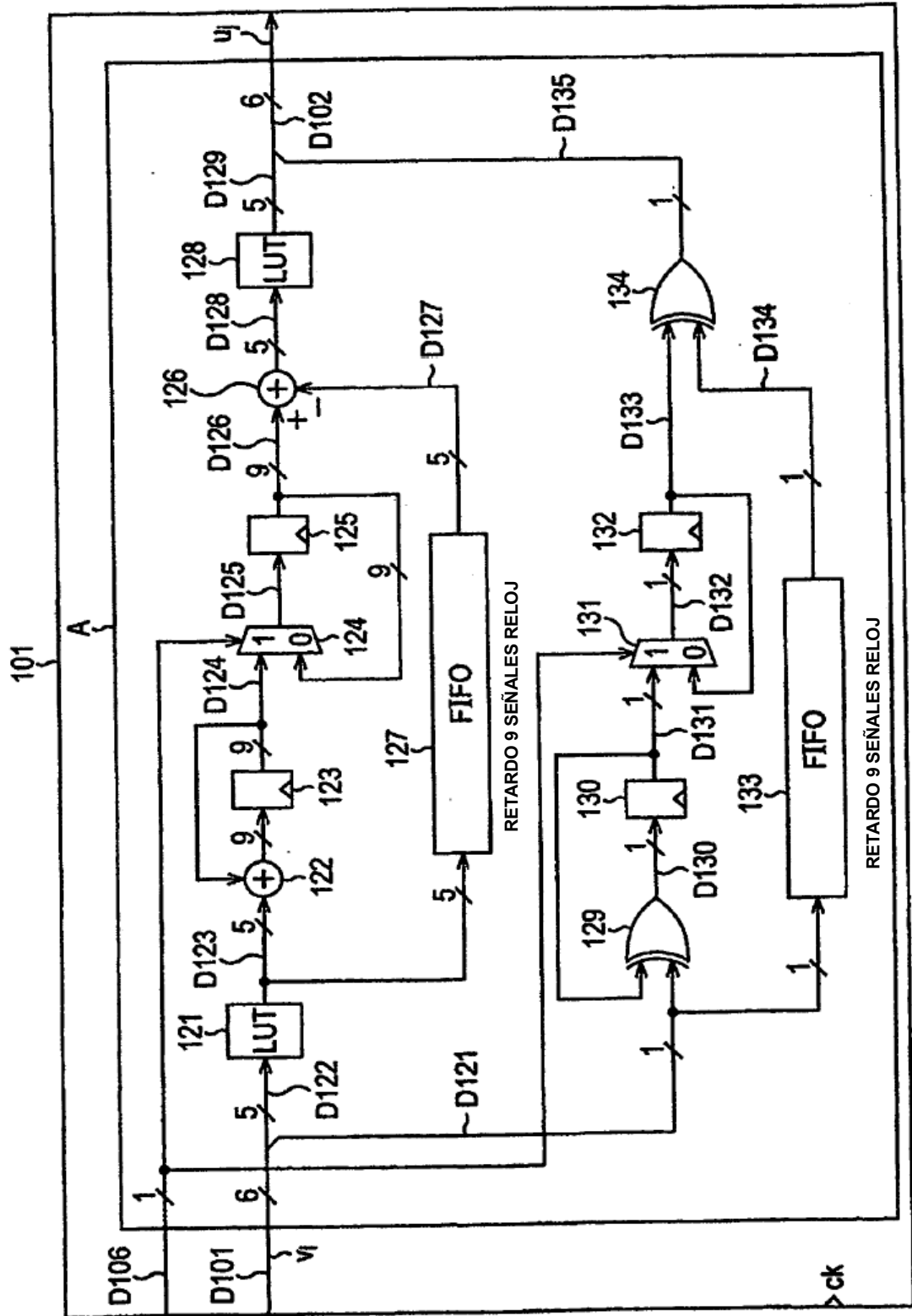


FIG. 21

4121

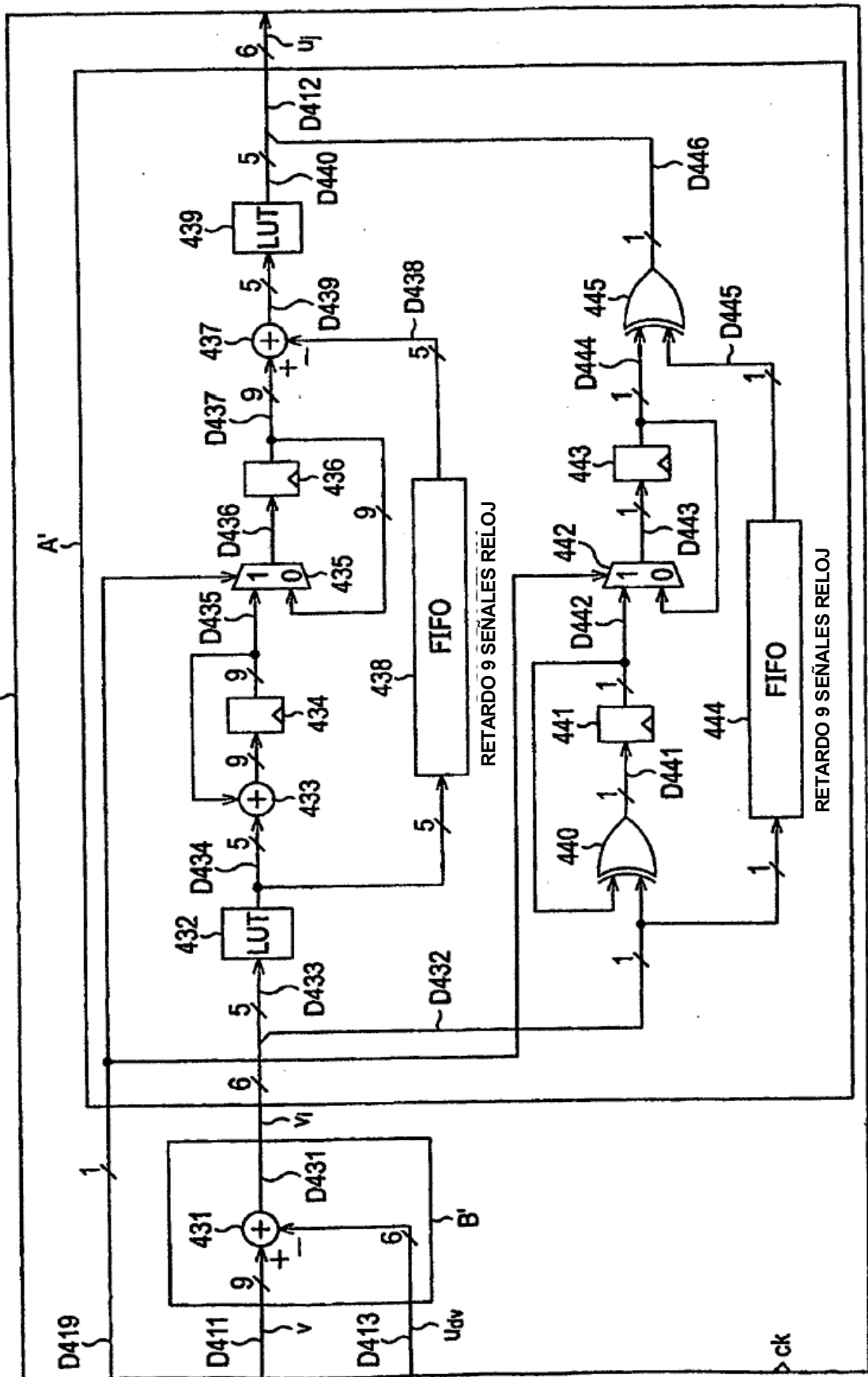


FIG. 22

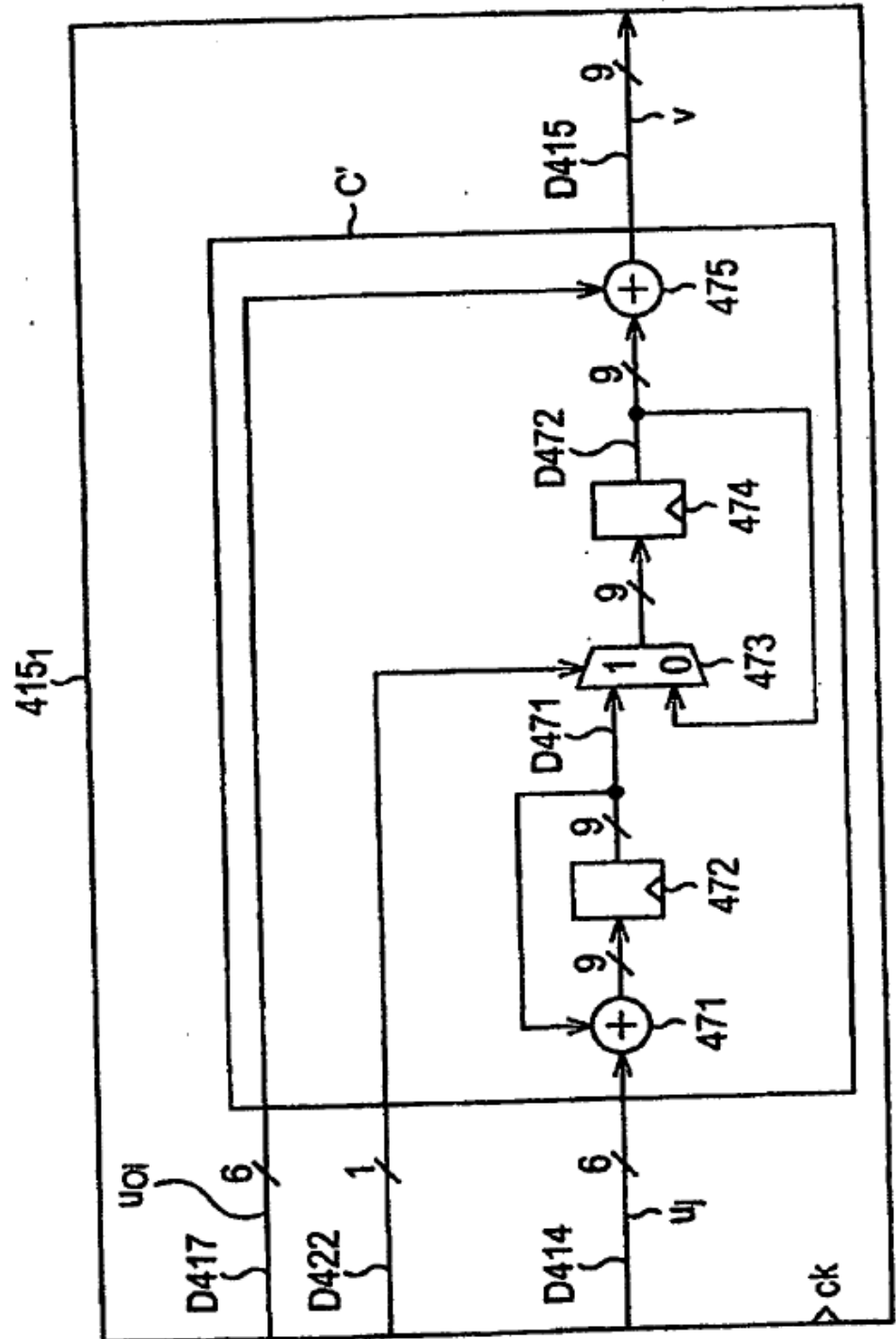


FIG. 23

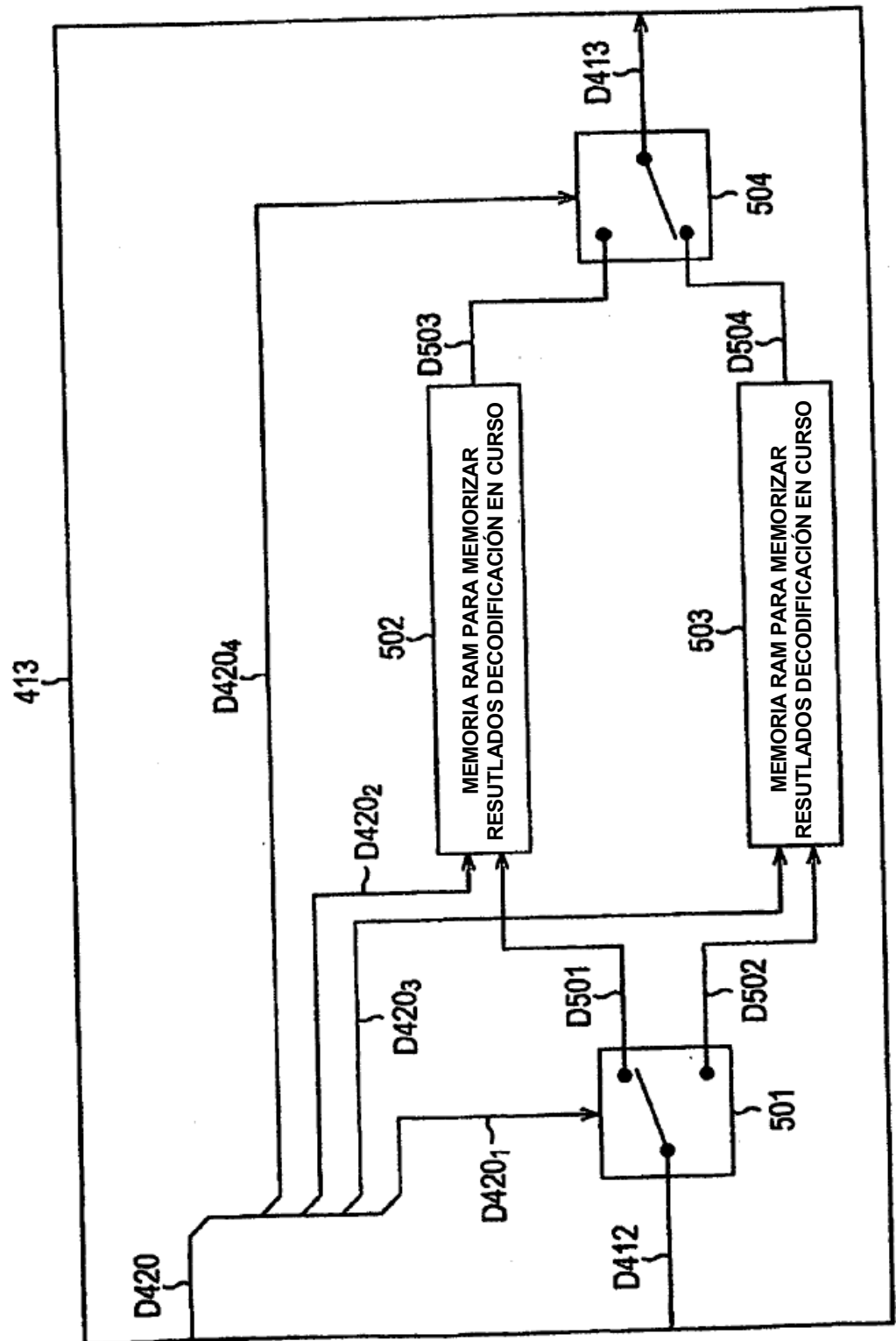


FIG. 24

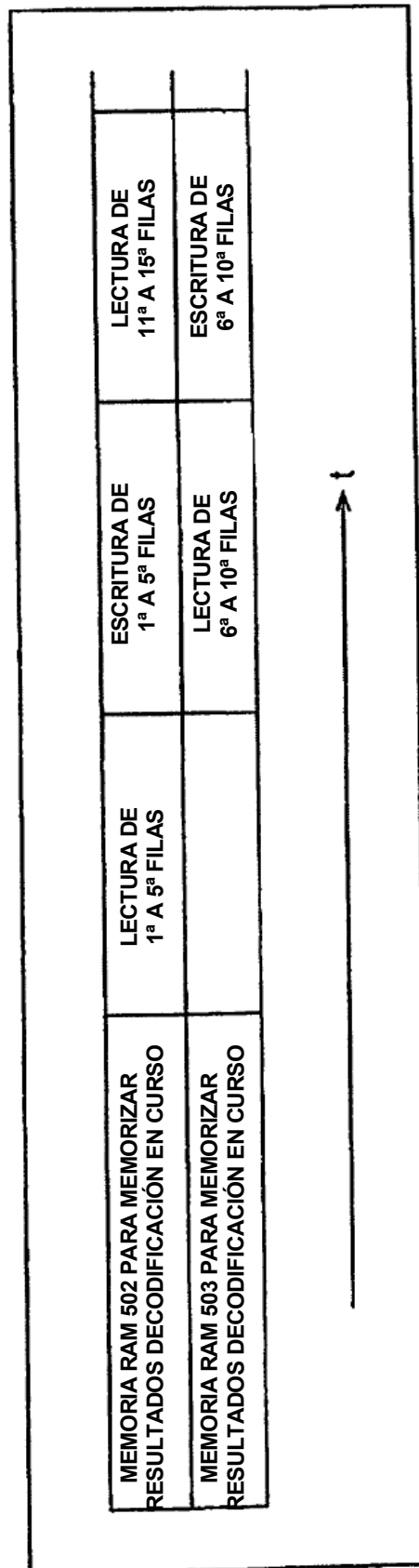


FIG. 25

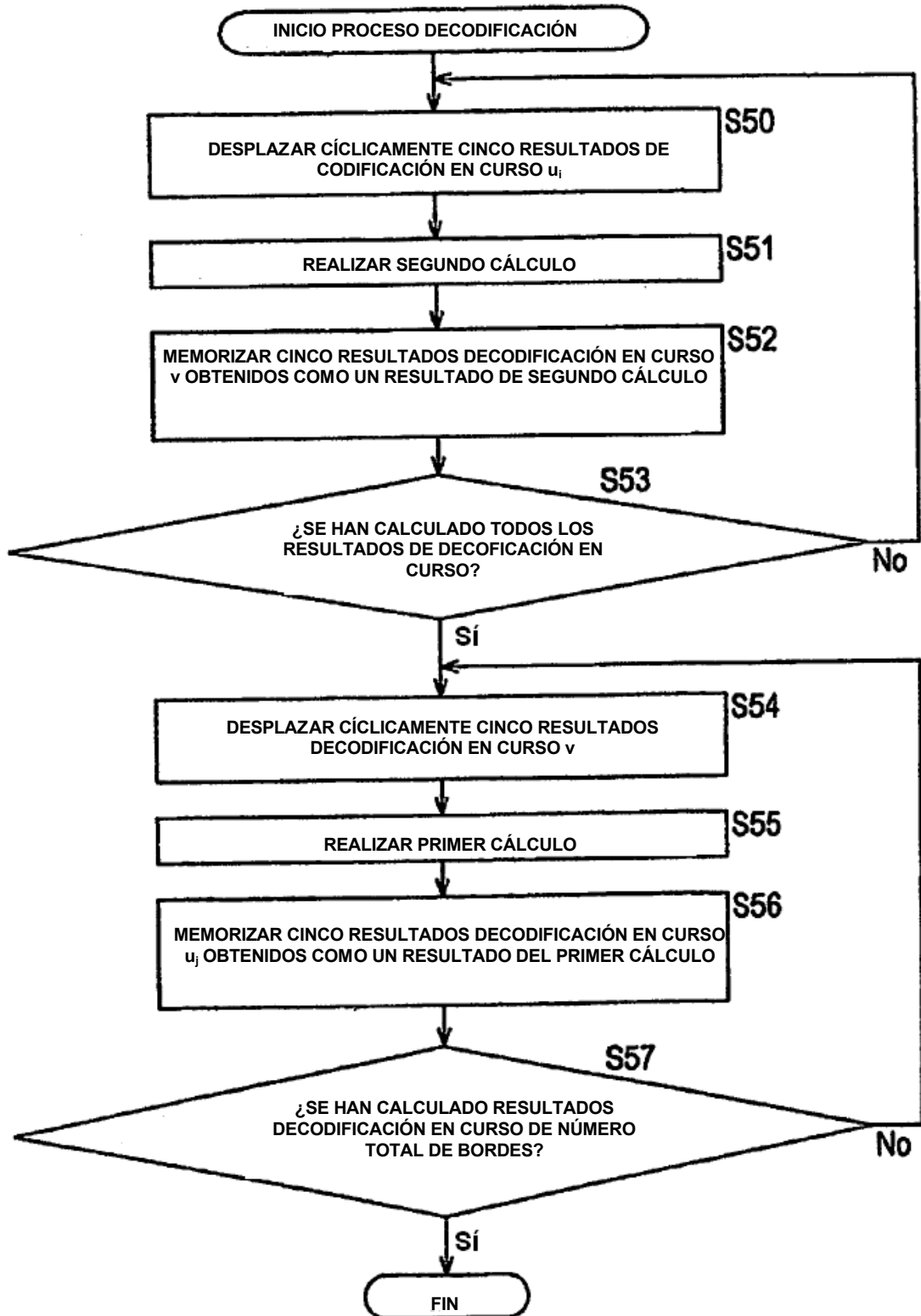


FIG. 26

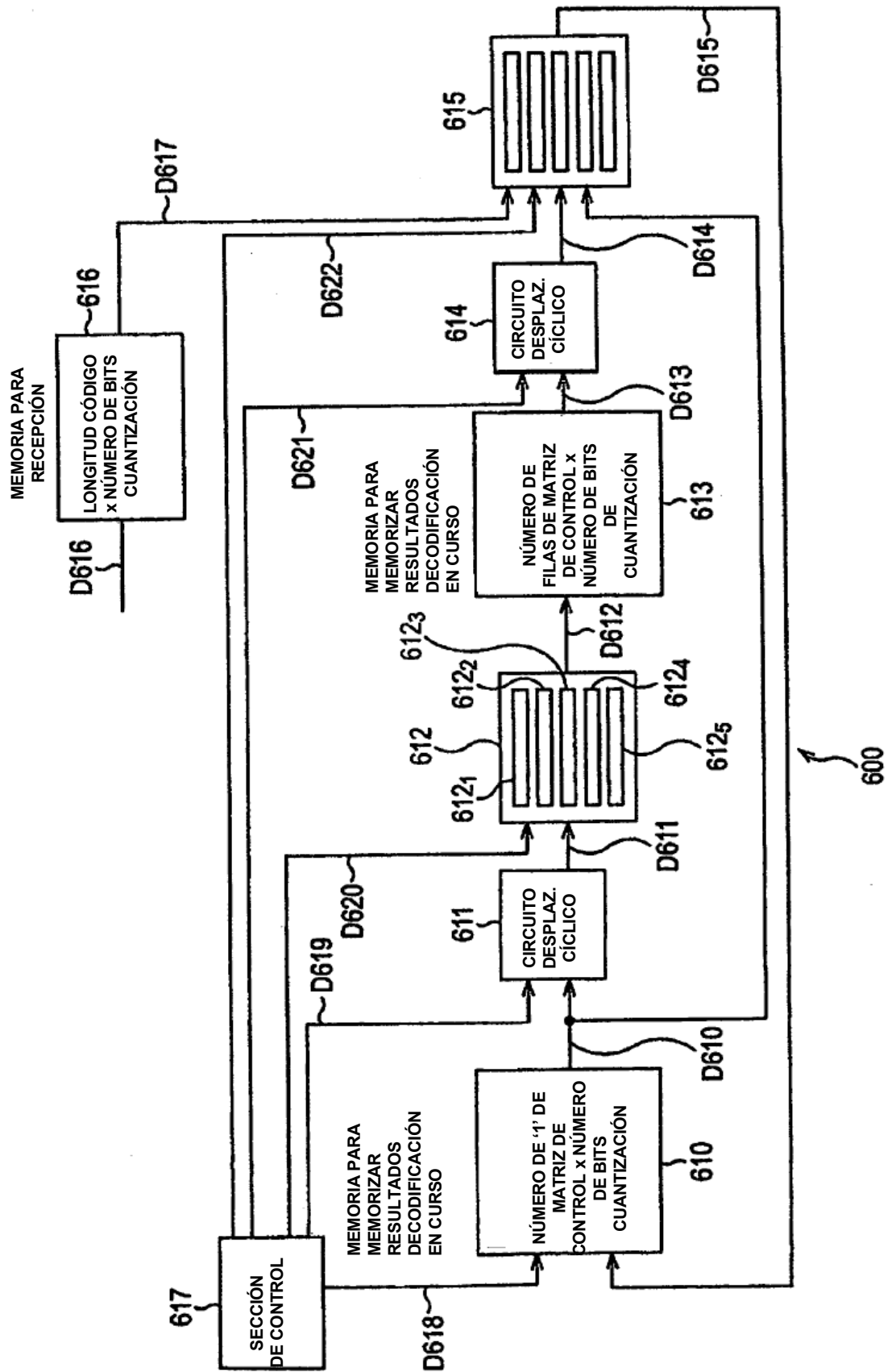


FIG. 27

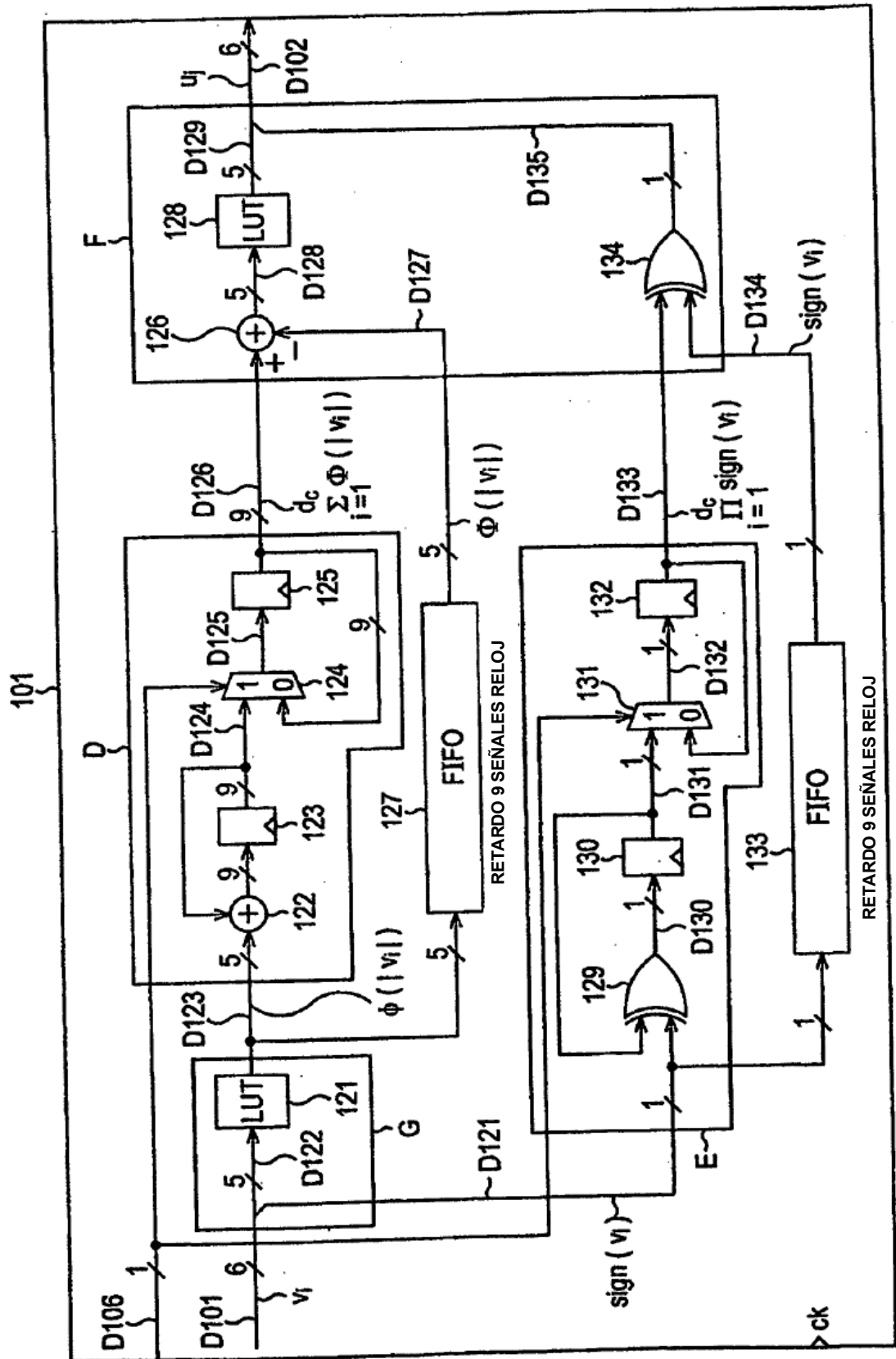


FIG. 29

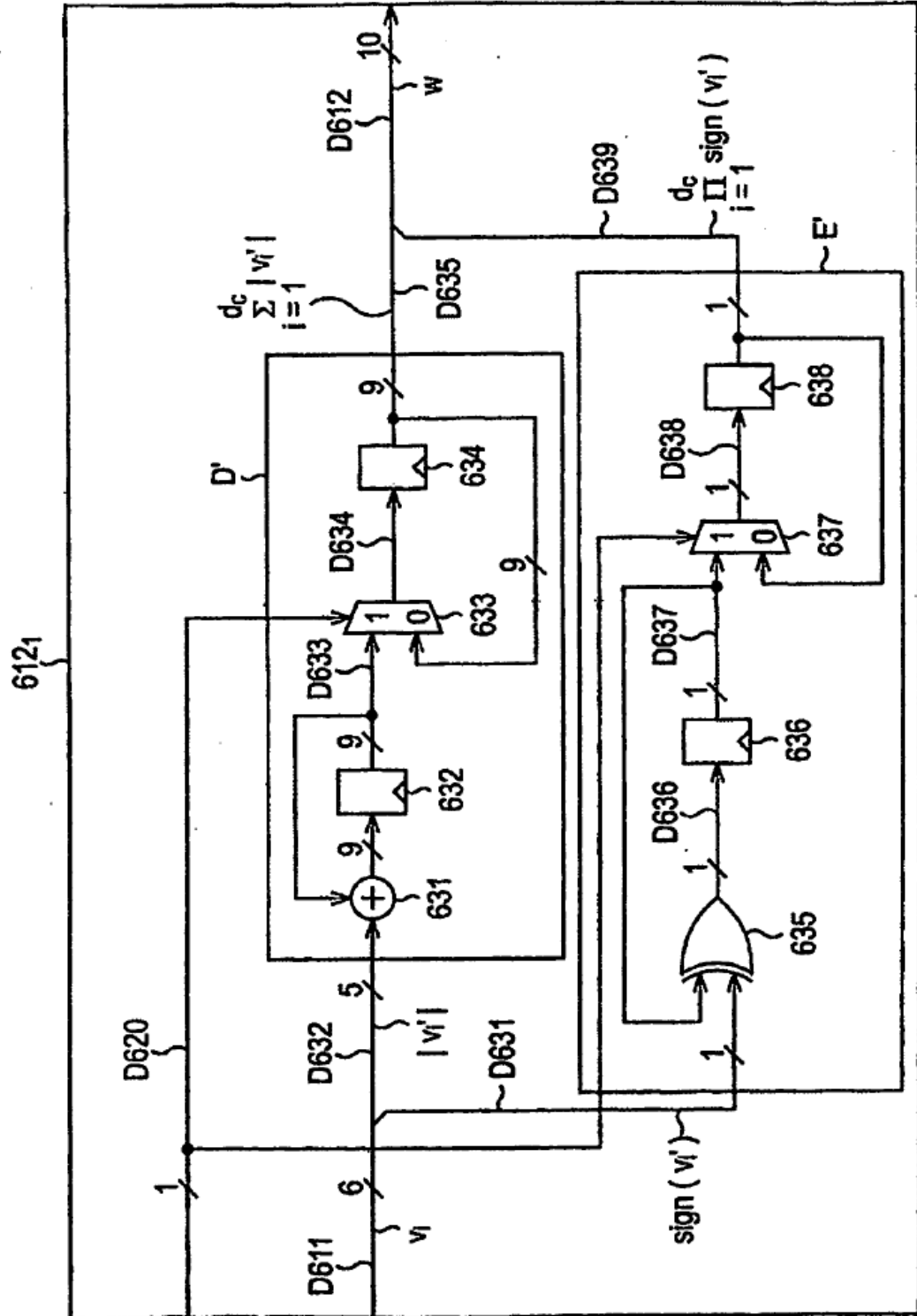


FIG. 30

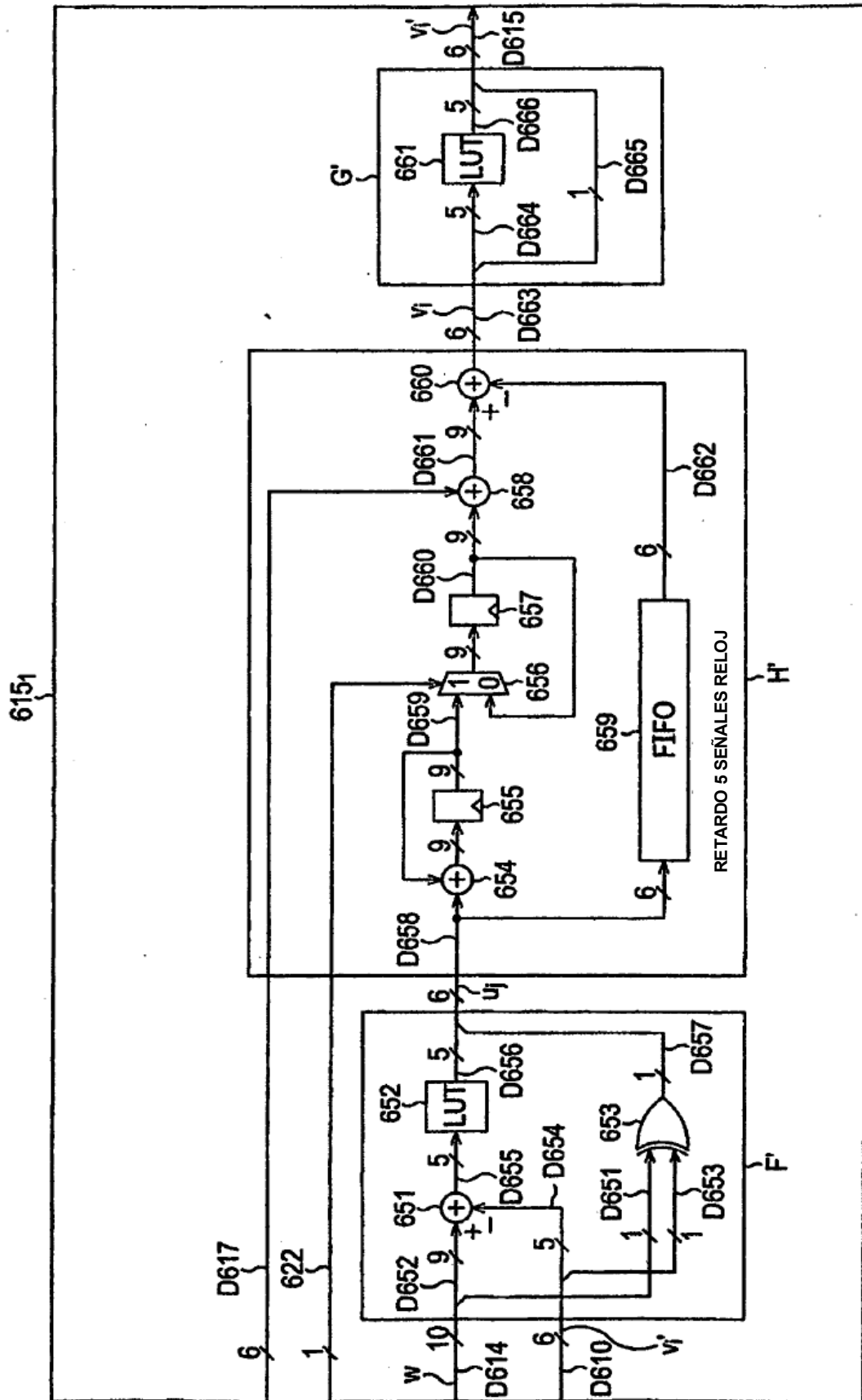


FIG. 31

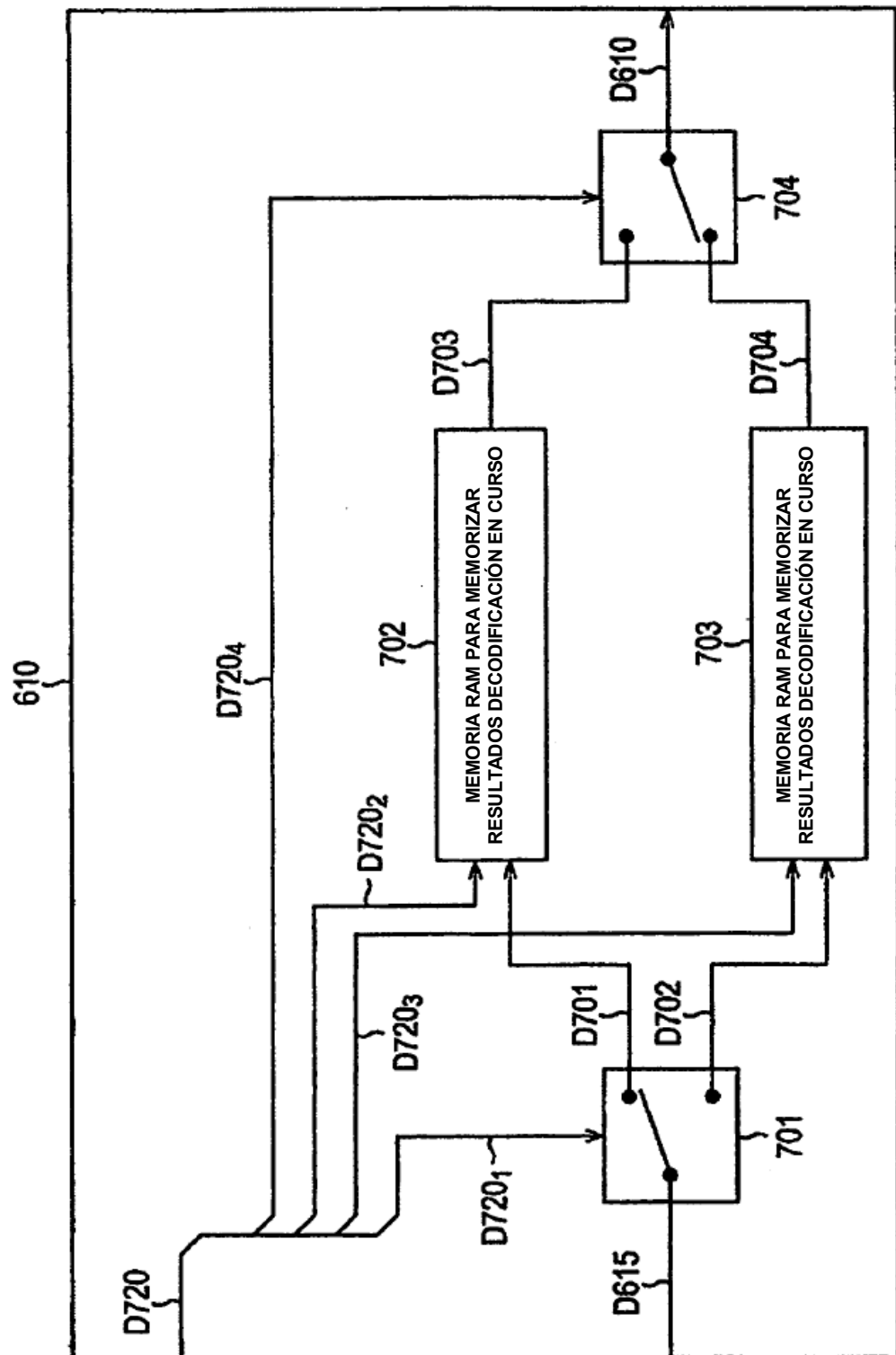


FIG. 32

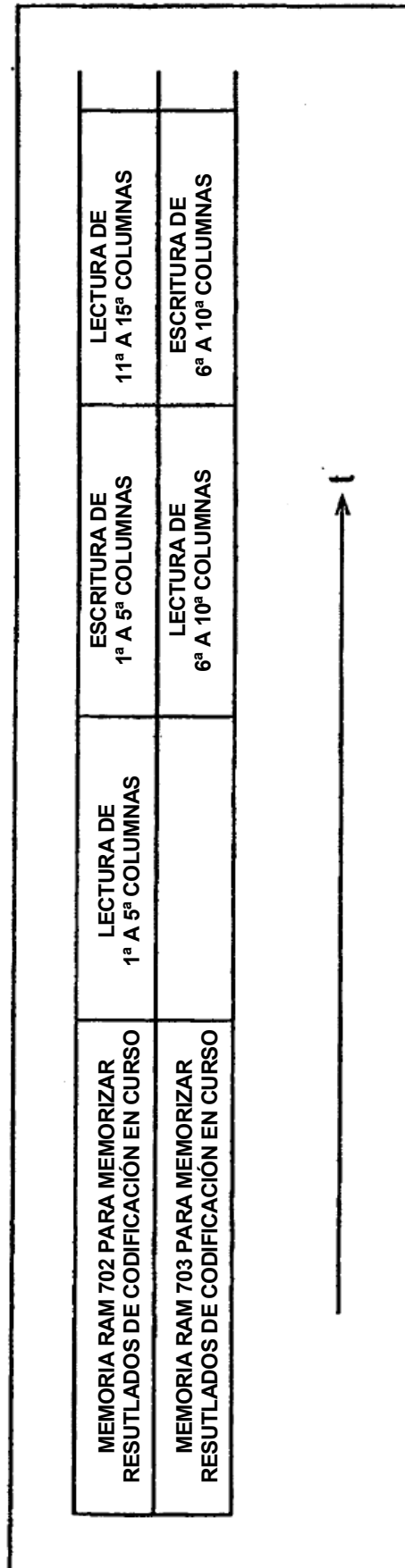


FIG. 33

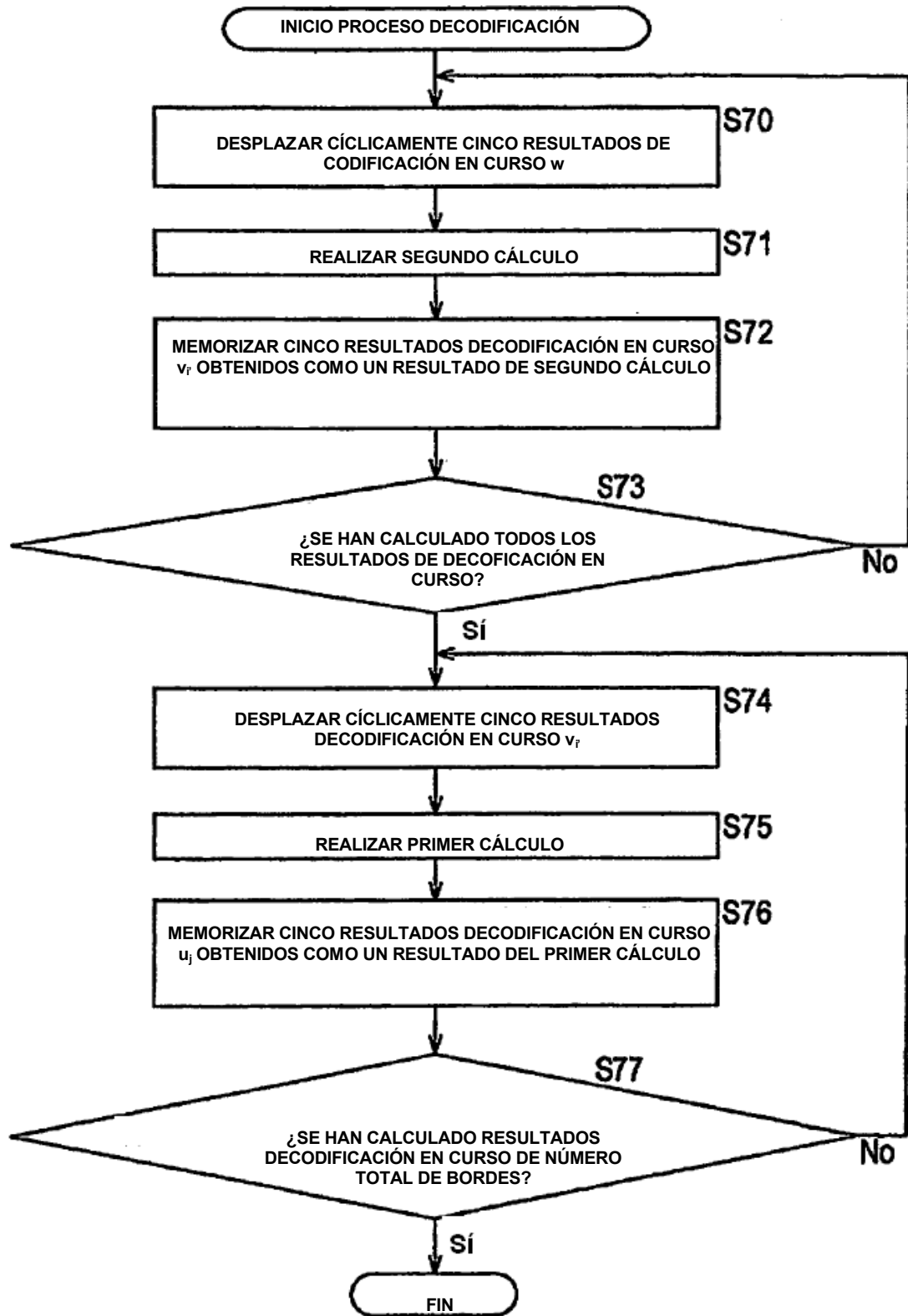


FIG. 34

