

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 425 355**

51 Int. Cl.:

G07F 17/32 (2006.01)

A63F 3/00 (2006.01)

G06K 7/016 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **07.04.2005 E 05753731 (8)**

97 Fecha y número de publicación de la concesión europea: **22.05.2013 EP 1766589**

54 Título: **Procedimiento de gestión de una pluralidad de lectores de fichas con chip electrónico y equipos de puesta en práctica de dicho procedimiento**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
14.10.2013

73 Titular/es:

**GAMING PARTNERS INTERNATIONAL (100.0%)
Z.I. BEAUNE-SAVIGNY, LIEUDIT LA CHAMPAGNE
21420 SAVIGNY-LES-BEAUNE, FR**

72 Inventor/es:

VUZA, DAN TUDOR

74 Agente/Representante:

ESPIELL VOLART, Eduardo María

ES 2 425 355 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento de gestión de una pluralidad de lectores de fichas con chip electrónico y equipos de puesta en práctica de dicho procedimiento.

La presente invención concierne de manera general al ámbito de las fichas que llevan integrado un chip electrónico y de los lectores por radiofrecuencia sin contacto de estas fichas con chip, lectores estos, también lector RFID (Radiofrequency Identification), que son susceptibles de trabajar en lectura y/o en escritura.

5 Más particularmente aunque sin carácter limitativo, la invención encuentra su aplicación en el ámbito de los casinos o de las salas de juego para la gestión de un considerable parque de fichas de juego, también denominadas fichas de casino, hallándose repartidas estas entre la banca del casino, las cajas y mesas de cambio y las mesas de juego. La utilización de lectores por radiofrecuencia sin contacto comunicantes con los chips de las fichas facilita el trabajo del propietario del casino, especialmente para la detección de las fichas fraudulentas, la localización y el seguimiento de las fichas dentro del casino, el recuento de las fichas en número y en valor, la supervisión de las transacciones en las mesas de cambio o de juego, etc.

10 A los efectos de la explicación que sigue, se entiende por ficha de juego cualquier elemento con forma de disco o de placa fabricado la mayoría de las veces en material plástico rígido. Las fichas presentan motivos de variados dibujos y colores para determinar una decoración más o menos compleja y reducir los riesgos de falsificación y/o de reproducción fraudulenta. Algunas fichas llevan integrado un circuito electrónico de memoria, o chip electrónico, en el cual se almacena información referente a la ficha, especialmente su número de serie o código de identificación y su valor numérico. Estas fichas equipadas con circuitos electrónicos de memoria también se designan fichas con chip electrónico o fichas de memoria electrónica. Atendiendo a los modelos de las fichas, los circuitos electrónicos son del tipo de memoria simple PROM de sólo lectura, de memoria reprogramable EEPROM con posibilidad de lectura y/o de escritura o incluso de microprocesadores dotados de una memoria. Finalmente, los circuitos electrónicos de los chips o circuitos electrónicos incorporan un bobinado utilizado para realizar un transpondedor por radiofrecuencia sin contacto y para comunicarse por acoplamiento magnético con las antenas de los lectores por radiofrecuencia, utilizándose asimismo el campo eléctrico radiado por las antenas de los lectores para generar la energía eléctrica necesaria para los chips. A efectos prácticos, la comunicación de las señales portadoras de información se lleva a cabo mediante modulación/demodulación de una onda portadora de frecuencia preestablecida, a título de ejemplo no limitativo, de 125 KHz.

15 Se entiende igualmente, a los efectos de la explicación que sigue, el término lector en su más amplio sentido como un dispositivo que permite especialmente la lectura de la memoria del chip y/o la escritura en memoria y ello sin carácter limitativo alguno. Cada lector está asociado a una unidad de control de microprocesador con objeto de emitir comandos y datos hacia un chip el cual se encuentra dentro del campo de la correspondiente antena y de recibir y tratar las respuestas del mismo, pudiendo determinados lectores controlar por turno a varias antenas. En la práctica, se utiliza una unidad central de control de lectores la cual gestiona una pluralidad de lectores.

20 El interés prestado a la introducción en los casinos de los lectores de Fichas con chip mueve a los propietarios a multiplicar su número y a reducir la distancia que separa las antenas correspondientes a dos distintos lectores. Consecuencia de ello son riesgos de perturbaciones en las comunicaciones entre chips y lectores tanto más molestas en el ámbito de la recepción hacia los lectores, siendo la intensidad de la señal emitida por el bobinado del chip mucho menor que la intensidad de la señal emitida por la antena de un lector. Así, la recepción por parte de un lector puede verse gravemente perturbada por la emisión simultánea de la antena de un lector vecino demasiado cercano. Esta situación poco satisfactoria se afronta cuando varios lectores están montados bastante cercanos entre sí, por ejemplo en las mesas de canje o en una misma mesa de juego, como es una mesa de ruleta o de Blackjack, donde la distancia entre antenas puede descender hasta 30 cm. La solución consistente en equipar las mesas de interés con un apantallamiento electromagnético alrededor de las antenas es poco cómoda, cuando no difícil de poner en práctica, en muchos casos por falta de espacio, y termina revelándose no muy eficaz.

25 La patente US-5646607 describe un sistema de identificación el cual pone en práctica unos transpondedores y unos dispositivos de interrogación, estando encaminado el sistema de identificación a identificar la posición o la presencia de los transpondedores dentro de una zona delimitada. El sistema pone en práctica especialmente unos medios de sincronización de los dispositivos de interrogación, de tal manera que estos últimos transmiten sus informaciones de transmisión de manera exactamente simultánea.

30 Aun cuando este sistema limita las interferencias en las transmisiones entre los dispositivos de interrogación y los transpondedores, no es eficaz para tratar operaciones de transmisión con tiempos que son todos diferentes, por basarse tal sistema, para transmitir las informaciones, en un intervalo de tiempo predeterminado.

35 La invención tiene por objeto proponer un procedimiento de gestión de una pluralidad de lectores por radiofrecuencia sin contacto de Fichas el cual permite eliminar las perturbaciones entre lectores debidas a operaciones de transmisión/recepción desordenadas, especialmente por antenas próximas, o cuando menos reducir muy sensiblemente los efectos sobre las comunicaciones de ida y/o vuelta entre lectores y chips.

40 Para tal fin, la invención propone un procedimiento de gestión coordinada de una pluralidad de lectores por

radiofrecuencia sin contacto de fichas con chip electrónico de acuerdo con la reivindicación 1.

Así, por lo tanto, la sincronización de los ciclos Tx/Rx mediante agrupación separada de, por un lado, las operaciones de transmisión Tx y de, por otro, las operaciones de recepción Rx permite hacer que varios lectores con antenas cercanas trabajen simultáneamente, siendo muy superior la ganancia de tiempo final para el tratamiento de un lote de fichas repartido entre Nx lectores activos simultáneamente, respecto a un tratamiento de ese lote por un sólo lector o por los Nx lectores pero trabajando sucesivamente para evitar las perturbaciones antes mencionadas, a la demora introducida por el proceso de sincronización. Es de señalar que los lectores de interés en el proceso de sincronización son únicamente los Nx lectores activos en ese momento de la pluralidad de NL lectores y para los cuales se halla en espera un ciclo TxMx, y ello sin perjuicio de cualquier generalización o asimilación de otros lectores de la pluralidad, de ser necesario, por ejemplo y sin limitación según se hará manifiesto seguidamente en el caso de los cortes y restablecimiento de las corrientes de antena.

Por otro lado, el agrupamiento permite reducir al mínimo el intervalo de tiempo necesario para las transmisiones Tx así agrupadas (en este caso concreto, para el tiempo de transmisión Tx más largo) y hacer que se inicien las operaciones de recepción Rx inmediatamente después del momento de fin de las transmisiones Tx, al objeto igualmente de reducir el intervalo de tiempo necesario para las recepciones Rx así agrupadas al tiempo de recepción más largo.

Según una primera variante ventajosa del procedimiento según la invención, el proceso de sincronización comprende:

- una etapa de recogida de los tiempos TxL de las transmisiones Tx de las instrucciones de comando de los primeros ciclos Tx/Rx en espera de lectores activos (pudiendo algunos protocolos de comando adoptar la forma de una sucesión de varios ciclos Tx/Rx) y
- una etapa de emisión de órdenes de ejecución a los lectores activos de las transmisiones Tx de las instrucciones de comando de los ciclos Tx/Rx escalonados en el tiempo y ordenados según los tiempos TxL decrecientes, empezando por el lector el cual tiene asignada la instrucción de comando del ciclo Tx/Rx con el tiempo TxL más largo, siendo la demora entre una orden de ejecución y su siguiente igual a la diferencia de los tiempos TxL de las instrucciones de comando de los ciclos Tx/Rx las cuales han de transmitir los dos lectores correspondientes, y ello hasta la orden de ejecución asociada al tiempo TxL más corto.

Tal proceso así estructurado se puede implementar mediante unas soluciones con equipo físico y/o lógico tal como se irá poniendo de manifiesto con mayor detalle seguidamente.

Por otro lado, por motivos de ahorro energético y/o de reposición en estado de escucha de las fichas dispuestas dentro del campo de una antena de un lector, es deseable o necesario cortar la corriente de esa antena. Estos cortes y restablecimiento de corriente de antenas pueden provocar perturbaciones, especialmente en el ámbito de las recepciones Rx, tanto tiempo como no se establece la corriente de antena. Una solución ventajosa a este problema viene dada por la variante que sigue del procedimiento según la invención.

Según otra variante opcional pero ventajosa del procedimiento según la invención, el proceso de sincronización integra la sincronización de las instrucciones de establecimiento y/o de corte CA de la corriente de antena de uno o varios lectores de dicha pluralidad de lectores, asimilando:

- esas instrucciones CA a unas instrucciones de comando de un ciclo Tx/Rx hacia un lector activo,
- el tiempo de la estabilización de la corriente de antena como consecuencia de la ejecución de una instrucción CA al tiempo TxL de transmisión Tx de la instrucción de comando de un ciclo Tx/Rx al lector activo, denominándose seguidamente dicho tiempo de estabilización tiempo TxL asimilado y denominándose asimismo seguidamente la instrucción CA transmisión Tx asimilada, y
- una orden de ejecución de un comando CA a una orden de ejecución de una transmisión Tx de un ciclo Tx/Rx en el cual el tiempo de la operación Rx es nulo, denominado seguidamente ciclo Tx/Rx asimilado y siendo asimilado entonces el lector afectado por un comando CA a un lector activo.

Esta variante permite, por una parte, eliminar las perturbaciones provocadas por los cortes y restablecimiento de corriente de antena y, por otra, obtener esta eliminación sin obstaculizar la gestión coordinada de la pluralidad de lectores y con menor coste de recursos físicos y lógicos.

Para mejorar aún más el sincronismo entre lectores, los tiempos TxL, reales y/o asimilados, se materializan en múltiplos del período de la onda portadora utilizada por los lectores.

Ventajosamente, el proceso de sincronización se pone en práctica mediante un circuito de sincronización según un ciclo de sincronización CS iniciado, bien sea por la primera solicitud de autorización de ejecución de un ciclo Tx/Rx real o asimilado, llevada a cabo por un lector a continuación de una petición de una unidad central de control del

lector, o bien automáticamente al final de la última operación de recepción Rx de los ciclos Tx/Rx reales correspondientes al ciclo de sincronización CS precedente o, a falta de ciclo Tx/Rx real, al final de las operaciones de transmisión Tx asimilada.

5 Este modo operativo del procedimiento según la invención permite hacer que en el proceso de sincronización solamente participen realmente los Nx lectores activos efectivamente (los cuales tienen en espera un ciclo Tx/Rx) de la pluralidad NL de lectores en gestión coordinada.

Ventajosamente, en un nuevo ciclo de sincronización CS participan todos los lectores que han transmitido solicitudes de autorización de ejecución de un ciclo Tx/Rx real o asimilado desde el inicio de ejecución del ciclo de sincronización CS precedente.

10 Este modo operativo del procedimiento según la invención permite limitar la espera de las órdenes de ejecución de las transmisiones Tx de los lectores activos.

Ventajosamente, en el nuevo ciclo de sincronización CS participan igualmente todos los lectores activos que han participado en el ciclo de sincronización precedente.

15 Este modo operativo del procedimiento según la invención permite tratar automáticamente las sucesiones o series de varios ciclos Tx/Rx para un mismo lector sin riesgo de interrupción.

Ventajosamente, para cada ciclo de sincronización CS, la etapa de recogida de los tiempos TxL, reales y/o asimilados, se realiza para todos los NL lectores de la pluralidad de lectores con determinación del número Nx de lectores para los cuales deberá emitirse una orden de ejecución de la transmisión Tx, real o asimilada, y porque la etapa de emisión de órdenes de ejecución de transmisión Tx es adaptada en función de Nx.

20 Este modo operativo del procedimiento según la invención permite una ganancia de tiempo en la ejecución del ciclo de sincronización.

Según otra variante opcional pero ventajosa del procedimiento según la invención, las señales de reloj de cada lector de la pluralidad de lectores son sincronizadas a partir de una misma base de tiempos.

25 Este modo operativo permite a los lectores generar ondas portadoras sincronizadas a la frecuencia elegida, en este caso concreto, a título de ejemplo no limitativo, a 125 kHz.

30 Según todavía otra variante ventajosa del procedimiento según la invención, en una versión en la cual está destinado a ser utilizado con lectores que incorporan una función de detección y de gestión de las colisiones en el ámbito de las respuestas simultáneas de varios chips a una misma instrucción de comando de un ciclo Tx/Rx, el procedimiento se caracteriza porque se asocia a unos medios adaptados para poner en práctica el siguiente proceso de gestión acelerada de las colisiones:

- determinación, con ocasión de la detección de una colisión por discordancia entre el valor 0 ó 1 de un bit de la respuesta respecto al valor esperado para ese bit, de un grado «fuerte» o «débil» de la colisión en función del nivel de incertidumbre acerca del valor detectado del bit de respuesta del cual se trate;

35 - tratamiento de las colisiones mediante iteración con tratamiento para la primera iteración de solamente las colisiones de grado «fuerte».

40 Este modo operativo permite tratar en la primera iteración del procedimiento tan sólo las colisiones de grado «fuerte» (para las cuales la incertidumbre es pequeña) y que, a efectos prácticos, corresponden a las verdaderas colisiones (por ejemplo, lectura por parte del lector de una respuesta a una solicitud de identificación de una ficha con un número de serie dado, memorizado en su propio chip, mediante el chip de otra ficha portadora de un número de serie contiguo), siendo suprimidas entonces del tratamiento de la primera iteración las colisiones falsas (resultantes en general de la dificultad y, por tanto, de un nivel elevado de incertidumbre, en leer el valor del bit del cual se trate en la respuesta). A título de ejemplo no limitativo, el tratamiento puede consistir en obtener confirmación mediante interrogaciones selectivas de ciertos campos de número de serie del número de la ficha originante de la respuesta, a expensas de eliminar la ficha implicada haciéndola «silenciosa» (inhibición de la operación Rx), si esta última no forma parte de las fichas buscadas. Este modo operativo permite acelerar muy sensiblemente la gestión de las verdaderas colisiones y los tiempos de lectura y/o de escritura de las fichas. Es de señalar que cada colisión falsa aumenta inútilmente el tiempo de lectura a causa de los intentos de descubrir los números de serie SNR que en realidad no existen, de ahí la necesidad de evitar tales colisiones.

50 Ventajosamente, la discriminación entre los grados «fuerte» y «débil» de las colisiones se obtiene mediante fijación para cada lector de un umbral predeterminado de compartición asociado al nivel de incertidumbre acerca del valor detectado del bit de respuesta del cual se trate.

Este modo operativo permite adaptar el umbral de compartición a cada lector y a su entorno inmediato (distancia entre antenas de lector, formas y/o disposición de las antenas, potencia real disipada, etc.).

5 Ventajosamente, se elige el umbral de compartición de manera que se distingan las colisiones verdaderas, colisiones de grado «fuerte», resultantes de las respuestas simultáneas de varios chips diferenciados, de las colisiones falsas, colisiones de grado «débil», las cuales resultan especialmente de perturbaciones electromagnéticas externas a los lectores o de perturbaciones entre lectores con antenas estrechamente próximas durante la emisión de las respuestas Rx.

10 La invención concierne asimismo a un circuito de sincronización para una pluralidad de lectores por radiofrecuencia sin contacto de fichas con chip electrónico destinado a la puesta en práctica, en todas sus variantes, del procedimiento según la invención anteriormente presentado, incorporando el circuito una unidad de tratamiento de microprocesador adaptada para realizar la ejecución del proceso de sincronización, estando asociada la unidad de tratamiento a un circuito de interfaz destinado a ser debidamente conectado con cada uno de los lectores de dicha pluralidad de lectores. A tal efecto, la unidad de tratamiento dispone de los medios físicos y lógicos que le permiten realizar la ejecución del proceso de sincronización.

15 Es de señalar igualmente que el circuito de sincronización es capaz de trabajar de manera autónoma, para así poder ser instalado al lado de los lectores de una misma mesa de casino, pero igualmente puede ser integrado o vinculado a la unidad central de gestión de los lectores.

Ventajosamente, el circuito de interfaz incorpora unos medios de demultiplexación entre las líneas de transmisión de datos a partir de los lectores.

20 Optativamente, el circuito de interfaz incorpora ventajosamente unos medios para suministrar a los lectores unas señales de reloj sincronizadas a partir de la base de tiempos de dicha unidad de tratamiento del circuito de sincronización.

25 La invención concierne igualmente a un lector por radiofrecuencia sin contacto de fichas con chip electrónico adaptado para la puesta en práctica del procedimiento según la invención en asociación con un circuito de sincronización anteriormente definido, incorporando el lector unos medios de conmutación de las señales de reloj para oscilar de una base de tiempos interna hacia la base de tiempos de dicha unidad de tratamiento.

30 La invención concierne igualmente a un lector por radiofrecuencia sin contacto de fichas con chip electrónico adaptado para la puesta en práctica del procedimiento según la invención en asociación con un circuito de sincronización anteriormente definido, disponiendo el lector de los medios físicos y lógicos que, en el seno de una pluralidad de lectores, le permiten realizar la ejecución del proceso de sincronización, la gestión coordinada de los ciclos de lectura y/o de escritura Tx/Rx, especialmente en su variante con control de los cortes y/o restablecimiento de la corriente de antena y/o en su variante con puesta en práctica del proceso de gestión acelerada de las colisiones.

35 La invención concierne igualmente a un sistema de lectura y/o escritura por radiofrecuencia sin contacto de fichas con chip electrónico destinado a ser utilizado con puesta en práctica del procedimiento según la invención en todas sus variantes, el cual incorpora una pluralidad de lectores anteriormente definidos conectados a un circuito de sincronización anteriormente definido y gestionada por una unidad central de control con microprocesador.

40 La invención concierne igualmente a un sistema de lectura y/o escritura por radiofrecuencia sin contacto de fichas con chip electrónico destinado a ser utilizado con puesta en práctica del procedimiento según la invención en todas sus variantes, el cual incorpora una pluralidad de lectores con adaptación de la señal de reloj anteriormente definidos y sincronizados mediante la base de tiempos de un circuito de sincronización anteriormente definido.

Otras características y ventajas de la presente invención se irán poniendo de manifiesto con la lectura de la descripción subsiguiente, presentada únicamente a título de ejemplo no limitativo con referencia a los dibujos que se adjuntan, en los cuales:

45 la figura 1 representa una vista esquemática de un modo de realización de un sistema de lectura y/o escritura por radiofrecuencia sin contacto de fichas con chip electrónico según la invención destinado a ser utilizado con puesta en práctica del procedimiento según la invención;

50 la figura 2 representa un organigrama general de las operaciones efectuadas por el circuito de sincronización en el contexto de la puesta en práctica del procedimiento según la invención (en su variante con predeterminación del número de lectores de la pluralidad que ha de sincronizarse en el próximo ciclo de sincronización CS);

la figura 3 representa un organigrama de operaciones efectuadas por un lector en la ejecución de un ciclo de sincronización CS en el contexto de la puesta en práctica del procedimiento según la invención, especialmente el protocolo de transferencia de los tiempos TxL hacia el circuito de sincronización;

la figura 4 representa un organigrama parcial de operaciones efectuadas por el circuito de sincronización en la ejecución del ciclo de sincronización CS presentado en la figura 3, especialmente el protocolo de recogida de los números TxL por parte del circuito de sincronización; y

5 la figura 5 representa el esquema de un circuito de conmutación de reloj para lector el cual permite pasar del modo 'lector independiente' al modo 'lector sincronizado'.

10 El modo de realización del sistema de lectura y/o escritura por radiofrecuencia sin contacto 10 de fichas con chip electrónico según la invención destinado a ser utilizado con puesta en práctica del procedimiento según la invención ilustrado esquemáticamente en la figura 3 incorpora, a título de ejemplo carente de carácter limitativo alguno, una pluralidad 12 de tres lectores L1, L2 y L3 referenciados respectivamente con 12a, 12b, 12c. Cada lector incorpora al menos una antena, respectivamente 13a, 13b, 13c, asociada a la bandeja 14 de una misma mesa de juego o mesa de caja para definir zonas de lectura/escritura correspondientes en las cuales se disponen las fichas de juego 15a, 15b y 15c con chip electrónico (placas o discos), bien sea en plano de manera unitaria (fichas 15b), o bien de manera apilada (fichas 15a y 15c), pudiendo alcanzar las pilas el número de 20 fichas, e incluso más.

15 Siempre a título de ejemplo no limitativo, los tres lectores 12a, 12b y 12c son del tipo dispositivo de lectura-escritura VEGAS (versión VEGRED2) producido por la compañía Gaming Partners International SAS. Cada ficha de juego lleva integrado un chip electrónico 16 con transpondedor de radiofrecuencia sin contacto, en este caso concreto un transpondedor Hitag Vegas producido por Philips Semiconductors.

20 Los tres lectores 12a, 12b y 12c se hallan conectados mediante interfaces serie RS232 17a, 17b y 17c a un mismo ordenador anfitrión OH 18 definitorio de una unidad central de control de los lectores la cual transmite comandos a los lectores y la cual utiliza los datos proporcionados por los mismos. Es de señalar que, según una variante no representada y sin salir del marco de la invención, cada lector puede contar con su propia unidad central de control (ordenador OH); así, por ejemplo, en total se podrá contar con una tarjeta de sincronización, tres lectores y tres ordenadores OH independientes. Cada lector 12a, 12b o 12c incorpora especialmente un microprocesador de lector μ P (no representado) y un procesador digital de señal DSP (no representado), utilizado especialmente para el tratamiento que ejecuta especialmente el algoritmo «anticolisión». De una manera general, los tres lectores 12a, 12b y 12c llevan cargado el mismo equipo lógico y están configurados de manera idéntica, de tal modo que las características de funcionamiento de los tres lectores 12a, 12b y 12c sean idénticas (sin perjuicio de la identidad propia de cada lector).

30 Así, la transmisión TX de un comando hacia los chips por parte de un lector (12a, 12b o 12c) se efectúa mediante modulación fuerte de la corriente de la antena asociada al lector, detectada por los chips 16 ubicados dentro del campo de la misma. Igualmente, la recepción Rx por el lector de la respuesta de los chips a continuación de un comando se efectúa mediante la detección por el lector de la modulación débil de la tensión en la antena.

35 La energía necesaria para el funcionamiento del chip 16 le es proporcionada por el campo magnético de la antena del lector correspondiente. El lector (12a, 12b o 12c) envía comandos a los chips modulando la amplitud de las oscilaciones del campo magnético. Los chips responden mediante la modulación de una resistencia interna, siendo el acoplamiento magnético el encargado de la transmisión de esta modulación hacia el lector.

Siempre a título de ejemplo no limitativo, se distinguen los siguientes estados en el funcionamiento del chip 16 de tipo Hitag.

Sin tensión. El chip se encuentra fuera del campo de la antena.

40 *Listo.* El chip acaba de ser ubicado dentro del campo de la antena. En este estado, este sólo acepta el comando **SetCC**, a continuación del cual envía hacia el lector el número de serie (SNR) y pasa al estado *Inicial*.

Inicial. En este estado, el chip acepta los siguientes comandos.

SetCC - mismo efecto que en el estado *Listo*.

45 **ReadID** - el lector envía N bits hacia los chips ($1 \leq N \leq 31$). Los chips con SNR cuyos primeros N bits coinciden con los N bits recibidos responden enviando los demás 32-N bits del SNR; los demás chips pasan al estado *Listo*.

Select - el lector envía 32 bits hacia los chips. El chip cuyo SNR coincide con los bits recibidos responde enviando los datos de su página de configuración memorizada y pasa al estado *Seleccionado*; los demás chips pasan al estado *Listo*.

50 *Seleccionado.* En este estado, el chip acepta los comandos de lectura y de escritura de los datos así como el comando **Halt**, a continuación del cual pasa al estado *Silencioso*.

Silencioso. En este estado, el chip no responde a ningún comando más, permitiendo así al lector comunicarse con los demás chips. La única posibilidad de salir de este estado es la de regresar al estado *Sin tensión*.

5 A continuación de los comandos **SetCC** y **ReadID**, puede resultar que varios chips envíen sus respuestas al mismo tiempo. Las respuestas de los chips están sincronizadas, especialmente por el reloj del lector cuando este último trabaja en modo 'lector independiente'; estas contienen por tanto 32 bits para **SetCC** y 32-N bits para **ReadID**. Si las respuestas difieren en determinadas posiciones de los bits, se dice que hay colisiones en las correspondientes posiciones. El lector detecta y trata las mismas mediante el algoritmo de anticollisión.

Con objeto de hacer que los chips 16 salgan del estado *Silencioso*, el lector dispone del comando **HFRreset** de detección momentánea de la corriente de la antena. Asimismo dispone del comando **SetPowerDown** el cual permite cortar la corriente de la antena durante los períodos de inactividad.

10 Los tres lectores 12a, 12b y 12c se hallan enlazados asimismo con un circuito de sincronización CSL 20 realizado mediante una placa electrónica la cual incorpora al menos los tres siguientes componentes principales: una unidad de tratamiento de microprocesador 22 modelo AT89C55WD de la compañía ATMEL, un circuito de interfaz 24 modelo CPLD XC9572 de la compañía Xilinx y una interfaz serie 26 tipo MAX202 de la compañía Maxim.

15 El microprocesador 22 ejecuta el protocolo de sincronización de la invención. También se comunica, a través de la interfaz serie 26, con un ordenador ligado al circuito CSL (en este caso concreto, de manera ventajosa aunque no obligatoria, el ordenador 18) con el cual se pueden efectuar las pruebas con el fin de comprobar si todos los componentes del sistema (CSL, lectores 12a, 12b y 12c y cables de interconexión 17a, 17b y 17c) funcionan correctamente. Se hace notar, no obstante, que no es precisa la presencia de un ordenador para el circuito CSL 20 durante el funcionamiento normal del sistema 10 según la invención.

El circuito de interfaz 24 cumple las siguientes funciones:

- 20 - Ejerce de interfaz entre el microprocesador 22 y los tres lectores 12a, 12b y 12c; particularmente, actúa como demultiplexador entre el microprocesador 22 y las líneas DATA.
- Distribuye a los lectores una señal a 4 MHz obtenida dividiendo la frecuencia de 20 MHz de la base de tiempos del microprocesador 22. Esta señal es utilizada por los lectores 12a, 12b y 12c con el fin de generar las ondas portadoras sincronizadas a 125 kHz.
- 25 - Se encarga de la inicialización del microprocesador 22 en la puesta en tensión y de la reinicialización del mismo en caso de bloqueo del programa. Para ello, en el circuito de interfaz se ha realizado un subcircuito (no representado) de tipo «Watchdog» (circuito de supervisión) con una entrada mandada por el microprocesador 22 y una salida que manda la señal RESET de este último. Si el microprocesador 22 no manda la entrada del subcircuito durante un determinado lapso de tiempo, el subcircuito manda la señal RESET. Se ha preferido esta solución en lugar de la utilización del circuito «Watchdog» integrado en el microprocesador o de una capacitancia asociada a la línea RESET, ya que las dos últimas variantes no pueden asegurar un correcto arranque del microprocesador en la puesta en tensión. En efecto, puede ocurrir que la puesta en tensión de un lector 12a, 12b y 12c anteceda a la del circuito 24 y que, por azar, algunas líneas lógicas que enlazan ese lector con el circuito 24 se encuentren en nivel alto (normalmente el lector las pone nuevamente en nivel bajo en su puesta en tensión). En estas condiciones, es posible que la tensión presente en esas líneas origine un arranque parcial del microprocesador 22, suficiente para descargar una capacitancia relacionada con su línea RESET pero insuficiente para asegurar la correcta activación de todo el procesador, particularmente de su circuito «WatchDog». Así, el microprocesador 22 no se iniciaría en su propia puesta en tensión retardada con relación al lector. Antes bien, el subcircuito 24 empezará entonces su función y no tardará en mandar la señal RESET del microprocesador 22.
- 30
- 35
- 40

Para permitir que los lectores 12a, 12b y 12c reciban la señal a 4 MHz proporcionada por el circuito 24, interesa asociar a cada lector un circuito de conmutación de reloj, por ejemplo el circuito de conmutación 28 ilustrado en la figura 5 (después de haber puesto eventualmente fuera de servicio el circuito divisor de reloj interno del lector asociado al microprocesador). El circuito 28 está basado en el circuito integrado 30 74HC390 de la compañía Philips Semiconductors y se encarga del funcionamiento del lector en los modos 'lector sincronizado' o 'lector independiente'.

45

En el modo 'lector independiente', se colocan en serie los contadores divisores por 5 (terminales CKB/QC) y por 2 (terminales CKA/QA) del circuito integrado 30, obteniendo así la división por 10 de la señal a 20 MHz proporcionada por el procesador interno del lector (línea 32), lo cual da la señal a 2 MHz (línea 34) que el lector necesita para la generación de la onda portadora y de otras señales requeridas por la transmisión Tx y recepción Rx. Para tal fin, el puente simple 36 y el puente 38a se hallan cerrados, estando abierto el puente 38b.

50

En el modo 'lector sincronizado' (caso presente de los lectores 12a, 12b y 12c), el divisor por 5 se pone en reposo en tanto que la señal a 4 MHz proporcionada por el circuito 24 (línea 33) se pasa por el divisor por 2 (CKA/QA); se obtiene así, en la línea 34, la señal a 2 MHz necesaria para el lector, teniendo asimismo por finalidad el paso por el divisor (CKA/QA) la de asegurar las transiciones netas de la señal, eliminando las posibles perturbaciones introducidas por el cable de transmisión. Para tal fin, el puente simple 36 y el puente 38a se hallan abiertos, estando cerrado el puente 38b.

55

Las señales a 2 MHz quedan así sincronizadas para todos los lectores 12a, 12b y 12c, ya que provienen de una base de tiempos común, la del microprocesador de la unidad de tratamiento 22 del circuito de sincronización 20.

El proceso de gestión coordinada según la invención de la pluralidad de los tres lectores 12a, 12b y 12c se lleva a la práctica de la siguiente manera.

5 La actividad de cada lector 12a, 12b o 12c se desarrolla como respuesta a los comandos recibidos de la unidad central de gestión 18 (denominada asimismo seguidamente ordenador OH). A continuación de un comando de este tipo, el lector emprende acciones que comprenden cero, uno o varios ciclos Tx/Rx.

10 A todos los efectos útiles, cabe recordar que el ciclo Tx/Rx propiamente dicho de los lectores comprende dos etapas: la transmisión (Tx) de un comando del lector hacia los chips, seguida de la recepción (Rx) de la respuesta de los chips por parte del lector. En el caso particular, aunque no limitativo, de los lectores 12a, 12b o 12c, la respuesta Rx de los chips es automática y tras ella viene de manera prácticamente inmediata el fin de la transmisión Tx del lector del cual se trate.

15 En el caso de un lector sincronizado, un ciclo Tx/Rx viene precedido por un proceso adicional de sincronización el cual especialmente precede a y coordina la transmisión Tx del comando respecto a los comandos Tx de los demás lectores. Este proceso tiene como finalidad el asegurar que ningún intervalo Tx de un lector se superponga a ningún intervalo Rx de otro lector y, con ello, que la modulación fuerte de Tx no perturbe la modulación débil de Rx. Dicho de otro modo, el proceso de sincronización tiene por función agrupar en un primer intervalo de tiempo las operaciones de transmisión Tx y agrupar en un segundo intervalo de tiempo las operaciones de recepción Rx, sin solape entre los dos intervalos de tiempo. De acuerdo con un modo de puesta en práctica preferente del procedimiento de gestión coordinada según la invención, el proceso sincroniza los lectores 12a, 12b y 12c de tal manera que todas las transmisiones Tx de los lectores activos terminen al mismo tiempo, permitiendo que las recepciones Rx comiencen al mismo tiempo. El proceso se lleva a la práctica mediante la ejecución de un ciclo de sincronización CS el cual se presenta a continuación.

25 En primer lugar, cada lector 12a, 12b o 12c, hecho activo mediante un comando del ordenador OH 18, calcula el tiempo TxL de la transmisión Tx correspondiente como número entero en 16 bits el cual expresa la duración del comando en múltiplos del período (8 microsegundos) de la onda portadora de 125 kHz. Este tiempo es comunicado a continuación por el circuito de interfaz 24 al circuito de sincronización CSL 20, hecho lo cual el lector espera la señal de START. Sólo después de haber recibido esta señal START por parte del circuito CSL 20, el lector ejecuta el ciclo Tx/Rx, es decir, las operaciones de transmisión Tx del comando hacia el chip 16 y de recepción Rx desde el chip.

30 Con objeto de poder comunicar los números TxL al circuito CSL 20, cada uno de los tres lectores 12a, 12b y 12c está conectado al circuito de interfaz 24 con la ayuda de las siguientes líneas lógicas (véase la figura 1):

- 8 líneas DATA (DATOS) dirección lector-circuito CSL;
- una línea BUSY (OCUPADO) dirección lector-circuito CSL;
- una línea REQUEST (PETICIÓN) dirección lector-circuito CSL;
- 35 una línea START (COMIENZO) dirección circuito CSL-lector.

40 Si el octeto superior del tiempo TxL es nulo, la transferencia de TxL hacia el circuito CSL 20 se lleva a cabo en una sola etapa, utilizando las 8 líneas DATA para la transferencia del octeto inferior. Si el octeto superior no es nulo, la transferencia se lleva a cabo en tres etapas. Primero se transfiere un octeto igual a cero; este valor, al no ser un valor válido para un tiempo TxL, indica al circuito CSL 20 que seguirá una transferencia en dos etapas, a saber, el octeto superior y luego el octeto inferior del tiempo TxL.

Los valores atribuidos por el lector del cual se trate 12a, 12b o 12c a las líneas BUSY y REQUEST (véase la figura 1) tienen los siguientes significados:

- BUSY = 0, REQUEST = 0 - el lector no participa en el ciclo de sincronización CS en curso (lector no activo);
- BUSY = 1, REQUEST = 1 - el lector acaba de transferir el octeto inferior de TxL o un octeto nulo;
- 45 BUSY = 1, REQUEST = 0 - el lector acaba de transferir el octeto superior de TxL;
- BUSY = 0, REQUEST = 1 - el lector espera la señal START.

50 Desde el punto de vista del circuito de sincronización CSL 20, un ciclo de sincronización CS empieza cuando se detecta un '1' en al menos una de las líneas REQUEST. El ciclo comprende dos grandes etapas: i) la recopilación de los números TxL, la cual se extiende desde el comienzo del ciclo CS (véase la figura 4, etapa 400) hasta la detección de los '0' en todas las líneas BUSY (véase la figura, etapa 404); ii) la distribución de las señales START en función de los números TxL. Después de estas dos grandes etapas, el circuito CSL 20 vuelve al estado de reposo hasta el comienzo

de un nuevo ciclo.

En las figuras 3 y 4, el símbolo <- (flecha pequeña hacia la izquierda) se utiliza para designar, bien sea la transferencia de los valores de las variables o de las constantes situadas a la derecha del signo a las líneas lógicas de la izquierda, o bien la memorización de los valores de las líneas lógicas de la derecha en las variables de la izquierda. El símbolo [T] significará que la espera de la realización de una determinada condición lógica no se extiende al infinito, sino hasta la expiración de un contador de tiempo, repuesto a cero en la primera comprobación de la condición en cuestión; ello tiene como finalidad evitar el bloqueo del sistema en un lazo infinito en caso de funcionamiento defectuoso en uno de sus componentes o cables de conexión.

El funcionamiento del programa de soporte lógico vinculado al circuito de sincronización CSL 20 y a los lectores 12a, 12b y 12c lleva integrado el lazo infinito presentado en la Figura 2. El protocolo de transferencia de los números TxL hacia el circuito CSL 20 que utiliza el lector se presenta en la Figura 3, en tanto que el protocolo de recogida de los números TxL que utiliza el circuito CSL 20 se presenta en la Figura 4.

Por lo que se refiere al lazo infinito de la figura 2, una vez puesto en tensión el circuito CSL 20, este circuito CSL ejecuta primero la recogida de los números TxL de cada uno de los lectores de la pluralidad 12 para conservar tan sólo los lectores activos para los cuales el número TxL es superior a cero (etapa 201). En función del número Nx de lectores con TxL > 0, el circuito CSL 20 procederá a la sincronización de los tres lectores (etapa 202), de dos lectores (etapa 203) o de un sólo lector (etapa 204).

El programa de soporte lógico del circuito de sincronización CSL 20 dispone de tres puertos lógicos de 8 bits DATA(1 - 3) con cuyo concurso el circuito CSL lee los valores colocados en las líneas DATA por los tres lectores 12a, 12b y 12c. El circuito CSL también dispone del puerto lógico BUSY_REQUEST con cuyo concurso puede leer simultáneamente los valores de las líneas BUSY y REQUEST conectadas a los tres lectores.

El programa de soporte lógico del circuito de sincronización CSL 20 utiliza además las siguientes variables en el protocolo de recogida de los TxL ilustrado en la figura 4:

la tabla de tres entradas TxL(1 - 3), donde se memorizan los nombres TxL provenientes de los tres lectores;

la tabla de tres entradas TxLSET(1 - 3);

la variable auxiliar D.

Las tablas TxL y TxLSET se remiten a cero al final de cada ciclo de sincronización CS. Un "1" en la entrada i-ésima de TxLSET significa que se ha completado la transferencia del número TxL para el lector i-ésimo.

Se presenta a continuación el proceso de sincronización ilustrado en la figura 3 (del lado del lector 12a, 12b ó 12c, seguidamente el lector i-ésimo) y en la figura 4 (del lado del circuito CSL 20, según un proceso iterativo i el cual va de 1 a NL = 3 en el presente caso):

Después de haber recibido del ordenador OH 18 un comando, el lector i-ésimo pone un '1' en la línea BUSY (etapa 301), indicando así al circuito de sincronización CSL 20 su intención de participar en el ciclo de sincronización CS. Si el octeto superior de su número TxL es nulo (condición 301'), el lector i-ésimo transfiere el octeto inferior de su TxL colocando este octeto en las líneas DATA (etapa 302) y poniendo luego un '1' en la línea REQUEST (etapa 303). A continuación del '1' detectado en la línea REQUEST del lector i-ésimo (etapa 401), el circuito CSL 20 lee el valor del puerto DATA(i) (etapa 402); al ser éste no nulo, el circuito CSL lo coloca en el octeto inferior de TxL(i) y escribe un '1' en TxLSET(i) (etapa 403), terminándose así la transferencia de TxL para el lector i-ésimo.

Si el octeto superior de su TxL es no nulo (condición 301'), el lector i-ésimo coloca un cero en las líneas DATA (etapa 304) y luego pone un '1' en la línea REQUEST (etapa 305). A continuación del '1' detectado en la línea REQUEST del lector i-ésimo (etapa 401), el circuito CSL 20 lee el valor del puerto DATA(i) (etapa 402); al ser nulo este y al cumplirse las dos condiciones TxL(i) = 0 y TxLSET(i) = 0, el circuito CSL sabe que debe venir una transferencia de un número TxL en 16 bits. A tal efecto, el circuito CS pone un '1' en la línea START del lector i-ésimo (etapa 405); como respuesta (condición 305'), el lector i-ésimo transfiere el octeto superior de su TxL colocando este octeto en las líneas DATA (etapa 306) y poniendo después un '0' en la línea REQUEST (etapa 307). A continuación del '0' en la línea REQUEST (condición 405'), el circuito CSL 20 coloca el valor de DATA(i) en el octeto superior de TxL(i) (etapa 406) y luego vuelve a poner la línea START del lector i-ésimo a '0' (etapa 407). Como respuesta al '0' en la línea START (condición 307'), el lector i-ésimo transfiere el octeto inferior de su TxL colocando este octeto en las líneas DATA (etapa 302) y poniendo después un '1' en la línea REQUEST (etapa 303). A continuación del '1' detectado en la línea REQUEST del lector i-ésimo, CS lee el valor del puerto DATA(i) (etapa 402); aun si este último es nulo (es muy posible que el octeto inferior de TxL sea nulo si el octeto superior no lo es), las condiciones TxL(i) > 0 y TxLSET(i) = 0 (condición 402') indican al circuito CSL que ahora es cuestión de la transferencia del octeto inferior de TxL; consiguientemente, el circuito CSL 20 coloca el valor de DATA(i) en el octeto inferior de TxL(i) y escribe un '1' en TxLSET(i) (etapa 403), terminándose así la transferencia de TxL para el lector i-ésimo.

5 El lector i-ésimo empieza ahora la espera del permiso de enviar el comando hacia los chips (ejecución de la transmisión Tx). A tal efecto, remite a cero la línea BUSY al tiempo que conserva el '1' en la línea REQUEST (etapa 308). El permiso es concedido por el circuito CSL mediante la colocación de un '1' en la línea START del lector i-ésimo (condición 308'); en ese instante, el lector i-ésimo remite a cero su línea REQUEST (etapa 309) y luego pone un '1' en su línea BUSY (etapa 310). A continuación, el lector ejecuta su ciclo Tx/Rx y envía su comando hacia los chips y recibe la respuesta. Termina así el ciclo Tx/Rx en curso.

10 No obstante, la emisión de la señal START para el i-ésimo tan sólo tendrá lugar en la sincronización propiamente dicha (con la distribución de las señales START en función de los números TxL) después del final del proceso de iteración descrito en la figura 4 (la recogida de los números TxL), esto es, después de la interrogación de todos los demás lectores de la pluralidad de lectores (condición 407'). Si uno de los lectores está inactivo, esto es, con las señales REQUEST = 0 y BUSY = 0 (condiciones 401' y 401''), este lector será descartado del proceso de sincronización propiamente dicho ejecutado posteriormente y puestos a cero los valores TxL(i) y TxLSET(i) (etapa 408). Finalmente, el proceso de sincronización propiamente dicho empezará después de la etapa 404 de final de la recogida del los números TxL, una vez cumplida la doble condición de al menos una señal REQUEST = 1 y las tres señales BUSY a cero (condición 407'').

15 Si el comando del ordenador OH 18 precisa de otro ciclo Tx/Rx, el hecho de haber conservado el '1' en la línea BUSY garantiza la participación del lector i-ésimo en el ciclo de sincronización CS que vendrá tras el ciclo CS en curso.

20 Tras haber terminado todos los ciclos Tx/Rx solicitados mediante la ejecución del comando del ordenador OH 18, el lector i-ésimo normalmente va a reponer a cero su línea BUSY, indicando así al circuito CSL 20 que ha pasado a inactivo. Podrá empezar otro ciclo de sincronización CS sin la participación del lector i-ésimo. Si el mismo recibe un comando del ordenador OH 18 durante el desarrollo de un ciclo de sincronización CS en el cual no está participando, estará obligado a esperar hasta el siguiente ciclo CS. Si ello no es deseable en ciertas situaciones, se ha previsto como variante (no ilustrada) el modo *Reposición a Cero Retardada* de la línea BUSY. En este modo, el lector no remite a cero la línea BUSY inmediatamente después de la conclusión de la ejecución del comando del ordenador OH 18, sino con un retardo aproximado de 80 milisegundos. Este plazo permite al ordenador OH 18 enviar inmediatamente un nuevo comando al lector el cual así no se perderá el siguiente ciclo de sincronización CS. Si el ordenador OH 18 no desea enviar un nuevo comando, puede solicitar al lector que reponga a cero la línea BUSY.

25 Por otro lado, los comandos del ordenador OH 18 que tengan como finalidad el establecimiento y el corte de la corriente de las antenas 13a, 13b y 13c no contienen ningún ciclo Tx/Rx real. No obstante, estos comandos de manera preferente están igualmente sincronizados. A tal efecto, el lector señala al circuito CSL un valor de TxL asimilado de duración suficiente para que se establezca la corriente de la antena y ejecuta después el comando referente a la corriente (comando CA asimilado a una transmisión Tx) después de la recepción de la señal START.

30 El circuito de sincronización CSL 20 empieza igualmente la sincronización del ciclo CS en curso en el momento en el cual son puestas a cero todas las líneas BUSY provenientes de los tres lectores 12a, 12b y 12c. Esta condición se distingue de la situación donde todos los lectores se hallan en reposo por el hecho de que hay al menos una línea REQUEST puesta a '1'. El procedimiento de sincronización depende del número de lectores participantes en el ciclo de sincronización CS en curso, igual al número Nx de los valores TxL no nulos que acaban de ser transferidos.

35 El proceso de sincronización según se ejecuta en el caso de tres lectores participantes (Nx = NL = 3) se presenta seguidamente (véase la figura 2):

- 40 - Ordenar los valores de los números TxL. Se utiliza al efecto una tabla de tres entradas READERS(1 - 3), escribiendo en estas entradas los números de los tres lectores (12a, 12b ó 12c) de manera que se tenga $TxL(READERS(1)) \geq TxL(READERS(2)) \geq TxL(READERS(3))$.
- 45 - Poner un '1' en la línea START del lector cuyo número está escrito en READERS(1), correspondiente a la emisión de la orden de ejecución del ciclo Tx/Rx del lector para el cual la transmisión Tx de la instrucción de comando es la más larga (primer lector iniciado).
- 50 - Esperar un lapso de tiempo igual a $(TxL(READERS(1)) - TxL(READERS(2)))$ veces el período de la onda portadora, correspondiente al plazo de emisión de orden de ejecución del ciclo Tx/Rx del segundo lector respecto al primer lector arrancado.
- Poner un '1' en la línea START del lector cuyo número está escrito en READERS(2) (iniciación del segundo lector).
- Esperar un lapso de tiempo igual a $(TxL(READERS(2)) - TxL(READERS(3)))$ veces el período de la onda portadora, correspondiente al plazo de emisión de la orden de ejecución del ciclo Tx/Rx del tercer lector respecto al segundo lector iniciado.
- 55 - Poner un '1' en la línea START del lector cuyo número está escrito en READERS(3) (iniciación del tercer lector).

- Esperar [T] hasta que se hayan puesto a '1' las líneas BUSY de los tres lectores.
- Remitir a cero las líneas START de los tres lectores.
- Remitir a cero las tablas TxL(1 - 3) y TxLSET(1 - 3).

5 El proceso en el caso de participar dos lectores es similar, con la sola diferencia de que está dirigido a los dos lectores en lugar de a tres.

El proceso en el caso de participar un único lector consiste en dar inmediatamente la señal de START, esperar [T] hasta que la línea BUSY del lector se haya puesto a '1', remitir a cero la línea START del lector y remitir a cero las tablas TxL(1 - 3) y TxLSET(1 - 3).

10 Es de señalar que la invención no queda limitada a una pluralidad NL de 3 lectores y puede ser puesta en la práctica con un número mayor de lectores a condición de modificar los circuitos y los equipos lógicos en consecuencia basándose en las informaciones dadas anteriormente y en la medida en que los comandos enviados por los lectores diferenciados no se perturben mutuamente de modo sensible.

15 Es de señalar igualmente que la invención no queda limitada a la lectura y/o a la escritura sin contacto por radiofrecuencia de fichas con chip electrónico para casino y salas de juego, sino que se aplica en todas las aplicaciones de lectura/escritura RFID sin contacto de fichas, placas o tarjeta chip electrónica (por ejemplo, a título no limitativo, fichas o tarjetas de acceso, contramarcas o etiquetas electrónicas, etc.).

20 La invención tampoco queda limitada a los lectores y/o al protocolo de comunicaciones lector/chip y chip/lector por ciclos Tx/Rx anteriormente descritos. El procedimiento de gestión coordinada de una pluralidad de lectores y el proceso de sincronización según la invención son aplicables i) en todos los lectores que utilizan un protocolo de comunicaciones del tipo por comandos enviados por el lector seguidos de las respuestas enviadas por los chips, respuestas que pueden ser automáticas e inmediatas (tal como en el ciclo Tx/Rx anteriormente descrito) o automáticas y no inmediatas como también con emisiones controladas en el tiempo; y ii), optativamente, a todos los lectores que disponen de los comandos de detención de la corriente de las antenas, estando los chips electrónicos adaptados, en cada uno de los casos anteriormente mencionados, a los lectores tanto desde el punto de vista del equipo físico como del lógico.

25

REIVINDICACIONES

1. Procedimiento de gestión coordinada de una pluralidad (12) de lectores (12a, 12b, 12c) por radiofrecuencia sin contacto de fichas (15a, 15b, 15c) con chip electrónico (16) del tipo en el cual un ciclo actual de transmisión/recepción Tx/Rx entre un lector (12a, 12b, 12c) y los chips (16) a los cuales el lector tiene acceso comprende una operación de transmisión Tx de una instrucción de comando del lector hacia los chips seguida de una operación de recepción Rx de la respuesta de los chips (16) hacia el lector (12a, 12b, 12c), a la vez que los ciclos de transmisión/recepción Tx/Rx de los lectores activos son objeto de un proceso de sincronización para así agrupar en un primer intervalo de tiempo las operaciones de transmisión Tx y agrupar en un segundo intervalo de tiempo las operaciones de recepción Rx sin solape entre los dos intervalos de tiempo, en el cual las operaciones de transmisión presentan duraciones diferentes y el agrupamiento de las operaciones de transmisión Tx es realizado de manera tal por dicho proceso de sincronización que las operaciones de transmisión Tx terminan sensiblemente en el mismo momento, destinado a ser utilizado con unos lectores que incorporan una función de detección y de gestión de las colisiones en el ámbito de las respuestas simultáneas de varios chips a una misma instrucción de comando de un ciclo Tx/Rx, **caracterizado porque** está asociado a unos medios adaptados para poner en práctica el siguiente proceso de gestión acelerada de las colisiones:
- determinación, con motivo de la detección de una colisión por discordancia entre el valor 0 ó 1 de un bit de la respuesta respecto al valor esperado para este mismo bit, de un grado «fuerte» o «débil» de la colisión en función del nivel de incertidumbre acerca del valor detectado del bit de respuesta del cual se trate;
 - tratamiento de las colisiones mediante iteración con tratamiento para la primera iteración de solamente las colisiones de grado «fuerte».
2. Procedimiento según la reivindicación 1, **caracterizado porque** el proceso de sincronización comprende:
- una etapa de recogida de los tiempos TxL de las transmisiones Tx de las instrucciones de comando de los primeros ciclos Tx/Rx en espera de los lectores activos (12a, 12b, 12c) y
 - una etapa de emisión de órdenes de ejecución a los lectores activos de las transmisiones Tx de las instrucciones de comando de los ciclos Tx/Rx escalonados en el tiempo y ordenados según los tiempos TxL decrecientes, empezando por el lector que tiene asignada la instrucción de comando del ciclo Tx/Rx con el tiempo TxL más largo, siendo la demora entre una orden de ejecución y su siguiente igual a la diferencia de los tiempos TxL de las instrucciones de comando de los ciclos Tx/Rx las cuales han de transmitir los dos lectores correspondientes, y ello hasta la orden de ejecución asociada al tiempo TxL más corto.
3. Procedimiento según la reivindicación 2, **caracterizado porque** el proceso de sincronización integra la sincronización de las instrucciones de establecimiento y/o de corte CA de la corriente de antena (13a, 13b, 13c) de uno o varios lectores de dicha pluralidad de lectores, asimilando:
- estas instrucciones CA a unas instrucciones de comando de un ciclo Tx/Rx hacia un lector activo,
 - el tiempo de la estabilización de la corriente de antena como consecuencia de la ejecución de una instrucción CA al tiempo TxL de transmisión Tx de la instrucción de comando de un ciclo Tx/Rx al lector activo, denominándose seguidamente dicho tiempo de estabilización tiempo TxL asimilado y denominándose asimismo seguidamente la instrucción CA transmisión Tx asimilada, y
 - una orden de ejecución de un comando CA a una orden de ejecución de una transmisión Tx de un ciclo Tx/Rx en el cual el tiempo de la operación Rx es nulo, denominado seguidamente ciclo Tx/Rx asimilado.
4. Procedimiento según una de las reivindicaciones 2 y 3, **caracterizado porque** los tiempos TxL, reales y/o asimilados, se materializan en múltiplos del período de la onda portadora utilizada por los lectores (12a, 12b, 12c).
5. Procedimiento según una de las reivindicaciones 2 a 4, **caracterizado porque** el proceso de sincronización se pone en práctica mediante un circuito de sincronización (20) según un ciclo de sincronización CS iniciado, bien sea por la primera solicitud de autorización de ejecución de un ciclo Tx/Rx real o asimilado, llevada a cabo por un lector a continuación de una petición de una unidad central de control (18) del lector, o bien automáticamente al final de la última operación de recepción Rx de los ciclos Tx/Rx reales correspondientes al ciclo de sincronización CS precedente o, a falta de ciclo Tx/Rx real, al final de las operaciones de transmisión Tx asimilada.
6. Procedimiento según la reivindicación 5, **caracterizado porque** en un nuevo ciclo de sincronización CS participan todos los lectores (12a, 12b, 12c) que han transmitido solicitudes de autorización de ejecución de un ciclo Tx/Rx real o asimilado desde el inicio de ejecución del ciclo de sincronización CS precedente.

7. Procedimiento según la reivindicación 6, **caracterizado porque** en el nuevo ciclo de sincronización CS participan igualmente todos los lectores activos que han participado en el ciclo de sincronización precedente.
- 5 8. Procedimiento según una de las reivindicaciones 5 a 7, **caracterizado porque** para cada ciclo de sincronización CS, la etapa de recogida de los tiempos TxL, reales y/o asimilados, se realiza para todos los NL lectores de la pluralidad (12) de lectores con determinación del número Nx de lectores para los cuales deberá emitirse una orden de ejecución de la transmisión Tx, real o asimilada, y **porque** la etapa de emisión de órdenes de ejecución de transmisión Tx es adaptada en función de Nx.
- 10 9. Procedimiento según una de las anteriores reivindicaciones, **caracterizado porque** las señales de reloj de cada lector de la pluralidad de lectores (12a, 12b, 12c) son sincronizadas a partir de una misma base de tiempos.
- 10 10. Procedimiento según la reivindicación 1, **caracterizado porque** la discriminación entre los grados «fuerte» y «débil» de las colisiones se obtiene mediante fijación para cada lector (12a, 12b, 12c) de un umbral predeterminado de compartición asociado al nivel de incertidumbre acerca del valor detectado del bit de respuesta del cual se trate.
- 15 11. Procedimiento según la reivindicación 10, **caracterizado porque** se elige el umbral de compartición de modo que se distingan las colisiones verdaderas, colisiones de grado «fuerte», resultantes de las respuestas simultáneas de varios chips (16) diferenciados, de las colisiones falsas, colisiones de grado «débil», las cuales resultan especialmente de perturbaciones electromagnéticas externas a los lectores (12a, 12b, 12c) o de perturbaciones entre lectores con antenas estrechamente próximas durante la emisión de las respuestas Rx.
- 20 12. Circuito de sincronización (20) para una pluralidad (12) de lectores por radiofrecuencia sin contacto de fichas (15a, 15b, 15c) con chip electrónico destinado a la puesta en práctica del procedimiento según una de las anteriores reivindicaciones, **caracterizado porque** incorpora una unidad de tratamiento (22) de microprocesador adaptada para realizar la ejecución del proceso de sincronización, estando asociada la unidad de tratamiento a un circuito de interfaz (24) destinado a ser debidamente conectado con cada uno de los lectores (12a, 12b, 12c) de dicha pluralidad (12) de lectores.
- 25 13. Circuito de sincronización (20) según la reivindicación 12, **caracterizado porque** el circuito de interfaz (24) incorpora unos medios de demultiplexación entre las líneas de transmisión de datos a partir de los lectores.
- 30 14. Circuito de sincronización (20) según una de las reivindicaciones 12 y 13, **caracterizado porque** el circuito de interfaz (24) incorpora unos medios para suministrar a los lectores (12a, 12b, 12c) unas señales de reloj sincronizadas a partir de la base de tiempos de dicha unidad de tratamiento (22).
- 35 15. Lector (12a, 12b, 12c) por radiofrecuencia sin contacto de fichas (15a, 15b, 15c) con chip electrónico (16) adaptado para la puesta en práctica del procedimiento según una de las reivindicaciones 1 a 11 en asociación con un circuito de sincronización (20) según una de las reivindicaciones 12 a 14, **caracterizado porque** dispone de o incorpora unos medios físicos y lógicos que, en el seno de una pluralidad (12) de lectores, le permiten realizar la ejecución del proceso de sincronización, la gestión coordinada de los ciclos de lectura y/o de escritura Tx/Rx, especialmente en su variante con control de los cortes y/o restablecimiento de la corriente de antena (13a, 13b, 13c) y/o en su variante con puesta en práctica del proceso de gestión acelerada de las colisiones.
- 40 16. Lector (12a, 12b, 12c) por radiofrecuencia sin contacto de fichas (15a, 15b, 15c) con chip electrónico (16) adaptado para la puesta en práctica del procedimiento según una de las reivindicaciones 1 a 11 en asociación con un circuito de sincronización (20) según una de las reivindicaciones 12 a 14, **caracterizado porque** incorpora unos medios de conmutación (28) de las señales de reloj para oscilar de una base de tiempos interna hacia la base de tiempos de dicha unidad de tratamiento (22).
- 45 17. Sistema (10) de lectura y/o escritura por radiofrecuencia sin contacto de fichas (15a, 15b, 15c) con chip electrónico (16) destinado a ser utilizado con puesta en práctica del procedimiento según una de las reivindicaciones 1 a 11, **caracterizado porque** incorpora una pluralidad (12) de lectores según una de las reivindicaciones 15 y 16 conectados a un circuito de sincronización (20) según una de las reivindicaciones 12 a 14 y gestionada por una unidad central de control (18) con microprocesador.
- 50 18. Sistema (10) de lectura y/o escritura por radiofrecuencia sin contacto de fichas (15a, 15b, 15c) con chip electrónico (16) destinado a ser utilizado con puesta en práctica del procedimiento según una de las reivindicaciones 1 a 11, **caracterizado porque** incorpora una pluralidad (12) de lectores según la reivindicación 15 con adaptación de la señal de reloj y sincronizados mediante la base de tiempos de un circuito de sincronización (20) según la reivindicación 14.

FIG. 1

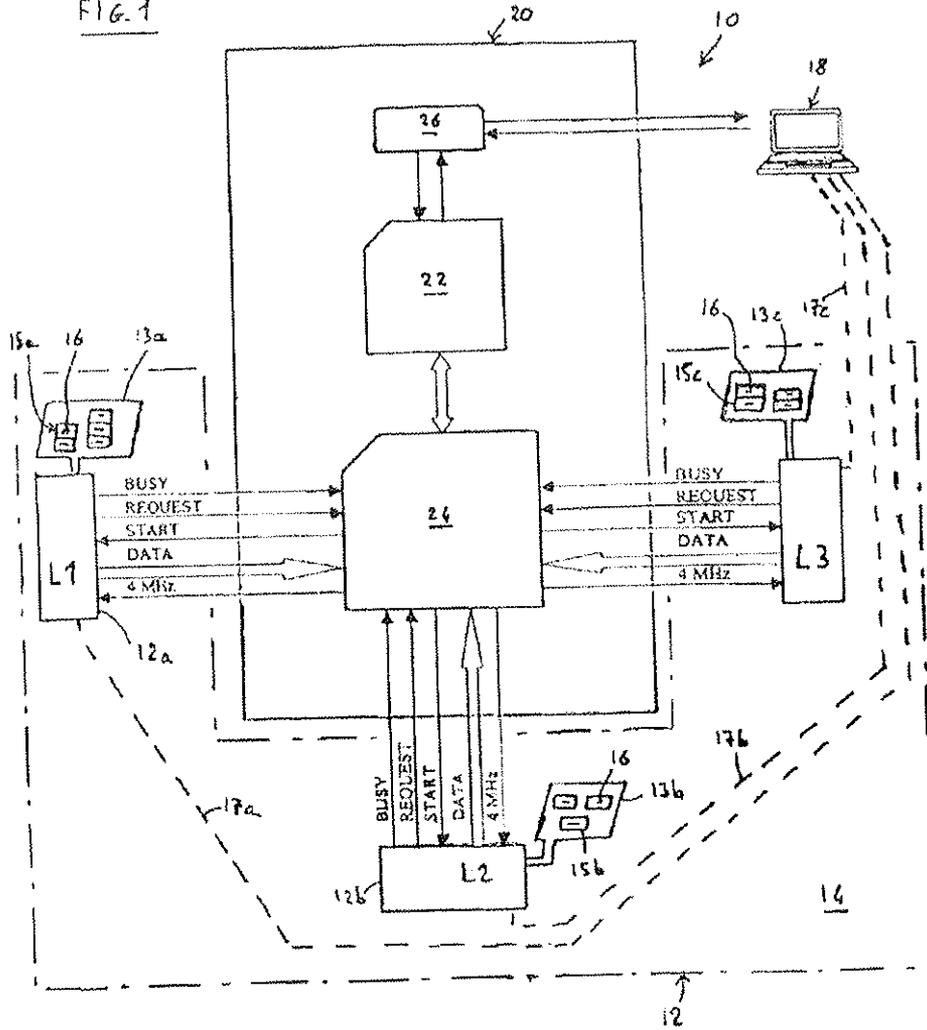
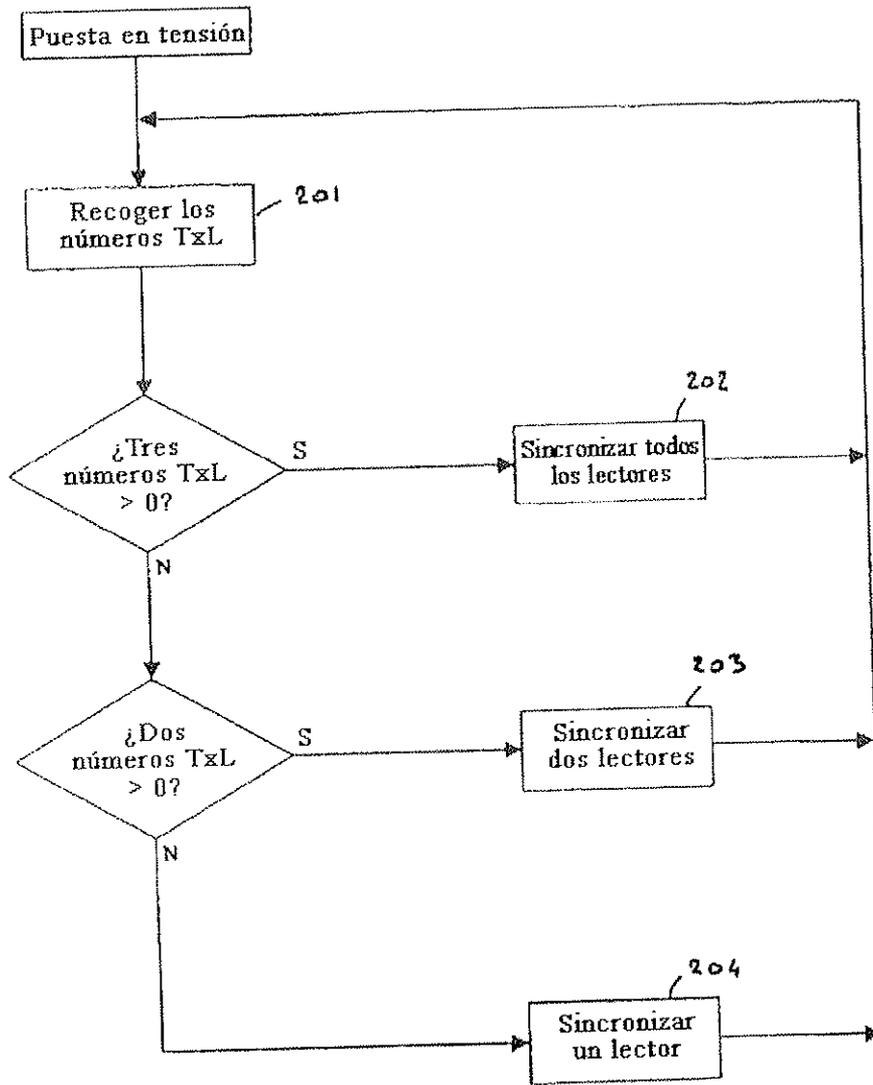


FIG. 2



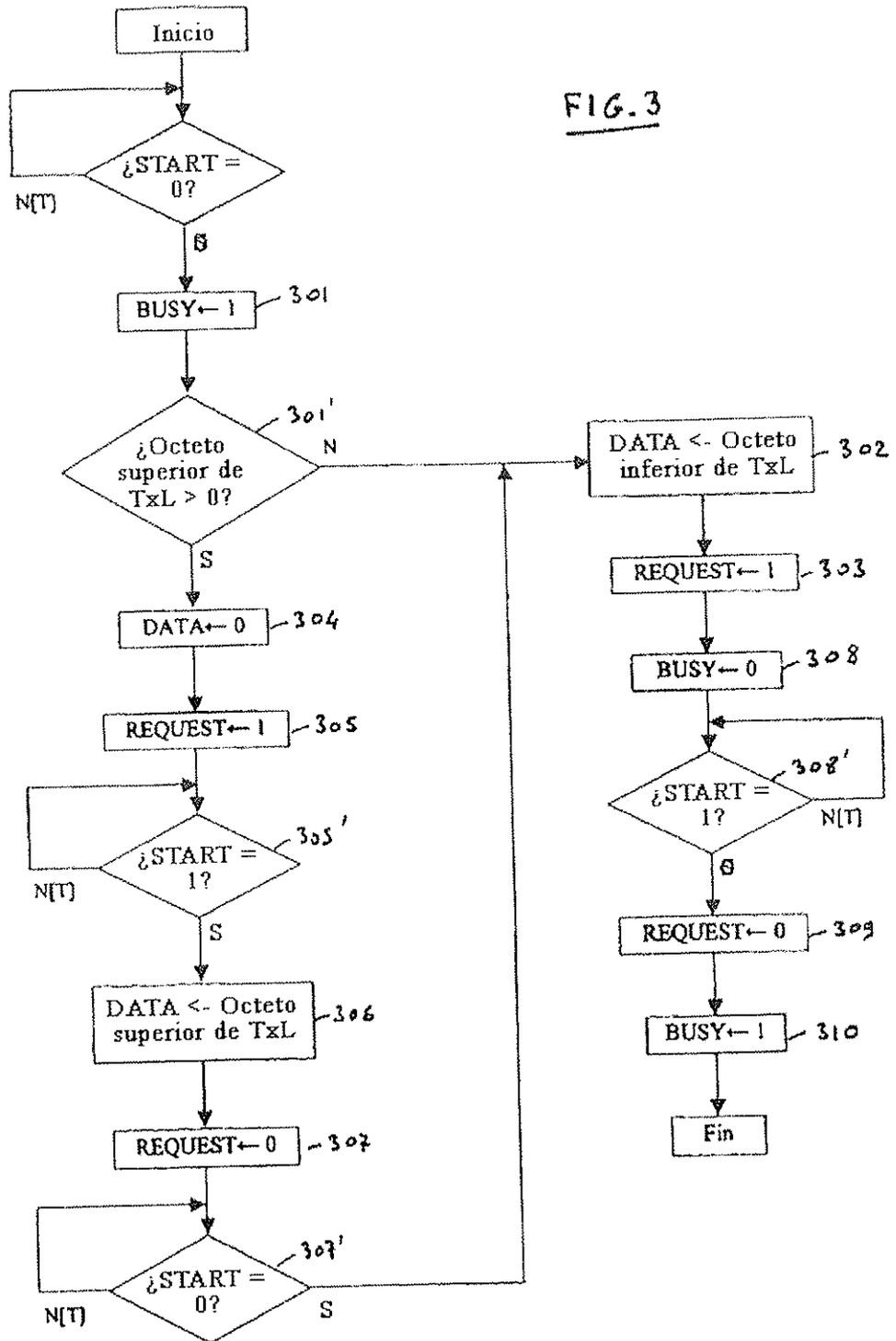
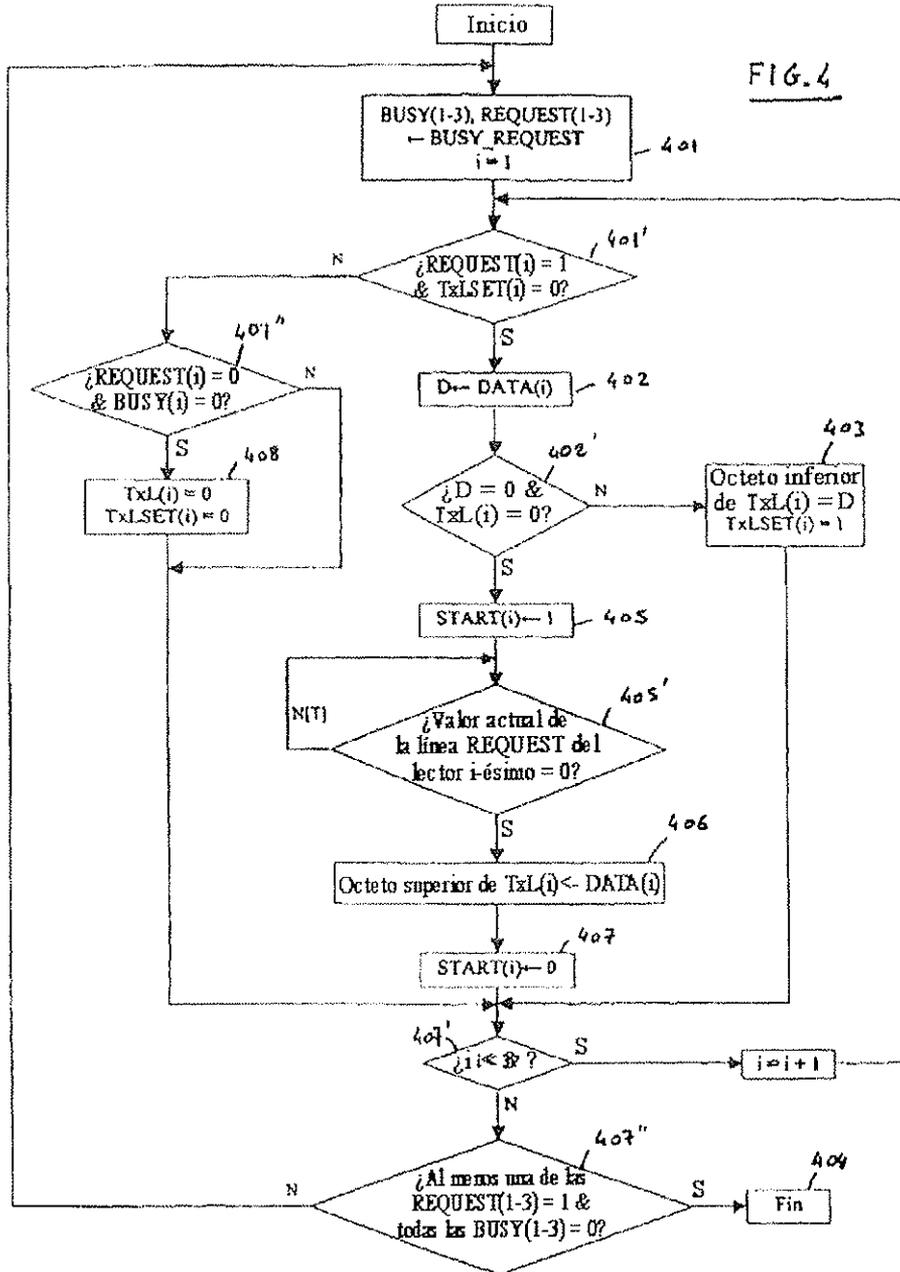
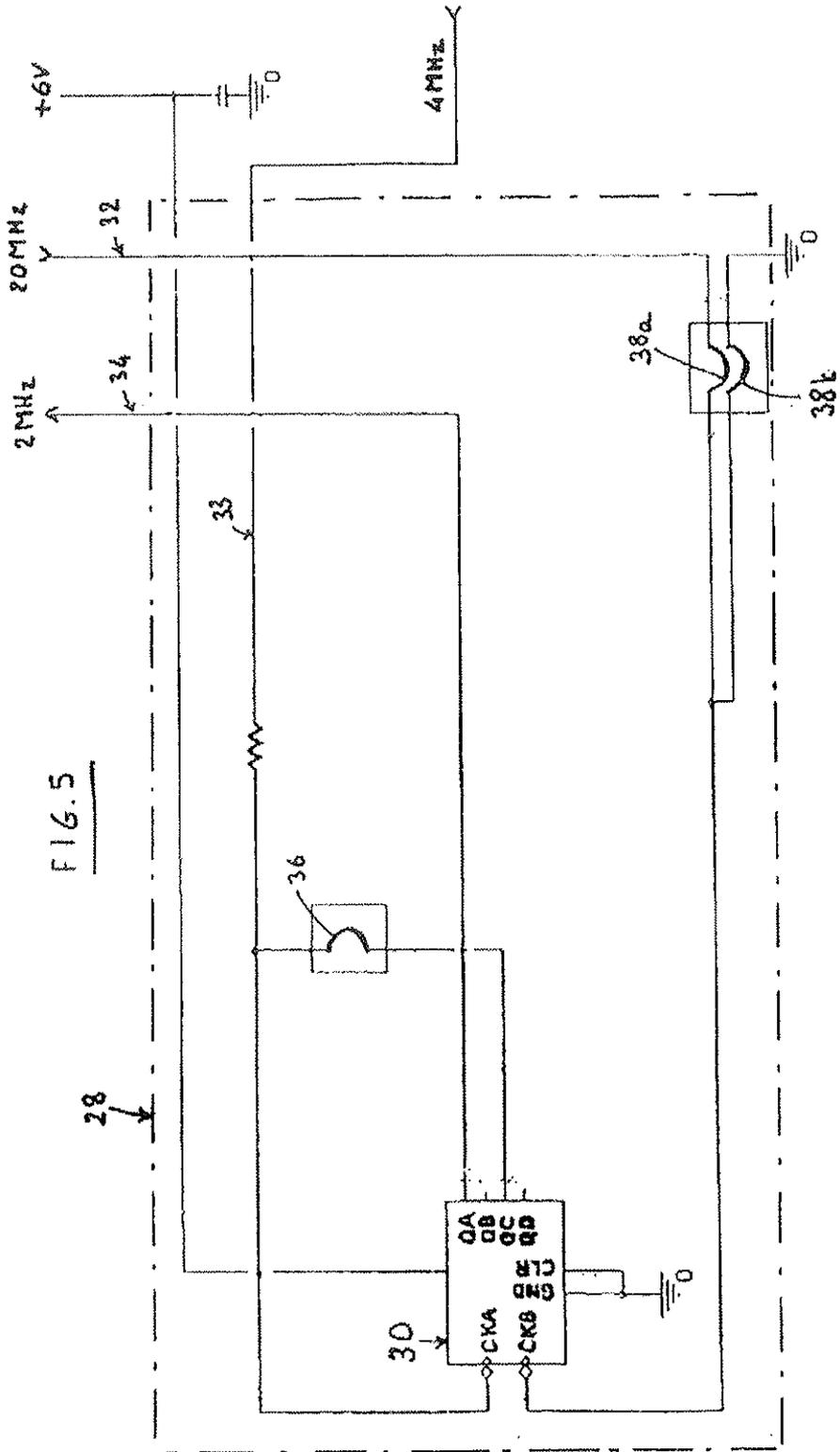


FIG. 4





DOCUMENTOS INDICADOS EN LA DESCRIPCIÓN

En la lista de documentos indicados por el solicitante se ha recogido exclusivamente para información del lector, y no es parte constituyente del documento de patente europeo. Ha sido recopilada con el mayor cuidado; sin embargo, la EPA no asume ninguna responsabilidad por posibles errores u omisiones.

5 Documentos de patente indicados en la descripción

- US 5646607 A [0006]