

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 426 409**

51 Int. Cl.:

H04L 12/54 (2013.01)

G06F 3/14 (2006.01)

G09G 5/00 (2006.01)

H04N 7/173 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **31.10.2008 E 11184046 (8)**

97 Fecha y número de publicación de la concesión europea: **05.06.2013 EP 2421262**

54 Título: **Dispositivo de recepción de señal de vídeo y sistema de transmisión de señal de vídeo**

30 Prioridad:

30.11.2007 JP 2007311150

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

23.10.2013

73 Titular/es:

**THINE ELECTRONICS, INC. (100.0%)
9-1 Kanda-mitoshiro-cho, Chiyoda-ku
Tokyo 101-0053, JP**

72 Inventor/es:

OZAWA, SEIICHI

74 Agente/Representante:

PÉREZ BARQUÍN, Eliana

ES 2 426 409 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de recepción de señal de vídeo y sistema de transmisión de señal de vídeo

5 **Campo técnico**

La presente invención se refiere a un dispositivo de transmisión de señal de vídeo, a un dispositivo de recepción de señal de vídeo y a un sistema de transmisión de señal de vídeo que usa el dispositivo de transmisión de señal de vídeo y el dispositivo de recepción de señal de vídeo.

10

Antecedentes de la técnica

Se conoce un sistema de transmisión de señal de vídeo que transmite señales de vídeo a una LCD (pantalla de cristal líquido) o a un PDP (panel de pantalla de plasma). En este tipo de sistema de transmisión de señal de vídeo se transmiten una pluralidad de señales, tales como una señal de vídeo para cada uno de RGB, señal de habilitación de datos y señal de sincronización, entre el dispositivo de transmisión de señal de vídeo y el dispositivo de recepción de señal de vídeo.

15

De manera convencional, se usa generalmente una línea de señales para cada señal entre el dispositivo de transmisión de señal de vídeo y el dispositivo de recepción de señal de vídeo. Con este método, sin embargo, aumenta el número de líneas de señales físicas. Para resolver este problema, el documento de patente 1 propone una configuración para disminuir el número de líneas de señales multiplexando una pluralidad de datos y relojes. Ejemplos adicionales de sistemas de transmisión de vídeo se dan a conocer en los documentos de patente 2 y 3 y el documento no de patente 1.

20

25

Documento de patente 1: solicitud de patente japonesa abierta a consulta por el público n.º 2005-142872

Documento de patente 2: EP 1 736 867 A2.

30

Documento de patente 3: EP 1 473 695 A2.

Documento no de patente 1: "High-Definition Multimedia Interface Specification Version 1.3a" XP009096686.

Divulgación de la invención

35

Problema que va a resolver la invención

Una señal de vídeo y una señal de sincronización pueden empaquetarse en el sistema de transmisión de señal de vídeo. Además, en el sistema de transmisión de señal de vídeo, el número de bytes de un paquete para cada píxel puede diferir dependiendo del número de bits de gradación de la señal de vídeo. Sin embargo, el sistema de transmisión de señal de vídeo según el documento de patente 1 no puede soportar un cambio en el número de bytes de un paquete para cada píxel de una señal de vídeo, es decir, un cambio en el número de bits de gradación de una señal de vídeo.

40

45

Teniendo en mente lo anterior, un objeto de la presente invención es proporcionar un dispositivo de transmisión de señal de vídeo, un dispositivo de recepción de señal de vídeo y un sistema de transmisión de señal de vídeo, que puedan disminuir el número de líneas de señales y puedan soportar el cambio en el número de bits de escala de grises de la señal de vídeo.

50

Medios para resolver el problema

Un dispositivo de recepción de señal de vídeo de la presente invención es un dispositivo de recepción de señal de vídeo para recibir una señal de paquete en serie, comprendiendo el dispositivo de recepción de señal de vídeo (a) un deserializador que regenera una pluralidad de señales de paquete codificadas mediante una conversión serie-paralelo de la señal de paquete en serie, (b) una unidad de decodificación que regenera una pluralidad de señales de paquete decodificando la pluralidad de señales de paquete codificadas procedentes del deserializador y (c) un desempaquetador que regenera una señal de vídeo, una señal de sincronización y una señal de habilitación de datos desempaquetando la pluralidad de señales de paquete procedentes de la unidad de decodificación, caracterizado porque (d) la unidad de decodificación regenera una señal de control que incluye un impulso con una anchura de impulso que corresponde a un periodo de una parte de la pluralidad de señales de paquete codificadas, que es una parte en la que se ha realizado un proceso de codificación que es diferente de un proceso para la otra parte y (e) el desempaquetador determina el número de bytes de un paquete basándose en la anchura de impulso del impulso en la señal de control procedente de la unidad de decodificación y desempaqueta la pluralidad de señales de paquete según el número de bytes del paquete.

55

60

65

Según este dispositivo de recepción de señal de vídeo, una unidad de decodificación regenera una señal de control

que incluye un impulso con una anchura de impulso que corresponde a un periodo de una parte de una pluralidad de señales de paquete codificadas en la que se ha realizado un proceso de codificación que es diferente del proceso para la otra parte. Tal como se mencionó anteriormente, la anchura de impulso del impulso en esta señal de control corresponde al número de bytes del paquete, de modo que el desempaquetador puede determinar el número de bytes de un paquete, es decir, el número de bits de gradación de la señal de vídeo, mediante la anchura de impulso del impulso en la señal de control, y la pluralidad de señales de paquete se desempaquetan según el número de bytes de este paquete. Como resultado, el dispositivo de recepción de señal de vídeo puede regenerar apropiadamente la señal de vídeo, incluso aunque el número de bits de gradación de la señal de vídeo cambie y el número de bytes de un paquete para cada píxel de las señales de vídeo sea diferente en el dispositivo de transmisión de señal de vídeo.

Además, según el dispositivo de recepción de señal de vídeo, la señal de recepción se convierte serie-paralelo mediante el deserializador, de modo que puede disminuirse el número de líneas de señales.

La unidad de decodificación tiene (a) un decodificador que regenera una pluralidad de señales de paquete aleatorizadas decodificando la pluralidad de señales de paquete codificadas procedentes del deserializador y (b) un desaleatorizador que regenera la pluralidad de señales de paquete desaleatorizando la pluralidad de señales de paquete aleatorizadas procedentes del decodificador, (c) el decodificador regenera la señal de control que incluye un impulso con una anchura de impulso que corresponde a un periodo de una parte de la pluralidad de señales de paquete codificadas en la que se ha realizado un proceso de codificación que es diferente de un proceso para la otra parte y (d) el desaleatorizador no desaleatoriza una parte de las señales de paquete que corresponde a un periodo en el que existe el impulso de la señal de control.

Según este dispositivo de recepción de señal de vídeo, el desaleatorizador no aleatoriza una parte de señales de paquete que corresponde al periodo en el que existe el impulso de la señal de control, de modo que el número de bytes de un paquete, es decir, el número de bits de gradación de la señal de vídeo, puede determinarse apropiadamente mediante la señal de control.

Un sistema de transmisión de señal de vídeo de la presente invención tiene el dispositivo de recepción de señal de vídeo mencionado anteriormente y un dispositivo de transmisión de señal de vídeo que comprende (a) un empaquetador que recibe una señal de vídeo, una señal de sincronización y una señal de habilitación de datos, y genera una pluralidad de señales de paquete empaquetando la señal de vídeo y la señal de sincronización basándose en la señal de habilitación de datos y según el número de bytes de un paquete que corresponde al número de bits de gradación de la señal de vídeo, (b) una unidad de codificación que genera una pluralidad de señales de paquete codificadas codificando la pluralidad de señales de paquete procedentes del empaquetador y (c) un serializador que genera una señal de paquete en serie mediante una conversión paralelo-serie de la pluralidad de señales de paquete codificadas procedentes de la unidad de codificación, (d) generando el empaquetador una señal de control que incluye un impulso con una anchura de impulso que corresponde al número de bytes del paquete y (e) la unidad de codificación somete una parte de las señales de paquete que corresponde a un periodo en el que existe el impulso en la señal de control procedente del empaquetador, a un proceso de codificación que es diferente de un proceso para la otra parte..

Según este sistema de transmisión de señal de vídeo, incluso aunque el número de bits de gradación de la señal de vídeo cambie, el dispositivo de transmisión de señal de vídeo puede hacer que el número de bytes de un paquete sea diferente para cada píxel para la señal de vídeo, y el dispositivo de recepción de señal de vídeo puede determinar el número de bytes de un paquete para cada píxel de la señal de vídeo y regenerar apropiadamente la señal de vídeo, por tanto la señal de vídeo puede transmitirse y recibirse apropiadamente.

Además, según el sistema de transmisión de señal de vídeo, la señal de transmisión se convierte paralelo-serie mediante el serializador en el dispositivo de transmisión de señal de vídeo, y la señal de recepción se convierte serie-paralelo mediante el deserializador en el dispositivo de recepción de señal de vídeo, de modo que puede disminuirse el número de líneas de señales.

Además, según este sistema de transmisión de señal de vídeo, la señal de control puede regenerarse apropiadamente incluso aunque la señal está aleatorizada, y el número de bytes del paquete, es decir, el número de bits de gradación de la señal de vídeo, puede determinarse apropiadamente mediante la señal de control regenerada.

Efecto de la invención

Según la presente invención pueden proporcionarse un dispositivo de transmisión de señal de vídeo, un dispositivo de recepción de señal de vídeo y un sistema de transmisión de señal de vídeo, que requieren menos líneas de señales y pueden soportar cambios del número de bits de gradación de las señales de vídeo.

Breve descripción de los dibujos

La figura 1 es un diagrama de bloques de circuito que representa una configuración de un sistema de transmisión de señal de vídeo según una realización de la presente invención;

5 la figura 2 es un diagrama de bloques de circuito que representa una configuración de un dispositivo de transmisión de señal de vídeo según una realización de la presente invención;

la figura 3 es un diagrama de tiempo que representa una señal de cada unidad en el dispositivo de transmisión de señal de vídeo mostrado en la figura 2;

10 la figura 4 es un diagrama de bloques de circuito que representa una configuración de un empaquetador según una realización de la presente invención;

15 la figura 5 es un diagrama de tiempo que representa una señal de cada unidad en el empaquetador mostrado en la figura 4;

la figura 6 es un diagrama de bloques de circuito que representa una configuración de un dispositivo de recepción de señal de vídeo según una realización de la presente invención;

20 la figura 7 es un diagrama de tiempo que representa una señal de cada unidad en el dispositivo de recepción de señal de vídeo mostrado en la figura 6;

la figura 8 es un diagrama actual de bloques que representa una configuración de un desempaquetador según una realización de la presente invención;

25 la figura 9 es un diagrama de tiempo que representa una señal de cada unidad en el desempaquetador mostrado en la figura 8;

30 la figura 10 es un diagrama de bloques de circuito que representa una configuración de un desempaquetador según una forma alternativa de la presente invención; y

la figura 11 es un diagrama de tiempo que representa una señal de cada unidad en el desempaquetador mostrado en la figura 10.

Explicación de los números de referencia

- 35 1 sistema de transmisión de señal de vídeo
10 dispositivo de transmisión de señal de vídeo
- 40 11 empaquetador
12 aleatorizador
13 codificador
- 45 14 serializador
15 unidad de codificación
- 50 20 dispositivo de recepción de señal de vídeo
21 deserializador
22 decodificador
- 55 23 desaleatorizador
24, 24A desempaquetador
- 60 25 unidad de decodificación
31, 32, 35, 36 FF
- 65 33 selector de patrones
34, 41 selector

37 a 40 codificador

42 MUX

5

51 detector de tamaño de paquete

52 DEMUX

10

53 decodificador de patrones

54 decodificador de píxeles

55 decodificador de sincronización

15

Mejor modo de llevar a cabo la invención

Las realizaciones preferidas de la presente invención se describirán a continuación en detalle con referencia a los dibujos. En cada dibujo, una parte idéntica o similar se indica con un número de referencia idéntico.

20

La figura 1 es un diagrama de bloques de circuito que representa una configuración de un sistema de transmisión de señal de vídeo según una realización de la presente invención. El sistema 1 de transmisión de señal de vídeo mostrado en la figura 1 tiene un dispositivo 10 de transmisión de señal de vídeo (Transmisor) y un dispositivo 20 de recepción de señal de vídeo (Receptor).

25

El dispositivo 10 de transmisión de señal de vídeo recibe una señal de vídeo (R/G/B_In) para cada RGB, una señal de sincronización (SYNC_In), una señal de habilitación de datos (DE_In) y un reloj de píxeles (Pixel Clock_In), las empaqueta, luego envía una señal de paquete en serie convertida paralelo-serie (Datos en serie). Más adelante se describirán detalles acerca del dispositivo 10 de transmisión de señal de vídeo.

30

El dispositivo 20 de recepción de señal de vídeo recibe la señal de paquete en serie procedente del dispositivo 10 de transmisión de señal de vídeo, la convierte serie-paralelo, luego la desempaqueta para regenerar una señal de vídeo (R/G/B_Out) para cada RGB, una señal de sincronización (SYNC_Out), una señal de habilitación de datos (DE_Out) y un reloj de píxeles (Pixel Clock_Out). Más adelante se describirán detalles acerca de la unidad 20 de recepción de señal de vídeo.

35

A continuación se describirá el dispositivo 10 de transmisión de señal de vídeo en detalle. La figura 2 es un diagrama de bloques de circuito que representa una configuración del dispositivo de transmisión de señal de vídeo según una realización de la presente invención, y la figura 3 es un diagrama de tiempo que representa una señal de cada unidad del dispositivo de transmisión de señal de vídeo mostrado en la figura 2. El dispositivo 10 de transmisión de señal de vídeo (Transmisor) mostrado en la figura 2 tiene un empaquetador 11, un aleatorizador 12, un codificador 13 y un serializador 14. El aleatorizador 12 y el codificador 13 constituyen una unidad 15 de codificación.

40

El empaquetador 11 recibe los valores establecidos de la señal de vídeo (R/G/B_In) para cada RGB, la señal de sincronización (SYNC_In), la señal de habilitación de datos (DE_In), el reloj de píxeles (Pixel Clock_In) y el número de bytes del paquete N (figuras 3(a) a (d)). En este caso, el valor establecido del número de bytes del paquete N es un valor que está predeterminado en asociación con el número de bits de gradación de la señal de vídeo.

45

El empaquetador 11 genera una señal de control (D/K) basándose en la señal de habilitación de datos (figura 3(f)), y también genera un reloj de bytes (Byte Clock), que es un reloj de píxeles multiplicado por N según el valor establecido del número de bytes N de un paquete (figura 3(g)). La señal de control en este caso es una señal que incluye un impulso K con una anchura de impulso que corresponde al número de bytes N de un paquete, y se describirá en detalle más adelante.

50

El empaquetador 11 empaqueta la señal de vídeo y la señal de sincronización basándose en el reloj de bytes, y genera una señal(es) de paquete de 8 bits (es decir 8 en paralelo) (Paquete) (figura 3(h)). Tal como se mencionó anteriormente, el reloj de bytes es un reloj de píxeles multiplicado por N, y este valor N es el número de bytes de un paquete, por tanto el empaquetador 11 empaqueta una señal de vídeo y una señal de sincronización con el número de bytes N de un paquete que corresponde al número de bits de gradación de la señal de vídeo. El empaquetador 11 se describirá en detalle más adelante. El empaquetador 11 emite esta señal de paquete de 8 bits, la señal de control y el reloj de bytes al aleatorizador 12.

55

60

El aleatorizador 12 tiene un generador de números aleatorios, y aleatoriza la señal de paquete de 8 bits basándose en el reloj de bytes, usando un número aleatorio del generador de números aleatorios, para generar una señal de paquete aleatorizada de 8 bits (Paquete aleatorizado) (figura 3(i)). En este caso, el aleatorizador 12 no aleatoriza una parte A de las señales de paquete que corresponde al periodo en el que existe el impulso K de la señal de

65

control. El aleatorizador 12 emite la señal de paquete aleatorizada de 8 bits y la señal de control al codificador 13.

El codificador 13 codifica la señal de paquete aleatorizada basándose en el reloj de bytes, para generar una señal de paquete codificada (Paquete codificado) (figura 3(j)). En este momento, el codificador 13 codifica la parte de las señales de paquete aleatorizadas que corresponde a un periodo en el que existe el impulso D de la señal de control, según un mapeo de D, y codifica una parte A de las señales de paquete aleatorizadas que corresponde al periodo en el que existe el impulso K de la señal de control según un mapeo de K, que es diferente del mapeo de D. El codificador 13 es un codificador 8b10b, por ejemplo, y genera señales de paquete codificadas de 10 bits a partir de una señal de paquete aleatorizada de 8 bits. El codificador 13 emite estas señales de paquete codificadas al serializador 14.

El serializador 14 genera un reloj, es decir, un reloj de bytes multiplicado por 10. Basándose en este reloj, el serializador 14 convierte paralelo-serie una señal de paquete codificada de 10 bits para generar una señal de paquete en serie de 1 bit (Datos en serie) (figura 3(k)).

A continuación se describirá el empaquetador 11 en detalle. La figura 4 es un diagrama de bloques de circuito que representa una configuración del empaquetador según una realización de la presente invención, y la figura 5 es un diagrama de tiempo que representa una señal de cada unidad del empaquetador mostrado en la figura 4. El empaquetador 11 mostrado en la figura 4 tiene FF (Biestable) 31, 32, un selector de patrones (Selector de patrones) 33, un selector 34, FF 35, 36, codificadores (ENC0 a ENC3) 37, 38, 39, 40, un selector 41 y un MUX (Multiplexador) 42.

Los FF 31 y 32 están conectados en serie, y retardan las señales que van a introducirse respectivamente. El FF 31 recibe una señal de habilitación de datos (DE_In), la retarda en 1 ciclo del reloj de píxeles, por ejemplo, y la emite al FF 32. De la misma manera, el FF 32 retarda la señal emitida procedente del FF 31 en 1 ciclo del reloj de píxeles, por ejemplo. Las señales de habilitación de datos que se han retardado en 1 ciclo y 2 ciclos del reloj de píxeles respectivamente mediante los FF 31 y 32, y la señal de habilitación de datos original, se introducen al selector 33 de patrones.

El selector 33 de patrones detecta un sincronismo de transición de subida y un sincronismo de transición de caída de la señal de habilitación de datos usando la señal de habilitación de datos, la señal de habilitación de datos retardada en 1 ciclo del reloj de píxeles y el reloj de habilitación de datos retardado en 2 ciclos del reloj de píxeles, para generar una señal de selección de patrones (Selección de patrones) (figura 5(e)).

Por ejemplo, el selector 33 de patrones detecta el sincronismo de transición de subida y la transición de caída de la señal de habilitación de datos, genera una señal de selección de patrones que indica "activo" desde este sincronismo de transición de subida al sincronismo de transición de caída, y genera una señal de selección de patrones que indica "en blanco" desde el sincronismo de transición de caída al sincronismo de transición de subida. En términos concretos, el selector 33 de patrones genera una señal de selección de patrones que indica un inicio de espacio en blanco (BS) para un píxel desde el sincronismo de transición de caída, indica un final de espacio en blanco (BE) para un píxel antes del sincronismo de transición de subida e indica un espacio en blanco (BP) entre el inicio de espacio en blanco y el final de espacio en blanco. El selector 33 de patrones suministra esta señal de selección de patrones a los selectores 34 y 41.

El selector 34 recibe dos señales D (por ejemplo señales de nivel BAJO) y dos señales K (por ejemplo señales de nivel ALTO). El selector 34 genera una señal de control (D/K) basándose en la señal de selección de patrones (figura 5(f)). Por ejemplo, el selector 34 selecciona la señal D mientras la señal de selección de patrones indica activo o espacio en blanco (BP) y selecciona la señal K mientras la señal de selección de patrones indica inicio de espacio en blanco (BS) o final de espacio en blanco (BE). En este caso, un píxel del reloj de píxeles corresponde al número de bytes de un paquete N, es decir, el número de bits de gradación de la señal de vídeo, de modo que el selector 34 genera una señal de control que incluye el impulso D y el impulso K. El selector 34 emite esta señal de control al MUX 42.

Los FF 35 y 36, por otro lado, hacen coincidir el sincronismo de la señal de vídeo (R/G/B_In) y la señal de sincronización (SYNC_In) basándose en el reloj de píxeles, por ejemplo, y las emite a los codificadores 37 a 40.

El codificador 37 codifica la señal de vídeo, cuyo sincronismo se hace coincidir mediante FF 35 y la emite al selector 41. De la misma manera, los codificadores 38 a 40 codifican la señal de sincronización, cuyo sincronismo se hace coincidir mediante FF 36 y la emite al selector 41 respectivamente.

El selector 41 genera una señal combinada de 8 x N bits combinando las señales emitidas de los codificadores 37 a 40, basándose en la señal de selección de patrones. Por ejemplo, el selector 41 selecciona y emite la señal de vídeo codificada por el codificador 37, mientras la señal de selección de patrones indica activo, y selecciona y emite la señal de sincronización (Inicio de espacio en blanco) codificada por el codificador 38 mientras [la señal de selección de patrones] indica inicio de espacio en blanco. El selector 41 también selecciona y emite la señal de sincronización (Espacio en blanco) codificada por el codificador 39 mientras la señal de selección de patrones indica espacio en

blanco, y selecciona y emite la señal de sincronización (Final de espacio en blanco) codificada por el codificador 40 mientras [la señal de selección de patrones] indica final de espacio en blanco. El selector 41 emite una señal combinada de $8 \times N$ bits generada de esta manera al MUX 42.

5 En el MUX 42, se introduce el reloj de píxeles y también se introduce de antemano un valor establecido del número de bytes del paquete N. Según este valor establecido, el MUX 42 genera un reloj de bytes, que es una señal de reloj de píxeles multiplicada por N (figura 5(g)). El MUX 42 multiplica la señal procedente del selector 41 por N usando este reloj de bytes, para generar una señal de paquete de 8 bytes (figura 5(h)). El MUX 42 también emite la señal de control y el reloj de bytes procedentes del selector 34.

10 De esta manera, según el dispositivo 10 de transmisión de señal de vídeo de la presente realización, la unidad 15 de codificación (codificador 13 en la presente realización) somete una parte de señales de paquete (señales de paquete aleatorizadas después del procesamiento de aleatorización en la presente realización) que corresponde a un periodo en el que existe el impulso en la señal de control procedente del empaquetador 11, a un proceso de codificación que es diferente de un proceso para la otra parte, de modo que el dispositivo 20 de recepción de señal de vídeo complementario puede regenerar la señal de control durante la decodificación. Esta señal de control incluye un impulso, y la anchura de impulso de este impulso corresponde al número de bytes del paquete, de modo que el dispositivo 20 de recepción de señal de vídeo complementario puede determinar el número de bytes de un paquete, es decir, el número de bits de gradación de la señal de vídeo, mediante la anchura de impulso del impulso en la señal de control regenerada. Como resultado, el dispositivo 20 de recepción de señal de vídeo complementario puede regenerar apropiadamente la señal de vídeo, incluso aunque el número de bits de gradación de la señal de vídeo cambie, y el número de bytes de un paquete cambie en el dispositivo 10 de transmisión de señal de vídeo.

25 En particular, se espera en el futuro un aumento en el número de bits de gradación de una señal de vídeo, pero según este dispositivo 10 de transmisión de señal de vídeo, puede soportarse el aumento en el número de bits de gradación de una señal de vídeo.

Además, según el dispositivo 10 de transmisión de señal de vídeo, la señal de transmisión se convierte paralelo-serie mediante el serializador 14, de modo que puede disminuirse el número de líneas de señales.

30 Además, según el dispositivo 10 de transmisión de señal de vídeo, incluso aunque la señal esté aleatorizada, el aleatorizador 12 no aleatoriza una parte de las señales de paquete que corresponde al periodo en el que existe el impulso de la señal de control, por tanto el dispositivo 20 de recepción de señal de vídeo, que es complementario al dispositivo 10 de transmisión de señal de vídeo y recibe la señal desde este dispositivo de transmisión, puede regenerar apropiadamente la señal de control, y puede determinar apropiadamente el número de bytes de los paquetes, es decir, el número de bits de gradación de la señal de vídeo, basándose en la señal de control regenerada.

40 A continuación se describirá el dispositivo 20 de recepción de señal de vídeo en detalle. La figura 6 es un diagrama de bloques de circuito que representa el dispositivo de recepción de señal de vídeo según una realización de la presente invención, y la figura 7 es un diagrama de tiempo que representa una señal de cada unidad del dispositivo de recepción de señal de vídeo mostrado en la figura 6. El dispositivo 20 de recepción de señal de vídeo mostrado en la figura 6 tiene un deserializador 21, un decodificador 22, un desaleatorizador 23 y un desempaquetador 24. El decodificador 22 y el desaleatorizador 23 constituyen una unidad 25 de decodificación.

45 El deserializador 21 recibe una señal de paquete en serie (Datos en serie) desde el dispositivo 10 de transmisión de señal de vídeo (figura 7(a)). El deserializador 21 tiene una CDR (Recuperación de datos de reloj), por ejemplo, y regenera un reloj, que es un reloj de bytes multiplicado por 10, a partir de la señal de paquete en serie. Basándose en este reloj, el deserializador 21 convierte serie-paralelo la señal de paquete en serie de 1 bit, y regenera la señal de paquete codificada de 10 bits (Paquete codificado) (figura 7(b)). El deserializador 21 emite la señal de paquete codificada al decodificador 22. El deserializador 21 regenera un reloj de bytes, que es este reloj dividido entre 10 (figura 7(c)).

55 El decodificador 22 decodifica la señal de paquete codificada basándose en el reloj de bytes, para regenerar la señal de paquete aleatorizada (Paquete aleatorizado) (figura 7(d)). Si la señal de paquete codificada corresponde al mapeo de D en este momento, el decodificador 22 realiza la decodificación basándose en el mapeo de D, y si corresponde al mapeo de K, el decodificador 22 realiza la decodificación basándose en el mapeo de K. El decodificador 22 es un decodificador 10b8b, por ejemplo, y genera una señal de paquete aleatorizada de 8 bits a partir una señal de paquete codificada de 10 bits. Si la señal de paquete codificada corresponde al mapeo de D, el decodificador 22 emite un impulso D, y si corresponde al mapeo de K, el decodificador 22 emite un impulso K, mediante lo cual la señal de control se regenera (figura 7(e)). El decodificador 22 emite la señal de paquete aleatorizada de 8 bits y la señal de control al desaleatorizador 23.

65 El desaleatorizador 23 tiene un generador de números aleatorios que corresponde al generador de números aleatorios del aleatorizador 12. Este generador de números aleatorios se restablece basándose en la información incluida en una señal de paquete aleatorizada, y genera un número aleatorio que se sincroniza con el generador de

números aleatorios del aleatorizador 12. Usando el número aleatorio de este generador de números aleatorios, el desaleatorizador 23 desaleatoriza la señal de paquete aleatorizada de 8 bits basándose en el reloj de bytes, para generar la señal de paquete de 8 bits (figura 7(f)). En este caso, el desaleatorizador 23 no desaleatoriza una parte A de las señales de paquete aleatorizadas que corresponde al periodo en el que existe el impulso K de la señal de control. El desaleatorizador 23 emite la señal de paquete de 8 bits y la señal de control al desempaquetador 24.

El desempaquetador 24 determina el número de bytes N basándose en la señal de control. El desempaquetador 24 divide el reloj de bytes entre N según este número de bytes N del paquete, para regenerar el reloj de píxeles (Pixel Clock_Out) (figura 7(g)). Basándose en este reloj de píxeles, el desempaquetador 24 desempaqueta la señal de paquete de 8 bits, para regenerar la señal de vídeo (R/G/B_Out) para cada RGB, la señal de sincronización (SYNC_Out) y la señal de habilitación de datos (DE_Out) (figuras 7(h) a (j)).

A continuación se describirá el desempaquetador 24. La figura 8 es un diagrama de bloques de circuito que representa una configuración del desempaquetador según una realización de la presente invención, y la figura 9 es un diagrama de tiempo que representa una señal de cada unidad del desempaquetador en la figura 8. El desempaquetador 24 mostrado en la figura 8 tiene un detector 51 de tamaño de paquete (Detector de tamaño de paquete), un DEMUX (Demultiplexador) 52, un decodificador 53 de patrones (Decodificador de patrones), un decodificador 54 de píxeles (Decodificador de píxeles) y un decodificador 55 de sincronización (Decodificador de sincronización).

El detector 51 de tamaño de paquete controla la anchura de impulso del impulso K de la señal de control (D/K) usando el reloj de bytes, por ejemplo, para determinar el número de bytes N del paquete. El detector 51 de tamaño de paquete emite el número determinado de bytes N del paquete al DEMUX 52 como señal de tamaño de paquete (Tamaño de paquete) (figura 9(k)).

Una señal de paquete (Paquete), un reloj de bytes (Reloj de bytes) y una señal de control se introducen en el DEMUX 52. El DEMUX 52 divide el reloj de bytes entre N según la señal de tamaño de paquete, para regenerar un reloj de píxeles (Pixel Clock_Out). El DEMUX 52 divide la señal de paquete entre N, para regenerar una señal de paquete demultiplexada de 8 x N bits (Paquete demultiplexado) (figura 9(l)) y regenera una señal de división entre N bits. El DEMUX 52 emite la señal de paquete demultiplexada de 8 x N bits y la señal de división entre N bits al decodificador 53 de patrones. El DEMUX 52 también emite la señal de paquete demultiplexada de 8 x N bits al decodificador 54 de píxeles y al decodificador 55 de sincronización.

El decodificador 53 de patrones decodifica la señal de paquete demultiplexada de 8 x N bits y la señal de división entre N bits, para generar una señal de selección de patrones (Selección de patrones) (figura 9(m)). Por ejemplo, si la entrada es un patrón K, el decodificador 53 de patrones emite un inicio de espacio en blanco (BS) o un final de espacio en blanco (BE) según el patrón. Si la entrada es un patrón D, [el decodificador 53 de patrones] emite un espacio en blanco (BP) si el espacio en blanco se ha iniciado o activo (ACTIVO) si el espacio en blanco ha finalizado, al decodificador 54 de píxeles y al decodificador 55 de sincronización como señal de selección de patrones.

El decodificador 54 de píxeles decodifica la señal de paquete demultiplexada de 8 x N bits, para regenerar la señal de vídeo (R/G/B_Out) para cada RGB. Luego, el decodificador 54 de píxeles emite esta señal de vídeo basándose en la señal de selección de patrones. Por ejemplo, el decodificador 54 de píxeles emite la señal de vídeo cuando la señal de selección de patrones indica "activo".

El decodificador 55 de sincronización decodifica la señal de paquete demultiplexada de 8 x N bits, para regenerar la señal de sincronización (SYNC_Out). Luego, el decodificador 55 de sincronización emite esta señal de sincronización basándose en la señal de selección de patrones. Por ejemplo, el decodificador 55 de sincronización emite la señal de sincronización cuando la señal de selección de patrones indica un inicio de espacio en blanco, un espacio en blanco o un final de espacio en blanco.

De esta manera, según el dispositivo 20 de recepción de señal de vídeo de la presente realización, la unidad 25 de decodificación (decodificador 22 en la presente realización) regenera una señal de control que incluye un impulso con una anchura de impulso que corresponde a una parte de una pluralidad de señales de paquete codificadas en la que se ha realizado un proceso de codificación que es diferente del proceso para la otra parte. Tal como se mencionó anteriormente, la anchura de impulso del impulso en esta señal de control corresponde al número de bytes del paquete, de modo que el desempaquetador 24 puede determinar el número de bytes de un paquete, es decir, el número de bits de gradación de la señal de vídeo, mediante una anchura de impulso del impulso en la señal de control, y la pluralidad de señales de paquete se desempaquetan según el número de bytes de este paquete. Como resultado, el dispositivo 20 de recepción de señal de vídeo puede regenerar apropiadamente la señal de vídeo, incluso aunque el número de bits de gradación de la señal de vídeo cambie, y el número de bytes de un paquete para cada píxel de la señal de vídeo sea diferente en el dispositivo 10 de transmisión de señal de vídeo.

En particular, se espera en el futuro un aumento en el número de bits de gradación de una señal de vídeo, pero según este dispositivo 20 de recepción de señal de vídeo, puede soportarse un aumento en el número de bits de

gradación de una señal de vídeo.

Además, según el dispositivo 20 de recepción de señal de vídeo de la presente realización, la señal de recepción se convierte serie-paralelo mediante el deserializador 21, de modo que puede disminuirse el número de líneas de señales.

Además, según el dispositivo 20 de recepción de señal de vídeo de la presente realización, incluso aunque la señal está aleatorizada, el desaleatorizador 23 no aleatoriza una parte de señales de paquete que corresponde al periodo en el que existe el impulso de la señal de control, por tanto el número de bytes de un paquete, es decir, el número de bits de gradación de la señal de vídeo, puede determinarse apropiadamente basándose en la señal de control.

Según el sistema 1 de transmisión de señal de vídeo de la presente realización, incluso aunque el número de bits de gradación de la señal de vídeo cambie, el dispositivo 10 de transmisión de señal de vídeo puede hacer que el número de bytes de un paquete sea diferente para cada píxel de una señal de vídeo, y el dispositivo 20 de recepción de señal de vídeo puede determinar el número de bytes de un paquete para cada píxel de la señal de vídeo y regenerar apropiadamente la señal de vídeo, por tanto la señal de vídeo puede transmitirse y recibirse apropiadamente.

En particular, se espera en el futuro un aumento en el número de bits de gradación de una señal de vídeo, pero según este sistema 1 de transmisión de señal de vídeo, puede soportarse un aumento en el número de bits de gradación de una señal de vídeo.

Además, según el sistema 1 de transmisión de señal de vídeo, la señal de transmisión se convierte paralelo-serie mediante el serializador 14 en el dispositivo 10 de transmisión de señal de vídeo, y la señal de recepción se convierte serie-paralelo mediante el deserializador 21 en el dispositivo 20 de recepción de señal de vídeo, tal como se mencionó anteriormente, de modo que puede disminuirse el número de líneas de señales.

Además, según el sistema 1 de transmisión de señal de vídeo, incluso aunque la señal esté aleatorizada, la señal de control puede regenerarse apropiadamente y el número de bytes de un paquete, es decir, el número de bits de gradación de la señal de vídeo, puede determinarse apropiadamente basándose en la señal de control regenerada.

La presente invención no se limita a las realizaciones mencionadas anteriormente, sino que puede modificarse de diversas maneras.

En el dispositivo 10 de transmisión de señal de vídeo de la presente realización, el impulso K se inserta en dos ubicaciones de la señal de control, es decir, en la parte que corresponde al periodo en el que existe el inicio de espacio en blanco de la señal de selección de patrones y en la parte que corresponde al periodo en el que existe el final de espacio en blanco, pero el impulso K también puede insertarse en lugar de ello en una parte que corresponde al periodo en el que existe el inicio de espacio en blanco de la señal de selección de patrones, y en la parte que corresponde al periodo en el que existe el final de espacio en blanco. El impulso K puede existir en un periodo en el que existe una señal de selección de patrones activa, o en un periodo en el que existe un espacio en blanco.

En el dispositivo 20 de recepción de señal de vídeo de la presente realización, el desempaqetador 24 determina el número de bytes de un paquete basándose en la señal de control regenerada, pero puede introducirse un valor establecido del número de bytes de un paquete que va a usarse en el dispositivo 10 de transmisión de señal de vídeo desde el exterior. La diferencia del dispositivo de recepción de señal de vídeo según esta forma alternativa con respecto a la presente realización es que el dispositivo 20 de recepción de señal de vídeo tiene un desempaqetador 24A en lugar del desempaqetador 24.

La figura 10 es un diagrama de bloques de circuito que representa una configuración del desempaqetador 24A según la forma alternativa de la presente invención, y la figura 11 es un diagrama de tiempo que representa una señal de cada unidad del desempaqetador 24A mostrado en la figura 10, al igual que la figura 9. La diferencia del desempaqetador 24A con respecto al desempaqetador 24 es que el detector 41 de tamaño de paquete no está incluido, y la señal de tamaño de paquete que va a introducirse al DEMUX 42 se introduce desde el exterior (figura 11(k2)).

Según el dispositivo de recepción de señal de vídeo de esta forma alternativa que usa también el desempaqetador 24A, pueden implementarse las mismas ventajas que con el dispositivo 20 de recepción de señal de vídeo de la presente realización.

REIVINDICACIONES

1. Dispositivo (20) de recepción de señal de vídeo para recibir una señal de paquete en serie, comprendiendo el dispositivo de recepción de señal de vídeo:

5 un deserializador (21) que regenera una pluralidad de señales de paquete codificadas mediante una conversión serie-paralelo de dicha señal de paquete en serie,

10 una unidad (25) de decodificación que regenera una pluralidad de señales de paquete decodificando dicha pluralidad de señales de paquete codificadas procedentes de dicho deserializador (21), y

15 un desempaquetador (24, 24A) que regenera una señal de vídeo, una señal de sincronización y una señal de habilitación de datos desempaquetando dicha pluralidad de señales de paquete procedentes de dicha unidad (25) de decodificación;

caracterizado porque:

20 dicha unidad (25) de decodificación regenera una señal de control que incluye un impulso con una anchura de impulso que corresponde a un periodo de una parte de dicha pluralidad de señales de paquete codificadas, que es una parte en la que se ha realizado un proceso de codificación que es diferente de un proceso para la otra parte, y

25 dicho desempaquetador (24, 24A) determina el número de bytes de un paquete basándose en la anchura de impulso de dicho impulso en dicha señal de control procedente de dicha unidad de decodificación y desempaqueta dicha pluralidad de señales de paquete según el número de bytes de dicho paquete.

2. Dispositivo (20) de recepción de señal de vídeo según la reivindicación 1, caracterizado porque dicha unidad (25) de decodificación comprende:

30 un decodificador (22) que regenera una pluralidad de señales de paquete aleatorizadas decodificando dicha pluralidad de señales de paquete codificadas procedentes de dicho deserializador, y

un desaleatorizador (23) que regenera dicha pluralidad de señales de paquete desaleatorizando dicha pluralidad de señales de paquete aleatorizadas procedentes de dicho decodificador;

35 en el que dicho decodificador (22) regenera dicha señal de control que incluye un impulso con una anchura de impulso que corresponde a un periodo de una parte de dicha pluralidad de señales de paquete codificadas en la que se ha realizado un proceso de codificación que es diferente de un proceso para la otra parte, y

40 en el que dicho desaleatorizador (23) no desaleatoriza una parte de dichas señales de paquete que corresponde a un periodo en el que existe el impulso de dicha señal de control.

3. Sistema de transmisión de señal de vídeo, que comprende:

45 un dispositivo de recepción de señal de vídeo según la reivindicación 1, y

un dispositivo (1, 10) de transmisión de señal de vídeo, que comprende:

50 - un empaquetador (11) que recibe una señal de vídeo, una señal de sincronización y una señal de habilitación de datos, y genera una pluralidad de señales de paquete empaquetando dicha señal de vídeo y dicha señal de sincronización basándose en dicha señal de habilitación de datos y según el número de bytes de un paquete que corresponde al número de bits de gradación de dicha señal de vídeo,

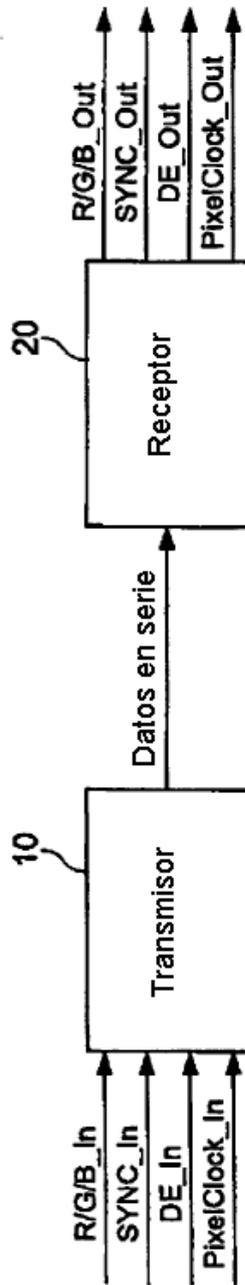
55 - una unidad (15) de codificación que genera una pluralidad de señales de paquete codificadas codificando dicha pluralidad de señales de paquete procedentes de dicho empaquetador (11), y

- un serializador (14) que genera una señal de paquete en serie mediante una conversión paralelo-serie de dicha pluralidad de señales de paquete codificadas procedentes de dicha unidad (15) de codificación;

60 generando dicho empaquetador (11) una señal de control que incluye un impulso con una anchura de impulso que corresponde al número de bytes de dicho paquete, y

sometiendo dicha unidad (15) de codificación una parte de dichas señales de paquete que corresponde a un periodo en el que existe dicho impulso en dicha señal de control procedente de dicho empaquetador (11), a un proceso de codificación que es diferente de un proceso para la otra parte.

Fig.1



10

Fig.2

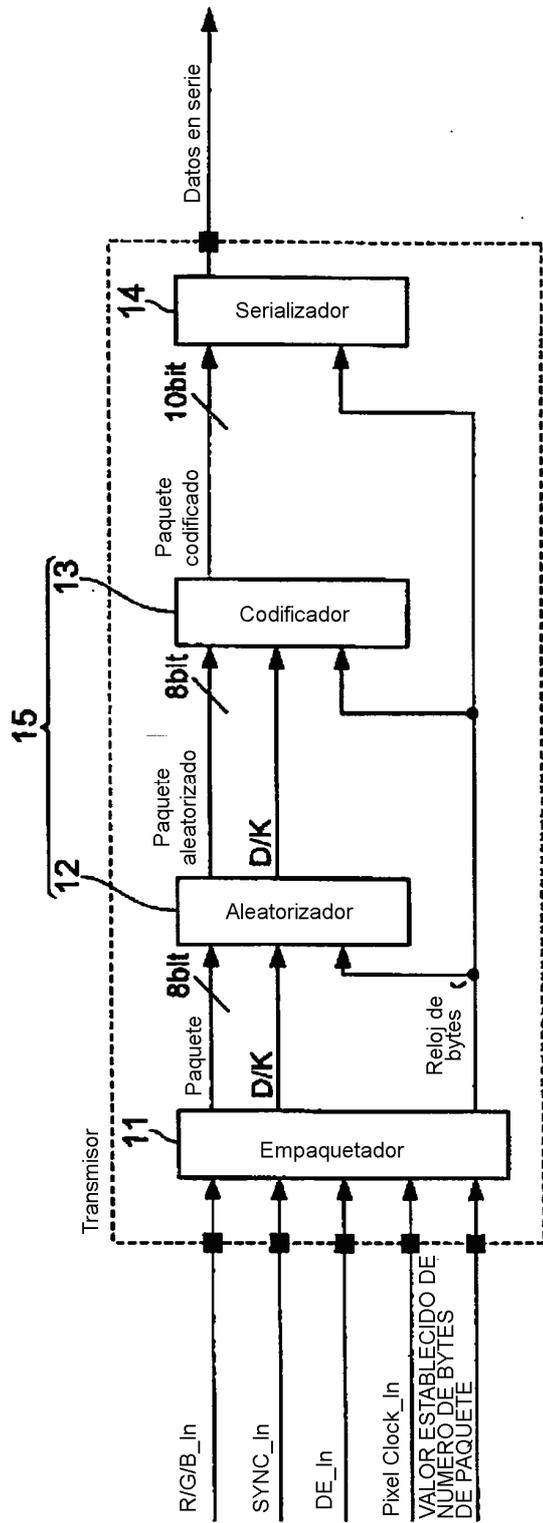


Fig.3

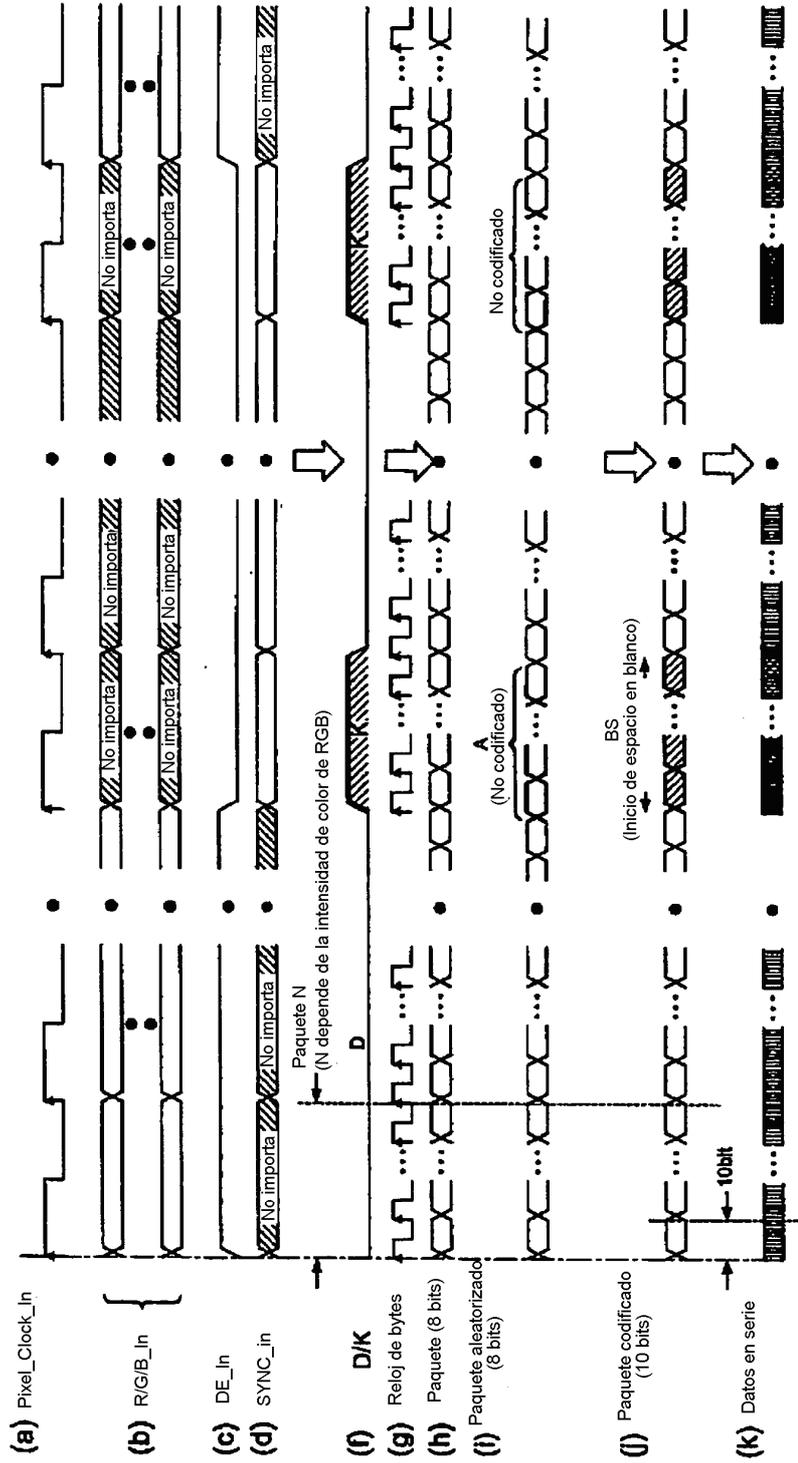


Fig.4

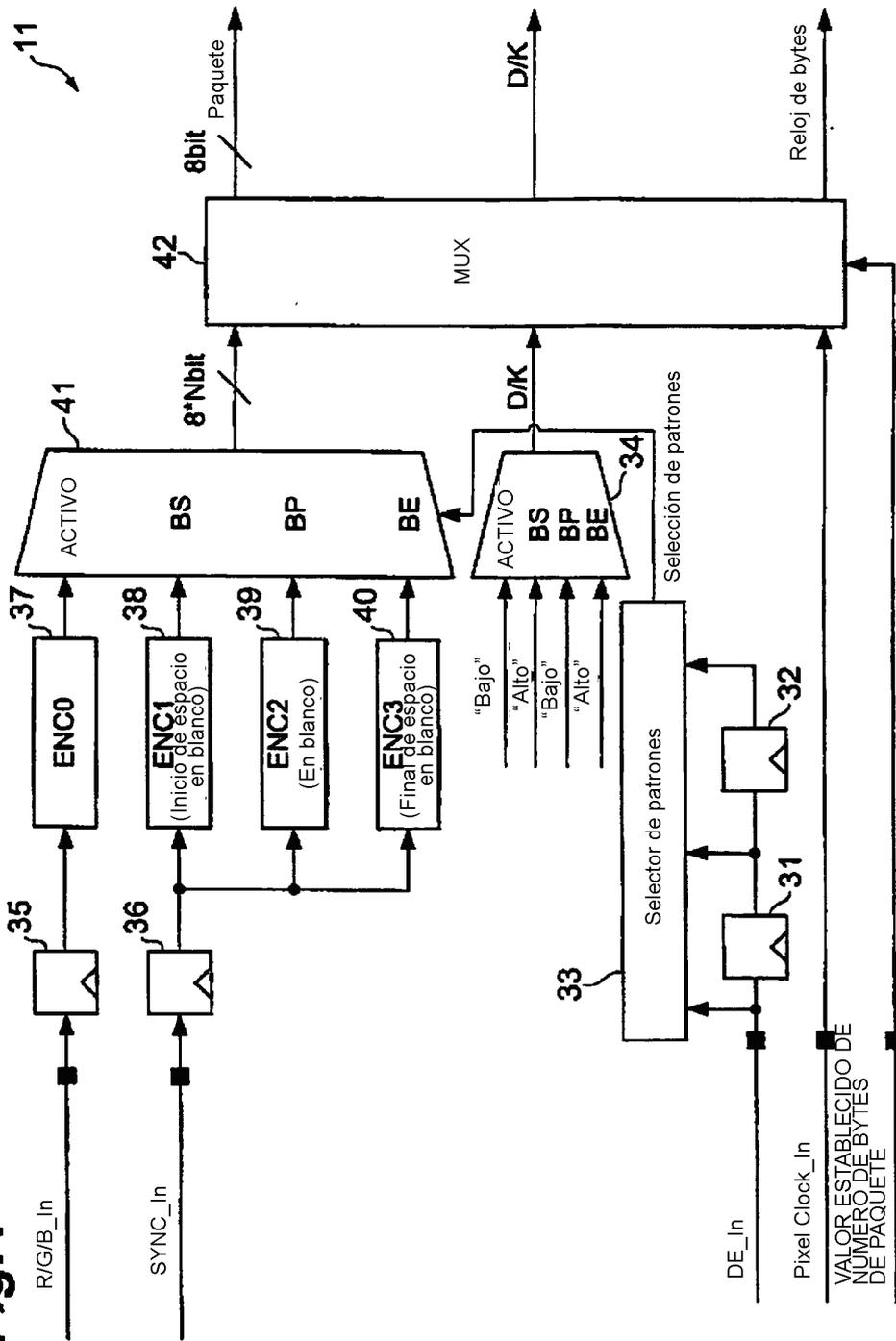


Fig.5

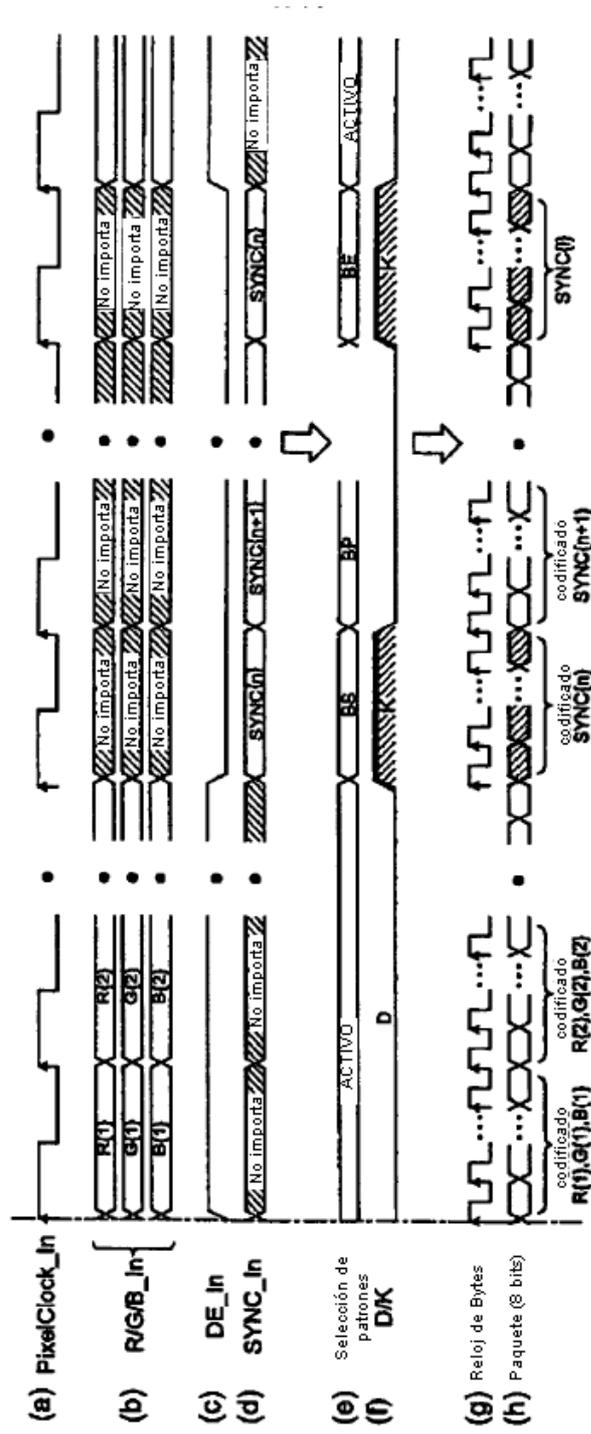


Fig.6

20

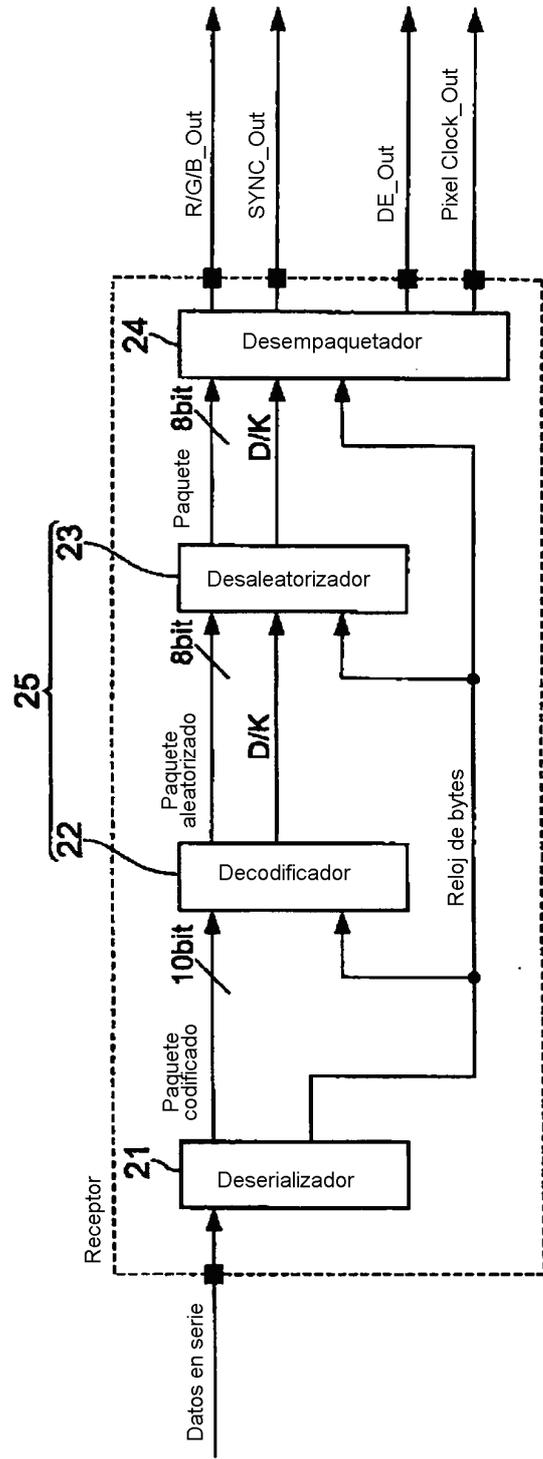


Fig.7

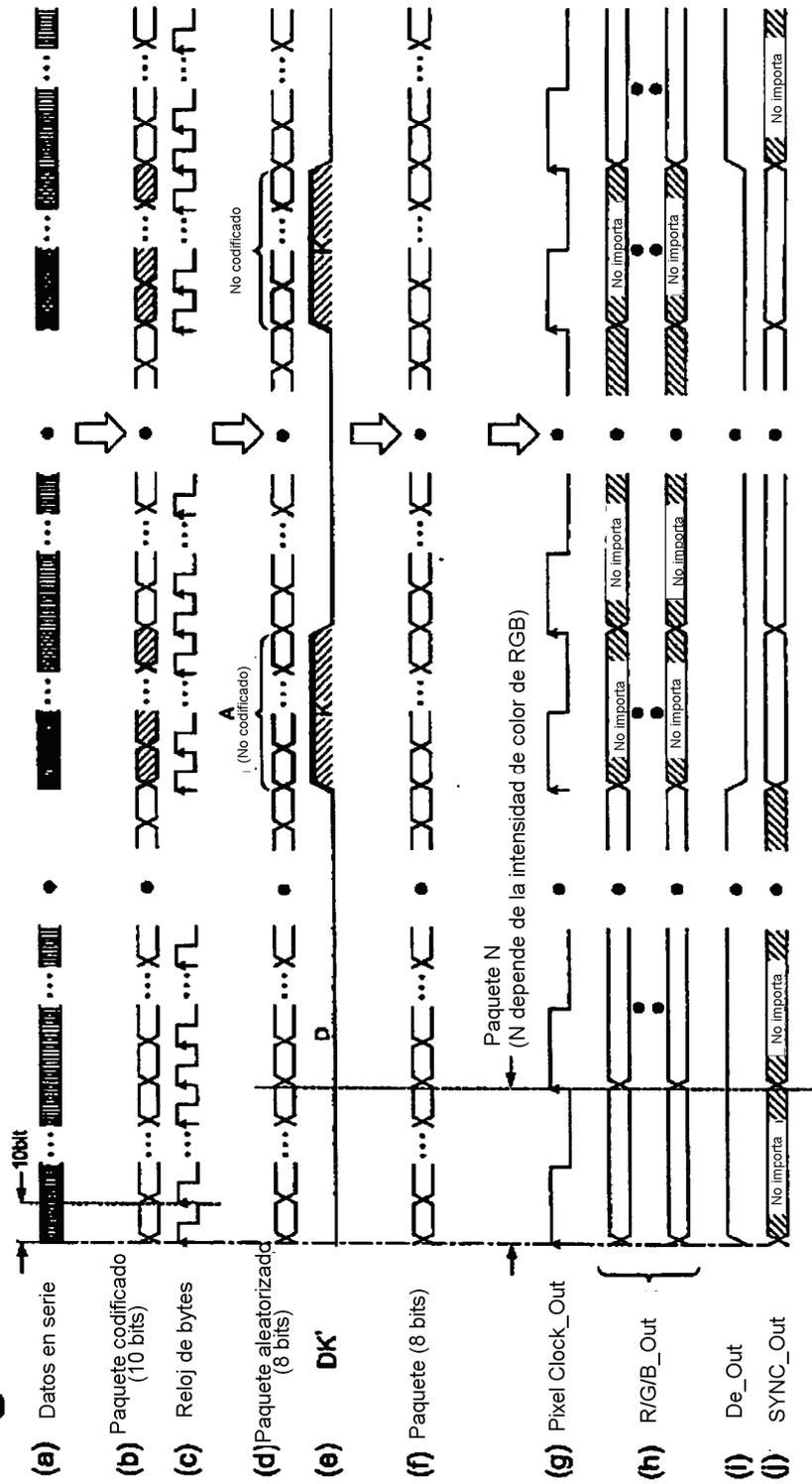


Fig. 8

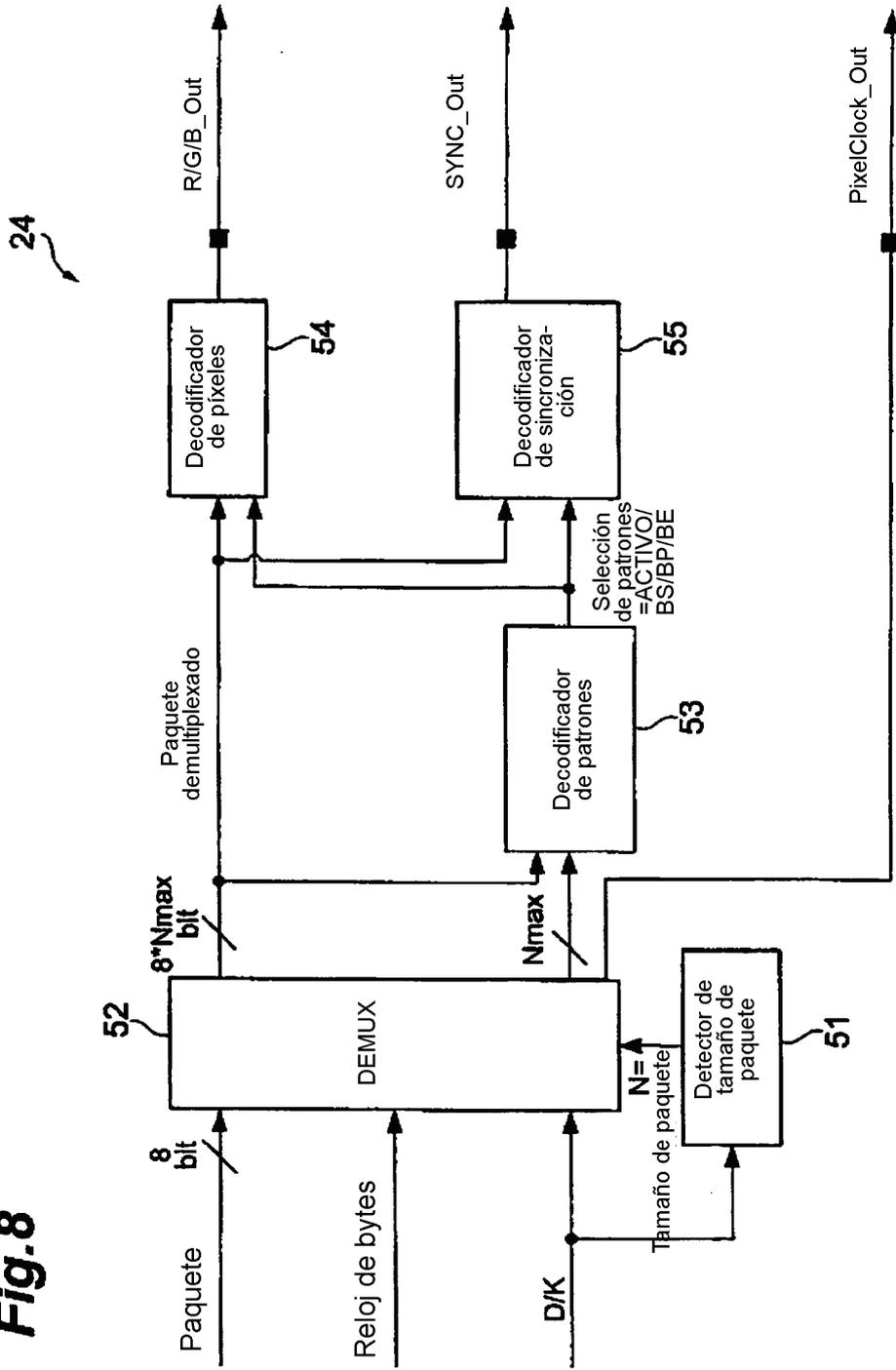


Fig.9

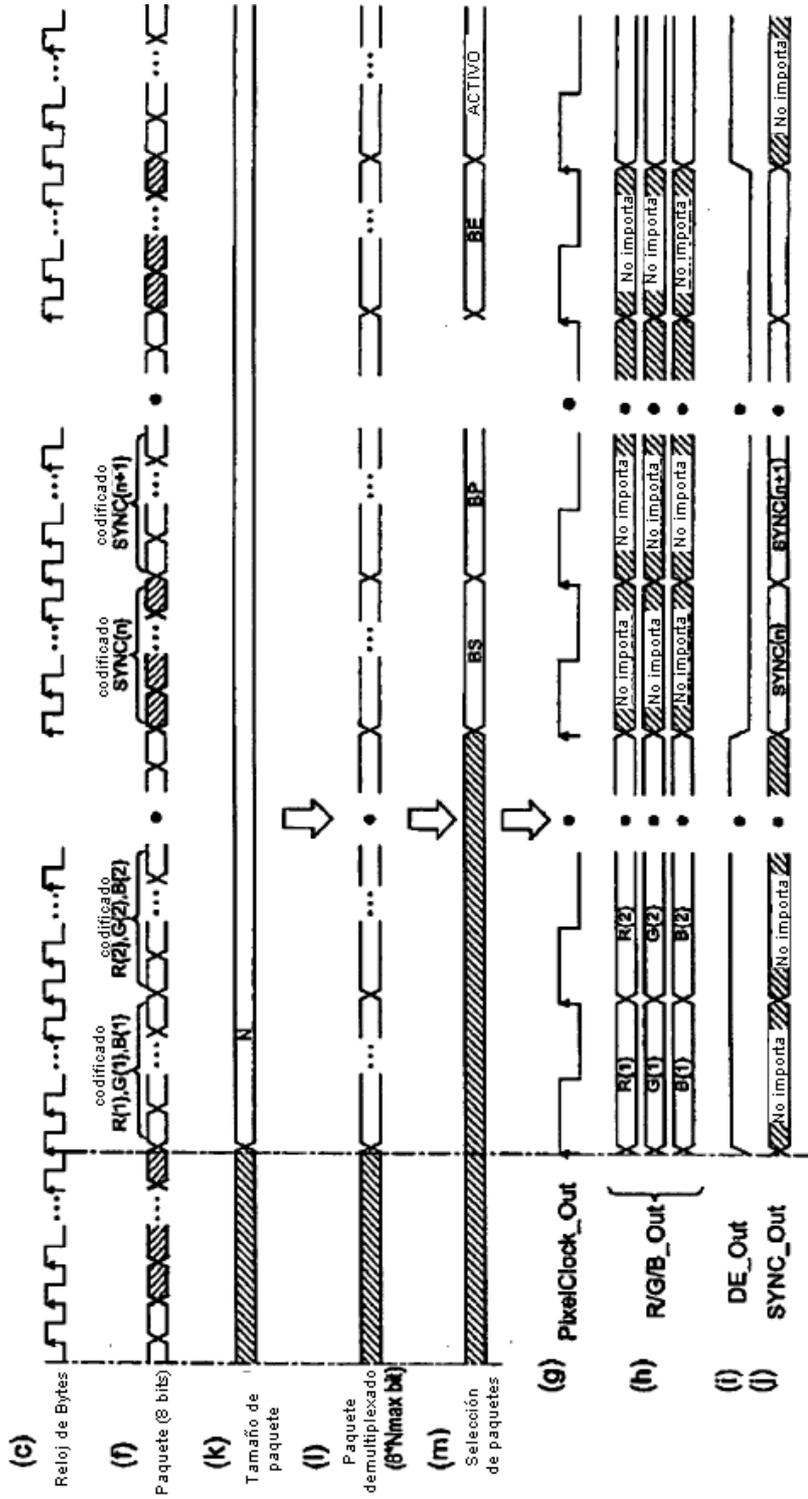


Fig.10

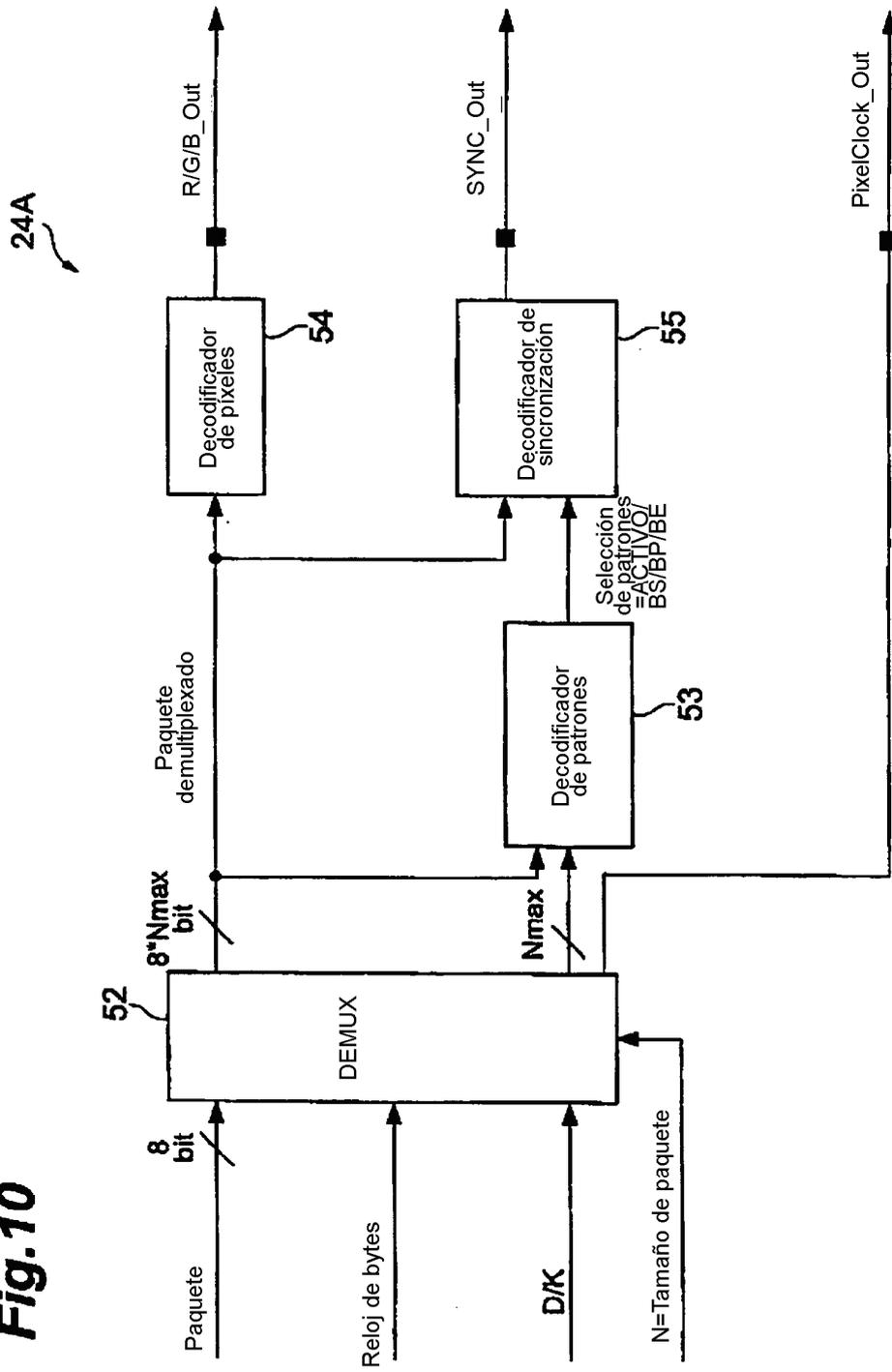


Fig.11

