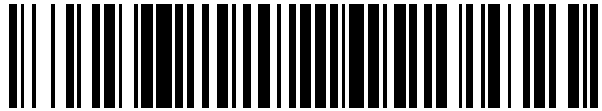


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 426 480**

51 Int. Cl.:

G11C 11/4063 (2006.01)

G11C 8/10 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **30.11.2006** **E 11007385 (5)**

97 Fecha y número de publicación de la concesión europea: **17.07.2013** **EP 2395511**

54 Título: **Circuito integrado semiconductor que tiene bajo consumo de energía con actualización automática**

30 Prioridad:

30.11.2005 US 289428

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

23.10.2013

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED
(100.0%)**

**11 Hines Road, Suite 203
Ottawa, ON K2K 2X1, CA**

72 Inventor/es:

OH, HAKJUNE

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 426 480 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito integrado semiconductor que tiene bajo consumo de energía con actualización automática.

Campo de la invención

5 La presente invención se relaciona de manera general con memorias de acceso aleatorio dinámicas (DRAM). En particular, la presente invención se relaciona con circuitos de actualización automática DRAM.

Antecedentes de la invención

10 En razón a que la tecnología de fabricación de transistores semiconductores se acerca al nivel de nanómetros, se logran diversas ventajas principales mediante sistemas y circuitos resultantes que los utilizan. Entre más grandes son los paquetes de integración tienen más características y funciones en un área de silicio dada que la antigua tecnología de fabricación, lo que resulta en dispositivos portátiles más pequeños y fácilmente portátiles. Con mayor integración, se puede fabricar un gran número de microcircuitos por oblea de silicio, reduciendo efectivamente el coste por microcircuito. Los transistores más pequeños cambian más rápido debido a un voltaje de umbral reducido, que proporciona velocidades de operación más rápidas para los sistemas.

15 Un ejemplo de un dispositivo semiconductor que tiene la ventaja de transistores de tamaños más pequeños es la memoria dinámica de acceso aleatorio, denominada de aquí en adelante simplemente con el acrónimo DRAM. Aquellos expertos en la técnica entienden que DRAM se emplea más ampliamente en sistemas de ordenadores debido a su alta densidad y velocidad. Aunque se presentan diferentes tipos de memoria DRAM ideales para cumplir normas específicas, tal como RDRAM, SDRAM, DDRSDRAM por ejemplo, sus núcleos subyacentes aún son DRAM.

20 La celda de memoria DRAM se basa en almacenamiento de carga para diferenciar entre un "1" lógico almacenado y "0" lógico. Desafortunadamente, esta carga escapará o disipará después de un periodo relativamente corto, requiriendo por lo tanto actualizar para mantener el nivel lógico almacenado. La actualización DRAM es bien conocida en la técnica, ya que son circuitos requeridos para ejecutar operaciones de actualización. Ahora se discute una descripción simplificada de una operación de actualización con referencia al sistema DRAM de la técnica anterior mostrada en la Figura 1.

25 La DRAM de la técnica anterior de la Figura 1 incluye una matriz de celda de memoria 100, circuitos periféricos de tonos limitados, circuitos de ruta de datos, circuitos de dirección y circuitos de control actualizados. El sistema DRAM de la Figura 1 se ha simplificado, sin embargo aquellos expertos en la técnica entenderá que los sistemas DRAM incluirán otros circuitos para permitir funciones adicionales.

30 La matriz de celda de memoria 100 incluye líneas de palabras y líneas de bits acopladas a las celdas de memoria. Los circuitos periféricos de tonos limitados incluyen decodificadores de fila 102 para dirigir las líneas de palabras, y detectar circuitos de acceso de líneas de bits y amplificador 104 para transferir datos hacia dentro y fuera de las celdas de memoria. Los circuitos de tonos limitados se empaquetan densamente para corresponder con el tamaño de la matriz de celda de memoria 100.

35 Se observa en los nodos acoplados o conectados que pueden incluir enlaces que pueden o no incluir circuitos que intervienen.

40 Los circuitos de dirección pueden incluir un predecodificador de dirección de fila 106 para generar una dirección de fila precodificada en respuesta a una dirección de fila R_ADDR[n], decodificadores de dirección de columna 108 para activar dispositivos de acceso de línea de bits en respuesta a una dirección de columna C_ADDR[m], y búferes de dirección 110 para generar R_ADDR[n] y C_ADDR[m] en respuesta a direcciones externas A0 a An. Los circuitos de ruta de datos incluyen circuitos de datos I/O 112 para acoplar los datos entre los amplificadores de detección en el bloque 104 a búferes de entrada/salida de datos (no mostrados). Se observa que las variables n y m anteriores son iguales a 0 o tienen valores enteros mayores de 0.

45 Los circuitos de control actualizados incluyen un controlador de comandos 114, un contador de dirección de fila interno 116 y un circuito de actualización propio 118. Dichos circuitos de control actualizados se conocen bien en la técnica, y el sistema mostrado en la Figura 1 puede incluir bloques de circuitos adicionales para ejecutar las operaciones adicionales. El controlador de comandos 114 responde a la señal de reloj CLK y recibe diversas señales de nivel de sistema, tal como CKE, WT, RD y REF, que se codifican para iniciar diversas operaciones dentro del sistema DRAM a través del COMANDO de señal. Tres operaciones de ejemplo utilizadas para ilustrar la operación del sistema DRAM incluirán una operación de lectura, una operación de actualización automática y una
50 operación de actualización automática.

Aquellos expertos en la técnica deben conocer bien una operación de lectura DRAM. En la Figura 1, se inicia una operación de lectura cuando el controlador de comandos 114 recibe una combinación predefinida de señales CKE, WT, RD, REF para señalar la operación de lectura, y el búfer de dirección 110 recibe un grupo específico de señales de dirección A0 a An. El búfer de dirección 110 genera un grupo de direcciones de fila R_ADDR[n] y un grupo de direcciones de columna C_ADDR[m]. El predecodificador de dirección de fila 106 genera dirección de señales de filas precodificadas de R_ADDR[n], que luego se utilizan mediante decodificadores de fila 102 para dirigir por lo menos una línea de palabras en la matriz de celda de memoria 100. Todas las celdas de memoria conectadas a la línea de palabras dirigida acoplarán su carga almacenada a las líneas de bits respectivas. En otras palabras, cada línea de bits en la matriz de celda de memoria 100 llevará datos que se detectan posteriormente y se aseguran mediante los amplificadores de detección de la línea de bits correspondientes en el bloque 104. Dependiendo de la configuración, el decodificador de la dirección de columna 108 seleccionará por lo menos un dispositivo de acceso de la línea de bits en el bloque 104 que corresponde a C_ADDR[m], para acoplar el amplificador de detección de la línea de bits al bloque de circuito de datos I/O 112. La operación de lectura no involucra los circuitos de control actualizados.

La diferencia principal entre una operación de actualización automática y una operación de actualización automática es el momento en el que se ejecutan. La actualización automática, también conocida como actualización CAS-Antes-RAS y actualización Solo RAS, se ejecuta durante la operación normal del sistema DRAM, mientras se ejecuta una operación de actualización automática durante un modo de reposo del sistema DRAM. Es bien sabido que se utiliza un modo de reposo para apagar los circuitos seleccionados del sistema DRAM con el fin de reducir el consumo de energía, sin embargo las celdas DRAM en la matriz de celda de memoria 100 se pueden actualizar durante el modo de reposo para retener los datos almacenados.

Se ejecuta una operación de actualización automática durante la operación normal del sistema DRAM cuando se recibe un comando de actualización por medio de las señales externas recibidas por el controlador de comandos 114. El controlador de comandos 114 luego proporciona una señal de control REFR para aumentar o reducir el contador de dirección de fila interno 116, y para permitir aseguramiento por los búferes de dirección 110. El contador de dirección de fila interno 116 proporciona una dirección de actualización REF_ADDR[p] que está asegurada por los búferes de dirección 110. Se observa que la variable p es igual a 0 o un valor entero mayor de 0. Los búferes de dirección 110 generan una dirección de fila R_ADDR[n], que se decodifica por el predecodificador de dirección de fila 106 y los decodificadores de fila 102 para dirigir por lo menos una línea de palabras. Cada amplificador de detección de la línea de bits luego restaura la carga de las celdas de memoria accedidas a través de su operación de amplificación inherente. Debido a que la operación de actualización automática se ejecuta durante la operación normal con prioridad sobre otras operaciones, se ejecuta rápidamente para permitir resumir otras operaciones.

El circuito de actualización propio 118 incluye un oscilador interno (no mostrado). El sistema DRAM entra al modo de reposo (o "modo actualización propio") a través del controlador de comandos 114 para iniciar el oscilador del circuito de actualización propio 118. El circuito de actualización propio 118 proporciona una señal de reposo SLEEP para el contador de dirección de fila interno 116. De acuerdo con los comandos para entrada y salida de actualización automática, se genera periódicamente una señal OSC_OUT en el modo de actualización automática. La señal generada OSC_OUT se proporciona al contador de dirección de fila interno 116 y a los búferes de dirección 110. En respuesta a OSC_OUT, los búferes de dirección 110 aseguran el I REF_ADDR[p] generado por el contador de dirección de fila interno 116, y proporciona dirección de fila R_ADDR[n]. Como en el caso de actualización automática descrita previamente, se conduce una línea de palabras por medio de un predecodificador de dirección de fila 106 y decodificadores de fila 102 para actualizar las celdas de memoria en la matriz de celda de memoria 100.

La implementación del sistema DRAM de la Figura 1 en el estado de la técnica de tecnología de fabricación en nanómetros aumentará inherentemente el desempeño de velocidad del sistema. En particular los transistores, especialmente el predecodificador de dirección de fila 106 y los decodificadores de fila 102, se pueden optimizar para minimizar el retraso de propagación de la dirección de fila R_ADDR[n] a través de ellos. Sin embargo, una desventaja significativa de transistores de alta velocidad mínimamente dimensionados es la corriente de escape a través del transistor, que aumenta el consumo de energía general del sistema DRAM. Los problemas de escape de corriente con tecnología de escala de nanómetro se han documentado bien por la industria de semiconductores. Por lo tanto, la función de alta velocidad se obtiene en el gasto de consumo de energía.

Las Figuras 2 y 3 son esquemas de circuitos presentados para ilustrar la fuente de escape de corriente en transistores de tecnología de nanómetro. La Figura 2 es un circuito de compuerta lógico simple que consiste de una compuerta NAND de 2 entradas 200 que tiene una salida conectada a una entrada de un inversor 202. Mediante ejemplo, este circuito puede ser uno de varios circuitos en el predecodificador de dirección de fila 106 de la Figura 1. La compuerta NAND 200 recibe dos direcciones de fila, R_ADDR[h] y R_ADDR[i], y genera dirección de fila precodificada PDR_ADDR[k] a través del inversor 202. Se observa que las variables h, i y k son iguales a 0 o los valores enteros mayores de 0. La compuerta NAND 200 y el inversor 202 se implementan con transistores CMOS, y preferiblemente de tamaño mínimo para maximizar la velocidad. Aunque no se muestra explícitamente, las dos

compuertas lógicas se conectan a los suministros de energía VDD y VSS. Puede ocurrir escape de corriente en todos los transistores de cada compuerta lógica, como se mostrará en la Figura 3.

La Figura 3 es un esquema de transistor del inversor 202 mostrado en la Figura 2. El inversor 202 es un inversor CMOS complementario estándar que consiste del transistor de canal p 300 y el transistor de canal n 302 se conecta en serie entre VDD y VSS. Se conoce bien en la técnica la implementación del transistor CMOS de la compuerta NAND 200 y por lo tanto no se muestra. Cuando se implementa en tecnología de nanómetros, los transistores 300 y 302 pueden escapar la corriente (I_{escape1}) de VDD a VSS incluso si la señal de entrada IN se mantiene en los estados "0" lógico o "1" lógico. Adicionalmente, la corriente puede escapar de VDD a través de óxidos de compuerta delgada de transistores 300 y 302 (I_{escape2}), que permite que la corriente fluya a través de un terminal de drenaje/fuente de un transistor precedente. Por ejemplo, si la compuerta de transistor 300 se conduce por VSS mediante un circuito precedente, la corriente puede escapar de VDD a través de su óxido de compuerta directamente a VSS.

Por lo tanto, las operaciones de actualización automática para los sistemas DRAM pueden consumir una cantidad significativa de energía, que es indeseable para aplicaciones de ordenador portátiles. En las aplicaciones de ordenadores portátiles en donde la vida de la batería es finita, el modo de reposo se puede utilizar frecuentemente y durante periodos largos en un esfuerzo para extender la vida de la batería.

El documento US 4,951,258 se relaciona con un sistema de memoria dinámica de acceso aleatorio que comprende una matriz de celda de memoria, un decodificador de dirección de fila conectado a la matriz de memoria y un contador para producir señales de dirección internas para actualizar las celdas de la matriz de celda de memoria. Un búfer de dirección de fila convierte las señales de dirección externas a las señales de dirección de fila en respuesta a un búfer de dirección que permite la señal, y un circuito de conmutación conectado al contador y el búfer de dirección de fila se conmuta selectivamente entre el contador y el búfer de dirección de fila en respuesta a una señal de conmutación de dirección. Un circuito decodificador conectado a la salida del circuito de conmutación decodifica las señales de dirección seleccionadas y proporciona las señales de dirección decodificadas al decodificador de dirección de fila. Un primer circuito de control conectado al búfer de dirección de fila proporciona el búfer de dirección que permite la señal al búfer de dirección de fila en respuesta a una señal estroboscópica de dirección de fila, y un segundo circuito de control proporciona la señal de conmutación de dirección al circuito de conmutación en respuesta a la señal estroboscópica de dirección de fila y una señal estroboscópica de dirección de columna.

El documento EP 0 511 397 A1 se relaciona con una memoria semiconductor que comprende una matriz de celda de memoria, un primer bus de dirección para transferir señales de dirección externas, un segundo bus de dirección para transferir señales de dirección internas, un decodificador de dirección, y un controlador; en donde el decodificador de dirección incluye una sección de decodificación para decodificar la señal de dirección ingresada al decodificador de dirección para seleccionar la línea de palabras predeterminada de la matriz de celda de memoria y una sección de cambio para cambiar la señal de dirección que se va a ingresar a la sección de decodificación a la señal de dirección externa o interna al seleccionar cualquiera del primero y segundo buses de dirección. Sin embargo, es posible reducir el tiempo de transferencia al transferir las señales de dirección internas y externas al decodificador de dirección a través del primer y segundo buses de dirección de acuerdo con una señal de activación de dirección antes que se decida el modo de operación y acelere el tiempo de acceso de la celda de memoria al reducir el tiempo de decodificación.

Por lo tanto, es deseable proporcionar un esquema de actualización automática con baja energía para los sistemas DRAM.

Resumen de la Invención

Es un objeto de la presente invención obviar o mitigar por lo menos una desventaja de los sistemas de actualización automática previos para la memoria DRAM.

En un primer aspecto, la presente invención proporciona un circuito lógico dependiente de modo para uso en una memoria dinámica de acceso aleatorio. El circuito lógico dependiente de modo puede incluir un primer circuito para generar una primera señal en respuesta a un estado lógico predeterminado de una primera señal de entrada, en un primer modo de operación y, un segundo circuito lógicamente idéntico al primer circuito para generar una segunda señal en respuesta al estado lógico predeterminado de una segunda señal de entrada, en un segundo modo de operación.

En otro aspecto, la presente invención proporciona un método para operar una memoria dinámica de acceso aleatorio (DRAM) en una operación de actualización automática. El método incluye a) deshabilitar un circuito pre-decodificador de alta velocidad; b) permitir un circuito pre-decodificador de baja energía, el circuito pre-decodificador de baja energía es lógicamente idéntico al circuito pre-decodificador de alta velocidad; y, c) proporcionar una dirección actualizada para el circuito pre-decodificador de baja energía.

De acuerdo con las realizaciones del presente aspecto, el método puede incluir adicionalmente la etapa de desacoplar el circuito pre-decodificador de alta velocidad de VDD o VSS, y puede incluir adicionalmente proporcionar selectivamente una dirección de fila precodificada del circuito pre-decodificador de baja energía. La etapa de proporcionar la dirección de actualización incluye permitir que un búfer de dirección de baja energía asegure la dirección de actualización proporcionada por un contador de dirección de fila, y deshabilitar un búfer de dirección de alta velocidad. El búfer de dirección de alta velocidad se puede desacoplar de VDD y VSS.

Otros aspectos y características de la presente invención serán evidentes para aquellas personas medianamente versadas en la técnica luego de la revisión de la siguiente descripción de las realizaciones específicas de la invención en conjunto con las figuras que acompañan.

La invención se define en las reivindicaciones adjuntas.

Breve Descripción de los Dibujos

Ahora se describirán las realizaciones de la presente invención, solo por vía de ejemplo, con referencia a las Figuras adjuntas, en donde:

La Figura 1 es un diagrama de bloques de un sistema DRAM de la técnica anterior;

La Figura 2 es un esquema de circuito de compuertas lógicas;

La Figura 3 es un esquema de circuito de un inversor CMOS;

La Figura 4 es un diagrama de bloque de un sistema DRAM con circuitos de actualización automática de baja energía de acuerdo con una realización de la presente invención;

La Figura 5A es un esquema de circuito de un circuito pre-codificador de fila dependiente de modo de acuerdo con una realización de la presente invención;

La Figura 5B es un esquema de circuito de una compuerta NAND incluida en el circuito pre-decodificador de fila de alta velocidad mostrado en la Figura 5A;

La Figura 5C es un esquema de circuito de un inversor incluido en el circuito pre-decodificador de fila de alta velocidad mostrado en la Figura 5A;

La Figura 6 es un esquema de circuito de un circuito de búfer de dirección de fila dependiente de modo de acuerdo con una realización de la presente invención;

La Figura 7 es un diagrama de tiempo que ilustra la operación de una operación de actualización automática con baja energía de acuerdo con una realización de la presente invención;

La Figura 8 es un diseño plano de líneas de dirección de fila entrelazadas; y,

La Figura 9 es una vista isométrica de las líneas de dirección de fila verticalmente entrelazadas.

Descripción detallada

De manera general, la presente invención proporciona circuitos lógicamente idénticos para proporcionar las mismas señales de control lógicas, en donde cada grupo de señales de control puede tener diferentes parámetros eléctricos. Se puede optimizar un circuito para desempeño de alta velocidad, aunque se puede optimizar otro circuito para bajo consumo de energía. Los circuitos lógicamente idénticos pueden incluir precircuitos decodificadores de dirección de línea de palabras para un DRAM, en donde se permite un circuito pre-decodificador de alta velocidad durante un modo de operación normal y se permite un precircuito decodificador de baja energía más lento para las operaciones de actualización automáticas. Durante las operaciones de actualización automáticas, se puede desacoplar el circuito de alta velocidad del suministro de energía para minimizar su escape actual.

Las realizaciones de la presente invención se describen ahora en el contexto de DRAM, y en particular, circuitos de direccionamiento de fila de actualización automática DRAM.

Como se describió previamente, se ejecuta la operación de actualización automática, de escritura y lectura en alta velocidad con márgenes de tiempo ajustados. De otra parte la actualización automática durante los modos de

5 reposo o modos de menor energía similares, se puede ejecutar a velocidades menores. Más específicamente, las restricciones de tiempos de activación de la línea de palabras se pueden relajar debido a que no se requiere operación de alta velocidad. Por lo tanto, las partes de ruta de direccionamiento de fila de se pueden decodificar con circuitos lógicos optimizados para operación a menor velocidad y bajo consumo de energía. Debido a que dichos circuitos no pueden operar a alta velocidad para operación de lectura/escritura y operación de actualización automática, se agrega circuito de bajo consumo de energía al sistema DRAM. Aunque se consumirán áreas de silicio adicionales, las ventajas de ahorro de energía de tener la ruta de circuito de bajo consumo de energía dedicada serán mayores en costes del área de silicio agregada. De acuerdo con lo anterior, los parámetros eléctricos de las señales pueden incluir tiempo. También, los voltajes tal como el VDD interno se pueden ajustar a voltajes de menor nivel.

10 Un método de reducción actual de escape conocido es aumentar el voltaje de umbral de los transistores. Como lo saben los expertos en la técnica, se puede ajustar el voltaje de umbral durante fabricación mediante la adaptación del espesor de óxido de compuerta, concentraciones de implante y dimensiones de transistor, por ejemplo. Para los propósitos de la presente invención, se puede utilizar cualquier técnica de ajuste de voltaje de umbral.

15 La Figura 4 es un diagrama de bloque de un sistema DRAM de acuerdo con una realización de la presente invención. El sistema actualmente mostrado es similar al sistema mostrado en la Figura 1, e incluye características adicionales para reducir el consumo de energía durante una operación automática de actualización.

20 El sistema DRAM incluye la matriz de celda de memoria 450, decodificadores de fila 452, circuitos de acceso de líneas de bits y amplificador de detección 454, decodificadores de dirección de columna 458, circuitos de datos I/O 462 y controlador de comandos 464, que realizan la misma función como la matriz de celda de memoria 100, decodificadores de fila 102, circuitos de acceso de líneas de bits y amplificador de detección 104, decodificadores de dirección de columna 108, circuitos de datos I/O 112 y controlador de comandos 114, respectivamente, que se describen previamente para la Figura 1. El controlador de comandos 464 responde un CLK de señal de reloj. El predecodificador de dirección de fila 106 ahora se reemplaza con el circuito selector 400 implementado como un multiplexor simple (MUX) controlado por la señal SLEEP, y dos circuitos lógicamente idénticos 402 y 404. Otros circuitos del sistema DRAM incluyen un búfer de dirección dependiente de modo 406, un circuito de conmutación de energía interno 408, un circuito de actualización automática 410 y un contador de dirección de fila interno 412. Siguiendo una discusión adicional de los circuitos mencionados anteriormente.

30 El circuito lógico 402 es un circuito pre-decodificador de fila de alta velocidad mientras que el circuito lógico 404 es un precircuito decodificador de fila de baja energía. Ambos circuitos responden a las mismas señales de entrada de estado lógico predeterminado. El circuito pre-decodificador de fila de alta velocidad 402 recibe las señales de dirección de fila rápidas R_ADDR_F[n] y proporciona una dirección de fila precodificada a una primera entrada de MUX 400. El precircuito decodificador de fila de baja energía 404 recibe señales de dirección de fila lentas R_ADDR_S[n] y proporciona una dirección de fila precodificada a una segunda entrada de MUX 400. En una implementación práctica, la dirección de fila precodificada de los circuitos 402 y 404 se carga a un primer grupo de entradas y el segundo grupo de entradas de MUX 400 respectivamente ya no habrá más de una señal de dirección precodificada proporcionada por cada circuito. Un grupo de direcciones de fila precodificadas se proporciona selectivamente a los decodificadores de fila 452 mediante la señal SLEEP. Los detalles adicionales de circuitos 402 y 404 se describirán con referencia a la Figura 5A. Se observa que las salidas lógicas de circuitos 402 y 404 son iguales para un REF_ADDR[p] dado. De forma colectiva, los circuitos 400, 402 y 404 forman un precircuito decodificador dependiente de modo.

45 El búfer de dirección dependiente de modo 406 proporciona selectivamente dos grupos independientes de direcciones de fila, R_ADDR_S[n] y R_ADDR_F[n], en respuesta a la señal SLEEP. En la actual realización, R_ADDR_S[n] y R_ADDR_F[n] sería lógicamente iguales para una dirección actualizada REF_ADDR[p] dada, excepto para sus parámetros de tiempo. De acuerdo con lo anterior, el búfer de dirección dependiente de modo 406 preferiblemente incluye un búfer de dirección de alta velocidad para dirigir R_ADDR_F[n], y un búfer de dirección de baja energía para dirigir R_ADDR_S[n]. El búfer de dirección de alta velocidad se optimiza para alta velocidad y el búfer de dirección de baja energía se optimiza para bajo consumo de energía. Los parámetros de diseño de estos dos búferes de dirección coincidirán de forma correspondiente aquellos precircuitos decodificadores de fila 402 y 404. Los detalles adicionales del búfer de dirección dependiente de modo 406 se muestran en la Figura 6.

El circuito de actualización automática 410 funciona de forma similar con el circuito 118 en la Figura 1. La señal de control SLEEP se genera cuando el controlador de comandos 464 recibe el comando de modo de reposo de baja energía. La señal de control SLEEP se recibe por MUX 400, el búfer de dirección dependiente de modo 406, interruptor de energía interno 408 y contador de dirección de fila interno 412.

55 El contador de dirección de fila interno 412 se aumenta en respuesta a la señal de control REFR en el modo normal y en respuesta a la señal de oscilación OSC_OUT en el modo actualización automática cuando se activa la señal de

descanso, para proporcionar la señal de dirección actualizada REF_ADDR[p]. Por lo tanto, la señal SLEEP selecciona entre OSC_OUT y REFR como la fuente para generar REF_ADDR[p],

El interruptor de energía interno 408 es un circuito no utilizado en el sistema de la Figura 1. Este circuito desacopla selectivamente los voltajes de suministro de energía VDD y VSS de los carriles de suministro de energía internos VDDL, VSSL y VDD_L, VSS_L. Estos carriles internos se pueden enrutar a circuitos específicos dentro del sistema DRAM. Cuando se desacopla de VDD y VSS, los circuitos conectados a VDDL y VSSL ya no tendrán una ruta de corriente para el suministro de energía, reduciendo/eliminando por lo tanto la corriente de escape. Este desacople puede ocurrir en un modo de reposo por medio de SLEEP o un modo de apagado profundo por medio de la señal DEEP. Como se mostrará en la Figura 5A, los circuitos predecodificadores 402 y 404 se energizan de VDDL y VSSL, pero cualquier circuito que no se requiere durante el modo de reposo se puede beneficiar de ser conectado a VDD_L, VSS_L y VDDL, VSSL. Se muestra el interruptor de energía interno 408 como un circuito central en la Figura 4, pero se puede implementar en una forma distribuida de tal manera que los carriles internos y el circuito de conmutación pueden ser locales a un circuito específico.

La Figura 5A es un esquema de circuito que muestra los detalles de MUX 400, el circuito pre-decodificador de fila de alta velocidad 402, y el precircuito decodificador de fila de baja energía 404. Dentro de cada precircuito decodificador 402 y 404 hay un decodificador lógico para generar una señal de dirección predecodificada. Cada precircuito decodificador 402 y 404 incluirá una pluralidad de compuertas lógicas decodificadoras para generar un grupo respectivo de señales de dirección pre-decodificadas, pero solo una se muestra en la Figura 5A para simplificar el esquema.

El decodificador lógico del precircuito decodificador de fila de baja energía 404 incluye una compuerta NAND 500 que tiene una salida conectada a un inversor 502. La compuerta NAND 500 recibe las señales de dirección de fila R_ADDR_S[h] y R_ADDR_S[i]. En el presente ejemplo, los transistores de la compuerta NAND 500 y el inversor 502 tienen preferiblemente un alto voltaje de umbral para resistir el escape de corriente. Como resultado, operan relativamente más lento con relación a los circuitos de alta velocidad del precircuito decodificador 402. Como se discutió previamente, se presentan muchas formas para aumentar el voltaje de umbral de un transistor, cualquiera de las cuales se puede utilizar en las realizaciones actualmente descritas. En el ejemplo mostrado actualmente, el interruptor de energía interno 408 se distribuye entre los bloques de circuito aplicables y aparece como el transistor de canal p 504 y el transistor de canal n 506. El transistor de canal p 504 desacopla VDD de la línea de energía interna VDDL en respuesta a la señal DEEP, aunque el transistor de canal n 506 desacopla VSS de la línea de energía interna VSSL en respuesta a la señal de complemento de DEEP, marcada DEEP*. La señal DEEP se dirige a un alto nivel lógico para apagar los transistores 504 y 506 cuando el sistema DRAM entra a un modo de apagado profundo para maximizar la conservación de energía a través del sistema completo. Durante un modo de apagado profundo, los datos almacenados en las celdas de memoria se pueden perder, auto-actualizando por lo tanto las celdas de memoria si no se requiere.

El decodificador lógico del circuito pre-decodificador de fila de alta velocidad 402 incluye una compuerta NAND 508 que tiene su salida conectada a un inversor 510. La compuerta NAND 508 recibe las señales de dirección de fila R_ADDR_F[h] y R_ADDR_F[i]. En el presente ejemplo, los transistores de compuerta NAND 508 y el inversor 510 tienen preferiblemente un bajo voltaje de umbral (V_t) para maximizar la velocidad. Desafortunadamente para transistores de escala de nanómetro con V_t bajo, el escape de corriente estático es una parte significativa del consumo de energía general. El precircuito decodificador 402 incluye el circuito de conmutación distribuido de energía interno que consiste del transistor de canal p 512 y el transistor de canal n 514 que acopla VDD y VSS a VDD_L y VSS_L respectivamente. El terminal de compuerta de los transistores 512 y 514 reciben la señal de control SLEEP y su SLEEP* de complemento respectivamente, para desacoplar los carriles internos VDD_L y VSS_L de VDD y VSS en el modo de descanso.

La compuerta NAND 500 de precircuito decodificador de fila de baja energía 404 y la compuerta NAND 508 de circuito pre-decodificador de fila de alta velocidad 402 tienen la misma estructura de circuito. La Figura 5B muestra solo la compuerta NAND 508 que tiene una configuración de circuito conocida que tiene transistores de canal p 542 y 544 y transistores de canal n 546 y 548. La fuente de transistor 548 se conecta al drenador del transistor 514, cuya compuerta recibe la señal de complemento de control SLEEP*. Las señales de dirección de fila R_ADDR_F[h] y R_ADDR_F[i] se cargan a las compuertas de los transistores 542, 544, 546 y 548. La señal de salida NAND se proporciona de los drenajes acoplados de transistores 544 y 546 en la entrada del inversor 510. El VSS_L es un nivel de voltaje en el nodo NN entre la fuente del transistor 548 y el drenaje del transistor 514. La configuración del circuito de compuerta NAND 508 es similar a aquel de la compuerta NAND 500, pero se acopla a VDD_L.

El inversor 502 del precircuito decodificador de fila de baja energía 404 y el inversor 510 del circuito pre-decodificador de fila de alta velocidad 402 tienen la misma estructura de circuito. La Figura 5C muestra la configuración del circuito del inversor 510. Con referencia a la Figura 5C, el inversor 510 incluye los transistores de canal p y n acoplados al drenaje 552 y 554 que se conectan en serie con el transistor 512, cuya compuerta recibe SLEEP. La señal de salida de la compuerta NAND 508 del precircuito decodificador de fila 402 se carga a las

compuertas de los transistores 552 y 554. La señal de salida invertida del inversor 510 se proporciona al transistor 518 de MUX 400. El VDD_L es un nivel de voltaje en el nodo Np entre el drenaje del transistor 512 y la fuente de transistor 552. La configuración del circuito del inversor 502 es similar a aquel del inversor 510, pero se acopla a VDDL.

- 5 Cabe notar que la señal de control SLEEP puede incluir un OR'ing lógico de SLEEP con DEEP. Por lo tanto, SLEEP se conduce al alto nivel lógico cuando el DEEP se conduce a alto nivel lógico para aislar los precircuitos decodificadores 402 y 404 de los suministros de energía.

10 Se muestra MUX 400 como que incluye transistores de paso de canal n simples 516 y 518 que tienen terminales de entrada de fuente/drenaje conectados a la salida de los inversores 502 y 510 respectivamente. El terminal de compuerta del transistor 516 recibe la señal de control SLEEP y el terminal de compuerta de transistor 518 recibe una señal de reposo invertida a través del inversor 520. Un experto en la técnica entenderá que el canal n que pasa a los transistores 516 y 518 se puede reemplazar con compuertas de transmisión CMOS completas o transistores de canal p. Adicionalmente, solo se muestra un par único de transistores 516 y 518, pero cabe notar que en la práctica, habrá un par de transistores de paso configurados de la misma forma para cada par de compuertas lógicas decodificadoras.

15 Durante un modo de reposo cuando se dirige SLEEP al alto nivel lógico activo, los transistores 512 y 514 se apagan para aislar el circuito pre-decodificador de fila de alta velocidad de decodificador lógico de los suministros de energía. El escape de corriente a través de este circuito se minimiza debido a que se pueden formar transistores 512 y 514 como dispositivos de alto voltaje de umbral que exhiben mínimo escape de corriente. Con SLEEP en alto nivel lógico, el transistor 518 se apaga mientras se enciende el transistor 516. El precircuito decodificador de fila de baja energía 404 permanece activo y pasa a su salida para PDR_ADDR[k].

20 SLEEP se dirige al bajo nivel lógico inactivo para encender los transistores 512 y 514. El transistor 518 se enciende mientras que el transistor 516 se apaga. Si se desea, DEEP puede ser lógicamente OR'd con SLEEP* y se dirige a VDD para desacoplar VDDL y VSSL del precircuito decodificador de fila de baja energía 404 de VDD y VSS cuando SLEEP está en bajo nivel lógico inactivo.

25 La Figura 6 es un esquema de circuito del búfer de dirección dependiente de modo 406 mostrado en la Figura 4. El búfer de dirección dependiente de modo 406 incluye el búfer de dirección de alta velocidad 600 y el búfer de dirección de baja energía 602, ambos reciben y son operables para asegurar la dirección de actualización REF_ADDR[p] del contador de dirección de fila 412. El búfer de dirección de alta velocidad 600 se puede establecer para recibir y asegurar las señales de dirección externas A0-An en lugar de REF_ADDR[p] en respuesta a la señal de control REFR. Aunque no se muestra, el búfer de dirección de alta velocidad 600 puede incluir un circuito MUX para pasar uno de A0-An o REF_ADDR [p]. También, el búfer de dirección dependiente del modo 406 realiza funciones en respuesta a las otras señales de comando COMMAND (véase Figura 4). El búfer de dirección de baja energía 602 recibe SLEEP para asegurar REF_ADDR[p] y pasar OSC_OUT durante las operaciones de actualización automática. La salida de búfer de dirección de alta velocidad 600 se acopla a R_ADDR_F[n] mediante la compuerta de transmisión CMOS 604 controlada por SLEEP y SLEEP*. R_ADDR_F[n] se acopla a VSS mediante el transistor de canal n 606 que tiene su compuerta conectada a SLEEP. De forma similar, la salida de búfer de dirección de baja energía 602 se acopla a R_ADDR_S[n] mediante la compuerta de transmisión CMOS 608 controlada por SLEEP* y SLEEP. R_ADDR_S[n] se acopla a VSS mediante el transistor de canal n 610 que tiene su compuerta conectada a SLEEP*.

En la operación normal, SLEEP está en el bajo nivel lógico inactivo y SLEEP* está en el alto nivel lógico para encender la compuerta de transmisión CMOS 604 y para apagar el transistor 606. Por lo tanto R_ADDR_F[n] se conduce por el búfer de dirección de alta velocidad 600. Por el contrario, la compuerta de transmisión CMOS 608 se apaga y se enciende el transistor 610 para mantener R_ADDR_S[n] a VSS.

- 45 En el modo de descanso, SLEEP se establece para el alto nivel lógico activo y SLEEP* está en el bajo nivel lógico para apagar la compuerta de transmisión CMOS 604 y para encender el transistor 606. Por lo tanto R_ADDR_F[n] se mantiene en VSS. Por el contrario, la compuerta de transmisión CMOS 608 se enciende y el transistor 610 se apaga para permitir que el búfer de dirección de baja energía 602 se dirija a R_ADDR_S[n].

50 El búfer de dirección de alta velocidad 600 se puede configurar para incluir el interruptor de energía interno distribuido con líneas VDD_L y VSS_L internas que se pueden desacoplar de VDD y VSS para reducir el consumo de energía mientras que el circuito no se utiliza en el modo de descanso. Adicionalmente, el búfer de dirección de baja energía 602 puede incluir el circuito de conmutación de energía interno distribuido con carriles VDDL y VSSL.

En el ejemplo actualmente mostrado de la Figura 6, R_ADDR_F[n] y R_ADDR_S[n] se dirigen a VSS cuando se desconecta de sus circuitos de búfer respectivo. Alternativamente, R_ADDR_F[n] y R_ADDR_S[n] se pueden dirigir

a VDD, o simplemente se dejan flotar. Una ventaja para dirigir R_ADDR_F[n] y R_ADDR_S[n] a VSS o VDD se hará más evidente adelante.

5 Sigue una descripción de la operación del sistema DRAM mostrada en la Figura 4 junto con las Figuras 5A, 5B, 5C y 6, con referencia al diagrama de tiempo/secuencia mostrado en la Figura 7. El diagrama de la Figura 7 muestra los trazos de señal para lo siguiente: CLK de señal de reloj; CKE de señal que permite el reloj; comando de actualización REFRESH externo; señal de control SLEEP; OSC_OUT de señal de oscilación, dirección de fila R_ADDR_S[n] lenta; dirección de fila R_ADDR_F[n] rápida; y VDD_L y VSS_L de carriles internos utilizados dentro del circuito pre-decodificador de fila de alta velocidad 402.

10 Las operaciones normales, que incluyen lectura/escritura y actualización automática, ocurren durante el periodo t1. Debido a que la señal de control SLEEP se mantiene a nivel inactivo VSS, OSC_OUT al nivel inactivo VSS. Con SLEEP en el nivel inactivo, el búfer de dirección de alta velocidad 600 proporciona las señales R_ADDR_F[n] en alta frecuencia para el circuito pre-decodificador de fila de alta velocidad 402, que luego genera una dirección de fila precodificada pasada mediante MUX 400. Durante este periodo, R_ADDR_S[n] se mantiene a VSS. Debido a que el circuito pre-decodificador de fila de alta velocidad 402 es completamente activo, VDD_L y VSS_L se acoplan respectivamente a VDD y VSS.

15 Cerca al final del periodo t1, CKE cae a VSS y se recibe un comando de actualización válido de COMANDO DE ACTUALIZACIÓN al inicio del periodo t2. Bajo estas condiciones, SLEEP se dirige al alto nivel lógico activo de VDD para iniciar el modo de descanso. Con SLEEP en el nivel activo de VDD, OSC_OUT oscilará en una frecuencia relajada para activar el contador de dirección de fila 412 para proporcionar una nueva dirección actualizada REF_ADDR[p] sincrónicamente con OSC_OUT. El búfer de dirección de baja energía 602 asegurará REF_ADDR[p] y activará el R_ADDR_S[n] en la frecuencia OSC_OUT. MUX 400 pasará solo la dirección de fila precodificada proporcionada por el precircuito decodificador de fila de baja energía 404, mientras que VDD_L y VSS_L en el circuito pre-decodificador de fila de alta velocidad 402 se desconectan de VDD y VSS respectivamente. Como se muestra en la Figura 7, el VDD_L se descarga más lentamente y el VSS_L se carga más lentamente. Un voltaje de equilibrio eventual de ΔV_{L1} de VDD_L al final del modo de reposo se da por:

$$\Delta V_{L1} = V_{TP0} - V_{TP1} + (S/\ln 10)[\ln(W_{P1}/W_{P0})]$$

(1)

En donde:

V_{TP0} es el voltaje de umbral de transistor 512;

V_{TP1} es el voltaje de umbral del transistor de canal p 552 del inversor 510;

30 W_{P0} es el ancho de canal del transistor 512;

W_{P1} es el ancho de canal de transistor 552; y

S es el subumbral de oscilación.

De forma similar, un voltaje de equilibrio eventual de ΔV_{L2} de VSS_L al final del modo de reposo se da por:

$$\Delta V_{L2} = |V_{TN0}| - |V_{TN1}| + (S/\ln 10)[\ln(W_{N1}/W_{N0})]$$

(2)

35

En donde:

V_{TN0} es el voltaje de umbral del transistor 514;

V_{TN1} es el voltaje de umbral del transistor de canal n 548 de la compuerta NAND 508;

W_{N0} es el ancho de canal del transistor 514;

W_{N1} es el ancho de canal de transistor 548; y

S es el subumbral de oscilación.

Sin embargo, debido a que ni VDD_L ni VSS_L está conectado al suministro de energía VDD y VSS, se minimiza el escape de corriente.

5 El periodo de actualización automática t_2 continuará hasta que CKE a VDD al inicio del periodo t_3 . SLEEP se dirige al nivel inactivo VSS y OSC_OUT cae en el nivel inactivo VSS. Con SLEEP en el nivel inactivo VSS, se deshabilita el búfer de dirección de baja energía 602, y el búfer de dirección de alta velocidad se deja dirigir R_ADDR_F[n] para el circuito pre-decodificador de fila de alta velocidad permitido 402. Como se muestra en la Figura 7, las líneas VDD_L y VSS_L internas se restauran para VDD y VSS después que el interruptor de energía interno los reconecta a VDD y VSS.

10 Como se mencionó previamente, se presenta una ventaja al tener dos grupos independientes de direcciones de filas, a saber R_ADDR_F[n] y R_ADDR_S[n]. De acuerdo con una realización de la presente invención, las señales que llevan líneas de R_ADDR_F[n] se pueden intercalar con aquellas de R_ADDR_S[n] para proporcionar protección al ruido y reducción de interferencias. Este tipo de protección es beneficioso para señalización de alta frecuencia, tal como para direcciones de fila R_ADDR_F[n]. Es bien sabido en la técnica anterior que las líneas de señal se pueden proteger al ponerlas adyacentes a las líneas VDD o VSS. De acuerdo con las presentes realizaciones, las líneas de señal se pueden intercalar verticalmente u horizontalmente.

15 La Figura 8 ilustra un diseño entrelazado horizontal de las líneas de señal R_ADDR_F[n] y R_ADDR_S[n]. Estas líneas se forman normalmente de metal y en la misma capa de metal del dispositivo semiconductor. Como se muestra en la Figura 8, cada línea de R_ADDR_F[n] se intercala con cada línea de R_ADDR_S[n]. En la Figura 8, se muestra una línea R_ADDR_S[j] adicional. Se observa que la j variable es igual a 0 o un valor entero mayor de 0. Con referencia a la Figura 6, todas las líneas de señal individuales de R_ADDR_S[n] se dirigen a VDD en el modo normal, protegiendo así cada línea de señal R_ADDR_F[n].

20 La Figura 9 ilustra un diseño entrelazado vertical de las líneas de señal R_ADDR_F[n] y R_ADDR_S[n]. El ejemplo (a) muestra dos líneas metal verticalmente apiladas con respecto uno al otro, en donde la línea superior lleva una señal de dirección R_ADDR_S[n] y la línea inferior lleva una señal de dirección R_ADDR_F[n]. El ejemplo (b) muestra una configuración que consiste de tres líneas de metal verticalmente apiladas entre sí. Las líneas superior e inferior llevan las señales de dirección R_ADDR_S[n] y la línea media lleva una señal de dirección R_ADDR_F[n]. Cada línea de metal en los ejemplos (a) y (b) se forman con una capa de metal diferente. La configuración intercalada de línea de dirección vertical se puede combinar con intercalado horizontal.

25 En resumen, al implementar versiones bajas en energía de circuitos lógicos de alta velocidad en el sistema, en duplicado, se pueden realizar ahorros significativos de energía. Para los sistemas DRAM, la presente invención se incorpora por el búfer de dirección de baja energía y el precircuito decodificador de fila de baja energía. Las realizaciones de la invención previamente descritas no se deben limitar a la adición de un circuito lógico de baja energía en paralelo a un circuito lógico de alta velocidad. Por ejemplo, además de un circuito lógico de baja energía, el sistema puede incluir un tercer circuito lógico optimizado para balancear el consumo de energía y la velocidad. En las realizaciones, los elementos, dispositivos y circuitos se conectan entre sí como se muestra en las figuras, por bien de simplicidad. En las aplicaciones prácticas de la presente invención, los dispositivos, elementos y circuitos se pueden conectar o acoplar directamente entre sí o se pueden conectar o acoplar indirectamente entre sí a través de otros dispositivos, elementos, circuitos.

30 La presente invención se puede aplicar a cualquier nivel jerárquico para decodificar la dirección, y se pueden controlar otros suministros de energía tal como VPP o VBB.

35 Las realizaciones de la presente invención descritas anteriormente pretenden ser solo ejemplos. Aquellos expertos en la técnica pueden efectuar alteraciones, modificaciones y variaciones a las realizaciones particulares sin apartarse del alcance de la invención, que se define únicamente por las reivindicaciones adjuntas.

45

REIVINDICACIONES

1. Una memoria dinámica de acceso aleatorio (DRAM) que tiene una operación de actualización automática, caracterizado por:
- 5 un circuito predecodificador (402) para proporcionar una dirección decodificada previamente en respuesta a una dirección de fila lógica en una operación normal, el circuito predecodificador (404) se deshabilita en un modo de operación de descanso;
- un circuito pre-decodificador de baja energía (404) para proporcionar la dirección pre-codificada en respuesta a la dirección de fila lógica en la operación de actualización automática del modo de operación de descanso; y
- 10 un decodificador de fila (452) para recibir la dirección pre-codificada y dirigir por lo menos una línea de palabras que corresponde a la dirección pre-codificada.
2. La DRAM de la reivindicación 1, que incluye adicionalmente un circuito de interruptor de energía para desacoplar selectivamente el circuito predecodificador de VDD o VSS en la operación de actualización automática.
3. La DRAM de la reivindicación 1, que incluye adicionalmente un circuito multiplexor para pasar la dirección pre-codificada del circuito predecodificador en la operación normal y para pasar la dirección pre-codificada desde el circuito pre-decodificador de baja energía en la operación de actualización automática.
- 15 4. La DRAM de la reivindicación 1, en donde el circuito pre-decodificador de baja energía incluye transistores que tienen mayor voltaje de umbral que los transistores del circuito predecodificador.
5. La DRAM de la reivindicación 1, en donde el circuito pre-decodificador de baja energía y el circuito predecodificador tienen configuraciones idénticas de circuito lógico.
- 20 6. La DRAM de la reivindicación 1, que incluye adicionalmente un primer bus de dirección para proporcionar una primera dirección de fila al circuito predecodificador, y un segundo bus de dirección para proporcionar una segunda dirección de fila al circuito pre-decodificador de baja energía, preferiblemente las líneas de señal del primer bus de dirección y el segundo bus de dirección se intercalan.
7. La DRAM de la reivindicación 6, que incluye adicionalmente un búfer de dirección de alta velocidad para dirigir el primer bus de dirección en la operación normal, y un búfer de dirección de baja energía para dirigir el segundo bus de dirección en la operación de actualización automática, el búfer de dirección de baja energía dirige el segundo bus de dirección a uno del VDD y VSS en la operación normal.
- 25 8. Una memoria dinámica de acceso aleatorio (DRAM) que tiene una operación de actualización automática, caracterizado por:
- 30 el circuito de dirección de fila de alta velocidad (402) para proporcionar una primera dirección de fila decodificada previamente en respuesta a una dirección actualizada en un primer modo de operación, el circuito de dirección de fila de alta velocidad se deshabilita en un segundo modo de operación;
- circuito de dirección de fila de baja energía (404) para proporcionar una segunda dirección de fila decodificada previamente en respuesta a la dirección de actualización en el segundo modo de operación;
- 35 un decodificador de fila (452) para dirigir una línea de palabras en respuesta a la primera dirección decodificada previamente en el primer modo de operación y para dirigir la línea de palabras en respuesta a la segunda dirección decodificada previamente en el segundo modo de operación.
9. La DRAM de la reivindicación 8, en donde el circuito de dirección de fila de alta velocidad incluye un circuito predecodificador de fila de alta velocidad para proporcionar la primera dirección de fila decodificada previamente que corresponde a la dirección actualizada, y el circuito de dirección de fila de baja energía incluye un circuito predecodificador de fila de baja velocidad para proporcionar la segunda dirección de fila decodificada previamente que corresponde a la dirección actualizada.
- 40 10. La DRAM de la reivindicación 9, en donde el circuito de dirección de fila de alta velocidad incluye adicionalmente un búfer de dirección de alta velocidad para proporcionar señales de dirección de fila de alta velocidad en respuesta
- 45

a la dirección de actualización al circuito pre-decodificador de fila de alta velocidad, y el circuito de dirección de fila de baja energía incluye adicionalmente un búfer de dirección de baja velocidad para proporcionar señales de dirección de fila de baja velocidad en respuesta a la dirección de actualización al circuito pre-decodificador de baja energía.

- 5 11. La DRAM de la reivindicación 8, en donde el circuito de dirección de fila de alta velocidad incluye un búfer de dirección de alta velocidad para proporcionar señales de dirección de fila de alta velocidad en respuesta a la dirección actualizada, y un circuito pre-decodificador de fila de alta velocidad para proporcionar la primera dirección de fila decodificada previamente en respuesta a las señales de dirección de fila de alta velocidad.
- 10 12. La DRAM de la reivindicación 8, en donde el circuito de dirección de fila de baja energía incluye un búfer de dirección de baja velocidad para proporcionar señales de dirección de fila de baja velocidad en respuesta a la dirección actualizada, y un circuito pre-decodificador de fila de baja velocidad para proporcionar la segunda dirección de fila decodificada previamente en respuesta a las señales de dirección de fila de baja energía.
13. Un método para operar una memoria dinámica de acceso aleatorio (DRAM) en una operación de actualización automática, caracterizado porque:
- 15 proporcionar una dirección de fila decodificada previamente de alta velocidad en respuesta a una dirección actualizada en un primer modo de operación, preferiblemente una de lectura, escritura o actualización automática;
- deshabilitar el circuito para proporcionar la dirección de fila decodificada previamente de alta velocidad en un segundo modo de operación;
- 20 proporcionar una dirección de fila decodificada previamente de baja energía en respuesta a la dirección de actualización en el segundo modo de operación, preferiblemente un modo de operación de descanso; y
- dirigir una línea de palabras en respuesta a la dirección de fila decodificada previamente de alta velocidad o la dirección de fila decodificada previamente de baja energía.
- 25 14. El método de la reivindicación 13, en donde proporcionar la dirección de fila decodificada previamente de alta velocidad incluye proporcionar señales de dirección de fila de alta velocidad en respuesta a la dirección actualizada, y decodificar las señales de dirección de fila de alta velocidad en la dirección de fila decodificada previamente de alta velocidad.
- 30 15. El método de la reivindicación 13, en donde proporcionar la dirección de fila decodificada previamente de baja energía incluye proporcionar señales de dirección de fila de baja energía en respuesta a la dirección actualizada, y decodificar las señales de dirección de fila de baja energía en la dirección de fila decodificada previamente de baja energía.

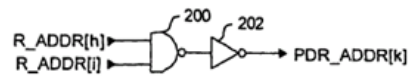


FIGURA 2 (Técnica Anterior)

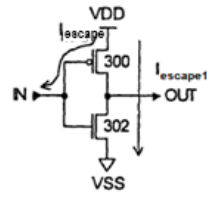


FIGURA 3 (Técnica Anterior)

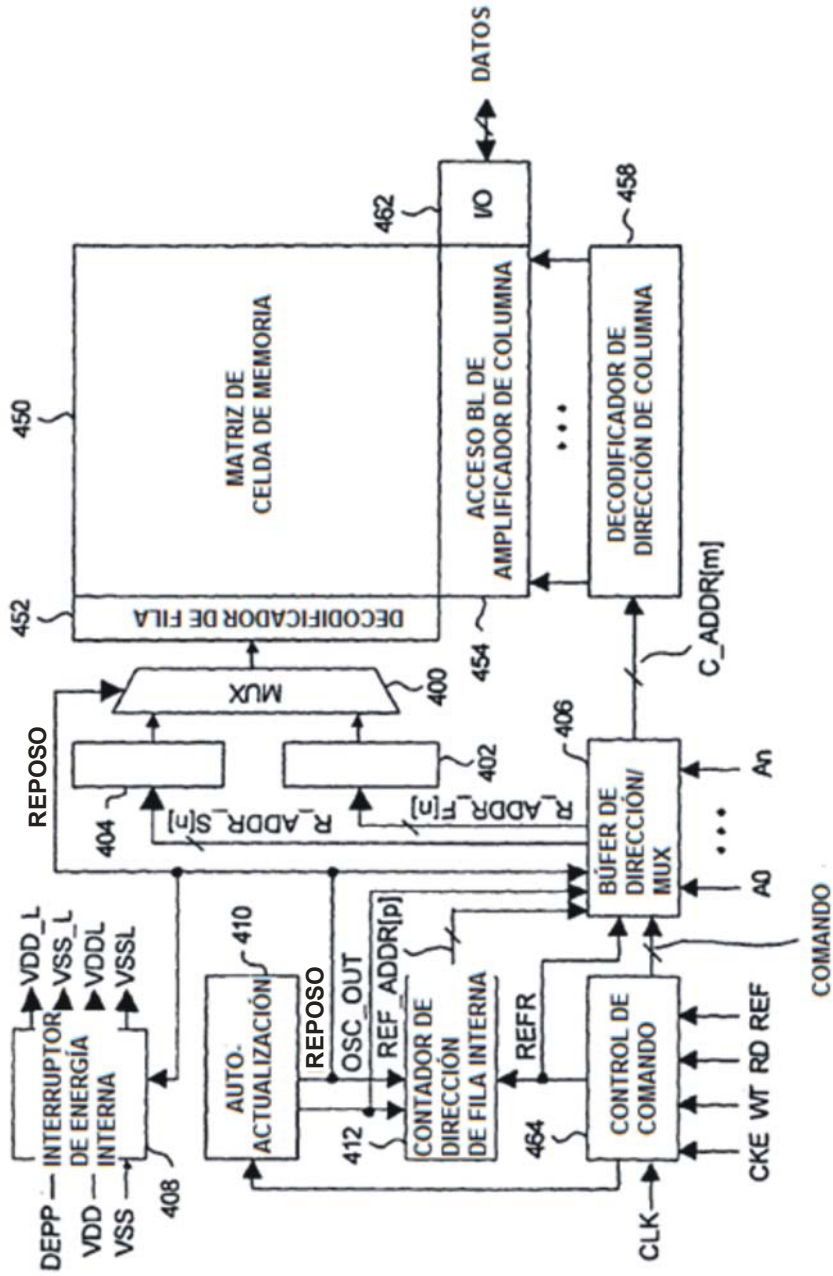


FIGURA 4

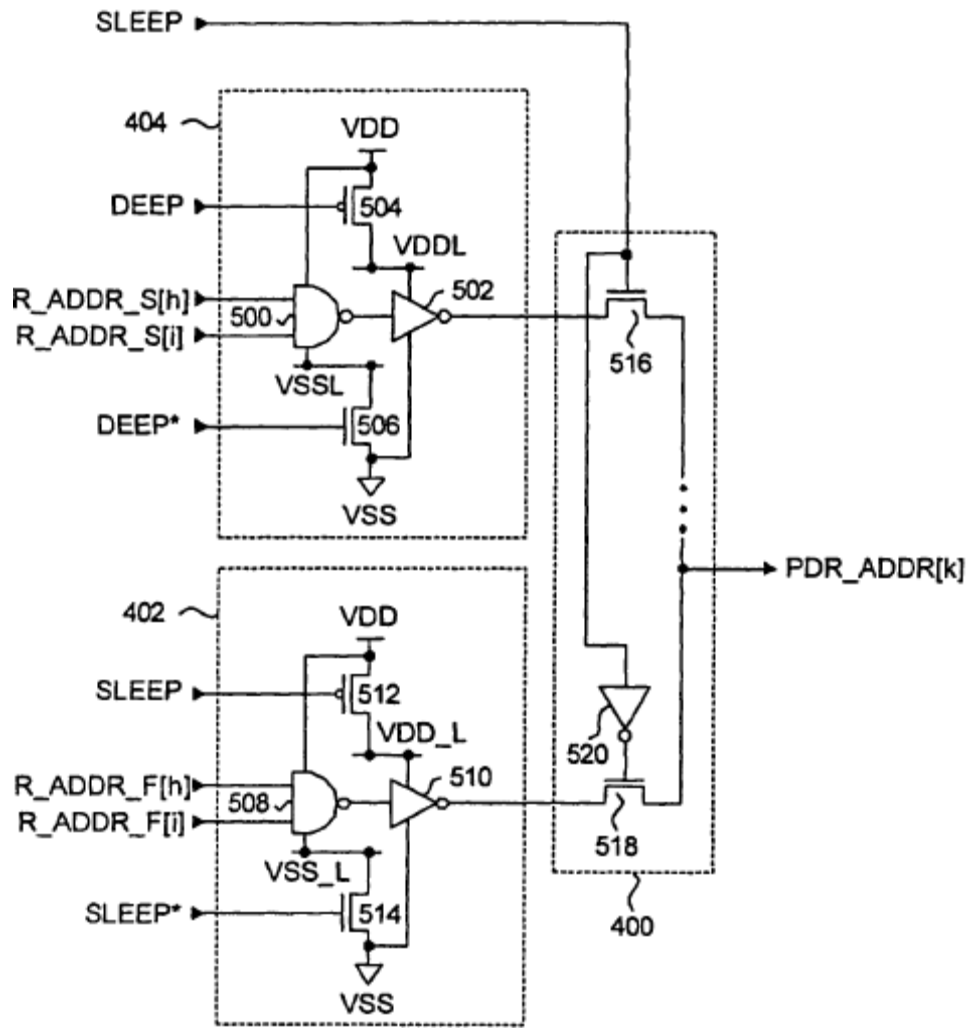


FIGURA 5A

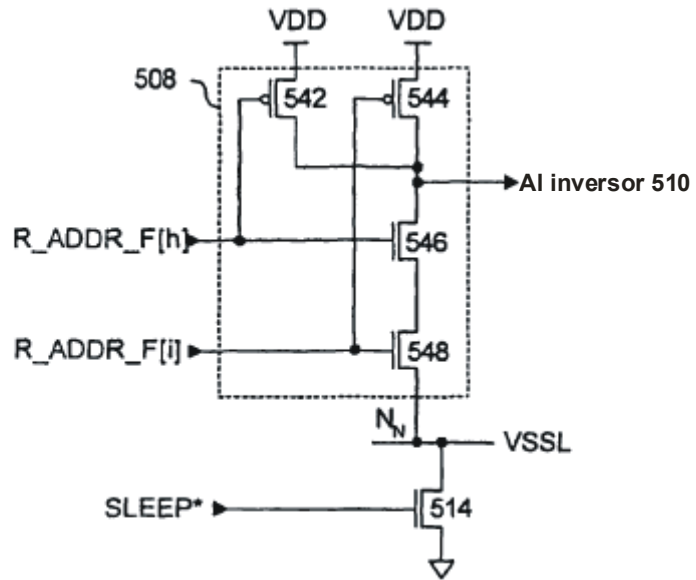


FIGURA 5B

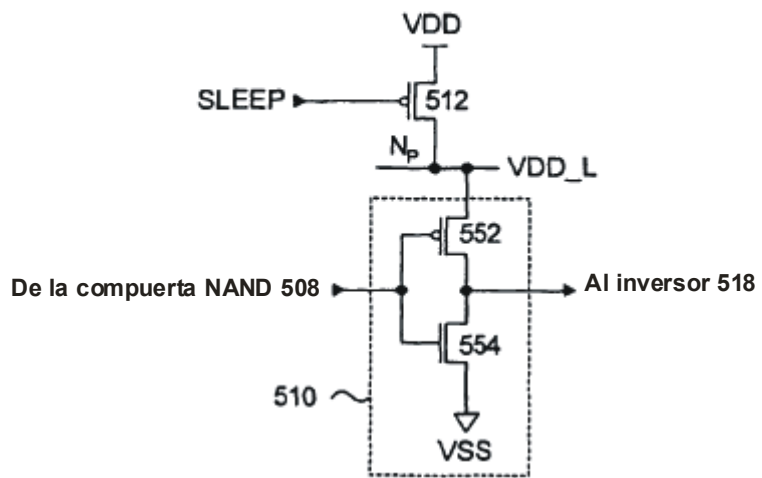


FIGURA 5C

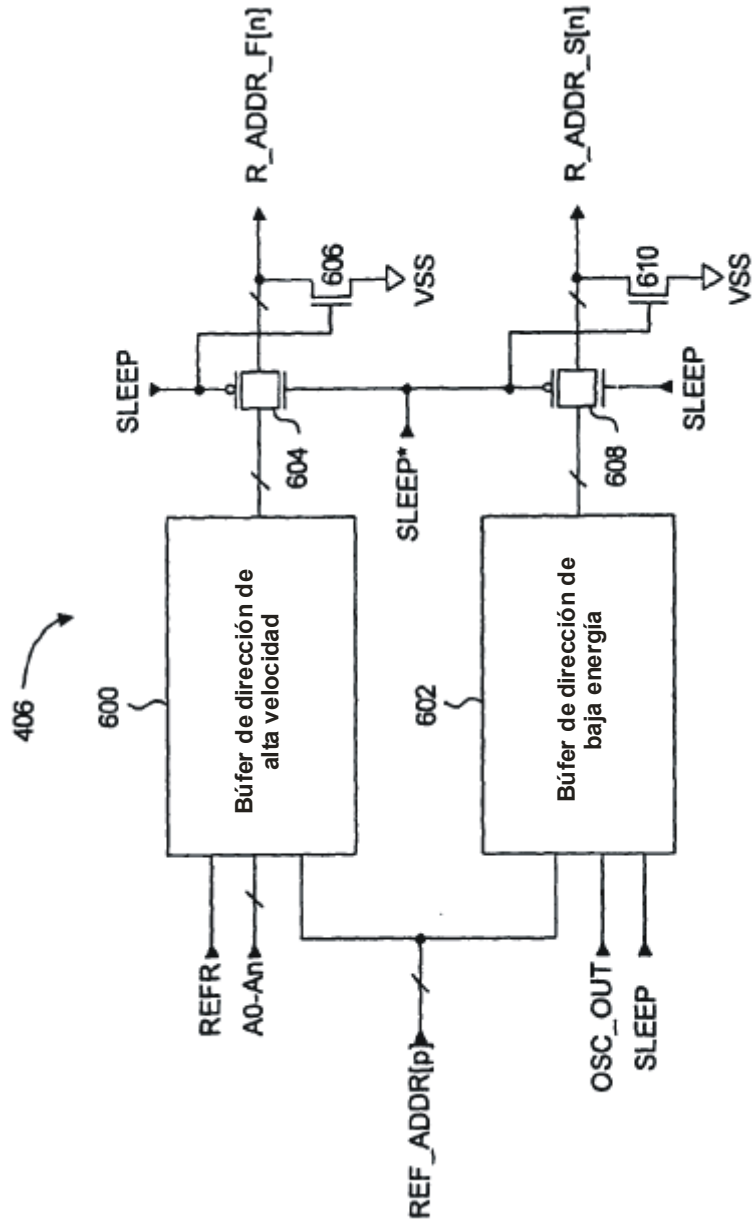


FIGURA 6

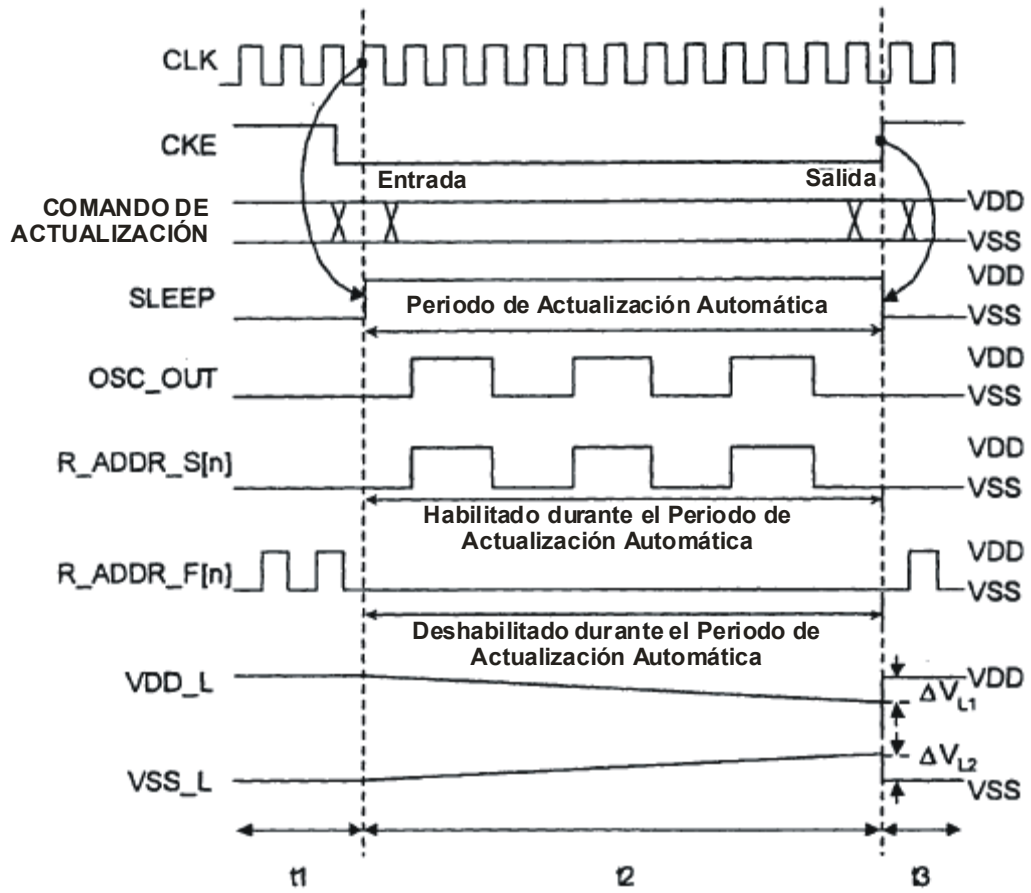


FIGURA 7

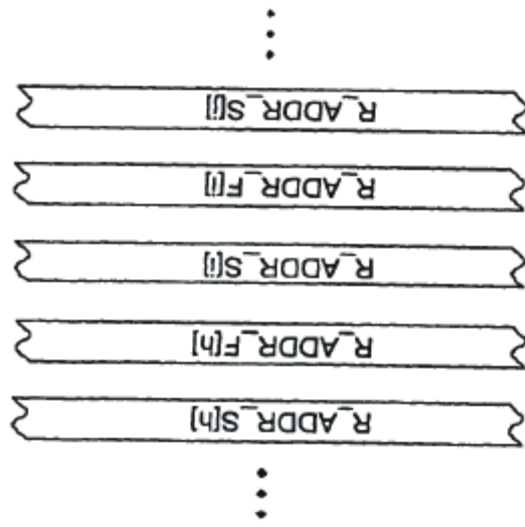


FIGURA 8

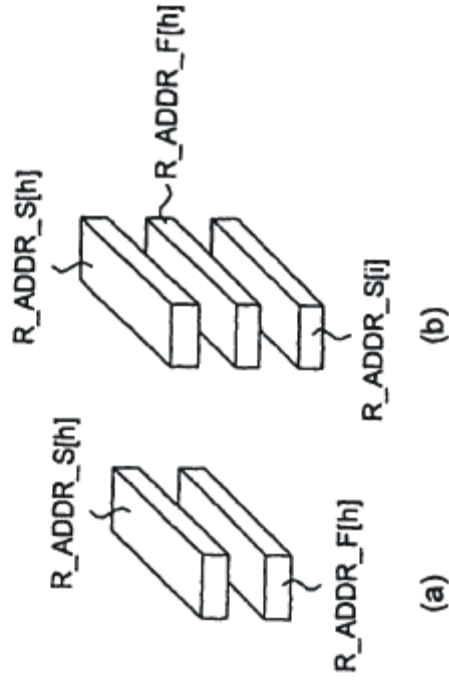


FIGURA 9