(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 427 179**

(51) Int. Cl.:

H04L 1/00	(2006.01)	*H04H 40/90*	(2008.01)
H03M 13/11	(2006.01)	*H03M 13/35*	(2006.01)
H03M 13/25	(2006.01)	*H03M 13/15*	(2006.01)
H03M 13/29	(2006.01)	*H03M 13/09*	(2006.01)
H03M 13/00	(2006.01)		
H04L 27/20	(2006.01)		
H04L 27/34	(2006.01)		
H04L 27/36	(2006.01)		
H04L 27/18	(2006.01)		
H04L 25/06	(2006.01)		

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **03.07.2003** **E 10178955 (0)**

(97) Fecha y número de publicación de la concesión europea: **19.06.2013** **EP 2273683**

(54) Título: **Codificación de los códigos de comprobación de paridad de baja densidad**

(30) Prioridad:

03.07.2002 US 393457 P **26.07.2002 US 398760 P**
15.08.2002 US 403812 P **25.10.2002 US 421505 P**
29.10.2002 US 421999 P **04.11.2002 US 423710 P**
15.01.2003 US 440199 P **14.02.2003 US 447641 P**
20.03.2003 US 456220 P **09.05.2003 US 469356 P**
24.06.2003 US 482112 P **24.06.2003 US 482107 P**

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
29.10.2013

(73) Titular/es:

DTVG LICENSING, INC (100.0%)
2230 East Imperial Highway
El Segundo CA 90245, US

(72) Inventor/es:

EROZ, MUSTAFA;
SUN, FENG-WEN y
LEE, LIN-NAN

(74) Agente/Representante:

IZQUIERDO FACES, José

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

ES 2 427 179 T3

DESCRIPCIÓN

Codificación de los códigos de comprobación de paridad de baja densidad.

CAMPO DE LA INVENCIÓN

La presente invención se refiere a sistemas de comunicación, y más particularmente a sistemas codificados.

ANTECEDENTES DE LA INVENCIÓN

Los sistemas de comunicación emplean códigos para asegurar una comunicación fiable a través de canales ruidosos de comunicación. Estos canales de comunicación muestran una capacidad fija que puede expresarse en términos de bits por símbolo en cierta relación señal/ruido (SNR), que define un límite superior teórico (conocido como límite de Shannon). Como resultado, el diseño codificador ha tenido como objetivo conseguir índices que se aproximen a este límite de Shannon. Los sistemas de comunicación codificados convencionales han tratado por separado los procesos de codificación y modulación. Además, se ha prestado poco atención al etiquetado de constelaciones de señales.

Una constelación de señales proporciona un conjunto de símbolos posibles que se transmitirán, por lo que los símbolos corresponden a contraseñas que resultan de un codificador. Una elección del etiquetado de constelaciones incluye el etiquetado de código Gray. Con el etiquetado de código Gray, los puntos de la señal vecina difieren en exactamente una posición bit. La vista convencional predominante de modulación dicta que puede utilizarse cualquier programa de etiquetado razonable, que en parte es responsable de la insuficiencia de investigación en esta área.

Con respecto a la codificación, una clase de códigos que se aproximan al límite de Shannon es la de los códigos de comprobación de paridad de baja densidad (LDPC). Tradicionalmente, los códigos LDPC no se han empleado mucho debido a un número de inconvenientes. Un inconveniente es que la técnica de codificación de LDPC es muy compleja. Codificar un código LDPC usando su matriz generadora requeriría almacenar una matriz muy grande y no dispersa. Además, los códigos LDPC requieren grandes bloques para ser efectivos; como consecuencia, aunque las matrices de comprobación de paridad de códigos LDPC son dispersas, almacenar estas matrices es problemático.

Desde una perspectiva de implementación, se enfrentan un número de retos. Por ejemplo, el almacenaje es una razón importante por la que los códigos LDPC no se han extendido en la práctica. También, un reto clave en la implementación de códigos LDPC ha sido cómo conseguir la red de conexión entre varios motores de procesamiento (nodos) en el decodificador. Además, la carga computaciones en el proceso de decodificación, específicamente las operaciones de nodo de comprobación, tiene un problema.

"Constructing Low-Density Parity Check Codes", J. W.Bond et al. (Proc., IEEE/AFCEA Sistemas de Información para Mejorar la Prevención y Seguridad Pública, EUROCOMM 2000, 17 mayo 2000) describe la construcción de códigos potentes LDPC con índice de codificación 1/2 y 4/7.

RESUMEN DE LA INVENCIÓN

Estas y otras necesidades son a las que se dirige la presente invención, que se define en las reivindicaciones adjuntas. Un codificador, tal como un codificador de comprobación de paridad de baja densidad (LDPC), genera señales codificadas al transformar una señal de entrada en una contraseña representada por una pluralidad de conjuntos de bits.

De acuerdo con un aspecto de una realización de la presente invención, se desvela un método para generar señales codificadas. El método incluye recibir una de una pluralidad de un conjunto de bits de una contraseña de un codificador para transformar un mensaje de entrada en una contraseña.

De acuerdo con otro aspecto de una realización de la presente invención, se desvela un codificador para generar señales codificadas. El codificador está configurado para transformar una señal de entrada en una contraseña representada por una pluralidad de conjuntos de bits.

Aún otros aspectos, características y ventajas más de la presente invención son fácilmente aparentes a partir de la siguiente descripción detallada, simplemente al ilustrar un número de realizaciones e implementaciones particulares, incluyendo el mejor modo contemplado para realizar la presente invención. La presente invención también es capaz de otras y diferentes realizaciones, y sus varios destalles pueden modificarse en varios aspectos obvios, todos sin partir del alcance de la presente invención. Por consiguiente, los dibujos y la descripción se considerarán como ilustrativos en naturaleza, y no como restrictivos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La presente invención se ilustra a modo de ejemplo, y no a modo de limitación, en las figuras de los dibujos acompañantes y en los que los números de referencia se refieren a elementos similares en los que:

La FIG. 1 es un diagrama de un sistema de comunicación configurado para utilizar códigos de de comprobación de paridad de baja densidad (LDPC).

Las FIGs. 2A y 2B son diagramas de codificadores LDPC ejemplares en el transmisor de la FIG. 1;

La FIG. 3 es un diagrama de un receptor ejemplar en el sistema de la FIG. 1;

La FIG. 4 es un diagrama de una matriz de comprobación de paridad dispersa.

La FIG. 5 es un diagrama de un gráfico bipartito de un código LDPC de la matriz de la FIG. 4;

La FIG. 6 es un diagrama de una sub-matriz de una matriz de comprobación de paridad dispersa, donde la sub-matriz contiene valores de comprobación de paridad restringidos a la región inferior triangular.

La FIG. 7 es un gráfico que muestra la actuación entre códigos que utilizan matriz de comprobación de paridad ilimitada (matriz H) contra matriz limitada H que tiene una sub-matriz como en la FIG. 6;

Las FIGs. 8A y 8B son, respectivamente, un diagrama de un programa de modulación no Gray 8-PSK y un modulación Gray 8-PSK, cada una de las cuales pudiéndose usar en el sistema de la FIG. 1;

La FIG. 8C es un diagrama de un proceso para etiquetar bits para una constelación de señal de mayor orden;

La FIG. 8D es un diagrama de constelaciones ejemplares 16-APSK (Modulación por desplazamiento de fase de amplitud);

La FIG. 8E es un gráfico de tasa de error de paquetes (PER) contra señal para ruido para las constelaciones de la Fig. 8D;

La FIG. 8F es un diagrama de constelaciones para los símbolos de la modulación por desplazamiento de fase cuaternaria (QPSK), 8-PSK, 16-PSK y 32-PSK.

La FIG. 8G es un diagrama de constelaciones alternativas para símbolos de 8-PSK, 16-PSK y 32-PSK.

La FIG. 8H es un gráfico de tasa de error de paquetes (PER) contra señal para ruido para las constelaciones de la Fig. 8F;

La FIG. 9 es un gráfico que muestra la actuación entre códigos que utilizan etiquetado Gray contra etiquetado no Gray;

La FIG. 10 es un diagrama de flujo del funcionamiento del decodificador LDPC usando mapeo no Gray;

La FIG. 11 es un diagrama de flujo del funcionamiento del decodificador LDPC de la Figura 3 usando mapeo Gray;

Las FIGs. 12A-12C son diagramas de las interacciones entre los nodos de comprobación y los nodos de bit en un proceso de decodificación;

Las FIGs. 13A y 13B son diagramas de flujo de procesos para calcular los mensajes salientes entre los nodos de comprobación y los nodos de bit usando, respectivamente, una técnica hacia delante-hacia atrás y una técnica paralela;

Las FIGs. 14A-14C son gráficos que muestran los resultados de simulación de códigos LDPC generados;

Las FIGs. 15A y 15B son diagramas del borde superior y el borde inferior, respectivamente, de la memoria organizada para mantener el acceso estructurado para realizar aleatoriedad en la codificación LDPC; y

La FIG. 16 es un diagrama de un sistema de ordenador que puede realizar los procesos de codificación y decodificación de códigos LDPC.

DESCRIPCIÓN DE LA REALIZACIÓN PREFERENTE

En la siguiente descripción, para fines explicativos, se establecen numerosos detalles específicos con el fin

de proporcionar una comprensión profunda de la presente invención. Sin embargo, es aparente para aquel experto en la técnica que la presente invención puede practicarse sin estos detalles específicos o con una disposición equivalente. En otros casos, se muestran estructuras y dispositivos bien conocidos en diagrama de bloques con el fin de evitar ocultar de manera innecesaria la presente invención.

La FIG. 1 es un diagrama de un sistema de comunicaciones configurado para utilizar códigos de Comprobación de Paridad de baja Densidad (LDPC), de acuerdo con una realización de la presente invención. Un sistema de comunicaciones digital 100 incluye un transmisor 101 que genera ondas de señal a través de un canal de comunicación 103 a un receptor 105. En este sistema de comunicaciones distinto 100, el transmisor 101 tiene una fuente de mensaje que produce un conjunto distinto de mensajes posibles; cada uno de los mensajes posibles tiene una correspondiente onda de señal. Estas ondas de señal se atenúan, o se alteran de otra manera, por el canal de comunicación 103. Para combatir el canal del ruido 103, se utilizan códigos LDPC.

Los códigos LDPC que se generan mediante el transmisor 101 permiten una implementación a alta velocidad sin provocar ninguna pérdida de actuación. Estos códigos estructurados LDPC que resultado del transmisor 101 evitan la asignación de un número pequeño de nodos de comprobación a los nodos de bit ya vulnerables para los errores del canal por virtud del programa de modulación (por ejemplo, 8-PSK).

Tales códigos LDPC tiene un algoritmo decodificador paralelizable (a diferencia de códigos turbo), que ventajosamente incluyen operaciones simples tales como adición, comparación y búsqueda en tabla. Además, los códigos LDPC diseñados cuidadosamente no muestran ningún signo de suelo de error.

De acuerdo con una realización de la presente invención, el transmisor 101 genera, usando una técnica de codificación relativamente simple, códigos LDPC en base a matrices de comprobación de paridad (que facilitan el acceso de memoria eficiente durante la decodificación) para comunicador con el receptor 105. El transmisor 101 emplea códigos LDPC que pueden superar a los códigos concatenados turbo+RS (Reed-Solomon), siempre y cuando la longitud del bloque sea lo suficientemente larga.

Las FIGs. 2A y 2B son diagramas de codificadores LDPC utilizados en el transmisor de la FIG. 1. Como se ve en la FIG. 2A, un transmisor 200 está equipado con un codificador LDPC 203 que acepta la entrada de una fuente de información 201 y produce un flujo de mayor redundancia adecuada para el procesamiento de corrección de error en el receptor 105. La fuente de información 201 genera señales *k* desde un alfabeto distinto, *X*. Los códigos LDPC se especifican con las matrices de comprobación de paridad. Por otro lado, los códigos LDPC codificadores requieren, en general, especificar las matrices del generador. Aunque es posible obtener matrices del generador a partir de las matrices de comprobación de paridad usando eliminación gaussiana, la matriz resultante deja de ser dispersa y el almacenamiento de una matriz generadora grande puede ser complejo.

El codificador 203 genera señales del alfabeto Y a una unidad de para direccionar señales 206, que proporciona un mapeo del alfabeto Y a los símbolos de la constelación de la señal correspondiente al programa de modulación empleado por un modulador 205. Este mapeo sigue un programa no secuencial, tal como intercalación. Los mapeos ejemplares se describen con más detalle más abajo con respecto a la FIG. 8C. El codificador 203 usa una técnica simple de codificación que hace uso de solamente una matriz de comprobación de paridad imponiendo la estructura en la matriz de comprobación de paridad. Específicamente, se coloca una restricción sobre la matriz de comprobación de paridad al obligar a cierta parte de la matriz a ser triangular. La construcción de tal matriz de comprobación de paridad se describe con más detalle más abajo en la FIG. 6. Tal restricción da como resultado una pérdida insignificante de actuación, y por lo tanto, constituye una atractiva compensación.

El modulador 205 modula los símbolos de la constelación de señales desde la unidad para direccionar 206 a las ondas de señal que se transmiten a una antena de transmisión 207, que emite estas ondas sobre el canal de comunicación 103. Las transmisiones desde la antena de transmisión 207 se propagan a un receptor, como se analiza más abajo.

La FIG. 2B muestra un codificador LDPC utilizado con un codificador Bose Chaudhuri Hocquenghem (BCH) y un codificador de comprobación de redundancia cíclica (CRC). Bajo este supuesto, los códigos generados por el codificador LDPC 203, junto con el codificador CRC 209 y el codificador BCH 211, tiene un código BCH concatenado externo y un código comprobación de paridad de baja densidad interno (LDPC). Además, la detección de errores se consigue usando códigos de comprobación de redundancia cíclica (CRC). El codificador CRC 209, en una realización ejemplar, codifica usando un código CRC 8-bit con polinomio generador $(x^5+x^4+x^3+x^2+1)(x^2+x+1)(x+1)$.

El codificador LDPC 203 codifica sistemáticamente un bloque de in formación de tamaño k_{ldpc}, $i = (i_0, i_1, \ldots, i_{ldpc-1})$ en una contraseña de tamaño n_{ldpc}, $c = (i_0, i_1, \ldots, i_{ldpc-1}, p_0, p^1 \ldots p_{nldpc-kldpc-1})$. La transmisión de la contraseña se inicia en el orden dado desde i_0 y acaba con $p_{nldpc-kldpc-1}$. Los parámetros del código LDPC (n_{ldpc}, k_{ldpc}) se dan en la Tabla 1 más abajo, por lo que los códigos LDPC con índices 1/2, 2/3, 3/4 y 5/6 son ejemplos que no son parte de la invención.

Tabla 1

Parámetros Código LDPC (n_{ldpc} , k_{ldpc})		
Índice código	**Longitud de bloque no codificado LDPC k_{ldpc}**	**Longitud de bloque codificado LDPC n_{ldpc}**
1/2	32400	64800
2/3	43200	64800
3/4	48600	64800
4/5	51840	64800
5/6	54000	64800
3/5	38880	64800
8/9	57600	64800
9/10	58320	64800

La tarea del codificador LDPC 203 es determinar los bits de paridad n_{ldpc} - k_{ldpc} $(p_0, p^1 \ldots p_{nldpc-kldpc-1})$ para cada bloque de bits de información k_{ldpc}, $(i_0, i_1, \ldots, i_{ldpc-1})$. El procedimiento es el siguiente. Primero, se inician los bits de paridad; $p_0 = p_1 = p_2 = \ldots = p_{nldpc-kldpc-1} = 0$. El primer bit de información, i_0, se acumula en las direcciones de bit de paridad especificadas en la primera fila de las Tablas 3 a la 10. Por ejemplo, ara el índice 2/3 (Tabla 3), los siguientes resultados:

$$p_0 = p_0 \oplus i_0$$
$$p_{10491} = p_{10491} \oplus i_0$$
$$p_{16043} = p_{16043} \oplus i_0$$
$$p_{506} = p_{506} \oplus i_0$$
$$p_{12826} = p_{12826} \oplus i_0$$
$$p_{8065} = p_{8065} \oplus i_0$$
$$p_{8226} = p_{8226} \oplus i_0$$
$$p_{2767} = p_{2767} \oplus i_0$$

$$p_{240} = p_{240} \oplus i_0$$
$$p_{18673} = p_{18673} \oplus i_0$$
$$p_{9279} = p_{9279} \oplus i_0$$
$$p_{10579} = p_{10579} \oplus i_0$$
$$p_{20928} = p_{20928} \oplus i_0$$

(Todas las sumas están en CG(2)).

Después para los siguientes 359 bits de información; i_m, m = 1,2…,359, estos bits se acumulan en las direcciones de bit de paridad [$x+m$ mod360xq]mod(n_{ldpc} - k_{ldpc}), donde x indica la dirección del acumular de bit de paridad correspondiente al primer bit i_0, y q es una constante dependiente del índice de código especificada en la Tabla 2. Continuando con el ejemplo, q = 60 para índice 2/3. A modo de ejemplo, para el bit de información i_1, se realizan las siguientes operaciones:

$$p_{60} = p_{60} \oplus i_1$$
$$p_{10551} = p_{10551} \oplus i_1$$
$$p_{16103} = p_{16103} \oplus i_1$$
$$p_{566} = p_{566} \oplus i_1$$
$$p_{12886} = p_{12886} \oplus i_1$$
$$p_{8125} = p_{8125} \oplus i_1$$

$$p_{8286} = p_{8286} \oplus i_1$$
$$p_{2827} = p_{2827} \oplus i_1$$
$$p_{300} = p_{300} \oplus i_1$$
$$p_{18733} = p_{18733} \oplus i_1$$
$$p_{9339} = p_{9339} \oplus i_1$$
$$p_{10639} = p_{10639} \oplus i_1$$
$$p_{20988} = p_{20988} \oplus i_1$$

Para el bit de información 361º i_{360}, las direcciones de los acumuladores de bit de paridad se dan en la segunda fila de las Tablas 3 a 10. De una manera similar las direcciones de los acumuladores de bit de paridad para los siguientes 359 bits de información i_m, m = 361, 362, ..., 719 se obtienen usando la fórmula {x + m mod360xq}mod(n_{ldpc} - k_{ldpc}), donde x indica la dirección del acumular de bit de paridad correspondiente al bit de información i_{360}, es decir, las entradas en la segunda fila de las Tablas 3-10. De una manera similar, para cada grupo de 360 nuevos bits de información, se usa una nueva fila de las Tablas 3 a 10 para encontrar las direcciones de los acumuladores de bit de paridad.

Después de que todos los bits de información se hayan agotado, los bits de paridad finales se obtienen de la siguiente manera. En primer lugar, se realizan las siguientes operaciones, comenzando con i = 1

$$p_i = p_i \oplus p_{i-1}, \quad i = 1,2,\ldots,n_{ldpc} - k_{ldpc} - 1.$$

El contenido final de p_i, i = 0,1,.. n_{ldpc} - k_{ldpc} – 1 es igual al bit de paridad p_i.

Tabla 2

Índice de código	q
2/3	60
5/6	30
1/2	90
3/4	45
4/5	36
3/5	72
8/9	20
9/10	18

Tabla 3

Dirección de Acumuladores de Bit de Paridad (Índice 2/3)
0 10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1 17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2 17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3 19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4 4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5 9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6 486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7 20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8 3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9 19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10 4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11 14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12 13800 14161
13 2948 9647
14 14693 16027
15 20506 11082
16 1143 9020
17 13501 4014
18 1548 2190
19 12216 21556
20 2095 19897
21 4189 7958
22 15940 10048
23 515 12614

24 8501 8450
25 17595 16784
26 5913 8495
27 16394 10423
28 7409 6981
29 6678 15939
30 20344 12987
31 2510 14588
32 17918 6655
33 6703 19451
34 496 4217
35 7290 5766
36 10521 8925
37 20379 11905
38 4090 5838
39 19082 17040
40 20233 12352
41 19365 19546
42 6249 19030
43 11037 19193
44 19760 11772
45 19644 7428
46 16076 3521
47 11779 21062
48 13062 9682
49 8934 5217
50 11087 3319
51 18892 4356
52 7894 3898
53 5963 4360
54 7346 11726
55 5182 5609
56 2412 17295
57 9845 20494
58 6687 1864
59 20564 5216
0 18226 17207
1 9380 8266
2 7073 3065
3 18252 13437
4 9161 15642
5 10714 10153
6 11585 9078
7 5359 9418
8 9024 9515
9 1206 16354
10 14994 1102
11 9375 20796
12 15964 6027
13 14789 6452

14 8002 18591
15 14742 14089
16 253 3045
17 1274 19286
18 14777 2044
19 13920 9900
20 452 7374
21 18206 9921
22 6131 5414
23 10077 9726
24 12045 5479
25 4322 7990
26 15616 5550
27 15561 10661
28 20718 7387
29 2518 18804
30 8984 2600
31 6516 17909
32 11148 98
33 20559 3704
34 7510 1569
35 16000 11692
36 9147 10303
37 16650 191
38 15577 18685
39 17167 20917
40 4256 3391
41 20092 17219
42 9218 5056
43 18429 8472
44 12093 20753
45 16345 12748
46 16023 11095
47 5048 17595
48 18995 4817
49 16483 3536
50 1439 16148
51 3661 3039
52 19010 18121
53 8968 11793
54 13427 18003
55 5303 3083
56 531 16668
57 4771 6722
58 5695 7960
59 3589 14630

Tabla 4

Dirección de Acumuladores de Bit de Paridad (Índice 5/6)
0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1 2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2 10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3 9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5 3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6 3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7 6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8 10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10 8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11 8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12 7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13 7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15 6304 7621
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 9517 10268
23 2181 9349
24 1949 5560
25 1556 555
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9645 2641
2 2774 2452
3 5331 2031
4 9400 7503
5 1850 2338
6 10456 9774
7 1692 9276
8 10037 4038
9 3964 338
10 2640 5087
11 858 3473
12 5582 5683
13 9523 916
14 4107 1559
15 4506 3491
16 8191 4182
17 10192 6157

18 5668 3305
19 3449 1540
20 4766 2697
21 4069 6675
22 1117 1016
23 5619 3085
24 8483 8400
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174
0 1464 3559
1 3376 4214
2 7238 67
3 10595 8831
4 1221 6513
5 5300 4652
6 1429 9749
7 7878 5131
8 4435 10284
9 6331 5507
10 6662 4941
11 9614 10238
12 8400 8025
13 9156 5630
14 7067 8878
15 9027 3415
16 1690 3866
17 2854 8469
18 6206 630
19 363 5453
20 4125 7008
21 1612 6702
22 9069 9226
23 5767 4060
24 3743 9237
25 7018 5572
26 8892 4536
27 853 6064
28 8069 5893
29 2051 2885
0 10691 3153
1 3602 4055
2 328 1717
3 2219 9299
4 1939 7898
5 617 206
6 8544 1374
7 10676 3240

8 6672 9489
9 3170 7457
10 7868 5731
11 6121 10732
12 4843 9132
13 580 9591
14 6267 9290
15 3009 2268
16 195 2419
17 8016 1557
18 1516 9195
19 8062 9064
20 2095 8968
21 753 7326
22 6291 3833
23 2614 7844
24 2303 646
25 2075 611
26 4687 362
27 8684 9940
28 4830 2065
29 7038 1363
0 1769 7837
1 3801 1689
2 10070 2359
3 3667 9918
4 1914 6920
5 4244 5669
6 10245 7821
7 7648 3944
8 3310 5488
9 6346 9666
10 7088 6122
11 1291 7827
12 10592 8945
13 3609 7120
14 9168 9112
15 6203 8052
16 3330 2895
17 4264 10563
18 10556 6496
19 8807 7645
20 1999 4530
21 9202 6818
22 3403 1734
23 2106 9023
24 6881 3883
25 3895 2171
26 4062 6424
27 3755 9536

28 4683 2131
29 7347 8027

Tabla 5

Dirección de Acumuladores de Bit de Paridad (Índice 1/2)
54 9318 14392 27561 26909 10219 2534 8597
55 7263 4635 2530 28130 3033 23830 3651
56 24731 23583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5896 718 11727 9308
62 2091 24941 29966 23634 9013 15587 5444
63 22207 3983 16904 28534 21415 27524 25912
64 25687 4501 22193 14665 14798 16158 5491
65 4520 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 30841 25954 2762
67 22120 22865 29870 15147 13668 14955 19235
68 6689 18408 18346 9918 25746 5443 20645
69 29982 12529 13858 4746 30370 10023 24828
70 1262 28032 29888 13063 24033 21951 7863
71 6594 29642 31451 14831 9509 9335 31552
72 1358 6454 16633 20354 24598 624 5265
73 19529 295 18011 3080 13364 8032 15323
74 11981 1510 7960 21462 9129 11370 25741
75 9276 29656 4543 30699 20646 21921 28050
76 15975 25634 5520 31119 13715 21949 19605
77 18688 4608 31755 30165 13103 10706 29224
78 21514 23117 12245 26035 31656 25631 30699
79 9674 24966 31285 29908 17042 24588 31857
80 21856 27777 29919 27000 14897 11409 7122
81 29773 23310 263 4877 28622 20545 22092
82 15605 5651 21864 3967 14419 22757 15896
83 30145 1759 10139 29223 26086 10556 5098
84 18815 16575 2936 24457 26738 6030 505
85 30326 22298 27562 20131 26390 6247 24791
86 928 29246 21246 12400 15311 32309 18608
87 20314 6025 26689 16302 2296 3244 19613
88 6237 11943 22851 15642 23857 15112 20947
89 26403 25168 19038 18384 8882 12719 7093
0 14567 24965
1 3908 100
2 10279 240
3 24102 764
4 12383 4173
5 13861 15918

6 21327 1046
7 5288 14579
8 28158 8069
9 16583 11098
10 16681 28363
11 13980 24725
12 32169 17989
13 10907 2767
14 21557 3818
15 26676 12422
16 7676 8754
17 14905 20232
18 15719 24646
19 31942 8589
20 19978 27197
21 27060 15071
22 6071 26649
23 10393 11176
24 9597 13370
25 7081 17677
26 1433 19513
27 26925 9014
28 19202 8900
29 18152 30647
30 20803 1737
31 11804 25221
32 31683 17783
33 29694 9345
34 12280 26611
35 6526 26122
36 26165 11241
37 7666 26962
38 16290 8480
39 11774 10120
40 30051 30426
41 1335 15424
42 6865 17742
43 31779 12489
44 32120 21001
45 14508 6996
46 979 25024
47 4554 21896
48 7989 21777
49 4972 20661
50 6612 2730
51 12742 4418
52 29194 595
53 19267 20113

Tabla 6

Dirección de Acumuladores de Bit de Paridad (Índice 3/4)
0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11 1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13 8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14 14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15 3149 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 7207 4314
20 3312 3945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14559
28 8657 2466
29 8599 12834
30 3470 3152
31 13917 4365
32 6024 13730
33 10973 14182
34 2464 13167
35 5281 15049
36 1103 1849
37 2058 1069
38 9654 6095
39 14311 7667
40 15617 8146
41 4588 11218
42 13660 6243
43 8578 7874
44 11741 2686
0 1022 1264

1	12604	9965
2	8217	2707
3	3156	11793
4	354	1514
5	6978	14058
6	7922	16079
7	15087	12138
8	5053	6470
9	12687	14932
10	15458	1763
11	8121	1721
12	12431	549
13	4129	7091
14	1426	8415
15	9783	7604
16	6295	11329
17	1409	12061
18	8065	9087
19	2918	8438
20	1293	14115
21	3922	13851
22	3851	4000
23	5865	1768
24	2655	14957
25	5565	6332
26	4303	12631
27	11653	12236
28	16025	7632
29	4655	14128
30	9584	13123
31	13987	9597
32	15409	12110
33	8754	15490
34	7416	15325
35	2909	15549
36	2995	8257
37	9406	4791
38	11111	4854
39	2812	8521
40	8476	14717
41	7820	15360
42	1179	7939
43	2357	8678
44	7703	6216
0	3477	7067
1	3931	13845
2	7675	12899
3	1754	8187
4	7785	1400
5	9213	5891

6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 1344 4014
22 8488 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6578 8564
27 4947 396
28 297 12805
29 13878 6692
30 11857 11186
31 14395 11493
32 16145 12251
33 13462 7428
34 14526 13119
35 2535 11243
36 6465 12690
37 6872 9334
38 15371 14023
39 8101 10187
40 11963 4848
41 15125 6119
42 8051 14465
43 11139 5167
44 2883 14521

Tabla 7

Dirección de Acumuladores de Bit de Paridad (Índice 4/5)
0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157

3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 6836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611
2 4319 4879
3 2196 344
4 7527 6650
5 10693 2440
6 6755 2706
7 5144 5998
8 11043 8033
9 4846 4435
10 4157 9228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430
16 920 1304

17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9555
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935
1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883
9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 5844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 829 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933

31 6297 7116
32 616 7146
33 5142 9761
34 10377 8138
35 7616 5811
0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597
14 1450 112
15 7965 8478
16 8945 7397
17 6590 8316
18 6838 9011
19 6174 9410
20 255 113
21 6197 5835
22 12902 3844
23 4377 3505
24 5478 8672
25 4453 2132
26 9724 1380
27 12131 11526
28 12323 9511
29 8231 1752
30 497 9022
31 9288 3080
32 2481 7515
33 2696 268
34 4023 12341
35 7108 5553

Tabla 8

Dirección de Acumuladores de Bit de Paridad (Índice 3/5)
22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761
3 12299 7828
4 15048 13362
5 18444 24640
6 20775 19175
7 18970 10971
8 5329 19982
9 11296 18655
10 15046 20659
11 7300 22140
12 22029 14477
13 11129 742

14 13254 13813
15 19234 13273
16 6079 21122
17 22782 5828
18 19775 4247
19 1660 19413
20 4403 3649
21 13371 25851
22 22770 21784
23 10757 14131
24 16071 21617
25 6393 3725
26 597 19968
27 5743 8084
28 6770 9548
29 4285 17542
30 13568 22599
31 1786 4617
32 23238 11648
33 19627 2030
34 13601 13458
35 13740 17328
36 25012 13944
37 22513 6687
38 4934 12587
39 21197 5133
40 22705 6938
41 7534 24633
42 24400 12797
43 21911 25712
44 12039 1140
45 24306 1021
46 14012 20747
47 11265 15219
48 4670 15531
49 9417 14359
50 2415 6504
51 24964 24690
52 14443 8816
53 6926 1291
54 6209 20806
55 13915 4079
56 24410 13196
57 13505 6117
58 9869 8220
59 1570 6044
60 25780 17387
61 20671 24913
62 24558 20591
63 12402 3702

64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769

Tabla 9

Dirección de Acumuladores de Bit de Paridad (Índice 8/9)
0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 6961 4516 4739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 2381 4620
18 6791 6014 6596
19 2738 5918 3786
0 5156 6166
1 1504 4356
2 130 1904
3 6027 3187
4 6718 759
5 6240 2870
6 2343 1311
7 1039 5465
8 6617 2513
9 1588 5222
10 6561 535
11 4765 2054
12 5966 6892
13 1969 3869
14 3571 2420
15 4632 981

16 3215 4163
17 973 3117
18 3802 6198
19 3794 3948
0 3196 6126
1 573 1909
2 850 4034
3 5622 1601
4 6005 524
5 5251 5783
6 172 2032
7 1875 2475
8 497 1291
9 2566 3430
10 1249 740
11 2944 1948
12 6528 2899
13 2243 3616
14 867 3733
15 1374 4702
16 4698 2285
17 4760 3917
18 1859 4058
19 6141 3527
0 2148 5066
1 1306 145
2 2319 871
3 3463 1061
4 5554 6647
5 5837 339
6 5821 4932
7 6356 4756
8 3930 418
9 211 3094
10 1007 4928
11 3584 1235
12 6982 2869
13 1612 1013
14 953 4964
15 4555 4410
16 4925 4842
17 5778 600
18 6509 2417
19 1260 4903
0 3369 3031
1 3557 3224
2 3028 583
3 3258 440
4 6226 6655
5 4895 1094

6 1481 6847
7 4433 1932
8 2107 1649
9 2119 2065
10 4003 6388
11 6720 3622
12 3694 4521
13 1164 7050
14 1965 3613
15 4331 66
16 2970 1796
17 4652 3218
18 1762 4777
19 5736 1399
0 970 2572
1 2062 6599
2 4597 4870
3 1228 6913
4 4159 1037
5 2916 2362
6 395 1226
7 6911 4548
8 4618 2241
9 4120 4280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4569
17 4846 896
18 7092 6184
19 6764 7127
0 6358 1951
1 3117 6960
2 2710 7062
3 1133 3604
4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3889
15 5306 478

16 4320 6121
17 3961 1125
18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284
19 1696 1459

Tabla 10

Dirección de Acumuladores de Bit de Paridad (Índice 9/10)
0 5611 2563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3342 5678 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3846
10 4154 5561 3142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260

0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179
10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579
4 3404 3552
5 2876 5515
6 516 1719
7 765 3631
8 5059 1441
9 5629 598
10 5405 473
11 4724 5210
12 155 1832
13 1689 2229
14 449 1164
15 2308 3088
16 1122 669
17 2268 5758
0 5878 2609
1 782 3359
2 1231 4231
3 4225 2052
4 4286 3517
5 5531 3184
6 1935 4560
7 1174 131
8 3115 956
9 3129 1088
10 5238 4440
11 5722 4280
12 3540 375
13 191 2782

14 906 4432
15 3225 1111
16 6296 2583
17 1457 903
0 855 4475
1 4097 3970
2 4433 4361
3 5198 541
4 1146 4426
5 3202 2902
6 2724 525
7 1083 4124
8 2326 6003
9 5605 5990
10 4376 1579
11 4407 984
12 1332 6163
13 5359 3975
14 1907 1854
15 3601 5748
16 6056 3266
17 3322 4085
0 1768 3244
1 2149 144
2 1589 4291
3 5154 1252
4 1855 5939
5 4820 2706
6 1475 3360
7 4266 693
8 4156 2018
9 2103 752
10 3710 3853
11 5123 931
12 6146 3323
13 1939 5002
14 5140 1437
15 1263 293
16 5949 4665
17 4548 6380
0 3171 4690
1 5204 2114
2 6384 5565
3 5722 1757
4 2805 6264
5 1202 2616
6 1018 3244
7 4018 5289
8 2257 3067
9 2483 3073

10 1196 5329
11 649 3918
12 3791 4581
13 5028 3803
14 3119 3506
15 4779 431
16 3888 5510
17 4387 4084
0 5836 1692
1 5126 1078
2 5721 6165
3 3540 2499
4 2225 6348
5 1044 1484
6 6323 4042
7 1313 5603
8 1303 3496
9 3516 3639
10 5161 2293
11 4682 3845
12 3045 643
13 2818 2616
14 3267 649
15 6236 593
16 646 2948
17 4213 1442
0 5779 1596
1 2403 1237
2 2217 1514
3 5609 716
4 5155 3858
5 1517 1312
6 2554 3158
7 5280 2643
8 4990 1353
9 5648 1170
10 1152 4366
11 3561 5368
12 3581 1411
13 5647 4661
14 1542 5401
15 5078 2687
16 316 1755
17 3392 1991

En lo que se refiere al codificador BCH 211, los parámetros del código BCH se enumeran en la Tabla 11.

Tabla 11

Índice de Código LDPC	Longitud de Bloque no Codificado BCH k_{bch}	Longitud de Bloque Codificado BCH n_{bch}	Corrección de Error BCH (bits)
1/2	32208	32400	12
2/3	43040	43200	10
3/4	48408	48600	12
4/5	51648	51840	12
5/6	53840	54000	10
3/5	38688	38880	12
8/9	57472	57600	8
9/10	58192	58320	8

Se señala que en la tabla anterior, $n_{bch} = k_{ldpc}$.

El polinomio generador del codificador BHC corrector de errores *t* 211 se obtiene multiplicando los primeros polinomios *t* en la siguiente lista de la Tabla 12:

Tabla 12

$g_1(x)$	$1+x^2+x^3+x^5+x^{16}$
$g_2(x)$	$1+x+x^4+x^5+x^6+x^8+x^{16}$
$g_3(x)$	$1+x^2+x^3+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{11}+x^{16}$
$g_4(x)$	$1+x^2+x^4+x^6+x^9+x^{11}+x^{12}+x^{14}+x^{16}$
$g_5(x)$	$1+x+x^2+x^3+x^5+x^8+x^9+x^{10}+x^{11}+x^{12}+x^{16}$
$g_6(x)$	$1+x^2+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{12}+x^{13}+x^{14}+x^{15}+x^{16}$
$g_7(x)$	$1+x^2+x^5+x^6+x^8+x^9+x^{10}+x^{11}+x^{13}+x^{15}+x^{16}$
$g_8(x)$	$1+x+x^2+x^5+x^6+x^8+x^9+x^{12}+x^{13}+x^{14}+x^{16}$
$g_9(x)$	$1+x^5+x^7+x^9+x^{10}+x^{11}+x^{16}$
$g_{10}(x)$	$1+x+x^2+x^3+x^7+x^8+x^{10}+x^{12}+x^{13}+x^{14}+x^{16}$
$g_{11}(x)$	$1+x^2+x^3+x^5+x^9+x^{11}+x^{12}+x^{13}+x^{16}$
$g_{12}(x)$	$1+x+x^5+x^6+x^7+x^9+x^{11}+x^{12}+x^{16}$

La codificación BCH de bits de información m = (m_{bch-1}, m_{bch-2}, …, m_1, m_0) en una contraseña c = (m_{bch-1}, m_{bch-2}, …, m_1, m_0,$d_{nbch-kbch-1}$, $d_{nbch-kbch-2}$, …, d_1, d_0) se consigue de la siguiente manera. El polinomio del mensaje m(x) = $m_{kbch-1}x^{kbch-1} + m_{kbch-2}x^{kbch-2} + \ldots + m_1x + m_0$ se multiplica por $x^{nbch-kbch}$. Después, $x^{nbch-kbch}\ m(x)$ se divide entre $g(x)$. Con $d(x) = d_{nbch-kbch-1}\ x^{nbch-kbch-1} + \ldots + d_1x + d_0$ como el resto, el polinomio de la contraseña se establece de la siguiente manera: $c(x) = x^{nbch-kbch}\ m(x) + d(x)$.

Los códigos LDPC anteriores, en una realización ejemplar, pueden usarse en una variedad de aplicaciones de video digital, tal como transmisión de paquetes MPEG (Grupo de expertos en imágenes en movimiento).

La FIG. 3 es un diagrama de un receptor ejemplar en el sistema de la FIG. 1. En el lado de recepción, un receptor 300 incluye un demodulador 301 que realiza la demodulación de las señales recibidas desde el transmisor 200. Estas señales se reciben en una antena de recepción 303 para la demodulación. Después de la demodulación, las señales recibidas se reenvían a un decodificador 305, que intenta reconstruir los mensaje de la fuente original generando mensajes, *X'*, en conjunto con un generador métrico de bits 307. Con el mapeo no Gray, el generador métrico de bits 307 intercambia información de probabilidad con el decodificador 305 una y otra vez (reiterativamente) durante el proceso de decodificación, que se detalla en la FIG. 10. Alternativamente, si se usa mapeo Gray, un pase del generador métrico de bits es suficiente, en el que más intentos de la generación métrica de bits después de cada reiteración del decodificador LDPC tiene posibilidades de producir una mejora de actuación limitada; esta técnica se describe con más detalle con respecto a al FIG. 11. Para apreciar las ventajas que la presente invención ofrece, es instructivo examina cómo se genera los códigos LDPC, como se analiza en la FIG. 4.

La FIG. 4 es un diagrama de una matriz de comprobación de paridad dispersa. Los códigos LDPC son largo, códigos de bloque lineales con matriz de comprobación de paridad dispersa $H_{(n-k)m}$. Típicamente la longitud del bloque, *n*, oscila entre cien a miles de bits. Por ejemplo, una matriz de comprobación de paridad para un código

LDPC de longitud n=8 e índice ½ se muestra en la FIG. 4. El mismo código puede representarse equivalentemente por el gráfico bipartito, por la FIG. 5.

La FIG. 5 es un diagrama de un gráfico bipartito de un código LDPC de la matriz de la FIG. 4. Las ecuaciones de comprobación de paridad implican que para cada nodo de comprobación, la suma (sobre CG (Campo de Galois)(2) de todos los nodos de bit adyacentes es igual a cero. Como se ve en la figura, los nodos del bit ocupan el lado izquierdo del gráfico y se asocian con uno o más nodos de comprobación, de acuerdo con una relación predeterminada. Por ejemplo, correspondiendo al nodo de comprobación m1, existe la siguiente expresión $n_1 + n_4 + n_5 + n_8 = 0$ con respecto a los nodos del bit.

Volviendo al receptor 303, el decodificador 305 se considera un decodificador que pasa el mensaje, por lo que el decodificador 305 ayuda a encontrar los valores de los nodos del bit. Para conseguir esta tarea, los nodos del bit y los nodos de comprobación se comunican entre sí reiterativamente. La naturaleza de esta comunicación se describe más abajo.

Desde los nodos de comprobación a los nodos de bit, cada nodo de comprobación proporciona a un nodo de bit adyacente una estimación ("opinión") relativa al valor de este nodo de bit en base a la información procedente de otros nodos de bit adyacentes. Por ejemplo, en el ejemplo anterior si la suma de n_4, n_5 y n_8 "se parece a" 0 para $m1$, entonces m_1 indicará para n_1 que se cree que el valor de n_1 es 0 (ya que $n_1 + n_4 + n_5 + n_8 = 0$); de otra manera, m_1 indica para n_1 que se cree que el valor de n_1 es 1. Además, para decodificación de decisión blanda, se añade una medida de fiabilidad.

Desde los nodos de bit a los nodos de comprobación, cada nodo de bit transmite a un nodo de comprobación adyacente un cálculo aproximado de aproximadamente su propio valor en base a la retroalimentación procedente de sus otros nodos de comprobación adyacentes. En el ejemplo anterior n_1 tiene solamente dos nodos de comprobación adyacentes m_1 y m_3. Si la retroalimentación procedente de m_3 para n_1 indica que el valor de n_1 es probablemente 0, entonces n_1 notificaría a m_1 que un cálculo aproximado del propio valor de n_1 es 0. Para el caso en el que el nodo de bit tiene más de dos nodos de comprobación adyacente, el nodo de comprobación realiza un voto mayoritario (decisión blanda) sobre la retroalimentación procedente de sus otros nodos de comprobación adyacentes antes de informar de esa decisión al nodo de comprobación con el que comunica. El proceso anterior se repite hasta que se considera que todos los bits son correctos (es decir, todas las ecuaciones de comprobación de paridad se resuelven) o hasta que se alcanza un número máximo predeterminado de reiteraciones, por lo que se declara un fallo de decodificación.

La FIG. 6 es un diagrama de una sub-matriz de una matriz de comprobación de paridad, donde la sub-matriz contiene valores de comprobación de paridad limitados a la región triangular inferior, de acuerdo con una realización de la presente invención. Como se ha descrito previamente, el codificador 203 (de la FIG. 2) puede emplear una técnica simple de codificación restringiendo los valores del área triangular inferior de la matriz de comprobación de paridad. De acuerdo con una realización de la presente invención, la restricción impuesta sobe la matriz de comprobación de paridad tiene la forma:

$$H_{(n-k)xn} = [A_{(n-k)xk}\ B_{(n-k)x(n-k)}]$$

, donde B es el triangular inferior.

Cualquier bloque de información i = ($i_0, i_1, \ldots, i_{k-1}$) se codifica a una contraseña c = ($i_0, i_1, \ldots, p_0, p_1, \ldots p_{n-k-1}$) usando HcT = 0, y recurrentemente resolver para bits de paridad; por ejemplo

$$a_{00}i_0 + a_{01}i_1 + \ldots + a_{0,k-1}i_{k-1} + p_0 = 0 \Rightarrow \text{ Resolver } p_0$$

$$a_{10}i_0 + a_{11}i_1 + \ldots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \Rightarrow \text{ Resolver } p_1$$

y similarmente para $p_2, p_3, \ldots, p_{n-k-1}$.

La FIG. 7 es un gráfico que muestra la actuación entre códigos que utilizan matriz de comprobación de paridad ilimitada (matriz H) contra matriz limitada de la FIG. 6. El gráfico muestra la comparación de actuación entre dos códigos LDPC: uno con una matriz de comprobación de paridad general y el otro con una matriz de comprobación de paridad limitada a ser triangular inferior para simplificar la codificación. El programa de modulación, para esta simulación, es 8-PSK. La pérdida de actuación está dentro de 0,1 dB. Por lo tanto, la pérdida de actuación es insignificante en base a la restricción de las matrices H triangulares inferiores, mientras que el aumento en simplicidad de la técnica de codificación es significativo. Por consiguiente, cualquier matriz de comprobación de paridad que sea equivalente a una triangular inferior o triangular superior bajo la transformación de fila y/o columna

puede utilizarse para el mismo fin.

Las FIGs. 8A y 8B son, respectivamente, un diagrama de un programa de modulación no Gray 8-PSK y una modulación Gray 8-PSK, pudiéndose usar cada uno en el sistema de la FIG. 1. El programa no Gray 8-PSK de la FIG. 8A puede utilizarse en el receptor de la FIG. 3 para proporcionar un sistema que requiere una tasa de corrección de trama (FER) muy baja. Este requisito también puede satisfacerse usando un programa Gray 8-PSK, como se muestra en la FIG. 8B, junto con un código externo, tal como un código Bose, Chaudhuri Hocquenghem (BCH), Hamming, o Reed-Solomon.

Bajo este programa, no hay necesidad de repetir entre el decodificador LDPC 305 (Fig. 3) y el generador métrico de bit 307, que puede emplear modulación 8-PSK. En ausencia de un código externo, el decodificador LDPC 305 que usa etiquetado Gray muestra un suelo de error más temprano, como se muestra en la FIG. 9 más abajo.

La FIG. 8C muestra un diagrama de un proceso para etiquetado de bits para una constelación de señales de mayor orden. Una contraseña es el resultado del codificador LDPC 203 (FIGS. 2A y 2B), y se mapea a un punto de la constelación en una constelación de señales de mayor orden (como se muestra en la s FIGs. 8D a 8F), por etapas 801, 803. Este mapeo no se realiza secuencialmente como en sistemas tradicionales, sino que en su lugar se ejecuta sobre una base no secuencial, tal como intercalación. Tal mapeo se detalla con más detalle más abajo con respecto a la FIG. 8F. El modulador 205 modula después, como en la etapa 805, la señal en base al mapeo. La señal modulada se transmite a partir de ahí (etapa 807).

La FIG. 8D muestra un diagrama de constelaciones ejemplares 16-APSK (Modulación por desplazamiento de fase de amplitud). Las constelaciones A y B son constelaciones 16-APSK. La única diferencia entre las dos constelaciones A y B es que los símbolos del círculo interno de la Constelación A giran 15 grados en sentido contrario al de las agujas del reloj con respecto a los símbolos del círculo interno de la Constelación B, de tal manera que los símbolos se encuentran entre los símbolos del círculo externo para maximizar las distancias entre símbolos. Por lo tanto, intuitivamente la Constelación A es más atractiva si el decodificador de corrección de errores hacia delante (FEC) 305 usó un algoritmo decodificador relacionado con los símbolos. Por otro lado, dada la multiplicidad de índices de códigos y constelaciones diferentes, usando un código FEC a medida hacia la decodificación relacionada con bits es más flexible. En tal caso, no es aparente qué constelación actuaría mejor, porque mientras la Constelación A maximiza las distancias relacionadas con los símbolos, la Constelación B es más “amable con la codificación Gray”. Se realizaron simulaciones de AWGN (Ruido gaussiano blanco aditivo), con índice de código ¾ (cuyos resultados se muestran en la FIG. 8E) con decodificación relacionado con bits, la Constelación B realiza ligeramente mejor.

La FIG. 8F es un diagrama de constelaciones para modulación por desplazamiento de fase cuaternaria (QPSK), 8-PSK, 16-PSK y 32-PSK.

Las FIGs. 8F muestran constelaciones simétricas para símbolos de QPSK, 8-PSK, 16-APSK y 32-APSK, respectivamente. Con QPSK, dos bits codificados LDPC del codificador LDPC 203 se mapean a un símbolo QPSK. Es decir, los bits $2i$ y $2i+1$ determina el símbolo i^{o} QPSK, donde $i = 0,1,2\ldots, N/2-1$, y N es el tamaño de bloque LDPC codificado. Para 8-PSK, los bits $N/3+i$, $N/2+i$ e i determinan el símbolo i^{o} 8-PSK, donde $i = 0,1,2\ldots, N/3-1$. Para 16-APSK, los bits $N/2+2i$, $2i$, $N/2+2i+1$ y $2i+1$ especifican el símbolo i^{o} 16-APSK, donde $i = 0,1,2\ldots, N/4-1$. Además, para 32-APSK, los bits $N/5+i$, $2N/5+i$, $4N/5+i$, $4N/5+i$, $3N/5+i$ e i determinan el símbolos i^{o}, donde $i = 0,1,2\ldots, N/5-1$.

Alternativamente, el etiquetado de constelación de 8-PSK, 16-PSK y 32-APSK puede elegirse como se muestra en la FIG. 8G. Con este etiquetado, los N bits codificados de LDPC pasan primero a partir de un intercalador de bits. La tabla de intercalación de bits, en una realización ejemplar, es una selección bidimensional con $N/3$ filas y 3 columnas para 8-PSK, $N/4$ filas y 4 columnas para 16-PSK y $N/5$ filas y 5 columnas para 32-PSK. Los bits codificados de LDPC se escriben en la tabla de de intercalación columna por columna, y se leen fila por fila. Se señala que para el caso de 8-PSK y 32-PSK, esta estrategia de intercalación de bits fila/columna con etiquetado como la mostrada en la FIG. 8G, es exactamente equivalente a la estrategia de intercalación descrita anteriormente con respecto al etiquetado mostrado en la FIG. 8F. Para el caso de 16-APSK, estas dos estrategias son funcionalmente equivalentes; es decir, muestran la misma actuación en un canal AWGN.

La FIG. 8H ilustra los resultados de simulación (en el Canal AWGN) de las constelaciones de símbolos anteriores. La Tabla 13 resume la actuación esperada en PER = 10^{-6} y la distancia de la capacidad limitada.

Tabla 13

Código	Es/No (dB)	Distancia para Capacidad (dB)
2/3, 8-PSK	6,59	0,873
3/4, 8-PSK	7,88	0,690
5/6, 8-PSK	9,34	0,659
8/9, 8-PSK	10,65	0,750
9/10, 8-PSK	10,95	0,750
1/2, QPSK	0,99	0,846
3/5, QPSK	2,20	0,750
2/3, QPSK	3,07	0,760
3/4, QPSK	4,02	0,677
4/5, QPSK	4,66	0,627
5/6, QPSK	5,15	0,600
7/8, QPSK	5,93	0,698
8/9, QPSK	6,17	0,681
9/10, QPSK	6,39	0,687
3/4, 16-APSK	10,19	0,890
4/5, 16-APSK	11,0	0,850
5/6, 16-APSK	11,58	0,800
7/8, 16-APSK	12,54	0,890
4/5, 32-APSK	13,63	1,100
5/6, 32-APSK	14,25	1,050
8/9, 32-APSK	15,65	1,150

La FIG. 9 es un gráfico que muestra la actuación entre códigos que utilizan etiquetado Gray contra etiquetado no Gray de las FIGs. 8A y 8B. El suelo de error surge del hecho de asumir una retroalimentación correcta del decodificador LDPC, la regeneración de métricos de bits 8-PSK es más precisa con etiquetado no Gray ya que los dos símbolos 8-PSK con dos bits conocidos están más alejados con etiquetado no Gray. Esto puede verse equivalentemente al operar en relación más alta señal/ruido (SNR). Por lo tanto, aunque las asíntotas de error del mismo código LDPC que usan etiquetado Gray y no Gray tienen la misma inclinación (es decir, paralelas entre sí), la del etiquetado no gray pasa a través de FER inferior en cualquier SNR.

Por otro lado, para sistemas que no requieren FER muy bajo, el etiquetado Gray sin ninguna reiteración entre el decodificador LDPC 305y generador métrico de bits 8-PSK 3007puede ser más adecuado porque la regeneración de métricos de bit 8-PSK antes de cada reiteración del decodificador LDPC provoca una complejidad adicional. Además, cuando se usa etiquetado Gray, la regeneración de métricos de bit 8-PSK antes de cada reiteración del decodificador LDPC provoca solamente una muy ligera mejora de actuación. Como se ha mencionado previamente, el etiquetado Gray sin reiteración puede usarse para sistemas que requieran FER muy bajo, siempre y cuando se implemente un código externo.

La elección entre etiquetado Gray y etiquetado no Gray depende también de las características del código LDPC. Típicamente, cuanto mayor sean los grados del bit o del nodo de comprobación, es mejor para el etiquetado Gray, porque para mayores grados de nodo, la retroalimentación inicial del decodificador LDPC 305 para el generador métrico de bits 8-PSK 307 (o modulación similar de mayor orden) se deteriora más con etiquetado no Gray.

Cuando se utiliza modulación 8-PSK (o similar de mayor orden) con un decodificador binario, se reconoce que tres (o más) bits de un símbolo no se reciben “igualmente ruidosos”. Por ejemplo con etiquetado Gray 8-PSK, el tercer bit de un símbolo se considera más ruidoso para el decodificador que los otros dos bits. Por lo tanto, el diseño del código LDPC no asigna un número pequeño de bordes para aquellos nodos de bit representados por los terceros bits “más ruidosos” del símbolo 8-PSK por lo que esos bits no se penalizan dos veces.

La FIG. 10 es un diagrama de flujo del funcionamiento del decodificador LDPC usando mapeo no Gray. Bajo este enfoque, el decodificador LDPC y el generador métrico de bits se repiten uno tras otro. En este ejemplo, se utiliza la modulación 8-PSK; sin embargo, los mismos principios también se aplican a otros programas de modulación más altos. Bajo este supuesto, se asume que el demodulador 301 produce un vector de distancia, d, que indica las distancias entre puntos el símbolo ruidoso recibido y puntos del símbolo 8-PSK al generador métrico de bits 307, por lo que los componentes del vector son los siguientes:

$$d_i = -\frac{E_s}{N_0}\{(r_x - s_{i,x})^2 + (r_y - s_{i,y})^2\} \qquad i = 0,1,...7.$$

El generador métrico de bits 8-PSK 307 comunica con el decodificador LDPC 305 para intercambiar *a priori* información de probabilidad y a posteriori información de probabilidad, que respectivamente está representada como **u** y **a**. Es decir, los vectores **u** y **a** respectivamente representan probabilidades *a priori* y *a posteriori* de índices de probabilidad de logaritmos de bits codificados.

El generador métrico de bits 8-PSK 307 genera índices de probabilidad *a priori* para cada grupo de tres bits de la siguiente manera. En primer lugar, se obtiene información extrínseca en los bits codificados:

$$e_j = a_j - u_j \qquad j = 0,1,2.$$

Después, se determinan las probabilidades del símbolo 8-PSK p_i i = 0, 1, .., 7.

$*y_j = -f(0,e_j)$ j = 0, 1, 2 donde $f(a,b) = \max(a;b) + LUT_f(a,b)$ con $LUT_f(a,b) = \ln(1+e^{-(a-b)})$

$$* \; x_j = y_j + e_j \qquad j = 0,1,2$$

$$\begin{aligned} * \; p_0 &= x_0 + x_1 + x_2 & p_4 &= y_0 + x_1 + x_2 \\ p_1 &= x_0 + x_1 + y_2 & p_5 &= y_0 + x_1 + y_2 \\ p_2 &= x_0 + y_1 + x_2 & p_6 &= y_0 + y_1 + x_2 \\ p_3 &= x_0 + y_1 + y_2 & p_7 &= y_0 + y_1 + y_2 \end{aligned}$$

Después, el generador métrico de bits 307 determina índices de probabilidad de logaritmos a priori de los bits codificados como resultado para el decodificador LDPC 305, de la siguiente manera:

$$\begin{aligned} u_0 &= f(d_0 + p_0, d_1 + p_1, d_2 + p_2, d_3 + p_3) - f(d_4 + p_4, d_5 + p_5, d_6 + p_6, d_7 + p_7) - e_0 \\ u_1 &= f(d_0 + p_0, d_1 + p_1, d_4 + p_4, d_5 + p_5) - f(d_2 + p_2, d_3 + p_3, d_6 + p_6, d_7 + p_7) - e_1 \\ u_2 &= f(d_0 + p_0, d_2 + p_2, d_4 + p_4, d_6 + p_6) - f(d_1 + p_1, d_3 + p_3, d_5 + p_5, d_7 + p_7) - e_2 \end{aligned}$$

Se señala que la función f(.) con más de dos variables puede evaluarse recurrentemente; por ejemplo *f(a, b,c) = f(f(a,b),c)*

El funcionamiento del decodificador LDPC 305 que utiliza mapeo No Gray se describe ahora. En la etapa 1001, el decodificador LDPC 305 inicia inicializa los índices de probabilidad de logaritmos de bits codificados, v, antes de la primera reiteración de acuerdo con lo siguiente (y como se muestra en la FIG. 12A):
$v_{n\to ki} = u_n$, n = 0,1,.., N – 1, i= 1,2… ,deg (*nodo de bit n*)

Aquí, $v_{n\to ki}$ indica el mensaje que va desde el nodo de bit n a su nodo de comprobación adyacente k_i, u_n indica el resultado del modulador para el bit n y N es el tamaño de la contraseña.

En la etapa 1003, un nodo de comprobación, k, se actualiza, por lo que la entrada v produce la salida w. como se ve en la FIG. 12B, los mensajes entrantes al nodo de comprobación k desde sus nodos de bit adyacentes d_c se indican mediante $v_{n1\to k}$, $v_{n2\to k}$,… $v_{ndc\to k}$. El objetivo es calcular los mensajes salientes a partir del nodo de comprobación k de vuelta a los nodos de bit adyacentes d_c. Estos mensajes se indican mediante $w_{k\to n1}$, $w_{k\to n2}$,… $w_{k\to ndc}$, donde:

$$w_{k\to n_i} = g(v_{n_1\to k}, v_{n_2\to k}, \ldots, v_{n_{i-1}\to k}, v_{n_{i+1}\to k}, \ldots, v_{n_{dc}\to k}).$$

La función g() se define de la siguiente manera:

$$g(a,b) = sign(a) \times sign(b) \times \{\min(|a|,|b|)\} + LUT_g(a,b),$$

Donde $LUT_g(a,b) = \ln(1+e^{-|a+b|}) - \ln(1+e^{-|a-b|})$ .Similar a la función f, la función g con más de dos variables puede evaluarse recurrentemente.

Después, el decodificador 305, para etapa 1205, produce una información de probabilidad *a posteriori* (FIG. 12C), tal como:

$$a_n = u_n + \sum_j w_{k_j \to n} .$$

Para la etapa 1007, se determina si todas las ecuaciones de comprobación de paridad se resuelven. Si estas ecuaciones de comprobación de paridad no se resuelven, entonces el decodificador 305, como en la etapa 1009, re-deriva los métricos de bit 8-PSK y la entrada de canal un. Después, el nodo de bit se actualiza, como en la etapa 1011. Como se muestra en la FIG. 14C, los mensajes entrantes al nodo de bit *n* desde sus *d,* los nodos de comprobación adyacentes se indican mediante $w_{k1 \to n}, w_{k2 \to n}, \ldots w_{k\,dc \to n}$. Los mensajes salientes del nodo de bit *n* se calculan de vuelta a los nodos de comprobación adyacentes d_v; tales mensajes se indican con $v_{n \to k1}, v_{n \to k2}, \ldots v_{n \to kdc}$, y se calculan de la siguiente manera:

$$v_{n \to k_i} = u_n + \sum_{j \neq i} w_{k_j \to n}$$

En la etapa 1013, el decodificador 305 produce la decisión dura (en el caso de que todas las ecuaciones de comprobación de paridad se resuelvan):

$$\hat{c}_n = \begin{cases} 0, & a_n \geq 0 \\ 1, & a_n < 0 \end{cases} \qquad \text{Parar si } H\hat{c}^T = 0$$

El enfoque anterior es apropiado cuando se utiliza etiquetado no Gray. Sin embargo, cuando se implementa el etiquetado Gray, se ejecuta el proceso de la FIG. 11.

La FIG. 11 es un diagrama de flujo del funcionamiento del decodificador LDPC de la FIG. 3 usando mapeo Gray. Cuando se usa etiquetado Gray, los métricos de bit se generan ventajosamente solamente una vez antes del decodificador LDPC, ya que la regeneración de métricos de bit después de cada reiteración del decodificador LDPC puede producir una mejora de la actuación nominal. Como con las etapas 1001 y 1003 de la FIG. 10, se realiza la inicialización de los índice de probabilidad del logaritmo de bits codificados, *v*, y el nodo de comprobación se actualiza, para etapas 1101 y 1103. Después, el nodo de bit *n* se actualiza, como en la etapa 1105. A partir de ahí, el decodificador produce la información de probabilidad *a posteriori* (etapa 1107). En la etapa 1109, se determina si todas las ecuaciones de comprobación de paridad están resueltas; si es así, el decodificador produce la decisión dura (etapa 1111). Si no, se repiten las etapas 1103-1109.

La FIG. 13A es un diagrama de flujo del proceso para calcular mensajes salientes entre los nodos de comprobación y los nodos de bit usando una técnica hacia delante-hacia atrás. Para un nodo de comprobación con bordes adyacentes d_c, se realiza el cálculo de $d_c(d_c\text{-}1)$ y numerosas funciones $g(\ldots)$. Sin embargo, la técnica hacia delante-hacia atrás reduce la complejidad del cálculo para $3(d_c\text{-}2)$, en el que las variables $d_c\text{-}1$ se almacenan.

En referencia a la FIG. 12B, los mensajes entrantes al nodo de comprobación *k* desde los nodos de bit adyacentes d_c se indican mediante $v_{n1 \to k}, v_{n2 \to k}, \ldots v_{ndc \to k}$. Se desea que los mensajes salientes se calculen a partir del nodo de comprobación *k* de vuelta a los nodos de bit adyacentes d_c; estos mensajes salientes se indican mediante $w_{k \to n1}, w_{k \to n2}, \ldots w_{k \to ndc}$.

Bajo la técnica hacia delante-hacia atrás para calcular estos mensajes salientes, las variables adelantadas, $f_1, f_2, \ldots, f_{dc}$, se definen de la siguiente manera:

$$\begin{aligned} f_1 &= v_{1 \to k} \\ f_2 &= g(f_1, v_{2 \to k}) \\ f_3 &= g(f_2, v_{3 \to k}) \\ &\vdots \\ f_{dc} &= g(f_{dc-1}, v_{dc \to k}) \end{aligned}$$

En la etapa 1301, estas variables adelantadas se calcular y almacenan, para la etapa 1303.

Similarmente, las variables atrasadas, b_1, b_2, …, b_{dc}, se definen de la siguiente manera:

$$\begin{aligned} b_{dc} &= v_{dc\to k} \\ b_{dc-1} &= g(b_{dc}, v_{dc-1\to k}) \\ &\vdots \\ b_1 &= g(b_2, v_{1\to k}) \end{aligned}$$

En la etapa 1305, estas variables atrasadas se computan después. A partir de ahí, los mensajes salientes se calculan, como en la etapa 1307, en base a las variables adelantadas almacenadas y las variables atrasadas calculadas. Los mensajes salientes se calculan de la siguiente manera:

$$\begin{aligned} w_{k\to 1} &= b_2 \\ w_{k\to i} &= g(f_{i-1}, b_{i+1}) \qquad i = 2,3,\ldots,d_c - 1 \\ w_{k\to dc} &= f_{dc-1} \end{aligned}$$

Bajo esta técnica, solamente se necesita almacenar las variables adelantadas f_1, f_2, …, f_{dc}. Cuando se calculan las variables atrasadas b_i, los mensajes salientes $w_{k\to i}$, se calculan simultáneamente, negando de este modo la necesidad de almacenar las variables atrasadas.

La carga del cálculo puede además aumentar mediante una técnica en paralelo, como se analizará después.

La FIG. 13B es un diagrama de flujo del proceso para calcular mensajes salientes entre los nodos de comprobación y los nodos de bit usando una técnica de paralelo. Para un nodo de comprobación k con entradas $v_{n1\to k}$, $v_{n2\to k}$,… $v_{ndc\to k}$ desde los nodos de bit adyacentes d_c, se calcula el siguiente parámetro, como en la etapa 1311.

$$\gamma_k = g(v_{n_1\to k}, v_{n_2\to k}, \ldots, v_{n_{dc}\to k}).$$

Se señala que la función g(.,.) también puede expresarse de la siguiente manera:

$$g(a,b) = \ln\frac{1+e^{a+b}}{e^a + e^b}.$$

Explotando la naturaleza recurrente de la función g(.,l), da como resultado la siguiente expresión:

$$\gamma_k = \ln\frac{1+e^{g(v_{n_1\to k}\ldots v_{n_{q-1}\to k}, v_{n_{q+1}\to k}\ldots v_{n_{dc}\to k})+v_{n_q\to k}}}{e^{g(v_{n_1\to k}\ldots v_{n_{q-1}\to k}, v_{n_{q+1}\to k}\ldots v_{n_{dc}\to k})} + e^{v_{n_q\to k}}} = \ln\frac{1+e^{w_{1\to n_q}+v_{n_q\to k}}}{e^{w_{k\to n_q}} + e^{v_{n_q\to k}}}$$

Por consiguiente $w_{k\to n1}$ puede resolverse de la siguiente manera:

$$w_{k\to n_q} = \ln\frac{e^{v_{n_q\to k}+\gamma_k} - 1}{e^{v_{n_q\to k}-\gamma_k} - 1} - \gamma_k$$

El término ln(.) de la ecuación anterior puede obtenerse usando una tabla de búsqueda LUT_x, que representa la función ln [e^x – 1] (etapa 1313). A diferencia de otras tablas de búsqueda LUT_f o LUT_g, la tabla LUT_x es probable que requiera tantas entradas como el número de niveles de cuantificación. Una vez que se obtiene y_k, el cálculo de $w_{k\to n1}$ puede ocurrir en paralelo usando la ecuación anterior, para etapa 1315.

La latencia computacional de y_k es ventajosamente $\log_2(d_c)$

Las FIGs. 14A-14C son gráficos que muestran resultados de simulación de códigos LDPC generados de acuerdo con varias realizaciones de la presente invención. En particular, las FIGs. 14A-14C muestran la actuación de códigos LDPC con modulación de mayor orden e índices de código de ¾ (QPSK, 1485 bits/símbolo), 2/3 (8-PSK,

1980 bits/símbolo), y 5/6 (8-PSK, 2474 bits/símbolo).

Existen dos técnicas generales para realizar las interconexiones entre los nodos de comprobación y los nodos de bit: (1) una técnica completamente paralela, y (2) una técnica parcialmente paralela. En la arquitectura completamente paralela, todos los nodos y sus interconexiones están físicamente implementados. La ventaja de esta arquitectura es la velocidad.

La arquitectura completamente paralela, sin embargo, puede incluir una mayor complejidad al realizar todos los nodos y sus conexiones. Por lo tanto, con la arquitectura completamente paralela, puede requerirse un tamaño de bloque más pequeño para reducir su complejidad. En ese caso, para la misma frecuencia de reloj, puede resultar una reducción proporcional y alguna degradación en FER contra actuación Es/No.

La segunda técnica para implementar códigos LDPC es realizar físicamente solamente un subconjunto del número total de los nodos y usar solamente este número limitado de nodos “físicos” para procesar todos los nodos “funcionales” del código. Aunque las operaciones del decodificador LDPC pueden realizarse extremadamente simples y pueden realizarse en paralelo, el reto adicional en el diseño es cómo se establece la comunicación entre los nodos de bit distribuidos “aleatoriamente” y los nodos de comprobación. El decodificador 305 (de la FIG. 3) aborda este problema al acceder a la memoria de una manera estructurada, para realizar aparentemente un código aleatorio. Esta técnica se explica con respecto a las FIGs. 15A y 15B.

Las FIGs. 15A y 15B son diagramas del borde superior y borde inferior, respectivamente, de la memoria organizada para mantener el acceso estructura para realizar aleatoriedad en la codificación LDPC, de acuerdo con una realización de la presente invención. El acceso estructurado puede conseguirse sin comprometer la actuación de un código verdaderamente aleatorio al centrarse en la generación de la matriz de comprobación de paridad. En general, una matriz de comprobación de paridad puede especificarse mediante las conexiones de los nodos de comprobación con los nodos de bit. Por ejemplo, los nodos de bit pueden dividirse en grupos de un tamaño fijo, que para fines ilustrativos están en 392. Además, asumiendo que los nodos de comprobación conectados al primer nodo de bit de grado 3, por ejemplo, están numerados como a, b y c, entonces los nodos de comprobación conectados al segundo nodo de bit se numeran como $a+p$, $b+p$ y $c+p$, los nodos de comprobación conectados al tercer nodo de bit se numeran como $a+2p$, $b+2p$ y $c+2p$, etc.; donde p = (número de nodos de comprobación)/392. Para el siguiente grupo de 392 nodos de bit, los nodos de comprobación conectados al primer nodo de bit son diferentes de a, b y c, de manera que con una elección adecuada de p, todos los nodos de comprobación tienen el mismo grado. Se realiza una búsqueda aleatoria sobre las constantes libres de tal manera que el código LDPC resultante sea ciclo-4 o ciclo-6 libres. Debido a las características estructurales de la matriz de comprobación de paridad de la presente invención, la información del borde puede almacenarse para permitir el acceso concurrente a un grupo de valores de borde relevantes durante la decodificación.

En otras palabras, la técnica facilita el acceso a la memoria durante el procesamiento del nodo de comprobación y el nodo de bit. Los valores de los bordes en el gráfico bipartito pueden almacenarse en un medio de almacenamiento, tal como memoria de acceso aleatorio (RAM). Se señala que para un código LDPC realmente aleatorio durante el procesamiento del nodo de comprobación y el nodo de bit, sería necesario acceder a los valores de los bordes de uno en uno de una manera aleatoria. Sin embargo, tal programa de acceso convencional sería demasiado lento para una aplicación de alta velocidad de datos. La RAM de las FIGs. 15A y 15B está organizada de una manera por la que un gran grupo de bordes relevantes pueden obtenerse en un ciclo de un reloj; por consiguiente, estos valores se colocan “juntos” en la memoria, de acuerdo con un programa o disposición predeterminada. Se observa que, en la práctica, incluso con un código realmente aleatorio, para un grupo de nodos de comprobación (y respectivamente nodos de bit), los bordes relevantes puede colocarse uno junto a otro en RAM, pero después los bordes relevantes adyacentes a un grupo de nodos de bit (respectivamente nodos de comprobación) se dispersarán en RAM. Por lo tanto, la capacidad de estar “juntos” surge del diseño de las propias matrices de comprobación de paridad. Ese decir, el diseño de la matriz de comprobación asegura que los bordes relevantes para un grupo de nodos de bit y nodos de comprobación se coloquen juntos simultáneamente en RAM.

Como puede verse en las FIGs. 15A y 15B, cada caja contiene el valor de un borde, que son bits múltiples (por ejemplo, 6). Cada RAM está dividida en dos partes: RAM de borde superior 1501 (FIG. 15A) y RAM de borde inferior 1503 (FIG. 15B). La RAM de borde inferior contiene los bordes entre nodos de bit de grado 2, por ejemplo, y nodos de comprobación.

La RAM de borde superior 1501 contiene los bordes entre nodos de bit de grado superior a 2 y nodos de comprobación. Por lo tanto, para cada nodo de comprobación, 2 bordes adyacentes se almacenan en RAM inferior 1503 y el resto de los bordes se almacenan en RAM de borde superior 1501. Por ejemplo, el tamaño de RAM de borde superior 1501 y RAM de borde inferior 1503 para varios índices de códigos se dan en la Tabla 14.

Tabla 14

	1/2	2/3	3/4	5/6
RAM borde superior	400 x 392	440 x 392	504 x 392	520 x 392
RAM borde inferior	160 x 392	110 x 392	72 x 392	2 x 392

En base a la Tabla 14, un RAM de borde de tamaño 576 x 392 es suficiente para almacenar métricos de borde para todos los índices de código 1/2, 2/3, 3/4 y 5/6.

Como se ha señalado, bajo este supuesto ejemplar, se selecciona un grupo de 392 nodos de bit y 392 nodos de comprobación para procesarse a la vez. Para el procesamiento de 392 nodos de comprobación, se accede a $q = d_c$-2 filas consecutivas desde RAM de borde superior 1501, y 2 filas consecutivas desde RAM de borde inferior 1503. El valor de d_c depende del código específico, por ejemplo $d_c = 7$ para índice ½, $d_c = 10$ para índice 2/3, $d_c = 16$ para índice ¾ y $d_c = 22$ para índice 5/6 para los códigos anteriores. Por supuesto son posibles otros valores de d_c para otros códigos. En este caso, q+2 es el grado de cada nodo de comprobación.

Para el procesamiento de nodos de comprobación, si el grupo de 392 nodos de comprobación tiene grado 2, sus bordes están situados en 2 filas consecutivas de RAM de borde inferior 1503. Si los nodos de bit tienen grado $d > 2$, sus bordes están situados en algunas filas de de RAM de borde superior 15'01. La dirección de estas filas de puede almacenarse en una memoria no volátil, tal como Memoria de Sólo Lectura (ROM). Los bordes en una de las filas corresponden a los primeros bordes de los 392 nodos de bit, los bordes en otra fila corresponden a los segundos bordes de 392 nodos de bit, etc. Además para cada fila, el índice de columna del borde que corresponde al primer nodo de bit en el grupo de 392 también puede almacenarse en ROM. Los bordes que corresponden a los segundos, terceros, etc. nodos de bit siguen el índice de columna inicial de una manera "envuelta". Por ejemplo, si el borde j^o en la fila pertenece al primer nodo de bit, entonces el borde (j+1)º pertenece al segundo nodo de bit, (j+2)º pertenece al tercer nodo de bit, …, y el borde (j-1)º pertenece al 392º nodo de bit.

Con la organización mostrada en las FIGs. 15A y 15B, la velocidad del acceso a la memoria aumenta en gran medida durante la codificación LDPC.

La FIG. 16 ilustra un sistema de ordenador en el que puede implementarse una realización de acuerdo con la presente invención. El sistema de ordenador 1600 incluye un bus 1601 u otro mecanismo de comunicación para comunicar información, y un procesador 1603 acoplado al bus 1601 para procesar información. El sistema de ordenador 1600 también incluye una memoria principal 1605, tal como una memoria de acceso aleatorio (RAM) y otro dispositivo de almacenamiento dinámico, acoplado al bus 1601 para almacenar información e instrucciones que el procesador 1603 ejecutará. La memoria principal 1605 también puede usarse para almacenar variables temporales u otra información intermedia durante la ejecución de instrucciones que el procesador 1603 ejecutará. El sistema de ordenador 1600 incluye además una memoria de sólo lectura (ROM) 1607 y otro dispositivo de almacenamiento estático acoplado al bus 1601 para almacenar información estática e instrucciones para el procesador 1603. Un dispositivo de almacenamiento 1609, tal como un disco magnético o disco óptico, se acopla adicionalmente al bus 1601 para almacenar información e instrucciones.

El sistema de ordenador 1600 puede acoplarse a través del bus 1601 a un monitor 1611, tal como un tubo de rayos catódicos (CRT), un monitor de cristal líquido, un monitor de matriz activa, o un monitor de plasma, para mostrar la información a un usuario del ordenador. Un dispositivo de entrada 1613, tal como un teclado que incluya teclas alfanuméricas y otras, se acopla al bus 1601 para comunicar información y ordenar selecciones al procesador 1603. Otro tipo de dispositivo de entrada para usuario es el control del cursor 1615, tal como un ratón, una bola de desplazamiento, o las teclas der dirección del cursor para comunicar la información de la dirección y las selecciones de orden al procesador 1603 y para controlar el movimiento del cursor sobre el monitor 1611.

De acuerdo con una realización de la invención, la generación de códigos LDPC la proporciona el sistema de ordenador 1600 en respuesta al procesador 1603 que ejecuta una disposición de instrucciones contenidas en la memoria principal 1605. Tales instrucciones pueden leerse en la memoria principal 1605 desde otro medio legible por ordenador, tal como el dispositivo de almacenamiento 1609. La ejecución de la disposición de instrucciones contenidas en la memoria principal 1605 provoca que el procesador 1603 realice las etapas del proceso descritas en el presente documento. También pueden emplearse uno o más procesadores en la disposición de multi-procesamiento para ejecutar las instrucciones contenidas en la memoria principal 1605. En realizaciones alternativas, puede usarse un circuito integrado en lugar de o en combinación con las instrucciones de software para implementar la realización de la presente invención. De este modo, las realizaciones de la presente invención no se limitan a ninguna combinación específica de circuito hardware y software.

El sistema de ordenador 1600 también incluye una interfaz de comunicación 1617 acoplada al bus 1601. La interfaz de comunicación 1617 proporciona una comunicación de datos de doble sentido a una conexión de red 1619 conectada a una red local 1621. Por ejemplo, la interfaz de comunicación 1617 puede ser una tarjeta o módem de

línea de suscriptor digital (DSL), una tarjeta o cable módem de red digital servicios integrados (RDSI), o un módem de teléfono para proporcionar una conexión de comunicación de datos a un tipo de línea telefónica correspondiente. Como otro ejemplo, la interfaz de comunicación 1617 puede ser una tarjeta de red de área local (RAL) (por ejemplo, Ethernet™ o una red de Modo de Transferencia Asíncrono (MTA) para proporcionar una conexión de comunicación de datos a una RAL compatible. Las conexiones inalámbricas también pueden implementarse. En cualquier implementación, la interfaz de comunicación 1617 envía y recibe señales eléctricas, electromagnéticas u ópticas que llevan corrientes de datos digitales que representan varios tipos de información. Además, la interfaz de comunicación 1617 puede incluir dispositivos de interfaz periféricos, tales como una interfaz de Bus Universal en Serie (BUS), una interfaz de PCMCIA (Asociación Internacional de Tarjetas de Memoria de Ordenador Personal), etc.

La conexión de red 1619 típicamente proporciona comunicación de datos a través de una o más redes a otros dispositivos de datos. Por ejemplo, la conexión de red 1619 puede proporcionar una conexión a través de la red local 1621 a un ordenador huésped 1623, que tiene conectividad con una red 1625 (por ejemplo, una red de área extensa (WAN) o la red de red de comunicación de datos de paquete global comúnmente ahora referida como "Internet") o al equipo de datos operado por el proveedor de servicios. La red local 1621 y la red 1625 usan señales eléctricas, electromagnéticas u ópticas para transportar información e instrucciones. Las señales a través de las varias redes y las señale en la conexión de red 1619 y a través de la interfaz de comunicación 1617, que comunican datos digitales con el sistema de ordenador 1600, son formas ejemplares de ondas transportadoras que llevan la información e instrucciones.

El sistema de ordenador 1600 puede enviar mensajes y recibir datos, incluyendo código de programa, a través de la red o redes, la conexión de red 1619 y la interfaz de comunicación 1617. En el ejemplo de Internet, un servidor (no mostrado) puede transmitir el código solicitado que pertenece a un programa de aplicación para implementar una realización de la presente invención a través de la red 1625, la red local 1621 y la interfaz de comunicación 1617. El procesador 1603 puede ejecutar el código transmitido mientras se recibe y/o almacenar el código en el dispositivo de almacenamiento 169, u otro almacenamiento no volátil para su ejecución posterior. De esta manea, el sistema de ordenador 1600 puede obtener un código de aplicación en forma de una onda transportadora.

El término "legible por ordenador" como se usa en el presente documento se refiere a cualquier medio que participa proporcionando instrucciones al procesador 1603 para su ejecución. Tal medio puede tomar muchas formas, que incluyen aunque no se limitan a, medios no volátiles, medios volátiles y medios de transmisión. Los medios no volátiles incluyen, por ejemplo, discos ópticos o magnéticos, tales como un dispositivo de almacenamiento 1609. Los medios volátiles incluyen memoria dinámica, tal como memoria principal 1605. Los medios de transmisión incluyen cables coaxiales, cables de cobre y fibras ópticas, incluyendo cables que comprenden bus 1601. Los medios de transmisión pueden tomar la forma de ondas acústicas, ópticas o electromagnéticas, tales como aquellas generadas durante comunicaciones de datos de radiofrecuencia (RF) e infrarrojos (IR). Las formas comunes de medios legibles por ordenador incluyen, por ejemplo, un disco blando, un disco flexible, un disco duro, una cinta magnética y otros medios magnéticos, un CD-ROM, CDRW, DVD, cualquier otro medio óptico, fichas perforadas, cinta de papel, hojas con marcas ópticas, cualquier otro medio físico con patrones o agujeros u otras marcas ópticamente reconocibles, una RAM, una PROM, y EPROM, una FLASH-EPROM, cualquier otro chip o cartucho de memoria, una onda transportadora, o cualquier otro medio desde el que pueda leer un ordenador.

Pueden incluirse varias formas de medios legibles por ordenador para proporcionar instrucciones a un procesador para su ejecución. Por ejemplo, las instrucciones para realizar al menos parte de la presente invención pueden transportarse en un disco magnético de un ordenador remoto. En tal supuesto, el ordenador remoto carga las instrucciones en la memoria principal y envía las instrucciones sobre una línea telefónica usando un módem. Un módem de un sistema de ordenador local recibe los datos en la línea telefónica y usa un transmisor infrarrojo para convertir los datos en una señal infrarroja y transmitir la señal infrarroja a un dispositivo de computación portátil, tal como un asistente digital personal (ADP) y un ordenador portátil. Un detector infrarrojo en un dispositivo de computación portátil recibe la información e instrucciones que transporta la señal infrarroja y coloca los datos en un bus. El bus transporta los datos a la memoria principal, desde la que un procesador recupera y ejecuta las instrucciones. Las instrucciones que la memoria principal recibe se almacenan opcionalmente en un dispositivo de almacenamiento bien antes o después de que el procesador las ejecute.

Por consiguiente, las varias realizaciones de la presente invención proporcionan un codificador, que es un codificador de Comprobación de Paridad de Baja Densidad (LDPC), que genera señales codificadas al transformar un mensaje de entrada en una contraseña representada por una pluralidad de conjuntos de bits.

Mientras la presente invención se ha descrito en relación con un número de realizaciones e implementaciones, la presente invención no es tan limitada sino que cubre varias modificaciones obvias y disposiciones equivalentes, que corresponden al ámbito de las reivindicaciones adjuntas.

Los siguiente son ejemplos que no forman parte de la invención.

1. Un método para transmitir señales codificadas, comprendiendo el método:
recibir uno de una pluralidad de conjuntos de bits de una contraseña de un codificador (203) para transformar un mensaje de entrada en una contraseña;
mapear de manera no secuencial el conjunto de bits en una constelación de mayor orden; y
producir un símbolo de la constelación de mayor orden que corresponda al conjunto de bits en base al mapeo.

2. Un método de acuerdo con el ejemplo 1, que además comprende:
escribir N bits codificados en un intercalador de bloque sobre una base de columna por columna; y leer los bits codificados sobre una base de fila por fila, donde el intercalador de bloque tiene $N/3$ columnas y 3 columnas cuando la modulación de mayor orden es 8-PSK (Modulación por Desplazamiento de Fase), y $N/5$ filas y 5 columnas cuando el modulación de mayor orden es 32-APSK.

3. Un método de acuerdo con el ejemplo 1, donde el codificador (203) en la etapa de recepción genera la contraseña de acuerdo con un código de Comprobación de Paridad de Baja Densidad (LDPC).

4. Un método de acuerdo con el ejemplo 3, donde la matriz de comprobación de paridad del código LDPC está estructurada restringiendo una parte triangular de la matriz de comprobación de paridad a valores cero.

5. Un método de acuerdo con el ejemplo 3, donde la constelación de mayor orden representa un programa de Modulación por Desplazamiento de Fase Cuaternaria (QPSK), comprendiendo el método además:
determinar un símbolo i^{o} QPSK en base al conjunto de bits codificados LDPC $2i^{o}$ y $(2i+1)^{o}$, donde i=0, 1, 2, …, $N/2$-1, y N es el tamaño del bloque de LDPC codificado.

6. Un método de acuerdo con el ejemplo 3, donde la constelación de mayor orden representa un programa de modulación 8-PSK, comprendiendo el método además:
determinar un símbolo i^{o} 8-PSK en base al conjunto de bits codificados LDPC $(N/3+i)^{o}$, $(2N/3+i)^{o}$ e i^{o}, donde i=0, 1, 2, …, $N/3$-1, y N es el tamaño del bloque de LDPC codificado.

7. Un método de acuerdo con el ejemplo 3, donde la constelación de mayor orden representa un programa de modulación 16-APSK (Modulación por Desplazamiento de Fase de Amplitud), comprendiendo el método además:
determinar un símbolo i^{o} 16-QPSK en base al conjunto de bits codificados LDPC $(N/2+2i)^{o}$, $2i^{o}$, $(N/2+2i+1)^{o}$ y $(2i+1)^{o}$, donde i=0, 1, 2, …, $N/3$-1, y N es el tamaño del bloque de LDPC codificado.

8. Un método de acuerdo con el ejemplo 3, donde la constelación de mayor orden representa un programa de modulación 32-APSK (Modulación por Desplazamiento de Fase de Amplitud), comprendiendo el método además:
determinar un símbolo i^{o} 32-QPSK en base al conjunto de bits codificados LDPC $(N/5+i)^{o}$, $(2N/5+i)^{o}$, $(4N/5+i)^{o}$, $(3N/5+i)^{o}$ e i^{o}, donde i=0, 1, 2, …, $N/5$-1, y N es el tamaño del bloque de LDPC codificado.

9. Un medio legible por ordenador que contiene instrucciones para transmitir señales codificadas, estando dispuestas dichas instrucciones, tras su ejecución, para provocar que uno o más procesadores realicen el método del ejemplo 1.

10. Un transmisor para generar señales codificadas, comprendiendo el transmisor:
un codificador (203) configurado para transformar un mensaje de entrada en una contraseña representada por una pluralidad de conjuntos de bits; y
lógica configurada para mapear de manera no secuencial un conjunto de bits en una constelación de mayor orden, donde un símbolo de la constelación de mayor orden correspondiente al conjunto de bits se produce en base al mapeo.

11. Un transmisor de acuerdo con el ejemplo 10, donde los N bits codificados se escriben en un intercalador de bloque columna por columna y se leen fila por fila, y el intercalador de bloque tiene $N/3$ filas y 3 columnas cuando la modulación de mayor orden es 8-PSK (Modulación por Desplazamiento de Fase), $N/4$ filas y 4 columnas cuando la modulación de mayor orden es 16-PSK (Modulación por Desplazamiento de Fase de Amplitud), y $N/5$ filas y 5 columnas cuando la modulación de mayor orden es 32-PSK.

12. Un transmisor de acuerdo con el ejemplo 11, donde el codificador (203) genera la contraseña de acuerdo con un código de Comprobación de Paridad de Baja Densidad (LDPC).

13. Un trasmisor de acuerdo con el ejemplo 12, donde la matriz de comprobación de paridad del código LDPC está estructurado al restringir una parte triangular de la matriz de comprobación de paridad a valores cero.

14. Un transmisor de acuerdo con el ejemplo 12, donde la constelación de mayor orden representa un programa de Modulación por Desplazamiento de Fase Cuaternaria (QPSK), y la lógica está además configurada para determinar un símbolo i^{o} QPSK en base al conjunto de bits codificados LDPC $2i^{o}$ y $(2i+1)^{o}$, donde i=0, 1, 2, …, $N/2$-1, y N es el tamaño del bloque de LDPC codificado.

15. Un transmisor de acuerdo con el ejemplo 12, donde la constelación de mayor orden representa un programa de modulación 8-PSK, y la lógica está además configurada para determinar un símbolo i^{o} 8-PSK en base al conjunto de bits codificados LDPC $(N/3+i)^{o}$, $(2N/3+i)^{o}$ e i^{o}, donde i=0, 1, 2, …, N/3-1, y N es el tamaño del bloque de LDPC codificado.

16. Un transmisor de acuerdo con el ejemplo 12, donde la constelación de mayor orden representa un programa de modulación 16-APSK (Modulación por Desplazamiento de Fase de Amplitud), y la lógica está además configurada para determinar un símbolo i^{o} 16-QPSK en base al conjunto de bits codificados LDPC $(N/2+2i)^{o}$, $2i^{o}$, $(N/2+2i+1)^{o}$ y $(2i+1)^{o}$, donde i=0, 1, 2, …, N/3-1, y N es el tamaño del bloque de LDPC codificado.

17. Un transmisor de acuerdo con el ejemplo 12, donde la constelación de mayor orden representa un programa de modulación 32-APSK (Modulación por Desplazamiento de Fase de Amplitud), y la lógica está además configurada para determinar un símbolo i^{o} 32-QPSK en base al conjunto de bits codificados LDPC $(N/5+i)^{o}$, $(2N/5+i)^{o}$, $(4N/5+i)^{o}$, $(3N/5+i)^{o}$ e i^{o}, donde i=0, 1, 2, …, N/5-1, y N es el tamaño del bloque de LDPC codificado.

18. Un método para procesar señales codificadas, comprendiendo el método:
desmodular una señal codificada recibida que representa una contraseña, donde la señal codificada que se está modulando de acuerdo con un mapeo no secuencial de una pluralidad de bits correspondientes a la contraseña; y
decodificar la contraseña asociada con la señal codificada.

19. Un método de acuerdo con el ejemplo 18, donde los N bits codificados se escriben en un intercalador de bloque columna por columna y se leen fila por fila, y el intercalador de bloque tiene N/3 filas y 3 columnas cuando la modulación de mayor orden es 8-PSK (Modulación por Desplazamiento de Fase), N/4 filas y 4 columnas cuando la modulación de mayor orden es 16-PSK (Modulación por Desplazamiento de Fase de Amplitud), y N/5 filas y 5 columnas cuando la modulación de mayor orden es 32-PSK.

20. Un método de acuerdo con el ejemplo 19, donde la etapa de decodificación es de acuerdo con un código de Comprobación de Paridad de Baja Densidad (LDPC).

21. Un método de acuerdo con el ejemplo 20, donde la matriz de comprobación de paridad del código LDPC está estructurada al restringir una parte triangular de la matriz de comprobación de paridad a valores cero.

22. Un método de acuerdo con el ejemplo 20, donde la constelación de mayor orden representa un programa de Modulación por Desplazamiento de Fase Cuaternaria (QPSK), y se determina un símbolo i^{o} QPSK en base al conjunto de bits codificados LDPC $2i^{o}$ y $(2i+1)^{o}$, donde i=0, 1, 2, …, N/2-1, y N es el tamaño del bloque de LDPC codificado.

23. Un método de acuerdo con el ejemplo 20, donde la constelación de mayor orden representa un programa de modulación 8-PSK, y se determina un símbolo i^{o} 8-PSK en base al conjunto de bits codificados LDPC $(N/3+i)^{o}$, $(2N/3+i)^{o}$ e i^{o}, donde i=0, 1, 2, …, N/3-1, y N es el tamaño del bloque de LDPC codificado.

24. Un método de acuerdo con el ejemplo 20, donde la constelación de mayor orden representa un programa de modulación 16-APSK (Modulación por Desplazamiento de Fase de Amplitud), y se determina un símbolo i^{o} 16-QPSK en base al conjunto de bits codificados LDPC $(N/2+2i)^{o}$, $2i^{o}$, $(N/2+2i+1)^{o}$ y $(2i+1)^{o}$, donde i=0, 1, 2, …, N/3-1, y N es el tamaño del bloque de LDPC codificado.

25. Un método de acuerdo con el ejemplo 20, donde la constelación de mayor orden representa un programa de modulación 32-APSK (Modulación por Desplazamiento de Fase de Amplitud), y se determina un símbolo i^{o} 32-QPSK en base al conjunto de bits codificados LDPC $(N/5+i)^{o}$, $(2N/5+i)^{o}$, $(4N/5+i)^{o}$, $(3N/5+i)^{o}$ e i^{o}, donde i=0, 1, 2, …, N/5-1, y N es el tamaño del bloque de LDPC codificado.

26. Un medio legible por ordenador que contiene instrucciones que procesan señales codificadas, estando dispuestas dichas instrucciones, tras su ejecución, para provocar que uno o más procesadores realicen el método del ejemplo 18.

REIVINDICACIONES

1. Un método para codificar señales, comprendiendo el método:
codificar un mensaje de entrada en una contraseña con un codificador de Comprobación de Paridad de Baja Densidad (LDPC) (203) donde la etapa de codificar comprende:
recibir bits de información, $i_0, i_1, \ldots, i_m, \ldots, i_{kldpc-1}$,
inicializar bits de paridad, $p_0, p_1, \ldots, p_j, p_{nldpc-kldpc-1}$, de un código de Comprobación de Paridad de Baja Densidad (LDPC) que tiene un índice de código de 4/5, 3/5, 8/9 o 9/10 de acuerdo con $p_0 = p_1 = \ldots = p_{nldpc-kldpc-1} = 0$;
generar, en base a los bits de información, bits de paridad al acumular los bits de información realizando operaciones para cada bit de información, i_m, $p_j = p_j \oplus i_m$ para cada valor correspondiente de j, y posteriormente realizar la operación, comenzando con $j = 1$, $p_j = p_j \oplus p_{j-1}$, para $j = 1,2, \ldots, n_{ldpc-kldpc}-1$; y
generar la contraseña, c, de tamaño n_{ldpc} cuando $c = (i_0, i_1, \ldots, i_{kldpc-1}, p_0, p_1, \ldots, p_{nldpc-kldpc-1})$ donde p_j, para $j = 1,2, \ldots, n_{ldpc-kldpc}-1$, es el contenido final de p_j,
donde j es una dirección de bit de paridad igual a $\{x + m \bmod 360x\ q\} \bmod (n_{ldpc}-k_{ldpc})$, n_{ldpc} es un tamaño de contraseña correspondiente a 64800, k_{ldpc} es un tamaño de bloque de información correspondiente al índice de código multiplicado por n_{ldpc}, m es un número entero correspondiente a un bit particular de información, y x indica una dirección de bit de paridad, donde cada fila de las siguientes tablas especifica direcciones x para un particular de los índices de código de 4/5, 3/5, 8/9 o 9/10 correspondientes a una particular de las tablas, donde q se especifica en la siguiente tabla para cada uno de los índice de código de 4/5, 3/5, 8/9 o 9/10, por lo que cada fila sucesiva de la correspondiente tabla para el índice de código particular proporciona todas las direcciones de bit de paridad j para el primer bit de información en cada grupo sucesivo de 360 bits de información, y cada fila sucesiva de la tabla proporciona todas las direcciones x usadas en el cálculo de direcciones de bit de paridad, j, para los siguientes bits de información de acuerdo con $\{x + m \bmod 360x\ q\} \bmod (n_{ldpc}-k_{ldpc})$ en cada grupo sucesivo de 360 bits de información:

Tabla 1

Dirección de Acumuladoers de Bit de Paridad (Índice 4/5) q = 36
0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 6836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611

2 4319 4879
3 2196 344
4 7527 6650
5 10693 2440
6 6755 2706
7 5144 5998
8 11043 8033
9 4846 4435
10 4157 9228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430
16 920 1304
17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9555
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935

1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883
9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 5844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 829 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933
31 6297 7116
32 616 7146
33 5142 9761
34 10377 8138
35 7616 5811

0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597
14 1450 112
15 7965 8478
16 8945 7397
17 6590 8316
18 6838 9011
19 6174 9410
20 255 113
21 6197 5835
22 12902 3844
23 4377 3505
24 5478 8672
25 4453 2132
26 9724 1380
27 12131 11526
28 12323 9511
29 8231 1752
30 497 9022
31 9288 3080
32 2481 7515
33 2696 268
34 4023 12341

35 7108 5553

Tabla 2

Dirección de Acumuladores de Bit de Paridad (Índice 3/5) q = 72
22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797

10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761
3 12299 7828
4 15048 13362
5 18444 24640
6 20775 19175
7 18970 10971
8 5329 19982
9 11296 18655
10 15046 20659
11 7300 22140
12 22029 14477
13 11129 742
14 13254 13813
15 19234 13273
16 6079 21122
17 22782 5828
18 19775 4247
19 1660 19413
20 4403 3649
21 13371 25851
22 22770 21784
23 10757 14131
24 16071 21617
25 6393 3725
26 597 19968

27 5743 8084
28 6770 9548
29 4285 17542
30 13568 22599
31 1786 4617
32 23238 11648
33 19627 2030
34 13601 13458
35 13740 17328
36 25012 13944
37 22513 6687
38 4934 12587
39 21197 5133
40 22705 6938
41 7534 24633
42 24400 12797
43 21911 25712
44 12039 1140
45 24306 1021
46 14012 20747
47 11265 15219
48 4670 15531
49 9417 14359
50 2415 6504
51 24964 24690
52 14443 8816
53 6926 1291
54 6209 20806
55 13915 4079
56 24410 13196
57 13505 6117
58 9869 8220
59 1570 6044
60 25780 17387
61 20671 24913

62 24558 20591
63 12402 3702
64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769

Tabla 3

Dirección de Acumuladores de Bit de Paridad (Índice 8/9) q = 20
0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 6961 4516 4739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 2381 4620
18 6791 6014 6596

19 2738 5918 3786
0 5156 6166
1 1504 4356
2 130 1904
3 6027 3187
4 6718 759
5 6240 2870
6 2343 1311
7 1039 5465
8 6617 2513
9 1588 5222
10 6561 535
11 4765 2054
12 5966 6892
13 1969 3869
14 3571 2420
15 4632 981
16 3215 4163
17 973 3117
18 3802 6198
19 3794 3948
0 3196 6126
1 573 1909
2 850 4034
3 5622 1601
4 6005 524
5 5251 5783
6 172 2032
7 1875 2475
8 497 1291
9 2566 3430
10 1249 740
11 2944 1948
12 6528 2899
13 2243 3616

14 867 3733
15 1374 4702
16 4698 2285
17 4760 3917
18 1859 4058
19 6141 3527
0 2148 5066
1 1306 145
2 2319 871
3 3463 1061
4 5554 6647
5 5837 339
6 5821 4932
7 6356 4756
8 3930 418
9 211 3094
10 1007 4928
11 3584 1235
12 6982 2869
13 1612 1013
14 953 4964
15 4555 4410
16 4925 4842
17 5778 600
18 6509 2417
19 1260 4903
0 3369 3031
1 3557 3224
2 3028 583
3 3258 440
4 6226 6655
5 4895 1094
6 1481 6847
7 4433 1932
8 2107 1649

9 2119 2065
10 4003 6388
11 6720 3622
12 3694 4521
13 1164 7050
14 1965 3613
15 4331 66
16 2970 1796
17 4652 3218
18 1762 4777
19 5736 1399
0 970 2572
1 2062 6599
2 4597 4870
3 1228 6913
4 4159 1037
5 2916 2362
6 395 1226
7 6911 4548
8 4618 2241
9 4120 4280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4569
17 4846 896
18 7092 6184
19 6764 7127
0 6358 1951
1 3117 6960
2 2710 7062
3 1133 3604

4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3889
15 5306 478
16 4320 6121
17 3961 1125
18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284

19 1696 1459

Tabla 4

Dirección de Acumuladores de Bit de Paridad (Índice 9/10) q = 18
0 5611 2563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3342 5678 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3846
10 4154 5561 3142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260
0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179

10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579
4 3404 3552
5 2876 5515
6 516 1719
7 765 3631
8 5059 1441
9 5629 598
10 5405 473
11 4724 5210
12 155 1832
13 1689 2229
14 449 1164
15 2308 3088
16 1122 669
17 2268 5758
0 5878 2609
1 782 3359
2 1231 4231
3 4225 2052
4 4286 3517
5 5531 3184
6 1935 4560
7 1174 131
8 3115 956

9 3129 1088
10 5238 4440
11 5722 4280
12 3540 375
13 191 2782
14 906 4432
15 3225 1111
16 6296 2583
17 1457 903
0 855 4475
1 4097 3970
2 4433 4361
3 5198 541
4 1146 4426
5 3202 2902
6 2724 525
7 1083 4124
8 2326 6003
9 5605 5990
10 4376 1579
11 4407 984
12 1332 6163
13 5359 3975
14 1907 1854
15 3601 5748
16 6056 3266
17 3322 4085
0 1768 3244
1 2149 144
2 1589 4291
3 5154 1252
4 1855 5939
5 4820 2706
6 1475 3360
7 4266 693

8 4156 2018
9 2103 752
10 3710 3853
11 5123 931
12 6146 3323
13 1939 5002
14 5140 1437
15 1263 293
16 5949 4665
17 4548 6380
0 3171 4690
1 5204 2114
2 6384 5565
3 5722 1757
4 2805 6264
5 1202 2616
6 1018 3244
7 4018 5289
8 2257 3067
9 2483 3073
10 1196 5329
11 649 3918
12 3791 4581
13 5028 3803
14 3119 3506
15 4779 431
16 3888 5510
17 4387 4084
0 5836 1692
1 5126 1078
2 5721 6165
3 3540 2499
4 2225 6348
5 1044 1484
6 6323 4042

7 1313 5603
8 1303 3496
9 3516 3639
10 5161 2293
11 4682 3845
12 3045 643
13 2818 2616
14 3267 649
15 6236 593
16 646 2948
17 4213 1442
0 5779 1596
1 2403 1237
2 2217 1514
3 5609 716
4 5155 3858
5 1517 1312
6 2554 3158
7 5280 2643
8 4990 1353
9 5648 1170
10 1152 4366
11 3561 5368
12 3581 1411
13 5647 4661
14 1542 5401
15 5078 2687
16 316 1755
17 3392 1991

2. Un codificador de Comprobación de Paridad de Baja Densidad (LDPC) para generar señales codificadas, que comprende:
medios configurados para recibir bits de información, i_0, i_1,…, i_m, …, $i_{kldpc-1}$,
medios configurados para inicializar bits de paridad, p_0, p_1, …, p_j, $p_{nldpc-kldpc-1}$, de un código de Comprobación de Paridad de Baja Densidad (LDPC) que tiene un índice de código de 4/5, 3/5, 8/9 o 9/10 de acuerdo con $p_0 = p_1 = \ldots = p_{nldpc-kldpc-1} = 0$;
medios configurados para generar, en base a los bits de información, bits de paridad al acumular los bits de información realizando operaciones para cada bit de información, i_m, $p_j = p_j \oplus i_m$ para cada valor correspondiente de j, y posteriormente realizar la operación, comenzando con $j = 1$, $p_j = p_j \oplus p_{j-1}$, para $j = 1,2, \ldots, n_{ldpc-kldpc}-1$; y
medios configurados para generar la contraseña, c, de tamaño n_{ldpc} cuando $c = (i_0, i_1,\ldots, i_{kldpc-1}, p_0, p_1, \ldots, p_{nldpc-kldpc-1})$ donde p_j, para $j = 1,2, \ldots, n_{ldpc-kldpc}-1$, es el contenido final de p_j,
donde j es una dirección de bit de paridad igual a $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc}-k_{ldpc})$, n_{ldpc} es un tamaño de contraseña correspondiente a 64800, k_{ldpc} es un tamaño de bloque de información correspondiente al índice de código multiplicado por n_{ldpc}, m es un número entero correspondiente a un bit particular de información, y x indica una dirección de bit de paridad, donde cada fila de las siguientes tablas especifica direcciones x para un particular de los índices de código de 4/5, 3/5, 8/9 o 9/10 correspondientes a una particular de las tablas, donde q se especifica en la siguiente tabla para cada uno de los índice de código de 4/5, 3/5, 8/9 o 9/10, por lo que cada fila sucesiva de la correspondiente tabla para el índice de código particular proporciona todas las direcciones de bit de paridad j para el primer bit de información en cada grupo sucesivo de 360 bits de información, y cada fila sucesiva de la tabla proporciona todas las direcciones x usadas en el cálculo de direcciones de bit de paridad, j, para los siguientes bits de información de acuerdo con $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc}-k_{ldpc})$ en cada grupo sucesivo de 360 bits de información:

Tabla 1

Dirección de Acumuladores de Bit de Paridad (Índice 4/5) q = 36
0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157

3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 6836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611

2 4319 4879
3 2196 344
4 7527 6650
5 10693 2440
6 6755 2706
7 5144 5998
8 11043 8033
9 4846 4435
10 4157 9228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430
16 920 1304
17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9555
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935

1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883
9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 5844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 829 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933
31 6297 7116
32 616 7146
33 5142 9761
34 10377 8138
35 7616 5811

0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597
14 1450 112
15 7965 8478
16 8945 7397
17 6590 8316
18 6838 9011
19 6174 9410
20 255 113
21 6197 5835
22 12902 3844
23 4377 3505
24 5478 8672
25 4453 2132
26 9724 1380
27 12131 11526
28 12323 9511
29 8231 1752
30 497 9022
31 9288 3080
32 2481 7515
33 2696 268
34 4023 12341

35 7108 5553

Tabla 2

Dirección de Acumuladores de Bit de Paridad (Índice 3/5) q = 72
22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797

10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761
3 12299 7828
4 15048 13362
5 18444 24640
6 20775 19175
7 18970 10971
8 5329 19982
9 11296 18655
10 15046 20659
11 7300 22140
12 22029 14477
13 11129 742
14 13254 13813
15 19234 13273
16 6079 21122
17 22782 5828
18 19775 4247
19 1660 19413
20 4403 3649
21 13371 25851
22 22770 21784
23 10757 14131
24 16071 21617
25 6393 3725
26 597 19968

27 5743 8084
28 6770 9548
29 4285 17542
30 13568 22599
31 1786 4617
32 23238 11648
33 19627 2030
34 13601 13458
35 13740 17328
36 25012 13944
37 22513 6687
38 4934 12587
39 21197 5133
40 22705 6938
41 7534 24633
42 24400 12797
43 21911 25712
44 12039 1140
45 24306 1021
46 14012 20747
47 11265 15219
48 4670 15531
49 9417 14359
50 2415 6504
51 24964 24690
52 14443 8816
53 6926 1291
54 6209 20806
55 13915 4079
56 24410 13196
57 13505 6117
58 9869 8220
59 1570 6044
60 25780 17387
61 20671 24913

62 24558 20591
63 12402 3702
64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769

Tabla 3

Dirección de Acumuladores de Bit de Paridad (Índice 8/9) q = 20
0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 6961 4516 4739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 2381 4620
18 6791 6014 6596

19 2738 5918 3786
0 5156 6166
1 1504 4356
2 130 1904
3 6027 3187
4 6718 759
5 6240 2870
6 2343 1311
7 1039 5465
8 6617 2513
9 1588 5222
10 6561 535
11 4765 2054
12 5966 6892
13 1969 3869
14 3571 2420
15 4632 981
16 3215 4163
17 973 3117
18 3802 6198
19 3794 3948
0 3196 6126
1 573 1909
2 850 4034
3 5622 1601
4 6005 524
5 5251 5783
6 172 2032
7 1875 2475
8 497 1291
9 2566 3430
10 1249 740
11 2944 1948
12 6528 2899
13 2243 3616

14 867 3733
15 1374 4702
16 4698 2285
17 4760 3917
18 1859 4058
19 6141 3527
0 2148 5066
1 1306 145
2 2319 871
3 3463 1061
4 5554 6647
5 5837 339
6 5821 4932
7 6356 4756
8 3930 418
9 211 3094
10 1007 4928
11 3584 1235
12 6982 2869
13 1612 1013
14 953 4964
15 4555 4410
16 4925 4842
17 5778 600
18 6509 2417
19 1260 4903
0 3369 3031
1 3557 3224
2 3028 583
3 3258 440
4 6226 6655
5 4895 1094
6 1481 6847
7 4433 1932
8 2107 1649

9 2119 2065
10 4003 6388
11 6720 3622
12 3694 4521
13 1164 7050
14 1965 3613
15 4331 66
16 2970 1796
17 4652 3218
18 1762 4777
19 5736 1399
0 970 2572
1 2062 6599
2 4597 4870
3 1228 6913
4 4159 1037
5 2916 2362
6 395 1226
7 6911 4548
8 4618 2241
9 4120 4280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4569
17 4846 896
18 7092 6184
19 6764 7127
0 6358 1951
1 3117 6960
2 2710 7062
3 1133 3604

4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3889
15 5306 478
16 4320 6121
17 3961 1125
18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284

19 1696 1459

Tabla 4

Dirección de Acumuladores de Bit de Paridad (Índice 9/10) q = 18
0 5611 2563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3342 5678 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3846
10 4154 5561 3142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260
0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179

10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579
4 3404 3552
5 2876 5515
6 516 1719
7 765 3631
8 5059 1441
9 5629 598
10 5405 473
11 4724 5210
12 155 1832
13 1689 2229
14 449 1164
15 2308 3088
16 1122 669
17 2268 5758
0 5878 2609
1 782 3359
2 1231 4231
3 4225 2052
4 4286 3517
5 5531 3184
6 1935 4560
7 1174 131
8 3115 956

9 3129 1088
10 5238 4440
11 5722 4280
12 3540 375
13 191 2782
14 906 4432
15 3225 1111
16 6296 2583
17 1457 903
0 855 4475
1 4097 3970
2 4433 4361
3 5198 541
4 1146 4426
5 3202 2902
6 2724 525
7 1083 4124
8 2326 6003
9 5605 5990
10 4376 1579
11 4407 984
12 1332 6163
13 5359 3975
14 1907 1854
15 3601 5748
16 6056 3266
17 3322 4085
0 1768 3244
1 2149 144
2 1589 4291
3 5154 1252
4 1855 5939
5 4820 2706
6 1475 3360
7 4266 693

8 4156 2018
9 2103 752
10 3710 3853
11 5123 931
12 6146 3323
13 1939 5002
14 5140 1437
15 1263 293
16 5949 4665
17 4548 6380
0 3171 4690
1 5204 2114
2 6384 5565
3 5722 1757
4 2805 6264
5 1202 2616
6 1018 3244
7 4018 5289
8 2257 3067
9 2483 3073
10 1196 5329
11 649 3918
12 3791 4581
13 5028 3803
14 3119 3506
15 4779 431
16 3888 5510
17 4387 4084
0 5836 1692
1 5126 1078
2 5721 6165
3 3540 2499
4 2225 6348
5 1044 1484
6 6323 4042

7 1313 5603
8 1303 3496
9 3516 3639
10 5161 2293
11 4682 3845
12 3045 643
13 2818 2616
14 3267 649
15 6236 593
16 646 2948
17 4213 1442
0 5779 1596
1 2403 1237
2 2217 1514
3 5609 716
4 5155 3858
5 1517 1312
6 2554 3158
7 5280 2643
8 4990 1353
9 5648 1170
10 1152 4366
11 3561 5368
12 3581 1411
13 5647 4661
14 1542 5401
15 5078 2687
16 316 1755
17 3392 1991

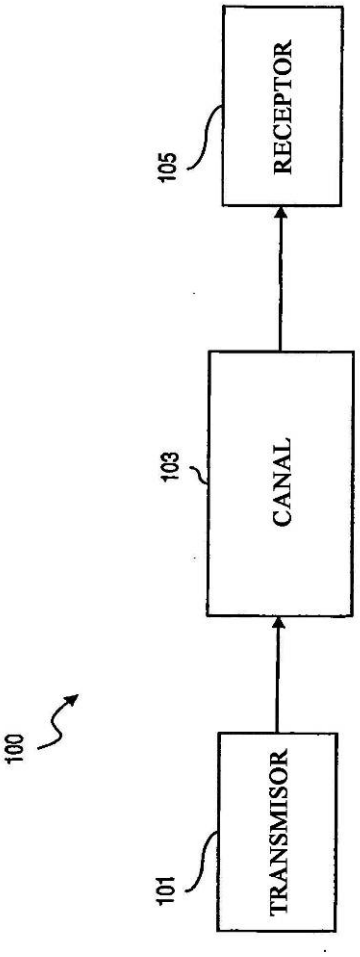


FIG. 1

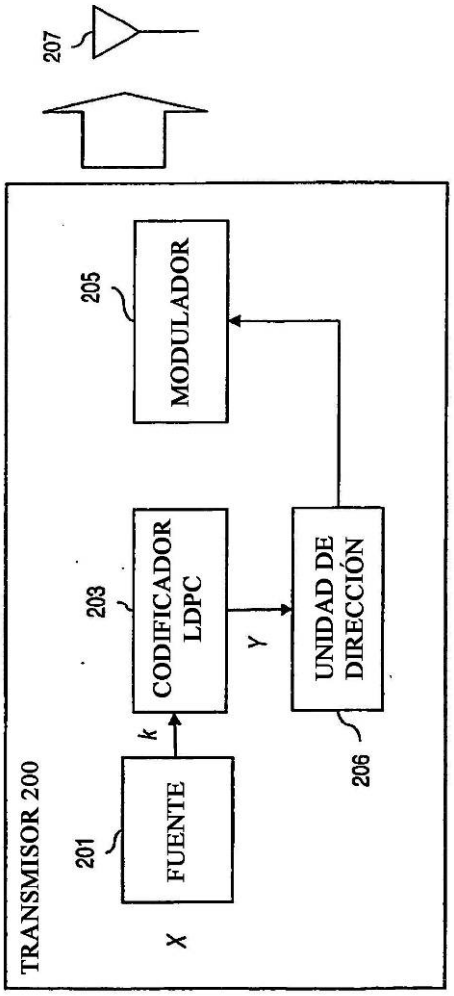

TRANSMISOR 200
X
201
FUENTE
k
203
CODIFICADOR LDPC
Y
UNIDAD DE DIRECCIÓN
206
205
MODULADOR
207

FIG. 2A

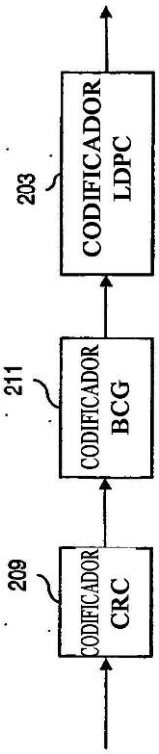

209
CODIFICADOR CRC
211
CODIFICADOR BCG
203
CODIFICADOR LDPC

FIG. 2B

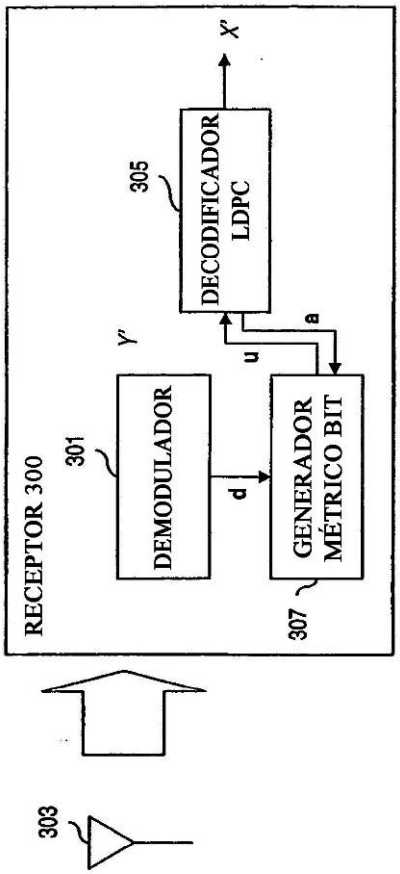

303
RECEPTOR 300
301
DEMODULADOR
Y'
d
GENERADOR MÉTRICO BIT
307
u
a
305
DECODIFICADOR LDPC
X'

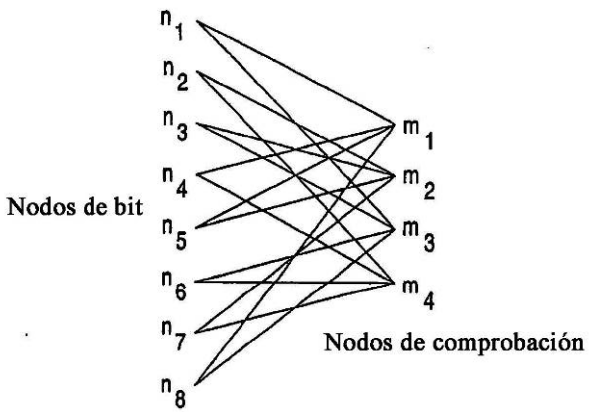
FIG. 3

118

FIG. 4

$$H = \begin{array}{c} \begin{array}{cccccccc} n_1 & n_2 & n_3 & n_4 & n_5 & n_6 & n_7 & n_8 \end{array} \\ \begin{bmatrix} 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} \end{array} \begin{array}{c} \\ m_1 \\ m_2 \\ m_3 \\ m_4 \end{array}$$

FIG. 5



$$B = \begin{bmatrix} 1 & & & & & \\ x & 1 & & & \mathbf{0} & \\ x & x & 1 & & & \\ x & x & x & 1 & & \\ x & x & x & x & 1 & \\ x & x & x & x & x & 1 \end{bmatrix}$$

FIG. 6

FIG. 7

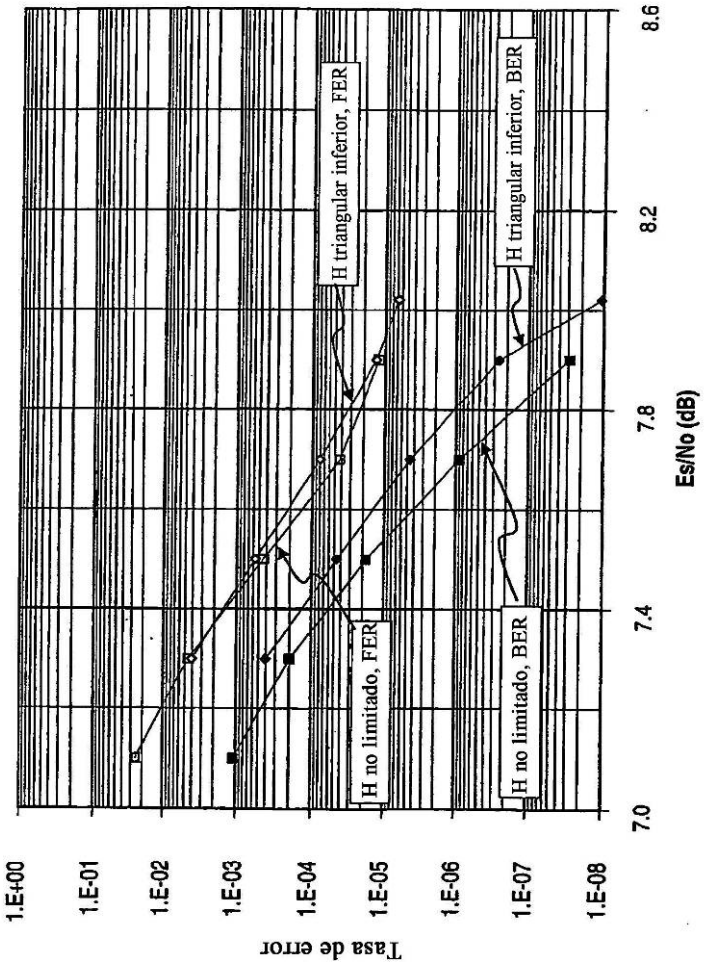
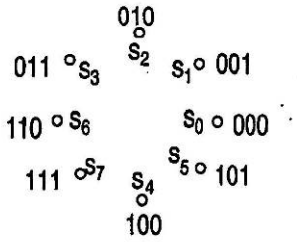

Tasa de error
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
7.0
7.4
7.8
8.2
8.6
Es/No (dB)
H no limitado, FER
H no limitado, BER
H triangular inferior, FER
H triangular inferior, BER

FIG. 8A


010
S2
011
S3
S1
001
110
S6
S0
000
111
S7
S5
101
S4
100

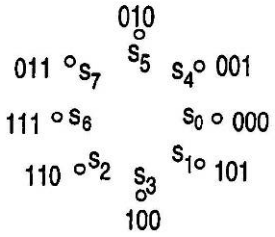

010
S5
011
S7
S4
001
111
S6
S0
000
110
S2
S1
101
S3
100

FIG. 8B

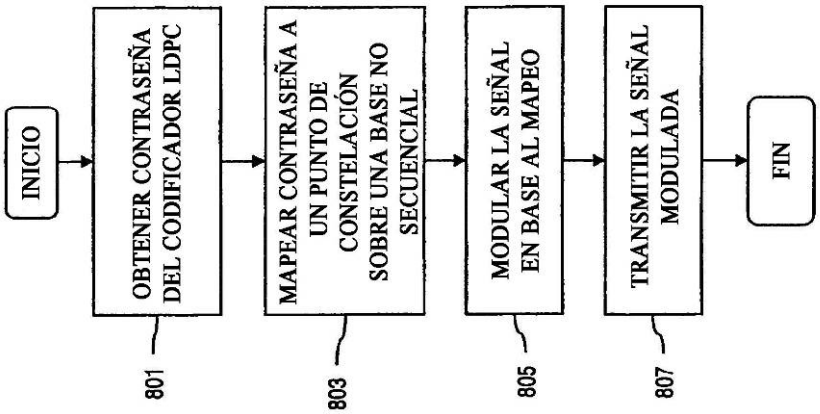
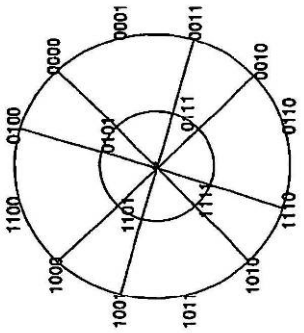
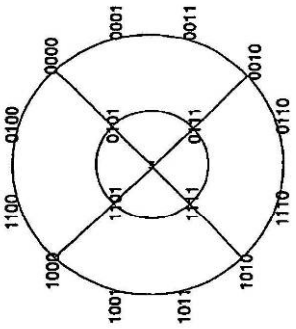

INICIO
OBTENER CONTRASEÑA DEL CODIFICADOR LDPC
801
MAPEAR CONTRASEÑA A UN PUNTO DE CONSTELACIÓN SOBRE UNA BASE NO SECUENCIAL
803
MODULAR LA SEÑAL EN BASE AL MAPEO
805
TRANSMITIR LA SEÑAL MODULADA
807
FIN

FIG. 8C

FIG. 8D



CONSTELACIÓN A



CONSTELACIÓN B

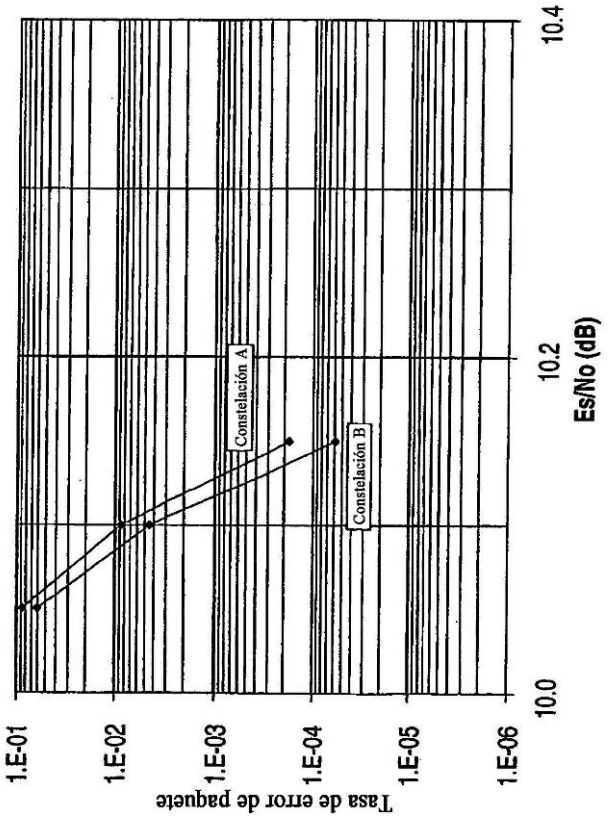

1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
Tasa de error de paquete
10.0
10.2
10.4
Es/No (dB)
Constelación A
Constelación B

FIG. 8E

FIG. 8F

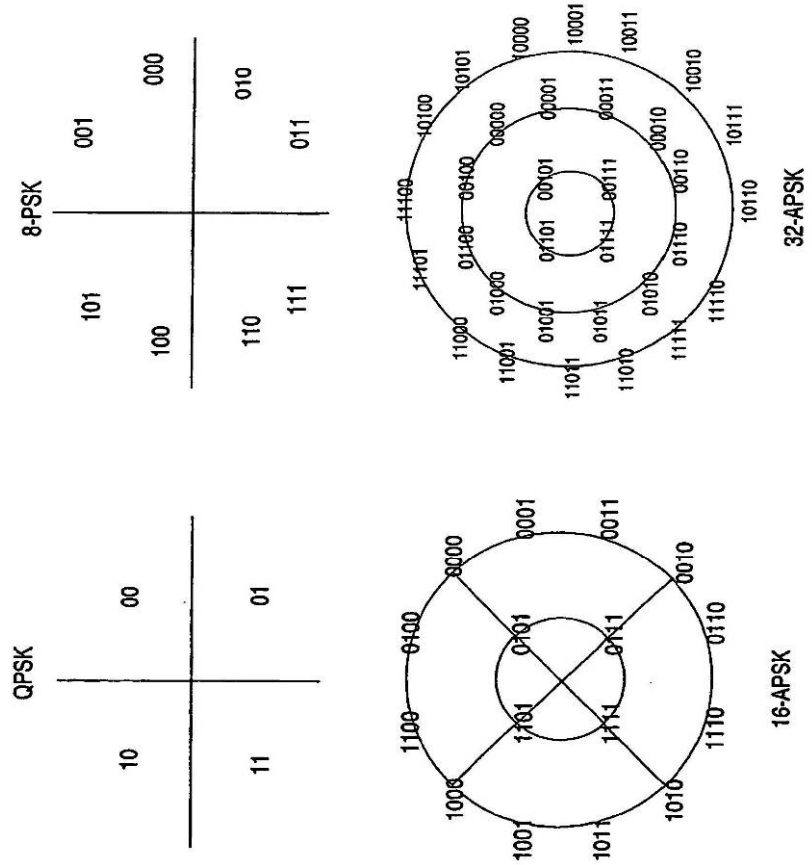

QPSK
10
00
11
01
8-PSK
101
001
000
100
010
110
111
011
16-APSK
32-APSK

FIG. 8G

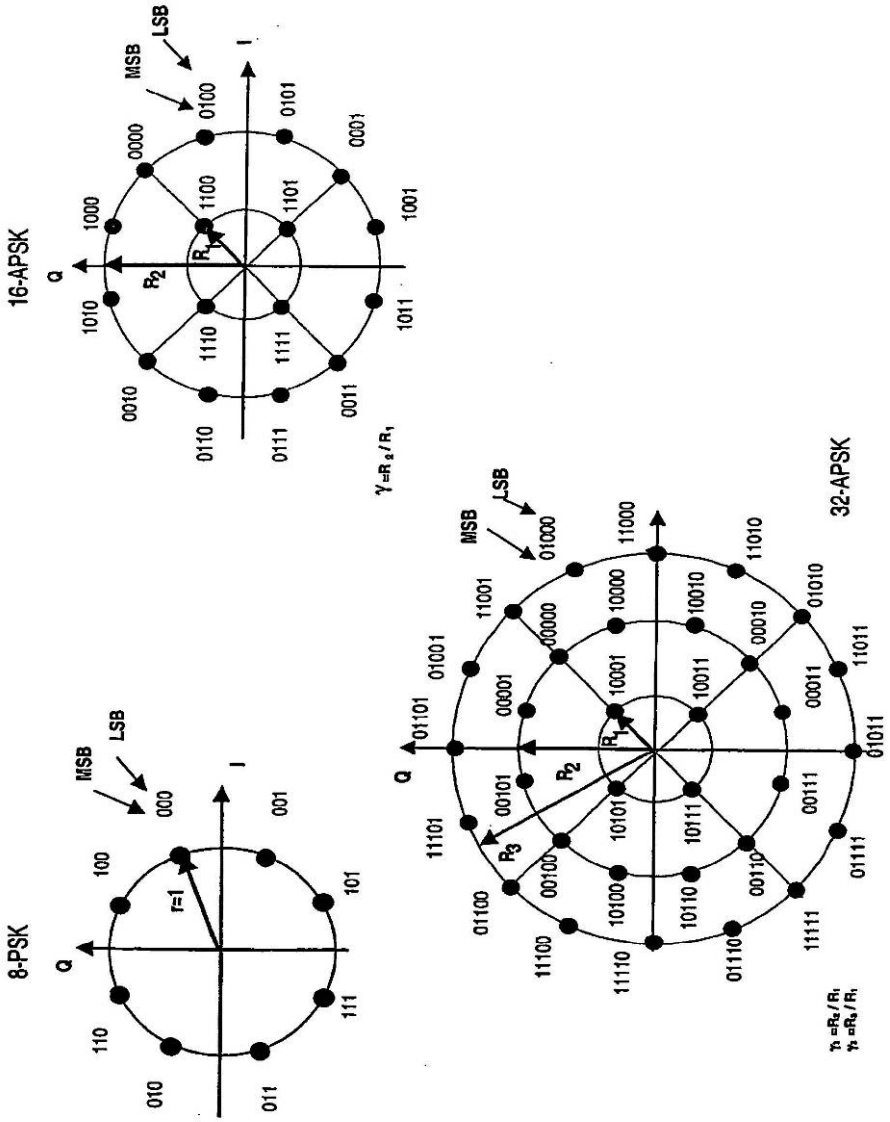
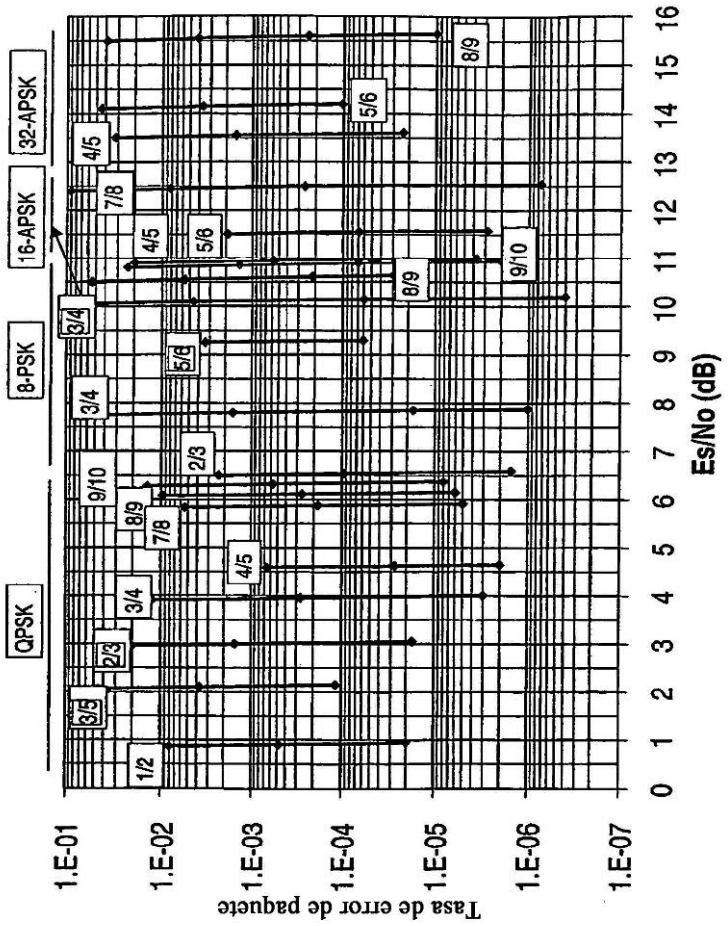

8-PSK
Q
I
MSB
LSB
r=1
000
001
011
010
110
100
101
111
16-APSK
Q
I
MSB
LSB
R1
R2
γ=R2/R1
0000
0001
0010
0011
0100
0101
0110
0111
1000
1001
1010
1011
1100
1101
1110
1111
32-APSK
Q
I
MSB
LSB
R1
R2
R3
γ1=R2/R1
γ2=R3/R1
00000
00001
00010
00011
00100
00101
00110
00111
01000
01001
01010
01011
01100
01101
01110
01111
10000
10001
10010
10011
10100
10101
10110
10111
11000
11001
11010
11011
11100
11101
11110
11111

FIG. 8H


QPSK
8-PSK
16-APSK
32-APSK
1/2
6/5
2/3
3/4
4/5
7/8
8/9
9/10
3/4
2/3
5/6
3/4
4/5
5/6
8/9
9/10
4/5
5/6
8/9
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
Tasa de error de paquete
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16
Es/No (dB)

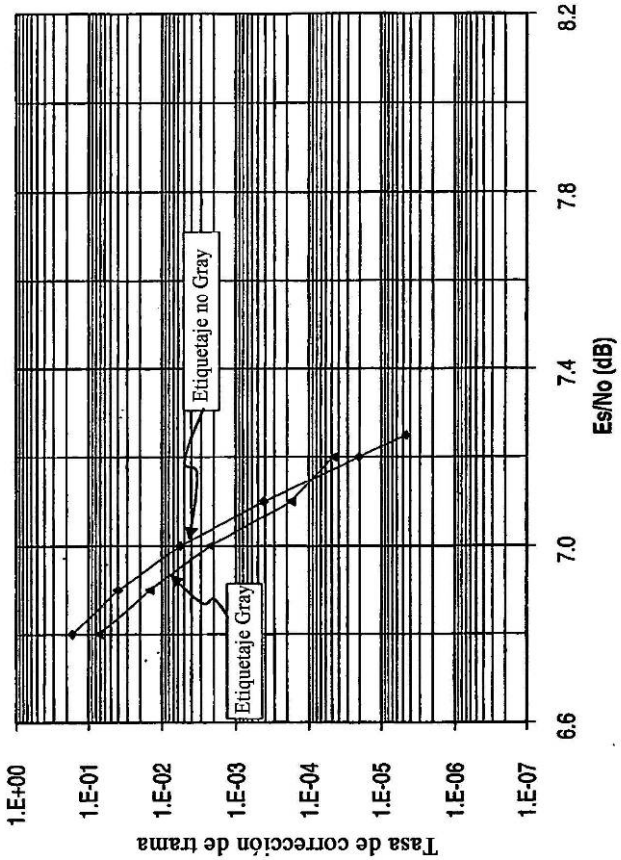

Tasa de corrección de trama
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
6.6
7.0
7.4
7.8
8.2
Es/No (dB)
Etiquetaje no Gray
Etiquetaje Gray

FIG. 9

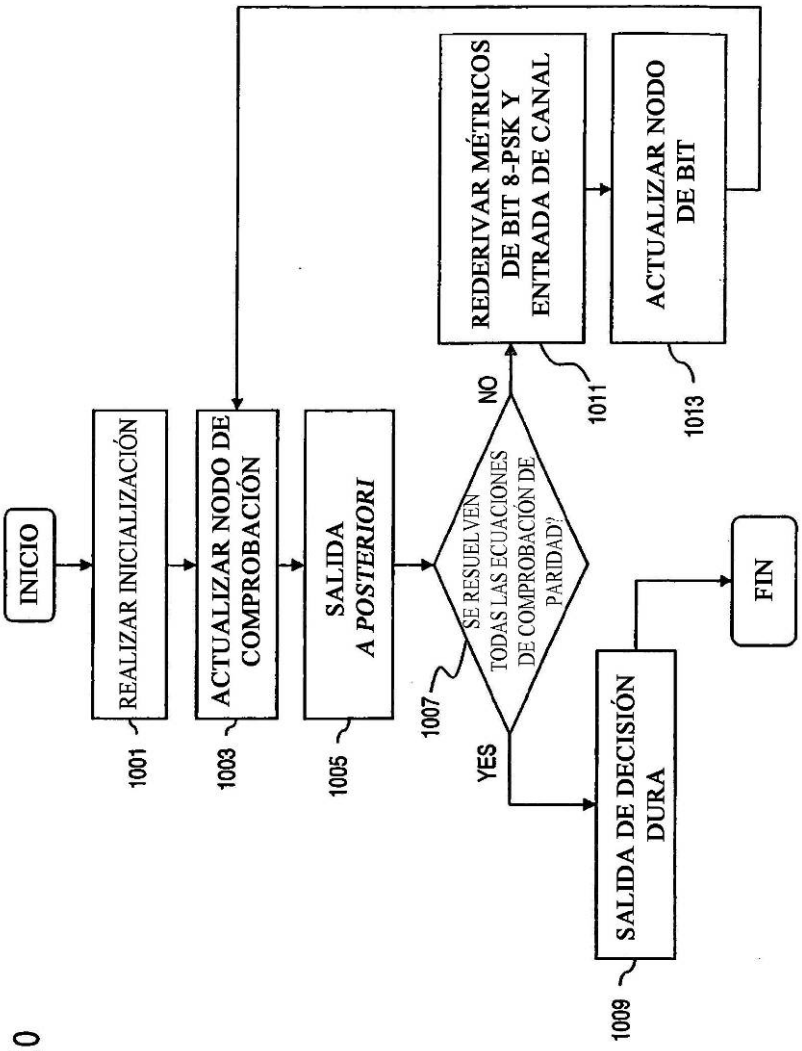

INICIO
REALIZAR INICIALIZACIÓN
1001
ACTUALIZAR NODO DE COMPROBACIÓN
1003
SALIDA A POSTERIORI
1005
SE RESUELVEN TODAS LAS ECUACIONES DE COMPROBACIÓN DE PARIDAD?
1007
NO
YES
REDERIVAR MÉTRICOS DE BIT 8-PSK Y ENTRADA DE CANAL
1011
ACTUALIZAR NODO DE BIT
1013
SALIDA DE DECISIÓN DURA
1009
FIN

FIG. 10

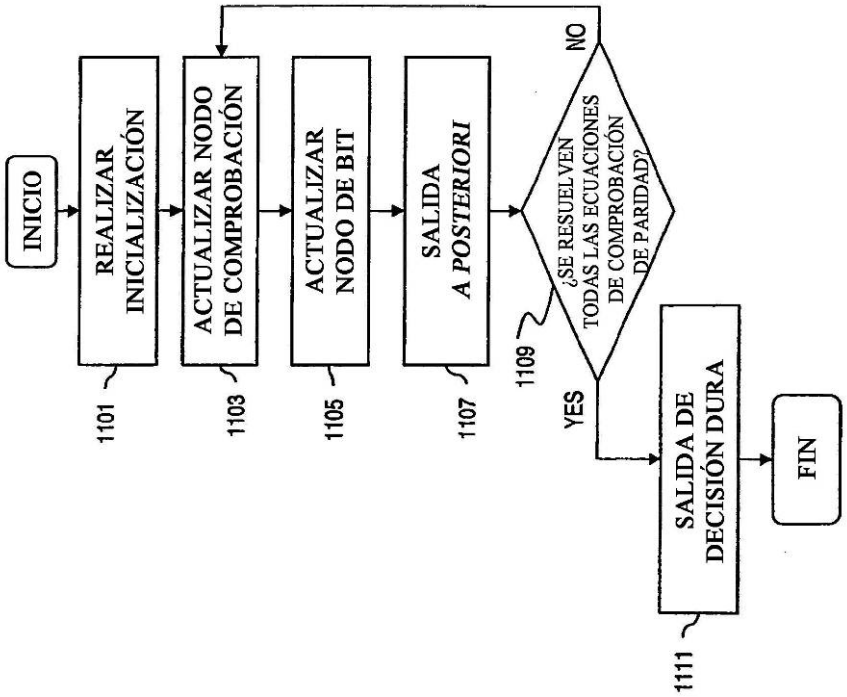

INICIO
REALIZAR INICIALIZACIÓN
1101
ACTUALIZAR NODO DE COMPROBACIÓN
1103
ACTUALIZAR NODO DE BIT
1105
SALIDA A POSTERIORI
1107
¿SE RESUELVEN TODAS LAS ECUACIONES DE COMPROBACIÓN DE PARIDAD?
1109
NO
YES
SALIDA DE DECISIÓN DURA
1111
FIN

FIG. 11

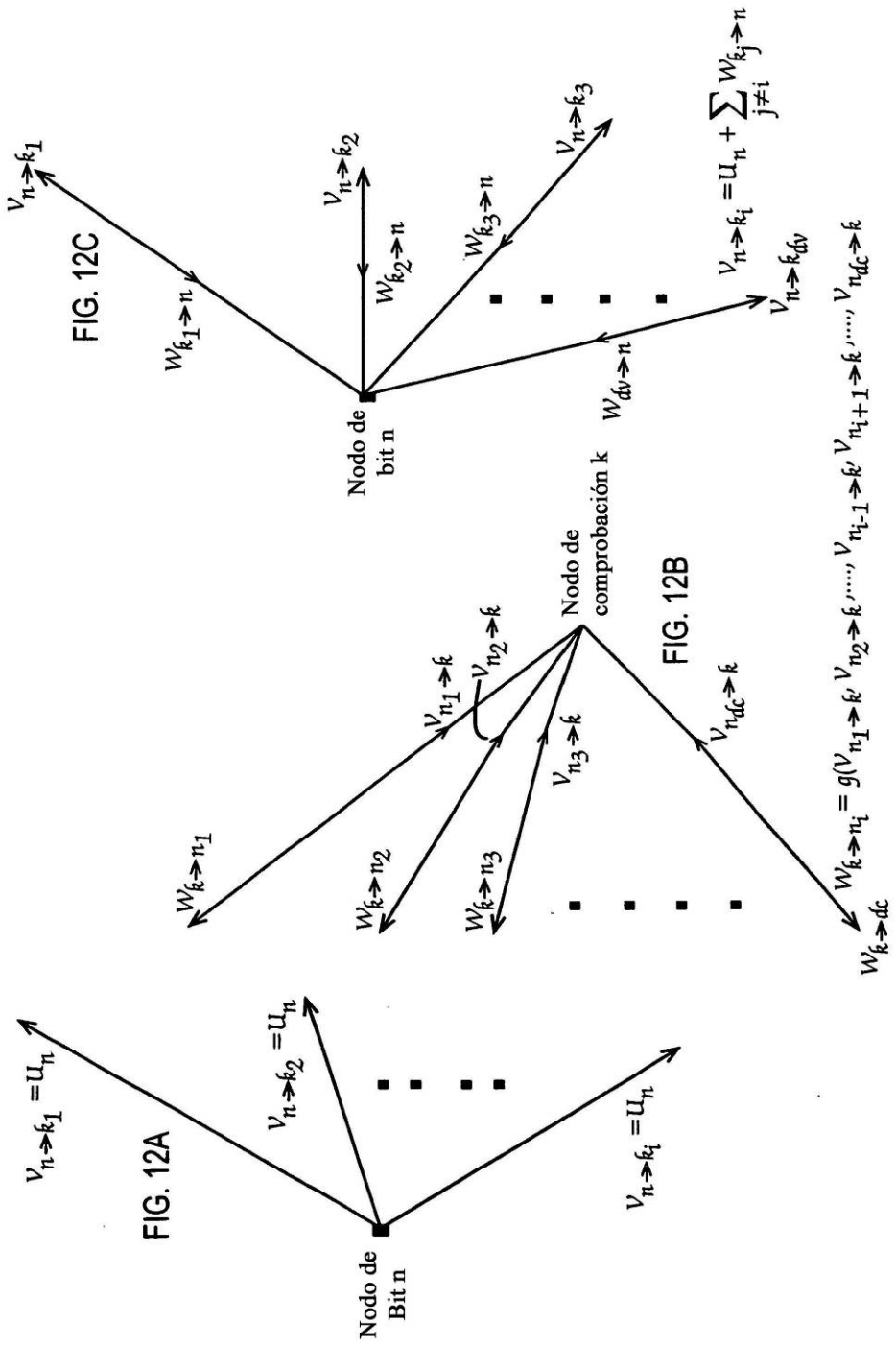


FIG. 12A
Nodo de Bit n
$v_{n\to k_1} = U_n$
$v_{n\to k_2} = U_n$
$v_{n\to k_i} = U_n$
FIG. 12B
Nodo de comprobación k
$w_{k\to n_1}$
$w_{k\to n_2}$
$w_{k\to n_3}$
$w_{k\to n_{dc}}$
$v_{n_1\to k}$
$v_{n_2\to k}$
$v_{n_3\to k}$
$v_{n_{dc}\to k}$
$w_{k\to n_i} = g(v_{n_1\to k}, v_{n_2\to k}, \ldots, v_{n_{i-1}\to k}, v_{n_{i+1}\to k}, \ldots, v_{n_{dc}\to k})$
FIG. 12C
Nodo de bit n
$v_{n\to k_1}$
$w_{k_1\to n}$
$v_{n\to k_2}$
$w_{k_2\to n}$
$w_{k_3\to n}$
$v_{n\to k_3}$
$w_{dv\to n}$
$v_{n\to k_{dv}}$
$v_{n\to k_i} = U_n + \sum_{j\neq i} w_{k_j\to n}$

FIG. 13A

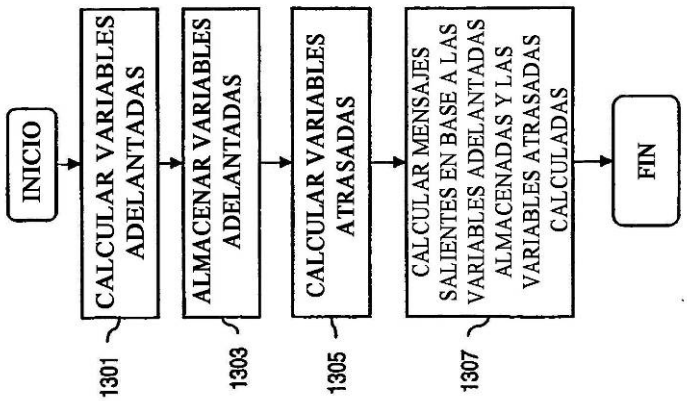
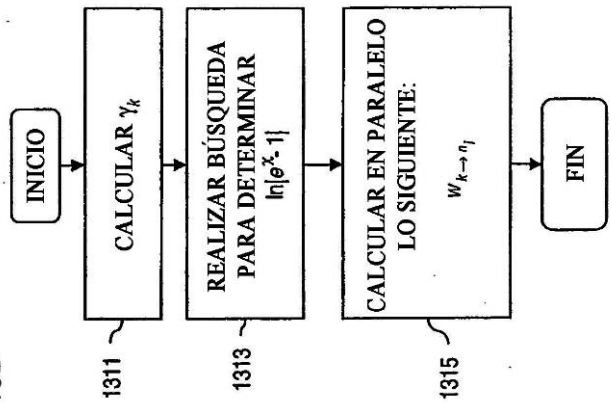


FIG. 13B



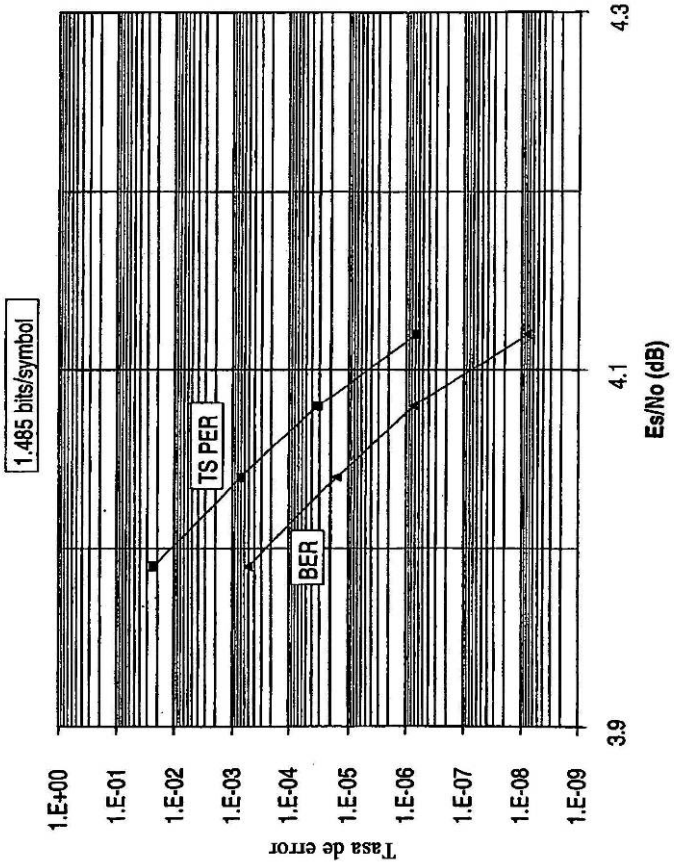

1.485 bits/symbol
TS PER
BER
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
Tasa de error
3.9
4.1
4.3
Es/No (dB)

FIG. 14A

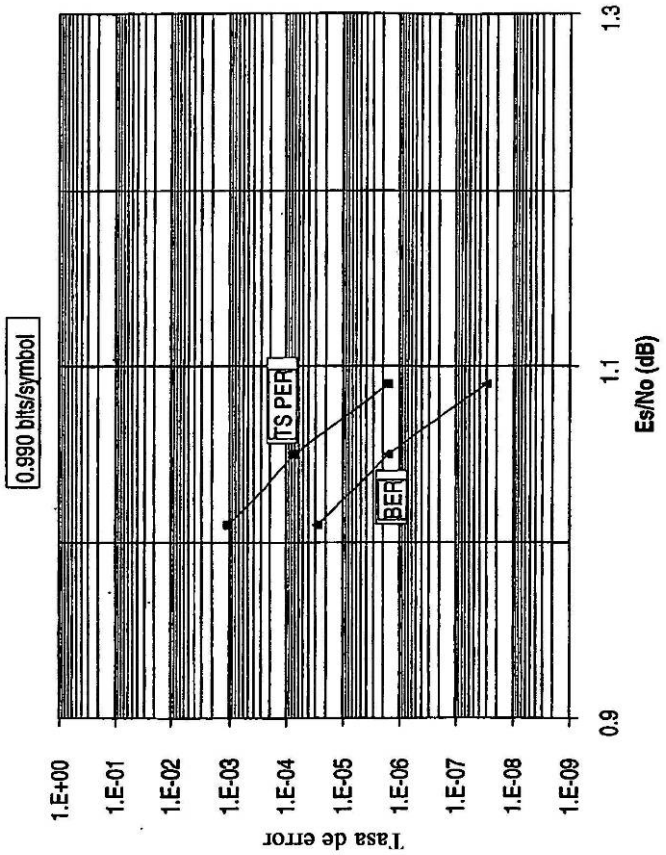

0.990 bits/symbol
TS PER
BER
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
Tasa de error
0.9
1.1
1.3
Es/No (dB)

FIG. 14B

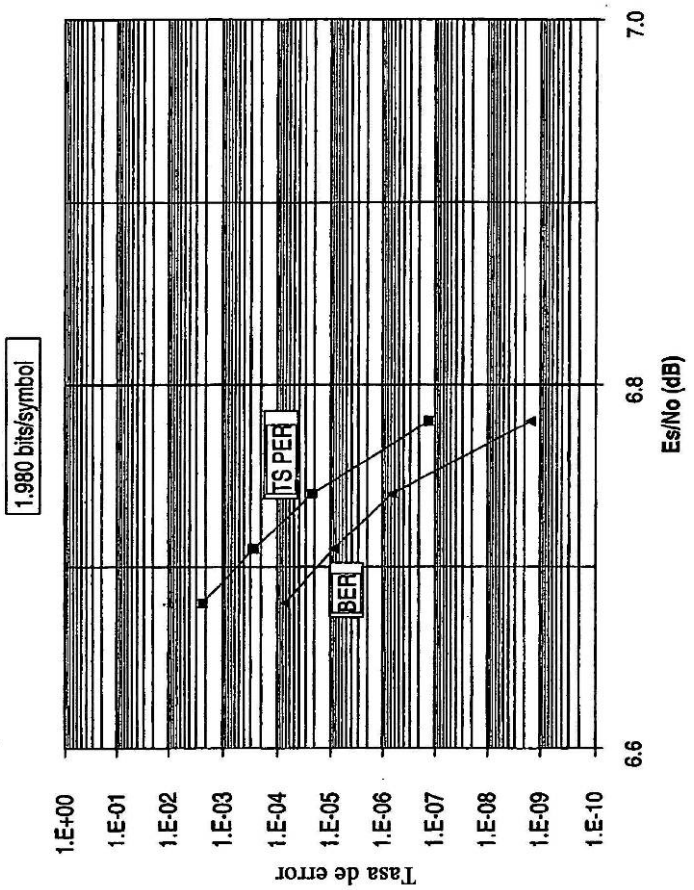

1.980 bits/symbol
TS PER
BER
Tasa de error
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
6.6
6.8
7.0
Es/No (dB)

FIG. 14C

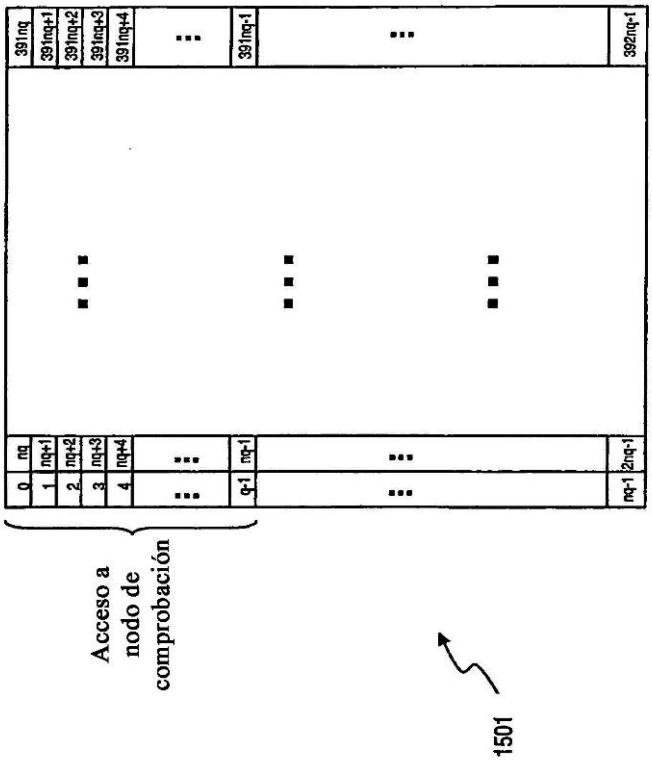

0
1
2
3
4
nq
nq+1
nq+2
nq+3
nq+4
q-1
nq-1
2nq-1
391nq
391nq+1
391nq+2
391nq+3
391nq+4
391nq-1
392nq-1
Acceso a nodo de comprobación
1501

FIG. 15A

FIG. 15B

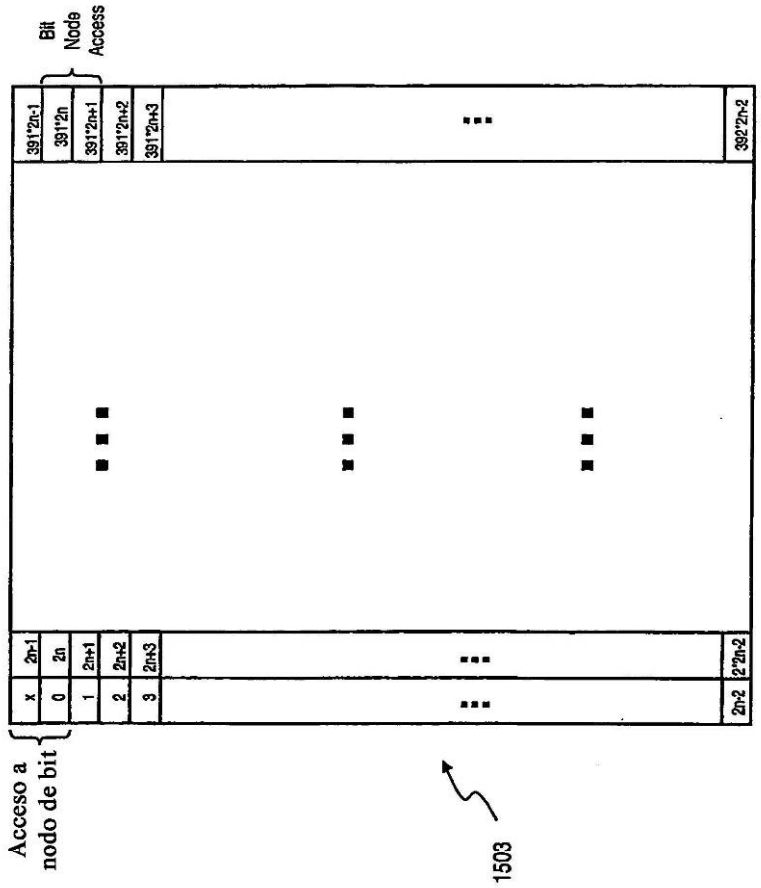
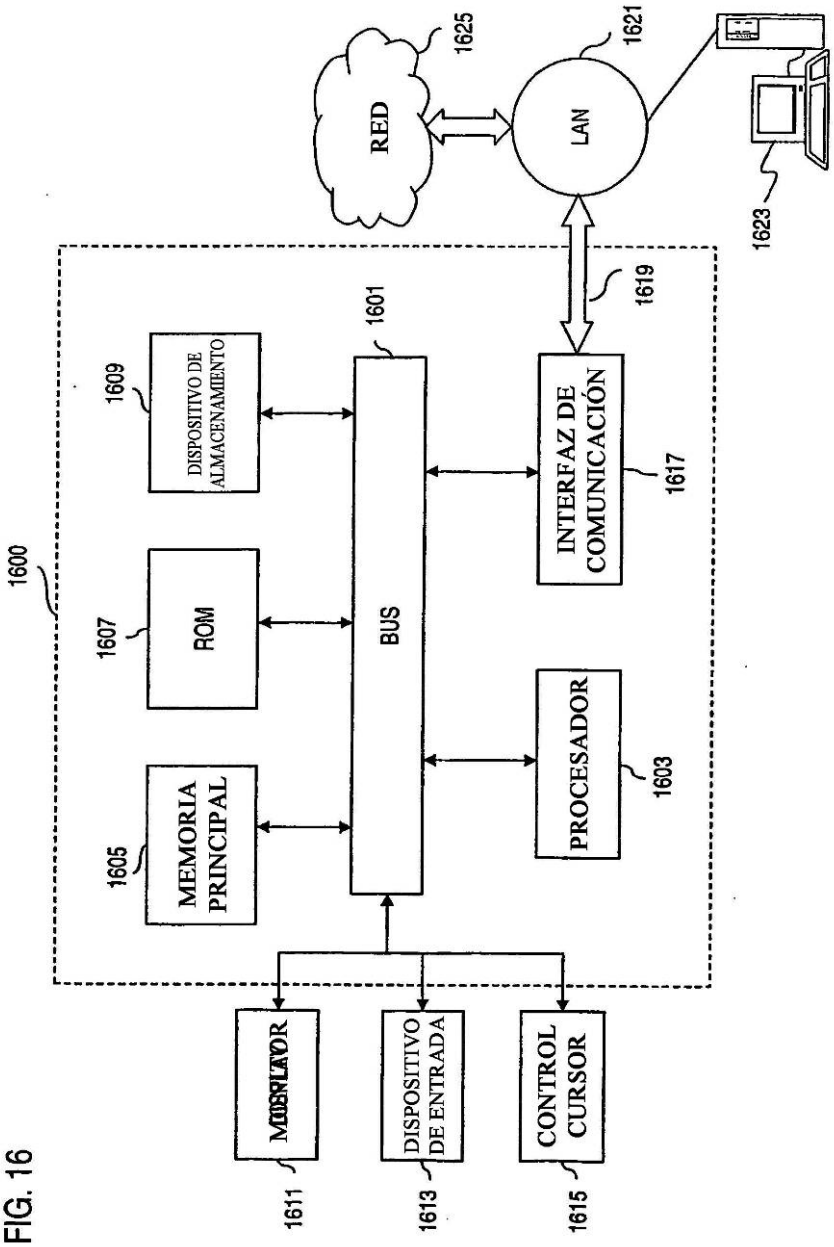

Acceso a nodo de bit
Bit Node Access
x
0
1
2
3
2n-1
2n
2n+1
2n+2
2n+3
2n-2
2*2n-2
391*2n-1
391*2n
391*2n+1
391*2n+2
391*2n+3
392*2n-2
1503

FIG. 16


1600
1605
MEMORIA PRINCIPAL
1607
ROM
1609
DISPOSITIVO DE ALMACENAMIENTO
1601
BUS
PROCESADOR
1603
INTERFAZ DE COMUNICACIÓN
1617
1619
LAN
1621
RED
1625
1623
1611
1613
DISPOSITIVO DE ENTRADA
1615
CONTROL CURSOR