

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 427 220**

51 Int. Cl.:

**H04L 5/00** (2006.01)

**H04L 27/26** (2006.01)

**H03M 13/27** (2006.01)

**H04L 1/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.10.2008 E 08253337 (3)**

97 Fecha y número de publicación de la concesión europea: **03.07.2013 EP 2056468**

54 Título: **Aparato y método de procesamiento de datos**

30 Prioridad:

**30.10.2007 GB 0721269**

**30.10.2007 GB 0721271**

**19.11.2007 GB 0722645**

**20.11.2007 GB 0722728**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**29.10.2013**

73 Titular/es:

**SONY CORPORATION (100.0%)**

**1-7-1 KONAN MINATO-KU**

**TOKYO 108-0075, JP**

72 Inventor/es:

**TAYLOR, MATTHEW PAUL ATHOL;**

**ATUNGSIRI, SAMUEL ASANBENG y**

**WILSON, JOHN NICHOLAS**

74 Agente/Representante:

**LEHMANN NOVO, María Isabel**

**ES 2 427 220 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Aparato y método de procesamiento de datos

5 **Campo de la invención**

La presente invención se refiere a un aparato de procesamiento de datos que puede hacerse funcionar para correlacionar símbolos de datos recibidos a partir de un número predeterminado de señales de subportadora de símbolos multiplexados por división de frecuencia ortogonal (OFDM) para formar un flujo de símbolos de salida.

10

Las realizaciones de la presente invención pueden proporcionar un receptor OFDM.

**Antecedentes de la invención**

15 La norma de difusión de vídeo digital terrestre (DVB-T) utiliza multiplexación por división de frecuencia ortogonal (OFDM) para comunicar a receptores datos que representan imágenes de vídeo y sonido a través de una señal de comunicación de radiodifusión. Se conocen dos modos de la norma DVB-T, los cuales son conocidos como el modo de 2k y el modo de 8k. El modo de 2k proporciona 2048 subportadoras, mientras que el modo de 8k proporciona 8192 subportadoras. Asimismo, para la norma de difusión de vídeo digital en terminales portátiles (DVB-H) se ha proporcionado el modo de 4k, en el que el número de subportadoras es de 4096.

20

Con el fin de mejorar la integridad de los datos comunicados utilizando DVB-T o DVB-H, se proporciona un entrelazador de símbolos para entrelazar símbolos de datos de entrada a medida que estos símbolos se correlacionan con las señales de subportadora de un símbolo OFDM. Tal entrelazador de símbolos comprende una memoria de entrelazador en combinación con un generador de direcciones. El generador de direcciones genera una dirección para cada uno de los símbolos de entrada, indicando cada dirección una de las señales de subportadora del símbolo OFDM con la que va a correlacionarse el símbolo de datos. Para el modo de 2k y el modo de 8k se ha desvelado una disposición en la norma DVB-T para generar las direcciones para la correlación. Asimismo, para el modo de 4k de la norma DVB-H, se ha proporcionado una disposición para generar direcciones para la correlación y un generador de direcciones para implementar esta correlación se desvela en la solicitud de patente europea 04251667.4. El generador de direcciones comprende un registro de desplazamiento de retroalimentación lineal que puede hacerse funcionar para generar una secuencia de bits pseudoaleatoria y un circuito de permutación. El circuito de permutación permuta el orden del contenido del registro de desplazamiento de retroalimentación lineal para generar una dirección. La dirección proporciona una indicación de la posición de memoria en la que un símbolo de datos recibido desde una de las subportadoras OFDM debe almacenarse en la memoria de entrelazador para correlacionar los símbolos recibidos a partir de las señales de subportadora del símbolo OFDM para formar un flujo de datos de salida. Según un desarrollo adicional de la norma de difusión de vídeo digital terrestre, conocida como la DVB-T2, se ha propuesto que deben proporcionarse modos adicionales para la comunicación de datos. Por lo tanto, hay un problema técnico a la hora de ofrecer una implementación eficaz de un entrelazador para cada modo, el cual deberá proporcionar un buen rendimiento reduciendo al mismo tiempo el coste de implementación.

25

30

35

40

En un artículo titulado "A Novel, High Speed, Reconfigurable De Mapper - Symbol De-interleaver Architecture for DVB-T", de Howarth L y otros, se desvela un transmisor adecuado para DVB-T que está dispuesto para correlacionar palabras de bits de datos procedentes de una fuente de entrada con símbolos de modulación y para entrelazar los símbolos de modulación con las subportadoras de los símbolos OFDM. El entrelazador incluye una memoria de entrelazador para escribir los símbolos de modulación del flujo de entrada de fuente en la memoria de entrelazador antes de correlacionar los símbolos de modulación de la memoria de entrelazador con las subportadoras de los símbolos OFDM. También se desvela un receptor que incluye un desentrelazador de símbolos para correlacionar los símbolos de modulación recibidos a partir de los símbolos OFDM para formar un flujo de símbolos de salida escribiendo y leyendo los símbolos de modulación en una memoria de entrelazador.

45

50

**Sumario de la invención**

Según un aspecto de la presente invención, se proporciona un aparato de procesamiento de datos que puede hacerse funcionar para correlacionar símbolos de datos recibidos a partir de un número predeterminado de señales de subportadora de símbolos OFDM multiplexados por división de frecuencia ortogonal para formar un flujo de datos de salida, determinándose el número predeterminado de señales de subportadora según un modo de una pluralidad de modos de funcionamiento y dividiéndose los símbolos de datos en primeros conjuntos de símbolos de datos y segundos conjuntos de símbolos de datos. El aparato de procesamiento de datos comprende un entrelazador que puede hacerse funcionar para llevar a cabo un proceso de entrelazado impar que entrelaza los primeros conjuntos de símbolos de datos de las señales de subportadora de primeros símbolos OFDM para formar un flujo de datos de salida y un proceso de entrelazado par que entrelaza los segundos conjuntos de símbolos de datos de las señales de subportadora de segundos símbolos OFDM para formar el flujo de datos de salida. El proceso de entrelazado impar incluye escribir los primeros conjuntos de símbolos de datos recuperados a partir de las señales de subportadora de los primeros símbolos OFDM en una memoria de entrelazador según un orden definido por un código de permutación, y leer los primeros conjuntos de símbolos de datos de la memoria de entrelazador según un

60

65

orden secuencial para formar el flujo de datos de salida. El proceso de entrelazado par incluye escribir los segundos conjuntos de símbolos de datos recuperados a partir de las señales de subportadora de los segundos símbolos OFDM en la memoria de entrelazador según un orden secuencial, y leer los segundos conjuntos de símbolos de datos de la memoria de entrelazador según un orden definido por el código de permutación para formar el flujo de datos de salida, de manera que mientras los símbolos de datos del primer conjunto están leyéndose desde posiciones de la memoria de entrelazador, los símbolos de datos del segundo conjunto pueden escribirse en las posiciones que acaban de leerse, y cuando los símbolos de datos del segundo conjunto están leyéndose de las posiciones de la memoria de entrelazador, los símbolos de datos de un primer conjunto subsiguiente pueden escribirse en las posiciones que acaban de leerse. Cuando el modo de modulación es un modo que incluye la mitad o menos de la mitad de un número de señales de subportadora que el número total de subportadoras en los símbolos OFDM para transportar los símbolos de datos que pueden almacenarse en la memoria de entrelazador, el aparato de procesamiento de datos puede hacerse funcionar para entrelazar los símbolos de datos de los primeros y de los segundos conjuntos según el proceso de entrelazado impar.

- 15 Los primeros símbolos OFDM pueden ser símbolos OFDM impares, y los segundos símbolos OFDM pueden ser símbolos OFDM pares.

En algunos transmisores y receptores OFDM convencionales, que funcionan según los modos de 2k y de 8k para DVB-T y en el modo de 4k para DVB-H, se utilizan dos procesos de entrelazado de símbolos en el transmisor y el receptor; uno para los símbolos OFDM pares y otro para los símbolos OFDM impares. Sin embargo, el análisis ha demostrado que los esquemas de entrelazado diseñados para los entrelazadores de símbolos de 2k y de 8k para DVB-T y el entrelazador de símbolos de 4k para DVB-H funcionan mejor para símbolos impares que para símbolos pares. Las realizaciones de la presente invención están dispuestas de manera que sólo se utilice el proceso de entrelazado de símbolos impares a no ser que el transmisor/receptor esté en el modo con el máximo número de subportadoras. Por lo tanto, cuando el número de símbolos de datos que pueden transportarse por las subportadoras de un símbolo OFDM en un modo la pluralidad de modos de funcionamiento es inferior o igual a la mitad del número de símbolos de datos que pueden transportarse en un modo de funcionamiento que proporciona el mayor número de señales de subportadora de datos por símbolo OFDM, entonces un entrelazador del transmisor y del receptor de los símbolos OFDM está dispuesto para entrelazar los símbolos de datos de los primeros y de los segundos conjuntos utilizando el proceso de entrelazado impar. Puesto que el entrelazador está entrelazando los símbolos de datos de los primeros y de los segundos conjuntos de símbolos de datos con los símbolos OFDM utilizando el proceso de entrelazado impar, el entrelazador utiliza diferentes partes de la memoria de entrelazador para escribir y leer los símbolos de datos. Por tanto, en comparación con el ejemplo en el que el entrelazador utiliza el proceso de entrelazado impar y el proceso de entrelazado par para entrelazar los primeros y los segundos conjuntos de símbolos de datos con primeros y segundos símbolos OFDM sucesivos, que utiliza la memoria disponible, la cantidad de capacidad de memoria utilizada es dos veces el número de símbolos de datos que pueden transportarse por un símbolo OFDM solamente para el entrelazado impar. Esto es en comparación con un requisito de memoria con el mismo número de símbolos de datos que pueden transportarse en un símbolo OFDM en el modo con el mayor número de símbolos de datos por símbolo OFDM utilizando los procesos de entrelazado par e impar. Sin embargo, el número de subportadoras por símbolo OFDM para este modo de funcionamiento máximo es dos veces la capacidad del siguiente mayor número de subportadoras por símbolo OFDM para cualquier otro modo de funcionamiento con el siguiente mayor número de subportadoras por símbolo OFDM.

Por lo tanto, según algunos ejemplos, puede proporcionarse un tamaño mínimo de la memoria de entrelazador según el máximo número de símbolos de datos de entrada que pueden transportarse en las subportadoras de los símbolos OFDM que están disponibles para transportar los símbolos de datos en cualquiera de los modos de funcionamiento.

En algunas realizaciones, el modo de funcionamiento que proporciona el máximo número de subportadoras por símbolo OFDM es un modo de 32 K. Los otros modos pueden incluir uno o más de los modos de 2K, 4K, 8K y 16K. Por lo tanto, como resultará evidente a partir de la explicación anterior, en el modo de 32K los procesos de entrelazado par e impar se utilizan para entrelazar los símbolos de datos, de manera que el tamaño de la memoria de entrelazador puede ser suficiente para manejar símbolos de datos de 32K. Sin embargo, para el modo de 16K y cualquiera de los otros modos, solo se utiliza el proceso de entrelazado impar, de manera que con el modo de 16K se requiere un tamaño de memoria equivalente de símbolos de 32K, con el modo de 4K se requiere un tamaño de memoria equivalente de símbolos de 8K y con el modo de 2K se requiere un tamaño de memoria equivalente de símbolos de 4K.

En algunos ejemplos se utiliza un código de permutación diferente para llevar a cabo el entrelazado para símbolos OFDM sucesivos. La utilización de diferentes códigos de permutación para símbolos OFDM sucesivos puede proporcionar una ventaja si el aparato de procesamiento de datos puede hacerse funcionar para entrelazar los símbolos de datos recibidos a partir de las señales de subportadora de cada uno de los símbolos OFDM simplemente escribiendo los símbolos de datos en la memoria en un orden determinado según el conjunto de direcciones generadas por el generador de direcciones y leyendo los símbolos de datos de la memoria en un orden secuencial.

Varios aspectos y características de la presente invención están definidos en las reivindicaciones adjuntas. Aspectos adicionales de la presente invención incluyen un método de correlación de símbolos recibidos a partir de un número predeterminado de señales de subportadora de un símbolo multiplexado por división de frecuencia ortogonal (OFDM) para formar un flujo de símbolos de salida, así como un receptor.

5 **Breve descripción de los dibujos**

Ahora se describirán realizaciones de la presente invención solamente a modo de ejemplo con referencia a los dibujos que se acompañan, en los que las mismas partes están provistas de números de referencia correspondientes, y en los que:

la figura 1 es un diagrama de bloques esquemático de un transmisor OFDM que puede utilizarse, por ejemplo, con la norma DVB-T2;

15 la figura 2 es un diagrama de bloques esquemático de partes del transmisor mostrado en la figura 1, en el que un correlacionador de símbolos y un generador de tramas ilustran el funcionamiento de un entrelazador;

la figura 3 es un diagrama de bloques esquemático del entrelazador de símbolos mostrado en la figura 2;

20 la figura 4 es un diagrama de bloques esquemático de una memoria de entrelazador mostrada en la figura 3 y el desentrelazador de símbolos correspondiente en el receptor;

la figura 5 es un diagrama de bloques esquemático de un generador de direcciones mostrado en la figura 3 para el modo de 16k;

25 la figura 6(a) es un diagrama que ilustra los resultados de un entrelazador que utiliza el generador de direcciones mostrado en la figura 5 para símbolos OFDM pares y la figura 6(b) es un diagrama que ilustra los resultados de simulación de diseño para símbolos OFDM impares, mientras que la figura 6(c) es un diagrama que ilustra resultados comparativos para un generador de direcciones que utiliza un código de permutación diferente para símbolos OFDM pares y la figura 6(d) es un diagrama correspondiente para símbolos OFDM impares;

la figura 7 es un diagrama de bloques esquemático de un receptor OFDM que puede utilizarse, por ejemplo, con la norma DVB-T2;

35 la figura 8 es un diagrama de bloques esquemático de un desentrelazador de símbolos que aparece en la figura 7;

la figura 9(a) es un diagrama que ilustra resultados de un entrelazador que utiliza el generador de direcciones mostrado en la figura 5 para símbolos OFDM pares y la figura 9(b) es un diagrama que ilustra resultados para símbolos OFDM impares. Las figuras 9(a) y 9(b) muestran gráficos de la distancia en la salida del entrelazador de subportadoras que eran adyacentes en la entrada del entrelazador;

40 la figura 10 proporciona un diagrama de bloques esquemático del entrelazador de símbolos mostrado en la figura 3, que ilustra un modo de funcionamiento en el que el entrelazado se lleva a cabo solamente según un modo de entrelazado impar; y

45 la figura 11 proporciona un diagrama de bloques esquemático del desentrelazador de símbolos mostrado en la figura 8, que ilustra el modo de funcionamiento en el que el entrelazado se lleva a cabo solamente según el modo de entrelazado impar.

50 **Descripción de realizaciones preferidas**

Se ha propuesto que debe extenderse el número de modos disponibles en la norma DVB-T2 para incluir un modo de 1k, un modo de 16k y un modo de 32k. La siguiente descripción se proporciona para ilustrar el funcionamiento de un entrelazador de símbolos según la presente técnica, aunque debe apreciarse que el entrelazador de símbolos puede utilizarse con otros modos y otras normas DVB.

La figura 1 proporciona un diagrama de bloques de ejemplo de un transmisor OFDM codificado que puede utilizarse, por ejemplo, para transmitir señales de audio y de imágenes de vídeo según la norma DVB-T2. En la figura 1, una fuente de programa genera datos que van a transmitirse por el transmisor COFDM. Un codificador de vídeo 2, un codificador de audio 4 y un codificador de datos 6 generan vídeo, audio y otros datos a transmitir que se introducen en un multiplexor de programa 10. La salida del multiplexor de programa 10 forma un flujo multiplexado con otra información necesaria para comunicar el vídeo, el audio y otros datos. El multiplexor 10 proporciona un flujo en un canal de conexión 12. Puede haber muchos de estos flujos multiplexados, los cuales se introducen en diferentes bifurcaciones A, B, etc. Por motivos de simplicidad, solo se describirá la bifurcación A.

65 Tal y como se muestra en la figura 1, un transmisor COFDM 20 recibe el flujo en un bloque de adaptación de

5 multiplexor y de dispersión de energía 22. El bloque de adaptación de multiplexor y de dispersión de energía 22 aleatoriza los datos e introduce los datos apropiados en un codificador de corrección de errores en recepción 24, el cual lleva a cabo la codificación de corrección de errores del flujo. Un entrelazador de bits 26 está previsto para entrelazar los bits de datos codificados que, para el ejemplo de la norma DVB-T2, es la salida del codificador LDPC / BCH. La salida del entrelazador de bits 26 se introduce en un correlacionador de bits con constelaciones 28, el cual correlaciona grupos de bits con un punto de constelación, que se utilizará para transportar los bits de datos codificados. Las salidas del correlacionador de bits con constelaciones 28 son etiquetas de puntos de constelación que representan componentes reales e imaginarias. Las etiquetas de puntos de constelación representan símbolos de datos formados a partir de dos o más bits dependiendo del esquema de modulación utilizado. Se denominarán como células de datos. Estas células de datos se proporcionan a través de un entrelazador de tiempo 30 cuyo efecto es entrelazar células de datos resultantes de múltiples palabras de código LDPC.

15 Las células de datos se reciben por un generador de tramas 32, con las células de datos producidas por la bifurcación B, etc. en la figura 1, a través de otros canales 31. El generador de tramas 32 convierte después muchas células de datos en secuencias que van a transportarse en símbolos COFDM, donde un símbolo COFDM comprende una pluralidad de células de datos, correlacionándose cada célula de datos con una de las subportadoras. El número de subportadoras dependerá del modo de funcionamiento del sistema, que puede incluir uno de entre 1k, 2k, 4k, 8k, 16k o 32k, cada uno de los cuales proporciona un número diferente de subportadoras según, por ejemplo, la siguiente tabla:

20

Modo	Subportadoras
1K	756
2K	1512
4K	3024
8K	6048
16K	12096
32K	24192

Número de subportadoras adaptadas de DVB-T / H

25 Por tanto, en un ejemplo, el número de subportadoras para el modo de 16k es de doce mil noventa y seis. Para el sistema DVB-T2, el número de subportadoras por símbolo OFDM puede variar dependiendo del número de señales piloto y de otras portadoras reservadas. Por tanto, en DVB-T2, a diferencia de DVB-T, el número de subportadoras para transportar datos no es fijo. Las estaciones de difusión pueden seleccionar uno de los modos de funcionamiento de entre 1k, 2k, 4k, 8k, 16k, 32k, donde cada uno proporciona una gama de subportadoras para datos por símbolo OFDM, siendo el máximo disponible para cada uno de estos modos 1024, 2048, 4096, 8192, 16384, 32768, respectivamente. En DVB-T2, una trama de capa física está compuesta de muchos símbolos OFDM. Normalmente, la trama empieza con uno o más preámbulos o símbolos OFDM P2, que van seguidos de una pluralidad de símbolos OFDM que transportan datos útiles. El final de la trama de capa física está marcada por símbolos de cierre de trama. Para cada modo de funcionamiento, el número de subportadoras puede ser diferente para cada tipo de símbolo. Además, esto puede variar para cada uno dependiendo de si se selecciona la extensión de ancho de banda, de si se permite la reserva de tonos y dependiendo del patrón de subportadoras piloto que se haya seleccionado. Por tanto, es difícil generalizar el número específico de subportadoras por símbolo OFDM. Sin embargo, el entrelazador de frecuencia para cada modo puede entrelazar cualquier símbolo cuyo número de subportadoras sea inferior o igual al máximo número disponible de subportadoras para el modo dado. Por ejemplo, en el modo de 1k, el entrelazador funcionará para símbolos cuyo número de subportadoras sea inferior a igual a 1024 y en el modo de 16k con un número de subportadoras inferior o igual a 16384.

40 La secuencia de células de datos que van a transportarse en cada símbolo COFDM se pasa después al entrelazador de símbolos 33. El símbolo COFDM se genera después mediante un bloque generador de símbolos COFDM 37 que introduce señales piloto y de sincronización procedentes de un formador de señales piloto y embebidas 36. Un modulador OFDM 38 forma después el símbolo OFDM en el dominio de tiempo, el cual se introduce en un procesador de inserción de seguridad 40 para generar un intervalo de seguridad entre símbolos, después en un convertidor de digital a analógico 42 y finalmente en un amplificador de RF de un dispositivo frontal de RF 44 para su difusión final mediante el transmisor COFDM a través de una antena 46.

50 Proporcionamiento de un modo de 16k

Para crear un nuevo modo de 16K, por ejemplo, deben definirse varios elementos, uno de los cuales es el entrelazador de símbolos de 16K 33. El correlacionador de bits con constelaciones 28, el entrelazador de símbolos 33 y el generador de tramas 32 se muestran en mayor detalle en la figura 2.

55 Tal y como se ha explicado anteriormente, la presente invención proporciona la capacidad de ofrecer una correlación

casi óptima de los símbolos de datos con las señales de subportadora OFDM. Según la técnica de ejemplo, el entrelazador de símbolos se proporciona para llevar a cabo la correlación óptima de símbolos de datos de entrada con señales de subportadora COFDM según un código de permutación y un polinomio generador, el cual se ha verificado mediante un análisis de simulación.

5 Tal y como se muestra en la figura 2, se proporciona una ilustración de ejemplo más detallada del correlacionador de bits con constelaciones de símbolos 28 y del generador de tramas 32 para ilustrar una realización de ejemplo de la presente técnica. Los bits de datos recibidos desde el entrelazador de bits 26 a través de un canal 62 se agrupan en conjuntos de bits que van a correlacionarse con una célula de datos, según un número de bits por símbolo proporcionados por el esquema de modulación. El grupo de bits, que forma una palabra de datos, se introduce en paralelo a través de canales de datos 64 en un procesador de correlación 66. El procesador de correlación 66 selecciona después uno de los símbolos de datos, según una correlación preasignada. El punto de constelación se representa mediante una componente real y una componente imaginaria que se proporcionan al canal de salida 29 como una entrada de un conjunto de entradas al generador de tramas 32.

15 El generador de tramas 32 recibe las células de datos desde el correlacionador de bits con constelaciones 28 a través del canal 29, junto con células de datos de los demás canales 31. Después de generar una trama de muchas secuencias de células COFDM, las células de cada símbolo COFDM se escriben en una memoria de entrelazador 100 y se leen de la memoria de entrelazador 100 según direcciones de escritura y direcciones de lectura generadas por un generador de direcciones 102. El entrelazado de las células de datos se lleva a cabo según el orden de escritura y de lectura, generando direcciones apropiadas. El funcionamiento del generador de direcciones 102 y de la memoria de entrelazador 100 se describirá a continuación en mayor detalle con referencia a las figuras 3, 4 y 5. Las células de datos entrelazadas se combinan después con símbolos piloto y de sincronización recibidos desde el formador de señales piloto y embebidas 36 en un generador de símbolos OFDM 37 para formar el símbolo COFDM, el cual se introduce en el modulador OFDM 38, como se ha explicado anteriormente.

#### Entrelazador

30 La figura 3 proporciona un ejemplo de partes del entrelazador de símbolos 33, el cual ilustra la presente técnica para el entrelazado de símbolos. En la figura 3, las células de datos de entrada del generador de tramas 32 se escriben en la memoria de entrelazador 100. Las células de datos se escriben en la memoria de entrelazador 100 según una dirección de escritura proporcionada por el generador de direcciones 102 en el canal 104 y se leen de la memoria de entrelazador 100 según una dirección de lectura proporcionada por el generador de direcciones 102 en un canal 106. El generador de direcciones 102 genera la dirección de escritura y la dirección de lectura como se explica posteriormente, dependiendo de si el símbolo COFDM es par o impar, el cual se identifica a partir de una señal recibida desde un canal 108, y dependiendo de un modo seleccionado, el cual se identifica a partir de una señal recibida desde un canal 110. Tal y como se ha explicado, el modo puede ser uno de entre un modo de 1k, un modo de 2k, un modo de 4k, un modo de 8k, un modo de 16k o un modo de 32k. Tal y como se explica posteriormente, la dirección de escritura y la dirección de lectura se generan de diferente manera para los símbolos OFDM pares e impares, como se explica con referencia a la figura 4, la cual proporciona una implementación de ejemplo de la memoria de entrelazador 100. Como se explicará, el entrelazado se lleva a cabo de diferente manera para los símbolos COFDM pares e impares, que son primeros y segundos símbolos COFDM sucesivos.

45 En el ejemplo mostrado en la figura 4, la memoria de entrelazador se muestra de tal manera que comprende una parte superior 100 que ilustra el funcionamiento de la memoria de entrelazador en el transmisor, y una parte inferior 340 que ilustra el funcionamiento de la memoria de desentrelazador en el receptor. El entrelazador 100 y el desentrelazador 340 se muestran conjuntamente en la figura 4 para facilitar el entendimiento de su funcionamiento. Tal y como se muestra en la figura 4, la representación de la comunicación entre el entrelazador 100 y el desentrelazador 340 a través de otros dispositivos y a través de un canal de transmisión se ha simplificado y se representa como una sección 140 entre el entrelazador 100 y el desentrelazador 340. El funcionamiento del entrelazador 100 se describe en los siguientes párrafos.

50 Aunque la figura 4 proporciona una ilustración de solo cuatro células de datos de entrada en un ejemplo de cuatro señales de subportadora de un símbolo COFDM, debe apreciarse que la técnica ilustrada en la figura 4 puede extenderse a un mayor número de subportadoras tales como 756 para el modo de 1k, 1512 para el modo de 2k, 3024 para el modo de 4k, 6048 para el modo de 8k, 12096 para el modo de 16k y 24192 para el modo de 32k.

60 El direccionamiento de entrada y de salida de la memoria de entrelazador 100 mostrada en la figura 4 se muestra para símbolos pares e impares. Para un símbolo COFDM par, las células de datos se toman del canal de entrada 77 y se escriben en la memoria de entrelazador 124.1 según una secuencia de direcciones 120 generada para cada símbolo COFDM por el generador de direcciones 102. Las direcciones de escritura se aplican para el símbolo par de manera que, tal y como se ilustra, el entrelazado se lleva a cabo mediante la reorganización de las direcciones de escritura. Por lo tanto, para cada símbolo entrelazado  $y(h(q)) = y'(q)$ .

65 Para símbolos impares se utiliza la misma memoria de entrelazador 124.2. Sin embargo, como se muestra en la figura 4 para el símbolo impar, el orden de escritura 132 está en la misma secuencia de direcciones utilizada para

leer el símbolo par 126 anterior. Esta característica permite que las implementaciones de entrelazador de símbolos pares e impares utilicen solamente una memoria de entrelazador 100 siempre que la operación de lectura para una dirección dada se lleve a cabo antes que la operación de escritura. Las células de datos escritas en la memoria de entrelazador 124 durante los símbolos impares se leen después en una secuencia 134 generada por el generador de direcciones 102 para el siguiente símbolo COFDM par y así sucesivamente. Por tanto, sólo se genera una dirección por símbolo, donde la lectura y la escritura del símbolo COFDM par / impar se llevan a cabo al mismo tiempo.

En resumen, tal y como se representa en la figura 4, una vez que el conjunto de direcciones  $H(q)$  se ha calculado para todas las subportadoras activas, el vector de entrada  $Y' = (y_0', y_1', y_2', \dots, y_{N_{\max}-1}')$  se procesa para producir el vector entrelazado  $Y = (y_0, y_1, y_2, \dots, y_{N_{\max}-1})$  definido por:

$$y_{H(q)} = y'_q \text{ para símbolos pares para } q = 0, \dots, N_{\max}-1$$

$$y_q = y'_{H(q)} \text{ para símbolos impares para } q = 0, \dots, N_{\max}-1$$

Dicho de otro modo, para símbolos OFDM pares, las palabras de entrada se escriben de manera permutada en una memoria y se leen de manera secuencial, mientras que los símbolos impares se escriben secuencialmente y se leen de manera permutada. En el caso anterior, la permutación  $H(q)$  se define mediante la siguiente tabla:

q	0	1	2	3
H(q)	1	3	0	2

Tabla 1: permutación para caso sencillo en el que  $N_{\max} = 4$

Tal y como se muestra en la figura 4, el desentrelazador 340 funciona para invertir el entrelazado aplicado por el entrelazador 100, aplicando el mismo conjunto de direcciones generadas por un generador de direcciones equivalentes, pero aplicando las direcciones de escritura y de lectura de manera inversa. Por tanto, para símbolos pares, las direcciones de escritura 342 están en orden secuencial, mientras que las direcciones de lectura 344 se proporcionan por el generador de direcciones. De manera correspondiente, para los símbolos impares, el orden de escritura 346 se determina a partir del conjunto de direcciones generadas por el generador de direcciones, mientras que la lectura 348 se realiza en orden secuencial.

Generación de direcciones para el modo de 16k

En la figura 5 se representa un diagrama de bloques esquemático del algoritmo utilizado para generar la función de permutación  $H(q)$  para el modo de 16K.

En la figura 5 se muestra una implementación del generador de direcciones 102 para el modo de 16k. En la figura 5, un registro de desplazamiento de retroalimentación lineal está formado por trece etapas de registro 200 y una puerta xor 202 que está conectada a las etapas del registro de desplazamiento 200 según un polinomio generador. Por lo tanto, según el contenido del registro de desplazamiento 200, el siguiente bit del registro de desplazamiento se proporciona en la salida de la puerta xor 202 aplicando la operación xor al contenido de los registros de desplazamiento  $R[0]$ ,  $R[1]$ ,  $R[4]$ ,  $R[5]$ ,  $R[9]$ ,  $R[11]$  según el polinomio generador:

$$R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$$

Según el polinomio generador, una secuencia de bits pseudoaleatoria se genera a partir del contenido del registro de desplazamiento 200. Sin embargo, para generar una dirección para el modo de 16k de la manera ilustrada, se proporciona un circuito de permutación 210 el cual permuta de manera eficaz el orden de los bits dentro del registro de desplazamiento 200.1 desde un orden  $R'_i[n]$  hasta un orden  $R_i[n]$  en la salida del circuito de permutación 210. Trece bits de la salida del circuito de permutación 210 se introducen después en un canal de conexión 212 al que se le añade el bit más significativo a través de un canal 214 proporcionado por un circuito basculador 218. Por lo tanto, en el canal 212 se genera una dirección de catorce bits. Sin embargo, para garantizar la autenticidad de una dirección, un circuito de comprobación de direcciones 216 analiza la dirección generada para determinar si supera un valor máximo predeterminado. El valor máximo predeterminado puede corresponder al número máximo de señales de subportadora que están disponibles para los símbolos de datos del símbolo COFDM, disponibles para el modo que está utilizándose. Sin embargo, el entrelazador para el modo de 16k también puede utilizarse para otros modos, de manera que el generador de direcciones 102 también puede utilizarse para el modo de 2k, el modo de 4k, el modo de 8k y el modo de 16k ajustando en consecuencia el número de la dirección máxima válida. El generador de direcciones del modo de 16K también puede utilizarse para el modo de 32K, generando un primer conjunto de direcciones hasta 16K y generando posteriormente un segundo conjunto de direcciones con un desfase fijo para correlacionar símbolos de datos con las portadoras restantes de un espacio de direcciones de 16K a 32K.

Si la dirección generada supera el valor máximo predeterminado, entonces la unidad de comprobación de direcciones 216 genera una señal de control que se introduce en una unidad de control 224 a través un canal de conexión 220. Si la dirección generada supera el valor máximo predeterminado, entonces esta dirección se rechaza y se genera una nueva dirección para el símbolo particular.

5 Para el modo de 16k se define una palabra  $R'_i$  de  $(N_r - 1)$  bits, donde  $N_r = \log_2 M_{\max}$ , y donde  $M_{\max} = 16384$  utilizando un LFSR (registro de desplazamiento de retroalimentación lineal).

El polinomio utilizado para generar esta secuencia es:

10

$$\text{Modo 16k: } R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$$

donde  $i$  varía de 0 a  $M_{\max} - 1$ .

15 Una vez que se ha generado una palabra  $R'_i$ , la palabra  $R'_i$  se somete a una permutación para producir otra palabra de  $(N_r - 1)$  bits denominada  $R_i$ .  $R_i$  se obtiene a partir de  $R'_i$  mediante las siguientes permutaciones de bits:

Posiciones de bits de $R'_i$	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bits de $R_i$	8	4	3	2	0	11	1	5	12	10	6	7	9

Permutación de bits para el modo de 16K

20 Como ejemplo, esto significa que para el modo de 16K, el número de bit 12 de  $R'_i$  se envía en el número de posición de bit 8 de  $R_i$ .

La dirección  $H(q)$  se obtiene entonces a partir de  $R_i$  a través de la siguiente ecuación:

25

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

La parte  $(i \bmod 2) \cdot 2^{N_r-1}$  de la ecuación anterior se representa en la figura 5 mediante el bloque basculador T 218.

30 Después se lleva a cabo una comprobación de dirección de  $H(q)$  para verificar que la dirección generada esté dentro de intervalo de direcciones aceptables: si  $(H(q) < N_{\max})$ , donde  $N_{\max} = 12096$  por ejemplo en el modo de 16K, entonces la dirección es válida. Si la dirección no es válida, esto se notificará a la unidad de control, la cual tratará de generar una nueva  $H(q)$  incrementando el índice  $i$ .

35 La función del bloque basculador es garantizar que no se genere una dirección que supere  $N_{\max}$  dos veces seguidas. En efecto, si se ha generado un valor superior, esto significa que el MSB (es decir, el bit basculador) de la dirección  $H(q)$  era uno. Por tanto, el siguiente valor generado tendrá un MSB fijado a cero, garantizándose que se genere una dirección válida.

40 Las siguientes ecuaciones resumen el comportamiento global y ayudan a entender la estructura en bucle de este algoritmo:

$$q = 0;$$

$$\text{para } (i = 0; i < M_{\max}; i = i + 1)$$

$$\left\{ H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j; \right.$$

$$\left. \text{si } (H(q) < N_{\max}) \quad q = q+1; \right\}$$

45 Análisis que respalda el generador de direcciones para el modo de 16k

La selección del polinomio generador y del código de permutación explicados anteriormente para el generador de direcciones 102 para el modo de 16k se ha identificado siguiendo un análisis de simulación del rendimiento relativo del entrelazador. El rendimiento relativo del entrelazador se ha evaluado utilizando la capacidad relativa del entrelazador de separar símbolos sucesivos o una "calidad de entrelazado". Tal y como se ha explicado anteriormente, el entrelazado debe llevarse a cabo para símbolos pares e impares, con el fin de utilizar una única

memoria de entrelazador. La medida relativa de la calidad del entrelazador se determina definiendo una distancia D (en número de subportadoras). Se elige un criterio C para identificar el número de subportadoras que están a una distancia  $\leq D$  en la salida del entrelazador que estaban a una distancia  $\leq D$  en la entrada del entrelazador, ponderándose después el número de subportadoras para cada distancia D con respecto la distancia relativa. El criterio C se evalúa para símbolos COFDM pares e impares. La minimización de C produce un entrelazador de calidad superior.

$$C = \sum_1^{d=D} N_{par}(d) / d + \sum_1^{d=D} N_{impar}(d) / d$$

donde:  $N_{par}(d)$  y  $N_{impar}(d)$  son el número de subportadoras en un símbolo par y en un símbolo impar, respectivamente, en la salida del entrelazador que están a menos de una separación de subportadoras d entre sí.

El análisis del entrelazador identificado anteriormente para el modo de 16k para un valor de D = 5 se muestra en la figura 6(a) para los símbolos COFDM pares y en la figura 6(b) para el símbolo COFDM impar. Según el análisis anterior, el valor de C para el código de permutación identificado anteriormente para el modo de 16k produjo un valor de C = 22,43, es decir, el número ponderado de subportadoras con símbolos que están separados por un valor de cinco o inferior en la salida según la ecuación anterior fue de 22,43.

Se proporciona un análisis correspondiente para un código de permutación alternativo para símbolos COFDM pares en la figura 6(c) y para símbolos COFDM impares en la figura 6(d). Como puede observarse en comparación con los resultados ilustrados en las figuras 6(a) y 6(b), hay más componentes presentes que representan símbolos separados por pequeñas distancias tales como D = 1 y D = 2, en comparación con los resultados mostrados en las figuras 6(a) y 6(b) que ilustran que el código de permutación identificado anteriormente para el entrelazador de símbolos en el modo de 16k produce un entrelazador de calidad superior.

Códigos de permutación alternativos

Se han obtenido los siguientes nueve códigos alternativos posibles (posiciones de bits de  $[n]R_i$ , donde n = 1 a 9) para proporcionar un entrelazador de símbolos con una buena calidad determinada por el criterio C identificado anteriormente.

posiciones de bits de $R_i$	12	11	10	9	8	7	6	5	4	3	2	1	0
posiciones de bits de $[1]R_i$	7	12	5	8	9	1	2	3	4	10	6	11	0
posiciones de bits de $[2]R_i$	8	5	4	9	2	3	0	1	6	11	7	12	10
posiciones de bits de $[3]R_i$	7	5	6	9	11	2	3	0	8	4	1	12	10
posiciones de bits de $[4]R_i$	11	5	10	4	2	1	0	7	12	8	9	6	3
posiciones de bits de $[5]R_i$	3	9	4	10	0	6	1	5	8	11	7	2	12
posiciones de bits de $[6]R_i$	4	6	3	2	0	7	1	5	8	10	12	9	11
posiciones de bits de $[7]R_i$	10	4	3	2	1	8	0	6	7	9	11	5	12
posiciones de bits de $[8]R_i$	10	4	11	3	7	1	5	0	2	12	8	6	9
posiciones de bits de $[9]R_i$	2	4	11	9	0	10	1	7	8	6	12	3	5

Permutación de bits para el modo de 16 k

Receptor

La figura 7 proporciona una ilustración de ejemplo de un receptor que puede utilizarse con la presente técnica. Tal y como se muestra en la figura 7, una señal COFDM se recibe a través de una antena 300, se detecta por un sintonizador 302 y se convierte en forma digital mediante un convertidor de analógico a digital 304. Un procesador de eliminación de intervalo de seguridad 306 elimina el intervalo de seguridad de un símbolo COFDM recibido antes de que los datos se recuperen del símbolo COFDM utilizando un procesador de transformada rápida de Fourier (FFT) 308 en combinación con un estimador de canal y un procesador de correcciones 310 actuando conjuntamente con una unidad de descodificación de señalización embebida 311, según técnicas conocidas. Los datos desmodulados se recuperan desde un correlacionador 312 y se introducen en un desentrelazador de símbolos 314, el cual funciona para llevar a cabo la correlación inversa del símbolo de datos recibido para volver a generar un flujo de datos de salida con los datos desentrelazados.

El desentrelazador de símbolos 314 está formado por un aparato de procesamiento de datos, como se muestra en la

figura 7, con una memoria de entrelazador 540 y un generador de direcciones 542. La memoria de entrelazador es como la mostrada en la figura 4 y funciona tal y como ya se ha explicado anteriormente para llevar a cabo el desentrelazado utilizando conjuntos de direcciones generadas por el generador de direcciones 542. El generador de direcciones 542 está formado como se muestra en la figura 8 y está dispuesto para generar direcciones correspondientes para correlacionar los símbolos de datos recuperados de cada señal de subportadora COFDM para formar un flujo de datos de salida.

Las partes restantes del receptor COFDM mostrado en la figura 7 se proporcionan para llevar a cabo una descodificación de corrección de errores 318 para corregir errores y recuperar una estimación de los datos de fuente.

Una ventaja proporcionada por la presente técnica tanto para el receptor como para el transmisor, es que un entrelazador de símbolos y un desentrelazador de símbolos que funcionan en los receptores y en los transmisores pueden conmutar entre el modo de 1k, de 2k, de 4k, de 8k, de 16k y de 32k modificando el polinomio generador y el orden de permutación. Por tanto, el generador de direcciones 542 mostrado en la figura 8 incluye una entrada 544, que proporciona una indicación del modo, así como una entrada 546 que indica si hay símbolos COFDM pares/impares. Por lo tanto se proporciona una implementación flexible ya que puede formarse un entrelazador y un desentrelazador de símbolos de la manera mostrada en las figuras 3 y 8, con un generador de direcciones como el ilustrado en la figura 5. Por lo tanto, el generador de direcciones puede adaptarse a los diferentes modos modificando los polinomios generadores y los órdenes de permutación indicados para cada uno de los modos. Por ejemplo, esto puede llevarse a cabo utilizando un cambio de software. Como alternativa, en otras realizaciones, una señal embebida que indica el modo de la transmisión DVB-T2 puede detectarse en el receptor en la unidad de procesamiento de señalización embebida 311 y utilizarse para configurar automáticamente el desentrelazador de símbolos según el modo detectado.

Como alternativa, tal y como se ha mencionado anteriormente, pueden utilizarse entrelazadores diferentes con modos diferentes, simplemente adaptando la dirección válida máxima según el modo que esté utilizándose.

#### Uso óptimo de los entrelazadores impares

Tal y como se muestra en la figura 4, dos procesos de entrelazado de símbolos, uno para símbolos COFDM pares y otro para símbolos COFDM impares, permiten que se reduzca la cantidad de memoria utilizada durante el entrelazado. En el ejemplo mostrado en la figura 4, el orden de escritura para el símbolo impar es el mismo que el orden de lectura para el símbolo par por lo que, cuando está leyéndose un símbolo impar de la memoria puede escribirse un símbolo par en la posición que acaba de leerse; posteriormente, cuando ese símbolo par se lea de la memoria, el siguiente símbolo impar puede escribirse en la posición que acaba de leerse.

Tal y como se ha mencionado anteriormente, durante un análisis experimental del rendimiento de los entrelazadores (utilizando el criterio C definido anteriormente) y, por ejemplo, mostrado en la figura 9(a) y en la figura 9(b), se ha observado que los esquemas de entrelazado diseñados para los entrelazadores de símbolos de 2k y de 8k de DVB-T y para el entrelazador de símbolos de 4k de DVB-H funcionan mejor para símbolos impares que para símbolos pares. Por tanto, a partir de la evaluación de rendimiento, los resultados de los entrelazadores, ilustrados por ejemplo en las figuras 9(a) y 9(b), han revelado que los entrelazadores impares funcionan mejor que los entrelazadores pares. Esto puede observarse comparando la figura 9(a), la cual muestra resultados para un entrelazador de símbolos pares, y la figura 6(b), que ilustra resultados para símbolos impares: puede observarse que la distancia media en la salida del entrelazador de subportadoras que eran adyacentes en la entrada del entrelazador es mayor para un entrelazador de símbolos impares que para un entrelazador de símbolos pares.

Como se entenderá, la cantidad de memoria de entrelazador requerida para implementar un entrelazador de símbolos depende del número de símbolos de datos que vayan a correlacionarse con los símbolos de portadora COFDM. Por tanto, un entrelazador de símbolos en el modo de 16k requiere la mitad de la memoria requerida para implementar un entrelazador de símbolos en el modo de 32k y, asimismo, la cantidad de memoria requerida para implementar un entrelazador de símbolos de 8k es la mitad que la requerida para implementar un entrelazador de 16k. Por lo tanto, un transmisor o un receptor que esté dispuesto para implementar un entrelazador de símbolos de un modo, que fija el número máximo de símbolos de datos que pueden transportarse por símbolo OFDM, incluirá suficiente memoria para implementar dos procesos de entrelazado impar para cualquier otro modo, que proporciona la mitad o menos de la mitad del número de subportadoras por símbolo OFDM en ese modo máximo dado. Por ejemplo, un receptor o un transmisor que incluye un entrelazador de 32K tendrá suficiente memoria para permitir dos procesos de entrelazado impar de 16K, cada uno con su propia memoria de 16K.

Por lo tanto, para aprovechar el mejor rendimiento de los procesos de entrelazado impar, un entrelazador de símbolos que puede permitir múltiples modos de modulación puede estar dispuesto de manera que sólo se utilice un proceso de entrelazado de símbolos impares si está en un modo que comprende la mitad o menos de la mitad del número de subportadoras en un modo máximo, que representa el número máximo de subportadoras por símbolo OFDM. Por lo tanto, este modo máximo establece el tamaño de memoria máximo. Por ejemplo, en un transmisor/receptor que soporta el modo de 32K, cuando funciona en un modo con menos portadoras (es decir, 16K,

8K, 4K o 1K), entonces, en lugar de utilizar procesos de entrelazado diferentes de símbolos pares e impares, se utilizarán dos entrelazadores impares.

5 La figura 10 muestra una ilustración de una adaptación del entrelazador de símbolos 33 mostrado en la figura 3 cuando se entrelazan símbolos de datos de entrada con las subportadoras de símbolos OFDM solamente en el modo de entrelazado impar. El entrelazador de símbolos 33.1 corresponde exactamente al entrelazador de símbolos 33 mostrado en la figura 3, excepto que el generador de direcciones 102.1 está adaptado para llevar a cabo solamente el proceso de entrelazado impar. Para el ejemplo mostrado en la figura 10, el entrelazador de símbolos 33.1 está funcionando en un modo en el que el número de símbolos de datos que pueden transportarse por símbolo OFDM es inferior a la mitad del número máximo que puede transportarse por un símbolo OFDM en un modo de funcionamiento con el mayor número de subportadoras por símbolo OFDM. De este modo, el entrelazador de símbolos 33.1 se ha dispuesto para dividir la memoria de entrelazador 100. Para la presente ilustración mostrada en la figura 10, la memoria de entrelazador 100 se divide en dos partes 401, 402. Como una ilustración del entrelazador de símbolos 33.1 que funciona en un modo en el que los símbolos de datos se correlacionan con los símbolos OFDM utilizando el proceso de entrelazado impar, la figura 10 proporciona una vista ampliada de cada mitad de la memoria de entrelazador 401, 402. La vista ampliada proporciona una ilustración del modo de entrelazado impar representado para el lado de transmisor para cuatro símbolos A, B, C, D reproducidos a partir de la figura 4. Por tanto, tal y como se muestra en la figura 10, para conjuntos sucesivos de primeros y segundos símbolos de datos, los símbolos de datos se escriben en la memoria de entrelazador 401, 402 en un orden secuencial y se leen según las direcciones generadas por el generador de direcciones 102 en un orden permutado según las direcciones generadas por el generador de direcciones, tal y como se ha explicado anteriormente. Por tanto, como se ilustra en la figura 10, puesto que está llevándose a cabo un proceso de entrelazado impar para conjuntos sucesivos de primeros y segundos conjuntos de símbolos de datos, la memoria de entrelazador debe dividirse en dos partes. Los símbolos de un primer conjunto de símbolos de datos se escriben en una primera mitad de la memoria de entrelazador 401, y los símbolos de un segundo conjunto de símbolos de datos se escriben en una segunda parte de la memoria de entrelazador 402, puesto que el entrelazador de símbolos ya no puede reutilizar las mismas partes de la memoria de entrelazador de símbolos que pueden permitirse durante el funcionamiento en modo par y un modo impar de entrelazado.

30 Un ejemplo correspondiente del entrelazador en el receptor, que aparece en la figura 8 pero adaptado para funcionar solamente con un proceso de entrelazado impar, se muestra en la figura 11. Tal y como se muestra en la figura 11, la memoria de entrelazador 540 está dividida en dos mitades 410, 412, y el generador de direcciones 542 está adaptado para escribir símbolos de datos en la memoria de entrelazador y para leer símbolos de datos de la memoria de entrelazador en partes respectivas de la memoria 410, 412 para conjuntos sucesivos de símbolos de datos para implementar solamente un proceso de entrelazado impar. Por lo tanto, en correspondencia con la representación mostrada en la figura 10, la figura 11 muestra la correlación del proceso de entrelazado que se lleva a cabo en el receptor, e ilustrada en la figura 4 como una vista ampliada, que funciona para la primera y para la segunda mitad de la memoria de entrelazado 410, 412. Por tanto, un primer conjunto de símbolos de datos se escriben en una primera parte de la memoria de entrelazador 410 en un orden permutado definido según las direcciones generadas por el generador de direcciones 342 ilustradas mediante el orden de escritura de los símbolos de datos que proporciona una secuencia de escritura de 1, 3, 0, 2. Tal y como se ilustra, los símbolos de datos se leen posteriormente de la primera parte de la memoria de entrelazador 410 en un orden secuencial recuperando de este modo la secuencia original A, B, C, D.

45 De manera correspondiente, un segundo conjunto subsiguiente de símbolos de datos que se recuperan de un símbolo OFDM sucesivo se escribe en la segunda mitad de la memoria de entrelazador 412 según las direcciones generadas por el generador de direcciones 342 en un orden permutado y se leen para formar el flujo de datos de salida en un orden secuencial.

50 En un ejemplo, las direcciones generadas para un primer conjunto de símbolos de datos que van a escribirse en la primera mitad de la memoria de entrelazador 410 pueden reutilizarse para escribir un segundo conjunto subsiguiente de símbolos de datos en la memoria de entrelazador 412. De manera correspondiente, el transmisor también puede reutilizar las direcciones generadas para una mitad del entrelazador para un primer conjunto de símbolos de datos para leer un segundo conjunto de símbolos de datos que se han escrito en la segunda mitad de la memoria en orden secuencial.

#### Utilización de una secuencia de permutaciones

60 En un ejemplo, el generador de direcciones puede aplicar un código de permutación diferente de un conjunto de códigos de permutación para símbolos OFDM sucesivos. La utilización de una secuencia de permutaciones en el generador de direcciones de entrelazador reduce la probabilidad de que algún bit de datos introducido en el entrelazador no module siempre la misma subportadora del símbolo OFDM. En otro ejemplo pueden utilizarse dos generadores de direcciones, uno que genera direcciones para el primer conjunto de símbolos de datos y la primera mitad de la memoria, y otro que genera una secuencia de direcciones diferente para el segundo conjunto de símbolos de datos y la segunda mitad de la memoria. Los dos generadores de direcciones pueden diferir en la elección del código de permutación de la anterior tabla de permutaciones válidas, por ejemplo.

Por ejemplo, puede utilizarse una secuencia cíclica, de manera que un código de permutación diferente en un conjunto de códigos de permutación en una secuencia se utiliza para símbolos OFDM sucesivos y después se repite. Esta secuencia cíclica podría tener, por ejemplo, una longitud de dos o de cuatro. Para el ejemplo del entrelazador de símbolos de 16K, una secuencia de dos códigos de permutación cíclicos por símbolo OFDM podría ser, por ejemplo:

5 8 4 3 2 0 11 1 5 12 10 6 7 9  
 10 7 9 5 3 11 1 4 0 2 12 10 8 6

mientras que una secuencia de cuatro códigos de permutación podría ser:

15 8 4 3 2 0 11 1 5 12 10 6 7 9  
 7 9 5 3 11 1 4 0 2 12 10 8 6  
 6 11 7 5 2 3 0 1 10 8 12 9 4  
 20 5 12 9 0 3 10 2 4 6 7 8 11 1

La conmutación de un código de permutación a otro puede llevarse a cabo en respuesta a un cambio en la señal Par/Impar indicada en el canal de control 108. En respuesta, la unidad de control 224 cambia el código de permutación en el circuito de código de permutación 210 a través de la línea de control 111.

25 Para el ejemplo de un entrelazador de símbolos de 1k, dos códigos de permutación podrían ser:

4 3 2 1 0 5 6 7 8  
 30 3 2 5 0 1 4 7 8 6

mientras que cuatro códigos de permutación podrían ser:

35 4 3 2 1 0 5 6 7 8  
 3 2 5 0 1 4 7 8 6  
 7 5 3 8 2 6 1 4 0  
 40 1 6 8 2 5 3 4 0 7

Pueden ser posibles otras combinaciones de secuencias para los modos de portadora de 2k, 4k y 8k o, por supuesto, para el modo de portadora de 0,5k. Por ejemplo, los siguientes códigos de permutación para cada uno de los modos de 0,5k, 2k, 4k y 8k proporcionan una buena descorrelación de símbolos y pueden utilizarse cíclicamente para generar el desfase con respecto a las direcciones generadas por un generador de direcciones para cada uno de los modos respectivos:

Modo de 2k:

50 0 7 5 1 8 2 6 9 3 4 \*  
 4 8 3 2 9 0 1 5 6 7  
 8 3 9 0 2 1 5 7 4 6  
 55 7 0 4 8 3 6 9 1 5 2

Modo de 4k:

60 7 10 5 8 1 2 4 9 0 3 6 \*\*  
 6 2 7 10 8 0 3 4 1 9 5  
 9 5 4 2 3 10 1 0 6 8 7  
 65 1 4 10 3 9 7 2 6 5 0 8

Modo de 8k:

5 5 11 3 0 10 8 6 9 2 4 1 7 \*  
 10 8 5 4 2 9 1 0 6 7 3 11  
 11 6 9 8 4 7 2 1 0 10 5 3  
 10 8 3 11 7 9 1 5 6 4 0 2 10

15 Para los códigos de permutación indicados anteriormente, los dos primeros podrían utilizarse en un ciclo de dos secuencias, mientras que los cuatro podrían utilizarse en un ciclo de cuatro secuencias. Además, algunas secuencias adicionales de cuatro códigos de permutación, que se recorren de manera cíclica para proporcionar el desfase en un generador de direcciones para producir una descorrelación válida en los símbolos entrelazados (algunos son comunes a los anteriores), se proporcionan a continuación:

Modo de 0,5k:

20 3 7 4 6 1 2 0 5  
 4 2 5 7 3 0 1 6  
 25 5 3 6 0 4 1 2 7  
 6 1 0 5 2 7 4 3

Modo de 2k:

30 0 7 5 1 8 2 6 9 3 4 \*  
 3 2 7 0 1 5 8 4 9 6  
 35 4 8 3 2 9 0 1 5 6 7  
 7 3 9 5 2 1 0 6 4 8

Modo de 4k:

40 7 10 5 8 1 2 4 9 0 3 6 \*\*  
 6 2 7 10 8 0 3 4 1 9 5  
 45 10 3 4 1 2 7 0 6 8 5 9  
 0 8 9 5 10 4 6 3 2 1 7

Modo de 8k:

50 5 11 3 0 10 8 6 9 2 4 1 7 \*  
 8 10 7 6 0 5 2 1 3 9 4 11  
 55 11 3 6 9 2 7 4 10 5 1 0 8  
 10 8 1 7 5 6 0 11 4 2 9 3

\* éstas son las permutaciones en la norma DVB-T

60 \*\* éstas son las permutaciones en la norma DVB-H

Ejemplos de generadores de direcciones, y de entrelazadores correspondientes, para los modos de 2k, de 4k y de 8k se desvelan en la solicitud de patente europea número 04251667.4. Un generador de direcciones para el modo de 0,5k se desvela en la solicitud de patente británica número 0722553.5 en tramitación junto con la presente.

65 Varios aspectos adicionales de características de la presente invención se definen en las reivindicaciones

independientes. Varias modificaciones pueden realizarse en las realizaciones descritas anteriormente sin apartarse del alcance de la presente invención. En particular, la representación de ejemplo del polinomio generador y del orden de permutación que se han utilizado para representar aspectos de la invención no pretende ser limitativa y se aplica a formas equivalentes del polinomio generador y del orden de permutación.

5 Como resultará evidente, el transmisor y el receptor mostrados en las figuras 1 y 7 respectivamente se proporcionan solamente como ilustraciones y no pretenden ser limitativos. Por ejemplo, debe apreciarse que la posición del entrelazador y del desentrelazador de símbolos con respecto a, por ejemplo, el entrelazador de bits, el correlacionador y el descorrelacionador puede cambiarse. Como puede apreciarse, el efecto del entrelazador y del desentrelazador no se ve alterado por su posición relativa, aunque el entrelazador puede entrelazar símbolos I/Q en lugar de vectores de bits  $v$ . Un cambio correspondiente puede realizarse en el receptor. Por consiguiente, el entrelazador y el desentrelazador pueden actuar sobre diferentes tipos de datos y pueden estar colocados de diferente manera con respecto a la posición descrita en las realizaciones de ejemplo.

15 Tal y como se ha explicado anteriormente, los códigos de permutación y el polinomio generador del entrelazador, que se ha descrito con referencia a una implementación de un modo particular, pueden aplicarse igualmente a otros modos cambiando la dirección máxima permitida predeterminada conforme al número de portadoras para ese modo.

20 Según una implementación de un transmisor, se incluye un aparato de procesamiento de datos que puede hacerse funcionar para correlacionar símbolos de datos de entrada a comunicar con un número predeterminado de señales de subportadora de símbolos multiplexados por división de frecuencia ortogonal (OFDM), determinándose el número predeterminado de señales de subportadora según un modo de una pluralidad de modos de funcionamiento e incluyendo los símbolos de datos de entrada primeros conjuntos de símbolos de datos de entrada y segundos conjuntos de símbolos de datos de entrada. El aparato de procesamiento de datos comprende un entrelazador que puede hacerse funcionar para llevar a cabo un proceso de entrelazado impar que entrelaza los primeros conjuntos de símbolos de datos de entrada con las señales de subportadora de primeros símbolos OFDM y un proceso de entrelazado par que entrelaza los segundos conjuntos de símbolos de datos de entrada con las señales de subportadora de segundos símbolos OFDM. El proceso de entrelazado impar incluye escribir los primeros conjuntos de símbolos de datos de entrada en una memoria de entrelazador según un orden secuencial de los primeros conjuntos de símbolos de datos de entrada, y leer los primeros conjuntos de símbolos de datos de la memoria de entrelazador en las señales de subportadora de los primeros símbolos OFDM según un orden definido por un código de permutación. El proceso de entrelazado par incluye escribir los segundos conjuntos de símbolos de datos de entrada en la memoria de entrelazador según un orden definido por el código de permutación, y leer los segundos conjuntos de símbolos de datos de la memoria de entrelazador en las señales de subportadora de los segundos símbolos OFDM según un orden secuencial, de manera que mientras símbolos de datos de entrada del primer conjunto están leyéndose desde posiciones de la memoria de entrelazador, símbolos de datos de entrada del segundo conjunto pueden escribirse en las posiciones que acaban de leerse, y cuando símbolos de datos de entrada del segundo conjunto están leyéndose desde las posiciones de la memoria de entrelazador, los símbolos de datos de entrada de un primer conjunto subsiguiente pueden escribirse en las posiciones que acaban de leerse. Cuando el modo de modulación es un modo que incluye la mitad o menos de la mitad de un número de señales de subportadora que un número total de subportadoras en los símbolos OFDM para transportar los símbolos de datos de entrada que pueden almacenarse en la memoria de entrelazador, el aparato de procesamiento de datos puede hacerse funcionar para entrelazar los símbolos de datos de entrada de los primeros y de los segundos conjuntos según el proceso de entrelazado impar en los primeros y segundos símbolos OFDM.

45 Tal y como se ha mencionado anteriormente, las realizaciones de la presente invención pueden aplicarse con normas DVB tales como DVB-T, DVB-T2 y DVB-H. Por ejemplo, las realizaciones de la presente invención pueden utilizarse en un transmisor o en un receptor que funciona según la norma DVB-T2 especificada según la norma EN 302 755 del ETSI, aunque debe apreciarse que la presente invención no está limitada a su aplicación con DVB, sino que puede extenderse a otras normas de transmisión o recepción, tanto fijas como móviles. En otros ejemplos, las realizaciones de la presente invención pueden aplicarse con la norma de transmisión por cable conocida como DVB-C2.

## REIVINDICACIONES

1. Un aparato de procesamiento de datos que puede hacerse funcionar para correlacionar símbolos de datos recibidos a partir de un número predeterminado de señales de subportadora de símbolos multiplexados por división de frecuencia ortogonal (OFDM) para formar un flujo de datos de salida, determinándose el número predeterminado de señales de subportadora según un modo de una pluralidad de modos de funcionamiento y dividiéndose los símbolos de datos en primeros conjuntos de símbolos de datos y segundos conjuntos de símbolos de datos, comprendiendo el aparato de procesamiento de datos un entrelazador (314) que puede hacerse funcionar para llevar a cabo un proceso de entrelazado impar que entrelaza los primeros conjuntos de símbolos de datos de las señales de subportadora de primeros símbolos OFDM para formar un flujo de datos de salida y un proceso de entrelazado par que entrelaza los segundos conjuntos de símbolos de datos de las señales de subportadora de segundos símbolos OFDM para formar el flujo de datos de salida, incluyendo el proceso de entrelazado impar:
- 5 escribir los primeros conjuntos de símbolos de datos recuperados a partir de la señales de subportadora de los primeros símbolos OFDM en una memoria de entrelazador (540) según un orden definido por un código de permutación, y
- 10 leer los primeros conjuntos de símbolos de datos de la memoria de entrelazador (540) según un orden secuencial para formar el flujo de datos de salida;
- 20 incluyendo el proceso de entrelazado par:
- escribir los segundos conjuntos de símbolos de datos recuperados a partir de las señales de subportadora de los segundos símbolos OFDM en la memoria de entrelazador (540) según un orden secuencial, y
- 25 leer los segundos conjuntos de símbolos de datos de la memoria de entrelazador (540) según un orden definido por el código de permutación para formar el flujo de datos de salida;
- 30 de manera que mientras símbolos de datos del primer conjunto están leyéndose desde posiciones de la memoria de entrelazador (540), símbolos de datos del segundo conjunto pueden escribirse en las posiciones que acaban de leerse, y cuando símbolos de datos del segundo conjunto están leyéndose desde las posiciones de la memoria de entrelazador (540), los símbolos de datos de un primer conjunto subsiguiente pueden escribirse en las posiciones que acaban de leerse,
- 35 en el que, cuando el modo de funcionamiento es un modo que incluye la mitad o menos de la mitad de un número de señales de subportadora que el número total de subportadoras en los símbolos OFDM para transportar los símbolos de datos que pueden almacenarse en la memoria de entrelazador (540), el aparato de procesamiento de datos puede hacerse funcionar para entrelazar los símbolos de datos de los primeros y de los segundos conjuntos solamente según el proceso de entrelazado impar.
- 40
2. Un aparato de procesamiento de datos según la reivindicación 1, en el que el entrelazador (314) incluye un controlador (544, 546), un generador de direcciones y la memoria de entrelazador (540), pudiendo hacerse funcionar el controlador (544, 546) para controlar el generador de direcciones (542) para generar direcciones, durante el proceso de entrelazado impar para escribir los primeros conjuntos de símbolos de datos de las señales de subportadora de los primeros símbolos OFDM en la memoria de entrelazador (540) según un orden definido por el código de permutación, y durante el proceso de entrelazado par para leer los segundos conjuntos de símbolos de datos de la memoria de entrelazador (540) según un orden definido por el código de permutación para formar el flujo de datos de salida.
- 45
- 50 3. Un aparato de procesamiento de datos según la reivindicación 1 ó 2, en el que el generador de direcciones (542) incluye:
- un registro de desplazamiento de retroalimentación lineal (200) que incluye un número predeterminado de etapas de registro y que puede hacerse funcionar para generar una secuencia de bits pseudoaleatoria según un polinomio generador,
- 55 un circuito de permutación (216) que puede hacerse funcionar para recibir el contenido de las etapas de registro de desplazamiento y para permutar los bits presentes en las etapas de registro según el código de permutación para formar las direcciones de una de las portadoras OFDM, y
- 60 una unidad de control (224) que puede hacerse funcionar en combinación con un circuito de comprobación de direcciones (216) para volver a generar una dirección cuando una dirección generada supera una dirección válida máxima predeterminada, fijándose la dirección válida máxima predeterminada según el modo de funcionamiento.
- 65 4. Un aparato de procesamiento de datos según la reivindicación 1, 2 ó 3, en el que el tamaño mínimo de la memoria de entrelazador (540) puede proporcionarse según el número máximo de símbolos de datos de entrada que pueden

transportarse en las subportadoras de los símbolos OFDM que están disponibles para transportar los símbolos de datos de entrada en cualquiera de los modos de funcionamiento.

5 5. Un aparato de procesamiento de datos según cualquiera de las reivindicaciones 1 a 4, que cuando funciona en el modo de funcionamiento que proporciona el número máximo de subportadoras por símbolo OFDM, el entrelazador (314) puede hacerse funcionar para utilizar la memoria de entrelazador (540) disponible según el proceso de entrelazado impar y el proceso de entrelazado par para llevar a cabo la lectura de símbolos de datos desde posiciones de la memoria de entrelazador (540) y para escribir símbolos de datos en las posiciones que acaban de leerse, y cuando funciona en cualquier otro modo en el que el número de subportadoras es la mitad o menos de la mitad del número de subportadoras para transportar los símbolos de datos por símbolo OFDM, el entrelazador (314) puede hacerse funcionar en el proceso de entrelazado impar para leer los primeros conjuntos de símbolos de datos desde primeras posiciones de la memoria de entrelazador (540) y para escribir los segundos conjuntos de símbolos de datos en la memoria de entrelazador (540) en segundas posiciones, siendo diferentes las segundas posiciones de las primeras posiciones.

15 6. Un aparato de procesamiento de datos según la reivindicación 5, en el que el modo de funcionamiento que proporciona el número máximo de subportadoras por símbolo OFDM es un modo de 32K.

20 7. Un aparato de procesamiento de datos según la reivindicación 6, en el que los otros modos incluyen uno o más de entre modos de 2K, 4K, 8K y 16K.

25 8. Un aparato de procesamiento de datos según cualquier reivindicación anterior, en el que el aparato de procesamiento de datos puede hacerse funcionar para cambiar el código de permutación que se utiliza para formar las direcciones de un símbolo OFDM a otro.

30 9. Un método de correlación de símbolos de datos recibidos a partir de un número predeterminado de señales de subportadora de símbolos multiplexados por división de frecuencia ortogonal (OFDM) para formar un flujo de datos de salida, determinándose el número predeterminado de señales de subportadora según un modo de una pluralidad de modos de funcionamiento y comprendiendo los símbolos de datos primeros conjuntos de símbolos de datos y segundos conjuntos de símbolos de datos, comprendiendo el método entrelazar, según un proceso de entrelazado impar que entrelaza los primeros conjuntos de símbolos de datos de las señales de subportadora de primeros símbolos OFDM para formar el flujo de datos de salida y según un proceso de entrelazado par que entrelaza los segundos conjuntos de símbolos de datos de las señales de subportadora de segundos símbolos OFDM para formar el flujo de datos de salida, incluyendo el proceso de entrelazado impar:

35 escribir los primeros conjuntos de símbolos de datos recuperados a partir de las señales de subportadora de los primeros símbolos OFDM en una memoria de entrelazador según un orden definido por un código de permutación, y

40 leer los primeros conjuntos de símbolos de datos de la memoria de entrelazador según un orden secuencial para formar el flujo de datos de salida;

incluyendo el proceso de entrelazado par:

45 escribir los segundos conjuntos de símbolos de datos recuperados a partir de las señales de subportadora de los segundos símbolos OFDM en la memoria de entrelazador (540) según un orden secuencial, y

leer los segundos conjuntos de símbolos de datos de la memoria de entrelazador (540) según un orden definido por el código de permutación para formar el flujo de datos de salida;

50 de manera que mientras símbolos de datos del primer conjunto están leyéndose desde posiciones de la memoria de entrelazador (540), símbolos de datos del segundo conjunto pueden escribirse en las posiciones que acaban de leerse, y cuando símbolos de datos del segundo conjunto están leyéndose desde las posiciones de la memoria de entrelazador (540), los símbolos de datos de un primer conjunto subsiguiente pueden escribirse en las posiciones que acaban de leerse,

55 en el que, cuando el modo de funcionamiento es un modo que incluye la mitad o menos de la mitad de un número de señales de subportadora de un número total de subportadoras en los símbolos OFDM para transportar los símbolos de datos que pueden almacenarse en la memoria de entrelazador (540), el entrelazado comprende entrelazar los símbolos de datos de los primeros y de los segundos conjuntos solamente según el proceso de entrelazado impar.

60 10. Un método según la reivindicación 9, en el que el entrelazado incluye:

65 generar direcciones utilizando un generador de direcciones (542) durante el proceso de entrelazado impar para escribir los primeros o los primeros y segundos conjuntos de símbolos de datos recuperados a partir de las señales de subportadora de los primeros símbolos OFDM en la memoria de entrelazador (540) según un orden definido por

el código de permutación, y

utilizar las direcciones generadas (542) durante el proceso de entrelazado par para leer los segundos conjuntos de símbolos de datos de la memoria de entrelazador (540) según un orden definido por el código de permutación para formar el flujo de datos de salida.

11. Un método según la reivindicación 9 ó 10, en el que generar las direcciones utilizando el generador de direcciones (542) incluye:

generar una secuencia de bits pseudoaleatoria utilizando un registro de desplazamiento de retroalimentación lineal (200) que incluye un número predeterminado de etapas de registro y un polinomio generador,

permutar los bits presentes en las etapas de registro según el código de permutación para formar las direcciones de una de las subportadoras OFDM, y

volver a generar una dirección cuando una dirección generada supera una dirección válida máxima predeterminada, fijándose la dirección válida máxima predeterminada según el modo de funcionamiento.

12. Un método según la reivindicación 9, 10 u 11, en el que el tamaño mínimo de la memoria de entrelazador (540) puede proporcionarse según el número máximo de símbolos de datos de entrada que pueden transportarse en las subportadoras de los símbolos OFDM que están disponibles para transportar los símbolos de datos de entrada en cualquiera de los modos de funcionamiento.

13. Un método según cualquiera de las reivindicaciones 9 a 12, en el que el entrelazado incluye:

cuando funciona en el modo de funcionamiento que proporciona el número máximo de subportadoras por símbolo OFDM, utilizar la memoria de entrelazador (540) disponible según el proceso de entrelazado impar y el proceso de entrelazado par para llevar a cabo la lectura de símbolos de datos desde posiciones de la memoria de entrelazador (540) y para escribir símbolos de datos en la memoria de entrelazador (540) en las posiciones que acaban de leerse, y

cuando funciona en cualquier otro modo en el que el número de subportadoras es la mitad o menos de la mitad del número de subportadoras para transportar los símbolos de datos por símbolo OFDM, entrelazar según el proceso de entrelazado impar para leer los primeros conjuntos de símbolos de datos desde primeras posiciones de la memoria de entrelazador (540) y para escribir los segundos conjuntos de símbolos de datos en la memoria de entrelazador (540) en segundas posiciones, siendo diferentes las segundas posiciones de las primeras posiciones.

14. Un método según la reivindicación 13, en el que el modo de funcionamiento que proporciona el número máximo de subportadoras por símbolo OFDM es un modo de 32K.

15. Un método según la reivindicación 14, en el que los otros modos incluyen uno o más de entre modos de 2K, 4K, 8K y 16K.

16. Un método según cualquiera de las reivindicaciones 9 a 15, que comprende cambiar el código de permutación para formar las direcciones de un símbolo OFDM a otro.

17. Un receptor para recibir datos utilizando multiplexación por división de frecuencia ortogonal (OFDM), incluyendo el receptor un aparato de procesamiento de datos según cualquiera de las reivindicaciones 1 a 8.

18. Un receptor según la reivindicación 17, en el que el receptor puede hacerse funcionar para recibir datos según una norma de difusión de vídeo digital tal como la norma de difusión de vídeo digital terrestre, la norma de difusión de vídeo digital en terminales portátiles o la norma de difusión de vídeo digital terrestre 2.

19. Un método de recepción de datos a partir de símbolos modulados de multiplexación por división de frecuencia ortogonal (OFDM), incluyendo el método:

recibir un número predeterminado de símbolos de datos a partir de un número predeterminado de señales de subportadora de cada uno de los símbolos OFDM para formar un flujo de datos de salida, determinándose el número predeterminado de señales de subportadora según un modo de una pluralidad de modos de funcionamiento y comprendiendo los símbolos de datos primeros conjuntos de símbolos de datos y segundos conjuntos de símbolos de datos, y

correlacionar los símbolos de datos para formar el flujo de datos de salida conforme al método según cualquiera de las reivindicaciones 9 a 16.

20. Un método de recepción según la reivindicación 19, en el que la recepción del número predeterminado de

símbolos de datos del símbolo OFDM puede llevarse a cabo para recibir datos según una norma de difusión de vídeo digital tal como la norma de difusión de vídeo digital terrestre, la norma de difusión de vídeo digital en terminales portátiles o la norma de difusión de vídeo digital terrestre 2.

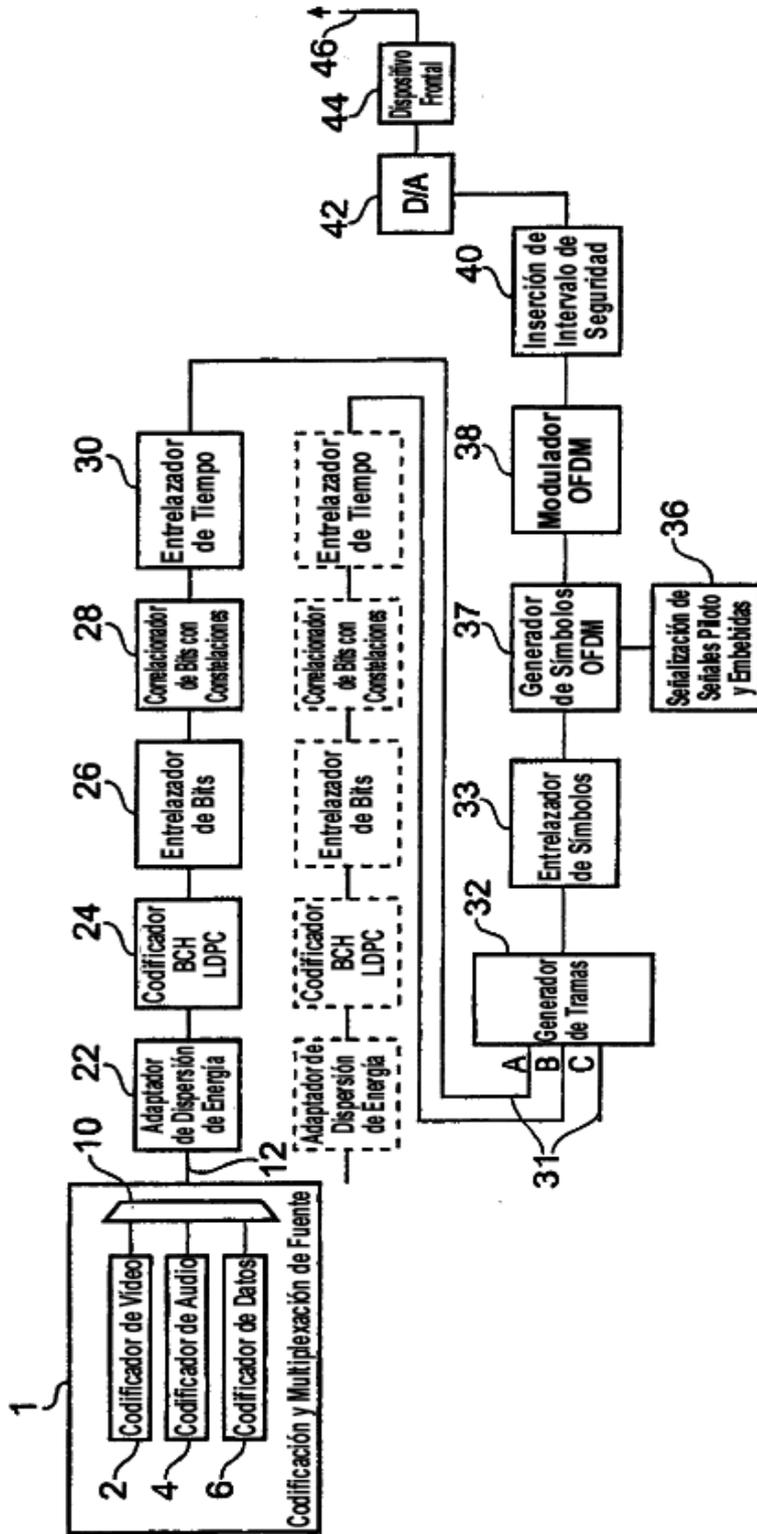


FIG. 1

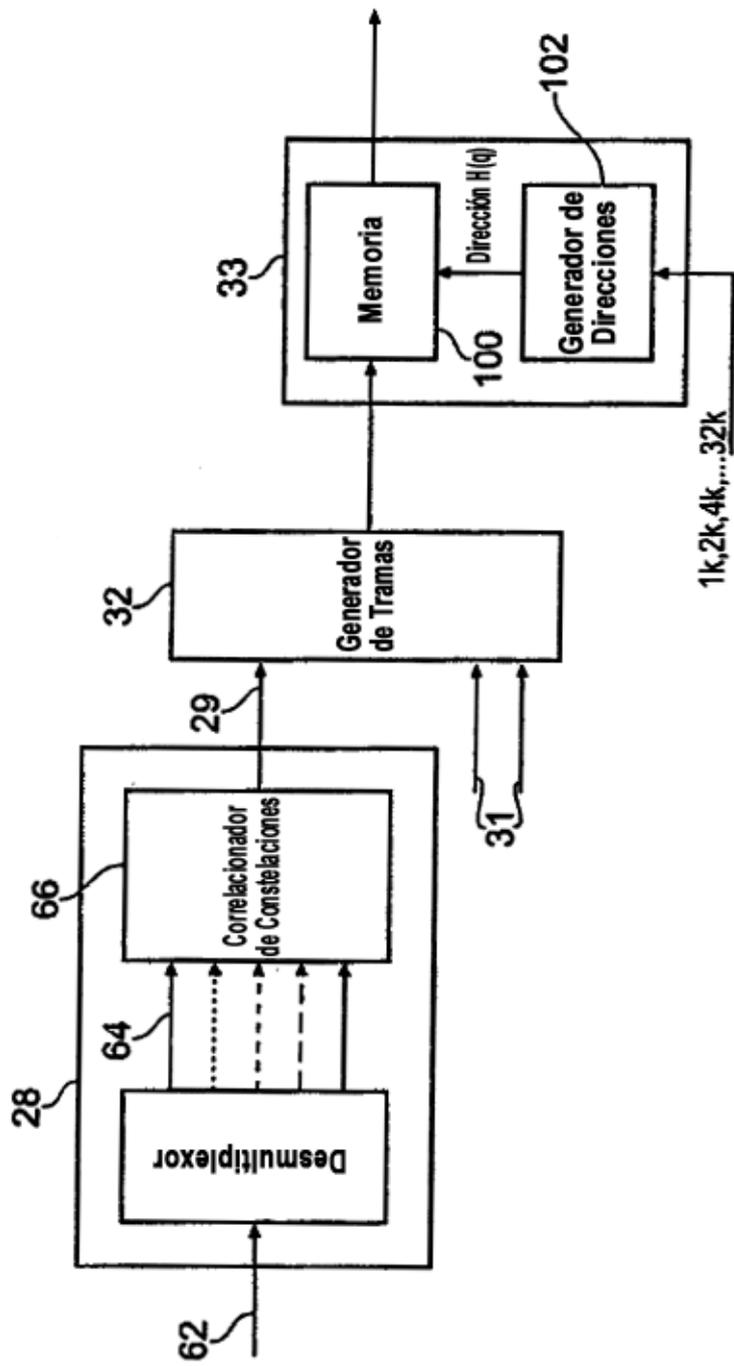


FIG. 2

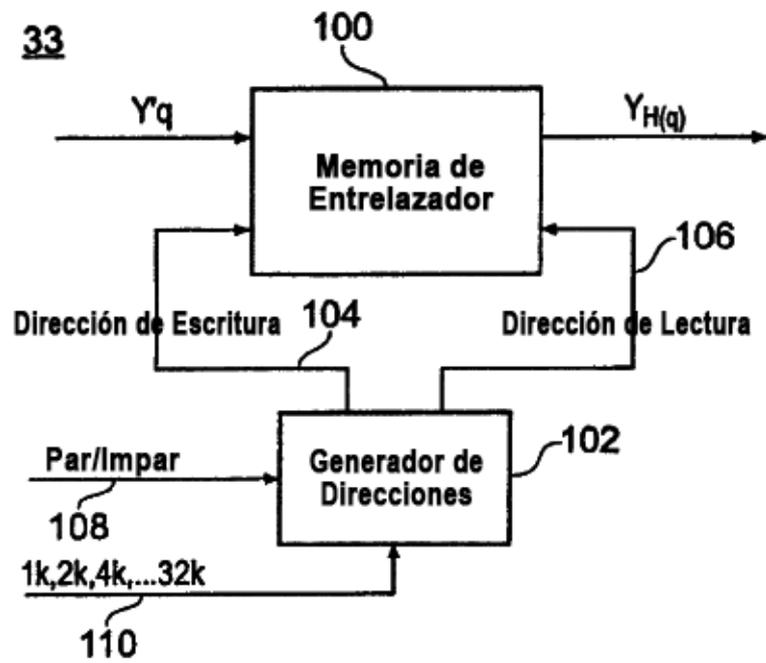


FIG. 3

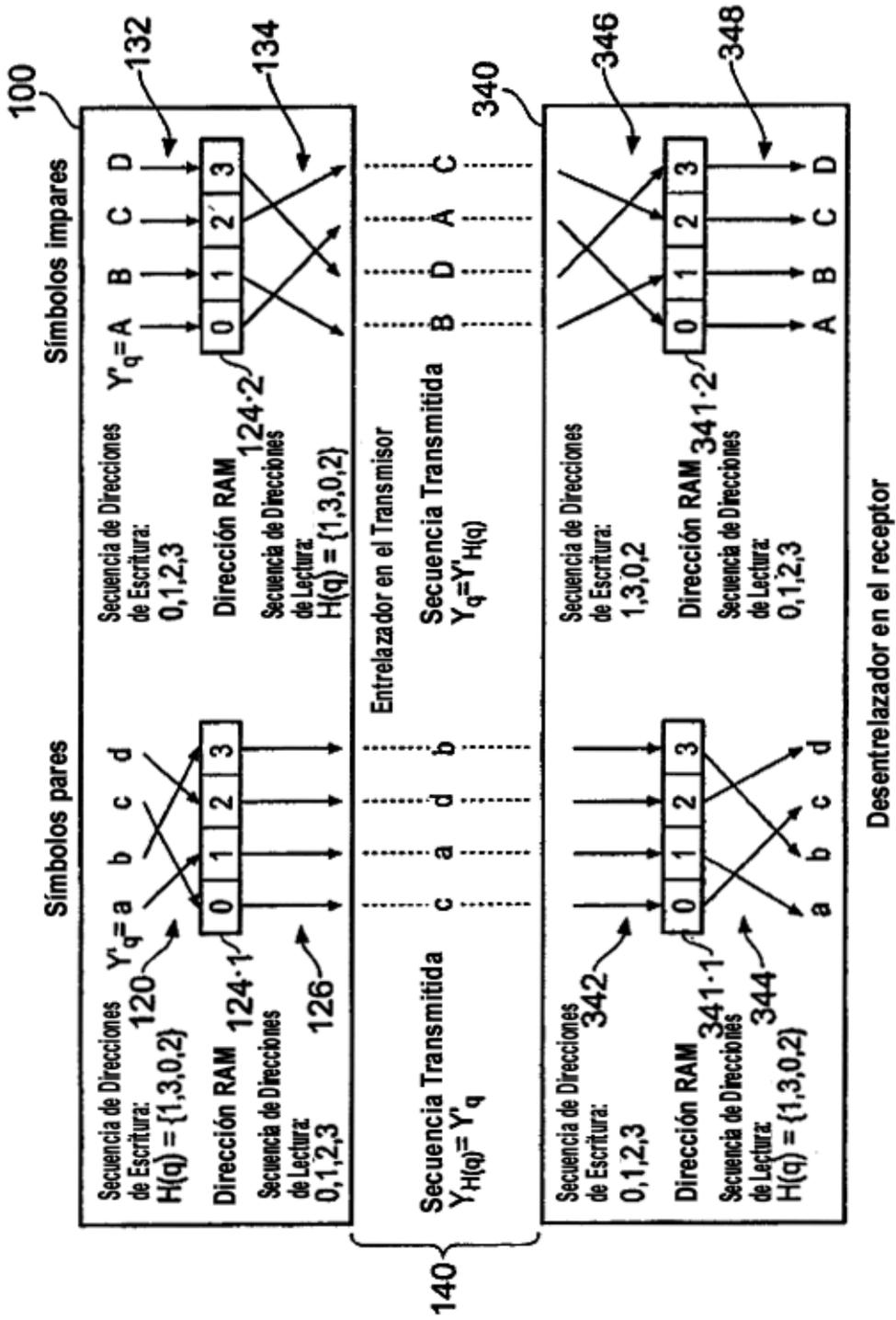


FIG. 4

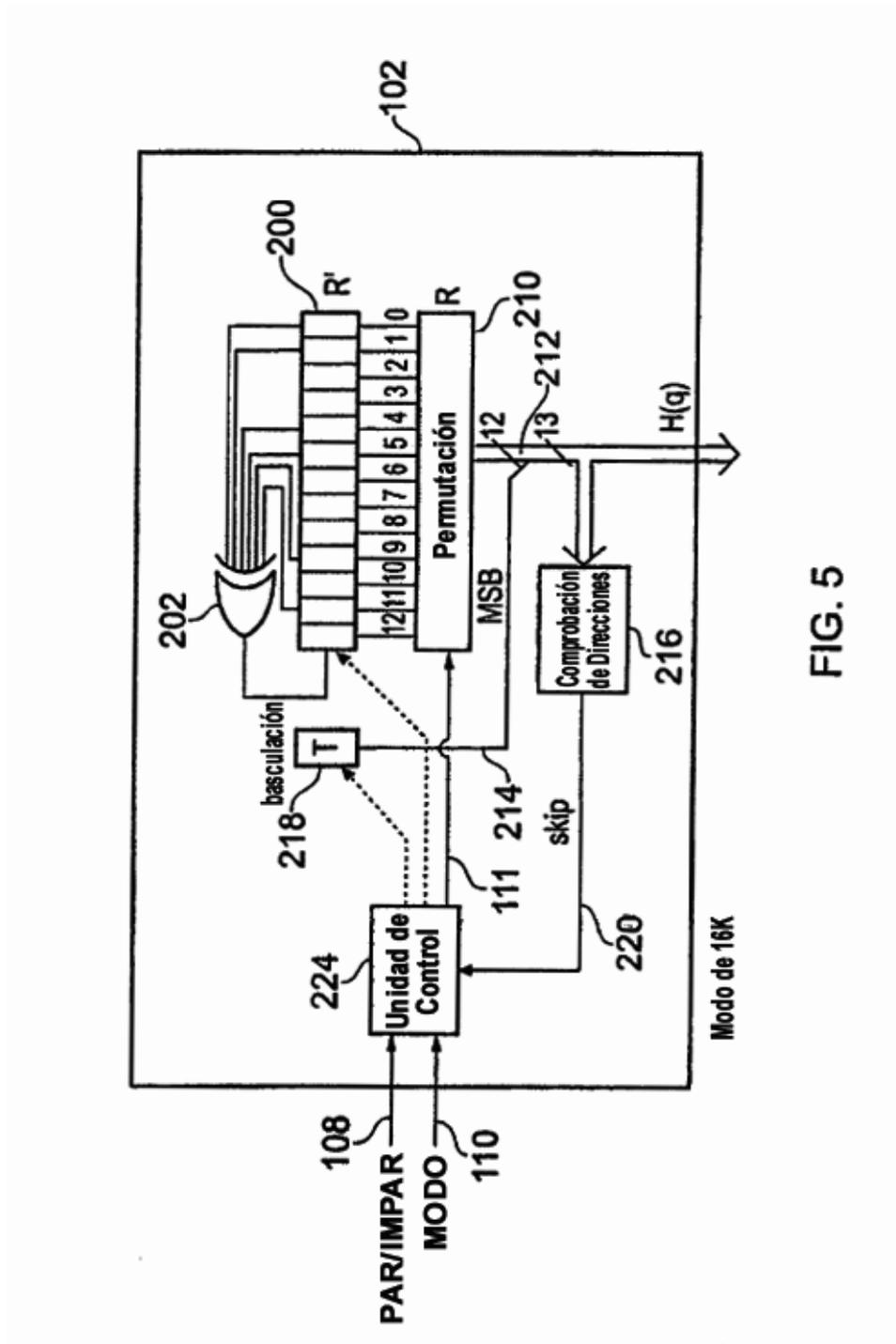


FIG. 5

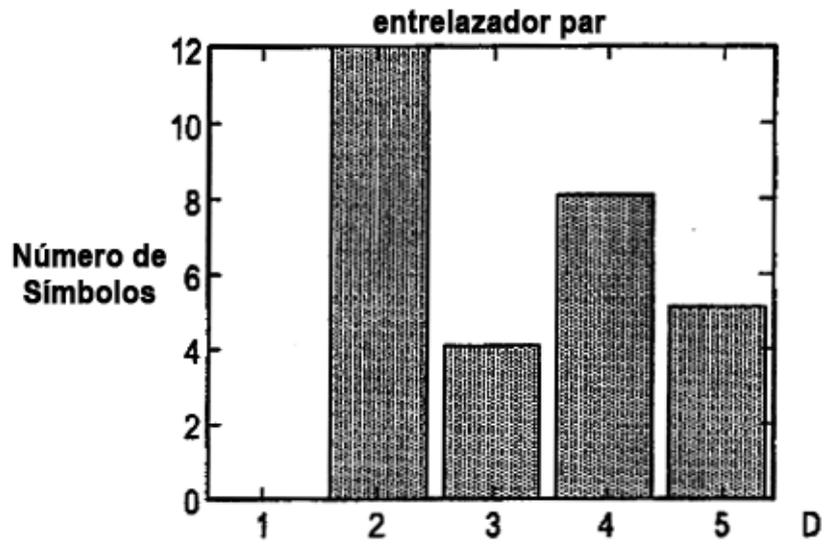


FIG. 6(a)

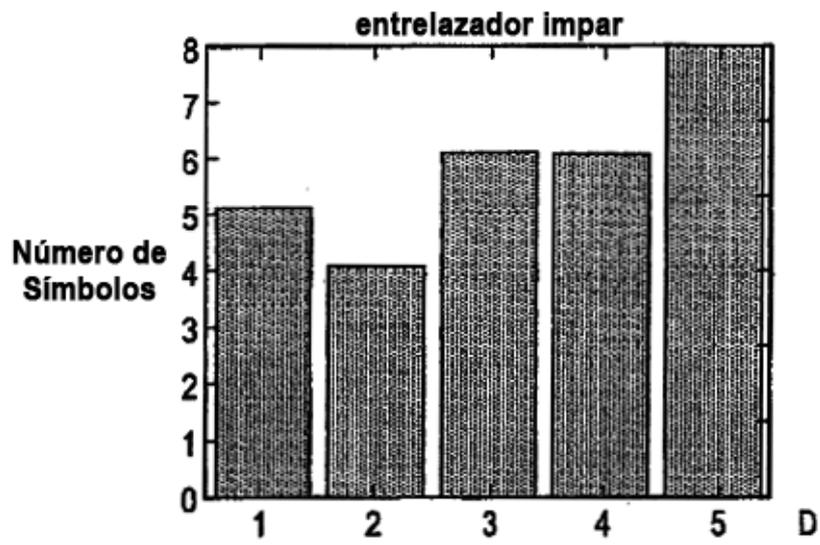


FIG. 6(b)

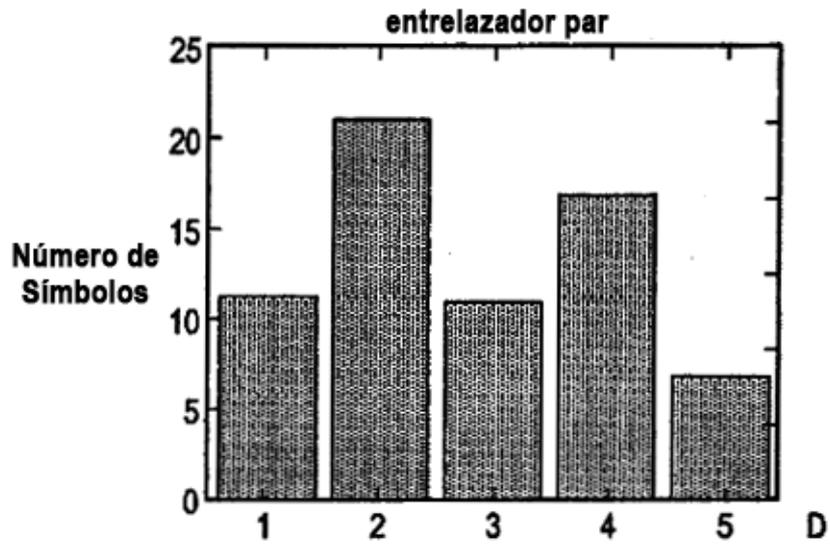


FIG. 6(c)

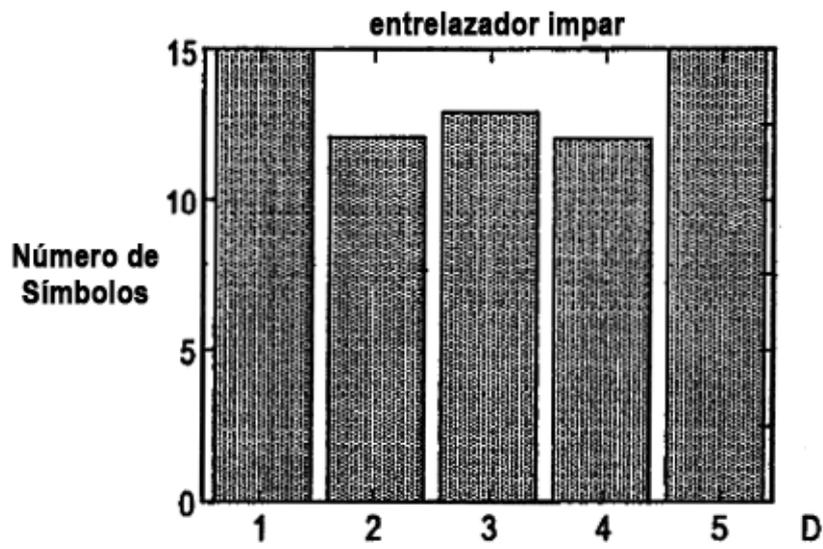


FIG. 6(d)

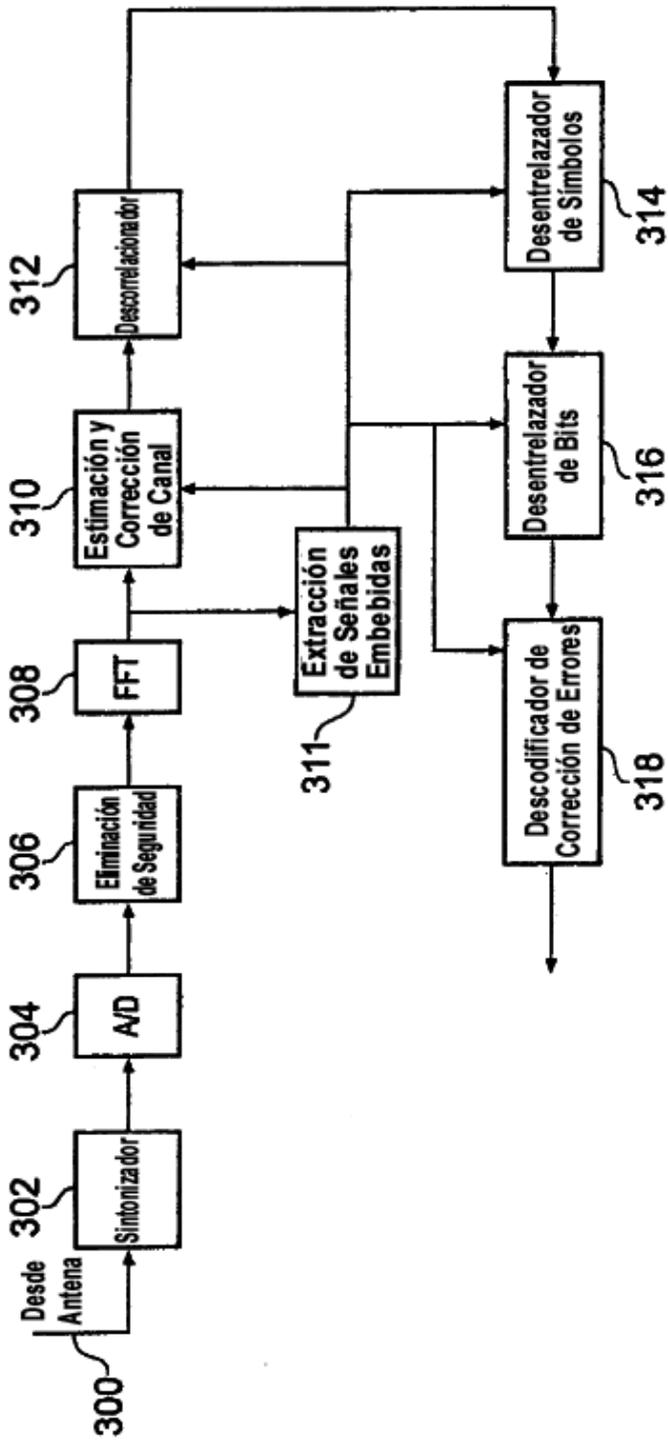


FIG. 7

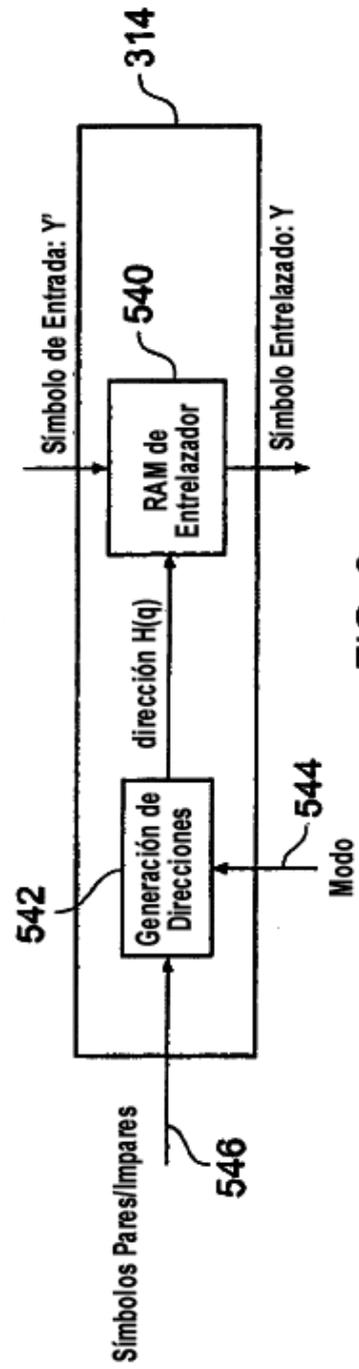


FIG. 8

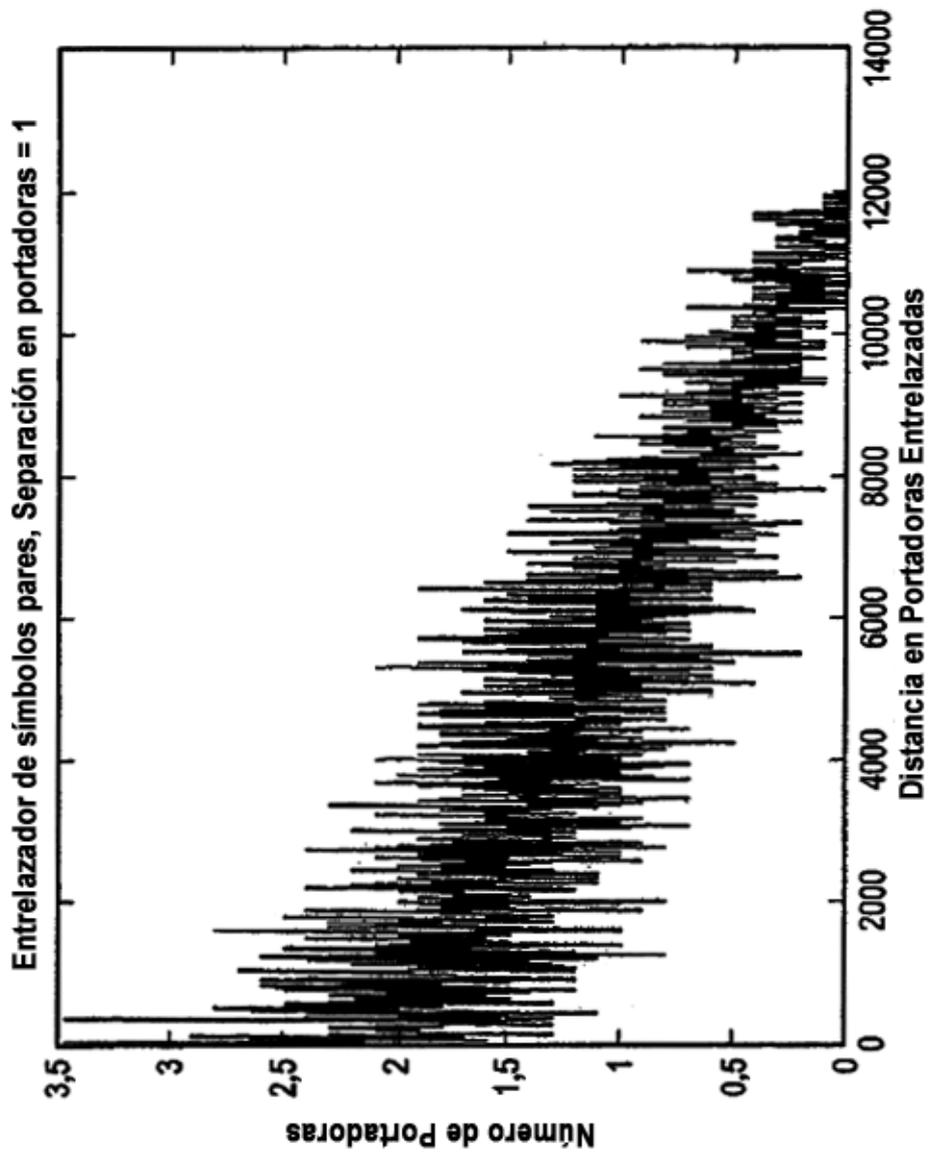


FIG. 9(a)

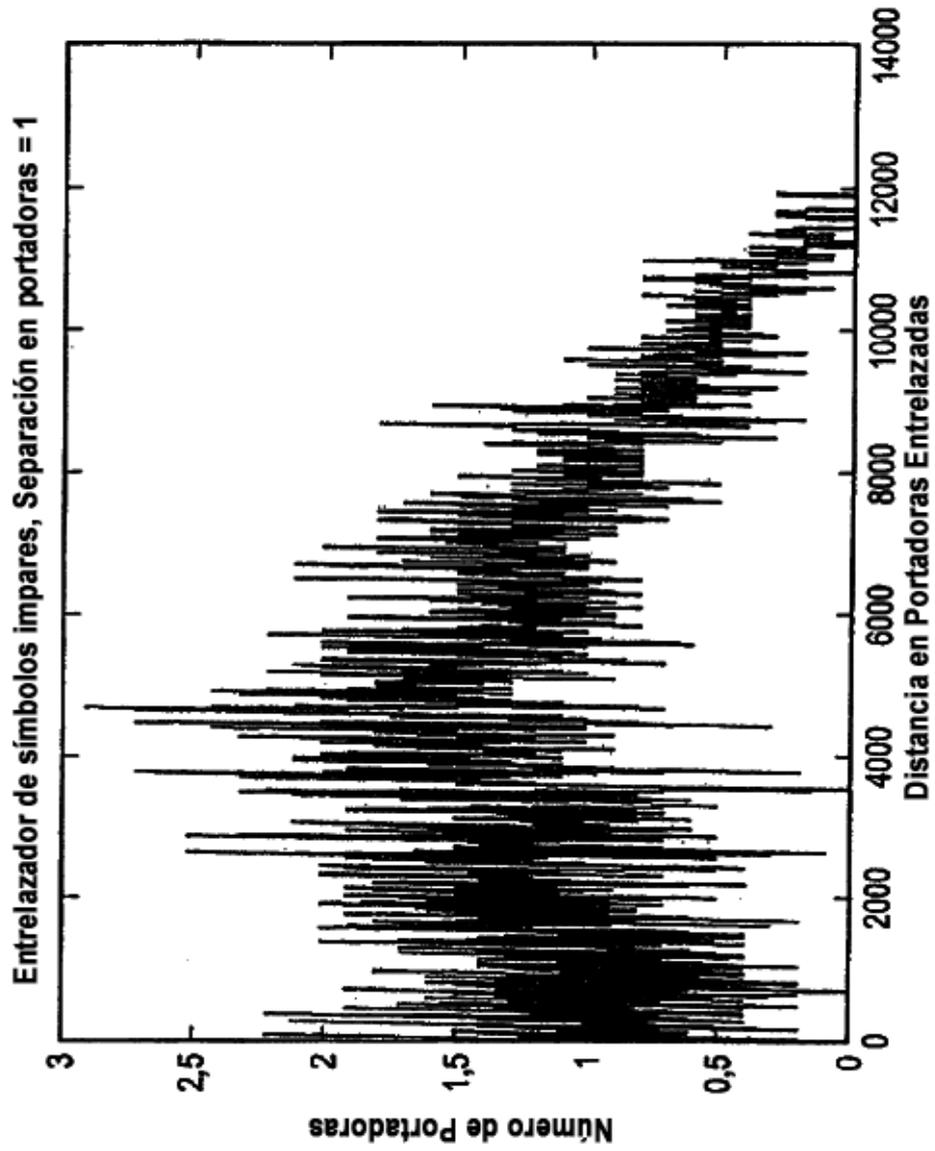


FIG. 9(b)

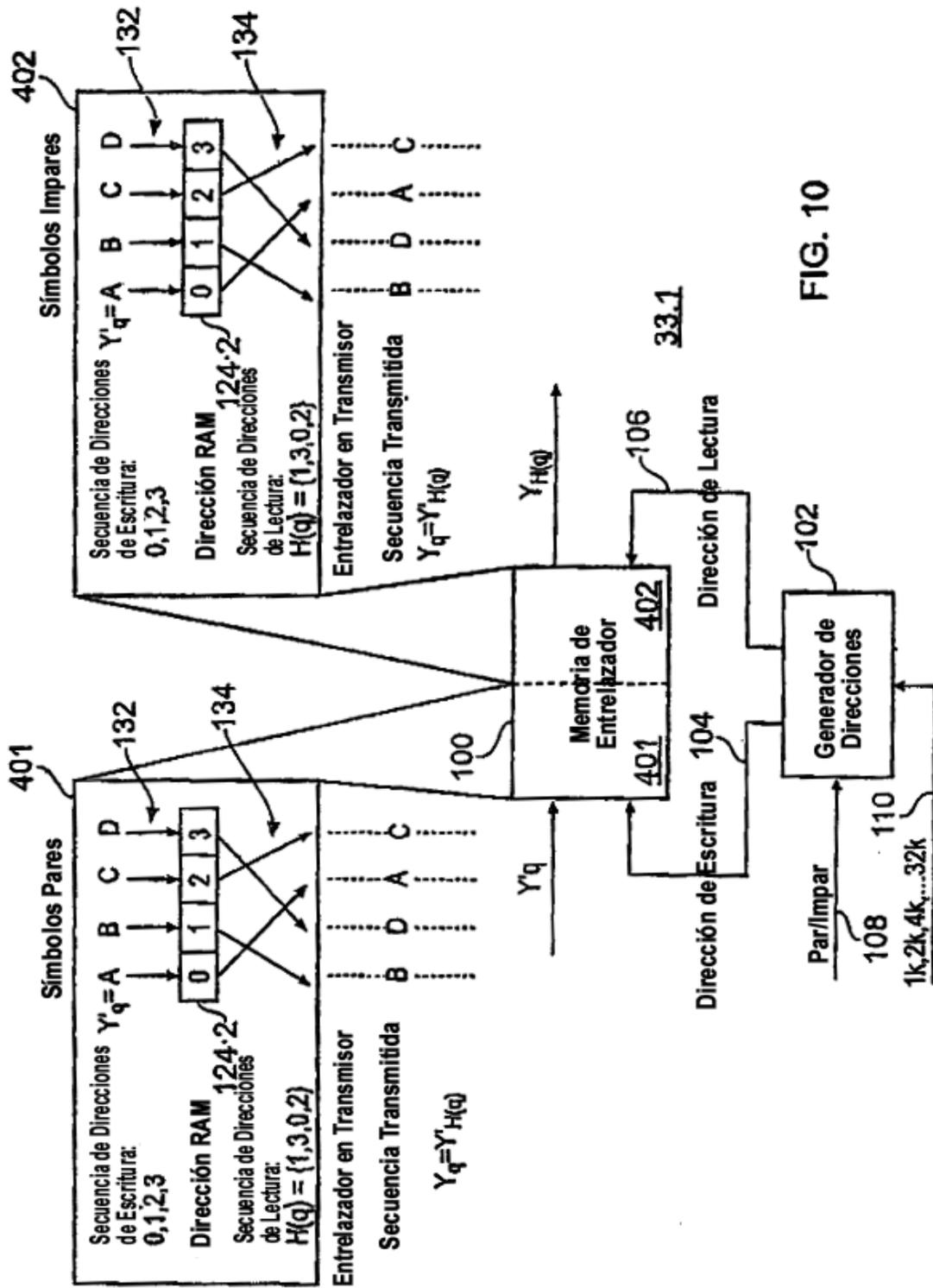


FIG. 10

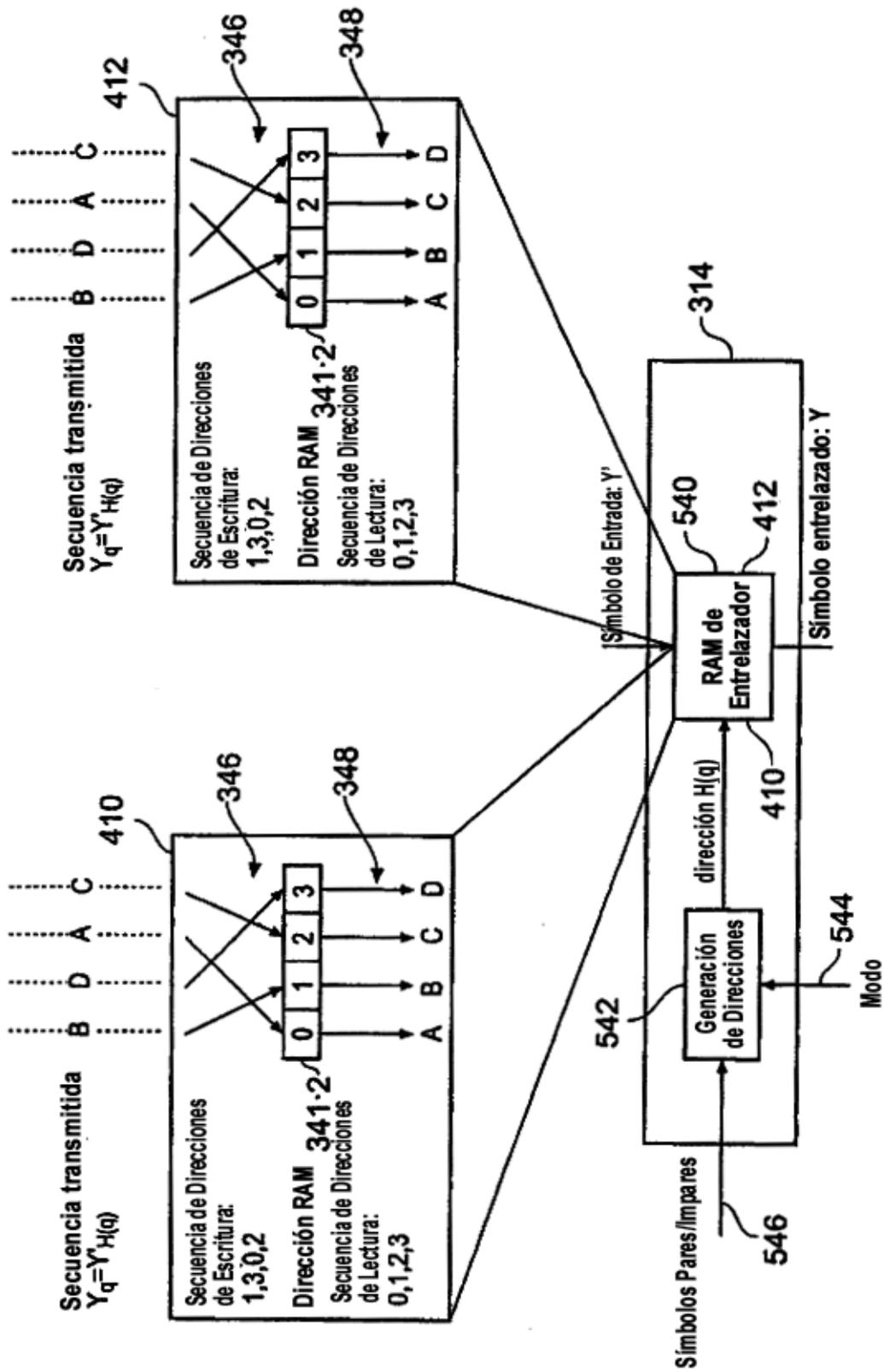


FIG. 11