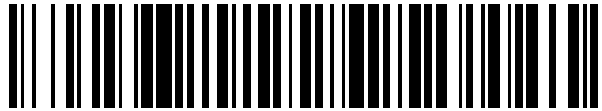


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 427 274**

51 Int. Cl.:

H04N 1/32 (2006.01)
H04N 1/40 (2006.01)
H04N 9/04 (2006.01)
H04N 9/64 (2006.01)
H04N 5/355 (2011.01)
H04N 5/357 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **20.02.2003 E 10180376 (5)**

97 Fecha y número de publicación de la concesión europea: **05.06.2013 EP 2323361**

54 Título: **Sensor de imagen de salidas de imágenes entrelazadas**

30 Prioridad:

06.09.2002 US 236515
21.02.2002 US 358611 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
29.10.2013

73 Titular/es:

CANDELA MICROSYSTEMS, INC (100.0%)
6 Mount Vernon
Irvine, CA 92620, US

72 Inventor/es:

TAY, HIOK NAM

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 427 274 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sensor de imagen de salidas de imágenes entrelazadas.

1. Campo de la invención

La asunta divulgada se relaciona generalmente al campo de sensores de imagen de semiconductores.

5 2. Antecedentes

El equipo fotográfico como cámaras fotográficas digitales y videocámaras digitales contiene los sensores electrónicos de imagen que cogen la luz para procesamiento en una fotografía o un vídeo, respectivamente. Hay dos tipos principales de sensores de imagen electrónicos, dispositivos de carga acoplada (CCDs) y sensores de semiconductor de óxido metálico complementario (CMOS). Sensores de imagen CCD tienen razones de señal-a-ruido (SNR) relativamente altas que proveen imágenes de calidad. Por otra parte, CCDs se puede fabricar para tener matrices de píxeles que son relativamente pequeños sin embargo se conforman con la mayoría de requisitos de resolución de cámaras fotográficas y de vídeo. Un píxel es el elemento discreto lo más pequeño de una imagen. Por estas razones, CCDs se utilizan en la mayoría de cámaras fotográficas y de videocámaras disponibles comercialmente.

15 Sensores CMOS son más rápidos y consumen menos energía que dispositivos CCD. Por otra parte, procesos de la fabricación para CMOS se utilizan para hacer muchos tipos de circuitos integrados. Por lo tanto, tiene una abundancia de capacidad de fabricación más grande para sensores CMOS de lo que para sensores CCD.

Hasta ahora no ha sido desarrollado un sensor CMOS que tiene el mismo requisitos de SNR y tamaño de píxel como los sensores CCD disponibles en el comercio. El tamaño de píxel es el espacio entre los centros de píxeles adyacentes. Sería deseable proporcionar un sensor de CMOS que tiene relativamente alta SNR mientras que proporciona un tamaño de píxel comercialmente aceptable.

El sensor de imagen está conectado típicamente a un procesador externo y una memoria externa. La memoria externa almacena los datos provenientes del sensor de imagen. El procesador procesa los datos almacenados. Para mejorar la calidad de imagen, a veces es deseable capturar dos diferentes imágenes de la misma photo. Con los sensores de CCD hay un retraso inherente entre la captura de la primera imagen y la captura de la segunda imagen. La imagen puede moverse durante este retraso. Este movimiento de la imagen puede degradar la calidad de la imagen resultante. Sería deseable disminuir el tiempo requerido para capturar y transmitir imágenes a partir de la matriz de píxeles. También sería deseable proporcionar un sensor de imagen de bajo ruido, alta velocidad y alta resolución que puede utilizar la memoria externa.

30 WO 95/22180 da a conocer un sensor de imagen CMOS incluyendo un array pixel.

BREVE RESUMEN DE LA INVENCION

Un sensor de imagen con un circuito de lector de luz acoplado a una matriz de píxeles. El circuito de lector de luz recupera una primera imagen y una segunda imagen generadas por el array pixel. El sensor de imagen también puede incluir un controlador de memoria y / o interfaz de datos que transfiera(s) las primera y segunda imágenes a un dispositivo externo de una manera de entrelazado.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La Figura 1 es un esquemático de una realización de un sensor de imagen;

La Figura 2 es una ilustración de un método para almacenar datos de píxel en una memoria externa para una imagen estática;

40 La Figura 3 es una ilustración de un método para recuperar y para combinar datos de píxel para una imagen estática;

La Figura 4 es una ilustración de un método alternativo para recuperar y para combinar datos de píxel;

La Figura 5 es una ilustración de método alternativo para recuperar y para combinar datos de píxel;

La Figura 6 es una ilustración de método alternativo para recuperar y para combinar datos de píxel;

45 La Figura 7 es una ilustración de método alternativo para recuperar y para combinar datos de píxel;

La Figura 8 es una ilustración que demuestra un método para recuperar y para combinar datos de píxel para una imagen video;

La Figura 9 es otra ilustración que demuestra el método para recuperar y para combinar datos de píxel para una imagen video;

- La Figura 10 es una ilustración que demuestra un método para convertir la resolución de datos de píxel;
- La Figura 11 es una ilustración que demuestra un método alternativo para convertir la resolución de los datos de píxel;
- 5 La Figura 12 es una ilustración que demuestra un método alternativo para convertir la resolución de los datos de píxel;
- La Figura 13 es un esquemático de una realización de un píxel del sensor de imagen;
- La Figura 14 es un esquemático de una realización de un circuito de lector de luz del sensor de imagen;
- La Figura 15 es un organigrama para un primer modo de operación del sensor de imagen;
- La Figura 16 es un diagrama de tiempos para el primer modo de operación del sensor de imagen;
- 10 La Figura 17 es un diagrama que demuestra los niveles de una señal a través de un fotodiodo de un píxel;
- La Figura 18 es un esquemático para un circuito lógico generar los diagramas de tiempos de la Figura 16;
- La Figura 19 es un esquemático de un circuito lógico para generar una señal RST para una fila de píxeles;
- La Figura 20 es un diagrama de tiempos para el circuito lógico mostrado en la Figura 19;
- La Figura 21 es un organigrama que demuestra un segundo modo de operación del sensor de imagen;
- 15 La Figura 22 es un diagrama de tiempos para el segundo modo de operación del sensor de imagen;
- La Figura 23a es un esquemático de una realización alternativa de un sistema de sensor de imagen;
- La Figura 23b es un esquemático de una realización alternativa de un sistema de sensor de imagen;
- La Figura 24 es un esquemático de una realización alternativa de un sistema de sensor de imagen;
- La Figura 25 es un esquemático de una realización alternativa de un sistema de sensor de imagen;
- 20 La Figura 26 es un esquemático de una realización alternativa de un procesador externo.

DESCRIPCIÓN DETALLADA

- La divulgada es un sensor de imagen que tiene uno o más píxeles dentro de una matriz de píxeles. La matriz de píxeles se puede conectar con un circuito de control y un circuito de sustracción. El circuito de control puede hacer cada píxel proveer una señal de salida de primera referencia y una señal de salida de reinicio. El circuito de control puede hacer cada píxel proveer una señal de salida de repuesta-a-luz y una señal de salida de segunda referencia. La señal de salida de repuesta-a-luz corresponde a la imagen que debe ser capturada por el sensor.
- 25 El circuito de sustracción puede proveer una diferencia entre la señal de salida de reinicio y la señal de salida de primera referencia para crear una señal de ruido que se almacena en una memoria externa. El circuito de sustracción también puede proveer una diferencia entre la señal de salida de repuesta-a-luz y la señal de salida de segunda referencia para crear una señal normalizada de salida de repuesta-a-luz. La señal de ruido se recupera desde memoria y se combina con la señal normalizada de salida de repuesta-a-luz para generar los datos de salida del sensor. [0011] El píxel puede ser una estructura de tres transistor que reduce al mínimo el tamaño de píxel del sensor de imagen. El entero sensor de imagen se construye con procesos de fabricación y circuitos de CMOS. El sensor de imagen CMOS tiene las características de la alta velocidad, el bajo consumo de potencia, el tamaño de píxel pequeño y el alto SNR.
- 30 El píxel puede ser una estructura de tres transistor que reduce al mínimo el tamaño de píxel del sensor de imagen. El entero sensor de imagen se construye con procesos de fabricación y circuitos de CMOS. El sensor de imagen CMOS tiene las características de la alta velocidad, el bajo consumo de potencia, el tamaño de píxel pequeño y el alto SNR.
- 35 Con referencia a los dibujos más particularmente por números de referencia, la Figura 1 demuestra un sensor de imagen 10. El sensor de imagen 10 incluye una matriz de píxeles 12 que contiene una pluralidad de individuos píxeles de fotodetección 14. Los píxeles 14 son dispuestos en una matriz bidimensional de filas y de columnas.
- 40 La matriz de píxeles 12 está acoplada a un circuito de lector de luz 16 por bus 18 y a un decodificador de fila 20 por líneas de control 22. El decodificador de fila 20 puede seleccionar un individuo fila de la matriz de píxeles 12. Por consiguiente, el lector de luz 16 puede leer columnas discretas específicas dentro de la fila seleccionada. Junto, el decodificador de fila 20 y el lector de luz 16 permiten leer una individual píxel 14 en la matriz 12.
- 45

El lector de luz 16 puede ser acoplada con un convertidor analógico-digital 24 (ADC) por línea (s) de salida 26. El ADC 24 genera una cadena de bits digitales que corresponde a la amplitud de la señal proveída por el lector de luz 16 y los píxeles 14 elegidos.

5 El ADC 24 está acoplado con un par de primeros búferes de imagen 28 y 30, y un par de segundos búferes de imagen 32 y 34 por líneas 36 e interruptores 38, 40 y 42. Los primeros búferes de imagen 28 y 30 están conectados con un controlador de memoria 44 por líneas 46 y por un interruptor 48. El controlador de memoria 44 en general puede ser conocido como una interfaz de datos. Los segundos búferes de imagen 32 y 34 están acoplados a un combinador de datos 50 por líneas 52 y por un interruptor 54. El controlador de memoria 44 y el combinador de datos 50 están conectados a un búfer de lectura-de-vuelta 56 por líneas 58 y 60, respectivamente. La salida del búfer de lectura-de-vuelta 56 está conectada al controlador 44 por la línea 62. El combinador de datos 50 es conectado al controlador de memoria 44 por línea 64. Por otra parte, el controlador 44 es conectado al ADC 24 por línea 66.

15 El controlador de memoria 44 está conectado con el bus externo 68 por un bus de controlador 70. El bus externo 68 está conectado con un procesador externo 72 y una memoria externa 74. El bus 70, el procesador 72 y la memoria 74 se encuentran normalmente en cámaras foto gráficas digitales, cámaras fotográficas y teléfonos móviles existentes. El procesador puede ejecutar algunos cálculos asociados típicamente con proceso de imágenes. Por ejemplo, el procesador puede ejecutar equilibrio de blanco o compensación de color o la compresión de datos de imagen, como compresión en el formato de estándares de la compresión de JPEG o MPEG.

20 Para capturar una imagen de fotografía, el lector de luz 16 recupera una primera imagen a partir de la matriz de píxeles 12 de forma de una fila en cada vez. El interruptor 38 está en un estado que conecte el ADC 24 con los primeros búferes de imagen 28 y 30. Interruptores 40 y 48 son como puestos de la manera que los datos están entrando en uno búfer 28 o 30 y siendo recuperados del otro búfer 30 o 28 por el controlador de memoria 44. Por ejemplo, la segunda línea de píxeles se puede almacenar en búfer 30, mientras que la primera línea de datos de píxel se está recuperando de búfer 28 por el controlador de memoria 44 y se está almacenando en la memoria externa 74.

25 Cuando la primera línea de la segunda imagen de la foto está disponible, interruptor 38 se selecciona para almacenar alternamente datos de la primera imagen y datos de la segunda imagen en los primeros 28 y 30, y segundos 32 y 34 búferes de imagen, respectivamente. Interruptores 48 y 54 se pueden seleccionar para almacenar alternamente datos de la primera y la segunda imágenes en la memoria externa 74 de una forma intercalada. Este proceso se ilustra en la Figura 2.

30 Hay varios métodos para recuperar y para combinar los datos de primera y segunda imágenes. Como se muestra en la Figura 3, en un método cada línea de las primera y segunda imágenes se recupera de la memoria externa 74 en la velocidad de datos de memoria, almacena en el búfer de lectura-de-vuelta 56, combina en el combinador de datos 50 y transmite al procesador 72 en la velocidad de datos de procesador. Alternamente, las primera y segunda imágenes se pueden almacenar en el búfer de lectura-de-vuelta 56 y, luego, enviar para el procesador 72 de una forma intercalada o concatenada sin combinar las imágenes en el combinador 50. Esta técnica permite el procesador 72 a procesar los datos de diversas maneras.

35 La Figura 4 muestra un método alternativo donde el procesador externo 72 combine los datos de píxel. Una línea de la primera imagen se recupera de la memoria externa 74 y almacena en el búfer de lectura-de-vuelta 56 en la velocidad de datos de memoria y, luego, transfiere al procesador externo 72 en la velocidad de datos de procesador. Una línea de la segunda imagen está luego recuperada de la memoria externa 74, almacenada en el búfer de lectura-de-vuelta 56 y transferida al procesador externo 72. Esta secuencia continúa para cada línea de la primera y segunda imágenes. En alternativa, toda la primera imagen se puede recuperar de la memoria externa 74, almacenar en el búfer de lectura-de-vuelta 56 y transferir al procesador externo 72, una línea de cada vez, como mostrada en Figura 5. Cada línea de la segunda imagen se luego recupera de la memoria externa 74, almacena en el búfer de lectura-de-vuelta 56 y transfiere al procesador externo 72.

40 Si la velocidad de datos de procesador está igual que la velocidad de datos de memoria, el procesador 72 puede directamente recuperar los datos de píxel a partir de la memoria externa 74 en cualquier una forma intercalada o concatenada como se muestran en las Figuras 6 y 7, respectivamente. Para todas las técnicas descritas, el controlador de memoria 44 proporciona arbitraje para transferir datos entre el sensor de imagen 10, el procesador 72 y la memoria 74. Para reducir ruido en el sensor de imagen 10, el controlador 44 transfiere datos de preferencia cuando el lector de luz 16 no está recuperando señales de salida.

45 Para capturar una imagen video, las líneas de datos de píxel de la primera imagen pueden ser almacenadas en la memoria externa 74. Cuando la primera línea de la segunda imagen de la foto está disponible, la primera línea de la primera imagen se recupera de la memoria 74 en la velocidad de datos de memoria y combina en el combinador de datos 50, como se muestran en las Figuras 8 y 9. Los datos se transfieren en la velocidad de datos de procesador al procesador externo 72. Como se muestra en la Figura 9, la memoria externa está proveyendo y entrando líneas de datos de píxel de la primera imagen en la velocidad de datos de memoria.

5 Para la captura de video, los búferes 28, 30, 32 y 34 pueden ejecutar una conversión de resolución en los datos de píxel de entrada. Hay dos estándares comunes del vídeo NTSC y PAL. El NTSC exige 480 líneas horizontales. El PAL exige 590 líneas horizontales. Para proporcionar imagen fija de alta resolución, la matriz de píxeles 12 puede contener hasta 1 500 líneas horizontales. El sensor de imagen convierte los datos de salida en un formato de estándar. El convertir a bordo el sensor de imagen reduce la sobrecarga en el procesador 72.

10 La Figura 10 demuestra una técnica para convertir la resolución y para reducir la cantidad de datos. El reducir de datos reduce el ruido y la consumición de energía del sensor de imagen. Por otra parte, menos datos exigen menos memoria de la memoria externa. El primer método reduce cuatro columnas contiguas de píxeles y cuatro líneas contiguas de píxeles en 2 columnas y 2 líneas de píxeles. La matriz de píxeles 12 incluye un grupo de 4 por 4 píxeles que contiene rojo (r), verde (G) y azul (b) píxeles dispuestos en un estándar Bayer. La matriz de 4 por 4 está reducida en una matriz de 2 por 2, en conformidad con las ecuaciones siguientes:

$$\mathbf{R} = \frac{1}{4} * (\mathbf{R1} + \mathbf{R2} + \mathbf{R3} + \mathbf{R4}) \quad (1)$$

$$\mathbf{B} = \frac{1}{4} * (\mathbf{B1} + \mathbf{B2} + \mathbf{B3} + \mathbf{B4}) \quad (2)$$

$$\mathbf{GB} = \frac{1}{2} * (\mathbf{G1} + \mathbf{G2}) \quad (3)$$

15 $\mathbf{GR} = \frac{1}{2} * (\mathbf{G3} + \mathbf{G4}) \quad (4)$

El efecto líquido es una reducción de 75% en la velocidad de datos, hecha uso en un patrón de Bayer.

La Figura 11 demuestra un método alternativo para conversión de resolución. La segunda técnica provee una codificación de 4:2:0 que es compatible con MPEG-2. La conversión se ejecuta a través las ecuaciones siguientes:

$$\mathbf{R} = \frac{1}{4} * (\mathbf{R1} + \mathbf{R2} + \mathbf{R3} + \mathbf{R4}) \quad (5)$$

20 $\mathbf{B} = \frac{1}{4} * (\mathbf{B1} + \mathbf{B2} + \mathbf{B3} + \mathbf{B4}) \quad (6)$

$$\mathbf{GB} = \frac{1}{2} * (\mathbf{G1} + \mathbf{G2}) \quad (7)$$

$$\mathbf{GR} = \frac{1}{2} * (\mathbf{G3} + \mathbf{G4}) \quad (8)$$

$$\mathbf{GBB} = \frac{1}{2} * (\mathbf{G5} + \mathbf{G6}) \quad (9)$$

$$\mathbf{GRR} = \frac{1}{2} * (\mathbf{G7} + \mathbf{G8}) + \mathbf{G} \quad (10)$$

25 El efecto líquido es una reducción de 62.5% en la velocidad de datos.

Figura 12 demuestra aún otro método alternativa de conversión de resolución. El tercer método proporciona una técnica de codificación de 4:2:2 con las ecuaciones siguientes:

$$\mathbf{G12} = \frac{1}{2} * (\mathbf{G1} + \mathbf{G2}) \quad (11)$$

$$\mathbf{G34} = \frac{1}{2} * (\mathbf{G3} + \mathbf{G4}) \quad (12)$$

30 $\mathbf{G56} = \frac{1}{2} * (\mathbf{G5} + \mathbf{G6}) \quad (13)$

$$\mathbf{G78} = \frac{1}{2} * (\mathbf{G7} + \mathbf{G8}) \quad (14)$$

$$\mathbf{R12} = \frac{1}{2} * (\mathbf{R1} + \mathbf{R2}) \quad (15)$$

$$\mathbf{R34} = \frac{1}{2} * (\mathbf{R3} + \mathbf{R4}) \quad (16)$$

$$\mathbf{B12} = \frac{1}{2} * (\mathbf{B1} + \mathbf{B2}) \quad (17)$$

$$B34 = \frac{1}{2} * (B3 + B4)$$

(18)

El efecto líquido es una reducción de 50% en la velocidad de datos.

Para conservar energía, el controlador de memoria 44 puede apagar la memoria externa 74 cuando la memoria no es recibiendo ni es transmitiendo datos.

- 5 Para conseguir esta función, el controlador 44 puede tener un perno de control de la energía 76 conectado al perno CKE de un SDRAM (véase la Figura 1).

10 La Figura 13 demuestra una realización de una estructura de célula para un píxel 14 de la matriz de píxeles 12. El píxel 14 puede contener un fotodetector 100. Por ejemplo, el fotodetector 100 puede ser un fotodiodo. El fotodetector 100 se puede conectar con un transistor de reinicio 112. El fotodetector 100 también se puede acoplar con un transistor de selección 114 a través de un transistor de nivel desplazado 116. Los transistores 112, 114 y 116 pueden ser transistores de efecto de campo (FET).

15 La puerta del transistor de reinicio 112 puede ser conectada con una línea RST 118. El drenador del transistor 112 se puede conectar con una línea IN 120. La puerta del transistor de selección 114 se puede conectar con una línea SEL 122. La fuente del transistor 114 se puede conectar con una línea OUT 124. Las líneas RST 118 y SEL 122 pueden ser comunes para una fila entera de píxeles en la matriz de píxeles 12. De la misma forma, las líneas IN 120 y OUT 124 pueden ser comunes para una columna entera de píxeles en la matriz de píxeles 12. Las líneas RST 118 y SEL 122 son conectadas con el decodificador de fila 20 y son parte de las líneas del control 22.

20 La Figura 14 demuestra una realización de un circuito de lector de luz 16. El lector de luz 16 puede incluir una pluralidad de circuitos de condensadores de doble muestreo 150 cuyo cada uno es conectado con una línea OUT 124 de la matriz de píxeles 12. Cada circuito de doble muestreo 150 puede incluir un primer condensador 152 y un segundo condensador 154. El primer condensador 152 es conectado a la línea OUT 124 y en un suelo GND1 156 por los interruptores 158 y 160, respectivamente. El segundo condensador 154 es acoplado con la línea OUT 124 y el suelo GND1 por interruptores 162 y 164, respectivamente. Los interruptores 158 y 160 son controlados por una línea de control SAM1 166. Los interruptores 162 y 164 son controlados por una línea de control SAM2 168. Los condensadores 152 y 154 se pueden conectar juntos para realizar una sustracción de tensiones a través del cerrar el interruptor 170. El interruptor 170 es controlado por una línea de control SUB 172.

25 Los circuitos de doble muestreo 150 son conectados con un amplificador operacional 180 por una pluralidad de primeros interruptores 182 y una pluralidad de segundos interruptores 184. El amplificador 180 tiene un terminal negativo - conectado a los primeros condensadores 152 por los primeros interruptores 182 y un terminal positivo + conectado a los segundos condensadores 154 por los segundos interruptores 184. El amplificador operacional 180 tiene una salida positiva + conectada con una línea de salida OP 188 y de una salida negativa - conectada a una línea de salida OM 186. Las líneas de salida 186 y 188 son conectadas al ADC 24 (véase la Figura 1).

30 El amplificador operacional 180 provee una señal amplificada que es la diferencia entre la tensión almacenada en el primer condensador 152 y la tensión almacenada en el segundo condensador 154 de un circuito de muestreo 150 conectado con el amplificador 180. La ganancia del amplificador 180 se puede variar ajustando los condensadores variables 190. Los condensadores variables 190 se pueden descargar cerrando un par de interruptores 192. Los interruptores 192 se pueden conectar con una línea de control correspondiente (no demostrado). Aunque se presenta y se describe un único amplificador, se entiende que más que un amplificador se puede utilizar en el circuito de lector de luz 16.

35 Las Figuras 15 y 16 demuestran una operación del sensor de imagen 10 en un primer modo que es también relacionado como un modo de bajo ruido. En el bloque de proceso 300, una señal de referencia se escribe en cada píxel 14 de la matriz de píxeles y, luego, una señal de salida de primera referencia se almacena en el lector de luz 16. Con referencia a las Figuras 13 y 16, esto se puede hacer conmutando las líneas RST 118 e IN 120 de una baja tensión para una alta tensión para encender el transistor 112. La línea RST 118 se excita alta para una fila entera. La línea IN 120 se excita alta para una columna entera. En la realización preferida, la línea RST 118 es primera excitada para alta mientras que la línea IN 120 es inicialmente baja.

40 La línea RST 118 se puede conectar con un búfer triestado (no demostrado) que está conmutado en uno triestado cuando la línea IN 120 se conmuta en un alto estado. Esto permite la tensión de puerta flotar para un valor que sea más alta de la tensión en la línea IN 120. Este hacer el transistor 112 entrar en el régimen de triodo. En la región de triodo, la tensión a través del fotodiodo 100 está aproximadamente igual a la tensión en la línea IN 120. El generar una superior tensión de puerta permite el fotodetector a reiniciar en un nivel cerca de Vdd. Los sensores CMOS del arte anterior reinician el fotodetector para un nivel de Vdd-Vgs, donde Vgs puede estar de hasta 1 V.

45 La línea SEL 122 también se conmuta para un alto nivel de tensión que enciende el transistor 114. La tensión del fotodiodo 100 es provista por la línea OUT 124 a través del transistor de nivel desplazado 116 y del transistor de selección 114. La línea de control SAM1 166 del lector de luz 16 (véase la Figura 14) se elige a fin de que la tensión en la línea OUT 124 está almacenada en el primer condensador 152.

5 Con referencia a Figura 15, en el bloque de proceso 302, los píxeles de la matriz de píxeles luego son reiniciados y las señales de salida de luego reinicio se almacenan en el lector de luz 16. Con referencia a Figuras 13 y 16, esto puede ser hecho excitando la línea RST 118 a baja para apagar el transistor 112 y para reiniciar el píxel 14. El apagar el transistor 112 creará ruido de reinicio, inyección de carga y tensión del "feedthrough" de reloj que reside a través del fotodiodo 100. Como se muestra en Figura 17, el ruido reduce la tensión en el fotodetector 100 cuando se reinicia el transistor 112.

La línea SAM2 168 se excita a alta, la línea SEL 122 se excita a baja y, más adelante, a alta, para almacenar la tensión de nivel dislocó del fotodiodo 100 como una señal de salida de reinicio en el segundo condensador 154 del circuito de lector de luz 16. Los bloques de proceso 300 y 302 se repiten para cada píxel 14 en la matriz 12.

10 Con referencia a la Figura 15, en el bloque de proceso 304, las señales de salida de reinicio se sustraen más adelante de las señales de salida de primera referencia para crear las señales de salida de ruido que se convierten más adelante en cadenas de bits digitales por el ADC 24. Los digitales datos de salida se almacenan en la memoria externa 74, conformidad con una de las técnicas descritas en las Figuras 2, 3, 8 o 9. Las señales de ruido corresponden a los datos de píxel de la primera imagen. Con referencia a Figura 14, el proceso de sustracción se puede hacer cerrando interruptores 182, 184 y 170 del circuito de lector de luz 16 (Figura 14) para sustraer la tensión a través del segundo condensador 154 desde la tensión en el primero condensador 152.

20 Con referencia a la Figura 15, en el bloque 306, señales de salida de repuesta-a-luz se muestran de los píxeles 14 de la matriz de píxeles 12 y se almacenan en el circuito de lector de luz 16. Las señales de salida de repuesta-a-luz corresponden a la imagen óptica que se está detectando por el sensor de imagen 10. Con referencia a las Figuras 13, 14 y 16, esto puede ser hecho a través de tener las líneas IN 120, SEL 122 y SAM2 168 en un alto estado y RST 118 en un bajo estado. El segundo condensador 152 del circuito de lector de luz 16 almacena una tensión de nivel dislocó del fotodiodo 100 como la señal de salida de repuesta-a-luz.

25 Con referencia a la Figura 15, en el bloque 308, una señal de salida de segunda referencia se genera luego en los píxeles 14 y se almacena en el circuito de lector de luz 16. Con referencia a las Figuras 13, 14 y 16, esto puede ser hecho de manera similar a generar y a almacenar la señal de salida de primera referencia. La línea RST 118 es primero excitada alta, después, en un tri estado. La línea IN 120 es más adelante excitada alta para hacer el transistor 112 a entrar en la región de triodo a fin de que la tensión a través del fotodiodo 100 sea la tensión en la línea IN 120. Las líneas SEL 122 y SAM2 168 son más adelante excitadas para almacenar la tensión de salida de segunda referencia en el primero condensador 154 del circuito de lector de luz 16. Los bloques de proceso 306 y 308 se repiten para cada píxel 14 en la matriz 12.

35 Con referencia a la Figura 15, en el bloque 310, la señal de salida de repuesta-a-luz se sustrae de la señal de salida de segunda referencia para crear una señal normalizada de salida de repuesta-a-luz. La señal normalizada de salida de repuesta-a-luz se convierte en una secuencia de bits digitales para crear datos normalizados de salida de luz que están almacenados en los segundos búferes de imagen 32 y 34. Las señales normalizadas de salida de repuesta-a-luz corresponden a los datos de píxel de la segunda imagen. Con referencia a las Figuras 13, 14 y 16, el proceso de sustracción se puede hacer a través de cerrar los interruptores 170, 182 y 184 del lector de luz 16 para sustraer la tensión a través del primero condensador 152 desde la tensión a través del segundo condensador 154. La diferencia es más adelante amplificada por amplificador 180 y convertida en una secuencia de bits digitales por el ADC 24 como datos de repuesta-a-luz.

40 Con referencia a la Figura 15, en el bloque 312, los datos de ruido se recuperan a partir de memoria externa. En el bloque 314 los datos de ruido se combinan (sustraen) con los datos normalizados de salida de luz, de acuerdo con una de las técnicas demostradas en las Figuras 3, 4, 5, 6, 7 o 8. Los datos de ruido corresponden a la primera imagen y los datos normalizados de salida de luz corresponden a la segunda imagen. La señal de salida de segunda referencia es igual a o es aproximadamente igual a la señal de salida de primera referencia tal que la técnica actual sustrae los datos de ruido, debido a ruido del reinicio, inyección de la carga y "feedthrough" de reloj, desde la señal normalizada de repuesta-a-luz. Esta mejora la razón de señal-a-ruido de los datos de imagen final. El sensor de imagen ejecuta esta cancelación de ruido con un píxel que tiene solamente tres transistores. Este sensor de imagen, así, proporciona cancelación de ruido mientras que mantiene una anchura relativamente pequeña de píxel. Este proceso se hace por medio de un procesador externo 72 y de una memoria externa 74.

50 El proceso de escrito se ejecuta en una secuencia a través de algunas filas de píxeles en la matriz de píxeles 12. Como se demuestra en la Figura 16, la n-ésimo fila de la matriz de píxeles puede estar generando señales de ruido mientras que la (n-1)-ésimo fila genera señales normalizadas de repuesta-a-luz, donde l es la duración de exposición en múltiplos de un período de línea.

55 Las diversas señales de control RST, SEL, IN, SAM1, SAM2 y SUB se pueden generar en el circuito referir generalmente como el decodificador de fila 20. La Figura 18 muestra una realización de lógica para generar las señales IN, SEL, SAM1, SAM2 y RST de acuerdo con el diagrama de tiempos de la Figura 16. La lógica puede incluir una pluralidad de comparadores 350 con una entrada conectada a un contador 352 y otra entrada conectada a señales conectadas por alambres que contienen un inferior valor de cuenta y un superior valor de cuenta. El contador 352 genera secuencialmente una cuenta. Los comparadores 350 comparan la cuenta actual con el superior

valore y el inferior valor de cuenta. Si la cuenta actual está entre el inferior valor y el superior valor de cuenta, los comparadores 350 proveen un 1 lógico.

5 Los comparadores 350 son conectados con una pluralidad de puertas AND 356 y puertas OR 358. Las puertas OR 358 son conectadas con latches 360. Los latches 360 proveen las señales correspondientes SEL, SAM1, SAM2 y RST. Las puertas AND 356 también son conectadas a una línea de modo 364. Para funcionar de acuerdo con el diagrama de tiempos demostrado en Figura 16, la línea de modo 364 está de una lógica 1.

10 Los latches 360 conmutan entre una lógica 0 y una lógica 1, de acuerdo con la lógica establecida por las puertas AND 356, las pu ertas OR 358, lo s comparadores 350 y la cuenta actu al del co ntador 352. Por ejemplo, las s eñales conectadas por alambres al comparador acoplado al latch IN pueden contener un valor de cuenta de 6 y un valor de cuenta de 24. Si la cuenta del contador es mayor que o iguala a 6 e inferior de 24, el comparador 350 proveerá una lógica 1, que causa el latch IN 360 para proveer una lógica 1. Los inferior y superior valores de cuenta establecen la secuencia y la durac ión de lo s pulsos demostrados en la Figura 16. La línea de modo 364 puede ser conmutada a una lógica 0, que hace que el sensor de imagen funcionar en un segundo modo.

15 El sensor 10 puede tener una pluralidad de excitadores RST(n) 370, cada excitador 370 ser conectado con una fila de pixeles. Las Figuras 19 y 20 muestran un ejemplar circuito de excitador 370 y el funcionamiento del circuito 370. Cada e xcitador 370 puede tener un par de p uertas NOR 372 que so n co nectadas con lo s latches RST y SAM1 mostrados en la Figura 18. Las puertas NOR controlan el estado de un búfer de tres estados 374. El búfer de tres estados 374 es conectado con los transistores de reinicio en una fila de pixeles. La entrada del búfer de tres estados es conectada a uno puerta AND 376 que es conectada al latch RST y uno línea ROWEN(n).

20 Las Figuras 21 y 22 demuestran operación del sensor de imagen en un segundo modo también referirse como una modo de gama dinámica extendida. En est e modo, l a imagen provee una bastante cantidad de e nergía óptica de manera q ue el SNR está bastante, igual si n l a técnica de cancelación de ruido descrita e n l as Figuras 15 y 16. Aunque es entender que la técnica de cancelación de ruido demostrada en las Figuras 15 y 16 puede ser utilizada mientras que el sensor de imagen 10 est á en la modo de gam a dinámica extendida. El modo de gama dinámica extendida tiene tanto un corto período de exposición y un largo período de exposición. Con referencia a la Figura 21, en el bloque 400, cada píxel 14 se reinicia para iniciar un corto período de exposición. El modo del sensor de imagen puede ser c ontrolada por el procesador 72 para d eterminar si el s ensor debe estar e n el mod o de bajo ruido o el modo de gama dinámica extendida.

30 En el blo que 402 una señal de salida de corta exposición se genera en el píxel seleccionado y se almacena en el segundo condensador 154 del circuito de lector de luz 16.

35 En bloque 404, el píxel seleccionado es luego reiniciado. La tensión de reinicio de nivel dislocó del fotodiodo 100 se almacena en el primero condensador 152 del circuito de l ector de l uz 16 como u na señal de sa lida de reinicio. La señal de salida de corta exposición se sustrae de la señal de salida de reinicio en el circuito de lector de luz 16. La diferencia entre la señal de corta exposición y la señal de reinicio se convierte en una secuencia de bits binarios por el ADC 24 y almacenada en la memoria externa 74, de acuerdo con una de las técnicas demostradas en las Figuras 2, 3, 8 o 9. Los datos de corta exposición corresponden a los datos de pixeles de primera imagen. Cada píxel se luego reinicia otra vez para iniciar un largo período de exposición.

40 En el b loque 406, el circ uito de lector de l uz 16 alm acena una se ñal de salida de larga exposición del píxel e n el segundo condensador 154. En el bloque 408, el píxel se reinicia y el circuito de lector de luz 16 almacena la señal de salida de reinicio en el primer condensador 152. La señal de salida de larga exposición se sustrae desde la señal de salida de reinicio, se amplifica y se convierte en una secuencia de bits binarios por el ADC 24 como datos de larga exposición.

45 Con referencia a la F igura 21, en el bloque 410 los datos de corta exposición se recuperan de memoria externa. En el bloque 412, los datos de corta exposición se combinan con los datos de larga exposición, de acuerdo con una de las técnicas demostradas en las Figuras 3, 4, 5, 6, 7 o 8. Los datos se pueden combinar en un número de diversas maneras. El procesador e xterno 72 pu ede primero ana lizar la imagen con los dat os de lar ga e xposición. Los fotodiodos pueden ser s aturados si la imagen es demasiado brillando. Esto normalmente resultare en una "imagen lavada ". El procesador 72 puede procesar los datos de larga exposición para determinar si la imagen se lava, si es sí, el procesador 72 puede utilizar los datos de imagen de corta exposición. El procesador 72 puede también utilizar 50 ambos lo s d atos de l ar ga e xposición y lo s datos de corta e xposición para compensar los partes s aturados de l a imagen detectada.

55 A título de ejemplo, la imagen se puede inicializ ar a to dos ceros. El procesador 72 después analiza los datos de larga e xposición. Si l os d atos de lar ga e xposición no exceden u n um bral, e ntonces se substituye N bits me nos significativos (LSB) de la im agen por t odos lo s N b its de lo s datos de l ar ga e xposición. Si l os d atos de lar ga e xposición exceden el umbral, entonces se substituye los N bits más significativos (MSB) de la imagen por todos los N bits de los datos de corta exposición. Esta técnica aumenta la gama dinámica en M bits, donde M es el exponente de una razón entre la duración de exposición larga y la duración de exposición corta que se defina por la ecuación $I = 2^M$. La imag en resultada puede haber sometido a un m apeo logarítmico para un fot o final de N bits, de acu erdo

con la ecuación de mapeo $Y = 2N \log_2(X) / (N + M)$.

La Figura 22 d muestra el diagrama de tiempos de generación y recuperación de datos de corta exposición y de datos de larga exposición. La lectura de señales de salida de la matriz de pixeles 12 coincide con la recuperación de señales de memoria 74. La Figura 22 demuestra tiempos de generación y recuperación de datos donde un n-ésimo fila de pixeles comienza una corta exposición, la (n-k)-ésimo fila acaba el período de corta exposición y comienza el período de larga exposición, y la (n-k-l)-ésimo fila de pixeles acaba el período de larga exposición. Donde k es l a duración de la corta exposición en los múltiplos del período de línea, y l es la duración de exposición larga en los múltiplos del período de línea.

El controlador de memoria 44 comienza a recuperar datos de corta exposición para los pixeles en la (n-k-l)-ésimo fila, en el mismo tiempo que la (n-k-l)-ésimo fila está cumpliendo el período de exposición larga. En el principio de un período de línea, el circuito de lector de luz 16 recupera las señales de salida de corta exposición a partir de la (n-k)-ésimo fila de la matriz de pixeles 12, como se muestra por la activación de señales SAM1, SAM2, SEL(n-k) y RST (n-k). El circuito de lector de luz 16 después recupera los datos de larga exposición a partir de la (n-k-l)-ésimo fila.

Los modos duales del sensor de imagen 10 pueden compensar variación de brillo en la imagen. Cuando el brillo de imagen es bajo, las señales de salidas del pixeles son relativamente bajo. Este normalmente reduciría la SNR de los resultantes datos proveídos por el sensor, si se asume que el ruido medio es relativamente constante. El régimen de compensación de ruido demostrado en las Figuras 15 y 16 mejora la SNR de los datos de salida a fin de que el sensor de imagen provea una imagen de calidad aunque la imagen de sujeta es relativamente oscura. Inverso, cuando la imagen de sujeta muy está brillando, el modo de gama dinámica extendida representado en las Figuras 21 y 22 compensa brillo para proporcionar una imagen de calidad.

La Figura 23a demuestra una realización alternativa de un sensor de imagen que tiene uno bus de procesador 70' conectado con el procesador externo 72 y uno bus de memoria 70" separada conectado con la memoria externa 74. Con esta configuración, el procesador 72 puede recibir datos cuando la memoria 74 está almacenando y transfiriendo datos. Esta realización también permite velocidades de reloj más lentas en la bus de procesador 70' que la bus 68 de la realización se muestra en la Figura 1.

La Figura 23b muestra otra realización donde el procesador 72 está acoplado con un separado interfaz de datos 500 y la memoria externa 74 está conectada con un controlador de memoria 44 separado.

La Figura 24 muestra otra realización de un sensor de imagen con un interfaz de datos 500 conectado con los búferes 28, 30, 32 y 34. El interfaz 500 está conectado con un procesador externo 72 por un bus de procesador 502. En esta configuración, la memoria externa 74 está conectada con el procesador 72 por un bus de memoria 504 separada. Para ambos la fotografía y la captura de vídeo, la primera y la segunda imágenes se proveen para el procesador externo de una forma intercalada.

La Figura 25 divulga una realización alternativa de un sensor de imagen sin los búferes 28, 30, 32 y 34. En esta realización, el ADC 24 está conectado directamente con el procesador externo 72. El procesador 72 puede ejecutar etapas del cálculo como combinación (substracción) de los datos de ruido con los datos normalizados de salida de luz, o los datos de corta exposición con los datos de larga exposición.

La Figura 26 divulga un procesador externo que contiene un controlador de DMA 510, un búfer de memoria 512 y una unidad de procesamiento de imágenes 514. El sensor de imagen 10 está conectado con el controlador de DMA 510. El controlador de DMA 510 del procesador transfiere los datos de primera y segunda imágenes para la memoria 74 de la una forma intercalada o concatenada. El controlador de DMA 510 también puede transferir datos de imagen para el búfer de memoria 512 para procesamiento por la unidad de procesamiento de imágenes 514.

Sin embargo técnicas intercaladas que implican líneas enteras de una imagen se demuestra y se describe, se debe entender que los datos se pueden intercalar de una forma que implique menos de una línea completa, o más que una línea. A título del ejemplo, una mitad de la primera línea de imagen A se puede transferir, se siga por una mitad de la primera línea de imagen B, seguida por la segunda mitad de la primera línea de imagen A, y así sucesivamente. De la misma forma, las dos primeras líneas de imagen A se pueden transferir, se siga por las primeras dos líneas de imagen B, seguidas por la tercera y la cuarta líneas de imagen A, y así sucesivamente.

REIVINDICACIONES

1. Sistema de sensor de imagen, que comprende:

5 una matriz de píxeles (12) en un sensor de imagen CMOS, la matriz de píxeles (12) estando dispuesta para generar una primera imagen y una segunda imagen, en la cual la matriz de píxeles (12) comienza a generar datos de píxeles de la segunda imagen después de un retraso después de que datos de píxeles de la primera imagen comienzan a ser generados, y antes de que termine la generación de datos de píxel de la primera imagen;

una memoria (74);

un bus (68; 504) que linda con la memoria (74) y acopla la memoria (74) para recibir datos de píxeles de la matriz de píxeles (12) vía el bus (68, 504); y,

10 un controlador de memoria (44, 510) dispuesto:

para almacenar datos de píxeles de la primera imagen en la memoria (74) y recuperar los datos de píxeles de la primera imagen a partir de la memoria (74) de una manera de entrelazado de la cual los datos de píxeles que se almacenan y los datos de píxeles que se recuperan, tanto para la primera imagen, se transmiten alternativamente a través del bus (68, 504); o

15 para almacenar datos de píxeles de las primera y segunda imágenes en la memoria (74) de una manera de entrelazado de la cual los datos de píxeles que se almacenan para la primera imagen y los datos de píxeles que se almacenan para la segunda imagen se transmiten alternativamente a través del bus (68 ; 504).

20 2. Sistema de sensor de imagen según la reivindicación 1, caracterizado por el hecho de que, en caso de que el controlador de memoria (44; 510) almacena datos de píxeles de las primera y segunda imágenes en la memoria (74) de una manera de entrelazado vía el bus (68), el controlador (44; 510) recupera datos de píxeles de las primera y segunda imágenes después de que datos de píxeles de las primera y segunda imágenes han sido recibidos por la memoria (74).

3. Sistema de sensor de imagen según la reivindicación 1, que comprende adicionalmente:

un bus de procesador (502); y,

25 un procesador (72), el bus (504) estando acoplado para recibir datos de píxeles generados a partir de la matriz de píxeles vía el procesador (72), el procesador (72) estando dispuesto para recibir del bus del procesador (502) de una manera de entrelazado los datos de píxeles de las primera y segunda imágenes que se emiten a partir del sensor de imagen CMOS (10).

4. Sensor de imagen CMOS, que comprende:

30 una matriz de píxeles (12) dispuesta para generar una primera imagen y una segunda imagen, la matriz de píxeles (12) estando dispuesta para comenzar a generar datos de píxeles de la segunda imagen después de un retraso después de que datos de píxeles de la primera imagen comienzan a ser generados, y antes de que termine la generación de datos de píxel de la primera imagen;

35 un controlador de bus (70) que acopla la matriz de píxeles (12) a un bus (68) que linda y se acopla adicionalmente a una memoria (74);

un controlador de memoria (44) dispuesto:

40 para almacenar datos de píxeles de la primera imagen en la memoria (74) y recuperar datos de píxeles de la primera imagen a partir de la memoria (74) de una manera de entrelazado de la cual los datos de píxeles que se almacenan y los datos de píxeles que se recuperan, tanto para la primera imagen, se transmiten alternativamente a través del bus (68); o

para almacenar datos de píxeles de las primera y segunda imágenes en la memoria (74) de una manera de entrelazado de la cual los datos de píxeles que se almacenan para la primera imagen y los datos de píxeles que se almacenan para la segunda imagen se transmiten alternativamente a través del bus (68).

45 5. El sensor de imagen CMOS según la reivindicación 4, caracterizado por el hecho de que el controlador de memoria (44) recupera datos de píxeles de las primera y segunda imágenes después de que datos de píxeles de las primera y segunda imágenes han sido almacenados en la memoria (74).

6. Un procesador (72) para el uso en un sistema de sensor de imagen, el procesador (72) estando acoplado para recibir una primera imagen y una segunda imagen generadas a partir de una matriz de píxeles (12) de un sensor de imagen CMOS (10), el procesador (72) comprendiendo:

un bus de procesador (502), el procesador (72) recibiendo datos de píxeles de la primera imagen y datos de píxeles de la segunda imagen vía el bus de procesador (502) de una manera de entrelazado;

un bus de memoria (504) acoplado para transferir datos de píxeles a / de una memoria externa (74);

un controlador DMA (510) dispuesto:

5 para almacenar datos de píxeles de la primera imagen en la memoria externa (74) y recuperar datos de píxeles de la primera imagen a partir de la memoria externa (74) de una manera de entrelazado de la cual los datos de píxeles que se almacenan y los datos de píxeles que se recuperan, tanto para la primera imagen, se transmiten alternativamente a través del bus de memoria (504); o

10 para almacenar datos de píxeles de las primera y segunda imágenes en la memoria externa (74) de una manera de entrelazado de la cual los datos de píxeles que se almacenan para la primera imagen y los datos de píxeles que se almacenan para la segunda imagen se transmiten alternativamente a través del bus de memoria (504).

15 7. Método para transferir una primera imagen, o tanto una primera imagen y una segunda imagen, a partir de una matriz de píxeles (12) de un sensor de imagen CMOS (10) a una memoria externa (74) en el cual los datos de píxeles de la primera imagen comienzan a ser generados antes de datos de píxeles de la segunda imagen y datos de píxeles de la segunda imagen comienzan a ser generados antes de datos de píxeles de la primera imagen de ser generados, la memoria externa (74) estando acoplada al sensor de imagen CMOS por un bus externo (68 ; 504) que linda con la memoria externa (74), comprendiendo el método:

20 almacenar datos de píxeles de la primera imagen en la memoria externa (74) y recuperar datos de píxeles de la primera imagen a partir de la memoria externa (74) de una manera de entrelazado de la cual los datos de píxeles que se almacenan y los datos de píxeles que se recuperan, tanto para la primera imagen, se transmiten alternativamente a través del bus externo (68, 504); o

almacenar datos de píxeles de la primera y segunda imágenes en la memoria externa (74) de una manera de entrelazado en la cual los datos de píxeles que se almacenan para la primera imagen y los datos de píxeles que se almacenan para la segunda imagen se transmiten alternativamente a través del bus externo (68; 504).

25 8. Método según la reivindicación 7, que comprende adicionalmente:

recibir en un procesador (72) datos de píxeles de las primera y segunda imágenes a partir del sensor de imagen CMOS (10) a través de un bus de procesador (502) de una manera de entrelazado, el procesador estando conectado adicionalmente a la memoria externa (74) vía la bus externa (69, 504).

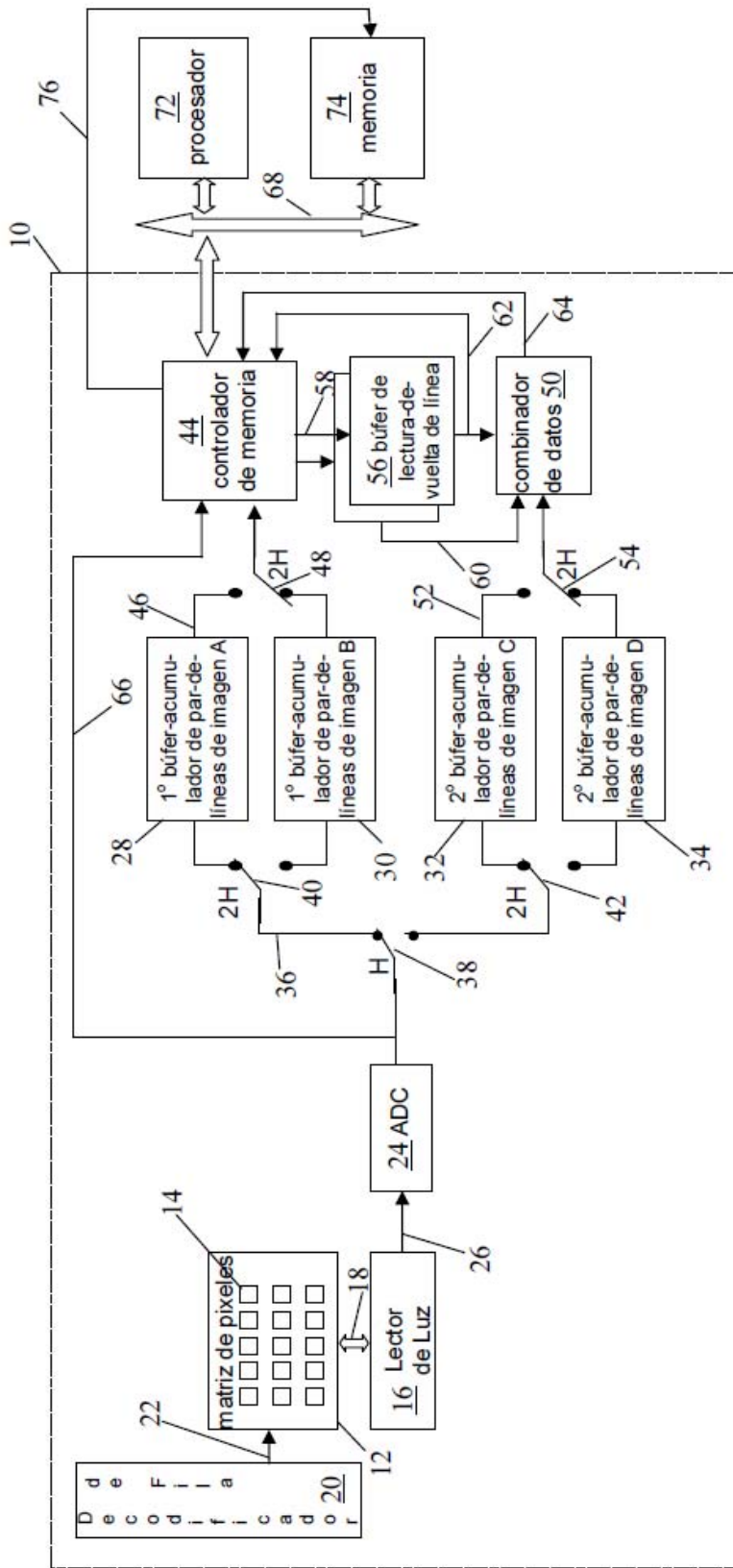


Fig. 1

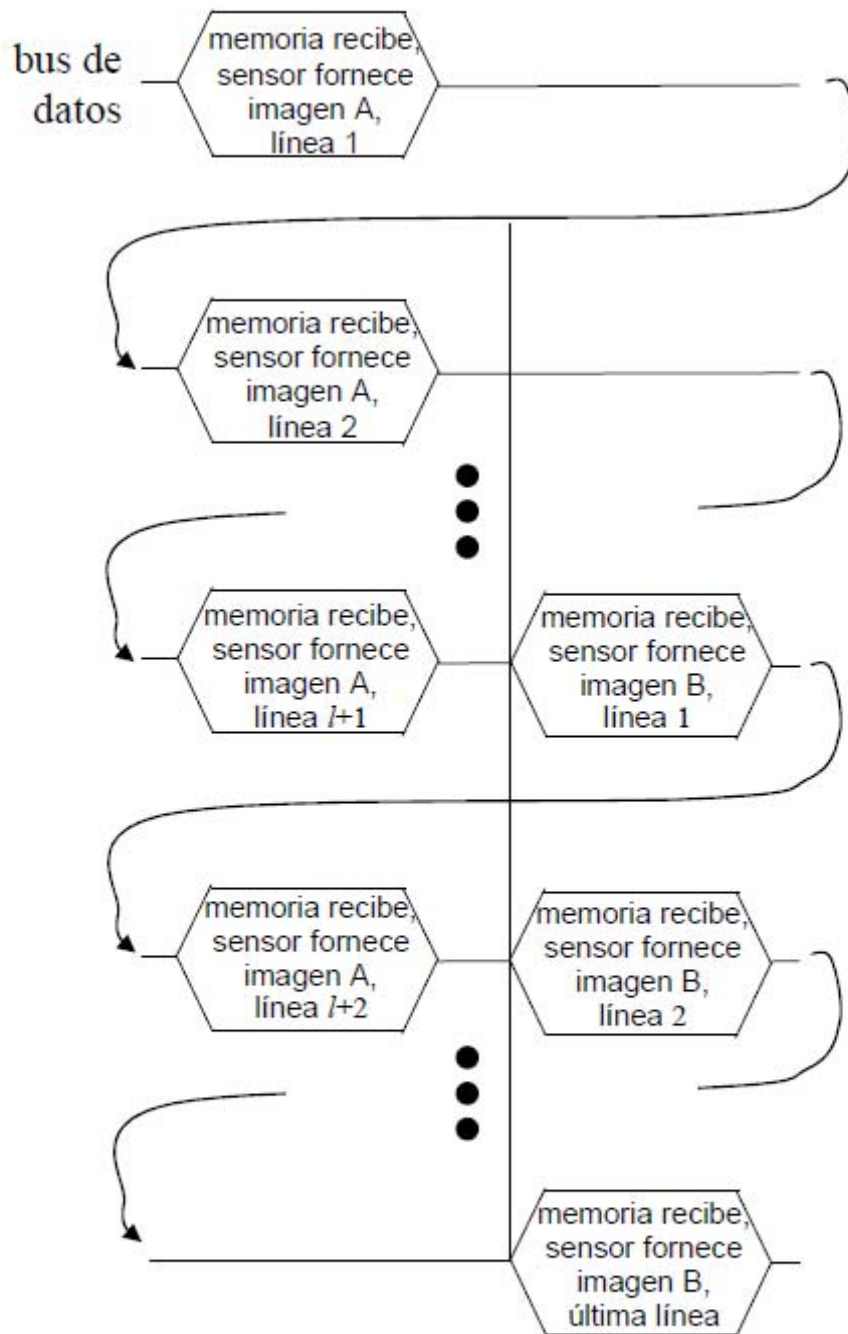


Fig. 2

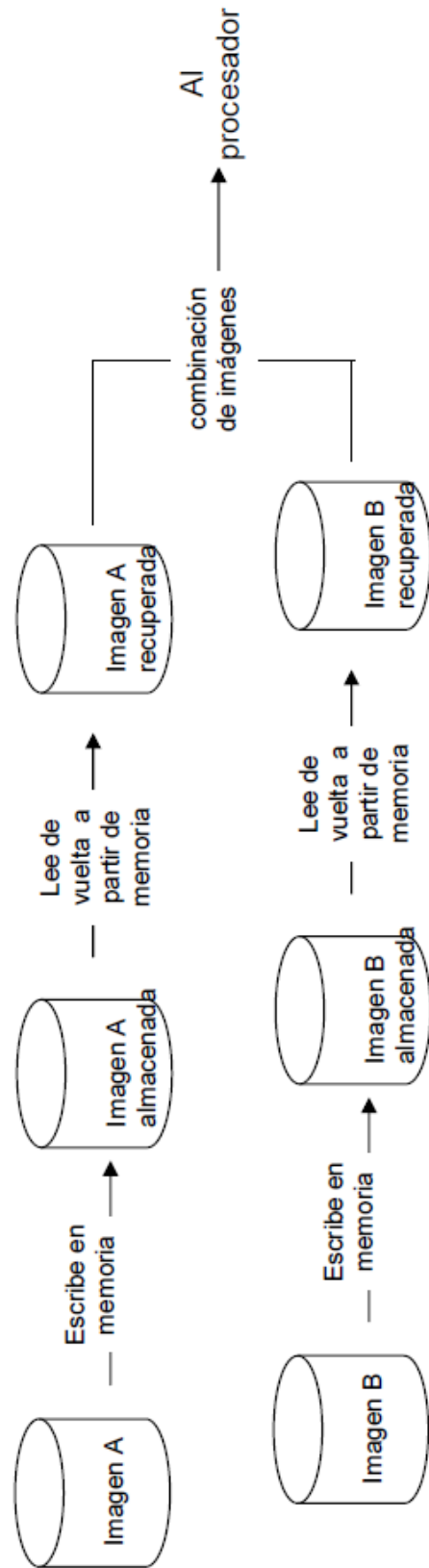


Fig. 3

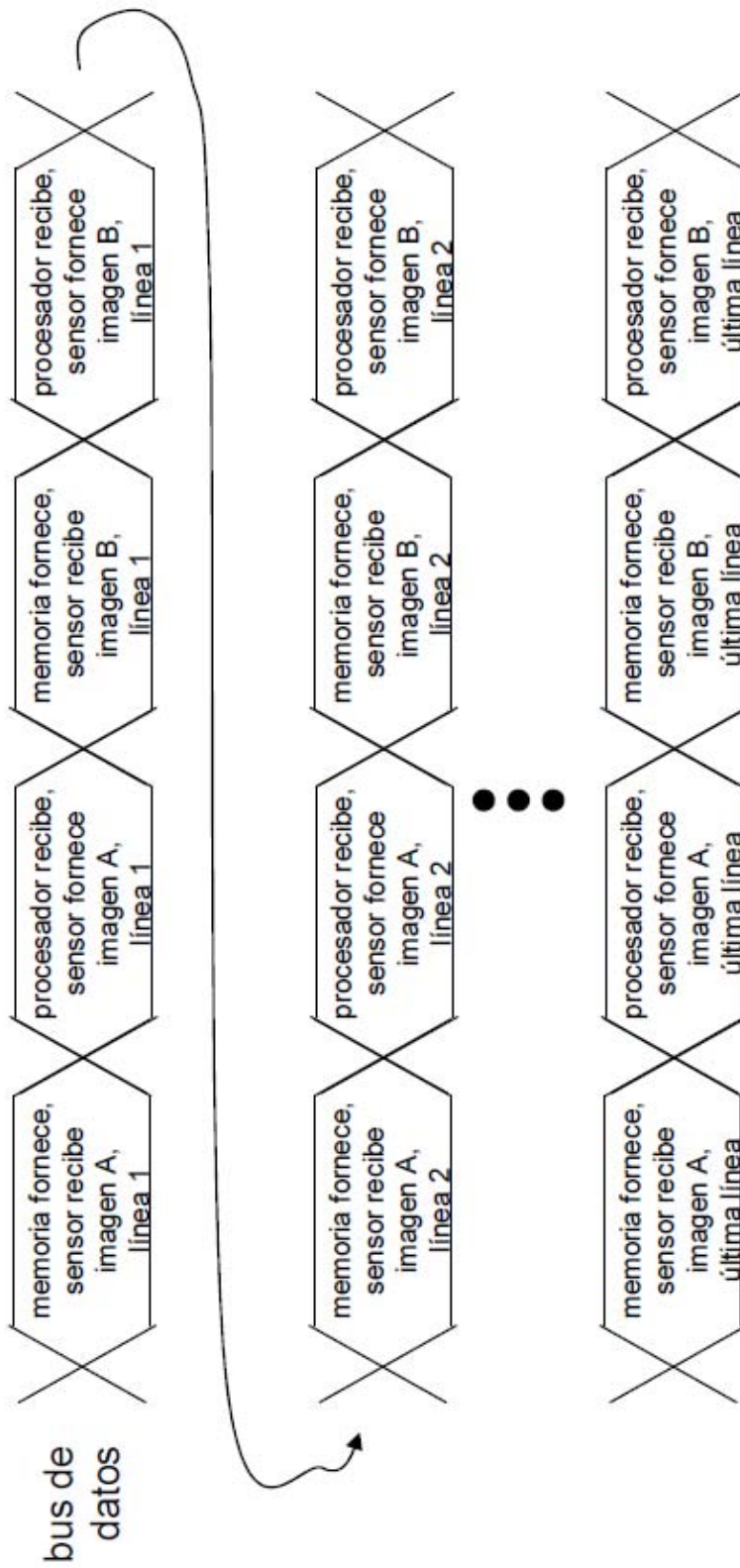


Fig. 4

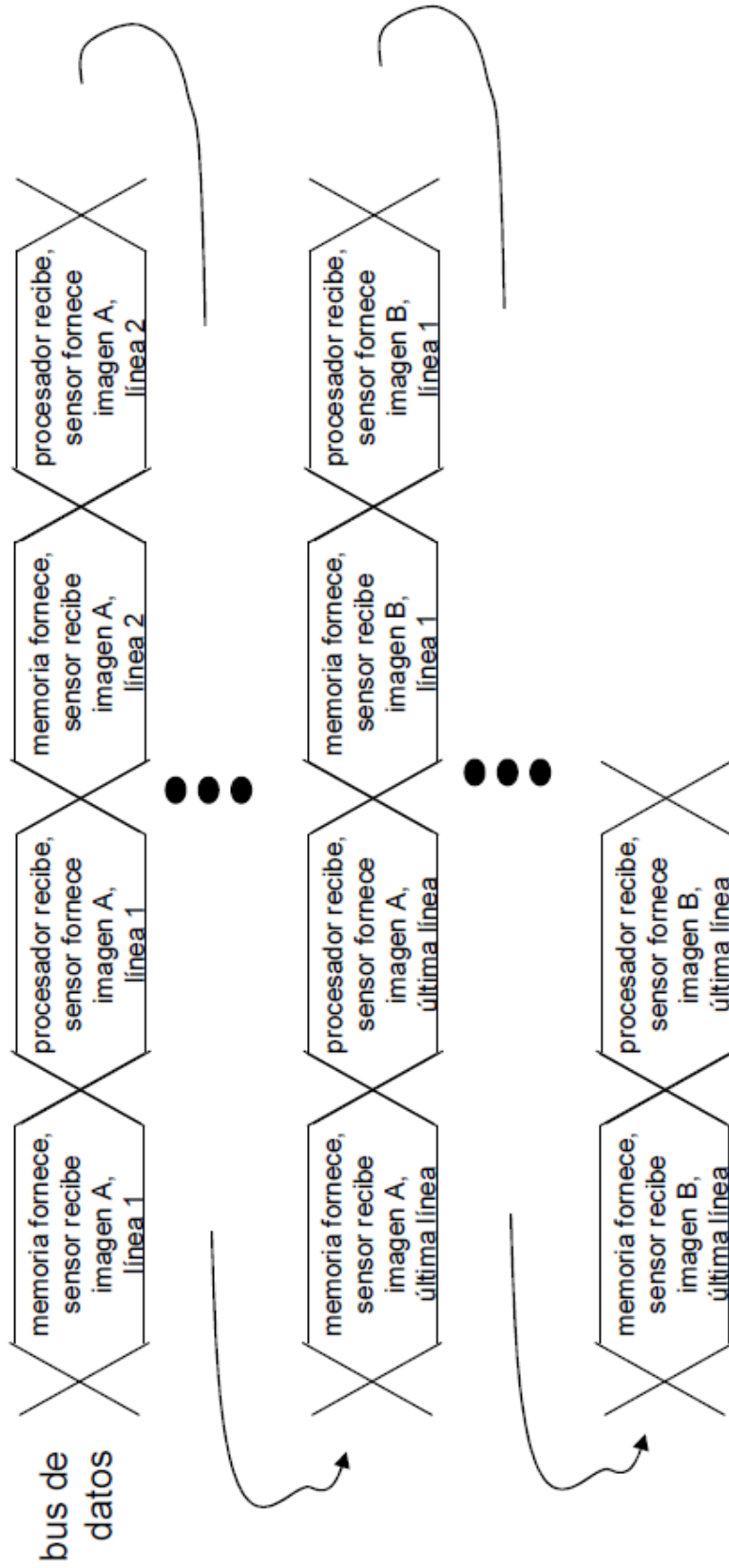


Fig. 5

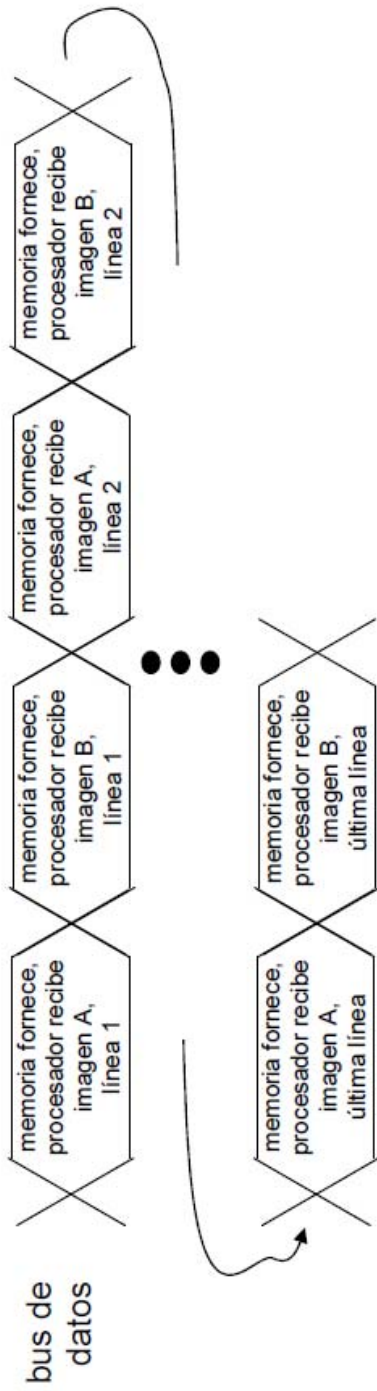


Fig. 6

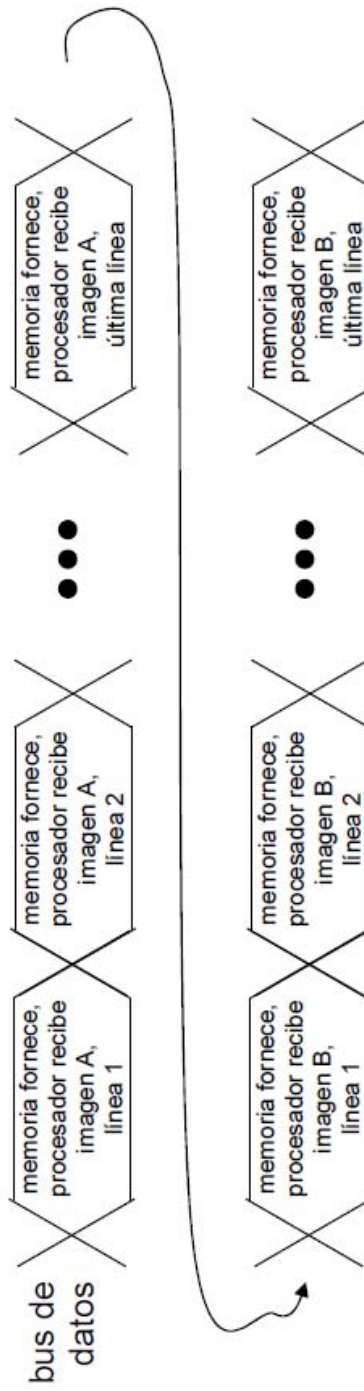


Fig. 7

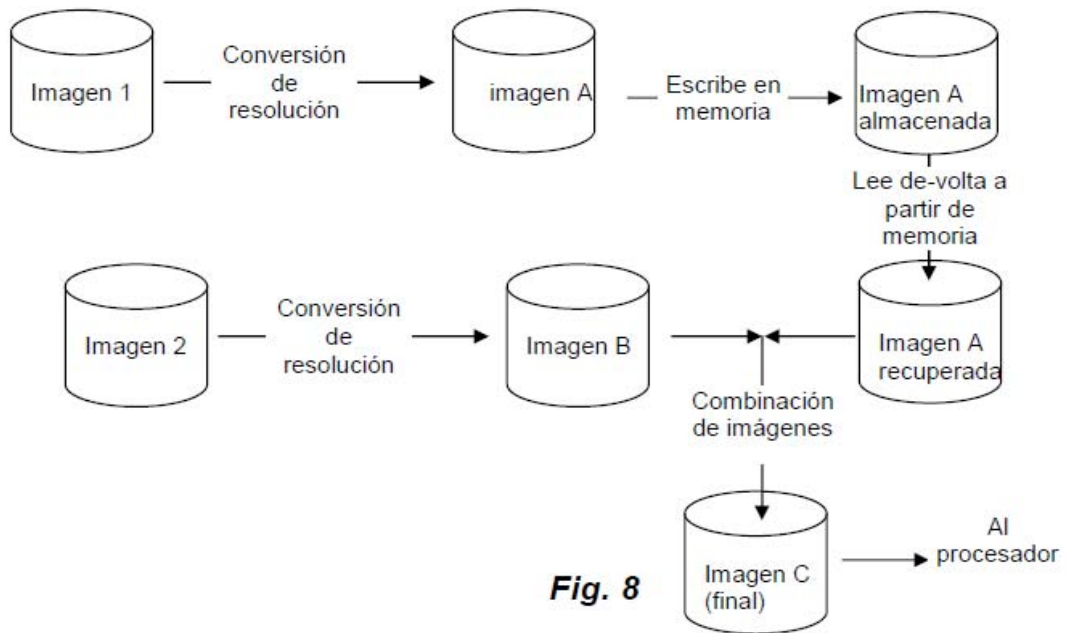


Fig. 8

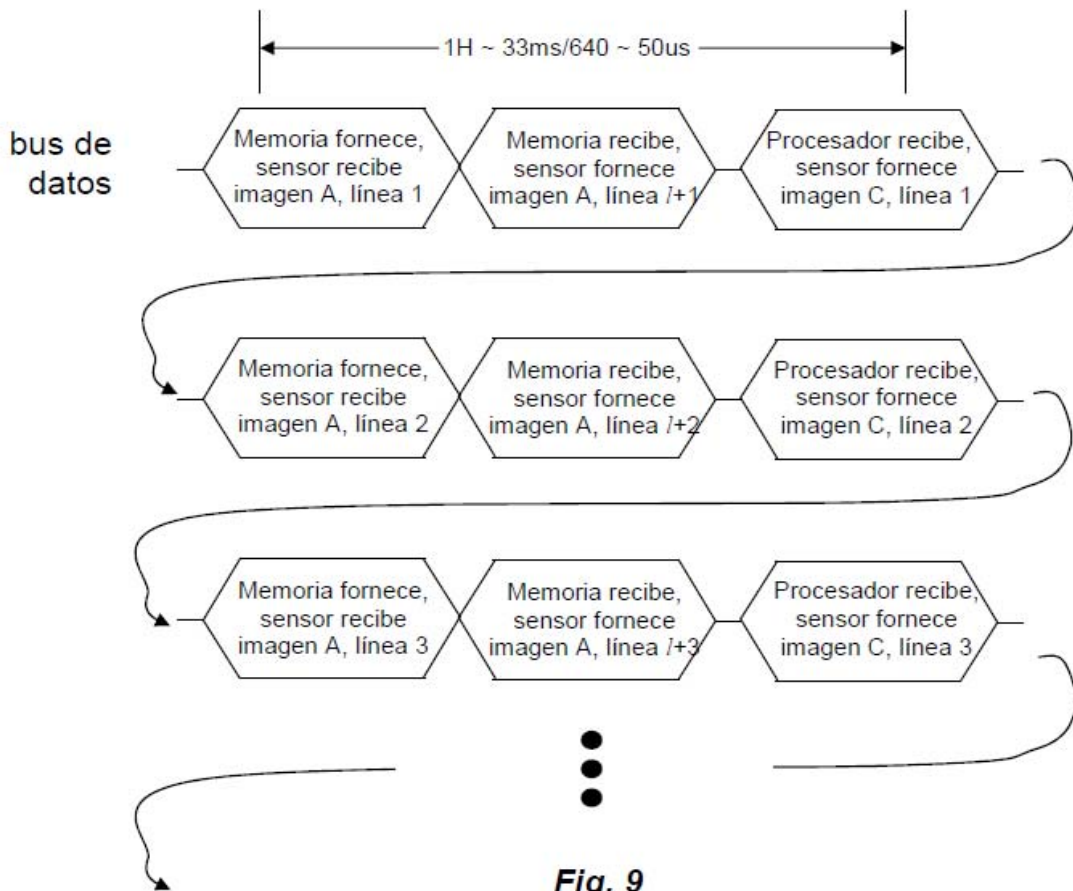


Fig. 9

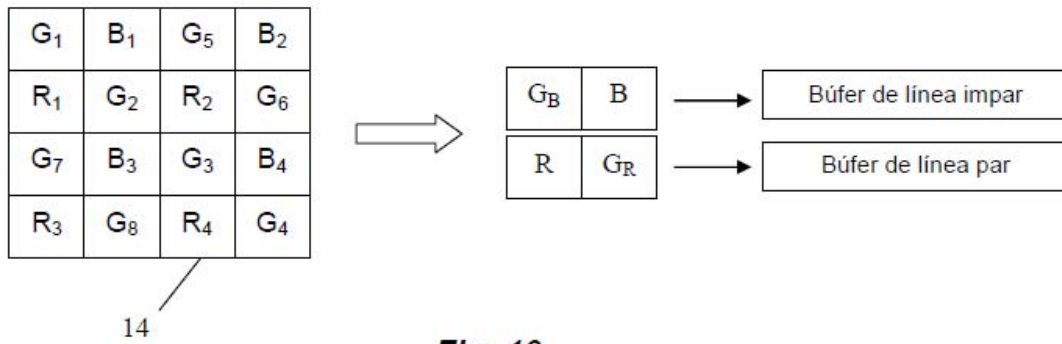


Fig. 10

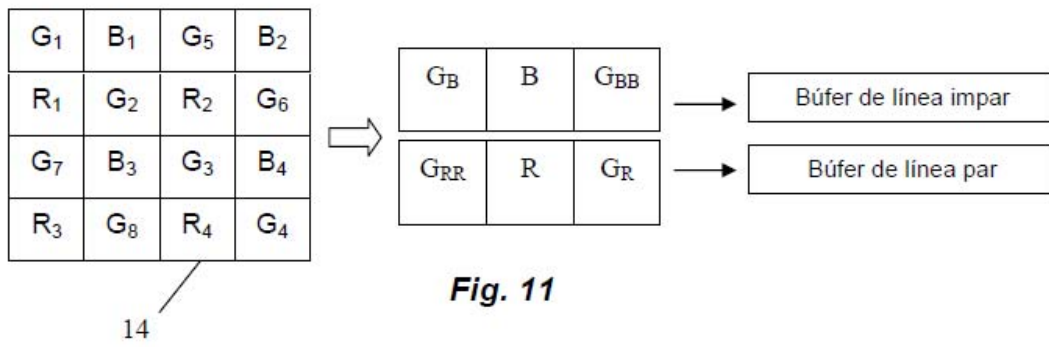


Fig. 11

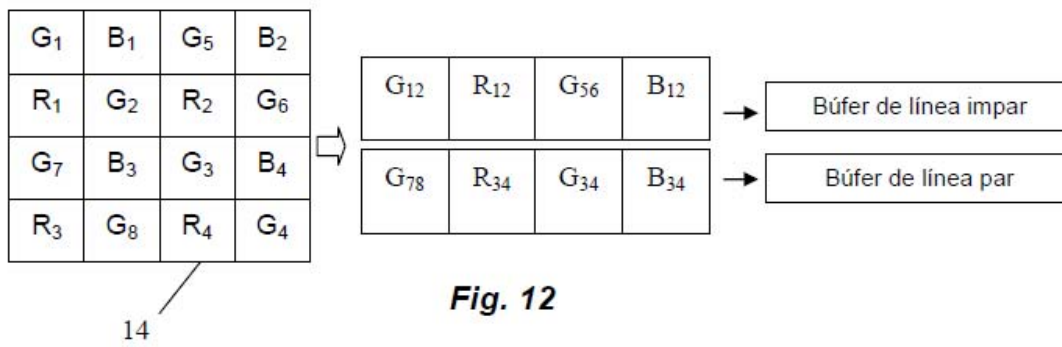


Fig. 12

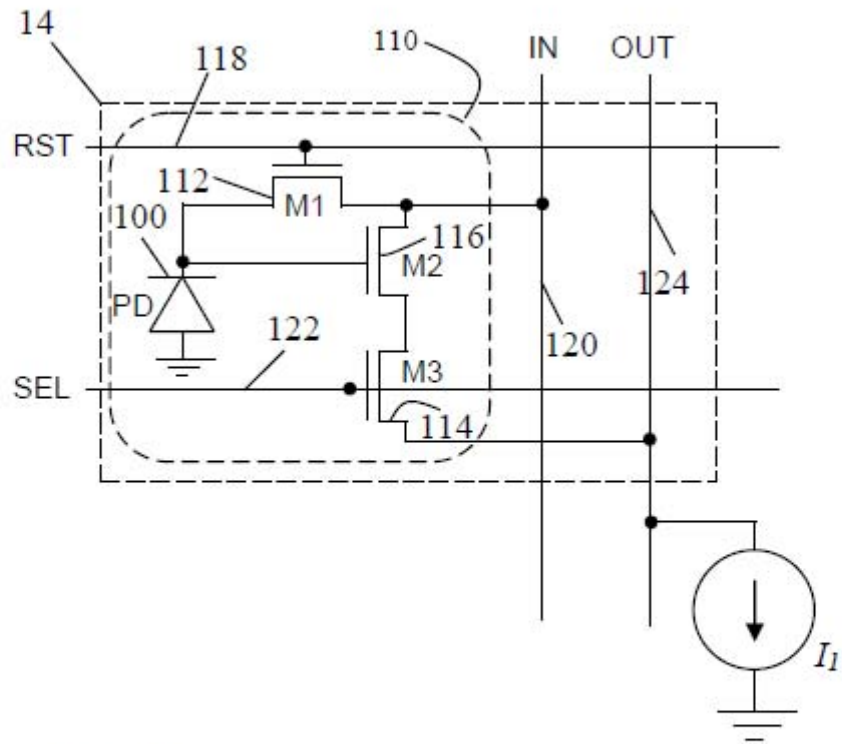


Fig. 13

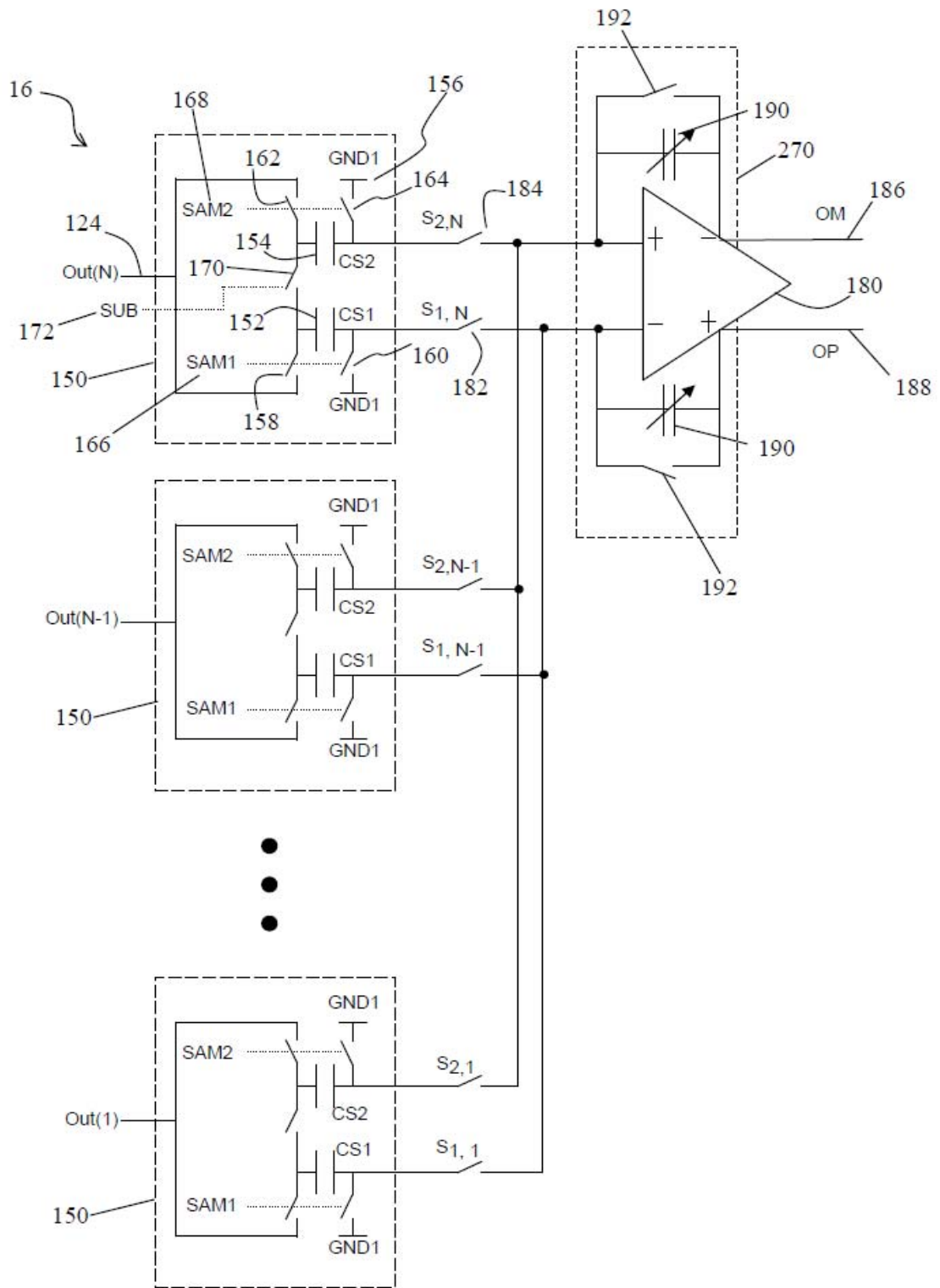


FIG. 14

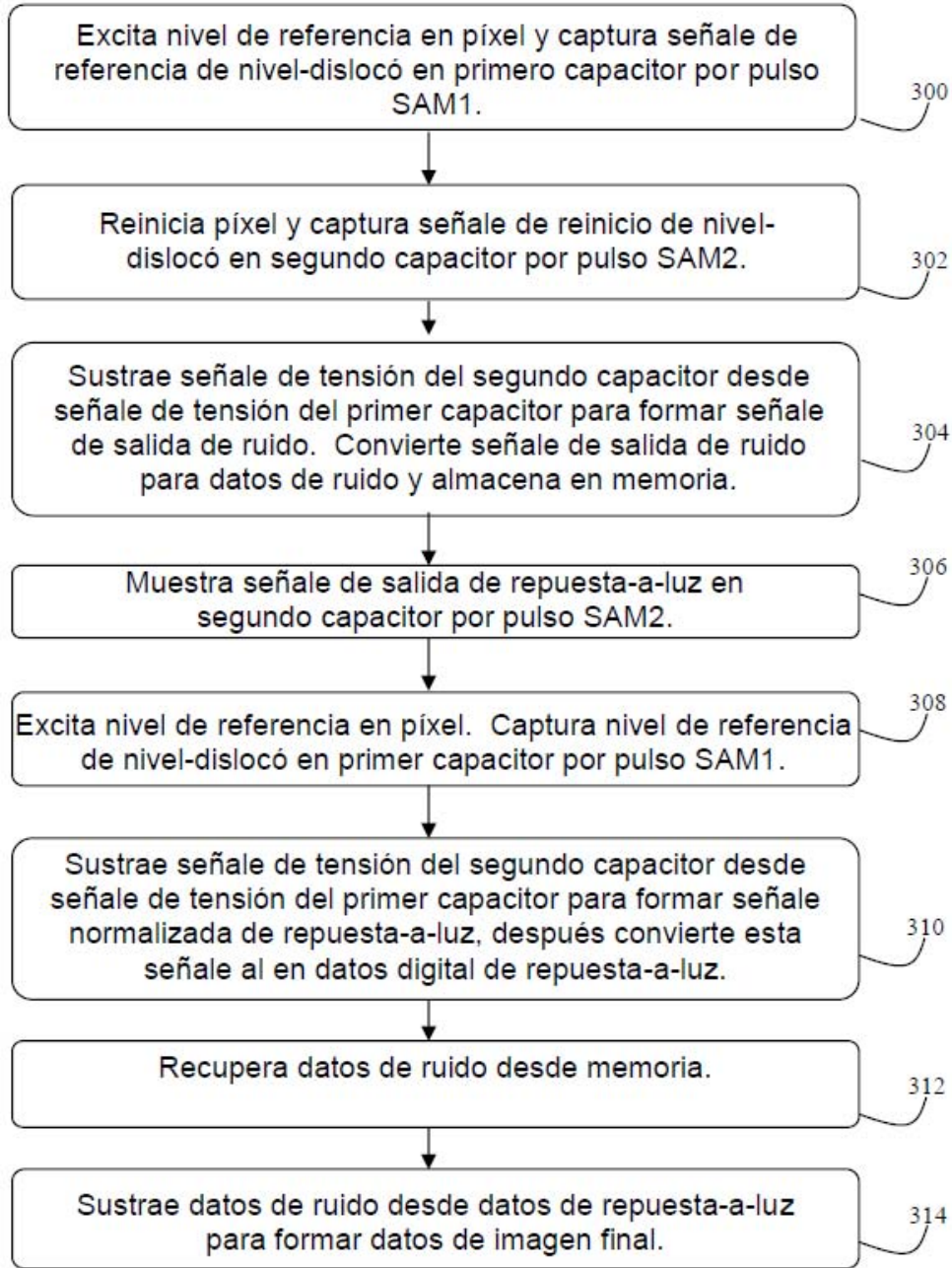


Fig. 15

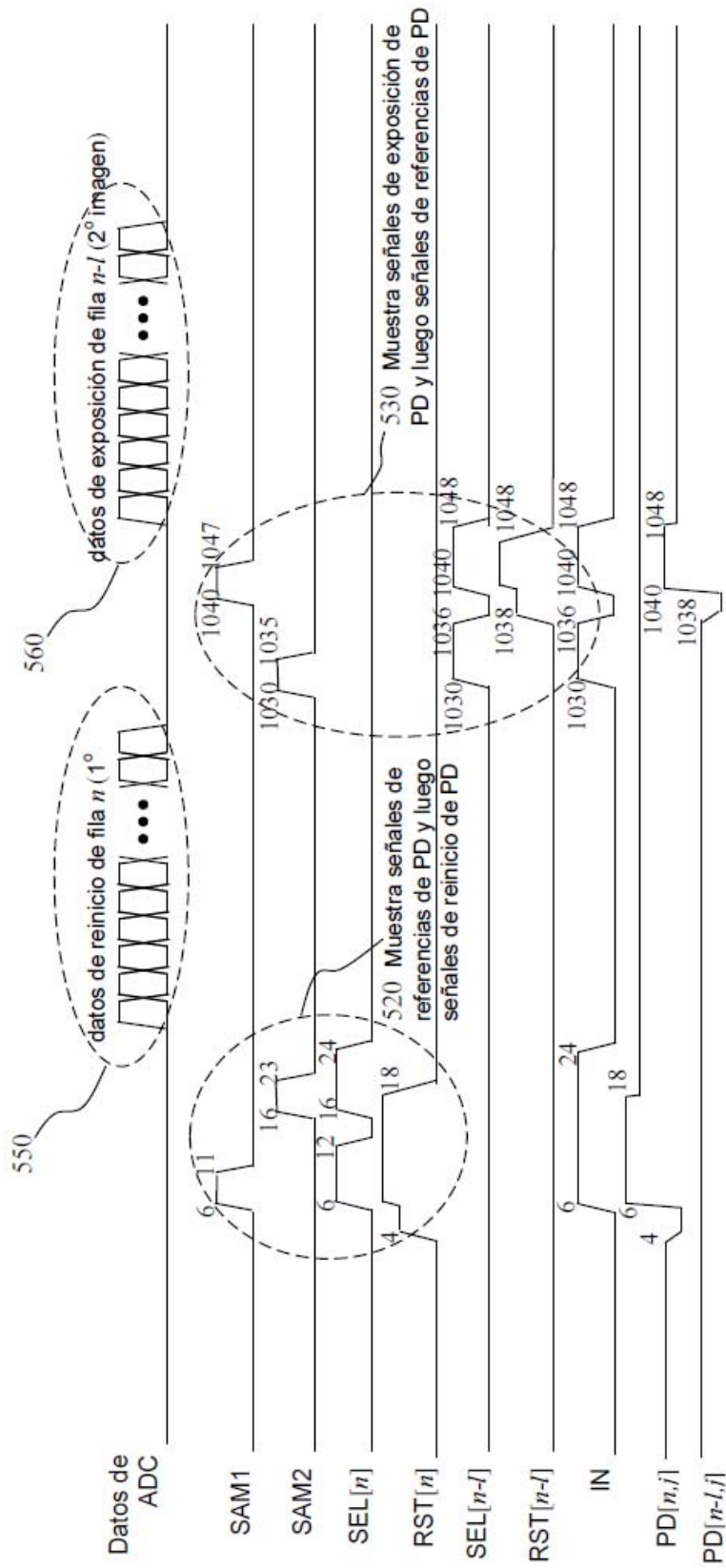


Fig. 16

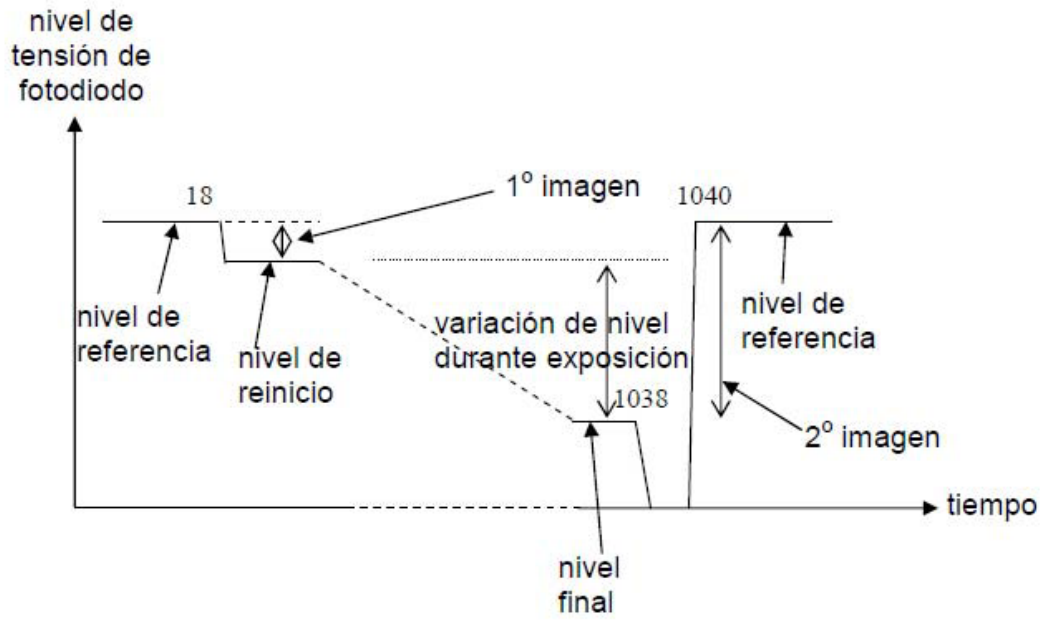


Fig. 17

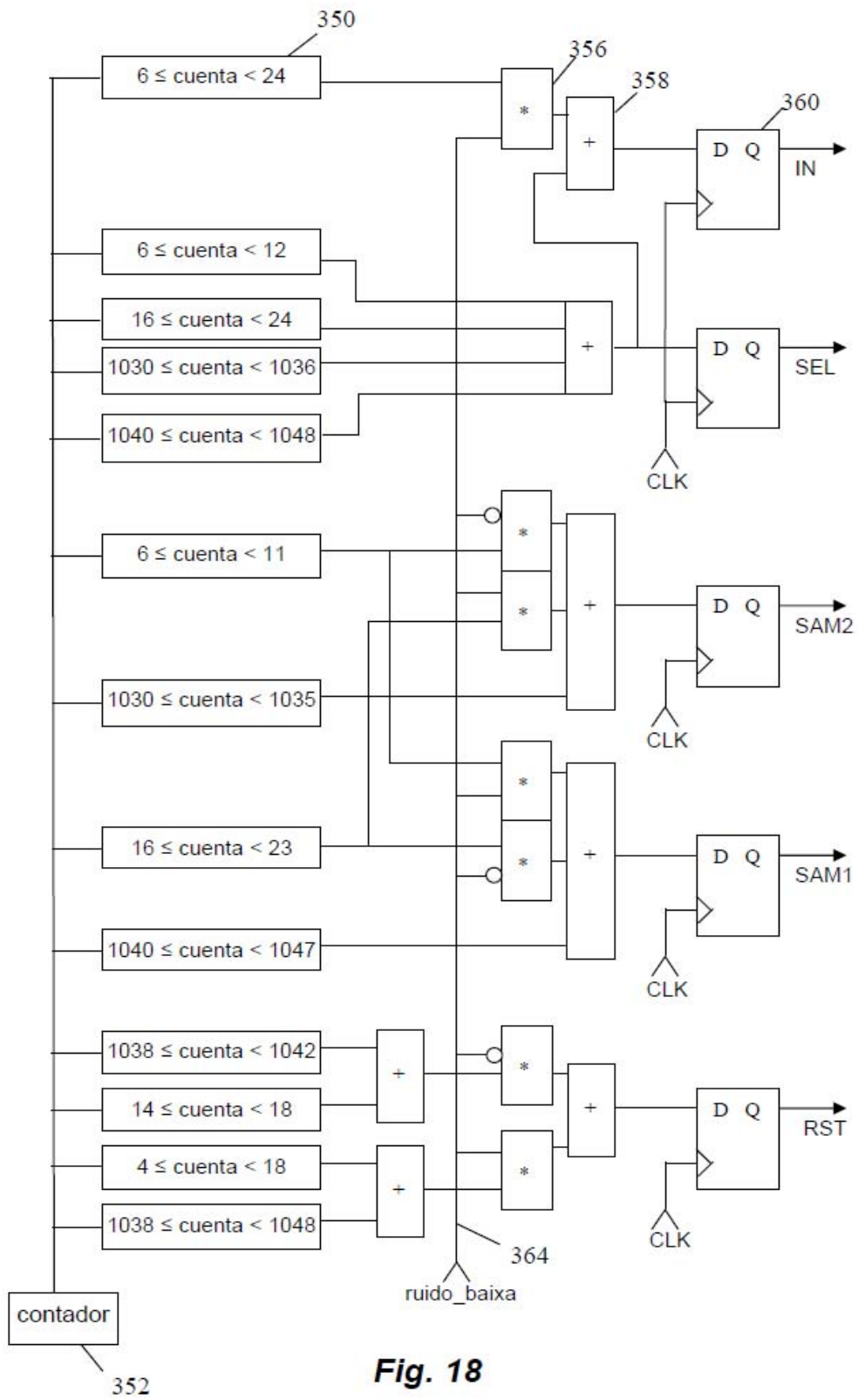


Fig. 18

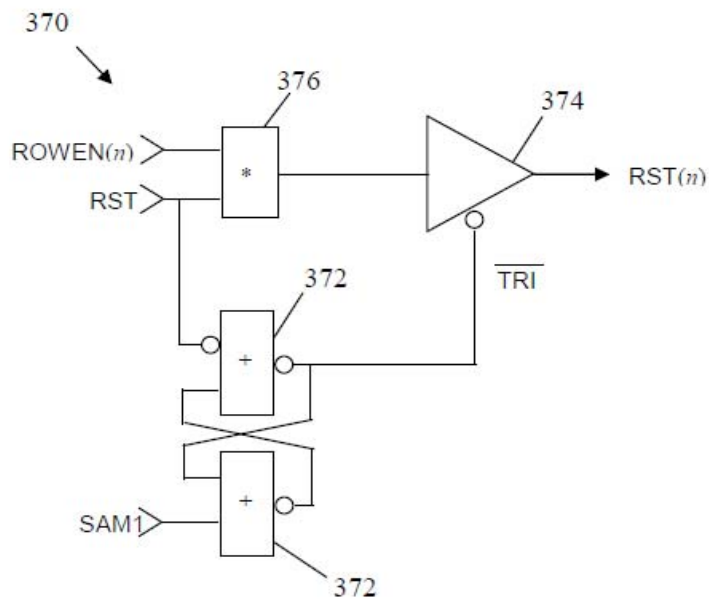


Fig. 19

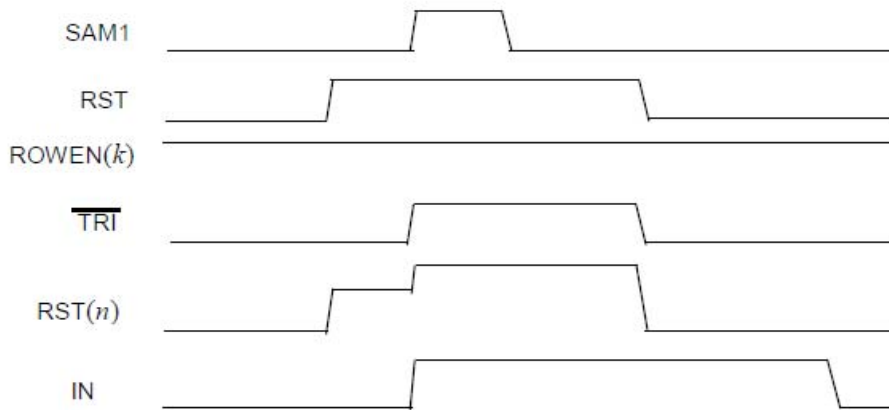


Fig. 20

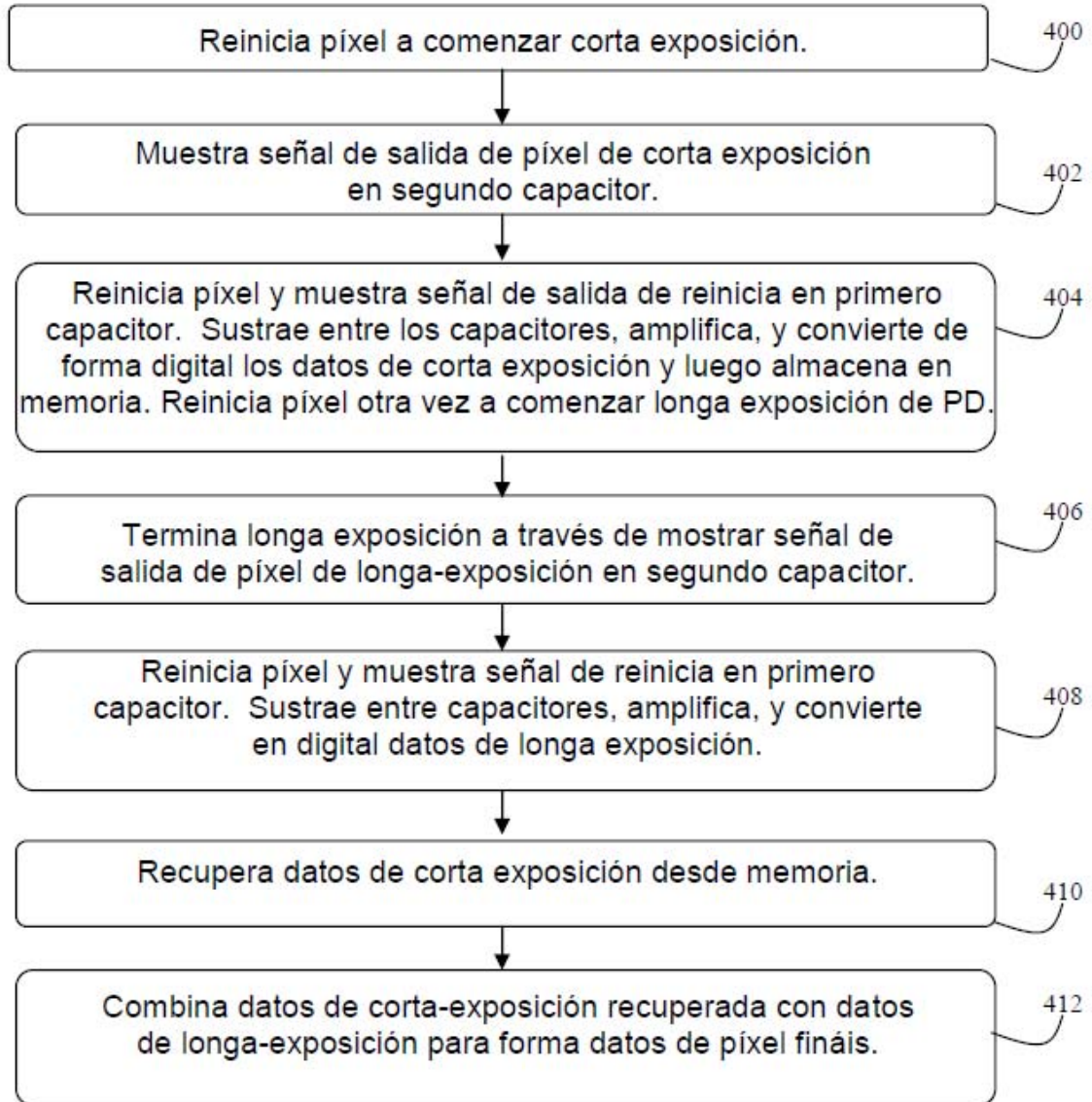


Fig. 21

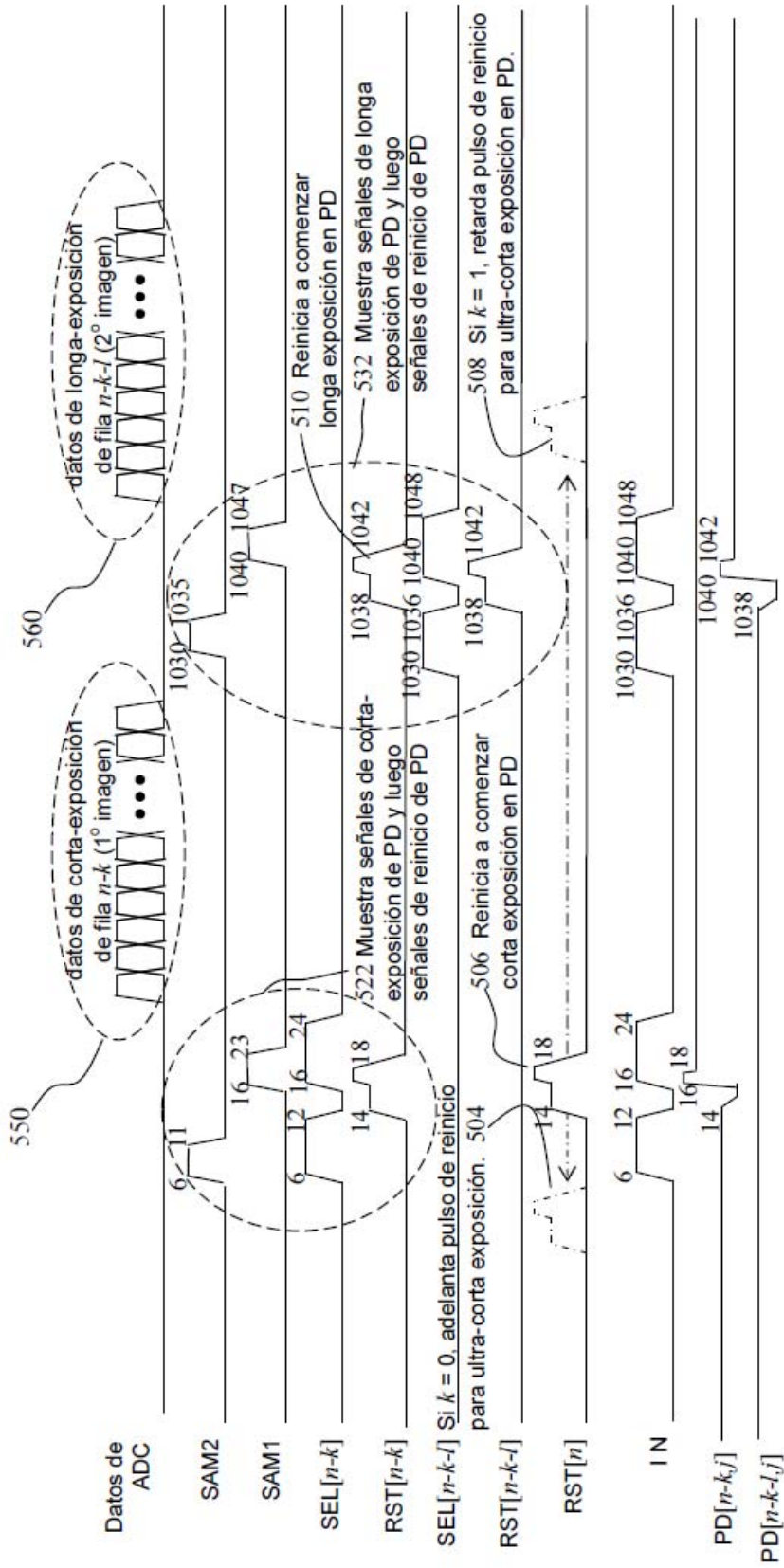


Fig. 22

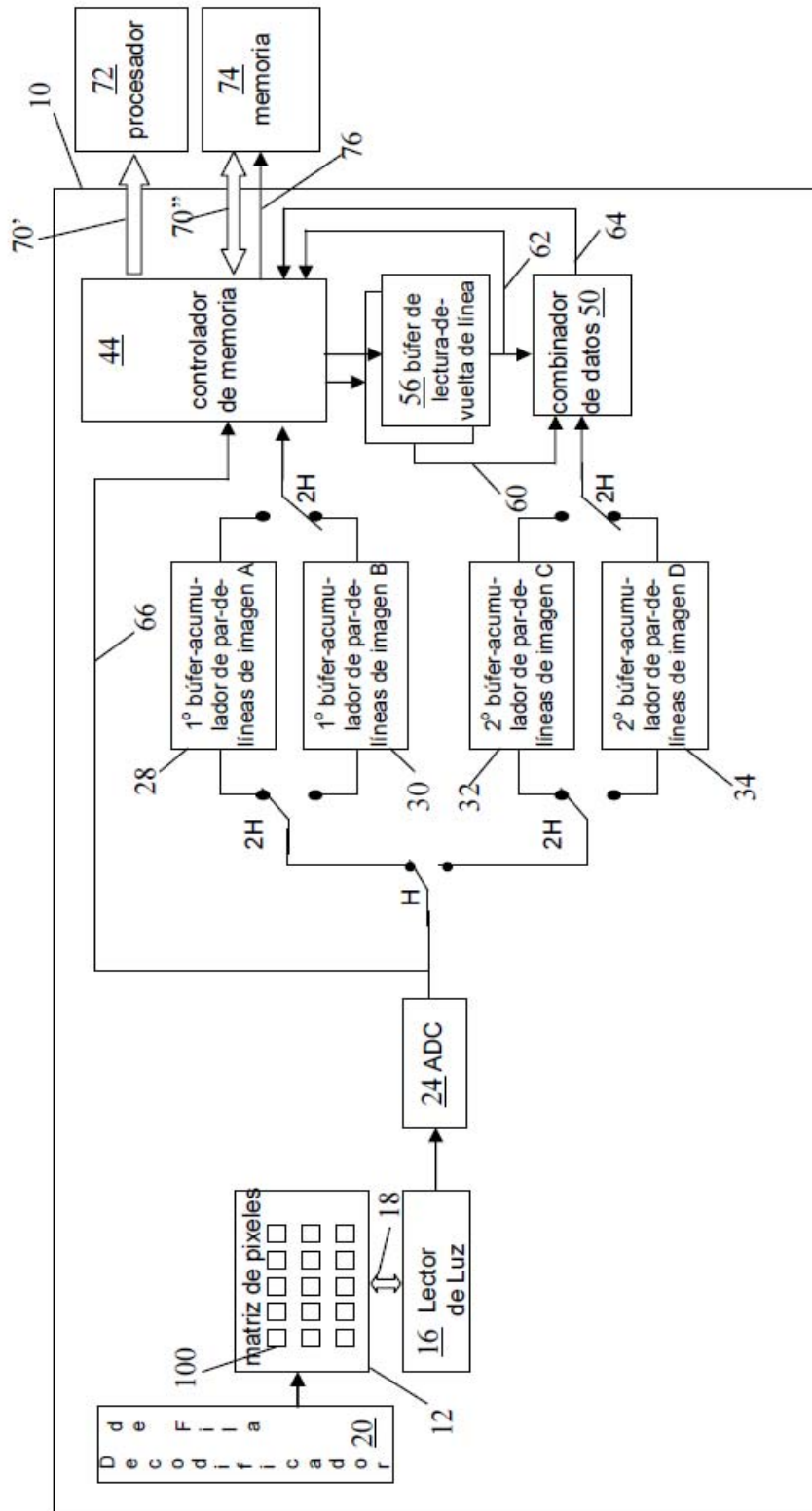


Fig. 23a

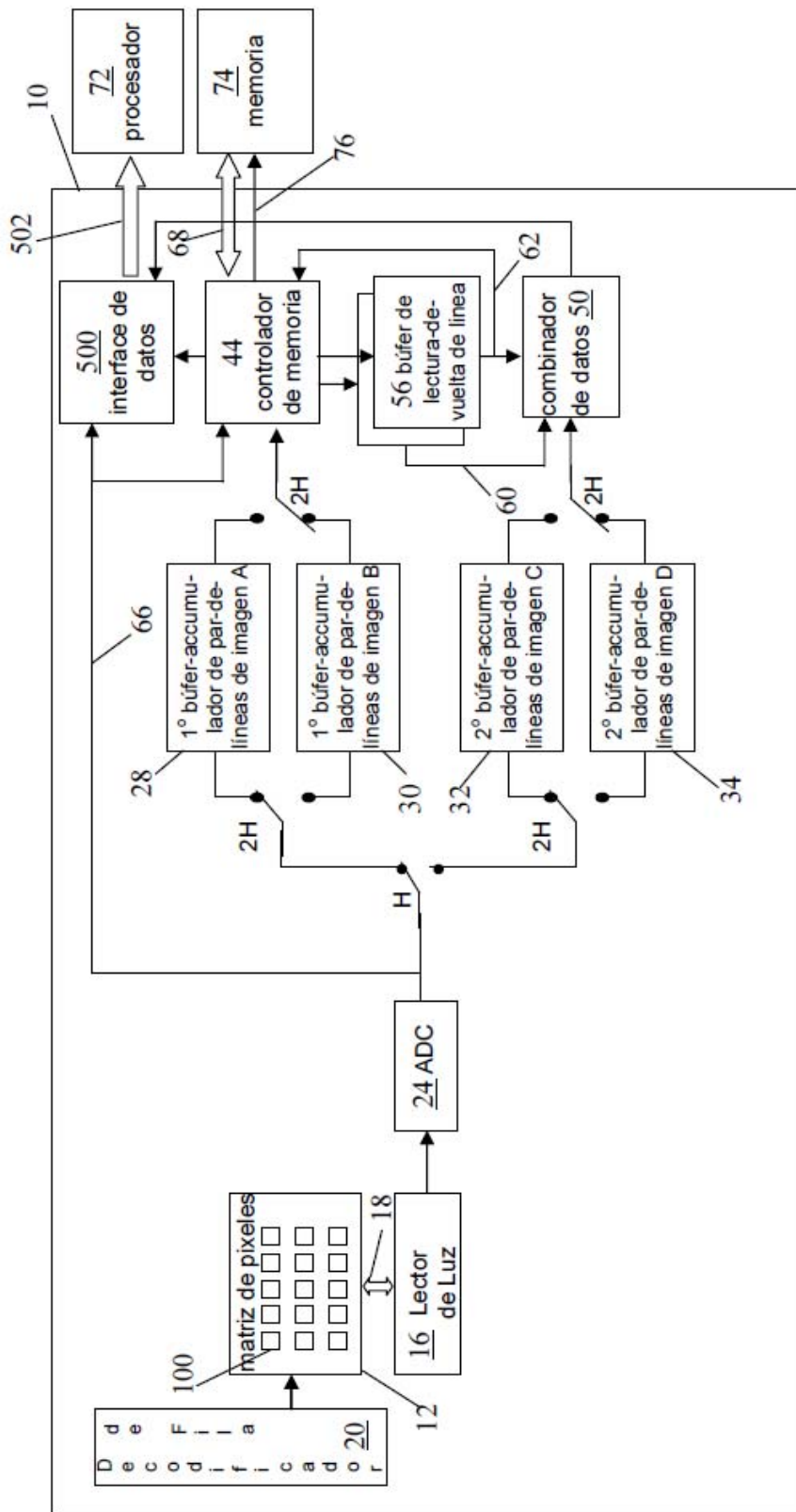


Fig. 23b

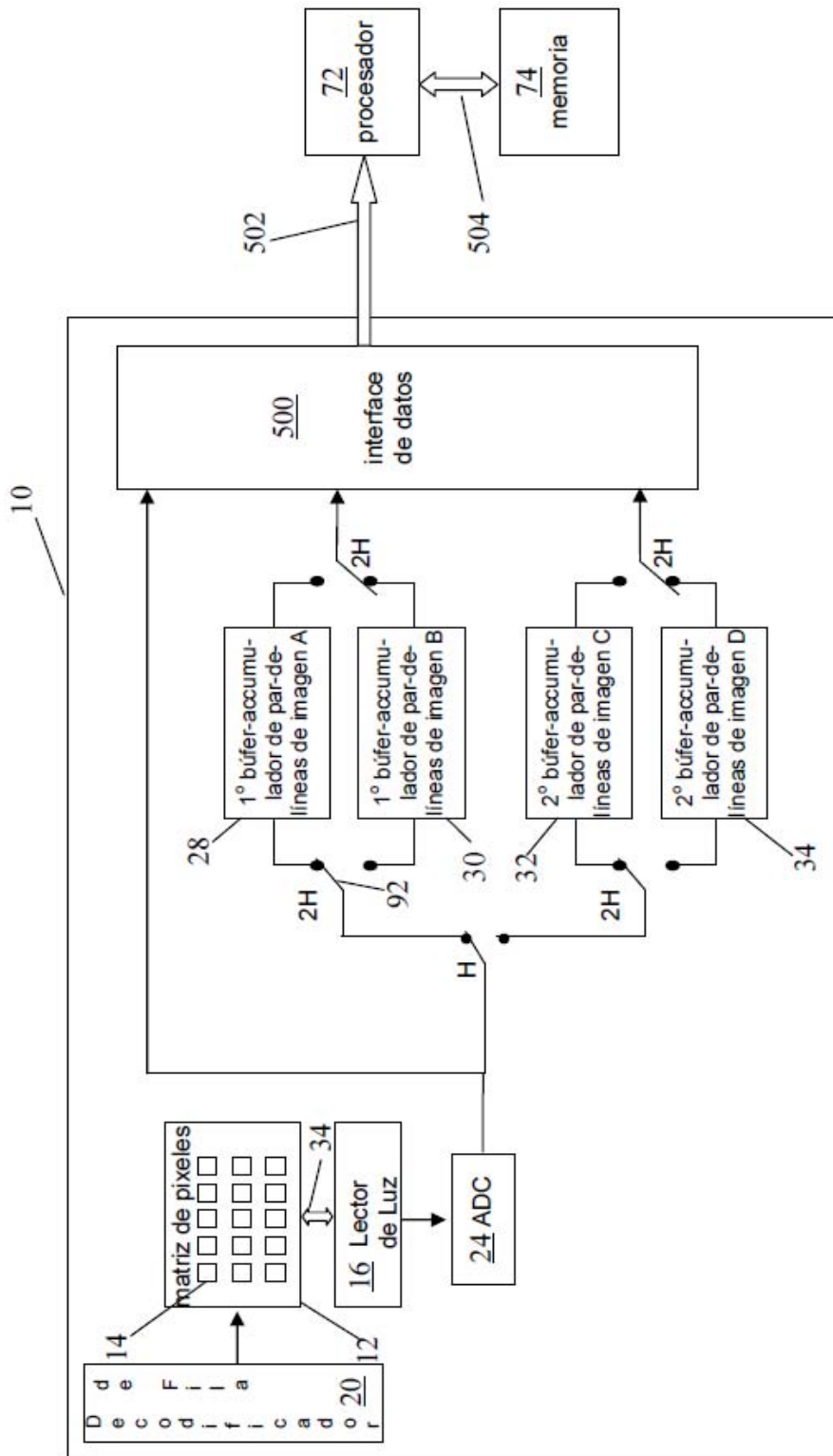


Fig. 24

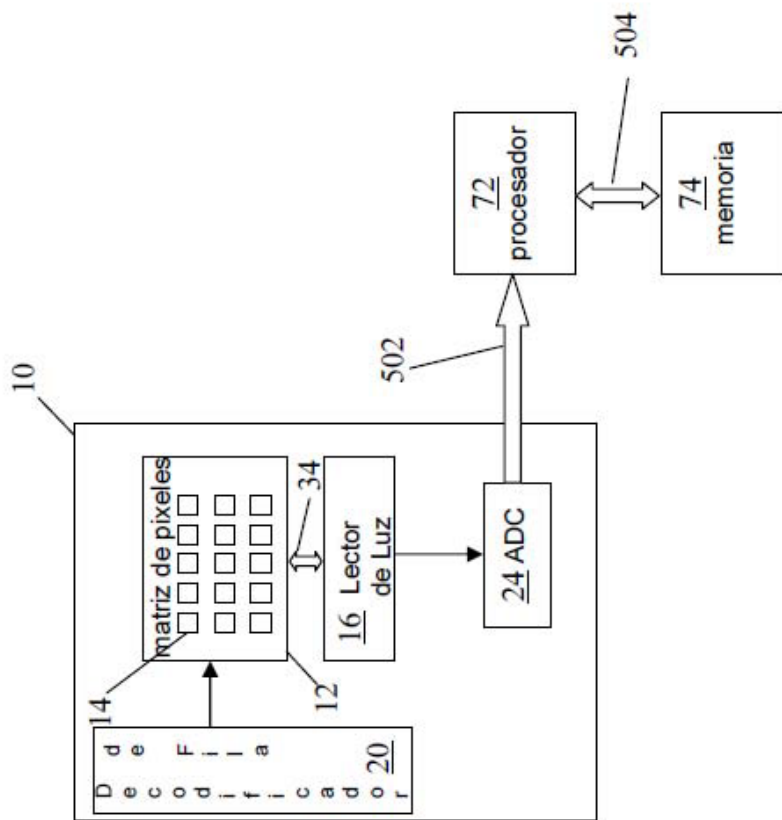


Fig. 25

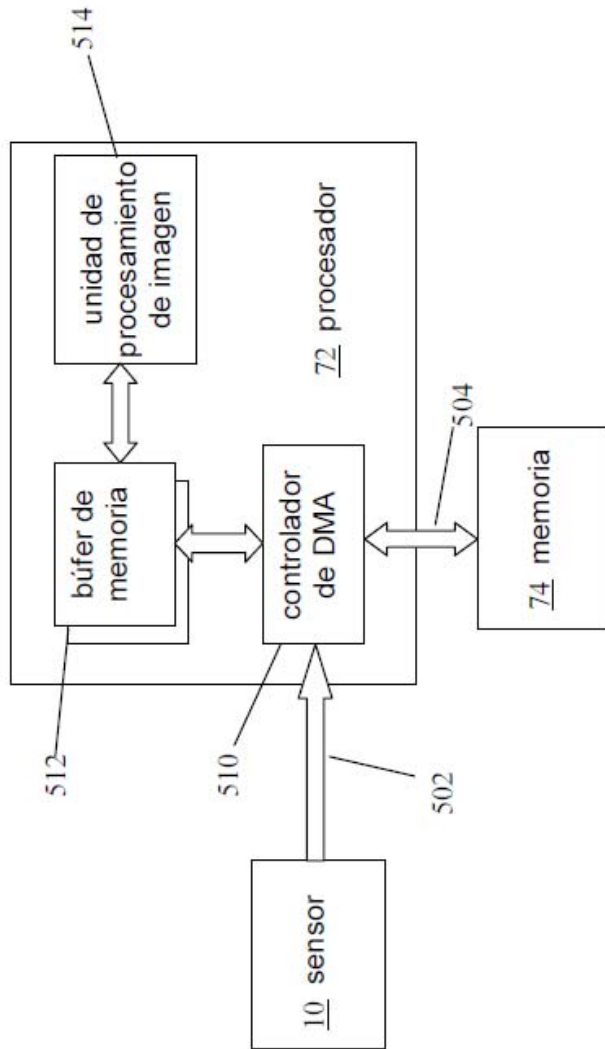


Fig. 26