

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 427 827**

51 Int. Cl.:

G06F 13/40 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **17.04.2007 E 07728195 (4)**

97 Fecha y número de publicación de la concesión europea: **19.06.2013 EP 2030118**

54 Título: **Puerto de procesadores múltiples**

30 Prioridad:

24.05.2006 DE 102006024848
24.11.2006 DE 102006055512

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
04.11.2013

73 Titular/es:

ROBERT BOSCH GMBH (100.0%)
POSTFACH 30 02 20
70442 STUTTGART, DE

72 Inventor/es:

IHLE, MARKUS;
TAUBE, JAN;
LORENZ, TOBIAS y
BLEECK, STEFAN

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 427 827 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Puerto de procesadores múltiples

La invención se refiere a un puerto de procesadores múltiples para varios buses en serie, que transmiten datos en paquetes.

5 La interconexión de aparatos de control, instalaciones de sensores e instalaciones de actuadores con la ayuda de una red o bien de un sistema de comunicación, que está constituido por una conexión de comunicación, en particular un bus, y módulos de comunicación correspondientes, se ha incrementado drásticamente en los últimos años en la construcción de automóviles modernos o también en la construcción de máquinas, especialmente en el sector de máquinas herramientas o también en la automatización. En este caso se pueden conseguir efectos de sinergia a través de la distribución de funciones sobre varios usuarios, en particularmente aparatos de control. A este respecto se habla de sistemas distribuidos. Tales sistemas distribuidos o redes están constituidos, por lo tanto, por los usuarios y por el sistema de bus que conecta estos usuarios o por varios sistemas de bus de conexión. La comunicación entre diferentes estaciones o bien usuarios tiene lugar cada vez más a través de un sistema de comunicación, un sistema de bus o una red de este tipo, a través de la cual se transmiten los datos a transmitir en mensajes o envíos. Este tráfico de la comunicación sobre el sistema de bus, los mecanismos de acceso y de recepción así como el tratamiento de errores son regulados a través de un protocolo correspondiente, en el que el nombre del protocolo respectivo se utiliza también aquí como sinónimo de la red o bien del sistema de bus.

Por ejemplo, en el sector del automóvil se ha establecido como protocolo el Bus CAN (Controller Area Network). Éste es un protocolo controlado por eventos, es decir, que las actividades del protocolo como la emisión de un mensaje son iniciadas a través de eventos, que tienen su origen fuera del sistema de comunicación. El acceso unívoco al sistema de comunicación o bien al sistema de bus se soluciona a través de un arbitraje binario basado en prioridad. Una condición previa para ello es que se asocie una prioridad a los datos a transmitir y, por lo tanto, a cada mensaje. El protocolo CAN es muy flexible; por lo tanto, la adición de otro usuario y de mensajes es posible sin problemas, con tal que existan todavía prioridades libres (identificadores de mensajes). La acumulación de todos los mensajes a enviar en la red con prioridades y sus usuarios emisores o bien receptores o bien los módulos de comunicación correspondientes son depositados en una lista, la llamada matriz de comunicación.

Un principio alternativo para la comunicación espontánea, controlado por evento, es el principio puramente controlado por tiempo. Todas las actividades de comunicación sobre el bus son estrictamente periódicas. Las actividades de protocolo como la emisión de un mensaje son activadas solamente por el progreso de un tiempo válido para el sistema de bus. El acceso a este medio se basa en la distribución de divisiones de tiempo, en las que un emisor tiene derecho exclusivo de emisión. En este caso, la secuencia de mensajes se puede establecer, en general, ya antes de la puesta en servicio. Por lo tanto, se crea un itinerario, que cumple los requerimientos de los mensajes en lo que se refiere a tasas de repetición, redundancia, fecha límite, etc. Se habla del llamado programa del bus. Tal sistema de bus es, por ejemplo, el TTP/C.

Una combinación de las ventajas de ambos tipos de bus mencionados se lleva a cabo en el principio de solución del CAN controlado por tiempo, del llamado TTCAN (Time Triggered Controller Area Network). Éste cumple los requerimientos esbozados anteriormente de la comunicación controlada en el tiempo así como los requerimientos de una cierta medida de flexibilidad. El TTCAN cumple esto a través de la estructura de las rondas de comunicación en las llamadas ventanas de tiempo exclusivas para mensajes periódicos de terminados usuarios de la comunicación y en las llamadas ventanas de tiempo de arbitraje para mensajes espontáneos de varios usuarios de la comunicación. TTCAN se basa en este caso esencialmente en una comunicación periódica controlada en el tiempo, que es sincronizada a través de un usuario o bien módulo de comunicación emisor de tiempo principal, el llamado maestro de tiempo con la ayuda de un mensaje de referencia de tiempo.

Otra posibilidad para combinar diferentes tipos de transmisión ofrece el protocolo FlexRay, con el que se describe un sistema de bus rápido, determinista y tolerante de errores, especialmente para el empleo en un automóvil. Este protocolo trabaja según el procedimiento de Acceso Múltiple por División de Tiempo (TDMA), en el que se signan a los usuarios o bien a los mensajes a transmitir unas divisiones de tiempo fijas, en las que tienen un acceso exclusivo a la conexión de comunicación, al bus. Las divisiones de tiempo se repiten en este caso en un ciclo establecido, de manera que el instante, en el que se transmite un mensaje a través del bus, se puede predecir con exactitud y el acceso al bus se realiza de forma determinista. Para aprovechar de una manera óptima la anchura de banda para la transmisión del mensaje sobre el sistema de bus, se divide el ciclo en una parte estática y una parte dinámica. Las divisiones de tiempo fijas se encuentran en este caso en la parte estática al comienzo de un ciclo del bus. En la parte dinámica se predeterminan de forma dinámica las divisiones de tiempo. En ellas se posibilita ahora el acceso exclusivo al bus en cada caso solamente durante un tiempo corto, siendo liberado el acceso para el usuario siguiente. Este periodo de tiempo se designa como minidivisión, en la que se espera el acceso del primer usuario.

Como se acaba de representar, existe una pluralidad de técnicas de transmisión diferentes y, por lo tanto, de tipos de sistemas de bus o redes. Es frecuente que varios sistemas de bus del mismo o de diferente tipo deban ser conectados entre sí. A tal fin, sirve una unidad de interfaz, un llamado puerto. Por lo tanto, un puerto es una interfaz entre diferentes buses, que pueden ser del mismo o de diferente tipo, transmitiendo el puerto mensajes desde un bus sobre uno u otros varios buses. Los puertos conocidos están constituidos por varios módulos de comunicación independientes, siendo realizado el intercambio de mensajes en este caso a través de la interfaz de procesador (interfaz CPU) del usuario respectivo o bien del módulo de interfaz correspondiente del módulo de comunicación respectivo. En este caso, esta interfaz de CPU es cargada fuertemente a través de este intercambio de datos adicionalmente a los mensajes a transmitir hacia el propio usuario, con lo que resulta junto con la estructura de transmisión que resulta de ello una velocidad de transmisión relativamente baja. Además, existen controladores de comunicación o módulos de comunicación integrados, que dividen una memoria de mensajes común, la llamada memoria de mensajes o bien RAM de mensajes para compensar de esta manera los inconvenientes de la estructura. Sin embargo, tales módulos de comunicación integrados son de esta manera muy insensibles con respecto a la transmisión de datos y están establecidos para un número determinado de conexiones de bus y la mayoría de las veces también para el mismo sistema de bus.

La solicitud de patente DE 10 2004 033761 A1 publica un dispositivo para el intercambio de datos con al menos dos sistemas de bus, en el que está contenido un puerto, que presenta al menos dos unidades de control, que procesan funciones relacionadas con interfaces paralelamente al intercambio de datos. El número de las unidades de control corresponde en este caso al número de los sistemas de bus de datos, que intercambian datos entre sí.

La figura 1 muestra un sistema de bus de acuerdo con el estado de la técnica. El sistema de bus contiene varios módulos de comunicación o bien Controladores de la Comunicación (CC), en los que se pueden conectar los buses de datos en serie. El puerto de varios procesadores representado en la figura 1 contiene un bus del sistema interno y un bus de la periferia, respectivamente, en los que están conectados, además de los módulos de la comunicación, una unidad CPU y una llamada unidad de puerto, que representa un segundo procesador. La comunicación dentro del puerto de varios procesadores se realiza de acuerdo con el principio maestro/subordinado, de manera que los módulos de comunicación trabajan como unidades subordinadas y la unidad de CPU así como la unidad de puerto funcionan como unidades maestras. Los módulos de comunicación no inician en este caso como unidades subordinadas ellas mismas una transferencia de datos, sino solamente a demanda de un maestro.

La unidad de CPU configura, supervisa y controla los módulos de comunicación CC individuales. La CPU lee en este caso mensajes recibidos, los procesa y genera nuevos mensajes. Además, la CPU se ocupa de la emisión de mensajes. Por ejemplo, en una situación sencilla del puerto, con frecuencia sólo es necesario leerlos datos recibidos desde un módulo de comunicación y escribirlos en uno u otros varios módulos de comunicación para la emisión. Si no se utiliza ningún controlador DMA, la unidad de CPU transfiere los datos por palabras desde el módulo de comunicación hasta la memoria de datos RAM o a una memoria interna de la CPU. Los datos son procesados a continuación y son transmitidos a módulos de comunicación correspondientes. La memoria de datos RAM contiene, además de los datos, también un código de programa, que es ejecutado por la CPU. En la memoria de datos RAM están depositados los datos, por ejemplo, en forma de objetos de mensajes o bien de mensajes de los módulos de comunicación CC para el procesamiento posterior a través de la CPU.

Los módulos de comunicación CC representan la comunicación de datos del puerto de varios procesadores hacia los sistemas de bus individuales, es decir, hacia los buses en serie. Los módulos de comunicación presenta en un puerto de varios procesadores convencionales, respectivamente, una memoria de mensajes. En la memoria de mensajes se depositan los mensajes recibidos y a enviar a través del bus. La unidad CPU puede acceder en este caso a través de una interfaz pasiva a la memoria de mensajes y a los objetos de datos contenidos en ella.

El bus de la periferia o bien el bus del sistema sirve para la conexión de los componentes individuales entre sí. Bajo el control del maestro de bus se escriben datos en módulos y se leen de nuevo. La unidad de puerto asume el control de las funciones de puerto. La unidad de puerto puede estar formada, por ejemplo, por un co-procesador, que controla la transferencia interna de mensajes. La unidad de puerto sirve para la descarga de la unidad CPU. Las funciones de puerto asumidas por la unidad de puerto comprenden, por ejemplo, el procesamiento de mensajes, la comparación y agrupación de nuevos mensajes así como la emisión de los mensajes. Estas funciones son ejecutadas a través de la unidad de puerto como maestro del bus. La anchura de banda de la transmisión del bus del sistema se divide entre las dos unidades maestras, es decir, entre la unidad de puerto y el maestro del bus.

Según la complejidad y el número de los maestros se pueden emplear también sistemas de bus jerárquicos en el bus de la periferia o el bus del sistema.

La figura 2 muestra a modo de ejemplo un sistema de bus jerárquico con dos fases de la jerarquía (Conmutadores de Interconexión de Cruceta). Con la estructura jerárquica del sistema de bus en el puerto de varios procesadores representado en la figura 2, es posible realizar al mismo tiempo varias transferencias de datos internas, si la transferencia de datos no tiene lugar entre los dos planos de la jerarquía. En el ejemplo representado en la figura 2,

se realiza una transferencia de datos del plano de la jerarquía 1 entre la CPU y el módulo de la periferia y una segunda transferencia de datos entre dos módulos de comunicación sobre otro plano de la jerarquía.

5 En puertos de varios procesadores convencionales, se distribuye la anchura de banda de la transmisión de datos del bus del sistema o bien de un sistema de bus constituido de forma jerárquica entre los maestros del bus. En este caso, se emplean diferentes procedimientos de acceso. Por ejemplo, se asocia a los diferentes maestros del bus, respectivamente, la misma anchura de banda de la transmisión. De manera alternativa, se pueden asociar diferentes prioridades a diferentes unidades maestras, teniendo preferencia la unidad maestra con la prioridad más alta, por ejemplo la unidad CPU, en la transferencia de datos.

10 Por lo tanto, los puestos de varios procesadores convencionales tienen el inconveniente de que siempre una unidad maestra debe esperar hasta que se puede ejecutar una transferencia interna de datos. Se producen conflictos de acceso cuando diferentes maestros quieren acceder al mismo tiempo al sistema de bus común. De esta manera, se elevan los tiempos de latencia o bien los tiempos de espera para la transferencia interna de datos. Por ejemplo, si la unidad de puerto utiliza el sistema de bus para una transferencia de datos, se producen para la unidad CPU propiamente dicha unos tiempos de espera, antes de que ésta puede acceder de nuevo a datos en un módulo de la periferia o bien un módulo de la comunicación u otras memorias. Por lo tanto, durante una transferencia de datos en curso de un maestro, otra unidad maestra no puede acceder a módulos de la periferia. Además, durante este tipo de espera, la unidad de CPU no puede ejecutar operaciones de procesamiento de datos.

Por lo tanto, el cometido de la presente invención es crear un puerto de varios procesadores, que posibilita transferencias paralelas de datos de diferentes maestros sin tiempos de espera.

20 Este cometido se soluciona de acuerdo con la invención a través de un puerto de varios procesadores con las características indicadas en la reivindicación 1 de la patente.

La invención crea un puerto de varios procesadores con varios buses en serie, que transmiten datos por paquetes, en el que el puerto de varios procesadores presenta:

- varios módulos de comunicación, que están previstos, respectivamente, para la conexión de un bus en serie;
- 25 - varios procesadores para el procesamiento de datos, que son transmitidos por palabras a través de un sistema de bus interno, que pertenece al procesador respectivo, entre el procesador y los módulos de comunicaciones;

en el que buses internos del sistema del puerto de varios procesadores están conectados en los módulos de comunicaciones, que presentan, respectivamente, para cada bus del sistema una unidad de interfaz correspondiente;

30 en el que cada procesador intercambia datos a través de su sistema de bus correspondiente y a través de la unidad de interfaz, que corresponde al bus del sistema, de un módulo de comunicación, independientemente de los restantes procesadores con el bus en serie, conectado en el módulo de comunicación, sin tiempo de espera.

En una forma de realización preferida del puerto de varios procesadores de acuerdo con la invención, cada módulo de comunicación presenta:

- 35 - una unidad de protocolo de la comunicación conectada en el bus en serie para la conversión entre paquetes de datos y mensajes, que están constituidos en cada caso por varias palabras de datos;
- una unidad de transmisión de mensajes para la transmisión de mensajes entre una memoria de mensajes y la unidad de protocolo de comunicación así como memorias tampón;

40 - varias unidades de interfaz, que están conectadas, respectivamente, en un bus de sistema correspondiente del puerto de varios procesadores;

en el que cada unidad de interfaz está conectada con al menos una memoria tampón correspondiente, que memoriza temporalmente un mensaje, en el que se realiza una transmisión de palabras de datos a través de varios buses del sistema y sus unidades de interfaz correspondientes desde y hacia las memorias tampón de las unidades de interfaz al mismo tiempo sin tiempo de espera.

45 En una forma de realización del puerto de varios procesadores de acuerdo con la invención, en el bus de serie se trata de un bus de Ethernet.

En otra forma de realización del puerto de varios procesadores de acuerdo con la invención, en el bus de serie se trata de un bus de campo.

En una forma de realización alternativa del puerto de varios procesadores de acuerdo con la invención, en el bus de campo se trata de un bus CAN.

- 5 En otra forma de realización del puerto de varios procesadores de acuerdo con la invención, el bus de campo es un bus FlexRay.

En otra forma de realización del puerto de varios procesadores de acuerdo con la invención, el bus de campo es un bus MOST.

- 10 En otra forma de realización del puerto de varios procesadores de acuerdo con la invención, en el bus de campo es un bus LIN.

En una forma de realización del puerto de varios procesadores de acuerdo con la invención, cada procesador forma un maestro de bus para su bus de sistema correspondiente.

En otra forma de realización del puerto de varios procesadores de acuerdo con la invención, los módulos de comunicación forman unidades subordinadas para los buses del sistema.

- 15 En otra forma de realización del puerto de varios procesadores de acuerdo con la invención, cada bus del sistema presenta un bus de datos, un bus de direcciones y un bus de control.

En otra forma de realización del puerto de varios procesadores de acuerdo con la invención, una unidad de procesamiento conectada en el bus del sistema está diseñada como procesador, que controla una transferencia de datos entre los buses en serie conectados en los módulos de comunicaciones.

- 20 En otra forma de realización, una unidad de procesamiento de datos conectada en los buses del sistema está diseñada como co-procesador, que controla una transferencia de datos entre los buses en serie conectados en el módulo de comunicaciones.

- 25 En una forma de realización alternativa, una unidad de procesamiento conectada en los buses del sistema está diseñada como Finite State machina (FSM), que controla una transferencia de datos entre los buses en serie conectados en el módulo de comunicaciones.

Por lo demás, se describen formas de realización preferidas del puerto de varios procesadores de acuerdo con la invención con referencia a las figuras adjuntas para la explicación de características esenciales de la invención.

La figura 1 muestra un puerto de acuerdo con el estado de la técnica.

La figura 2 muestra un puerto con bus de sistema jerárquico de acuerdo con el estado de la técnica.

- 30 La figura 3 muestra una forma de realización del puerto de varios procesadores de acuerdo con la invención.

La figura 4 muestra un diagrama de bloques de una forma de realización posible de un módulo de comunicaciones contenido en el puerto de varios procesadores de acuerdo con la invención.

- 35 Como se puede reconocer a partir de la figura 3, el puerto de varios procesadores 1 de acuerdo con la invención presenta varios módulos de comunicación 2-1, 2-2, 2-n. Cada módulo de comunicación 2-i está previsto en cada caso para la conexión de un bus en serie 3-i. El puerto de varios procesadores 1 contiene varios procesadores 4-1 para el procesamiento de datos. En la forma de realización representada en la figura 3, el primer procesador 4-1 forma una unidad de puerto, que coordina la transferencia de mensaje entre los buses en serie 3-i. Otro procesador 4-2 contiene una Unidad Central de Procesamiento CPU (Central Processing Unit) y una memoria de datos y de instrucciones RAM. Cada procesador 4-1, 4-2 del puerto de varios procesadores 1 de acuerdo con la invención
40 presenta un bus del sistema interno correspondiente. En la forma de realización representada en la figura 3, la unidad de puerto 4-1 presenta un bus del sistema 5-1 y el procesador 4-2 presenta un bus del sistema 5-2. Mientras la unidad de puerto 4-1 coordina la transferencia de mensajes entre los buses 3-i, el procesamiento de datos propiamente dicho se realiza a través de la unidad CPU del procesador 4-2. Los dos buses del sistema 5-1, 5-2 comprenden en una forma de realización un bus de direcciones, un bus de datos y un bus de control. La unidad de
45 puerto 4-1 está conectada a través de una interfaz de puerto con el bus del sistema 5-1 y a través de la interfaz de CPU con el bus del sistema 5-2. La unidad de CPU del procesador 4-1 está conectada a través de una interfaz de CPU con el bus del sistema 5-2. La unidad de puerto 4-1 y el procesador de procesamiento de datos 4-2 trabajan

como maestro de bus de su bus del sistema respectivo. Los módulos de comunicaciones 2 trabajan como unidades subordinadas y están conectados en la forma de realización representada en la figura 2 con ambos sistemas de bus a través de una unidad de interfaz correspondiente. El número de los buses del sistema 5-i empleados en el puerto de varios procesadores 1 corresponde al número de las unidades maestras 4-i. En otras formas de realización del puerto de varios procesadores 1 de acuerdo con la invención pueden estar previstas también más de dos unidades maestras, de manera que cada unidad maestra contiene un bus del sistema 5-i correspondiente. El puerto de varios procesadores 1 de acuerdo con la invención presenta, por lo tanto, un concepto múltiple de interconexión.

La figura 4 muestra una forma de realización posible de un módulo de comunicación 2-i mostrado en el puerto de varios procesadores 1 de acuerdo con la invención. El módulo de comunicación 2 presenta una interfaz de puerto 2A y una interfaz de cliente 2B. La interfaz de puerto 2A forma la interfaz del módulo de comunicación 2 con el bus del sistema 5-1 de la unidad de puerto 4-1. La interfaz de cliente 2B forma la interfaz del módulo de comunicación 2 con el bus del sistema 5-2 de la unidad de procesamiento de datos 4-2. El módulo de comunicación contiene, además, una unidad de protocolo de comunicación 2C conectada en el bus en serie 3 para la conversión entre paquetes de datos DP, que se transmiten a través del bus en serie, y mensajes, que están constituidos en cada caso por una o varias palabras de datos SW.

El módulo de comunicación 2-1 contiene, además, una unidad de transmisión de mensajes 2D para la transmisión de mensajes entre al menos una memoria de mensajes 2E y la unidad de protocolo de la comunicación 2C. Además, la unidad de transmisión de mensajes 2D sirve para la transmisión de mensajes entre la memoria de mensajes 2E, la unidad de protocolo de la comunicación 2C así como las memorias tampón 2F, 2G. Cada unidad de interfaz 2A, 2B presenta en cada caso al menos una memoria tampón correspondiente. En la forma de realización representada en la figura 4, la interfaz de puerto 2A presenta la memoria tampón 2F y la interfaz de cliente 2B presenta la memoria tampón 2G. Las memorias tampón sirven para el registro en memoria intermedia de mensajes. Internamente, los mensajes son transmitidos entre las memorias tampón 2F, 2G y la unidad de transmisión de mensajes 2D a través de líneas de datos 2H. El módulo de comunicación 2 representa la conexión del puerto maestro 1 a un bus en serie 3-i correspondientes. En el bus en serie 3-1 se puede tratar, por ejemplo, de un bus de Ethernet o de un bus de campo. En el bus de campo se puede tratar de un bus CAN, un bus FlexRay, un bus MOST o un bus LIN.

En la forma de realización del puerto de varios procesadores 1 de acuerdo con la invención, cada procesador 4-i forma un bus maestro para su bus del sistema 5-i correspondiente. En una forma de realización alternativa, es posible que cada bus del sistema 5-i presente más de un maestro de bus 4-i. El número de las unidades de interfaz del módulo de comunicación 2 corresponde con preferencia al número de los buses del sistema 5-i empleados en el puerto de varios procesadores 1. En la forma de realización representada en la figura 4, el módulo de comunicación 2-1 presenta dos unidades de interfaz 2A, 2B y memorias tampón 2F, 2G correspondientes, respectivamente. Los datos pueden ser inscritos a través de ambas unidades de interfaz 2A, 2B en paralelo en el módulo de comunicación y pueden ser leídos desde el mismo. El arbitraje de los datos se realiza en el puerto de varios procesadores 1 de acuerdo con la invención. En el módulo de comunicación se puede utilizar la memoria intermedia 2F, que está conectada a través de la interfaz de puerto 2A en el bus del sistema 5-1, para la transferencia de datos dentro de la operación de puerto de la unidad de puerto 4.1, sin que la unidad de CPU 4-2 sea influenciada con ello. El bus de puerto o bien el bus del sistema 5-1, cuyo maestro de bus se forma a través de la unidad de puerto 4-1, sirve como el bus de CPU1 o bien el bus del sistema 5.2m cuyo maestro de bus se forma por el procesador 4-2. para la transmisión interna de datos o bien para la transferencia de datos entre dos módulos de comunicación 2-1. La transferencia interna de datos se realiza en el puerto de varios procesadores 1 de acuerdo con la invención a través de líneas de datos del bus del sistema 5-i respectivo palabra por palabra. En este caso, los datos se transmiten en paralelo a través de líneas de datos del bus de datos, que forma una parte del bus del sistema 5-i, correspondiendo la anchura de la palanca a la anchura del bus de datos respectivo. Mientras que la transferencia interna de datos se realiza palabra por palabra, los datos a través de los buses de datos en serie externos 3-1 se realiza por paquetes, comprendiendo cada paquete de datos DP, por su parte, datos de cabecera o bien datos de administración y, por otra parte, datos de carga de pago o bien datos útiles. Las unidades de protocolo de la comunicación 2C contenidas en cada caso en los módulos de comunicación 2-i llevan a cabo la conversión entre los paquetes de datos DP y los mensajes MSG, estando constituido cada mensaje MSG, respectivamente, por una o varias palabras de datos DW. Si la unidad de protocolo de comunicación 2C recibe paquetes de datos DP, éstos son convertidos en mensajes internos MSG y son registrados en memoria intermedia, por ejemplo, en la memoria intermedia de mensajes 2E. A continuación se transmiten las palabras de datos SW del mensaje MSG a través de la unidad de transmisión de mensajes 2D a una memoria tampón 2F, 2G. La capacidad de memoria de la memoria tampón corresponde en una forma de realización posible, respectivamente, a la anchura de la palabra de al menos una palabra de datos SW. La transmisión de las palabras de datos SW a través de los buses del sistema 5-i y sus unidades de interfaz correspondientes desde y hacia las memorias tampón 2F, 2G se realiza al mismo tiempo sin tiempo de espera.

En una forma de realización posible, los diferentes buses del sistema 5-1, 5-2 del puerto de varios procesadores 1 están diseñados de forma diferente. Condicionado por el empleo especial del bus de puerto 5-1, este bus del sistema se puede realizar, por ejemplo, reducido al mínimo. El bus del sistema 5-1 o bien el bus de puerto 5-1 tiene

entonces solamente una anchura mínima de la dirección y de los datos así como un número reducido de líneas de control.

- 5 Una ventaja del puerto de varios procesadores 1 de acuerdo con la invención consisten que se reduce el régimen de trabajo del bus del sistema de la CPU 5-2, puesto que la transferencia de datos para la transmisión de datos entre un primer módulo de la comunicación 2-i con el bus de datos en serie 3-i conectado en él y un segundo módulo de comunicación 2-j con el bus de datos 3 en serie conectado en él se realiza a través del bus de puerto 5-1 separado. De esta manera, la unidad de CPU del procesador 4-2 puede trabajar sin retardo o bien sin tiempos de espera y cada reacción del puerto de varios procesadores 1 es previsible de manera sencilla, es decir, que no depende de la carga a través de la corriente externa de datos de los diferentes buses en serie 1. En el puerto de varios procesadores 1 de acuerdo con la invención se reducen al mínimo los tiempos de latencia y, por lo tanto, también el tiempo de latencia para la transmisión de los mensajes entre dos sistemas de bus en serie externos, por ejemplo un bus de campo CAN y un bus de campo FlexRay.
- 10

REIVINDICACIONES

- 1.- Puerto de procesadores múltiples para varios buses en serie (3), que transmiten datos en paquetes, en el que el puerto de procesadores múltiples (1) presenta
- 5 (a) varios módulos de comunicación (2), que están previstos, respectivamente, para la conexión de un bus en serie (3);
- (b) varios procesadores (4) para el procesamiento de datos, que son transmitidos por palabras a través de un sistema de bus interno (5), que pertenece al procesador (4) respectivo, entre el procesador (4) y los módulos de comunicaciones (3);
- 10 (c) caracterizado porque buses internos del sistema (5) del puerto (1) de varios procesadores están conectados en los módulos de comunicaciones (2), que presentan, respectivamente, para cada bus del sistema (5) una unidad de interfaz (2A, 2B) correspondiente;
- (d) en el que cada procesador (4) intercambia datos a través de su sistema de bus (5) correspondiente y a través de la unidad de interfaz, que corresponde al bus del sistema, de un módulo de comunicación (2), independientemente de los restantes procesadores (4) con el bus en serie (3), conectado en el módulo de comunicación (2), sin tiempo de espera.
- 15 2.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que cada módulo de comunicación (2) presenta
- (a1) una unidad de protocolo de la comunicación (2C) conectada en el bus en serie (3) para la conversión entre paquetes de datos (DP) y mensajes (MSG), que están constituidos en cada caso por varias palabras de datos (DW);
- 20 (a2) una unidad de transmisión de mensajes (2D) para la transmisión de mensajes (MSG) entre una memoria de mensajes (2E) y la unidad de protocolo de comunicación (2C) así como memorias tampón (2F, 2G);
- (a3) varias unidades de interfaz (2A, 2B), que están conectadas, respectivamente, en un bus de sistema (5-1, 5-2) correspondiente del puerto de varios procesadores (1);
- 25 (a4) en el que cada unidad de interfaz (2A, 2B) está conectada con al menos una memoria tampón (2F, 2G) correspondiente, que memoriza temporalmente un mensaje, en el que se realiza una transmisión de palabras de datos (SW) a través de varios buses del sistema (5-1, 5-2) y sus unidades de interfaz (2A, 2B) correspondientes desde y hacia las memorias tampón (2F, 2G) de las unidades de interfaz al mismo tiempo sin tiempo de espera.
- 3.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que el bus en serie (3) es un bus de Ethernet.
- 30 4.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que el bus en serie (3) es un bus de campo.
- 5.- Puerto de varios procesadores de acuerdo con la reivindicación 3, en el que el bus de campo es un bus CAN.
- 6.- Puerto de varios procesadores de acuerdo con la reivindicación 4, en el que el bus de campo es un bus FlexRay.
- 7.- Puerto de varios procesadores de acuerdo con la reivindicación 4, en el que el bus de campo es un bus MOST.
- 35 8.- Puerto de varios procesadores de acuerdo con la reivindicación 4, en el que el bus de campo es un bus LIN.
- 9.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que cada procesador (4) forma un maestro de bus para su bus de sistema (5) correspondiente.
- 10.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que los módulos de comunicación (2) forman unidades subordinadas para los buses del sistema (5).
- 40 11.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que cada bus del sistema (5) presenta un bus de datos, un bus de direcciones y un bus de control.

12.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que una unidad de procesamiento (4-1) conectada en el bus del sistema (5) está diseñada como procesador, que controla una transferencia de datos entre los buses en serie (3) conectados en los módulos de comunicaciones (2).

5 13.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que una unidad de procesamiento de datos (4-1) conectada en los buses del sistema (5) está diseñada como co-procesador, que controla una transferencia de datos entre los buses en serie (3) conectados en el módulo de comunicaciones (2).

14.- Puerto de varios procesadores de acuerdo con la reivindicación 1, en el que una unidad de procesamiento (4-1) conectada en los buses del sistema (5) está diseñada como Finite State Machine, que controla una transferencia de datos entre los buses en serie (3) conectados en el módulo de comunicaciones (2).

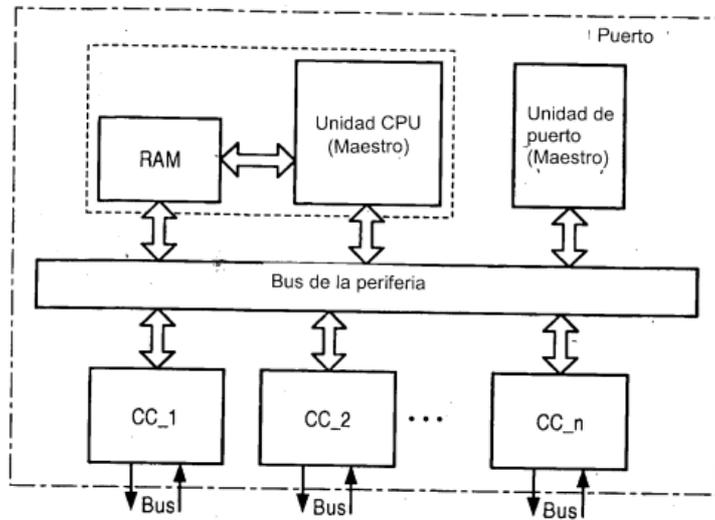
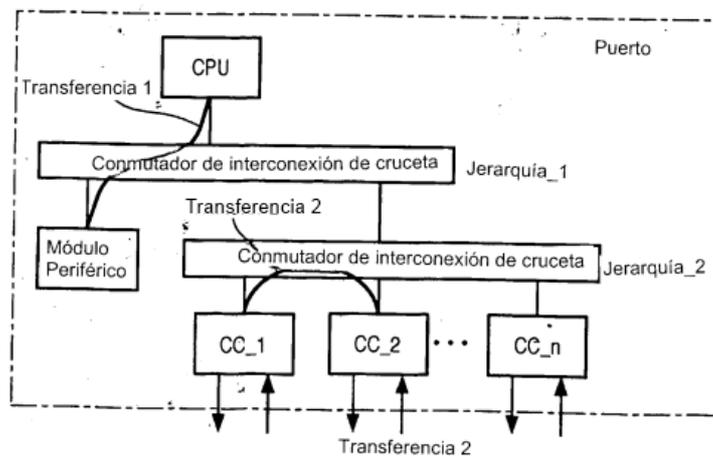


Fig. 1 (Estado de la técnica)

Fig. 2 (Estado de la técnica)



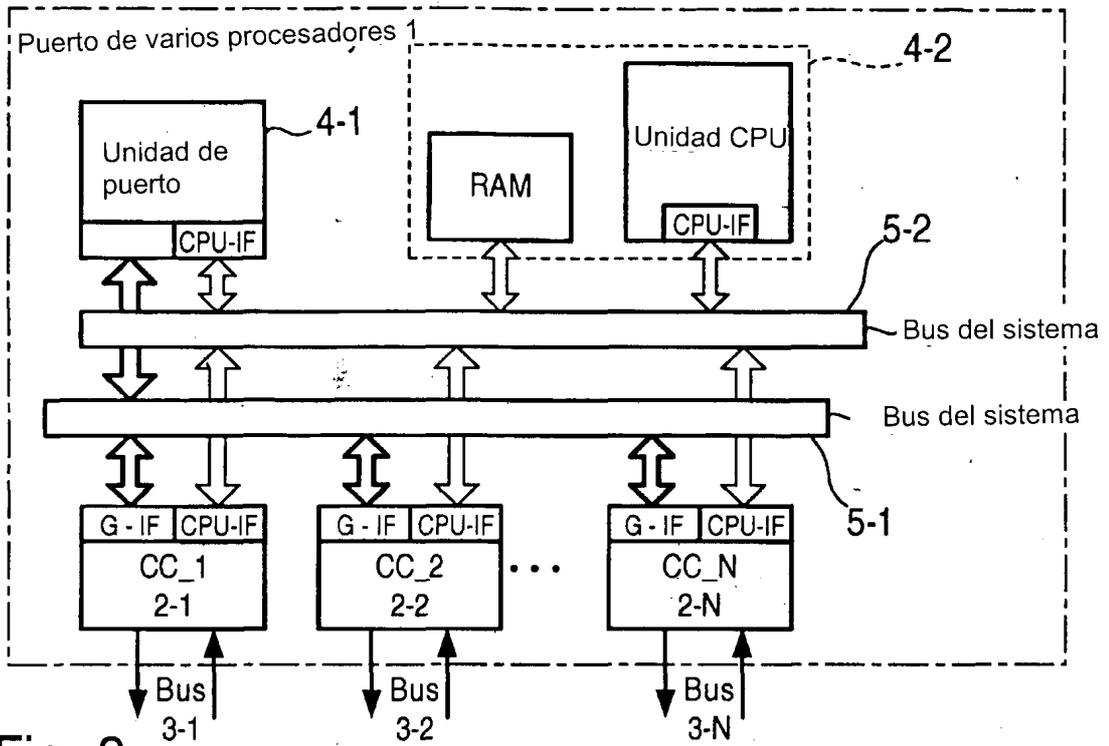


Fig. 3

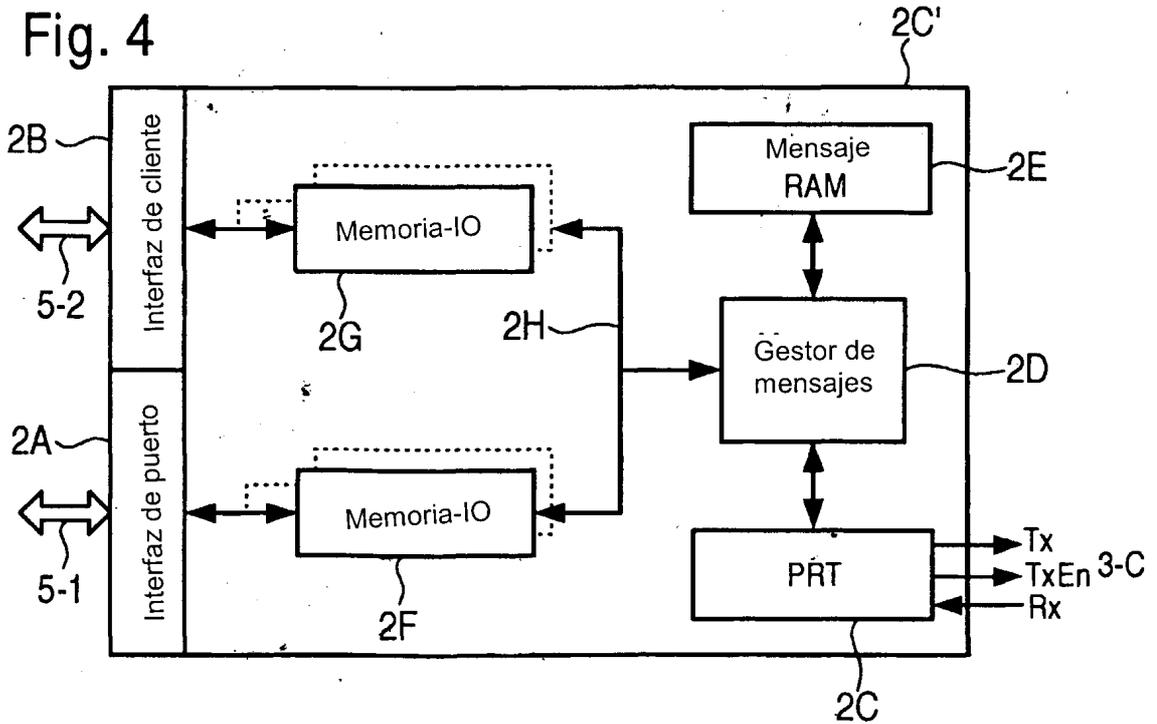


Fig. 4