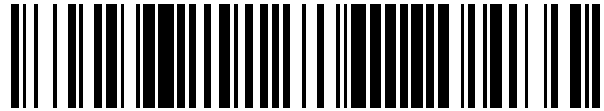


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 430 387**

51 Int. Cl.:

**G06F 13/42** (2006.01)

**G06F 13/40** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **02.03.2009 E 09730817 (5)**

97 Fecha y número de publicación de la concesión europea: **21.08.2013 EP 2274679**

54 Título: **Sistema de transmisión de múltiples frecuencias para datos de entrada paralelos**

30 Prioridad:

**11.04.2008 US 82685**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**20.11.2013**

73 Titular/es:

**THINKLOGICAL, LLC (33.3%)  
100 Washington Street  
Milford, CT 06460, US;  
REMLIN, MARK (33.3%) y  
ENGLER, MICHAEL (33.3%)**

72 Inventor/es:

**REMLIN, MARK y  
ENGLER, MICHAEL**

74 Agente/Representante:

**VEIGA SERRANO, Mikel**

**ES 2 430 387 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Sistema de transmisión de múltiples frecuencias para datos de entrada paralelos

**Sector de la técnica**

5 La presente invención se refiere a sistemas de transmisión de datos, en particular, a sistemas de transmisión para transferir datos paralelos que proceden de una ubicación a una segunda ubicación remota, para replicar dichos datos paralelos en la ubicación remota.

**Estado de la técnica**

10 Se han usado sistemas de transmisión para transferir datos paralelos de una ubicación a una segunda ubicación remota en lo que a veces se denominan extensores de vídeo en los que los datos que proceden de un puerto de salida de vídeo en un ordenador o similar se transfieren a una ubicación remota para presentarse visualmente en un monitor remoto. Ha habido la necesidad de permitir que tales datos paralelos se transfieran independientemente de la frecuencia de reloj de datos paralelos (por ejemplo asociado con diferentes resoluciones de vídeo y frecuencias de actualización) de una manera que se facilite de manera sencilla.

15 La presente invención se refiere a un sistema de transmisión mejorado de este tipo y se refiere específicamente a un sistema de transmisión de múltiples frecuencias, en el que la frecuencia de reloj de datos paralelos se transfiere en el mismo flujo de datos en serie que los datos paralelos serializados.

20 El documento US 2003/0091039 da a conocer un aparato para permitir la transmisión de datos paralelos desde un primer bus paralelo a un segundo bus paralelo a través de un canal de datos en serie que incluye un primer elemento lógico que genera un carácter de sincronización usado en un protocolo de transmisión de datos en serie tras la detección de un paquete de sincronización paralelo. Un serializador convierte los datos del primer elemento lógico en un flujo de datos en serie. Un deserializador convierte el flujo de datos en serie en una pluralidad de paquetes de datos paralelos. Un segundo elemento lógico detecta el carácter de sincronización y convierte el carácter de sincronización en un paquete de sincronización paralelo.

**Objeto de la invención**

25 En una realización de la presente invención, un sistema de transmisión de múltiples frecuencias envía datos desde una primera ubicación a una segunda ubicación mientras que puede ajustarse a diferentes frecuencias de reloj de datos paralelos de los datos paralelos entrantes. En un método y un sistema de este tipo, los datos paralelos se reciben con un reloj de datos paralelos asociado y se almacenan temporalmente en una memoria intermedia. Los datos se escriben en la memoria intermedia a la frecuencia del reloj de datos paralelos. En esta realización, los datos se extraen mediante lectura de la memoria intermedia a una frecuencia de salida para impedir que la memoria intermedia se desborde o subdesborde. Normalmente, la frecuencia de reloj de lectura es mayor que la frecuencia de reloj de escritura y por tanto durante periodos de tiempo en los que no van a leerse los datos, se generan caracteres de control para tales ciclos de reloj. Los datos paralelos y caracteres de control globales se transfieren a un serializador para generar un flujo de datos de salida en serie que puede transmitirse a una ubicación remota mediante diversos medios, tal como a través de un medio óptico. Los datos serializados contienen además información relacionada con la frecuencia de reloj de datos paralelos. En la ubicación remota, los datos serializados se deserializan y se convierten de vuelta a la forma paralela y se almacenan en una memoria intermedia. Los datos en la memoria intermedia se extraen mediante lectura para impedir un desbordamiento y subdesbordamiento. Los datos paralelos se extraen mediante lectura de la memoria intermedia a una frecuencia de reloj de datos paralelos basándose en la frecuencia de reloj de datos paralelos recibida en el flujo de datos en serie. La salida de la memoria intermedia corresponde de ese modo a los datos paralelos recibidos en la parte de transmisor del sistema de transmisión de múltiples frecuencias. El sistema de transmisión de múltiples frecuencias además puede codificar y decodificar los datos paralelos y caracteres de control antes de enviar los datos en el flujo de datos en serie con decodificación en el momento de deserialización.

45 Una realización de la invención está adaptada específicamente para transmitir vídeo según la norma de entrada de vídeo digital (DVI).

En una realización de la presente invención, se genera un carácter de control particular mediante la parte de transmisor para indicar los límites de los datos paralelos que van a serializarse y este carácter de control se usa para recuperar los datos paralelos en la parte de receptor del sistema de transmisión.

50 Una realización del sistema de transmisión de múltiples frecuencias puede transmitir y recibir datos paralelos de DVI que oscilan entre 25 MHz y 165 MHz.

55 Una realización del sistema de transmisión determina el número de palabras de datos paralelos (es decir, ciclos de reloj de datos paralelos) que se reciben por el transmisor durante un periodo de tiempo predeterminado, en el que la información con respecto a esta recuento se incluye en los datos serializados enviados a la parte de receptor del sistema de transmisión de múltiples frecuencias para determinar la frecuencia de reloj de datos paralelos en la parte

de receptor. La invención es según se define en la reivindicación 1 independiente adjunta del método y las reivindicaciones 9 y 10 del aparato.

### Descripción de las figuras

5 Para un mayor entendimiento de la naturaleza y los objetos de la presente invención, se hará referencia a la siguiente descripción detallada tomada en conjunto con los siguientes dibujos en los que:

La figura 1 es un diagrama de bloques simplificado global de un sistema de transmisión de múltiples frecuencias según la presente invención.

La figura 2 es un diagrama de bloques de la transmisión de la parte de transmisor del sistema de transmisión de múltiples frecuencias.

10 La figura 3 es un diagrama de bloques de la parte de receptor del sistema de transmisión de múltiples frecuencias.

### Descripción detallada de la invención

15 Tal como se observa en la figura 1, un sistema (20) de transmisión de múltiples frecuencias comprende una parte (22) de transmisor y una parte (24) de receptor enlazadas entre sí mediante un enlace (26) de datos en serie, tal como una fibra óptica, cable coaxial, enlace de radio, etc. La parte (22) de transmisor recibe datos (28) de entrada paralelos entrantes que están almacenados temporalmente en una memoria intermedia (30), tal como una memoria intermedia primero en entrar/primerero en salir (FIFO). La memoria intermedia puede implementarse de diversas maneras, incluyendo el uso de una memoria de acceso aleatorio, registros y similares. Los datos paralelos entrantes se registran en la memoria intermedia (FIFO) (30) por medio de un reloj (32) de datos paralelos.

20 Los datos en la FIFO se extraen mediante lectura de la FIFO en el bus (31) por medio de un reloj (34) de referencia de serializador que tiene una frecuencia mayor que el reloj (32) de datos paralelos. El multiplexor (36) recibe datos de sincronización y control en el bus (38) generados por un módulo (40) de control junto con datos paralelos en el bus (31) extraídos mediante lectura de la memoria intermedia (30). El módulo de control también se interconecta con la FIFO (30) y el serializador (42).

25 Los datos de sincronización y control se reciben durante periodos de tiempo en los que los datos paralelos no se leen desde la FIFO (30). Por tanto, los datos de entrada globales al multiplexor se registran en el multiplexor a la frecuencia de reloj de referencia de serializador siendo los datos o bien los datos paralelos desde la FIFO (30) o bien los datos de sincronización y control desde el módulo (40) de control. El multiplexor (36) determina si los datos desde el bus (31) ó (38) se transfieren al serializador (42).

30 Por tanto, la salida del multiplexor se proporciona al serializador (42) bajo el control del módulo (40) de control en conjunto con el reloj (34) de referencia de serializador para generar un flujo de datos en serie para su presentación en el enlace (26) en serie. El enlace en serie puede ser de cualquier longitud que sea necesaria para comunicarse en un extremo remoto en el que está ubicada la parte (24) de receptor del sistema (20) de transmisión de múltiples frecuencias. La frecuencia de reloj de serializador se selecciona para poder transmitir los datos de salida en serie recibidos del multiplexor (36).

35 La parte (24) de receptor del sistema (20) de transmisión de múltiples frecuencias realiza eficazmente la operación inversa de la parte de transmisor. Por tanto, un deserializador (44) bajo el control de un reloj (46) de referencia de deserializador recibe el flujo de datos en serie entrante y lo convierte en datos paralelos en la salida (48) bajo el control del módulo (50) de control. Los datos paralelos se reciben mediante un demultiplexor (52) que bajo el control del módulo (50) de control genera una primera salida (54) paralela que corresponde a los datos (28) paralelos recibidos de la parte (22) de transmisor y datos (56) de sincronización y control que corresponden a la datos (38) de sincronización y control generados por la parte (22) de transmisor. Los datos (54) paralelos se escriben en una memoria intermedia (58) de recepción a través de un reloj (64) de referencia en serie recuperado. Por tanto la salida de la memoria intermedia (58) es un flujo (62) de datos de salida paralelos que corresponde a los datos (28) de entrada paralelos recibidos por la parte (22) de transmisor. Los datos se registran en la memoria intermedia (58) desde el demultiplexor (52) basándose en un reloj (64) de referencia de serializador recuperado que corresponde al reloj (34) de referencia de serializador. Los datos paralelos se extraen mediante lectura de la memoria intermedia (58) basándose en la salida (61) de reloj de datos paralelos del reloj (60) de salida de datos paralelos. Esta frecuencia de reloj de salida de datos paralelos en una realización se deriva de la relación de los datos (38) de sincronización y control a los datos (31) paralelos de la memoria intermedia (30). De ese modo, garantiza que los datos paralelos introducidos mediante lectura en la memoria intermedia (58) desde el demultiplexor (52) se leen desde la memoria intermedia a una frecuencia que corresponde esencialmente a la frecuencia de reloj (32) de datos paralelos asociada con los datos (28) paralelos recibidos por la parte (22) de transmisor. Se realizan ajustes menores a la frecuencia del reloj (60) de salida de datos paralelos por medio de un módulo (50) de control en asociación con banderas (66) desde la memoria intermedia (68). También puede determinarse contando el número de ciclos de reloj de datos paralelos dentro de una duración de tiempo predeterminada, tal como 1 milisegundo.

55 El resultado global es que los datos (62) de salida paralelos y el reloj de salida de datos paralelos corresponden

esencialmente a los datos (28) de entrada paralelos y el reloj (32) de entrada de datos paralelos con una fluctuación mínima. Además, se elimina una referencia separada para establecer la frecuencia del reloj de salida de datos paralelos puesto que la frecuencia de este reloj se determina mediante los datos en serie entrantes al deserializador (44) tal como se explicará más completamente a continuación.

5 La figura 2 es un diagrama de bloques detallado de la parte (22) de transmisor del sistema (20) de transmisión de múltiples frecuencias. Se muestra específicamente una realización de la presente invención para recibir datos (27) de vídeo que corresponden a la norma de entrada de vídeo digital (DVI). Estos datos usan la señalización diferencial de transición minimizada (TDMS) y es en realidad un tipo de datos en serie de alta velocidad. Estos datos se convierten en datos (28) paralelos y el reloj (32) mediante un receptor (29) digital. Tal como se observa en ese caso, 10 los datos paralelos pueden comprender una pluralidad de bytes de ocho bits 68, 70 y 72 e información de control asociada denominada generalmente (74), que incluye, por ejemplo, información de sincronización horizontal, información de sincronización vertical e información de habilitación de datos (DE), así como información de control asociada con los datos paralelos. El reloj (32) de datos de entrada paralelos puede oscilar, para la norma de DVI, entre 25 MHz y 165 MHz. Esta información se registra en la memoria intermedia (30) a través del reloj (32). Se extrae mediante lectura de la memoria intermedia (30) a través del reloj (34) de referencia de serializador. Naturalmente, cualquier otro tipo de dato puede recibirse a su propia frecuencia de reloj de datos. Por tanto, debe observarse que los tipos de datos recibidos por el sistema (20) de transmisión de múltiples frecuencias pueden ser cualquiera siempre que los datos puedan convertirse en datos (28) paralelos con datos de reloj (32) asociados. Por tanto, no es necesario que el receptor (29) digital y el transmisor (102) digital mostrados respectivamente en las 15 20 figuras 2 y 3 asociados con la realización para transmitir y recibir datos según la norma de DVI, formen parte del sistema de transmisión de múltiples frecuencias.

Tal como se observa, en esta realización particular, el reloj de referencia de serializador tiene una frecuencia de datos de 180 MHz (es decir, mayor que la frecuencia de datos máxima de los datos de DVI entrantes). Los datos (28) paralelos se registran en la memoria intermedia (30) basándose en la señal de reloj (32) de datos paralelos en conjunto con la señal (76) de habilitación de escritura desde el módulo (40) lógico de control. La memoria intermedia (30) tiene una capacidad de reloj de lectura independiente; es decir, el reloj de lectura puede ser diferente del reloj de escritura y por tanto los datos almacenados en la memoria intermedia (30) pueden leerse desde la misma por medio del reloj (34) de referencia de serializador que opera a una frecuencia de reloj mayor que el reloj asociado con los datos paralelos entrantes. Debido a la frecuencia de reloj mayor del reloj de referencia de serializador, la memoria intermedia (30) sólo se lee cuando se permite mediante la señal (78) de habilitación de lectura desde el módulo (40) lógico de control, en una disposición que garantiza que hay o bien subdesbordamiento o bien 25 30 desbordamiento de los datos dentro de la memoria intermedia (30). Para esos periodos de tiempo en los que los datos no se leen desde la memoria intermedia (30), el reloj (34) de referencia de serializador en conjunto con el módulo (40) de control genera caracteres de control en buses (80) de datos de modo que estos caracteres de control se reciben por el multiplexor (36). El módulo (40) de control puede generar información relacionada con el reloj (32) de datos paralelos para su transmisión contando el número de ciclos de reloj de datos paralelos para una duración de tiempo predeterminada, tal como 1 milisegundo.

El serializador (42) está conectado a los buses (84) de salida desde el multiplexor (36) bajo el control del bus (86) de control de K/datos desde el módulo (40) lógico de control. El bus (86) de control de K/datos notifica al serializador (42) si los datos desde el multiplexor (36) corresponden a los datos (28) paralelos o a los caracteres de control generados por el módulo (40) lógico de control cuando se reciben por el multiplexor (36) a través de los buses (80) de datos. 40

En esta realización de la presente invención, el serializador (42) también codifica los datos paralelos recibidos, que incluyen los caracteres de control a través de un esquema de codificación, tal como el esquema de codificación 8B/10B bien conocido en la técnica. Naturalmente, pueden usarse otros esquemas de codificación/decodificación. La salida serializada codificada resultante se presenta en la línea (88) de salida para su presentación al módulo (90) óptico para generar una salida serializada en un medio (26) de datos en serie. En esta realización particular, el módulo óptico tiene una frecuencia de datos de 7,2 GHz que corresponde a la frecuencia de datos paralelos máxima del reloj (34) de referencia de serializador por el número de bits de datos paralelos recibidos por el serializador (42) que, en esta realización particular, es de 40 bits. Naturalmente, son posibles otros medios para transmitir un flujo de datos de salida en serie, incluyendo el uso de cable coaxial o un módulo de salida de radiofrecuencia en lugar del módulo (30) óptico. Tales medios alternativos para generar un flujo de datos en serie saliente para una transmisión de larga distancia son bastante conocidos en la técnica. 45 50

La figura 3 es un diagrama de bloques detallado de la parte (24) de receptor del sistema de transmisión de múltiples frecuencias y por tanto incluye un correspondiente módulo (92) óptico para la recepción del flujo de datos en serie a través de los medios (26) en serie. El reloj (46) de referencia de deserializador tiene una frecuencia nominal que corresponde al reloj (34) de referencia de serializador que, en esta realización particular, es de 180 MHz. Por tanto el deserializador (44) en esta realización particular no sólo deserializa los datos entrantes desde el módulo (32) óptico, sino que también decodifica los datos, que en esta realización particular es a través del esquema de decodificación 8B/10B. 55 60

De nuevo, los datos deserializados por el deserializador (44) se emiten en buses (48) de datos de salida paralelos

que corresponden a los datos de DVI entrantes y la información de control, mientras que los caracteres de control recibidos para esos periodos de tiempo en los que los datos de DVI no están presentes se transfieren al módulo (50) de control a través del bus (56) bajo el control del bus (94) de K/datos.

5 El módulo (50) de control a través de la línea (96) de control de multiplexor (MUX) y el reloj (64) de serializador recuperado, controlan el multiplexor (52) con respecto a la escritura de los datos de DVI paralelos en el demultiplexor. La salida del demultiplexor con respecto a los datos paralelos (datos (28) de DVI) se transfiere a la memoria intermedia (58), tal como una memoria intermedia de tipo FIFO, que también está bajo el control del módulo (50) lógico de control a través de la señal (98) de habilitación de escritura (WE).

10 Las banderas (66) de salida de FIFO se transfieren al módulo (50) lógico de control para habilitar el sincronismo de la señal (100) de habilitación de lectura (RE) que, en conjunto con la señal (61) de reloj de salida de datos paralelos del reloj (60) de salida de datos paralelos, garantiza que los datos leídos de la memoria (58) intermedia de FIFO estén a una frecuencia de datos que corresponde a la frecuencia de datos entrante de los datos (28) paralelos, y garantiza además que la memoria intermedia no se subdesborde o desborde. La frecuencia de la señal (61) de reloj de salida de datos paralelos se ajusta comparando esta frecuencia de reloj con la información relacionada con la frecuencia de reloj de datos paralelos según se transmiten en el flujo de datos en serie.

15 La salida (62) de la memoria (58) intermedia de FIFO y la señal (61) de salida de reloj de datos paralelos se transfieren a un transmisor (102) digital de DVI para generar una salida (104) de datos de TMDS de DVI que corresponde a los datos (27) de entrada de DVI recibidos por el receptor (29) digital en el extremo frontal de la parte (22) de transmisor del sistema (20) de transmisión de múltiples frecuencias.

20 Por tanto el resultado global del sistema de transmisión de múltiples frecuencias es generar una salida de datos paralelos en la parte de receptor que corresponde a la entrada de datos paralelos recibida por la parte de transmisor. La presente invención consigue este objetivo volviendo a capturar la frecuencia de datos de los datos de entrada paralelos sin la necesidad de ninguna transmisión separada de información de registro aparte de la información transmitida en el flujo de datos en serie entre la parte de transmisor y la parte de receptor. Por medio del módulo (50) lógico de control en asociación con el reloj (60) de salida de datos paralelos se realizan ajustes menores en la frecuencia de lectura de los datos paralelos desde la memoria intermedia (58) para minimizar la fluctuación asociada con la frecuencia (61) de reloj de salida de datos paralelos que corresponde a la frecuencia de entrada de los datos paralelos que llegan a la parte de transmisor del sistema de transmisión de múltiples frecuencias. Esta minimización de fluctuación es esencial para algunas aplicaciones, incluyendo aplicaciones de DVI.

30 En un ejemplo particular, la frecuencia de reloj de datos de entrada paralelos puede derivarse del flujo de datos recibido al deserializador (44) mediante el módulo de control que compara el porcentaje de datos paralelos con el porcentaje de caracteres de control recibidos a través del deserializador. Por tanto, por ejemplo, si se usa una señal de reloj de 180 MHz y si los datos paralelos recibidos ocupan el 50% de los datos deserializados y los caracteres de control representan el 50% restante de los datos deserializados, entonces la frecuencia de reloj de datos paralelos tiene una frecuencia de  $0,5 \times 180$  MHz o 90 MHz.

40 El resultado global es un sistema de transmisión de múltiples frecuencias que puede usarse con datos de entrada paralelos entrantes que pueden oscilar por un amplio intervalo de frecuencias para cualquier aplicación particular. Si la frecuencia de entrada de los datos de entrada paralelos varía, la resincronización del sistema de transmisión de múltiples frecuencias puede obtenerse fácilmente puesto que la información necesaria para recuperar los datos paralelos de entrada está contenida dentro del flujo de datos en serie recibido por el deserializador en la parte de receptor.

45 Para la realización de la presente invención en la que los datos de DVI se transmiten desde la parte de transmisor a la parte de receptor, un método de medición del reloj de datos paralelos es contando el número de ciclos de reloj de datos paralelos durante un periodo de tiempo de un milisegundo. Esta función se realiza mediante el controlador (40). Se lee un valor de 24 bits mediante una unidad de procesamiento central (CPU) local del módulo de control y se transmite mediante el serializador y el enlace (26) óptico durante una fase de control de la transmisión.

50 Para la parte de receptor, se lee el valor desde la parte de transmisor y se almacena en la memoria del módulo (50) de control para su comparación con la frecuencia del reloj (60) de salida de datos paralelos. Como en la parte de transmisor, este valor puede determinarse contando el número de palabras de datos paralelos en un periodo de un milisegundo.

Los dos valores para el receptor y el transmisor se comparan y el reloj de salida de datos paralelos se ajusta usando un procedimiento tal como se expone en la tabla 1 a continuación. Los ajustes pueden realizarse durante cada periodo de sincronización vertical de datos de vídeo, que está habitualmente a una frecuencia de 60 Hz.

55 El concepto subyacente de esta metodología es que si el reloj de receptor es más rápido que el reloj de transmisor, entonces la CPU en la parte de receptor ralentiza el generador de reloj, (reloj de salida de datos paralelos), y a la inversa, si el reloj de receptor es demasiado lento, el módulo de control acelera el generador de reloj.

Pueden realizarse mejoras para comprobar si los valores están en el intervalo, así como un procedimiento para

ajustar el generador de reloj en etapas no lineales para conseguir una coincidencia más rápida de lo que sería posible de otro modo. Esto se realiza mediante el uso de fases de ajuste GRUESO y MEDIO (véase la tabla 1).

5 Una fase PRECISO usa el recuento de datos de FIFO desde la memoria intermedia (58) como indicación de cómo de rápido o lento están extrayéndose mediante lectura los datos. Para una operación nominal, la palabra de datos de FIFO debe ser de aproximadamente una mitad del tamaño de FIFO con el fin de permitir un “efecto de banda elástica” de los datos de salida. La palabra de datos de FIFO se monitoriza continuamente y el reloj se ajusta continuamente para compensar la ráfaga de datos y una oscilación de reloj de fuente. Cuando no pueden ajustarse dos recuentos de reloj dentro de un intervalo normal, el procedimiento vuelve o bien al modo GRUESO o bien al modo MEDIO con el fin de reajustar la señal de reloj regenerada. Este procedimiento puede usarse para detectar  
10 cuándo una resolución de pantalla ha cambiado en los datos de vídeo de DVI entrantes.

Otra realización de la presente invención puede recibir datos que corresponden a la norma de bus universal en serie, incluyendo la norma de USB 2.0, para fines de transmitir información de teclado, ratón y audio o cualquier otra información que soporte la norma de USB.

15 El enlace en serie y el transmisor y receptor ópticos asociados pueden implementarse según la norma de XAUI para conectar puertos de 10 gigabits Ethernet (10 GbE) entre sí. También puede usarse para aplicaciones de transceptor óptico de protocolo independiente intercambiable en caliente de 10G XFP (factor de forma pequeño conectable), incluyendo aquéllas para aplicaciones de enlace dual de DVI.

TABLA 1

Algoritmo de control de pseudocódigos:

```

20 //*****
// esta rutina se llama en cada sincronización vertical (aproximadamente 16 ms para 60 Hz)
//*****
Conseguir un recuento de TX y RX nuevo: // recuentos nuevos se generan cada milisegundo
Si (AJUSTE GRUESO)
25 {
    Si (el recuento de TX y RX están en un intervalo válido)
        Si (ésta es la primera vez a través de GRUESO)
            {
                Calcular el valor inicial para enviar al generador de reloj usando el recuento de TX;
                Enviar el valor al generador de reloj;
30 }
        Si no si (no es la primera vez a través de GRUESO)
            {
                Calcular la diferencia en los recuentos de reloj de TX y RX;
35 si (diferencia > 30)
                    {
                        si (recuento_tx > recuento_rx)
                            {
                                Calcular el valor para enviar al generador de reloj
                                usando el recuento de TX +x;
40 Enviar el valor al generador de reloj;
                            }
                    }
            }
    }

```

```

    si no si (recuento_tx < recuento_rx)
        {
            Calcular el valor para enviar al generador de reloj usando el recuento de TX -x;
            Enviar el valor al generador de reloj;
5           }
        Si no // estamos = ir a medio
            {
                Establecer las banderas para ir a medio la próxima vez a través de
            }
10        } // fin si (!primera_banadera_de_tiempo)
    } // fin si(realizar_intervalo)
        } // fin si(ajuste_grueso)

//-----
// ajuste medio
15 //-----
Si (Ajuste Medio)
    {
        Si (recuento de TX y RX están en un intervalo válido)
            {
20        Calcular la diferencia entre los recuentos de TX y RX;
            si (diferencia > 50) // fuera de intervalo de ajuste
                {
                    Establecer banderas para introducir ajuste grueso la próxima vez;
                    salir;
25        }
            si no si (diferencia > 10)
                valor_de_etapa_medio = 0x6000;
            si no si (diferencia > 5)
                valor_de_etapa_medio = 0x5000;
30        si no si (diferencia > 2)
                valor_de_etapa_medio = 0x4000;
            si no si (diferencia > 1)
                valor_de_etapa_medio = 0x3000;
            si no
35        valor_de_etapa_medio = 0x2000;

//
//recuento de TX y RX está dentro de 2 recuentos

```

```

//
si (fpga_recuento_tx > fpga_recuento_rx)
    {
        valor += (u32) valor_de_etapa_medio;           // acelerar
5      Enviar el valor al generador de reloj;
    }
si no si (fpga_recuento_tx < fpga_recuento_rx)
    {
        valor -= (u32) valor_de_etapa_medio;         // ralentizar
10     Enviar el valor al generador de reloj
    }
    si no // somos iguales; ir a ajuste preciso
        {
            Establecer banderas para un ajuste preciso la próxima vez a través de;
15         }
    }
//-----
//      ajuste preciso
//-----
20  si (ajuste_preciso)
    {
        si (recuento_de_fifo > RECUENTO_SUPERIOR_DE_FIFO)
            {
25         // 9910 demasiado lento: acelerarlo
                si (recuento_rx <= recuento_tx) // permitir acelerar sólo si rx <= tx
                    {
                        valor += VALOR_DE_ETAPA_PRECISO;
                        Enviar el valor al generador de reloj;
30                     }
            }
        si no si (recuento_de_fifo < RECUENTO_INFERIOR_DE_FIFO)
            {
                // 9910 demasiado rápido: ralentizarlo
35         si (recuento_rx >= recuento_tx) // permitir ralentizar sólo si rx >= tx
                    {
                        valor -= VALOR_DE_ETAPA_PRECISO; // valor de etapa
                    }
            }
    }

```



```

        Enviar el valor al generador de reloj;
    }
} // fin si no si

//
5 // COMPROBAR RECUENTO DE TX Y RX PARA CAMBIO DE RESOLUCIÓN
//
si (recuento_tx y recuento_rx están en un intervalo válido)
{
    Calcular la diferencia en los recuentos de reloj de TX y RX;
10 si (diferencia > 10) // si hay más de 10 recuentos, cambiamos de resoluciones
    {
        Establecer banderas para ir a ajuste Grueso la próxima vez a través de;
        primera_bandera_de_tiempo = 0
    }
15 si no si (diferencia > 2) // sintonizamos con precisión el intervalo de ajuste
    {
        Establecer banderas para ir al modo medio la próxima vez a través de;
    }
} // fin si ( )
20 } // fin si (ajuste_preciso)
}

```

### Componentes

La memoria intermedia, el registrador, el multiplexor, el serializador y el módulo lógico de control de la parte (22) de transmisor pueden fabricarse a partir de una disposición de puertas programables en campo. Los módulos (90 y 92) ópticos pueden ser un transceptor óptico de factor de forma pequeño conectable (SFP). Para la parte (24) de receptor, el deserializador, el multiplexor, la memoria intermedia y el módulo lógico de control también pueden fabricarse a partir de disposiciones de puertas programables en campo. El reloj (60) de salida de datos paralelos puede fabricarse de una pieza de dispositivo analógico n.º AD9910, que tiene un intervalo de reloj de desde 0 hasta 400 MHz en aumentos de 0,25 Hz. Los módulos de control también pueden fabricarse de unidades de procesamiento de control con una memoria asociada para un control de programa (incluyendo la implementación de la información de control de reloj de datos paralelos). El receptor (29) digital puede fabricarse de un receptor fabricado por Silicon Image, número de pieza 7171 y el transmisor (102) digital puede fabricarse de un transmisor fabricado por Silicon Image, número de pieza 7170.

Aunque se han mostrado y descrito e indicado características novedosas fundamentales de la invención según se aplican a realizaciones preferidas de la misma, se entenderá que diversas omisiones y sustituciones y cambios en la forma y detalles de los dispositivos y métodos descritos pueden realizarse por los expertos en la técnica sin apartarse del alcance de la invención. Por ejemplo, se pretende expresamente que todas las combinaciones de esos elementos y/o etapas del método que realizan sustancialmente la misma función sustancialmente de la misma manera para conseguir los mismos resultados estén dentro del alcance de la invención. Además, debe reconocerse que estructuras y/o elementos y/o etapas del método mostrados y/o descritos en conexión con cualquier forma o realización dada a conocer de la invención pueden incorporarse en cualquier otra forma o realización dada a conocer o descrita o sugerida como asunto general de elección de diseño. Por tanto, se pretende que esté limitada sólo según se indica por el alcance de las reivindicaciones adjuntas a la presente descripción. Además, en las reivindicaciones las cláusulas de medios más función pretenden cubrir las estructuras descritas en el presente documento de modo que realicen la función mencionada y no sólo equivalentes estructurales, sino también estructuras equivalentes. Por tanto aunque un clavo y un tornillo puedan no ser equivalentes estructurales porque un clavo emplea una superficie cilíndrica para fijar piezas de madera entre sí, mientras que un tornillo emplea una

superficie helicoidal, en el entorno de fijación de piezas de madera, un clavo y un tornillo pueden ser estructuras equivalentes.

**REIVINDICACIONES**

1. Método para enviar y recibir datos que comprende:
  - almacenar temporalmente datos paralelos en una primera memoria intermedia basándose en un reloj de datos paralelos recibidos;
  - 5 - leer dichos datos paralelos de dicha primera memoria intermedia a una frecuencia que impide un desbordamiento y subdesbordamiento de dicha primera memoria intermedia;
  - generar información relacionada con dicho reloj de datos paralelos y generar caracteres de control cuando los datos no se leen desde dicha memoria intermedia;
  - 10 - almacenar dicha información relacionada con dicho reloj de datos paralelos y dichos caracteres de control; y
  - serializar dichos datos paralelos leídos, dicha información relacionada con dicho reloj de datos paralelos y dichos caracteres de control en un flujo de datos en serie;
  - transmitir dichos datos serializados;
  - recibir y deserializar dichos datos serializados;
  - 15 - determinar al menos una aproximación de dicho reloj de datos paralelos a partir de la información relacionada con dicho reloj de datos paralelos;
  - almacenar dichos datos deserializados en forma paralela en una segunda memoria intermedia basándose en dicha aproximación determinada de dicho reloj de datos paralelos; y
  - 20 - leer dichos datos paralelos de dicha segunda memoria intermedia en dicha aproximación de dicho reloj de datos paralelos para impedir un desbordamiento y subdesbordamiento de dicha segunda memoria intermedia.
2. Método según la reivindicación 1, caracterizado porque un reloj de referencia de serializador opera a una frecuencia de serializador mayor que la frecuencia del reloj de datos paralelos y, porque se generan caracteres de control en dicha frecuencia de serializador siempre que no se lean datos paralelos de dicha primera memoria intermedia.
- 25 3. Método según la reivindicación 1 ó 2, caracterizado porque la información relacionada con dicho reloj de datos paralelos se basa en la relación de dichos caracteres de control con dichos datos paralelos.
4. Método según la reivindicación 2, caracterizado porque la información relacionada con dicho reloj de datos paralelos se basa en varias palabras de datos paralelos recibidas durante una duración de tiempo predeterminada.
- 30 5. Método según la reivindicación 4, caracterizado porque la determinación de una aproximación del reloj de datos paralelos se realiza recuperando dicho número de palabras de datos paralelos recibidas durante una duración de tiempo predeterminada a partir de datos deserializados, y comparando una frecuencia de reloj derivada con un reloj generado localmente, y ajustando dicho reloj generado localmente basándose en dicha comparación.
- 35 6. Método según la reivindicación 5, caracterizado porque el ajuste se realiza en aumentos ajustables basándose en un tamaño de dicha comparación.
7. Método según la reivindicación 1 ó 2, caracterizado porque comprende además:
  - 40 codificar dichos datos paralelos, dicha información relacionada con dicho reloj de datos paralelos y caracteres de control basándose en un esquema de codificación, y serializar dichos datos paralelos codificados, dicha información relacionada con dicho reloj de datos paralelos y dichos caracteres de control codificados, y que comprende además deserializar dichos datos paralelos codificados, dicha información relacionada con dicho reloj de datos paralelos y dichos caracteres de control codificados y
  - 45 decodificar dichos datos paralelos codificados deserializados, dicha información relacionada con dicho reloj de datos paralelos y dichos caracteres de control codificados deserializados basándose en un esquema de decodificación que corresponde a dicho esquema de codificación.
8. Método según la reivindicación 2, caracterizado porque al menos algunos de los caracteres de control se usan para determinar la ubicación de los datos paralelos en relación con otros datos deserializados.
9. Aparato para enviar datos que comprende:

- una memoria intermedia para recibir datos paralelos basándose en un reloj de datos paralelos;
- un módulo de control para controlar la lectura de datos desde la memoria intermedia para impedir un desbordamiento y subdesbordamiento, para generar información relacionada con dicho reloj de datos paralelos y para generar caracteres de control cuando los datos no se leen desde la memoria intermedia;
- 5 un multiplexor para almacenar la información de datos paralelos relacionada con dicho reloj de datos paralelos y dichos caracteres de control;
- un serializador, en participación conjunta con dicho multiplexor, para convertir los datos paralelos, la información relacionada con dicho reloj de datos paralelos y los caracteres de control en un flujo de datos en serie para su transmisión; y
- 10 un transmisor de datos en serie para transmitir dicho flujo de datos en serie.
10. Aparato para recibir datos que comprende:
- un receptor de datos en serie para recibir un flujo de datos en serie;
- un deserializador para convertir dicho flujo de datos en datos paralelos, caracteres de control e información relacionada con un reloj de datos paralelos;
- 15 un demultiplexor para recibir los datos paralelos e información relacionada con dicho reloj de datos paralelos;
- una memoria intermedia para recibir los datos paralelos del demultiplexor; y
- un módulo de control para recibir los caracteres de control del deserializador, para controlar la transferencia de datos paralelos al demultiplexor, para controlar la escritura de datos paralelos en la memoria intermedia y para controlar la generación de al menos una aproximación de dicho reloj de datos paralelos basándose en dicha información relacionada con dicho reloj de datos paralelos de modo que los datos paralelos se leen desde la memoria intermedia en dicha aproximación de dicho reloj de datos paralelos para impedir un desbordamiento y subdesbordamiento de dicha memoria intermedia.
- 20
11. Sistema para enviar y recibir datos que comprende:
- 25 el aparato para enviar datos según la reivindicación 9; y
- una parte de receptor que tiene:
- un receptor de datos en serie para recibir dicho flujo de datos en serie;
- un deserializador para convertir dicho flujo de datos en dichos datos paralelos, dichos caracteres de control y dicha información relacionada con dicho reloj de datos paralelos;
- 30 un demultiplexor para recibir los datos paralelos e información relacionada con dicho reloj de datos paralelos;
- una segunda memoria intermedia para recibir los datos paralelos del demultiplexor; y
- un módulo de control para recibir los caracteres de control del deserializador, para controlar la transferencia de datos paralelos al demultiplexor, para controlar la escritura de datos paralelos en la segunda memoria intermedia y para controlar la generación de al menos una aproximación de dicho reloj de datos paralelos basándose en dicha información relacionada con dicho reloj de datos paralelos de modo que los datos paralelos se leen de la segunda memoria intermedia en dicha aproximación de dicho reloj de datos paralelos para impedir un desbordamiento y subdesbordamiento de dicha segunda memoria intermedia.
- 35
- 40 12. Sistema según la reivindicación 11, caracterizado porque dicha información relacionada con dicho reloj de datos paralelos se determina contando varios ciclos de reloj de datos paralelos recibidos por la memoria intermedia durante una duración de tiempo predeterminada y transfiriendo esta información al serializador para su transmisión en el flujo de datos en serie.
- 45 13. Sistema según la reivindicación 12, caracterizado porque el serializador codifica los datos paralelos, la información relacionada con dicho reloj de datos paralelos y los caracteres de control antes de serializar dichos datos paralelos, dicha información relacionada con dicho reloj de datos paralelos y dichos caracteres de control.
14. Sistema según la reivindicación 11, caracterizado porque la información relacionada con dicho reloj de datos paralelos se determina basándose en una relación de los datos paralelos con caracteres de control.

- 5
15. Sistema según la reivindicación 11, caracterizado porque el transmisor de datos en serie y dicho receptor de datos en serie son respectivamente un transmisor óptico y un receptor óptico.
  16. Sistema según la reivindicación 11, caracterizado porque un reloj de referencia de envío está configurado para operar a una frecuencia de serializador mayor que la frecuencia del reloj de datos paralelos, y en el que se generan caracteres de control en dicha frecuencia de serializador siempre que no se lean datos paralelos de dicha primera memoria intermedia.

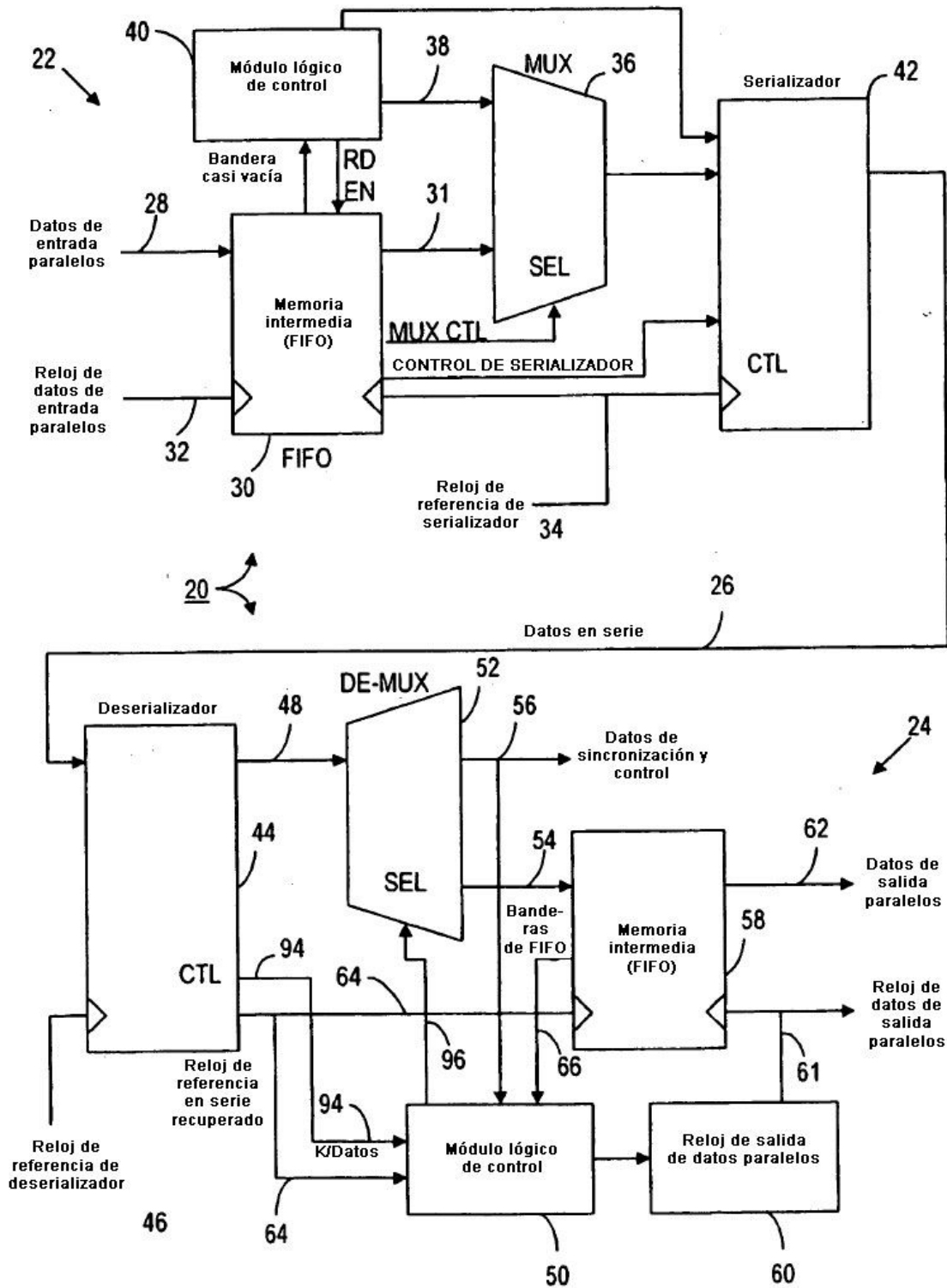


FIG. 1

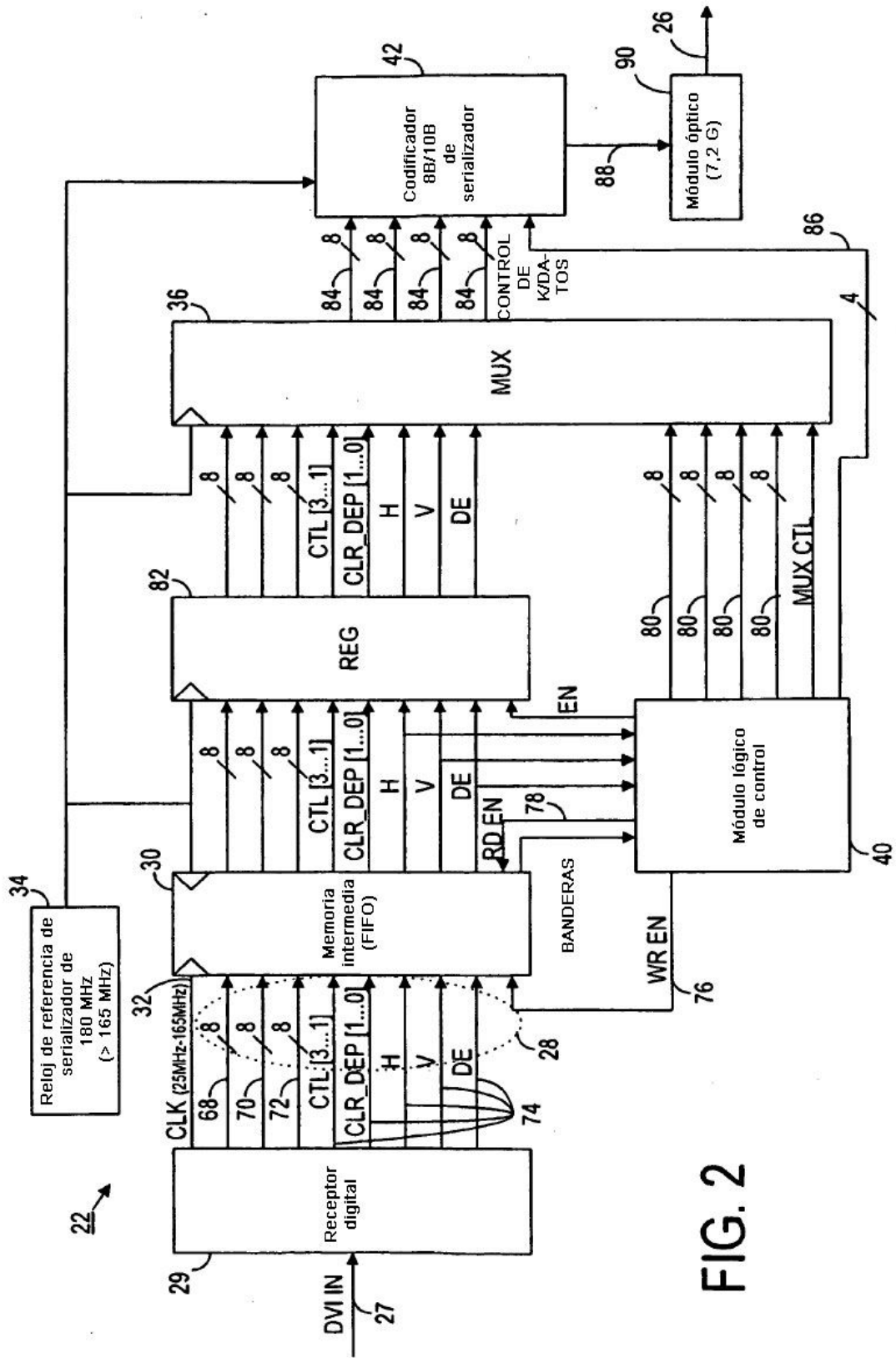


FIG. 2

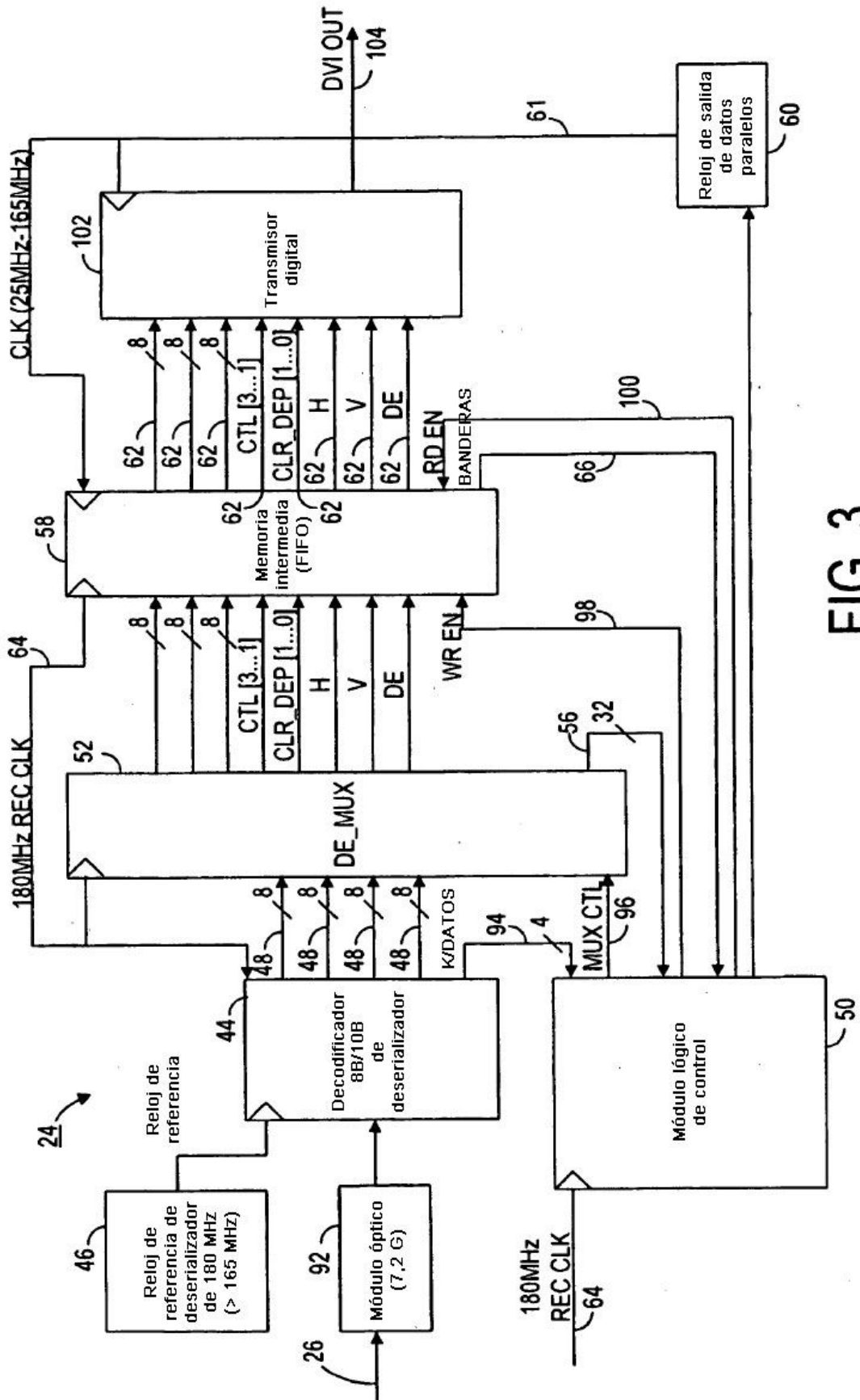


FIG. 3