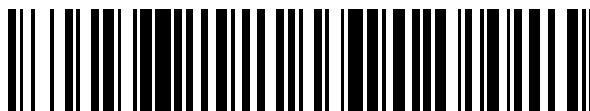


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 432 371**

51 Int. Cl.:

H03F 1/02 (2006.01)
H03F 1/32 (2006.01)
H03F 3/21 (2006.01)
H03F 3/24 (2006.01)
H03C 5/00 (2006.01)
H04B 1/04 (2006.01)
H04L 27/36 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **24.10.2005 E 05817164 (6)**

97 Fecha y número de publicación de la concesión europea: **31.07.2013 EP 1813069**

54 Título: **Sistemas y procedimientos de amplificación de potencia vectorial**

30 Prioridad:

22.10.2004 US 620972 P 15.04.2005 US 671536 P
15.04.2005 US 671542 P 21.04.2005 US 673397 P
08.08.2005 US 706003 P 18.08.2005 US 709092 P
16.09.2005 US 717244 P 28.09.2005 US 721114 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
03.12.2013

73 Titular/es:

PARKERVISION, INC. (100.0%)
8493 BAYMEADOWS WAY
JACKSONVILLE, FL 32256, US

72 Inventor/es:

SORRELLS, DAVID F.;
RAWLINS, GREGORY S. y
RAWLINS, MICHAEL W.

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 432 371 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistemas y procedimientos de amplificación de potencia vectorial

Antecedentes de la invención

Campo de la invención

5 La presente invención se refiere, en general, a la modulación y la amplificación de potencia en frecuencia. Más en particular, la invención se refiere a procedimientos y sistemas para la amplificación de potencia de combinación de vectores.

Técnica anterior

10 En los amplificadores de potencia, típicamente existe una relación compleja entre la linealidad y la eficiencia energética.

15 La linealidad se determina mediante el intervalo de operación de un amplificador de potencia sobre una curva característica que relaciona su entrada con las variables de salida – cuanto más lineal es el intervalo de operación, se dice que el amplificador de potencia es más lineal. La linealidad es una característica deseada de un amplificador de potencia. En un aspecto, por ejemplo, se desea que un amplificador de potencia amplifique de manera uniforme unas señales de amplitud y / o fase y / o frecuencia variables. Por consiguiente, la linealidad es un importante factor determinante de la calidad de señal de salida de un amplificador de potencia.

20 La eficiencia energética puede calcularse usando la relación de la potencia total que se entrega a una carga dividida por la potencia total suministrada al amplificador. Para un amplificador ideal, la eficiencia energética es de un 100 %. Típicamente, los amplificadores de potencia se dividen en unas clases que determinan la eficiencia energética teórica máxima del amplificador. La eficiencia energética es, claramente, una característica deseada de un amplificador de potencia, en particular, en los sistemas de comunicación inalámbrica en los que el consumo de energía se ve dominado de forma significativa por el amplificador de potencia.

25 Desafortunadamente, el compromiso tradicional entre la linealidad y la eficiencia en los amplificadores de potencia es tal que, cuanto más lineal es un amplificador de potencia, menos eficiente es la potencia. Por ejemplo, el amplificador más lineal se polariza para el funcionamiento de clase A, que es la clase menos eficiente de amplificadores. Por otro lado, los amplificadores de clase más alta, tal como la clase B, C, D, E, etc., son de una eficiencia energética mayor, pero son considerablemente no lineales, lo que puede dar como resultado unas señales de salida espectralmente distorsionadas.

30 El compromiso que se ha descrito en lo que antecede se ve subrayado por las señales de comunicación inalámbrica típicas. Las señales de comunicación inalámbrica, tales como, por ejemplo, OFDM, CDMA y W-CDMA, se caracterizan en general por sus relaciones de potencia de pico a promedio. Cuanto mayor sea la relación de pico a promedio de la señal, más distorsión no lineal se producirá cuando se empleen unos amplificadores no lineales.

35 Se han propuesto técnicas de amplificación de desfase para los diseños de amplificador de RF. En diversos aspectos, no obstante, las técnicas de desfase existentes son deficientes en cuanto a satisfacer los requisitos de amplificación de señales complejas, en particular tal como se define, por ejemplo, por las normas de comunicación inalámbrica.

40 En un aspecto, las técnicas de desfase existentes emplean un elemento de aislamiento y / o uno de combinación cuando se combinan unas constituyentes de envolvente constante de una señal de salida deseada. Por ejemplo, habitualmente es el caso que un circuito combinador de potencia se use para combinar las señales de constituyente. Este enfoque de combinación, no obstante, típicamente da como resultado un deterioro de la potencia de señal de salida debido la pérdida de inserción y al limitado ancho de banda y, de forma correspondiente, una disminución en cuanto a la eficiencia energética. El documento de la técnica anterior US 2001 / 0030581 divulga un amplificador de desfase de cuadratura.

45 En otro aspecto, el tamaño típicamente grande de los elementos de combinación impide tener los mismos en los diseños de amplificador monolíticos.

50 Lo que se necesita, por lo tanto, son unos procedimientos y sistemas de amplificación de potencia que solucionen las deficiencias de las técnicas de amplificación de potencia existentes a la vez que se maximiza la eficiencia energética y se minimiza la distorsión no lineal. Además, son necesarios unos procedimientos y sistemas de amplificación de potencia que puedan implementarse sin las limitaciones de las técnicas, y la circuitería de combinación de potencia, tradicionales.

Breve resumen de la invención

En el presente documento se divulgan unas realizaciones para la amplificación de potencia de combinación de vectores.

5 En una realización, una pluralidad de señales de envolvente sustancialmente constante se amplifican de forma individual, a continuación se combinan para formar una señal de envolvente compleja variable en el tiempo deseada. Las características de fase y / o de frecuencia de una o más de las señales se controlan para proporcionar las características de fase, de frecuencia y / o de amplitud deseadas de la señal de envolvente compleja variable en el tiempo deseada.

En otra realización, una señal de envolvente compleja variable en el tiempo se descompone en una pluralidad de señales de constituyente de envolvente sustancialmente constante. Las señales de constituyente se amplifican y, a continuación, se recombinan para construir una versión amplificada de la señal de envolvente variable en el tiempo original.

10 Las realizaciones de la invención pueden ponerse en práctica con unas señales portadoras moduladas y con una información de banda de base y unas señales de reloj. Las realizaciones de la invención también consiguen una conversión elevadora en frecuencia. Por consiguiente, las realizaciones de la invención representan soluciones integradas para una conversión elevadora en frecuencia, amplificación y modulación.

15 Las realizaciones de la invención pueden implementarse con controles analógicos y / o digitales. La invención puede implementarse con componentes analógicos o con una combinación de componentes analógicos y de componentes digitales. En la última realización, puede implementarse un procesamiento de señales digitales en un procesador de banda de base existente para unos ahorros de costes añadidos.

Específicamente, la invención proporciona un procedimiento de acuerdo con la reivindicación 1.

20 En la descripción que sigue se expondrán características y ventajas adicionales de la invención. Todavía más características y ventajas serán evidentes para un experto en la materia, en base a la descripción que se expone en el presente documento, o pueden aprenderse mediante la práctica de la invención. Las ventajas de la invención se realizarán y se conseguirán mediante los procedimientos y la estructura que se señalan, en particular, en la descripción escrita y en las reivindicaciones del presente documento, así como en los dibujos adjuntos.

25 Ha de entenderse que tanto el sumario precedente como la siguiente descripción detallada son ejemplares y explicativos y se pretende que proporcionen una explicación adicional de las realizaciones de la invención tal como se reivindica.

Breve descripción de las figuras

30 Las realizaciones de la presente invención se describirán con referencia a los dibujos adjuntos, en los que unos números de referencia semejantes indican, en general, unos elementos idénticos o funcionalmente similares. Asimismo, en general, el dígito o dígitos más a la izquierda de los números de referencia identifican los dibujos en los que se introducen en primer lugar los elementos asociados.

La figura 1A es un ejemplo que ilustra la generación de una señal de envolvente compleja variable en el tiempo ejemplar.

35 La figura 1B es otro ejemplo que ilustra la generación de una señal de envolvente compleja variable en el tiempo ejemplar.

La figura 1C es un ejemplo que ilustra la generación de una señal de envolvente compleja variable en el tiempo ejemplar a partir de la suma de dos o más señales de envolvente constante.

La figura 1D ilustra la amplificación de potencia de una señal de envolvente compleja variable en el tiempo a modo de ejemplo de acuerdo con una realización de la presente invención.

40 La figura 1E es un diagrama de bloques que ilustra una realización de amplificación de potencia vectorial de la presente invención.

La figura 1 ilustra una representación fasorial de una señal.

La figura 2 ilustra una representación fasorial de una señal de envolvente compleja variable en el tiempo.

45 Las figuras 3A–3C ilustran una modulación a modo de ejemplo para generar una señal de envolvente compleja variable en el tiempo.

La figura 3D es un ejemplo que ilustra una descomposición de envolvente constante de una señal de envolvente variable en el tiempo.

La figura 4 es un diagrama fasorial que ilustra un procedimiento de Amplificación de Potencia Vectorial (VPA) de 4 Ramas Cartesiana de una realización de la presente invención.

50 La figura 5 es un diagrama de bloques que ilustra una realización ejemplar del procedimiento de VPA de 4 Ramas

Cartesiana.

La figura 6 es una realización de un diagrama de flujo de proceso para la amplificación de potencia de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana.

5 La figura 7A es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 4 Ramas Cartesiana.

La figura 7B es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 4 Ramas Cartesiana.

La figura 8A es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana.

10 La figura 8B es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana.

La figura 8C es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana.

15 La figura 8D es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana.

Las figuras 9A–9B son unos diagramas fasoriales que ilustran un procedimiento de Amplificación de Potencia Vectorial (VPA) de 2 Ramas Cartesiana–Polar–Cartesiana–Polar (CPCP) de una realización de la presente invención.

20 La figura 10 es un diagrama de bloques que ilustra una realización ejemplar del procedimiento de VPA de 2 Ramas CPCP.

La figura 10A es un diagrama de bloques que ilustra otra realización ejemplar del procedimiento de VPA de 2 Ramas CPCP.

La figura 11 es una realización de un diagrama de flujo de proceso para la amplificación de potencia de acuerdo con el procedimiento de VPA de 2 Ramas CPCP.

25 La figura 12 es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas CPCP.

La figura 12A es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas CPCP.

30 La figura 12B es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas CPCP.

La figura 13 es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas CPCP.

La figura 13A es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas CPCP.

35 La figura 14 es un diagrama fasorial que ilustra un procedimiento de Amplificación de Potencia Vectorial (VPA) de 2 Ramas Cartesiana Directa de una realización de la presente invención.

La figura 15 es un diagrama de bloques que ilustra una realización ejemplar del procedimiento de VPA de 2 Ramas Cartesiana Directa.

40 La figura 15A es un diagrama de bloques que ilustra otra realización ejemplar del procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 16 es una realización de un diagrama de flujo de proceso para la amplificación de potencia de acuerdo con el procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 17 es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas Cartesiana Directa.

45 La figura 17A es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 17B es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia

vectorial para implementar el procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 18 es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas Cartesiana Directa.

5 La figura 18A es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial para implementar el procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 19 es un diagrama de flujo de proceso que ilustra una realización de una función de transferencia de I y de Q de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana.

La figura 20 es un diagrama de bloques que ilustra una realización ejemplar de una función de transferencia de I y de Q de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana.

10 La figura 21 es un diagrama de flujo de proceso que ilustra una realización de una función de transferencia de I y de Q de acuerdo con el procedimiento de VPA de 2 Ramas CPCP.

La figura 22 es un diagrama de bloques que ilustra una realización ejemplar de una función de transferencia de I y de Q de acuerdo con el procedimiento de VPA de 2 Ramas CPCP.

15 La figura 23 es un diagrama de flujo de proceso que ilustra una realización de una función de transferencia de I y de Q de acuerdo con el procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 24 es un diagrama de bloques que ilustra una realización ejemplar de una función de transferencia de I y de Q de acuerdo con el procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 25 es un diagrama fasorial que ilustra el efecto de la distorsión de forma de onda sobre una representación de un fasor de señal.

20 La figura 26 ilustra unas funciones de transformada de magnitud en fase de acuerdo con una realización de la presente invención.

La figura 27 ilustra unas realizaciones ejemplares de una circuitería de polarización de acuerdo con las realizaciones de la presente invención.

25 La figura 28 ilustra un procedimiento de combinación de unas señales de envolvente constante de acuerdo con una realización la presente invención.

La figura 29 ilustra una realización de fase de salida de amplificador de potencia vectorial de acuerdo con la presente invención.

La figura 30 es un diagrama de bloques de una realización de fase de salida de amplificador de potencia (PA).

La figura 31 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA).

30 La figura 32 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA).

La figura 33 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA) de acuerdo con la presente invención.

La figura 34 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA) de acuerdo con la presente invención.

35 La figura 35 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA) de acuerdo con la presente invención.

La figura 36 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA) de acuerdo con la presente invención.

La figura 37 ilustra una señal de salida a modo de ejemplo de acuerdo con una realización de la presente invención.

40 La figura 38 ilustra una realización de PA ejemplar.

La figura 39 ilustra una señal de salida de PA de envolvente compleja variable en el tiempo a modo de ejemplo y una señal de envolvente correspondiente.

La figura 40 ilustra unos diagramas de sincronismo a modo de ejemplo de una intensidad de fase de salida de PA.

La figura 41 ilustra unas funciones de control de intensidad de fase de salida ejemplares.

45 La figura 42 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA).

La figura 43 ilustra una realización de fase de PA ejemplar.

La figura 44 ilustra una señal de salida de PA con forma ondulada ejemplar.

La figura 45 ilustra un procedimiento de control de potencia.

La figura 46 ilustra otro procedimiento de control de potencia.

5 La figura 47 ilustra una realización de amplificador de potencia vectorial ejemplar.

La figura 48 es un diagrama de flujo de proceso para implementar una conformación de intensidad de fase de salida de acuerdo con una realización de la presente invención.

La figura 49 es un diagrama de flujo de proceso para implementar un control de armónicos de acuerdo con una realización de la presente invención.

10 La figura 50 es un diagrama de flujo de proceso para la amplificación de potencia de acuerdo con una realización de la presente invención.

Las figuras 51A–I ilustran unas realizaciones de fase de salida de múltiples entradas y de una única salida (MISO) ejemplares.

15 La presente invención se describirá con referencia a los dibujos adjuntos. El dibujo en el que un elemento aparece por primera vez se indica típicamente mediante el dígito o dígitos más a la izquierda en el número de referencia correspondiente.

Descripción detallada de la invención

Índice de Contenidos

1. Introducción

- 20 1.1. Generación a modo de ejemplo de Señales de Entrada de Envolvente Compleja Variable en el Tiempo
- 1.2. Generación a modo de ejemplo de Señales de Envolvente Compleja Variable en el Tiempo a partir de Señales de Envolvente Constante
- 1.3. Visión de Conjunto de Amplificación de Potencia Vectorial

2. Visión de Conjunto Matemática General

- 25 2.1. Representación de Señal Fasorial
- 2.2. Señales de Envolvente Compleja Variable en el Tiempo
- 2.3. Descomposición de Envolvente Constante de Señales de Envolvente Variable en el Tiempo

3. Procedimientos y Sistemas de Amplificación de Potencia Vectorial (VPA)

- 30 3.1. Amplificador de Potencia Vectorial de 4 Ramas Cartesiana
- 3.2. Amplificador de Potencia Vectorial de 2 Ramas Cartesiana–Polar–Cartesiana–Polar (CPCP)
- 3.3. Amplificador de Potencia Vectorial de 2 Ramas Cartesiana Directa
- 3.4. Funciones de Transferencia de Datos de I y de Q a Modulador Vectorial
 - 3.4.1. Función de Transferencia de VPA de 4 Ramas Cartesiana
 - 3.4.2. Función de Transferencia de VPA de 2 Ramas CPCP
 - 35 3.4.3. Función de Transferencia de VPA de 2 Ramas Cartesiana Directa
 - 3.4.4. Magnitud para Transformada en Desplazamiento de Fase
 - 3.4.4.1. Magnitud para Transformada en Desplazamiento de Fase para Señales Sinusoidales
 - 40 3.4.4.2. Magnitud para Transformada en Desplazamiento de Fase para Señales de Onda Cuadrada
 - 3.4.5. Compensación de Distorsión de Forma de Onda

3.5. Fase de Salida

3.5.1. Realizaciones de fase de salida

3.5.2. Conformación de Intensidad de Fase de Salida

3.5.3. Protección de Fase de Salida

5 3.6. Control de Armónicos

3.7. Control de Potencia

3.8. Realización de Amplificador de Potencia Vectorial ejemplar

4. Sumario

5. Conclusiones

10 **1. Introducción**

En el presente documento se divulgan procedimientos, aparatos y sistemas para la amplificación de potencia de combinación de vectores.

15 La amplificación de potencia de combinación de vectores es un enfoque para optimizar la linealidad y la eficiencia energética de forma simultánea. En términos generales, y haciendo referencia al diagrama de flujo 502 en la figura 50, en la etapa 504 una señal de entrada de envolvente compleja variable en el tiempo, con una amplitud y una fase variables, se descompone en unas señales de constituyente de envolvente constante. En la etapa 506, las señales de constituyente de envolvente constante se amplifican y, a continuación, se suman en la etapa 508 para generar una versión amplificada de la señal de envolvente compleja de entrada. Debido a que las señales de envolvente sustancialmente constante pueden amplificarse con una preocupación mínima por la distorsión no lineal, el resultado de la suma de las señales de envolvente constante experimenta una distorsión no lineal mínima a la vez que proporciona una eficiencia óptima.

Por consiguiente, la amplificación de potencia de combinación de vectores permite que se usen unos amplificadores de potencia no lineales para amplificar de forma eficiente señales complejas a la vez que se mantienen unos niveles de distorsión no lineal mínimos.

25 Para fines de conveniencia, y no de limitación, a veces se hace referencia en el presente documento a los procedimientos y sistemas de la presente invención como procedimientos y sistemas de amplificación de potencia vectorial (VPA).

30 En lo sucesivo se proporciona una descripción de alto nivel de procedimientos y sistemas de VPA de acuerdo con las realizaciones de la presente invención. Para fines de claridad, en lo sucesivo se definen, en primer lugar, determinadas expresiones. Las definiciones que se describen en esta sección se proporcionan solo para fines de conveniencia, y no son limitantes. El significado de estas expresiones será evidente para los expertos en la materia o materias en base a la totalidad de las enseñanzas que se proporcionan en el presente documento. Estas expresiones pueden analizarse a través de la totalidad de la memoria descriptiva con detalle adicional.

35 La expresión envolvente de señal, cuando usa en el presente documento, hace referencia a un límite de amplitud dentro del cual una señal está contenida a medida que esta fluctúa en el dominio del tiempo. Las señales moduladas en cuadratura pueden describirse mediante $r(t) = i(t) \cdot \cos(\omega \cdot t) + q(t) \cdot \sin(\omega \cdot t)$ en la que $i(t)$ y $q(t)$ representan unas señales de cuadratura y en fase con la envolvente de señal $e(t)$, que es igual a $e(t) = \sqrt{i(t)^2 + q(t)^2}$ y el ángulo de fase asociado con $r(t)$ está relacionado con $\arctan(q(t) / i(t))$.

40 La expresión señal de envolvente constante, cuando usa en el presente documento, hace referencia a unas señales de cuadratura y en fase en las que $e(t) = \sqrt{i(t)^2 + q(t)^2}$, con $e(t)$ teniendo un valor relativa o sustancialmente constante.

45 La expresión señal de envolvente variable en el tiempo, cuando usa en el presente documento, hace referencia a una señal que tiene una envolvente de señal variable en el tiempo. Una señal de envolvente variable en el tiempo puede describirse en términos de las señales de cuadratura y en fase como $e(t) = \sqrt{i(t)^2 + q(t)^2}$, con $e(t)$ teniendo un valor variable en el tiempo.

La expresión desplazamiento en fase, cuando usa en el presente documento, hace referencia a retardar o adelantar la componente de fase de una señal de envolvente constante o variable en el tiempo en relación con una

fase de referencia.

1.1) (Generación a modo de ejemplo de Señales de Entrada Variable en el Tiempo de Envolvente Compleja

Las figuras 1A y 1B son unos ejemplos que ilustran la generación de señales de entrada complejas de fase y de envolvente variables en el tiempo. En la figura 1A, las señales de portadora de envolvente variable en el tiempo 104 y 106 se introducen en el controlador de fase 110. El controlador de fase 110 manipula las componentes de fase de las señales 104 y 106. Dicho de otra forma, el controlador de fase 110 puede desplazar en fase las señales 104 y 106. Las señales 108 y 112 resultantes, por consiguiente, pueden desplazarse en fase en relación con las señales 104 y 106. En el ejemplo de la figura 1A, el controlador de fase 110 da lugar a una inversión de fase (desplazamiento de fase de 180 grados) en las señales 104 y 106 en el instante de tiempo t_0 , tal como puede verse a partir de las señales 108 y 112. Las señales 108 y 112 representan unas señales de portadora complejas variables en el tiempo. Las señales 108 y 112 tienen tanto unas envolventes como unas componentes de fase variables en el tiempo. Cuando se suman, las señales 108 y 112 dan como resultado la señal 114. La señal 114 también representa una señal compleja variable en el tiempo. La señal 114 puede ser una señal de entrada a modo de ejemplo en las realizaciones de VPA de la presente invención (por ejemplo, una entrada a modo de ejemplo en la etapa 504 de la figura 50).

Las señales complejas variables en el tiempo también pueden generarse tal como se ilustra en la figura 1B. En la figura 1B, las señales 116 y 118 representan unas señales de banda de base. Por ejemplo, las señales 116 y 118 pueden ser unas componentes de banda de base en fase (I) y de cuadratura (Q) de una señal. En el ejemplo de la figura 1B, las señales 116 y 118 experimentan un paso por cero a medida que estas realizan una transición de +1 a -1. Las señales 116 y 118 se multiplican por la señal 120 o la señal 120 desplazada en fase 90 grados. La señal 116 se multiplica por una versión desplazada 0 grados de la señal 120. La señal 118 se multiplica por una versión desplazada 90 grados de la señal 120. Las señales 122 y 124 resultantes representan unas señales de portadora complejas variables en el tiempo. Obsérvese que las señales 122 y 124 tienen unas envolventes que varían de acuerdo con las amplitudes variables en el tiempo de las señales 116 y 118. Además, ambas de las señales 122 y 124 experimentan unas inversiones de fase en los pasos por cero de las señales 116 y 118. Las señales 122 y 124 se suman para dar como resultado la señal 126. La señal 126 representa una señal compleja variable en el tiempo. La señal 126 puede representar una señal de entrada a modo de ejemplo en las realizaciones de VPA de la presente invención. Adicionalmente, las señales 116 y 118 pueden representar unas señales de entrada a modo de ejemplo en las realizaciones de VPA de la presente invención.

1.2) Generación a modo de ejemplo de Señales de Envolvente Compleja Variable en el Tiempo a partir de Señales de Envolvente Constante

La descripción en esta sección se refiere, en general, al funcionamiento de la etapa 508 en la figura 50. La figura 1C ilustra tres ejemplos para la generación de señales complejas variables en el tiempo a partir de la suma de dos o más señales de envolvente sustancialmente constante. Un experto en la materia apreciará, no obstante, en base a las enseñanzas que se proporcionan en el presente documento, que los conceptos que se ilustran en los ejemplos de la figura 1C pueden extenderse de forma similar al caso de más de dos señales de envolvente constante.

En el ejemplo 1 de la figura 1C, las señales de envolvente constante 132 y 134 se introducen en el controlador de fase 130. El controlador de fase 130 manipula las componentes de fase de las señales 132 y 134 para generar las señales 136 y 138, respectivamente. Las señales 136 y 138 representan unas señales de envolvente sustancialmente constante, y se suman para generar la señal 140. La representación fasorial en la figura 1C, asociada con el ejemplo 1, ilustra las señales 136 y 138 como los fasores P_{136} y P_{138} , respectivamente. La señal 140 se ilustra como el fador P_{140} . En el ejemplo 1, P_{136} y P_{138} se desplazan en fase de forma simétrica un ángulo ϕ_1 en relación con una señal de referencia que se supone que está alineada con el eje real de la representación fasorial. De forma correspondiente, las señales en el dominio del tiempo 136 y 138 se desplazan en fase en unas cantidades iguales pero en sentidos opuestos en relación con la señal de referencia. Por consiguiente, P_{140} , que es la suma de P_{136} y P_{138} , se encuentra en fase con la señal de referencia.

En el ejemplo 2 de la figura 1C, las señales de envolvente sustancialmente constante 132 y 134 se introducen en el controlador de fase 130. El controlador de fase 130 manipula las componentes de fase de las señales 132 y 134 para generar las señales 142 y 144, respectivamente. Las señales 142 y 144 son unas señales de envolvente sustancialmente constante, y se suman para generar la señal 150. La representación fasorial asociada con el ejemplo 2 ilustra las señales 142 y 144 como los fasores P_{142} y P_{144} , respectivamente. La señal 150 se ilustra como el fador P_{150} . En el ejemplo 2, P_{142} y P_{144} se desplazan en fase de forma simétrica en relación con una señal de referencia. Por consiguiente, de forma similar a P_{140} , P_{150} también se encuentra en fase con la señal de referencia. P_{142} y P_{144} , no obstante, se desplazan en fase un ángulo mediante lo cual $\phi_2 \neq \phi_1$ en relación con la señal de referencia. P_{150} , como resultado, tiene una magnitud diferente de P_{140} del ejemplo 1. En la representación en el dominio del tiempo, se observa que las señales 140 y 150 se encuentran en fase pero tienen diferentes amplitudes una en relación con otra.

En el ejemplo 3 de la figura 1C, las señales de envolvente sustancialmente constante 132 y 134 se introducen en el controlador de fase 130. El controlador de fase 130 manipula las componentes de fase de las señales 132 y 134

para generar las señales 146 y 148, respectivamente. Las señales 146 y 148 son unas señales de envolvente sustancialmente constante, y se suman para generar la señal 160. La representación fasorial asociada con el ejemplo 3 ilustra las señales 146 y 148 como los fasores P_{146} y P_{148} , respectivamente. La señal 160 se ilustra como el fasor P_{160} . En el ejemplo 3, P_{146} se desplaza en fase un ángulo ϕ_3 en relación con la señal de referencia. P_{148} se desplaza en fase un ángulo ϕ_4 en relación con la señal de referencia. ϕ_3 y ϕ_4 pueden o pueden no ser iguales. Por consiguiente, P_{160} , que es la suma de P_{146} y P_{148} , ya no se encuentra por más tiempo en fase con la señal de referencia. P_{160} se desplaza en fase un ángulo Θ en relación con la señal de referencia. De forma similar, P_{160} se desplaza en fase Θ en relación con P_{140} y P_{150} de los ejemplos 1 y 2. P_{160} también puede variar en cuanto a su amplitud en relación con P_{140} tal como se ilustra en el ejemplo 3.

En resumen, los ejemplos de la figura 1C muestran que una señal de amplitud variable en el tiempo puede obtenerse mediante la suma de dos o más señales de envolvente sustancialmente constante (ejemplo 1). Además, la señal variable en el tiempo puede tener unos cambios de amplitud, pero no cambios de fase, impartidos sobre la misma mediante el desplazamiento por igual en sentidos opuestos de las dos o más señales de envolvente sustancialmente constante (ejemplo 2). Al desplazar por igual en el mismo sentido los dos o más constituyentes de envolvente constante de la señal, pueden impartirse unos cambios de fase, pero no cambios de amplitud, sobre la señal variable en el tiempo. Cualquier señal de fase y de amplitud variable en el tiempo puede generarse usando dos o más señales de envolvente sustancialmente constante (ejemplo 3).

Se hace notar que las señales en los ejemplos de la figura 1C se muestran como unas formas de onda sinusoidales solo para fines de ilustración. Un experto en la materia apreciará, en base a las enseñanzas en el presente documento, que también pueden haberse usado otros tipos de formas de onda. También debería observarse que los ejemplos de la figura 1C se proporcionan en el presente documento solo para fines de ilustración, y pueden o pueden no corresponderse con una realización particular de la presente invención.

1.3) Visión de Conjunto de Amplificación de Potencia Vectorial

En lo sucesivo se proporciona una visión de conjunto de alto nivel de la amplificación de potencia vectorial. La figura 1D ilustra la amplificación de potencia de una señal de entrada compleja variable en el tiempo ejemplar 172. Las señales 114 y 126 tal como se ilustra en las figuras 1A y 1B pueden ser ejemplos de la señal 172. Además, la señal 172 puede generarse mediante o estar compuesta por dos o más señales de constituyente tal como 104 y 106 (figura 1A), 108 y 112 (figura 1A), 116 y 118 (figura 1B) y 122 y 124 (figura 1B).

En el ejemplo de la figura 1D, el VPA 170 representa una realización de sistema de VPA de acuerdo con la presente invención. El VPA 170 amplifica la señal 172 para generar la señal de salida amplificada 178. La señal de salida 178 se amplifica de forma eficiente con una distorsión mínima.

En el ejemplo de la figura 1D, las señales 172 y 178 representan las señales de tensión $V_{\text{entrada}}(t)$ y $V_{\text{olt}}(t)$, respectivamente. En cualquier instante de tiempo, en el ejemplo de la figura 1D, $V_{\text{in}}(t)$ y $V_{\text{olt}}(t)$ están relacionadas de tal modo que $V_{\text{olt}}(t) = K V_{\text{entrada}}(t + t')$, en la que K es un factor de escala y t' representa un retardo de tiempo que

puede estar presente en el sistema de VPA. Para la implicación de potencia, $\frac{V_{\text{salida}}^2(t)}{Z_{\text{salida}}} > \frac{V_{\text{entrada}}^2(t)}{Z_{\text{entrada}}}$, en la que la señal de salida 178 es una versión amplificada en potencia de la señal de entrada 172.

La amplificación de potencia lineal (o sustancialmente lineal) de señales complejas variables en el tiempo, tal como se ilustra en la figura 1D, se consigue de acuerdo con las realizaciones de la presente, tal como se muestra en la figura 1E.

La figura 1E es un diagrama de bloques a modo de ejemplo que ilustra de forma conceptual una realización de amplificación de potencia vectorial de acuerdo con las realizaciones de la presente invención. En la figura 1E, la señal de entrada 172 representa una señal compleja variable en el tiempo. Por ejemplo, la señal de entrada 172 puede generarse tal como se ilustra en las figuras 1A y 1B. En las realizaciones, la señal 172 puede ser una señal digital o una analógica. Además, la señal 172 puede ser una banda de base o una señal basada en portadora.

Haciendo referencia a la figura 1E, de acuerdo con las realizaciones de la presente invención, la señal de entrada 172 o equivalentes de la misma se introducen en el VPA 182. En la realización de la figura 1E, el VPA 182 incluye una máquina de estados 184 y la circuitería analógica 186. La máquina de estados 184 puede incluir componentes analógicos y / o digitales. La circuitería analógica 186 incluye componentes analógicos. El VPA 182 procesa la señal de entrada 172 para generar dos o más señales $188-\{1, \dots, n\}$, tal como se ilustra en la figura 1E. Tal como se describe con respecto a las señales 136, 138, 142, 144 y 146, 148, en la figura 1C, las señales $188-\{1, \dots, n\}$ pueden o pueden no desplazarse en fase una en relación con otra a través de diferentes periodos de tiempo. Además, el VPA 182 genera unas señales $188-\{1, \dots, n\}$ de tal modo que una suma de las señales $188-\{1, \dots, n\}$ da como resultado la señal 194 que, en determinadas realizaciones, puede ser una versión amplificada de la señal 172.

Haciendo de nuevo referencia a la figura 1E, las señales $188-\{1, \dots, n\}$ son unas señales de envolvente sustancialmente constante. Por consiguiente, la descripción en el párrafo anterior se corresponde con la etapa 504

en la figura 50.

En el ejemplo de la figura 1E, que se corresponde, en general, con la etapa 506 en la figura 50, cada una de las señales de envolvente constante 188–{1, ..., n} se amplifica de forma independiente mediante un amplificador de potencia (PA) 190–{1, ..., n} correspondiente para generar las señales amplificadas 192–{1, ..., n}. En las realizaciones, los PA 190–{1, ..., n} amplifican sustancialmente por igual las señales de envolvente constante 188–{1, ..., n} respectivas. Las señales amplificadas 192–{1, ..., n} son unas señales de envolvente sustancialmente constante, y en la etapa 508 se suman para generar la señal de salida 194. Obsérvese que la señal de salida 194 puede ser una versión amplificada de forma lineal (o de forma sustancialmente lineal) de la señal de entrada 172. La señal de salida 194 también puede ser una versión con conversión elevadora en frecuencia de la señal de entrada 172, tal como se describe en el presente documento.

2. Visión de Conjunto Matemática General

2.1) Representación de Señal Fasorial

La figura 1 ilustra una representación fasorial \vec{R} 102 de una señal $r(t)$. Una representación fasorial de una señal es explícitamente representativa de la magnitud de la envolvente de la señal y del desplazamiento de fase de la señal en relación con una señal de referencia. En el presente documento, para fines de conveniencia, y no de limitación, la señal de referencia se define como alineada con el eje real (Re) del espacio ortogonal de la representación fasorial. La invención no se limita, no obstante, a la presente realización. La información de frecuencia de la señal está implícita en la representación, y está dada por la frecuencia de la señal de referencia. Por ejemplo, haciendo referencia a la figura 1, y suponiendo que el eje real se corresponde con una señal de referencia de $\cos(\omega t)$, el fasor \vec{R} se traduciría en la función $r(t) = R(t) \cos(\omega t + \phi(t))$, en la que \vec{R} es la magnitud de \vec{R} .

Haciendo de nuevo referencia a la figura 1, se hace notar que el fasor \vec{R} puede descomponerse en un fasor de parte real \vec{I} y un fasor de parte imaginaria \vec{Q} . Se dice que \vec{I} y \vec{Q} son las componentes fasoriales de cuadratura y en fase de \vec{R} con respecto a la señal de referencia. Se observa además que las señales que se corresponden con \vec{I} y \vec{Q} están relacionadas con $r(t)$ como $I(t) = R(t) \cdot \cos(\phi(t))$ y $Q(t) = R(t) \cdot \sin(\phi(t))$, respectivamente. En el dominio del tiempo, la señal $r(t)$ también puede escribirse en términos de sus componentes de cuadratura y en fase tal como sigue:

$$r(t) = I(t) \cdot \cos(\omega t) + Q(t) \cdot \sin(\omega t) = R(t) \cdot \cos(\phi(t)) \cdot \cos(\omega t) + R(t) \cdot \sin(\phi(t)) \cdot \sin(\omega t) \quad (1)$$

Obsérvese que, en el ejemplo de la figura 1, $R(t)$ se ilustra en un instante de tiempo particular.

2.2) Señales de Envolvente Compleja Variable en el Tiempo

La figura 2 ilustra una representación fasorial de una señal $r(t)$ en dos instantes diferentes de tiempo t_1 y t_2 . Se hace notar que tanto la magnitud del fasor, que representa la magnitud de la envolvente de la señal, como su desplazamiento de fase relativo, varían del instante t_1 al instante t_2 . En la figura 2, esto se ilustra mediante la magnitud variable de los fasores \vec{R}_1 y \vec{R}_2 y sus ángulos de desplazamiento de fase ϕ_1 y ϕ_2 correspondientes. La señal $r(t)$, por consiguiente, es una señal de envolvente compleja variable en el tiempo.

Se hace notar además, a partir de la figura 2, que las componentes fasoriales real e imaginaria de la señal $r(t)$ también son variables en el tiempo en cuanto a su amplitud. Por consiguiente, sus señales en el dominio del tiempo correspondientes también tienen unas envolventes variables en el tiempo.

Las figuras 3A–3C ilustran una modulación a modo de ejemplo para generar una señal de envolvente compleja variable en el tiempo. La figura 3A ilustra una vista de una señal $m(t)$. La figura 3B ilustra una vista de una porción de una señal portadora $c(t)$. La figura 3C ilustra una señal $r(t)$ que resulta de la multiplicación de las señales $m(t)$ y $c(t)$.

En el ejemplo de la figura 3A, la señal $m(t)$ es una señal de magnitud variable en el tiempo. Además, $m(t)$ experimenta un paso por cero. La señal portadora $c(t)$, en el ejemplo de la figura 3B, oscila a alguna frecuencia de portadora, típicamente más alta que la de la señal $m(t)$.

A partir de la figura 3C, puede observarse que la señal resultante $r(t)$ tiene una envolvente variable en el tiempo. Además, se observa, a partir de la figura 3C, que $r(t)$ experimenta una inversión en fase en el instante en el que la señal de modulación $m(t)$ pasa por cero. Teniendo tanto la fase como la envolvente no constantes, se dice que $r(t)$ es una señal de envolvente compleja variable en el tiempo.

2.3) Descomposición de Envolvente Constante de Señales de Envolvente Variable en el Tiempo

Cualquier fasor de fase y de amplitud variables en el tiempo puede obtenerse mediante la suma de dos o más fasores de magnitud constante que tienen unos desplazamientos de fase especificados de forma apropiada en relación con un fasor de referencia.

5 La figura 3D ilustra una vista de una señal de fase y de envolvente variables en el tiempo a modo de ejemplo $S(t)$. Para facilidad de ilustración, se supone que la señal $S(t)$ es una señal sinusoidal que tiene una magnitud de envolvente máxima A . La figura 3D muestra además un ejemplo de cómo la señal $S(t)$ puede obtenerse, en cualquier instante de tiempo, mediante la suma de dos señales de envolvente constante $S_1(t)$ y $S_2(t)$. En general, $S_1(t) = A_1 \text{sen}(\omega t + \phi_1(t))$ y $S_2(t) = A_2 \text{sen}(\omega t + \phi_2(t))$.

10 Para fines de ilustración, en la figura 3D se proporcionan tres vistas que ilustran cómo mediante el desplazamiento en fase de forma apropiada de las señales $S_1(t)$ y $S_2(t)$ en relación con $S(t)$, las señales $S_1(t)$ y $S_2(t)$ pueden sumarse de tal modo que $S(t) = K(S_1(t) + S_2(t))$ en la que K es una constante. Dicho de otra forma, la señal $S(t)$ puede descomponerse, en cualquier instante de tiempo, en dos o más señales. A partir de la figura 3D, a través del periodo T_1 , tanto $S_1(t)$ como $S_2(t)$ se encuentran en fase en relación con la señal $S(t)$ y, por lo tanto, totalizan la magnitud de envolvente máxima A de la señal $S(t)$. A través del periodo T_3 , no obstante, las señales $S_1(t)$ y $S_2(t)$ se encuentran desfasadas 180 grados una en relación con otra y, por lo tanto, totalizan una magnitud de envolvente mínima de la señal $S(t)$.

El ejemplo de la figura 3D ilustra el caso de las señales sinusoidales. Un experto en la materia, no obstante, entenderá que cualquier envolvente variable en el tiempo, que modula una señal portadora que puede representarse mediante una serie de Fourier o una transformada de Fourier, puede descomponerse, de forma similar, en dos o más señales de envolvente sustancialmente constante. Por lo tanto, mediante el control de la fase de una pluralidad de señales de envolvente sustancialmente constante, puede generarse cualquier señal de envolvente compleja variable en el tiempo.

3. Procedimientos y Sistemas de Amplificación de Potencia Vectorial

25 Los procedimientos y sistemas de amplificación de potencia vectorial de acuerdo con las realizaciones de la presente invención se basan en la capacidad de descomponer cualquier señal de envolvente variable en el tiempo en dos o más señales de constituyente de envolvente sustancialmente constante o de recibir o generar tales señales de constituyente, amplificar las señales de constituyente y, a continuación, sumar las señales amplificadas para generar una versión amplificada de la señal de envolvente compleja variable en el tiempo.

30 En las secciones 3.1–3.3, se proporcionan unas realizaciones de amplificación de potencia vectorial (VPA) de la presente invención, incluyendo unas realizaciones de 4 ramas y de 2 ramas. En la descripción, cada realización de VPA se presenta en primer lugar de forma conceptual usando un cálculo matemático de los conceptos subyacentes de la realización. Una realización de un procedimiento de funcionamiento de la realización de VPA se presenta a continuación, seguida por varias realizaciones de nivel de sistema de la realización de VPA.

35 La sección 3.4 presenta varias realizaciones de módulos de control de acuerdo con las realizaciones de la presente invención. Los módulos de control de acuerdo con las realizaciones de la presente invención pueden usarse para posibilitar determinadas realizaciones de VPA de la presente invención. En algunas realizaciones, los módulos de control son intermediarios entre una fase de entrada de la realización de VPA y una fase de modulación vectorial subsiguiente de la realización de VPA.

40 La sección 3.5 describe unas realizaciones de fase de salida de VPA de acuerdo con las realizaciones de la presente invención. Las realizaciones de fase de salida están dirigidas a generar la señal de salida de una realización de VPA.

La sección 3.6 está dirigida al control de armónicos de acuerdo con las realizaciones de la presente invención. El control de armónicos puede implementarse en determinadas realizaciones de la presente invención para manipular la potencia real e imaginaria en los armónicos de la realización de VPA, aumentando de este modo la potencia presente en la frecuencia fundamental en la salida.

45 La sección 3.7 está dirigida al control de potencia de acuerdo con las realizaciones de la presente invención. El control de potencia puede implementarse en determinadas realizaciones de la presente invención con el fin de satisfacer los requisitos de nivel de potencia de las aplicaciones en las que las realizaciones de VPA de la presente invención pueden emplearse.

3.1) Amplificador de Potencia Vectorial de 4 Ramas Cartesiana

De acuerdo con una realización de la invención que se denomina, en el presente documento, realización de VPA de 4 Ramas Cartesiana para facilidad de ilustración y no como limitación, una señal de envolvente compleja variable en el tiempo se descompone en 4 señales de constituyente de envolvente sustancialmente constante. Las señales de constituyente se amplifican por igual o sustancialmente por igual de forma individual y, a continuación, se suman

para construir una versión amplificada de la señal de envolvente compleja variable en el tiempo original.

Se hace notar que 4 ramas se emplean en la presente realización para fines de ilustración, y no de limitación. El alcance de la invención cubre el uso de otros números de ramas, y la implementación de tales variaciones será evidente para los expertos en la materia en base a las enseñanzas que están contenidas en el presente documento.

5 En una realización, una señal de envolvente compleja variable en el tiempo se descompone en primer lugar en sus componentes vectoriales de cuadratura y en fase. En una representación fasorial, las componentes vectoriales de cuadratura y en fase se corresponden con los fasores de parte real y de parte imaginaria de la señal, respectivamente.

10 Tal como se ha descrito en lo que antecede, las magnitudes de las componentes vectoriales de cuadratura y en fase de una señal varían de forma proporcional a la magnitud de la señal y, por lo tanto, son de envolvente no constante cuando la señal es una señal de envolvente variable en el tiempo. Por consiguiente, la realización de VPA de 4 Ramas descompone adicionalmente cada una de las componentes vectoriales de cuadratura y en fase de la señal en cuatro componentes de envolvente sustancialmente constante, dos para las componentes de señal en fase y dos para las de cuadratura. Este concepto se ilustra en la figura 4 usando una representación de señal fasorial.

15 En el ejemplo de la figura 4, los fasores \vec{I}_1 e \vec{I}_2 se corresponden con los fasores de parte real de una señal de envolvente compleja variable en el tiempo ejemplar en dos instantes de tiempo t1 y t2, respectivamente. Se observa que los fasores \vec{I}_1 e \vec{I}_2 tienen diferentes magnitudes.

Haciendo de nuevo referencia a la figura 4, en el instante t1, el fasor \vec{I}_1 puede obtenerse mediante la suma de los fasores superior e inferior \vec{I}_{U_1} e \vec{I}_{L_1} . De forma similar, en el instante t2, el fasor \vec{I}_2 puede obtenerse mediante la

20 suma de los fasores superior e inferior \vec{I}_{U_2} e \vec{I}_{L_2} . Obsérvese que los fasores \vec{I}_{U_1} e \vec{I}_{U_2} tienen una magnitud igual o sustancialmente igual. De forma similar, los fasores \vec{I}_{L_1} e \vec{I}_{L_2} tienen una magnitud sustancialmente igual. Por consiguiente, el fasor de parte real de la señal de envolvente variable en el tiempo puede obtenerse en cualquier instante de tiempo mediante la suma de por lo menos dos componentes de envolvente sustancialmente constante.

25 Los desplazamientos de fase de los fasores \vec{I}_{U_1} e \vec{I}_{L_1} en relación con \vec{I}_1 , así como los desplazamientos de fase de los fasores \vec{I}_{L_1} e \vec{I}_{L_2} en relación con \vec{I}_2 , se ajustan de acuerdo con la magnitud deseada de los fasores \vec{I}_1 e \vec{I}_2 , respectivamente. En un caso, cuando los fasores superior e inferior se seleccionan para que tengan una magnitud igual, los fasores superior e inferior se desplazan de forma simétrica en fase en relación con el fasor. Esto

30 se ilustra en el ejemplo de la figura 4, y se corresponde con \vec{I}_{U_1} , \vec{I}_{L_1} , \vec{I}_{U_2} e \vec{I}_{L_2} y teniendo todos una magnitud igual. En un segundo caso, el desplazamiento de fase de los fasores superior e inferior se desplazan, de forma sustancialmente simétrica, en fase en relación con el fasor. En base a la descripción en el presente documento, cualquier experto en la materia entenderá que la magnitud y el desplazamiento de fase de los fasores superior e inferior no tienen que ser exactamente iguales en cuanto a su valor

A modo de ejemplo, puede verificarse además que, para el caso que se ilustra en la figura 4, los desplazamientos de

35 fase relativos, que se ilustran como $\frac{\phi_1}{2}$ y $\frac{\phi_2}{2}$ en la figura 4, están relacionados con las magnitudes de los fasores normalizados \vec{I}_1 e \vec{I}_2 tal como sigue:

$$\frac{\phi_1}{2} = \cot^{-1} \left(\frac{I_1}{2\sqrt{1 - \frac{I_1^2}{4}}} \right); \text{ y} \quad (2)$$

$$\frac{\phi_2}{2} = \cot^{-1} \left(\frac{I_2}{2\sqrt{1 - \frac{I_2^2}{4}}} \right), \quad (3)$$

5 en las que \vec{I}_1 e \vec{I}_2 representan las magnitudes normalizadas de los fasores \vec{I}_1 e \vec{I}_2 , respectivamente, y en las que los dominios de I_1 e I_2 se restringen de forma apropiada de acuerdo con el dominio a través del cual la ecuación (2) y la (3) son válidas. Se hace notar que las ecuaciones (2) y (3) son una representación para relacionar los desplazamientos de fase relativos con las magnitudes normalizadas. Otras soluciones, representaciones equivalentes, y / o representaciones simplificadas de las ecuaciones (2) y (3) también pueden emplearse. También pueden usarse tablas de consulta que relacionan los desplazamientos de fase relativos con las magnitudes normalizadas.

10 El concepto que se ha descrito en lo que antecede puede aplicarse de forma similar al fasor imaginario o la parte de componente de cuadratura de una señal $r(t)$ tal como se ilustra en la figura 4. Por consiguiente, en cualquier instante de tiempo t , la parte de fasor imaginaria \vec{Q} de la señal $r(t)$ puede obtenerse mediante la suma de las componentes fasoriales superior e inferior \vec{Q}_U y \vec{Q}_L de una magnitud sustancialmente igual y constante. En este ejemplo, \vec{Q}_U y \vec{Q}_L se desplazan de forma simétrica en fase en relación con \vec{Q} un ángulo ajustado de acuerdo con la magnitud de \vec{Q} en el instante t . Las relaciones de \vec{Q}_U y \vec{Q}_L con el fasor deseado \vec{Q} se relacionan tal como se define en las
15 ecuaciones 2 y 3 mediante la sustitución por Q_1 y Q_2 de I_1 e I_2 , respectivamente.

A partir del análisis anterior se deduce que, en una representación fasorial, cualquier fasor \vec{R} de una magnitud y una fase variables puede construirse mediante la suma de cuatro componentes fasoriales de magnitud sustancialmente constante:

$$\begin{aligned} \vec{R} &= \vec{I}_U + \vec{I}_L + \vec{Q}_U + \vec{Q}_L; \\ \vec{I}_U + \vec{I}_L &= \vec{I}; \\ \vec{Q}_U + \vec{Q}_L &= \vec{Q}; \\ I_U &= I_L = \text{constante}; \\ Q_U &= Q_L = \text{constante}; \end{aligned} \quad (4)$$

20

en los que I_U , I_L , Q_U , y Q_L representan las magnitudes de los fasores \vec{I}_U , \vec{I}_L , \vec{Q}_U y \vec{Q}_L , respectivamente.

De forma correspondiente, en el dominio del tiempo, una señal sinusoidal de envolvente compleja variable en el tiempo $r(t) = R(t) \cos(\omega t + \phi)$ se construye mediante la suma de cuatro señales de envolvente constante tal como sigue:

$$\begin{aligned}
 r(t) &= I_U(t) + I_L(t) + Q_U(t) + Q_L(t); \\
 I_U(t) &= \text{sgn}(\vec{I}) \times I_U \times \cos\left(\frac{\phi_I}{2}\right) \times \cos(\omega t) + I_U \times \text{sen}\left(\frac{\phi_I}{2}\right) \times \text{sen}(\omega t); \\
 I_L(t) &= \text{sgn}(\vec{I}) \times I_L \times \cos\left(\frac{\phi_I}{2}\right) \times \cos(\omega t) - I_L \times \text{sen}\left(\frac{\phi_I}{2}\right) \times \text{sen}(\omega t); \quad (5) \\
 Q_U(t) &= -\text{sgn}(\vec{Q}) \times Q_U \times \cos\left(\frac{\phi_Q}{2}\right) \times \text{sen}(\omega t) + Q_U \times \text{sen}\left(\frac{\phi_Q}{2}\right) \times \cos(\omega t); \\
 Q_L(t) &= -\text{sgn}(\vec{Q}) \times Q_L \times \cos\left(\frac{\phi_Q}{2}\right) \times \text{sen}(\omega t) - Q_L \times \text{sen}\left(\frac{\phi_Q}{2}\right) \times \cos(\omega t).
 \end{aligned}$$

en las que $\text{sgn}(\vec{I}) = \pm 1$ dependiendo de si \vec{I} se encuentra en fase o desfasada 180° grados con el eje real positivo. De forma similar, $\text{sgn}(\vec{Q}) = \pm 1$ dependiendo de si \vec{Q} se encuentra en fase o desfasada 180° grados con el eje imaginario. $\frac{\phi_I}{2}$ se corresponde con el desplazamiento de fase de \vec{I}_U y \vec{I}_L en relación con el eje real. De forma

5 similar, $\frac{\phi_Q}{2}$ se corresponde con el desplazamiento de fase de \vec{Q}_U y \vec{Q}_L en relación con el eje imaginario. $\frac{\phi_I}{2}$ y

$\frac{\phi_Q}{2}$ pueden calcularse usando las ecuaciones dadas en (2) y (3).

Las ecuaciones (5) pueden simplificarse adicionalmente como:

$$\begin{aligned}
 r(t) &= I_U(t) + I_L(t) + Q_U(t) + Q_L(t); \\
 I_U(t) &= \text{sgn}(\vec{I}) \times I_{UX} \times \cos(\omega t) + I_{UY} \times \text{sen}(\omega t); \\
 I_L(t) &= \text{sgn}(\vec{I}) \times I_{UX} \times \cos(\omega t) - I_{UY} \times \text{sen}(\omega t); \quad (6) \\
 Q_U(t) &= -Q_{UX} \times \cos(\omega t) + \text{sgn}(\vec{Q}) \times Q_{UY} \times \text{sen}(\omega t); \\
 Q_L(t) &= Q_{UY} \times \cos(\omega t) - \text{sgn}(\vec{Q}) \times Q_{UY} \times \text{sen}(\omega t).
 \end{aligned}$$

en las que

$$I_{UX} = I_U \times \cos\left(\frac{\phi_I}{2}\right) = I_L \times \cos\left(\frac{\phi_I}{2}\right),$$

10

$$I_{UY} = I_U \times \text{sen}\left(\frac{\phi_I}{2}\right) = I_L \times \text{sen}\left(\frac{\phi_I}{2}\right), \quad Q_{UX} = Q_U \times \text{sen}\left(\frac{\phi_Q}{2}\right) = Q_L \times \text{sen}\left(\frac{\phi_Q}{2}\right),$$

y

$$Q_{UY} = Q_U \times \cos\left(\frac{\phi_Q}{2}\right) = Q_L \times \cos\left(\frac{\phi_Q}{2}\right).$$

Puede entenderse por un experto en la materia que, mientras que las representaciones en el dominio del tiempo en

- las ecuaciones (5) y (6) se han proporcionado para el caso de una forma de onda sinusoidal, representaciones equivalentes pueden desarrollarse para las formas de onda no sinusoidales usando unas funciones base apropiadas. Además, tal como entendería un experto en la materia en base a las enseñanzas en el presente documento, la descomposición bidimensional que se ha descrito en lo que antecede en unas señales de envolvente sustancialmente constante pueden extenderse de forma apropiada para dar una descomposición multidimensional.
- La figura 5 es un diagrama de bloques a modo de ejemplo de la realización de VPA de 4 Ramas Cartesiana. Una señal de salida $r(t)$ 578 de un nivel de potencia, y de unas características de frecuencia, deseados se genera a partir de las componentes de cuadratura y en fase de banda de base de acuerdo con la realización de VPA de 4 Ramas Cartesiana.
- En el ejemplo de la figura 5, un generador de frecuencias tal como un sintetizador 510 genera una señal de referencia $A \cdot \cos(\omega t)$ 511 que tiene la misma frecuencia que la de la señal de salida $r(t)$ 578. Puede entenderse por un experto en la materia que la elección de la señal de referencia se hace de acuerdo con la señal de salida deseada. Por ejemplo, si la frecuencia deseada de la señal de salida deseada es 2,4 GHz, entonces la frecuencia de la señal de referencia se ajusta para ser 2,4 GHz. De esta forma, las realizaciones de la invención consiguen una conversión elevadora en frecuencia.
- Haciendo referencia a la figura 5, uno o más divisores de fase se usan para generar las señales 521, 531, 541 y 551 en base a la señal de referencia 511. En el ejemplo de la figura 5, esto se hace usando los divisores de fase 512, 514 y 516 y mediante la aplicación de unos desplazamientos de fase de 0° en cada uno de los divisores de fase. Un experto en la materia apreciará, no obstante, que pueden usarse varias técnicas para generar las señales 521, 531, 541 y 551 de la señal de referencia 511. Por ejemplo, un divisor de fase de 1:4 puede usarse para generar las cuatro réplicas 521, 531, 541 y 551 en una única etapa o en la realización a modo de ejemplo de la figura 5, la señal 511 puede acoplarse directamente a las señales 521, 531, 541, 551 Dependiendo de la realización, una diversidad de desplazamientos de fase también pueden aplicarse para dar como resultado las señales deseadas 521, 531, 541 y 551.
- Haciendo de nuevo referencia a la figura 5, cada una de las señales 521, 531, 541 y 551 se proporciona a un modulador vectorial 520, 530, 540 y 550 correspondiente, respectivamente. Los moduladores vectoriales 520, 530, 540 y 550, en conjunción con sus señales de entrada apropiadas, generan cuatro constituyentes de envolvente constante de la señal $r(t)$ de acuerdo con las ecuaciones que se proporcionan en (6). En la realización a modo de ejemplo de la figura 5, los moduladores vectoriales 520 y 530 generan las componentes de $I_U(t)$ y de $I_L(t)$, respectivamente, de la señal $r(t)$. De forma similar, los moduladores vectoriales 540 y 550 generan las componentes de $Q_U(t)$ y de $Q_L(t)$, respectivamente, de la señal $r(t)$.
- La implementación real de cada uno de los moduladores vectoriales 520, 530, 540 y 550 puede variar. Se entenderá por un experto en la materia, por ejemplo, que existen varias técnicas para generar las constituyentes de envolvente constante de acuerdo con las ecuaciones en (6).
- En la realización a modo de ejemplo de la figura 5, cada uno de los moduladores vectoriales 520, 530, 540, 550 incluye un divisor de fase de entrada 522, 532, 542, 552 para desplazar en fase las señales 522, 531, 541, 551. Por consiguiente, los divisores de fase de entrada 522, 532, 542, 552 se usan para generar unas componentes en fase y de cuadratura o sus señales de entrada respectivas.
- En cada modulador vectorial 520, 530, 540, 550, las componentes de cuadratura y en fase se multiplican con la información de amplitud. En la figura 5, por ejemplo, el multiplicador 524 multiplica la componente de cuadratura de la señal 521 con la información de amplitud de cuadratura I_{UV} de $I_U(t)$. En paralelo, el multiplicador 526 multiplica la señal de réplica en fase con la información de amplitud en fase $\text{sgn}(I) \times I_{UX}$ de $I_U(t)$.
- Para generar las señales de constituyente de envolvente constante de $I_U(t)$ 525 y 527 se suman usando el divisor de fase 528 o técnicas de suma alternativas. La señal resultante 529 se corresponde con la componente de $I_U(t)$ de la señal $r(t)$.
- De una forma similar a como se ha descrito en lo que antecede, los moduladores vectoriales 530, 540 y 550, respectivamente, generan las componentes de $I_L(t)$, de $Q_U(t)$ y de $Q_L(t)$ de la señal $r(t)$. $I_L(t)$, $Q_U(t)$ y $Q_L(t)$, respectivamente, se corresponden con las señales 539, 549 y 559 en la figura 5.
- Además, tal como se ha descrito en lo que antecede, las señales 529, 539, 549 y 559 se caracterizan por tener unas envolventes sustancialmente iguales y constantes. Por consiguiente, cuando las señales 529, 539, 549 y 559 se introducen en los amplificadores de potencia (PA) 562, 564, 566 y 568 correspondientes, las señales amplificadas 563, 565, 567 y 569 correspondientes son unas señales de envolvente sustancialmente constante.
- Los amplificadores de potencia 562, 564, 566 y 568 amplifican cada una de las señales 529, 539, 549, 559, respectivamente. En una realización, una amplificación de potencia sustancialmente igual se aplica a cada una de las señales 529, 539, 549 y 559. En una realización, el nivel de amplificación de potencia de los PA 562, 564, 566 y 568 se ajusta de acuerdo con el nivel de potencia deseado de la señal de salida $r(t)$.

Haciendo de nuevo referencia a la figura 5, las señales amplificadas 563 y 565 se suman usando el sumador 572 para generar una versión amplificada 573 de la componentes en fase $I(t)$ de la señal $r(t)$. De forma similar, las señales amplificadas 567 y 569 se suman usando el sumador 574 para generar una versión amplificada 575 de la componente de cuadratura $Q(t)$ de la señal $r(t)$.

- 5 Las señales 573 y 575 se suman usando el sumador 576, tal como se muestra en la figura 5, correspondiéndose la señal resultante con la señal de salida deseada $r(t)$.

Ha de observarse que, en el ejemplo de la figura 5, los sumadores 572, 574 y 576 se están usando solo para fines de ilustración. Pueden usarse varias técnicas para sumar las señales amplificadas 563, 565, 567 y 569. Por ejemplo, la totalidad de las señales amplificadas 563, 565, 567 y 569 pueden sumarse en una etapa para dar como resultado la señal 578. De hecho, de acuerdo con varias realizaciones de VPA de la presente invención, es suficiente con que la suma se haga después de la amplificación. Determinadas realizaciones de VPA de la presente invención, tal como se describirá adicionalmente en lo sucesivo, usan técnicas de suma con unas pérdidas mínimas tal como un acoplamiento directo a través de hilo. Como alternativa, determinadas realizaciones de VPA usan técnicas de combinación de potencia convencionales. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo, los amplificadores de potencia 562, 564, 566 y 568 pueden implementarse como un amplificador de potencia de múltiples entradas y de una única salida.

El funcionamiento de la realización de VPA de 4 Ramas Cartesiana se describirá adicionalmente a continuación con referencia al diagrama de flujo de proceso de la figura 6. El procedimiento comienza en la etapa 610, que incluye recibir la representación de banda de base de la señal de salida deseada. En una realización, esto comporta recibir las componentes en fase (I) y de cuadratura (Q) de la señal de salida deseada. En otra realización, esto comporta recibir la magnitud y la fase de la señal de salida deseada. En una realización de la realización de VPA de 4 Ramas Cartesiana, las I y Q son unas componentes de banda de base. En otra realización, las I y Q son unas componentes de RF y se les aplica una conversión reductora a la banda de base.

La etapa 620 incluye recibir una señal de reloj ajustada de acuerdo con una frecuencia de señal de salida deseada de la señal de salida deseada. En el ejemplo de la figura 5, la etapa 620 se consigue mediante la recepción de la señal de referencia 511.

La etapa 630 incluye el procesamiento de la componente de I para generar unas señales primera y segunda que tienen la frecuencia de señal de salida. Las señales primera y segunda tienen unas envolventes de magnitud sustancialmente constante e igual y una suma igual a la componente de I. Las señales primera y segunda se corresponden con las constituyentes de envolvente constante de $I_U(t)$ y de $I_L(t)$ que se han descrito en lo que antecede. En el ejemplo de la figura 5, la etapa 630 se consigue mediante los moduladores vectoriales 520 y 530, en conjunción con sus señales de entrada apropiadas.

La etapa 640 incluye el procesamiento de la componente de Q para generar unas señales tercera y cuarta que tienen la frecuencia de señal de salida. Las señales tercera y cuarta tienen unas envolventes de magnitud sustancialmente constante e igual y una suma igual a la componente de Q. Las señales tercera y cuarta se corresponden con las constituyentes de envolvente constante de $Q_U(t)$ y de $Q_L(t)$ que se han descrito en lo que antecede. En el ejemplo de la figura 5, la etapa 630 se consigue mediante los moduladores vectoriales 540 y 550, en conjunción con sus señales de entrada apropiadas.

La etapa 650 incluye amplificar de forma individual cada una de las señales primera, segunda, tercera y cuarta, y sumar las señales amplificadas para generar la señal de salida deseada. En una realización, la amplificación de las señales primera, segunda, tercera y cuarta es sustancialmente igual y conforme a un nivel de potencia deseado de la señal de salida deseada. En el ejemplo de la figura 5, la etapa 650 se consigue mediante los amplificadores de potencia 562, 564, 566 y 568 que amplifican las señales 529, 539, 549 y 559 respectivas, y mediante los sumadores 572, 574 y 576 que suman las señales amplificadas 563, 565, 567 y 569 para generar la señal de salida 578.

La figura 7A es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial 700 que implementa el diagrama de flujo de proceso 600 de la figura 6. En el ejemplo de la figura 7A, los componentes opcionales se ilustran con unas líneas discontinuas. En otras realizaciones, pueden ser opcionales unos componentes adicionales.

El amplificador de potencia vectorial 700 incluye una rama en fase (I) 703 y una rama de cuadratura (Q) 705. Cada una de las ramas de I y de Q comprende además una primera rama y una segunda rama.

La señal de información en fase (I) 702 se recibe mediante un módulo de función de transferencia de datos de I 710. En una realización, la señal de información de I 702 incluye una señal de banda de base digital. En una realización, el módulo de función de transferencia de datos de I 710 muestrea la señal de información de I 702 de acuerdo con un reloj de muestreo 706. En otra realización, la señal de información de I 702 incluye una señal de banda de base analógica, que se convierte a digital usando un convertidor de analógico a digital (ADC) (que no se muestra en la figura 7A) antes de introducirse en el módulo de función de transferencia de datos de I 710. En otra realización, la

señal de información de I 702 incluye una señal de banda de base analógica que se introduce de forma analógica en el módulo de función de transferencia de datos de I 710, que también incluye circuitería analógica. En otra realización, la señal de información de I 702 incluye una señal de RF a la que se le aplica una conversión reductora a la banda de base antes de introducirse en el módulo de función de transferencia de datos de I 710 usando cualquiera de las realizaciones que se han descrito en lo que antecede.

El módulo de función de transferencia de datos de I 710 procesa la señal de información de I 702, y determina la información de amplitud de cuadratura y en fase de por lo menos dos señales de constituyente de envolvente constante de la señal de información de I 702. Tal como se ha descrito en lo que antecede con referencia a la figura 5, la información de amplitud de modulador vectorial de cuadratura y en fase se corresponde con $\text{sgn}(I) \times I_{UX}$ e I_{UY} , respectivamente. El funcionamiento del módulo de función de transferencia de datos de I 710 se describe adicionalmente en lo sucesivo en la sección 3.4.

El módulo de función de transferencia de datos de I 710 emite las señales de información 722 y 724 que se usan para controlar las componentes de amplitud de cuadratura y en fase de los moduladores vectoriales 760 y 762. En una realización, las señales 722 y 724 son señales digitales. Por consiguiente, cada una de las señales 722 y 724 se suministra, respectivamente, a un convertidor de digital a analógico (DAC) 730 y 732 correspondiente. La resolución y la tasa de muestreo de los DAC 730 y 732 se selecciona para conseguir la componente de I deseada de la señal de salida 782. Los DAC 730 y 732 se controlan por las señales de reloj de DAC 723 y 725, respectivamente. Las señales de reloj de DAC 723 y 725 pueden calcularse a partir de una misma señal de reloj o pueden ser independientes.

En otra realización, las señales 722 y 724 son unas señales analógicas, y los DAC 730 y 732 no se requieren.

En la realización ejemplar de la figura 7A, los DAC 730 y 732 convierten las señales de información digital 722 y 724 en las señales analógicas correspondientes, e introducen estas señales analógicas en los filtros de interpolación opcionales 731 y 733, respectivamente. Los filtros de interpolación 731 y 733, que también sirven como filtros antialias, conforman las salidas de los DAC para producir la forma de onda de salida deseada. Los filtros de interpolación 731 y 733 generan las señales 740 y 742, respectivamente. La señal 741 representa la inversa de la señal 740. Las señales 740–742 se introducen en los moduladores vectoriales 760 y 762.

Los moduladores vectoriales 760 y 762 multiplican las señales 740–742 con unas señales de reloj desplazadas en fase de la forma apropiada para generar unas constituyentes de envolvente constante de la señal de información de I 702. Las señales de reloj se calculan a partir de una señal de reloj de canal 708 que tiene una tasa de acuerdo con una frecuencia de señal de salida deseada. Una pluralidad de divisores de fase, tal como 750 y 752, por ejemplo, y los fasores asociados con los multiplicadores de modulador vectorial, pueden usarse para generar las señales de reloj desplazadas en fase de la forma apropiada.

En la realización de la figura 7A, por ejemplo, el modulador vectorial 764 modula una señal de reloj de canal desplazada 90° con la señal de información de amplitud de cuadratura 740. En paralelo, el modulador vectorial 760 modula una señal de reloj de canal en fase con la señal de información de amplitud en fase 742. El modulador vectorial 760 combina las dos señales moduladas para generar una primera constituyente de envolvente constante modulada 761 de la señal de información de I 702. De forma similar, el modulador vectorial 762 genera una segunda constituyente de envolvente constante modulada 763 de la señal de información de I 702, usando las señales 741 y 742. Las señales 761 y 763 se corresponden, respectivamente, con las componentes de envolvente constante de $I_U(t)$ y de $I_L(t)$ que se describen con referencia a la figura 5.

En paralelo y de una forma similar, la rama de Q del amplificador de potencia vectorial 700 genera por lo menos dos señales de constituyente de envolvente constante de la señal de información de cuadratura (Q) 704.

En la realización de la figura 7A, por ejemplo, el modulador vectorial 764 genera una primera constituyente de envolvente constante 765 de la señal de información de Q 704, usando las señales 744 y 746. De forma similar, el modulador vectorial 766 genera una segunda constituyente de envolvente constante 767 de la señal de información de Q 704, usando las señales 745 y 746.

Tal como se ha descrito en lo que antecede con respecto a la figura 5, las señales de constituyente 761, 763, 765 y 767 tienen unas envolventes sustancialmente iguales y constantes. En la realización ejemplar de la figura 7A, las señales 761, 763, 765 y 767 se introducen, respectivamente, en los amplificadores de potencia (PA) 770, 772, 774 y 776 correspondientes. Los PA 770, 772, 774 y 776 pueden ser unos amplificadores de potencia lineales o no lineales. En una realización, los PA 770, 772, 774 y 776 incluyen unos amplificadores de potencia con conmutación.

La circuitería 714 y 716 (a la que se hace referencia en el presente documento como “circuitería de autopolarización” para facilidad de referencia, y no como limitación) y en la presente realización, controlan la polarización de los PA 770, 772, 774 y 776 de acuerdo con las señales de información de I y de Q 702 y 704. En la realización de la figura 7A, la circuitería de autopolarización 714 y 716 proporcionan, respectivamente, las señales de polarización 715 y 717 a los PA 770, 772 y los PA 774, 776. Las circuiterías de autopolarización 714 y 716 se describen adicionalmente en lo sucesivo en la sección 3.5. Las realizaciones de los PA 770, 772, 774 y 776 también se analizan en lo sucesivo en la sección 3.5.

En una realización, los PA 770, 772, 774 y 776 aplican una amplificación de potencia sustancialmente igual a las señales de envolvente sustancialmente constante 761, 763, 765 y 767 respectivas. En otras realizaciones, los circuitos de excitación de PA se emplean adicionalmente para proporcionar una amplificación de potencia adicional. En la realización de la figura 7A, los circuitos de excitación de PA 794, 795, 796 y 797 se añaden de forma opcional entre los moduladores vectoriales respectivos 760, 762, 764 y 766 y los PA 770, 772, 774 y 776 respectivos, en cada rama del amplificador de potencia vectorial 700.

Las salidas de los PA 770, 772, 774 y 776 se acoplan entre sí para generar la señal de salida 782 del amplificador de potencia vectorial 700. En una realización, las salidas de los PA 770, 772, 774 y 776 se acoplan directamente entre sí usando un hilo. El acoplamiento directo de esta forma quiere decir que no hay aislamiento resistivo, inductivo o capacitivo alguno, o hay uno mínimo, entre las salidas de los PA 770, 772, 774 y 776. Dicho de otra forma, las salidas de los PA 770, 772, 774 y 776 se acoplan entre sí sin componentes intermedios. Como alternativa, en una realización, las salidas de los PA 770, 772, 774 y 776 se acoplan entre sí indirectamente a través de unas inductancias y / o capacidades que dan como resultado unas conexiones de impedancia baja o mínima, y / o unas conexiones que dan como resultado un aislamiento mínimo y una pérdida de potencia mínima. Como alternativa, las salidas de los PA 770, 772, 774 y 776 se acoplan usando unas técnicas de combinación bien conocidas, tal como circuitos de Wilkinson, circuitos híbridos, transformadores, o los circuitos combinadores activos conocidos. En una realización, los PA 770, 772, 774 y 776 proporcionan una combinación de potencia y de amplificación integradas en una única operación. En una realización, uno o más de los amplificadores de potencia y / o los circuitos de excitación que se describen en el presente documento se implementan usando unas técnicas de amplificación de potencia de múltiples entradas y de una única salida, ejemplos de las cuales se muestran en las figuras 7B y 51A–H.

La señal de salida 782 incluye las características de I y de Q de las señales de información de I y de Q 702 y 704. Además, la señal de salida 782 es de la misma frecuencia que la de sus constituyentes y, por lo tanto, es de la frecuencia de salida con conversión elevadora. En las realizaciones del amplificador de potencia vectorial 700, una impedancia de polarización 780 se acopla entre la salida del amplificador vectorial 700 y un suministro de potencia. Las realizaciones de fase de salida de acuerdo con los procedimientos y sistemas de amplificación de potencia de la presente invención se describirán adicionalmente en lo sucesivo en la sección 3.5.

En otras realizaciones del amplificador de potencia vectorial 700, unos detectores de proceso se emplean para compensar cualquier variación de proceso en la circuitería del amplificador. En la realización de la figura 7A, por ejemplo, los detectores de proceso 791–793 se añaden de forma opcional para supervisar las variaciones en los circuitos de excitación de PA 794–797 y el divisor de fase 750. En unas realizaciones adicionales, la circuitería de compensación de frecuencia 799 puede emplearse para compensar las variaciones de frecuencia.

La figura 7B es un diagrama de bloques que ilustra otra realización ejemplar del amplificador de potencia vectorial 700. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

La realización ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 7A. En la realización de la figura 7B, las señales de envolvente constante 761, 763, 765 y 767, que se emiten a partir de los moduladores vectoriales 760, 762, 764 y 766, se introducen en los PA de MISO 784 y 786. Los PA de MISO 784 y 786 son unos amplificadores de potencia de dos entradas y de una única salida. En una realización, los PA de MISO 784 y 786 incluyen los elementos 770, 772, 774, 776, 794–797 tal como se muestra en la realización de la figura 7A o una equivalencia funcional de los mismos. En otra realización, los PA de MISO 784 y 786 pueden incluir otros elementos, tal como unos circuitos de pre–excitación opcionales y una circuitería de detección de proceso opcional. Además, los PA de MISO 784 y 786 no se limitan a ser unos PA de dos entradas tal como se muestra en la figura 7B. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, los PA 784 y 786 pueden tener cualquier número de entradas y salidas.

La figura 8A es un diagrama de bloques que ilustra otra realización ejemplar 800A de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana que se muestra en la figura 6. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

En la realización de la figura 8A, un DAC 830 de una resolución y una tasa de muestreo suficientes sustituye los DAC 730, 732, 734 y 736 de la realización de la figura 7A. La tasa de muestreo del DAC 830 se controla por una señal de reloj de DAC 826.

El DAC 830 recibe unas señales de información de cuadratura y en fase 810 y 820 a partir del módulo de función de transferencia de datos de I 710 y el módulo de función de transferencia de datos de Q 712, respectivamente, tal como se ha descrito en lo que antecede. En una realización, un selector de entrada 822 selecciona el orden de las señales 810 y 820 que se introducen en DAC 830.

El DAC 830 puede emitirse una única señal analógica por cada vez. En una realización, una arquitectura de muestreo y retención puede usarse para garantizar un sincronismo de señal apropiado para las cuatro ramas del amplificador, tal como se muestra en la figura 8A.

El DAC 830 emite de forma secuencial las señales analógicas 832, 834, 836, 838 a un primer conjunto de circuitos de muestreo y retención 842, 844, 846 y 848. En una realización, el DAC 830 se temporiza a una tasa suficiente para emular el funcionamiento de los DAC 730, 732, 734 y 736 de la realización de la figura 7A. Un selector de salida 824 determina cual de las señales de salida 832, 834, 836 y 838 debería seleccionarse para la salida.

- 5 La señal de reloj de DAC 826 del DAC 830, la señal de selector de salida 824, el selector de entrada 822 y los relojes de muestreo y retención 840A–D y 850 se controlan por un módulo de control que puede ser independiente o estar integrado en los módulos de función de transferencia 710 y / o 712.

En una realización, los circuitos de muestreo y retención (S / H) 842, 844, 846 y 848 muestrean y retienen los valores analógicos recibidos a partir del DAC 830 de acuerdo con una señal de reloj 840A–D. Los circuitos de muestreo y retención 852, 854, 856 y 858 muestrean y retienen los valores analógicos a partir de los circuitos de muestreo y retención 842, 844, 846 y 848 respectivamente. A su vez, los circuitos de muestreo y retención 852, 854, 856 y 858 retienen los valores analógicos recibidos, y liberan de forma simultánea los valores para los moduladores vectoriales 760, 762, 764 y 766 de acuerdo con una señal de reloj común 850. En otra realización, los circuitos de muestreo y retención 852, 854, 856 y 858 liberan los valores para los filtros de interpolación opcionales 731, 733, 735 y 737 que también son filtros antisolape. En una realización, una señal de reloj común 850 se usa con el fin de garantizar que las salidas de S / H 852, 854, 856 y 858 estén alineadas en el tiempo.

Otros aspectos del amplificador de potencia vectorial 800A se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 700.

La figura 8B es un diagrama de bloques que ilustra otra realización ejemplar 800B de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana que se muestra en la figura 6. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

La realización 800B ilustra otra implementación de DAC único del amplificador de potencia vectorial. No obstante, en contraste con la realización de la figura 8A, la arquitectura de muestreo y retención incluye un único conjunto de circuitos de muestreo y retención (S / H). Tal como se muestra en la figura 8B, los S / H 842, 844, 846 y 848 reciben unos valores analógicos a partir del DAC 830, que se ilustra como las señales 832, 834, 836 y 838. Cada uno de los circuitos de S / H 842, 844, 846 y 848 liberan su valor recibido de acuerdo con un reloj diferente 840A–D, tal como se muestra. La diferencia de tiempo entre las muestras analógicas que se usan para generar las señales 740, 741, 742, 744, 745 y 746 puede compensarse en las funciones de transferencia 710 y 712. De acuerdo con la realización de la figura 8B, un nivel de circuitería de S / H puede eliminarse en relación con la realización de la figura 8A, reduciendo de ese modo el tamaño y la complejidad del amplificador.

Otros aspectos del amplificador de potencia vectorial 800B se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 700 y 800A.

La figura 8C es un diagrama de bloques que ilustra otra realización ejemplar 800C del amplificador de potencia vectorial 700. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales. La realización de la figura 8C ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 8A. En la realización de la figura 8C, las señales de envolvente constante 761, 763, 765 y 767, que se emiten a partir de los moduladores vectoriales 760, 762, 764 y 766, se introducen en los PA de MISO 860 y 862. Los PA de MISO 860 y 862 son unos amplificadores de potencia de dos entradas y de una única salida. En una realización, los PA de MISO 860 y 862 incluyen los elementos 770, 772, 774, 776, 794–797 tal como se muestra en la realización de la figura 7A o una equivalencia funcional de los mismos. En otra realización, los PA de MISO 860 y 862 pueden incluir otros elementos, tal como unos circuitos de pre–excitación opcionales y una circuitería de detección de proceso opcional. En otra realización, los PA de MISO 860 y 862 pueden incluir otros elementos, tal como circuitos de pre–excitación, que no se muestran en la realización de la figura 7A. Además, los PA de MISO 860 y 862 no se limitan a ser unos PA de dos entradas tal como se muestra en la figura 8C. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, los PA 860 y 862 pueden tener cualquier número de entradas y salidas.

Otros aspectos del amplificador de potencia vectorial 800C se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 700 y 800A.

La figura 8D es un diagrama de bloques que ilustra otra realización ejemplar 800D del amplificador de potencia vectorial 700. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales. La realización de la figura 8D ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 8B. En la realización de la figura 8D, las señales de envolvente constante 761, 763, 765 y 767, que se emiten a partir de los moduladores vectoriales 760, 762, 764 y 766, se introducen en los PA de MISO 870 y 872. Los PA de MISO 870 y 872 son unos amplificadores de potencia de dos entradas y de una única salida. En una realización, los PA de MISO 870 y 872 incluyen los elementos 770, 772, 774, 776, 794–797 tal como se muestra en la realización de la figura 7A o una

equivalencia funcional de los mismos. En otra realización, los PA de MISO 870 y 872 pueden incluir otros elementos, tal como unos circuitos de pre-excitación opcionales y una circuitería de detección de proceso opcional. En otra realización, los PA de MISO 870 y 872 pueden incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 7A. Además, los PA de MISO 870 y 872 no se limitan a ser unos PA de dos entradas tal como se muestra en la figura 8D. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, los PA 870 y 872 pueden tener cualquier número de entradas y salidas.

Otros aspectos del amplificador de potencia vectorial 800D se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 700 y 800B.

10 **3.2) Amplificador de Potencia Vectorial de 2 Ramas Cartesiana–Polar–Cartesiana–Polar**

Una realización de VPA de 2 Ramas Cartesiana–Polar–Cartesiana–Polar (CPCP) se describirá a continuación (la denominación de la presente realización se proporciona para facilidad de referencia, y no es limitante).

De acuerdo con el procedimiento de VPA de 2 Ramas Cartesiana–Polar–Cartesiana–Polar (CPCP), una señal de envolvente compleja variable en el tiempo se descompone en 2 señales de constituyente de envolvente sustancialmente constante. Las señales de constituyente se amplifican de forma individual y, a continuación, se suman para construir una versión amplificada de la señal de envolvente compleja variable en el tiempo original. Además, el ángulo de fase de la señal de envolvente compleja variable en el tiempo se determina y la suma resultante de las señales de constituyente se desplaza en fase el ángulo apropiado.

En una realización del procedimiento de VPA de 2 Ramas CPCP, una magnitud y un ángulo de fase de una señal de envolvente compleja variable en el tiempo se calculan a partir de las componentes de cuadratura y en fase de una señal. Dada la información de magnitud, dos constituyentes de envolvente sustancialmente constante se calculan a partir de una versión normalizada de la señal de envolvente variable en el tiempo deseada, en la que la normalización incluye una manipulación específica de la implementación de fase y/o amplitud. Las dos constituyentes de envolvente sustancialmente constante se desplazan en fase a continuación un ángulo apropiado en relación con el desplazamiento de fase de la señal de envolvente variable en el tiempo deseada. Las constituyentes de envolvente sustancialmente constante se amplifican a continuación de forma individual sustancialmente por igual, y se suman para generar una versión amplificada de la señal de envolvente variable en el tiempo deseada original.

Las figuras 9A y 9B ilustran de forma conceptual la realización de VPA de 2 Ramas CPCP usando una representación de señal fasorial. En la figura 9A, el fasor \vec{R}_{entrada} representa una señal de entrada de envolvente compleja variable en el tiempo $r(t)$. En cualquier instante de tiempo, \vec{R}_{entrada} refleja una magnitud y un ángulo de desplazamiento de fase de la señal $r(t)$. En el ejemplo que se muestra en la figura 9A, \vec{R}_{entrada} se caracteriza por una magnitud R y un ángulo de desplazamiento de fase θ . Tal como se ha descrito en lo que antecede, el ángulo de desplazamiento de fase se mide en relación con una señal de referencia.

Haciendo referencia a la figura 9A, \vec{R}' representa la componente de amplitud relativo de \vec{R}_{entrada} que se genera mediante \vec{U}' y \vec{L}' .

Haciendo de nuevo referencia a la figura 9A, se observa que, en cualquier instante de tiempo, \vec{R}' puede obtenerse mediante la suma de un fasor superior \vec{U}' y un fasor inferior \vec{L}' . Además, \vec{U}' y \vec{L}' pueden mantenerse para que tengan una magnitud sustancialmente constante. Los fasores \vec{U}' y \vec{L}' , por consiguiente, representan dos señales de envolvente sustancialmente constante. De este modo puede obtenerse $r(t)$, en cualquier instante de tiempo, mediante la suma de dos señales de envolvente sustancialmente constante que se corresponden con los fasores \vec{U}' y \vec{L}' .

Los desplazamientos de fase de los fasores \vec{U}' y \vec{L}' en relación con \vec{R}' se ajustan de acuerdo con la magnitud deseada R de \vec{R}' . En el caso más simple, cuando los fasores superior e inferior \vec{U}' y \vec{L}' se seleccionan para que tengan una magnitud igual, los fasores superior e inferior \vec{U}' y \vec{L}' se desplazan, de forma sustancialmente simétrica, en fase en relación con \vec{R}' . Esto se ilustra en el ejemplo de la figura 9A. Se observa que las expresiones y las frases que indican o que sugieren una orientación, tal como pero sin limitarse a “superior e inferior” se usan en el presente documento para facilidad de referencia y no son funcional o estructuralmente limitantes.

Puede verificarse que, para el caso que se ilustra en la figura 9A, el desplazamiento de fase de \vec{U}' y \vec{L}' en relación con \vec{R}' que se ilustra como el ángulo $\frac{\phi}{2}$ en la figura 9A, está relacionado con la magnitud de \vec{R}' tal como sigue:

$$\frac{\phi}{2} = \cot^{-1} \left(\frac{R}{2\sqrt{1 - \frac{R^2}{4}}} \right) \quad (7)$$

en la que R representa una magnitud normalizada del fasor \vec{R}' .

5 La ecuación (7) puede reducirse adicionalmente a

$$\frac{\phi}{2} = \cos^{-1} \left(\frac{R}{2} \right) \quad (7.10)$$

en la que R representa una magnitud normalizada del fasor \vec{R}' .

Como alternativa, puede usarse cualquier ecuación matemática sustancialmente equivalente, u otras técnicas matemáticas sustancialmente equivalentes tal como tablas de consulta.

10 A partir del análisis anterior se deduce que, en una representación fasorial, cualquier fasor \vec{R}' de una magnitud y una fase variables puede construirse mediante la suma de dos componentes fasoriales de magnitud constante:

$$\begin{aligned} \vec{R}' &= \vec{U}' + \vec{L}' \\ |\vec{U}'| &= |\vec{L}'| = A = \text{constante} \end{aligned} \quad (8)$$

De forma correspondiente, en el dominio del tiempo, una señal sinusoidal de envolvente variable en el tiempo $r'(t) = R(t) \times \cos(\omega t)$ se construye mediante la suma de dos señales de envolvente constante tal como sigue:

$$\begin{aligned} r'(t) &= U'(t) + L'(t); \\ U'(t) &= A \times \cos\left(\omega t + \frac{\phi}{2}\right); \\ L'(t) &= A \times \cos\left(\omega t - \frac{\phi}{2}\right); \end{aligned} \quad (9)$$

15

en las que A es una constante y $\frac{\phi}{2}$ es tal como se muestra en la ecuación (7).

A partir de la figura 9A, puede verificarse además que las ecuaciones (9) pueden volver a escribirse como:

$$\begin{aligned} r'(t) &= U'(t) + L'(t); \\ U'(t) &= C \cos(\omega t) + \alpha \text{sen}(\omega t); \\ L'(t) &= C \cos(\omega t) - \beta \text{sen}(\omega t); \end{aligned} \quad (10)$$

en las que C indica la componente de parte real de los fasores \vec{U}' y \vec{L}' y es igual a $A \times \cos(\frac{\phi}{2})$. Obsérvese que C es una componente común de \vec{U}' y \vec{L}' . α y β indican los componentes de parte imaginaria de los fasores \vec{U}' y \vec{L}' respectivamente. $\alpha = \beta = A \times \sin(\frac{\phi}{2})$. Por consiguiente, a partir de las ecuaciones (12), $r'(t) = 2C \times \cos(\omega t) = 2A \times \cos(\frac{\phi}{2}) \times \cos(\omega t)$. Tal como entendería un experto en la materia en base a las enseñanzas en el presente

5 documento, también pueden usarse otras representaciones equivalentes y / o simplificadas de las representaciones anteriores de las cantidades A, B y C, incluyendo tablas de consulta, por ejemplo.

Obsérvese que $\vec{R}_{entrada}$ se desplaza θ grados en relación con \vec{R}' . Por consiguiente, usando las ecuaciones (8), puede deducirse que:

$$\vec{R}_{entrada} = \vec{R}' e^{j\theta} = (\vec{U}' + \vec{L}') e^{j\theta} = \vec{U}' e^{j\theta} + \vec{L}' e^{j\theta} \quad (11)$$

10 Las ecuaciones (11) implican que una representación de $\vec{R}_{entrada}$ puede obtenerse mediante la suma de los fasores \vec{R}' y \vec{L}' , que se han descrito en lo que antecede, desplazados θ grados. Además, puede obtenerse una versión de salida amplificada, \vec{R}_{salida} , de $\vec{R}_{entrada}$ mediante la amplificación por separado sustancialmente por igual de cada una de las versiones desplazadas θ grados de los fasores \vec{U}' y \vec{L}' , y mediante la suma de las mismas. La figura 9B ilustra este concepto. En la figura 9B, los fasores \vec{U} y \vec{L} representan unas versiones desplazadas θ grados y

15 amplificadas de los fasores \vec{U}' y \vec{L}' . Obsérvese que, debido a que \vec{U}' y \vec{L}' son unos fasores de magnitud constante, y \vec{L} también son unos fasores de magnitud constante. Los fasores \vec{U} y \vec{L} totalizan, tal como se muestra la figura 9B, el fasor \vec{R}_{salida} que es una versión amplificada en potencia de la señal de entrada $\vec{R}_{entrada}$.

De forma equivalente, en el dominio del tiempo, puede demostrarse que:

$$\begin{aligned} r_{salida}(t) &= U(t) + L(t); \\ U(t) &= K[C \cos(\omega t + \theta) + \alpha \sin(\omega t + \theta)]; \\ L(t) &= K[C \cos(\omega t + \theta) - \beta \sin(\omega t + \theta)]. \end{aligned} \quad (12)$$

20 en las que $r_{salida}(t)$ se corresponde con la señal en el dominio del tiempo que se representa mediante el fasor \vec{R}_{salida} ; $U(t)$ y $L(t)$ se corresponden con las señales en el dominio del tiempo que se representan mediante los fasores \vec{U} y \vec{L} , y K es el factor de amplificación de potencia.

25 Un experto en la materia apreciará que, mientras que las representaciones en el dominio del tiempo en las ecuaciones (9) y (10) se han proporcionado para el caso de una forma de onda sinusoidal, representaciones equivalentes pueden desarrollarse para las formas de onda no sinusoidales usando unas funciones base apropiadas.

30 La figura 10 es un diagrama de bloques que ilustra de forma conceptual una realización ejemplar 1000 de la realización de VPA de 2 Ramas CPCP. Una señal de salida $r(t)$ de un nivel de potencia, y de unas características de frecuencia, deseados se genera a partir de las componentes de cuadratura y en fase de acuerdo con la realización de VPA de 2 Ramas CPCP.

En el ejemplo de la figura 10, una señal de reloj 1010 representa una señal de referencia para generar la señal de salida $r(t)$. La señal de reloj 1010 es de la misma frecuencia que la de la señal de salida deseada $r(t)$.

Haciendo referencia a la figura 10, una señal de Ifase_reloj 1012 y una señal de Qfase_reloj 1014 representan unos valores analógicos en amplitud que se multiplican por las componentes de cuadratura y en fase de la señal de Reloj

1010 y se calculan a partir de las señales I y Q de banda de base.

Haciendo de nuevo referencia a la figura 10, la señal de reloj 1010 se multiplica con la señal de Ifase_reloj 1012. En paralelo, una versión desplazada 90 grados de la señal de reloj 1010 se multiplica con la señal de Qfase_reloj 1014. Las dos señales multiplicadas se combinan para generar la señal de R_reloj 1016. La señal de R_reloj 1016 es de la misma frecuencia que la señal de reloj 1010. Además, la señal de R_reloj 1016 se caracteriza por un ángulo de desplazamiento de fase de acuerdo con la relación de Q(t) e I(t). La magnitud de la señal de R_reloj 1016 es tal que $R_{reloj}^2 = I_{fase_reloj}^2 + Q_{fase_reloj}^2$. Por consiguiente, la señal de R_reloj 1016 representa una señal de envolvente sustancialmente constante que tiene las características de fase de la señal de salida deseada r(t).

Haciendo de nuevo referencia a la figura 10, la señal de R_reloj 1016 se introduce, en paralelo, en dos moduladores vectoriales 1060 y 1062. Los moduladores vectoriales 1060 y 1062 generan las constituyentes de envolvente sustancialmente constante de U(t) y de L(t), respectivamente, de la señal de salida deseada r(t) tal como se describe en (12). En el modulador vectorial 1060, una señal de R_reloj en fase 1020, que se multiplica con la señal Común 1028, se combina con una versión desplazada 90 grados 1018 de la señal de R_reloj, que se multiplica con la primera señal 1026. En paralelo, en el modulador vectorial 1062, una señal de R_reloj en fase 1022, que se multiplica con la señal Común 1028, se combina con una versión desplazada 90 grados 1024 de la señal de R_reloj, que se multiplica con la segunda señal 1030. La señal Común 1028, la primera señal 1026 y la segunda señal 1030 se corresponden, respectivamente, con la parte real C y las partes imaginarias α y β que se describen en la ecuación (12).

Las señales de salida 1040 y 1042 de los moduladores vectoriales respectivos 1060 y 1062 se corresponden, respectivamente, con las constituyentes de envolvente constante de U(t) y de L(t) de la señal de entrada r(t).

Tal como se ha descrito en lo que antecede, las señales 1040 y 1042 se caracterizan por tener unas envolventes sustancialmente iguales y constantes. Por consiguiente, cuando las señales 1040 y 1042 se introducen en los amplificadores de potencia (PA) 1044 y 1046 correspondientes, las señales amplificadas 1048 y 1050 correspondientes son unas señales de envolvente sustancialmente constante.

Los amplificadores de potencia 1044 y 1046 aplican una amplificación de potencia sustancialmente igual a las señales 1040 y 1042, respectivamente. En una realización, el nivel de amplificación de potencia de los PA 1044 y 1046 se ajusta de acuerdo con el nivel de potencia deseado de la señal de salida r(t). Además, las señales amplificadas 1048 y 1050 se encuentran en fase una en relación con otra. Por consiguiente, cuando se suman entre sí, tal como se muestra en la figura 10, la señal 1052 resultante se corresponde con la señal de salida deseada r(t).

La figura 10A es otra realización ejemplar 1000A de la realización de VPA de 2 Ramas CPCP. La realización 1000A representa una implementación de Múltiples Entradas y de una Única Salida (MISO) de la realización 1000 de la figura 10.

En la realización 1000A, las señales de envolvente constante 1040 y 1042, que se emiten a partir de los moduladores vectoriales 1060 y 1062, se introducen en el PA de MISO 1054. El PA de MISO 1054 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1054 puede incluir varios elementos, tal como circuitos de pre-excitación, circuitos de excitación, amplificadores de potencia y detectores de proceso (que no se muestran en la figura 10A), por ejemplo. Además, el PA de MISO 1054 no se limita a ser un PA de dos entradas tal como se muestra en la figura 10A. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, el PA 1054 puede tener cualquier número de entradas.

El funcionamiento de la realización de VPA de 2 Ramas CPCP se representa en el diagrama de flujo de proceso 1100 de la figura 11.

El procedimiento comienza en la etapa 1110, que incluye recibir una representación de banda de base de la señal de salida deseada. En una realización, esto comporta recibir las componentes en fase (I) y de cuadratura (Q) de la señal de salida deseada. En otra realización, esto comporta recibir la magnitud y la fase de la señal de salida deseada.

La etapa 1120 incluye recibir una señal de reloj ajustada de acuerdo con una frecuencia de señal de salida deseada de la señal de salida deseada. En el ejemplo de la figura 10, la etapa 1120 se consigue mediante la recepción de la señal de reloj 1010.

La etapa 1130 incluye el procesamiento de la señal de reloj para generar una señal de reloj normalizada que tiene un ángulo de desplazamiento de fase de acuerdo con las componentes de I y de Q recibidas. En una realización, la señal de reloj normalizada es una señal de envolvente constante que tiene un ángulo de desplazamiento de fase de acuerdo con una relación de las componentes de I y de Q. El ángulo de desplazamiento de fase del reloj normalizado es relativo a la señal de reloj original. En el ejemplo de la figura 10, la etapa 1130 se consigue mediante la multiplicación de las componentes de cuadratura y en fase de la señal de reloj 1010 con las señales de Ifase_reloj 1012 y de Qfase_reloj 1014 y, a continuación, mediante la suma de la señal multiplicada para generar la señal de R_reloj 1016.

La etapa 1140 incluye el procesamiento de las componentes de I y de Q para generar la información de amplitud que se requiere para producir unas señales de constituyente de envolvente sustancialmente constante primera y segunda.

5 La etapa 1150 incluye el procesamiento de la información de amplitud de la etapa 1140 y la señal de reloj normalizada R_{reloj} para generar las constituyentes de envolvente constante primera y segunda de la señal de salida deseada. En una realización, la etapa 1150 comporta el desplazamiento en fase de las constituyentes de envolvente constante primera y segunda de la señal de salida deseada el ángulo de desplazamiento de fase de la señal de reloj normalizada. En el ejemplo de la figura 10, la etapa 1150 se consigue mediante los moduladores vectoriales 1060 y 1062 que modulan la señal de R_{reloj} 1016 con la primera señal 1026, la segunda señal 1030 y la señal común 1028 para generar las señales 1040 y 1042.

La etapa 1160 incluye amplificar de forma individual las constituyentes de envolvente constante primera y segunda, y sumar las señales amplificadas para generar la señal de salida deseada. En una realización, la amplificación de las constituyentes de envolvente constante primera y segunda es sustancialmente igual y conforme a un nivel de potencia deseado de la señal de salida deseada. En el ejemplo de la figura 10, la etapa 1160 se consigue mediante los PA 1044 y 1046 que amplifican las señales 1040 y 1042 para generar las señales amplificadas 1048 y 1050.

La figura 12 es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial 1200 que implementa el diagrama de flujo de proceso 1100. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales.

20 Haciendo referencia a la figura 12, la señal de información en fase (I) y de cuadratura (Q) 1210 se recibe mediante un módulo de función de transferencia de datos de I y de Q 1216. En una realización, la función de transferencia de datos de I y de Q 1216 muestrea la señal 1210 de acuerdo con un reloj de muestreo 1212. La señal de información de I y de Q 1210 incluye una información de banda de base de I y de Q de una señal de salida deseada $r(t)$.

En una realización, el módulo de función de transferencia de datos de I y de Q 1216 procesa la señal de información 1210 para generar las señales de información 1220, 1222, 1224 y 1226. El funcionamiento del módulo de función de transferencia de datos de I y de Q 1216 se describe adicionalmente en lo sucesivo en la sección 3.4.

30 Haciendo referencia a la figura 12, la señal de información 1220 incluye la información de amplitud de cuadratura de unas constituyentes de envolvente constante primera y segunda de una versión de banda de base de la señal de salida deseada $r(t)$. Con referencia a la figura 9A, por ejemplo, la señal de información 1220 incluye las componentes de cuadratura α y β . Haciendo referencia de nuevo a la figura 12, la señal de información 1226 incluye una información de amplitud en fase de las constituyentes de envolvente constante primera y segunda de la versión de banda de base de la señal $r(t)$. Con referencia a la figura 9A, por ejemplo, la señal de información 1226 incluye la componente en fase C común.

35 Haciendo de nuevo referencia a la figura 12, las señales de información 1222 y 1224 incluyen unas señales en fase I_{fase_reloj} y de cuadratura Q_{fase_reloj} normalizadas, respectivamente. I_{fase_reloj} y Q_{fase_reloj} son unas versiones normalizadas de las señales de información de I y de Q incluidas en la señal 1210. En una realización, I_{fase_reloj} y Q_{fase_reloj} se normalizan de tal modo que $(I_{fase_reloj}^2 + Q_{fase_reloj}^2 = \text{constante})$. Se hace notar que la fase de la señal 1250 se corresponde con la fase de la señal de salida deseada y se crea a partir de I_{fase_reloj} y Q_{fase_reloj} . Haciendo referencia a la figura 9B, I_{fase_reloj} y Q_{fase_reloj} están relacionadas con I y Q tal como sigue:

$$\theta = \tan^{-1}\left(\frac{Q}{I}\right) = \tan^{-1}\left(\frac{Q_{fase_reloj}}{I_{fase_reloj}}\right)$$

(12.1)

40 en la que θ representa la fase de la señal de salida deseada, que se representan mediante el fasor \vec{R}_{salida} en la figura 9B. La información de signo de la información de banda de base de I y de Q ha de tenerse en cuenta para calcular θ para la totalidad de los cuatro cuadrantes.

En la realización ejemplar de la figura 12, las señales de información 1220, 1222, 1224 y 1226 son señales digitales. Por consiguiente, cada una de las señales 1220, 1222, 1224 y 1226 se suministra a un convertidor de digital a analógico (DAC) 1230, 1232, 1234 y 1236 correspondiente. La resolución y la tasa de muestreo de los DAC 1230, 1232, 1234 y 1236 se selecciona de acuerdo con unos esquemas de señalización específicos. Los DAC 1230, 1232, 1234 y 1236 se controlan por las señales de reloj de DAC 1221, 1223, 1225 y 1227, respectivamente. Las señales de reloj de DAC 1221, 1223, 1225 y 1227 pueden calcularse a partir de una misma señal de reloj o pueden ser independientes.

50 En otras realizaciones, las señales de información 1220, 1222, 1224 y 1226 se generan en formato analógico y no se requiere DAC alguno.

Haciendo referencia a la figura 12, los DAC 1230, 1232, 1234 y 1236 convierten las señales de información digital 1220, 1222, 1224 y 1226 en las señales analógicas correspondientes, e introducen estas señales analógicas en los filtros de interpolación opcionales 1231, 1233, 1235 y 1237, respectivamente. Los filtros de interpolación 1231, 1233, 1235 y 1237, que también sirven como filtros antialias, conforman las señales de salida de los DAC para producir la forma de onda de salida deseada. Los filtros de interpolación 1231, 1233, 1235 y 1237 generan las señales 1240, 1244, 1246 y 1248, respectivamente. La señal 1242 representa la inversa de la señal 1240.

Haciendo de nuevo referencia a la figura 12, las señales 1244 y 1246, que incluyen una información de $I_{\text{fase_reloj}}$ y de $Q_{\text{fase_reloj}}$, se introducen en un modulador vectorial 1238. El modulador vectorial 1238 multiplica la señal 1244 con una señal de reloj de canal 1214. La señal de reloj de canal 1214 se selecciona de acuerdo con una frecuencia de señal de salida deseada. En paralelo, el modulador vectorial 1238 multiplica la señal 1246 con una versión desplazada 90° de la señal de reloj de canal 1214. Dicho de otra forma, el modulador vectorial 1238 genera una componente en fase que tiene la amplitud de $I_{\text{fase_reloj}}$ y una componente de cuadratura que tiene la amplitud de $Q_{\text{fase_reloj}}$.

El modulador vectorial 1238 combina las dos señales moduladas para generar la señal de R_{reloj} 1250. La señal de R_{reloj} 1250 es una señal de envolvente sustancialmente constante que tiene la frecuencia de salida deseada y un ángulo de desplazamiento de fase de acuerdo con los datos de I y de Q incluidos en la señal 1210.

Haciendo de nuevo referencia a la figura 12, las señales 1240, 1242 y 1248 incluyen los componentes de amplitud U, L y Común C, respectivamente, de la envolvente compleja de la señal $r(t)$. Las señales 1240, 1242 y 1248 junto con la señal de R_{reloj} 1250 se introducen en los moduladores vectoriales 1260 y 1262.

El modulador vectorial 1260 combina la señal 1240, que se multiplica con una versión desplazada 90° de la señal de R_{reloj} 1250 y la señal 1248, que se multiplica con una versión desplazada 0° de la señal de R_{reloj} 1250; para generar la señal de salida 1264. En paralelo, el modulador vectorial 1262 combina la señal 1242, que se multiplica con una versión desplazada 90° de la señal de R_{reloj} 1250 y la señal 1248, modulada con una versión desplazada 0° de la señal de R_{reloj} 1250, para generar la señal de salida 1266.

Las señales de salida 1264 y 1266 representan unas señales de envolvente sustancialmente constante. Además, los desplazamientos de fase de las señales de salida 1264 y 1266 en relación con la señal de R_{reloj} 1250 se determinan mediante las relaciones de ángulo asociadas con las relaciones α / C y β / C , respectivamente. En una realización, $\alpha = \beta$ y, por lo tanto, las señales de salida 1264 y 1266 se desplazan en fase de forma simétrica en relación con la señal de R_{reloj} 1250. Con referencia a la figura 9B, por ejemplo, las señales de salida 1264 y 1266 se corresponden, respectivamente, con los fasores de magnitud constante de \vec{U} y de \vec{L} .

Una suma de las señales de salida 1264 y 1266 da como resultado una señal modulada por reloj de canal que tiene las características de I y de Q de la señal de banda de base $r(t)$. Para conseguir un nivel de potencia deseado en la salida del amplificador de potencia vectorial 1200, no obstante, las señales 1264 y 1266 se amplifican para generar una señal de salida amplificada. En la realización de la figura 12, las señales 1264 y 1266 se introducen, respectivamente, en los amplificadores de potencia (PA) 1270 y 1272 y se amplifican. En una realización, los PA 1270 y 1272 incluyen unos amplificadores de potencia con conmutación. La circuitería de autopolarización 1218 controla la polarización de los PA 1270 y 1272 tal como se describe adicionalmente en lo sucesivo en la sección 3.5.2. En la realización de la figura 12, por ejemplo, la circuitería de autopolarización 1218 proporciona una tensión de polarización 1228 a los PA 1270 y 1272.

En una realización, los PA 1270 y 1272 aplican una amplificación de potencia sustancialmente igual a las señales de envolvente constante 1264–1266 respectivas. En una realización, la amplificación de potencia se ajusta de acuerdo con el nivel de potencia de salida deseado. En otras realizaciones del amplificador de potencia vectorial 1200, unos circuitos de excitación y / o circuitos de pre-excitación de PA se emplean adicionalmente para proporcionar una capacidad de amplificación de potencia adicional al amplificador. En la realización de la figura 12, por ejemplo, los circuitos de excitación de PA 1284 y 1286 se añaden de forma opcional, respectivamente, entre los moduladores vectoriales 1260 y 1262 y los PA 1270 y 1272 subsiguientes.

Las señales de salida 1274 y 1276 respectivas de los PA 1270 y 1272 son unas señales de envolvente sustancialmente constante. Además, cuando las señales de salida 1274 y 1276 se suman, la señal resultante tiene una distorsión no lineal mínima. En la realización de la figura 12, las señales de salida 1274 y 1276 se acoplan entre sí para generar la señal de salida 1280 del amplificador de potencia vectorial 1200. En una realización, no se usa aislamiento alguno en el acoplamiento de las salidas de los PA 1270 y 1272. Por consiguiente, el acoplamiento incurre en una pérdida de potencia mínima. En una realización, las salidas de los PA 1270 y 1272 se acoplan directamente entre sí usando un hilo. El acoplamiento directo de esta forma quiere decir que no hay aislamiento resistivo, inductivo o capacitivo alguno, o hay uno mínimo, entre las salidas de los PA 1270 y 1272. Dicho de otra forma, las salidas de los PA 1270 y 1272 se acoplan entre sí sin componentes intermedios. Como alternativa, en una realización, las salidas de los PA 1270 y 1272 se acoplan entre sí indirectamente a través de unas inductancias y / o capacidades que dan como resultado unas conexiones de impedancia baja o mínima, y / o unas conexiones que dan como resultado un aislamiento mínimo y una pérdida de potencia mínima. Como alternativa, las salidas de los PA 1270 y 1272 se acoplan usando unas técnicas de combinación bien conocidas, tal como circuitos de Wilkinson,

5 circuitos combinadores híbridos, transformadores, o los circuitos combinadores activos conocidos. En una realización, los PA 1270 y 1272 proporcionan una combinación de potencia y de amplificación integradas en una única operación. En una realización, uno o más de los amplificadores de potencia y / o los circuitos de excitación que se describen en el presente documento se implementan usando unas técnicas de amplificación de potencia de múltiples entradas y de una única salida, ejemplos de las cuales se muestran en las figuras 12A, 12B y 51A–H.

10 La señal de salida 1280 representa una señal que tiene las características de I y de Q de la señal de banda de base $r(t)$ y la frecuencia y el nivel de potencia de salida deseados. En las realizaciones del amplificador de potencia vectorial 1200, una impedancia de polarización 1288 se acopla entre la salida del amplificador de potencia vectorial 1200 y un suministro de potencia. En otras realizaciones, una red de adaptación de impedancia 1290 se acopla en la salida del amplificador de potencia vectorial 1200. Las realizaciones de fase de salida de acuerdo con los procedimientos y sistemas de amplificación de potencia de la presente invención se describirán adicionalmente en lo sucesivo en la sección 3.5.

15 En otras realizaciones del amplificador de potencia vectorial 1200, unos detectores de proceso se emplean para compensar cualquier variación de proceso en la circuitería del amplificador. En la realización ejemplar de la figura 12, por ejemplo, el detector de proceso 1282 se añade de forma opcional para supervisar las variaciones en los circuitos de excitación de PA 1284 y 1286.

La figura 12A es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial 1200A que implementa el diagrama de flujo de proceso 1100. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales.

20 La realización 1200A ilustra una implementación de múltiples entradas y de una única salida (MISO) de la realización 1200. En la realización 1200A, las señales de envolvente constante 1261 y 1263, que se emiten a partir de los moduladores vectoriales 1260 y 1262, se introducen en el PA de MISO 1292. El PA de MISO 1292 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1292 incluye los elementos 1270, 1272, 1282, 1284 y 1286 tal como se muestra en la realización de la figura 12. En otra realización, el PA de MISO 1292 puede incluir otros elementos, tal como circuitos de pre–excitación, que no se muestran en la realización de la figura 12. Además, el PA de MISO 1292 no se limita a ser un PA de dos entradas tal como se muestra en la figura 12A. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, el PA 1292 puede tener cualquier número de entradas y salidas.

30 Haciendo de nuevo referencia a la figura 12A, la realización 1200A ilustra una implementación para entregar las señales de autopolarización al PA de MISO 1292. En la realización de la figura 12A, la señal de autopolarización 1228 que se genera mediante la circuitería de autopolarización 1218, tiene una o más señales que se calculan a partir de esta para polarizar diferentes fases del PA de MISO 1292. Tal como se muestra en el ejemplo de la figura 12A, tres señales de control de polarización Polarización A, Polarización B y Polarización C se calculan a partir de la señal de autopolarización 1228 y, a continuación, se introducen en diferentes fases del PA de MISO 1292. Por ejemplo, la Polarización C puede ser la señal de polarización para la fase de circuito de pre–excitación del PA de MISO 1292. De forma similar, la Polarización B y la Polarización A pueden ser las señales de polarización para las fases de circuito de excitación y de PA del PA de MISO 1292.

35 En otra implementación, que se muestra en la realización 1200B de la figura 12B, la circuitería de autopolarización 1218 genera las señales de autopolarización separadas 1295, 1296 y 1297, que se corresponden con la Polarización A, la Polarización B y la Polarización C, respectivamente. Las señales 1295, 1296 y 1297 pueden o pueden no generarse por separado en el interior de la circuitería de autopolarización 1218, pero se emiten por separado, tal como se muestra. Además, las señales 1295, 1296 y 1297 pueden o pueden no estar relacionadas tal como se determina mediante la polarización de las diferentes fases del PA de MISO 1294.

40 Otros aspectos de los amplificadores de potencia vectorial 1200A y 1200B se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 1200.

La figura 13 es un diagrama de bloques que ilustra otra realización ejemplar 1300 de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas CPCP. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales.

45 En la realización ejemplar de la figura 13, un DAC de una resolución y una tasa de muestreo suficientes 1320 sustituye los DAC 1230, 1232, 1234 y 1236 de la realización de la figura 12. El DAC 1320 se controla por un reloj de DAC 1324.

El DAC 1320 recibe la señal de información 1310 a partir del módulo de función de transferencia de datos de I y de Q 1216. La señal de información 1310 incluye un contenido de información idéntico para las señales 1220, 1222, 1224 y 1226 en la realización de la figura 12.

55 El DAC 1320 puede emitir una única señal analógica por cada vez. Por consiguiente, una arquitectura de muestreo y retención puede usarse tal como se muestra en la figura 13.

El DAC 1320 emite de forma secuencial las señales analógicas 1332, 1334, 1336, 1336 a un primer conjunto de circuitos de muestreo y retención 1342, 1344, 1346 y 1348. En una realización, el DAC 1230 se temporiza a una tasa suficiente para sustituir los DAC 1230, 1232, 1234 y 1236 de la realización de la figura 12. Un selector de salida 1322 determina cual de las señales de salida 1332, 1334, 1336 y 1338 debería seleccionarse para la salida.

- 5 La señal de reloj de DAC 1324 del DAC 1320, la señal de selector de salida 1322 y los relojes de muestreo y retención 1340A–D y 1350 se controlan por un módulo de control que puede ser independiente o estar integrado en el módulo de función de transferencia 1216.

10 En una realización, los circuitos de muestreo y retención (S / H) 1342, 1344, 1346 y 1348 retienen los valores analógicos recibidos y, de acuerdo con una señal de reloj 1340A–D, liberan los valores para un segundo conjunto de circuitos de muestreo y retención 1352, 1354, 1356 y 1358. Por ejemplo, el S / H 1342 libera su valor para el S / H 1352 de acuerdo con una señal de reloj 1340A recibida. A su vez, los circuitos de muestreo y retención 1352, 1354, 1356 y 1358 retienen los valores analógicos recibidos, y liberan de forma simultánea los valores para los filtros de interpolación 1231, 1233, 1235 y 1237 de acuerdo con una señal de reloj común 1350. Una señal de reloj común 1350 se usa con el fin de garantizar que las salidas de S / H 1352, 1354, 1356 y 1358 estén alineadas en el tiempo.

15 En otra realización, puede emplearse una única capa de circuitería de S / H que incluye los S / H 1342, 1344, 1346 y 1348. Por consiguiente, los circuitos de S / H 1342, 1344, 1346 y 1348 reciben unos valores analógicos a partir del DAC 1320, y cada uno libera su valor recibido de acuerdo con un reloj independiente de los otros. Por ejemplo, el S / H 1342 se controla por el reloj 1340A, que puede no estar sincronizado con el reloj 1340B que controla el S / H 1344. Para garantizar que las salidas de los circuitos de S / H 1342, 1344, 1346 y 1348 estén alineadas en el tiempo, los retardos entre los relojes 1340A–D se compensan previamente en las fases anteriores del amplificador. Por ejemplo, el DAC 1320 emite la señal 1332, 1334, 1336 y 1338 con los retardos seleccionados de forma apropiada a los circuitos de S / H 1342, 1344, 1346 y 1348 con el fin de compensar las diferencias de tiempo entre los relojes 1340A–D.

20 Otros aspectos del amplificador de potencia vectorial 1300 son sustancialmente equivalentes a aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 1200.

La figura 13A es un diagrama de bloques que ilustra otra realización ejemplar 1300A de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas CPCP. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales. La realización 1300A es una implementación de MISO de la realización 1300 de la figura 13.

30 En la realización de la figura 13A, las señales de envolvente constante 126 y 1263 que se emiten a partir de los moduladores vectoriales 1260 y 1262 se introducen en el PA de MISO 1360. El PA de MISO 1360 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1360 incluye los elementos 1270, 1272, 1282, 1284 y 1286 tal como se muestra en la realización de la figura 13. En otra realización, el PA de MISO 1360 puede incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 13, o equivalentes funcionales de los mismos. Además, el PA de MISO 1360 no se limita a ser un PA de dos entradas tal como se muestra en la figura 13A. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, el PA 1360 puede tener cualquier número de entradas.

35 La realización de la figura 13A ilustra además dos arquitecturas de muestreo y retención diferentes con un único o dos niveles de circuitería de S / H, tal como se muestra. Las dos implementaciones se han descrito en lo que antecede con respecto a la figura 13.

La realización 1300A también ilustra la circuitería de control de polarización opcional 1218 y las señales de control de polarización asociadas 1325, 1326 y 1327. Las señales 1325, 1326 y 1327 pueden usarse para polarizar diferentes fases del PA de MISO 1360 en determinadas realizaciones.

40 Otros aspectos del amplificador de potencia vectorial 1300A son equivalentes a aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 1200 y 1300.

3.3) Amplificador de Potencia Vectorial de 2 Ramas Cartesiana Directa

Una realización de VPA de 2 Ramas Cartesiana Directa se describirá a continuación. Esta denominación se usa en el presente documento para fines de referencia, y no es funcional o estructuralmente limitante.

45 De acuerdo con la realización de VPA de 2 Ramas Cartesiana Directa, una señal de envolvente variable en el tiempo se descompone en dos señales de constituyente de envolvente constante. Las señales de constituyente se amplifican de forma individual por igual o sustancialmente por igual y, a continuación, se suman para construir una versión amplificada de la señal de envolvente variable en el tiempo original.

55 En una realización de la realización de VPA de 2 Ramas Cartesiana Directa, una magnitud y un ángulo de fase de una señal de envolvente variable en el tiempo se calculan a partir de las componentes de cuadratura y en fase de una señal de entrada. Usando la información de magnitud y de fase, las componentes de amplitud de cuadratura y

en fase se calculan para dos constituyentes de envolvente constante de la señal de envolvente variable en el tiempo. A continuación, los dos constituyentes de envolvente constante se generan, se amplifican por igual o sustancialmente por igual, y se suman para generar una versión amplificada de la señal de envolvente variable en el tiempo original R_{entrada} .

5 El concepto del VPA de 2 Ramas Cartesiana Directa se describirá a continuación con referencia a las figuras 9A y 14.

Tal como se ha descrito y verificado en lo que antecede con respecto a la figura 9A, el fasor \vec{R}' puede obtenerse mediante la suma de un fasor superior \vec{U}' y un fasor inferior \vec{L}' desplazados en fase de forma apropiada para producir \vec{R}' . \vec{R}' se calcula para ser proporcional a la magnitud R_{entrada} . Además, \vec{U}' y \vec{L}' pueden mantenerse para que tengan una magnitud sustancialmente constante. En el dominio del tiempo, \vec{U}' y \vec{L}' representan dos señales de envolvente sustancialmente constante. La equivalente en el dominio del tiempo $r'(t)$ de \vec{R}' puede obtenerse de este modo, en cualquier instante de tiempo, mediante la suma de dos señales de envolvente sustancialmente constante.

10

Para el caso que se ilustra en la figura 9A, el desplazamiento de fase de \vec{U}' y \vec{L}' en relación con \vec{R}' , que se ilustra como el ángulo $\frac{\phi}{2}$ en la figura 9A, está relacionado con la magnitud de \vec{R}' tal como sigue:

$$\frac{\phi}{2} = \cot^{-1} \left(\frac{R}{2\sqrt{1 - \frac{R^2}{4}}} \right) \quad (13)$$

15

en la que R representa la magnitud normalizada del fasor \vec{R}' .

En el dominio del tiempo, se mostró que una señal de envolvente variable en el tiempo, $r'(t) = R(t) \cos(\omega t)$ por ejemplo, puede construirse mediante la suma de dos señales de envolvente constante tal como sigue:

$$\begin{aligned} r'(t) &= U'(t) + L'(t); \\ U'(t) &= C \times \cos(\omega t) + \alpha \times \text{sen}(\omega t); \\ L'(t) &= C \times \cos(\omega t) - \beta \times \text{sen}(\omega t). \end{aligned} \quad (14)$$

20 – en las que C indica la componente de amplitud en fase de los fasores \vec{U}' y \vec{L}' y es igual o sustancialmente igual a $A \times \cos(\frac{\phi}{2})$ (siendo A una constante). α y β indican los componentes de amplitud de cuadratura de los fasores

\vec{R}' , respectivamente. $\alpha = \beta = A \times \text{sen}(\frac{\phi}{2})$. Obsérvese que las ecuaciones (14) pueden modificarse para las señales no sinusoidales mediante el cambio de la función base, de sinusoidal a la función deseada.

25 La figura 14 ilustra el fasor \vec{R}' y sus dos fasores de constituyente de magnitud constante \vec{U}' y \vec{L}' . \vec{R}' se desplaza θ grados en relación con \vec{R}' en la figura 9A. Por consiguiente, puede verificarse que:

$$\begin{aligned}\vec{R} &= \vec{R}' \times e^{j\theta} = (\vec{U}' + \vec{L}') \times e^{j\theta} = \vec{U} + \vec{L}; \\ \vec{U} &= \vec{U}' \times e^{j\theta}; \\ \vec{L} &= \vec{L}' \times e^{j\theta}.\end{aligned}\tag{15}$$

A partir de las ecuaciones (15), puede mostrarse adicionalmente que:

$$\begin{aligned}\vec{U} &= \vec{U}' \times e^{j\theta} = (C + j\alpha) \times e^{j\theta}; \\ \Rightarrow \vec{U} &= (C + j\alpha)(\cos\theta + j\text{sen}\theta) = (C\cos\theta - \alpha\text{sen}\theta) + j(C\text{sen}\theta + \alpha\cos\theta).\end{aligned}\tag{16}$$

De forma similar, puede mostrarse que:

$$\begin{aligned}\vec{L} &= \vec{L}' \times e^{j\theta} = (C + j\beta) \times e^{j\theta}; \\ \Rightarrow \vec{L} &= (C + j\beta)(\cos\theta + j\text{sen}\theta) = (C\cos\theta - \beta\text{sen}\theta) + j(C\text{sen}\theta + \beta\cos\theta).\end{aligned}\tag{17}$$

Las ecuaciones (16) y (17) pueden volver a escribirse como:

$$\begin{aligned}\vec{U} &= (C\cos\theta - \alpha\text{sen}\theta) + j(C\text{sen}\theta + \alpha\cos\theta) = U_x + jU_y; \\ \vec{L} &= (C\cos\theta - \beta\text{sen}\theta) + j(C\text{sen}\theta + \beta\cos\theta) = L_x + jL_y.\end{aligned}\tag{18}$$

De forma equivalente, en el dominio del tiempo:

$$\begin{aligned}U(t) &= U_x\varphi_1(t) + U_y\varphi_2(t); \\ L(t) &= L_x\varphi_1(t) + L_y\varphi_2(t);\end{aligned}\tag{19}$$

en las que $\varphi_1(t)$ y $\varphi_2(t)$ representan una función base ortogonal seleccionada de forma apropiada.

A partir de las ecuaciones (18) y (19), se observa que es suficiente calcular los valores de α , β , C y $\text{sen}(\theta)$ y $\text{cos}(\theta)$ con el fin de determinar los dos constituyentes de envolvente constante de una señal de envolvente variable en el tiempo $r(t)$. Además, α , β y C pueden determinarse en su totalidad a partir de la información de magnitud y de fase, de forma equivalente las componentes de I y de Q , de la señal $r(t)$.

La figura 15 es un diagrama de bloques que ilustra de forma conceptual una realización ejemplar 1500 de la realización de VPA de 2 Ramas Cartesiana Directa. Una señal de salida $r(t)$ de un nivel de potencia, y de unas características de frecuencia, deseados se genera a partir de las componentes de cuadratura y en fase de acuerdo con la realización de VPA de 2 Ramas Cartesiana Directa.

En el ejemplo de la figura 15, una señal de reloj 1510 representa una señal de referencia para generar la señal de salida $r(t)$. La señal de reloj 1510 es de la misma frecuencia que la de la señal de salida deseada $r(t)$.

Haciendo referencia a la figura 15, la realización ejemplar 1500 incluye una primera rama 1572 y una segunda rama 1574. La primera rama 1572 incluye un modulador vectorial 1520 y un amplificador de potencia (PA) 1550. De forma similar, la segunda rama 1574 incluye un modulador vectorial 1530 y un amplificador de potencia (PA) 1560.

Haciendo de nuevo referencia a la figura 15, la señal de reloj 1510 se introduce, en paralelo, en los moduladores vectoriales 1520 y 1530. En el modulador vectorial 1520, una versión en fase 1522 de la señal de reloj 1510, que se multiplica con la señal U_x 1526, se suma con una versión desplazada 90 grados 1524 de la señal de reloj 1510, que se multiplica con la señal U_y 1528. En paralelo, en el modulador vectorial 1530, una versión en fase 1532 de la señal de reloj 1510, que se multiplica con la señal L_x 1536, se suma con una versión desplazada 90 grados 1534 de la señal de reloj 1510, que se multiplica con la señal L_y 1538. La señal U_x 1526 y la señal U_y 1528 se corresponden, respectivamente, con las componentes de amplitud de cuadratura y en fase de la constituyente de envolvente constante de $U(t)$ de la señal $r(t)$ que se proporciona en la ecuación (19). De forma similar, la señal L_x 1536 y la señal L_y 1538 se corresponden, respectivamente, con las componentes de amplitud de cuadratura y en fase de la

constituyente de envolvente constante de $L(t)$ de la señal $r(t)$ que se proporciona en la ecuación (19).

5 Por consiguiente, las señales de salida 1540 y 1542 respectivas de los moduladores vectoriales 1520 y 1530 se corresponden, respectivamente, con las constituyentes de envolvente constante de $U(t)$ y de $L(t)$ de la señal $r(t)$ tal como se ha descrito en lo que antecede en las ecuaciones (19). Tal como se ha descrito en lo que antecede, las señales 1540 y 1542 se caracterizan por tener unas envolventes iguales y constantes o sustancialmente iguales y constantes.

Haciendo referencia a la figura 15, para generar el nivel de potencia deseado de la señal de salida $r(t)$, las señales 1540 y 1542 se introducen en los amplificadores de potencia 1550 y 1560 correspondientes.

10 En una realización, los amplificadores de potencia 1550 y 1560 aplican una amplificación de potencia igual o sustancialmente igual a las señales 1540 y 1542, respectivamente. En una realización, el nivel de amplificación de potencia de los PA 1550 y 1560 se ajusta de acuerdo con el nivel de potencia deseado de la señal de salida $r(t)$.

Las señales de salida amplificadas 1562 y 1564 son unas señales de envolvente sustancialmente constante. Por consiguiente, cuando se suman entre sí, tal como se muestra en la figura 15, la señal 1570 resultante se corresponde con la señal de salida deseada $r(t)$.

15 La figura 15A es otra realización ejemplar 1500A de la realización de VPA de 2 Ramas Cartesiana Directa. La realización 1500A representa una implementación de Múltiples Entradas y de una Única Salida (MISO) de la realización 1500 de la figura 15.

20 En la realización 1500A, las señales de envolvente constante 1540 y 1542, que se emiten a partir de los moduladores vectoriales 1520 y 1530, se introducen en el PA de MISO 1580. El PA de MISO 1580 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1580 puede incluir varios elementos, tal como circuitos de pre-excitación, circuitos de excitación, amplificadores de potencia y detectores de proceso (que no se muestran en la figura 15A), por ejemplo. Además, el PA de MISO 1580 no se limita a ser un PA de dos entradas tal como se muestra en la figura 15A. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, el PA 1580 puede tener cualquier número de entradas.

25 El funcionamiento de la realización de VPA de 2 Ramas Cartesiana Directa se representa en el diagrama de flujo de proceso 1600 de la figura 16. El procedimiento comienza en la etapa 1610, que incluye recibir una representación de banda de base de una señal de salida deseada. En una realización, la representación de banda de base incluye las componentes de I y de Q . En otra realización, las componentes de I y de Q son unas componentes de RF a las que se les aplica una conversión reductora a la banda de base.

La etapa 1620 incluye recibir una señal de reloj ajustada de acuerdo con una frecuencia de señal de salida deseada de la señal de salida deseada. En el ejemplo de la figura 15, la etapa 1620 se consigue mediante la recepción de la señal de reloj 1510.

35 La etapa 1630 incluye el procesamiento de las componentes de I y de Q para generar la información de amplitud de cuadratura y en fase de las señales de constituyente de envolvente constante primera y segunda de la señal de salida deseada. En el ejemplo de la figura 15, la información de amplitud de cuadratura y en fase se ilustra mediante U_x , U_y , L_x , y L_y .

40 La etapa 1640 incluye el procesamiento de la información de amplitud y la señal de reloj para generar las señales de constituyente de envolvente constante primera y segunda de la señal de salida deseada. En una realización, las señales de constituyente de envolvente constante primera y segunda se modulan de acuerdo con la frecuencia de señal de salida deseada. En el ejemplo de la figura 15, la etapa 1640 se consigue mediante los moduladores vectoriales 1520 y 1530, la señal de reloj 1510, y las señales de información de amplitud 1526, 1528, 1536 y 1538 para generar las señales 1540 y 1542.

45 La etapa 1650 incluye amplificar las constituyentes de envolvente constante primera y segunda, y sumar las señales amplificadas para generar la señal de salida deseada. En una realización, la amplificación de las constituyentes de envolvente constante primera y segunda es conforme a un nivel de potencia deseado de la señal de salida deseada. En el ejemplo de la figura 15, la etapa 1650 se consigue mediante los PA 1550 y 1560 que amplifican las señales 1540 y 1542 respectivas y, de manera subsiguiente, mediante la suma de las señales amplificadas 1562 y 1564 para generar la señal de salida 1574.

50 La figura 17 es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial 1700 que implementa el diagrama de flujo de proceso 1600. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

55 Haciendo referencia a la figura 17, la señal de información en fase (I) y de cuadratura (Q) 1710 se recibe mediante un módulo de función de transferencia de datos de I y de Q 1716. En una realización, el módulo de función de transferencia de datos de I y de Q 1716 muestrea la señal 1710 de acuerdo con un reloj de muestreo 1212. La señal

de información de I y de Q 1710 incluye una información de banda de base de I y de Q.

En una realización, el módulo de función de transferencia de datos de I y de Q 1716 procesa la señal de información 1710 para generar las señales de información 1720, 1722, 1724 y 1726. El funcionamiento del módulo de función de transferencia de datos de I y de Q 1716 se describe adicionalmente en lo sucesivo en la sección 3.4.

5 Haciendo referencia a la figura 17, la señal de información 1720 incluye la información de amplitud de cuadratura del modulador vectorial 1750 que se procesa a través del DAC 1730 para generar la señal 1740. La señal de información 1722 incluye la información de amplitud en fase del modulador vectorial 1750 que se procesa a través del DAC 1732 para generar la señal 1742. Las señales 1740 y 1742 se calculan para generar una señal de envolvente sustancialmente constante 1754. Con referencia a la figura 14, por ejemplo, las señales de información 1720 y 1722 incluyen las componentes de cuadratura y en fase superiores U_y y U_x , respectivamente.

10 Haciendo de nuevo referencia a la figura 17, la señal de información 1726 incluye la información de amplitud de cuadratura del modulador vectorial 1752 que se procesa a través del DAC 1736 para generar la señal 1746. La señal de información 1724 incluye la información de amplitud en fase del modulador vectorial 1752 que se procesa a través del DAC 1734 para generar la señal 1744. Las señales 1744 y 1746 se calculan para generar una señal de envolvente sustancialmente constante 1756. Con referencia a la figura 14, por ejemplo, las señales de información 1724 y 1726 incluyen las componentes de cuadratura y en fase inferiores L_x y L_y , respectivamente.

15 En la realización ejemplar de la figura 17, las señales de información 1720, 1722, 1724 y 1726 son señales digitales. Por consiguiente, cada una de las señales 1720, 1722, 1724 y 1726 se suministra a un convertidor de digital a analógico (DAC) 1730, 1732, 1734 y 1736 correspondiente. La resolución y las tasas de muestreo de los DAC 1730, 1732, 1734 y 1736 se seleccionan de acuerdo con los esquemas de señalización deseados específicos. Los DAC 1730, 1732, 1734 y 1736 se controlan por las señales de reloj de DAC 1721, 1723, 1725 y 1727, respectivamente. Las señales de reloj de DAC 1721, 1723, 1725 y 1727 pueden calcularse a partir de un mismo reloj o pueden ser independientes una de otra.

20 En otras realizaciones, las señales de información 1720, 1722, 1724 y 1726 se generan en formato analógico y no se requiere DAC alguno.

25 Haciendo referencia a la figura 17, los DAC 1730, 1732, 1734 y 1736 convierten las señales de información digital 1720, 1722, 1724 y 1726 en las señales analógicas correspondientes, e introducen estas señales analógicas en los filtros de interpolación opcionales 1731, 1733, 1735 y 1737, respectivamente. Los filtros de interpolación 1731, 1733, 1735 y 1737, que también sirven como filtros antialias, conforman las señales de salida de los DAC para producir la forma de onda de salida deseada. Los filtros de interpolación 1731, 1733, 1735 y 1737 generan las señales 1740, 1742, 1744 y 1746, respectivamente.

30 Haciendo de nuevo referencia a la figura 17, las señales 1740, 1742, 1744 y 1746 se introducen en los moduladores vectoriales 1750 y 1752. Los moduladores vectoriales 1750 y 1752 generan unas constituyentes de envolvente constante primera y segunda. En la realización de la figura 17, el reloj de canal 1714 se ajusta de acuerdo con una frecuencia de señal de salida deseada para establecer de ese modo la frecuencia de la señal de salida 1770.

35 Haciendo referencia a la figura 17, el modulador vectorial 1750 combina la señal 1740, que se multiplica con una versión desplazada 90° de la señal de reloj de canal 1714 y la señal 1742, que se multiplica con una versión desplazada 0° de la señal de reloj de canal 1714, para generar la señal de salida 1754. En paralelo, el modulador vectorial 1752 combina la señal 1746, que se multiplica con una versión desplazada 90° de la señal de reloj de canal 1714 y la señal 1744, que se multiplica con una versión desplazada 0° de la señal de reloj de canal 1714, para generar la señal de salida 1756.

40 Las señales de salida 1754 y 1756 representan unas señales de envolvente constante. Una suma de las señales de salida 1754 y 1756 da como resultado una señal portadora que tiene las características de I y de Q de la señal de banda de base original. En las realizaciones, para generar un nivel de potencia deseado en la salida del amplificador de potencia vectorial 1700, las señales 1754 y 1756 se amplifican y, a continuación, se suman. En la realización de la figura 17, por ejemplo, las señales 1754 y 1756 se introducen, respectivamente, en los amplificadores de potencia (PA) 1760 y 1762 correspondientes. En una realización, los PA 1760 y 1762 incluyen unos amplificadores de potencia con conmutación. La circuitería de autopolarización 1718 controla la polarización de los PA 1760 y 1762. En la realización de la figura 17, por ejemplo, la circuitería de autopolarización 1718 proporciona una tensión de polarización 1728 a los PA 1760 y 1762.

45 En una realización, los PA 1760 y 1762 aplican una amplificación de potencia igual o sustancialmente igual a las señales de envolvente constante 1754 y 1756 respectivas. En una realización, la amplificación de potencia se ajusta de acuerdo con el nivel de potencia de salida deseado. En otras realizaciones del amplificador de potencia vectorial 1700, los circuitos de excitación de PA se emplean adicionalmente para proporcionar una capacidad de amplificación de potencia adicional al amplificador. En la realización de la figura 17, por ejemplo, los circuitos de excitación de PA 1774 y 1776 se añaden de forma opcional, respectivamente, entre los moduladores vectoriales 1750 y 1752 y los PA 1760 y 1762 subsiguientes.

Las señales de salida 1764 y 1766 respectivas de los PA 1760 y 1762 son unas señales de envolvente sustancialmente constante. En la realización de la figura 17, las señales de salida 1764 y 1766 se acoplan entre sí para generar la señal de salida 1770 del amplificador de potencia vectorial 1700. En las realizaciones, se hace notar que las salidas de los PA 1760 y 1762 se acoplan directamente. El acoplamiento directo de esta forma quiere decir que no hay aislamiento resistivo, inductivo o capacitivo alguno, o hay uno mínimo, entre las salidas de los PA 1760 y 1762. Dicho de otra forma, las salidas de los PA 1760 y 1762 se acoplan entre sí sin componentes intermedios. Como alternativa, en una realización, las salidas de los PA 1760 y 1762 se acoplan entre sí indirectamente a través de unas inductancias y/o capacidades que dan como resultado unas conexiones de impedancia baja o mínima, y/o unas conexiones que dan como resultado un aislamiento mínimo y una pérdida de potencia mínima. Como alternativa, las salidas de los PA 1760 y 1762 se acoplan usando unas técnicas de combinación bien conocidas, tal como circuitos de Wilkinson, acopladores híbridos, transformadores, o los circuitos combinadores activos conocidos. En una realización, los PA 1760 y 1762 proporcionan una combinación de potencia y de amplificación integradas en una única operación. En una realización, uno o más de los amplificadores de potencia y / o los circuitos de excitación que se describen en el presente documento se implementan usando unas técnicas de amplificación de potencia de múltiples entradas y de una única salida (MISO), ejemplos de las cuales se muestran en las figuras 17A, 17B y 51A–H.

La señal de salida 1770 representa una señal que tiene las características de I y de Q deseadas de la señal de banda de base y la frecuencia y el nivel de potencia de salida deseados. En las realizaciones del amplificador de potencia vectorial 1700, una impedancia de polarización 1778 se acopla entre la salida del amplificador de potencia vectorial 1700 y un suministro de potencia. En otras realizaciones, una red de adaptación de impedancia 1780 se acopla en la salida del amplificador de potencia vectorial 1700. Las realizaciones de fase de salida de acuerdo con los procedimientos y sistemas de amplificación de potencia de la presente invención se describirán adicionalmente en lo sucesivo en la sección 3.5.

En otras realizaciones del amplificador de potencia vectorial 1700, unos detectores de proceso se emplean para compensar cualquier variación de proceso y / o de temperatura en la circuitería del amplificador. En la realización ejemplar de la figura 17, por ejemplo, el detector de proceso 1772 se añade de forma opcional para supervisar las variaciones en los circuitos de excitación de PA 1774 y 1776.

La figura 17A es un diagrama de bloques que ilustra otra realización ejemplar 1700A de un amplificador de potencia vectorial que implementa el diagrama de flujo de proceso 1600. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales. La realización 1700A ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 17. En la realización de la figura 17A, las señales de envolvente constante 1754 y 1756, que se emiten a partir de los moduladores vectoriales 1750 y 1760, se introducen en el PA de MISO 1790. El PA de MISO 1790 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1790 incluye los elementos 1760, 1762, 1772, 1774 y 1776 tal como se muestra en la realización de la figura 17, o equivalentes funcionales de los mismos. En otra realización, el PA de MISO 1790 puede incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 17. Además, el PA de MISO 1790 no se limita a ser un PA de dos entradas tal como se muestra en la figura 17A. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, el PA 1790 puede tener cualquier número de entradas.

En otra realización de la realización 1700, que se muestra como la realización 1700B de la figura 17B, la circuitería de autopolarización opcional 1218 genera unas señales de control de polarización separadas 1715, 1717 y 1719, que se corresponden con la Polarización A, la Polarización B y la Polarización C, respectivamente. Las señales 1715, 1717 y 1719 pueden o pueden no generarse por separado en el interior de la circuitería de autopolarización 1718, pero se emiten por separado, tal como se muestra. Además, las señales 1715, 1717 y 1719 pueden o pueden no estar relacionadas tal como se determina mediante la polarización que se requiere para las diferentes fases del PA de MISO 1790.

La figura 18 es un diagrama de bloques que ilustra otra realización ejemplar 1800 de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas Cartesiana Directa de la figura 16. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

En la realización ejemplar de la figura 18, un DAC 1820 de una resolución y una tasa de muestreo suficientes sustituye los DAC 1730, 1732, 1734 y 1736 de la realización de la figura 17. El DAC 1820 se controla por un reloj de DAC 1814.

El DAC 1820 recibe la señal de información 1810 a partir del módulo de función de transferencia de datos de I y de Q 1716. La señal de información 1810 incluye un contenido de información idéntico para las señales 1720, 1722, 1724 y 1726 en la realización de la figura 17.

El DAC 1820 puede emitir una única señal analógica por cada vez. Por consiguiente, una arquitectura de muestreo y retención puede usarse tal como se muestra en la figura 18.

5 En la realización de la figura 18, el DAC 1820 emite de forma secuencial las señales analógicas 1822, 1824, 1826 y 1828 a los circuitos de muestreo y retención 1832, 1834, 1836 y 1838, respectivamente. En una realización, el DAC 1820 es de una resolución y una tasa de muestreo suficientes para sustituir los DAC 1720, 1722, 1724 y 1726 de la realización de la figura 17. Un selector de salida 1812 determina cual de las señales de salida 1822, 1824, 1826 y 1828 se seleccionan para la salida.

La señal de reloj de DAC 1814 del DAC 1820, la señal de selector de salida 1812 y los relojes de muestreo y retención 1830A–D y 1840 se controlan por un módulo de control que puede ser independiente o estar integrado en el módulo de función de transferencia 1716.

10 En una realización, los circuitos de muestreo y retención 1832, 1834, 1836 y 1838 muestrean y retienen sus valores respectivos y, de acuerdo con una señal de reloj 1830A–D, liberan los valores para un segundo conjunto de circuitos de muestreo y retención 1842, 1844, 1846 y 1848. Por ejemplo, el S / H 1832 libera su valor para el S / H 1842 de acuerdo con una señal de reloj 1830A recibida. A su vez, los circuitos de muestreo y retención 1842, 1844, 1846 y 1848 retienen los valores analógicos recibidos, y liberan de forma simultánea los valores para los filtros de interpolación 1852, 1854, 1856 y 1858 de acuerdo con una señal de reloj común 1840.

15 En otra realización, puede emplearse un único conjunto de circuitería de S / H que incluye los S / H 1832, 1834, 1836 y 1838. Por consiguiente, los circuitos de S / H 1832, 1834, 1836 y 1838 reciben unos valores analógicos a partir del DAC 1820, y cada uno muestrea y retiene su valor recibido de acuerdo con los relojes independientes 1830A–D. Por ejemplo, el S / H 1832 se controla por el reloj 1830A, que puede no estar sincronizado con el reloj 1830B que controla el S / H 1834. Por ejemplo, el DAC 1820 emite las señales 1822, 1824, 1826 y 1828 con unos valores analógicos seleccionados de forma apropiada que se calculan mediante el módulo de función de transferencia 1716 a los circuitos de S / H 1832, 1834, 1836 y 1838 con el fin de compensar las diferencias de tiempo entre los relojes 1830A–D.

20

Otros aspectos del amplificador de potencia vectorial 1800 se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 1700.

25 La figura 18A es un diagrama de bloques que ilustra otra realización ejemplar 1800A de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas Cartesiana Directa. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales. La realización 1800A es una implementación de Múltiples Entradas y de una Única Salida (MISO) de la realización 1800 de la figura 18.

30 En la realización de la figura 18A, las señales de envolvente constante 1754 y 1756, que se emiten a partir de los moduladores vectoriales 1750 y 1752, se introducen en el PA de MISO 1860. El PA de MISO 1860 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1860 incluye los elementos 1744, 1746, 1760, 1762 y 1772 tal como se muestra en la realización de la figura 18, o equivalentes funcionales de los mismos. En otra realización, el PA de MISO 1860 puede incluir otros elementos, tal como circuitos de pre–excitación, que no se muestran en la realización de la figura 17. Además, el PA de MISO 1860 no se limita a ser un PA de dos entradas tal como se muestra en la figura 18A. En otras realizaciones, tal como se describirá adicionalmente en lo sucesivo con referencia a las figuras 51A–H, el PA 1860 puede tener cualquier número de entradas.

35

40 La realización de la figura 18A ilustra además dos arquitecturas de muestreo y retención diferentes con un único o dos niveles de circuitería de S / H, tal como se muestra. Las dos implementaciones se han descrito en lo que antecede con respecto a la figura 18.

Otros aspectos del amplificador de potencia vectorial 1800A son sustancialmente equivalentes a aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 1700 y 1800.

3.4) Funciones de Transferencia de Datos de I y de Q a Modulador Vectorial

45 En algunas de las realizaciones que se han descrito en lo que antecede, unas funciones de transferencia de datos de I y de Q se proporcionan para transformar los datos de I y de Q recibidos en unas entradas de información de amplitud para las fases subsiguientes de amplificación y de modulación vectorial. Por ejemplo, en la realización de la figura 17, el módulo de función de transferencia de datos de I y de Q 1716 procesa la señal de información de I y de Q 1710 para generar las señales de información de amplitud de cuadratura y en fase 1720, 1722, 1724 y 1726 de unas constituyentes de envolvente constante primera y segunda 1754 y 1756 de la señal $r(t)$. De manera subsiguiente, los moduladores vectoriales 1750 y 1752 utilizan las señales de información de amplitud generadas 1720, 1722, 1724 y 1726 para crear las señales de constituyente de envolvente constante primera y segunda 1754 y 1756. Otros ejemplos incluyen los módulos 710, 712 y 1216 en las figuras 7, 8, 12 y 13. Estos módulos implementan unas funciones de transferencia para transformar los datos de I y / o de Q en unas entradas de información de amplitud para las fases subsiguientes de amplificación y de modulación vectorial.

50

55

De acuerdo con la presente invención, los módulos de función de transferencia de datos de I y de Q pueden implementarse usando circuitería digital, circuitería analógica, soporte lógico, soporte lógico inalterable o cualquier

combinación de los mismos.

Diversos factores afectan a la implementación real de una función de transferencia de acuerdo con la presente invención, y varían de realización a realización. En un aspecto, la realización de VPA seleccionada regula la salida de información de amplitud de la función de transferencia y el módulo asociado. Es evidente, por ejemplo, que el módulo de función de transferencia de datos de I y de Q 1216 de la realización de VPA de 2 Ramas CPCC 1200 difiere, en cuanto a la salida, del módulo de función de transferencia de datos de I y de Q 1716 de la realización de VPA de 2 Ramas Cartesiana Directa 1700.

En otro aspecto, la complejidad de la función de transferencia varía de acuerdo con el esquema o esquemas de modulación deseados que es necesario que sean soportados por la implementación de VPA. Por ejemplo, el reloj de muestreo, la tasa de muestreo de DAC y la resolución de DAC se seleccionan de acuerdo con la función de transferencia apropiada para construir la forma o formas de onda de salida deseadas.

De acuerdo con la presente invención, las realizaciones de la función de transferencia pueden diseñarse para soportar una o más realizaciones de VPA con la capacidad de conmutar entre las realizaciones soportadas según se desee. Además, las realizaciones de la función de transferencia y los módulos asociados pueden diseñarse para facilitar una pluralidad de esquemas de modulación. Un experto en la materia apreciará, por ejemplo, que las realizaciones de la presente invención pueden diseñarse para soportar una pluralidad de esquemas de modulación (de forma individual o en combinación) incluyendo, pero sin limitarse a, BPSK, QPSK, OQPSK, DPSK, CDMA, WCDMA, W-CDMA, GSM, EDGE, MPSK, MQAM, MSK, CPSC, PM, FM, OFDM, y señales multi- tono. En una realización, el esquema o esquemas de modulación pueden ser configurables y/o programables a través del módulo de función de transferencia.

3.4.1) Función de Transferencia de VPA de 4 Ramas Cartesiana

La figura 19 es un diagrama de flujo de proceso 1900 que ilustra una realización de una función de transferencia de I y de Q a modo de ejemplo de acuerdo con la realización de VPA de 4 Ramas Cartesiana. El procedimiento comienza en la etapa 1910, que incluye recibir una componente de datos en fase y una componente de datos de cuadratura. En la realización de VPA de 4 Ramas Cartesiana de la figura 7A, por ejemplo, esto se ilustra mediante el módulo de función de transferencia de datos de I 710 que recibe la señal de información de I 702, y el módulo de función de transferencia de datos de Q 712 que recibe la señal de información de Q 704. Se hace notar que, en la realización de la figura 7A, los módulos de función de transferencia de datos de I y de Q 710 y 712 se ilustran como unos componentes independientes. En la implementación, no obstante, los módulos de función de transferencia de datos de I y de Q 710 y 712 pueden ser independientes o combinarse en un único módulo.

La etapa 1920 incluye el cálculo de un ángulo de desplazamiento de fase entre las constituyentes de envolvente sustancialmente igual y constante primera y segunda de la componente de I. En paralelo, la etapa 1920 también incluye el cálculo de un ángulo de desplazamiento de fase entre las constituyentes de envolvente sustancialmente igual y constante primera y segunda de la componente de Q. Tal como se ha descrito en lo que antecede, las constituyentes de envolvente constante primera y segunda de las componentes de I se desplazan en fase de forma apropiada en relación con la componente de I. De forma similar, las constituyentes de envolvente constante primera y segunda de las componentes de Q se desplazan en fase de forma apropiada en relación con la componente de Q. En la realización de la figura 7A, por ejemplo, la etapa 1920 se realiza por los módulos de función de transferencia de datos de I y de Q 710 y 712.

La etapa 1930 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con las constituyentes de envolvente constante primera y segunda de la componente de I. En paralelo, la etapa 1930 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con las constituyentes de envolvente constante primera y segunda de la componente de Q. En la realización de la figura 7A, por ejemplo, la etapa 1930 se realiza por los módulos de función de transferencia de datos de I y de Q 710 y 712.

La etapa 1940 incluye emitir la información de amplitud calculada a una fase de modulación vectorial subsiguiente. En la realización de la figura 7A, por ejemplo, los módulos de función de transferencia de I y de Q 710 y 712 emiten las señales de información de amplitud 722, 724, 726 y 728 a los moduladores vectoriales 760, 762, 764 y 766 a través de los DAC 730, 732, 734 y 736.

La figura 20 es un diagrama de bloques que ilustra una realización ejemplar 2000 de un módulo de función de transferencia, tal como los módulos de función de transferencia 710 y 712 de la figura 7A, que implementa el diagrama de flujo de proceso 1900. En el ejemplo de la figura 20, el módulo de función de transferencia 2000 recibe las señales de datos de I y de Q 2010 y 2012. En una realización, las señales de datos de I y de Q 2010 y 2012 representan las componentes de datos de I y de Q de una señal de banda de base, tal como las señales 702 y 704 en la figura 7A.

Haciendo referencia a la figura 20, en una realización, el módulo de función de transferencia 2000 muestrea las señales de datos de I y de Q 2010 y 2012 de acuerdo con un reloj de muestreo 2014. Las señales de datos de I y de Q muestreadas se reciben mediante los componentes 2020 y 2022, respectivamente, del módulo de función de transferencia 2000. Los componentes 2020 y 2022 miden, respectivamente, las magnitudes de las señales de datos

de I y de Q muestreadas. En una realización, los componentes 2020 y 2022 son unos detectores de magnitud.

Los componentes 2020 y 2022 emiten la información de magnitud de I y de Q medida a los componentes 2030 y 2032, respectivamente, del módulo de función de transferencia 2000. En una realización, la información de magnitud de I y de Q medida se encuentra en forma de señales digitales. En base a la información de magnitud de I, el componente 2030 calcula un ángulo de desplazamiento de fase ϕ_I entre unas constituyentes de envolvente igual y constante o sustancialmente igual y constante primera y segunda de la señal de I muestreada. De forma similar, en base a la información de magnitud de Q, el componente 2032 calcula el ángulo de desplazamiento de fase ϕ_Q entre unas constituyentes de envolvente igual y constante o sustancialmente igual y constante primera y segunda de la señal de Q muestreada. Este funcionamiento se describirá adicionalmente a continuación.

5 En la realización de la figura 20, ϕ_I y ϕ_Q se ilustran como las funciones $f(\vec{I})$ y $f(\vec{Q})$ de las señales de magnitud de I y de Q. En las realizaciones, las funciones $f(\vec{I})$ y $f(\vec{Q})$ se ajustan de acuerdo con las magnitudes relativas de las señales I y Q de banda de base respectivamente. De acuerdo con las realizaciones de la presente invención, $f(\vec{I})$ y $f(\vec{Q})$ se describirán adicionalmente en lo sucesivo en la sección 3.4.4.

15 Haciendo referencia a la figura 20, los componentes 2030 y 2032 emiten la información de desplazamiento de fase calculada a los componentes 2040 y 2042, respectivamente. En base al ángulo de desplazamiento de fase ϕ_I , el componente 2040 calcula la información de amplitud de cuadratura y en fase de las constituyentes de envolvente constante primera y segunda de la señal de I muestreada. De forma similar, en base al ángulo de desplazamiento de fase ϕ_Q , el componente 2042 calcula la información de amplitud de cuadratura y en fase de las constituyentes de envolvente constante primera y segunda de la señal de Q muestreada. Debido a la simetría, en las realizaciones de la invención, se requiere cálculo solo para 4 valores. En el ejemplo de la figura 20, los valores se ilustran como $\text{sgn}(I) \times I_{UX}$, I_{UY} , Q_{UX} , y $\text{sgn}(Q) \times Q_{UY}$, tal como se provee en la figura 5.

20 Los componentes 2040 y 2042 emiten la información de amplitud calculada a las fases subsiguientes del amplificador de potencia vectorial. En las realizaciones, cada uno de los cuatro valores calculados se emite por separado a un convertidor de digital a analógico. Tal como se muestra en la realización de la figura 7A por ejemplo, las señales 722, 724, 726 y 728 se emiten por separado a los DAC 730, 732, 734 y 736, respectivamente. En otras realizaciones, las señales 722, 724, 726 y 728 se emiten a un DAC único tal como se muestra en las figuras 800A y 800B.

3.4.2) Función de Transferencia de VPA de 2 Ramas CPCP

30 La figura 21 es un diagrama de flujo de proceso 2100 que ilustra una realización de una función de transferencia de I y de Q a modo de ejemplo de acuerdo con la realización de VPA de 2 Ramas CPCP. El procedimiento comienza en la etapa 2110, que incluye recibir unas componentes de datos en fase (I) y de cuadratura (Q) de una señal de banda de base. En la realización de VPA de 2 Ramas CPCP de la figura 12, por ejemplo, esto se ilustra mediante el módulo de función de transferencia de datos de I y de Q 1216 que recibe la señal de información de I y de Q 1210.

35 La etapa 2120 incluye la determinación de las magnitudes $|I|$ y $|Q|$ de las componentes de datos de I y de Q recibidas.

La etapa 2130 incluye el cálculo de una magnitud $|R|$ de la señal de banda de base en base a las magnitudes de $|I|$ y de $|Q|$ medidas. En una realización, $|R|$ es tal que $|R|^2 = |I|^2 + |Q|^2$. En la realización de la figura 12, por ejemplo, las etapas 2120 y 2130 se realizan por el módulo de función de transferencia de datos de I y de Q 1216 en base a la señal de información 1210 recibida.

40 La etapa 2140 incluye la normalización de las magnitudes de $|I|$ y de $|Q|$ medidas. En una realización, $|I|$ y $|Q|$ se normalizan para generar unas señales de $I_{\text{fase_reloj}}$ y de $Q_{\text{fase_reloj}}$ (tal como se muestra en la figura 10) de tal modo que $|I_{\text{fase_reloj}}|^2 + |Q_{\text{fase_reloj}}|^2 = \text{constante}$. En la realización de la figura 12, por ejemplo, la etapa 2140 se realiza por el módulo de función de transferencia de datos de I y de Q 1216 en base a la señal de información 1210 recibida.

45 La etapa 2150 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con unas constituyentes de envolvente constante primera y segunda. En la realización de la figura 12, por ejemplo, la etapa 2150 se realiza por el módulo de función de transferencia de datos de I y de Q 1216 en base a la magnitud de envolvente $|R|$.

50 La etapa 2160 incluye emitir la $I_{\text{fase_reloj}}$ y la $Q_{\text{fase_reloj}}$ generadas (a partir de la etapa 2140) y la información de amplitud calculada (a partir de la etapa 2150) a los moduladores vectoriales apropiados. En la realización de la figura 12, por ejemplo, el módulo de función de transferencia de datos de I y de Q 1216 emite las señales de información 1220, 1222, 1224 y 1226 a los moduladores vectoriales 1238, 1260 y 1262 a través de los DAC 1230, 1232, 1234 y 1236.

La figura 22 es un diagrama de bloques que ilustra una realización ejemplar 2200 de un módulo de función de transferencia (tal como el módulo 1216 de la figura 12) que implementa el diagrama de flujo de proceso 2100. En el ejemplo de la figura 22, el módulo de función de transferencia 2200 recibe la señal de datos de I y de Q 2210. En una realización, la señal de datos de I y de Q 2210 incluye las componentes de I y de Q de una señal de banda de base, tal como la señal 1210 en la realización de la figura 12, por ejemplo.

En una realización, el módulo de función de transferencia 2200 muestrea la señal de datos de I y de Q 2210 de acuerdo con un reloj de muestreo 2212. Las señales de datos de I y de Q muestreadas se reciben mediante el componente 2220 del módulo de función de transferencia 2200. El componente 2220 mide las magnitudes $|\vec{I}|$ y $|\vec{Q}|$ de las señales de datos de I y de Q muestreadas.

En base a las magnitudes de $|\vec{I}|$ y de $|\vec{Q}|$ medidas, el componente 2230 calcula la magnitud $|\vec{R}|$ de la señal de banda de base. En una realización, $|\vec{R}|$ es tal que $|\vec{R}|^2 = |\vec{I}|^2 + |\vec{Q}|^2$.

En paralelo, el componente 2240 normaliza las magnitudes de $|\vec{I}|$ y de $|\vec{Q}|$ medidas. En una realización, $|\vec{I}|$ y $|\vec{Q}|$ se normalizan para generar las señales de Ifase_reloj y de Qfase_reloj de tal modo que $|\text{Ifase_reloj}|^2 + |\text{Qfase_reloj}|^2 = \text{constante}$, en la que $|\text{Ifase_reloj}|$ y $|\text{Qfase_reloj}|$ representan las magnitudes normalizadas de $|\vec{I}|$ y $|\vec{Q}|$. Típicamente, dado que la constante tiene un valor A, ambas de las magnitudes $|\vec{I}|$ y $|\vec{Q}|$ medidas se dividen por

la cantidad
$$\frac{A}{\sqrt{|\vec{I}|^2 + |\vec{Q}|^2}}$$

El componente 2250 recibe la magnitud $|\vec{R}|$ calculada a partir del componente 2230, y en base a la misma calcula un ángulo de desplazamiento de fase ϕ entre unas constituyentes de envolvente constante primera y segunda. Usando el ángulo de desplazamiento de fase calculado ϕ , el componente 2050 calcula a continuación la información de amplitud de cuadratura y en fase asociada con las constituyentes de envolvente constante primera y segunda.

En la realización de la figura 22, el ángulo de desplazamiento de fase ϕ se ilustra como una función $f(|\vec{R}|)$ de la magnitud $|\vec{R}|$ calculada.

Haciendo referencia a la figura 22, los componentes 2240 y 2250 emiten la información de magnitud de $|\text{Ifase_reloj}|$ y de $|\text{Qfase_reloj}|$ normalizada y la información de amplitud calculada a los DAC para su introducción en los moduladores vectoriales apropiados. En las realizaciones, los valores de salida se emiten por separado a unos convertidores de digital a analógico. Tal como se muestra en la realización de la figura 12, por ejemplo, las señales 1220, 1222, 1224 y 1226 se emiten por separado a los DAC 1230, 1232, 1234 y 1236, respectivamente. En otras realizaciones, las señales 1220, 1222, 1224 y 1226 se emiten a un DAC único tal como se muestra en las figuras 13 y 13A.

3.4.3) Función de Transferencia de 2 Ramas Cartesiana Directa

La figura 23 es un diagrama de flujo de proceso 2300 que ilustra una realización de una función de transferencia de I y de Q a modo de ejemplo de acuerdo con la realización de VPA de 2 Ramas Cartesiana Directa. El procedimiento comienza en la etapa 2310, que incluye recibir unas componentes de datos en fase (I) y de cuadratura (Q) de una señal de banda de base. En la realización de VPA de 2 Ramas Cartesiana Directa de la figura 17, por ejemplo, esto se ilustra mediante el módulo de función de transferencia de datos de I y de Q 1716 que recibe la señal de información de I y de Q 1710.

La etapa 2320 incluye la determinación de las magnitudes $|I|$ y $|Q|$ de las componentes de datos de I y de Q recibidas.

La etapa 2330 incluye el cálculo de una magnitud $|R|$ de la señal de banda de base en base a las magnitudes de $|I|$ y de $|Q|$ medidas. En una realización, $|R|$ es tal que $|R|^2 = |I|^2 + |Q|^2$. En la realización de la figura 17, por ejemplo, las etapas 2320 y 2330 se realizan por el módulo de función de transferencia de datos de I y de Q 1716 en base a la señal de información 1710 recibida.

La etapa 2340 incluye el cálculo de un ángulo de desplazamiento de fase θ de la señal de banda de base en base a las magnitudes de $|I|$ y de $|Q|$ medidas. En una realización, θ es tal que $\theta = \tan^{-1}\left(\frac{|Q|}{|I|}\right)$, y en la que el signo de I y

Q determinan el cuadrante de θ . En la realización de la figura 17, por ejemplo, la etapa 2340 se realiza por el módulo de función de transferencia de datos de I y de Q 1216 en base a las componentes de datos de I y de Q recibidos en la señal de información 1210.

5 La etapa 2350 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con unas constituyentes de envolvente constante primera y segunda de la señal de banda de base. En la realización de la figura 17, por ejemplo, la etapa 2350 se realiza por el módulo de función de transferencia de datos de I y de Q 1716 en base a la magnitud $|R|$ anteriormente calculada y el ángulo de desplazamiento de fase θ .

10 La etapa 2360 incluye emitir la información de amplitud calculada a los DAC para su introducción en los moduladores vectoriales apropiados. En la realización de la figura 17, por ejemplo, el módulo de función de transferencia de datos de I y de Q 1716 emite las señales de información 1720, 1722, 1724 y 1726 a los moduladores vectoriales 1750 y 1752 a través de los DAC 1730, 1732, 1734 y 1736. En otras realizaciones, las señales 1720, 1722, 1724 y 1726 se emiten a un DAC único tal como se muestra en las figuras 18 y 18A.

15 La figura 24 es un diagrama de bloques que ilustra una realización ejemplar 2400 de un módulo de función de transferencia que implementa el diagrama de flujo de proceso 2300. En el ejemplo de la figura 24, el módulo de función de transferencia 2400 (tal como el módulo de función de transferencia 1716) recibe la señal de datos de I y de Q 2410, tal como la señal 1710 en la figura 17. En una realización, la señal de datos de I y de Q 2410 incluye las componentes de datos de I y de Q de una señal de banda de base.

20 En una realización, el módulo de función de transferencia 2400 muestrea la señal de datos de I y de Q 2410 de acuerdo con un reloj de muestreo 2412. Las señales de datos de I y de Q muestreadas se reciben mediante el componente 2420 del módulo de función de transferencia 2200. El componente 2420 mide las magnitudes $|\vec{I}|$ y $|\vec{Q}|$ de las señales de datos de I y de Q muestreadas.

En base a las magnitudes de $|\vec{I}|$ y de $|\vec{Q}|$ medidas, el componente 2430 calcula la magnitud $|\vec{R}|$. En una realización, $|\vec{R}|$ es tal que $|\vec{R}|^2 = |\vec{I}|^2 + |\vec{Q}|^2$.

25 En paralelo, el componente 2240 calcula el ángulo de desplazamiento de fase θ de la señal de banda de base. En una realización, θ es tal que $\theta = \tan^{-1}\left(\frac{|\vec{Q}|}{|\vec{I}|}\right)$, en la que el signo de I y Q determinan el cuadrante de θ .

El componente 2450 recibe la magnitud $|\vec{R}|$ calculada a partir del componente 2430, y en base a esta calcula un ángulo de desplazamiento de fase ϕ entre las señales de constituyente de envolvente constante primera y segunda.

En la realización de la figura 24, el ángulo de desplazamiento de fase ϕ se ilustra como una función $f_3(|\vec{R}|)$ de la magnitud $|\vec{R}|$ calculada. Esto se describe adicionalmente en la sección 3.4.4.

30 En paralelo, el componente 2450 recibe el ángulo de desplazamiento de fase calculado θ a partir del componente 2440. Como funciones de ϕ y θ , el componente 2450 calcula a continuación la información de amplitud de cuadratura y en fase para las entradas de modulador vectorial que generan las constituyentes de envolvente constante primera y segunda. En una realización, la información de amplitud de cuadratura y en fase que se suministra a los moduladores vectoriales es conforme a las ecuaciones que se proporcionan en (18).

35 El componente 2450 emite la información de amplitud calculada a las fases subsiguientes del amplificador de potencia vectorial. En las realizaciones, los valores de salida se emiten por separado a unos convertidores de digital a analógico. Tal como se muestra en la realización de la figura 17, por ejemplo, las señales 1720, 1722, 1724 y 1726 se emiten por separado a los DAC 1730, 1732, 1734 y 1736, respectivamente. En otras realizaciones, las señales 1720, 1722, 1724 y 1726 se emiten a un DAC único tal como se muestra en las figuras 18 y 18A.

40 3.4.4) Magnitud para Transformada en Desplazamiento de Fase

Las realizaciones de $f(|I|)$, $f(|Q|)$ de la figura 20 y $F(|R|)$ de las figuras 22 y 24 se describirán adicionalmente a continuación.

45 De acuerdo con la presente invención, cualquier forma de onda periódica que pueda representarse mediante una serie de Fourier y una transformada de Fourier pueden descomponerse en dos o más señales de envolvente constante.

En lo sucesivo se proporcionan dos ejemplos para las formas de onda sinusoidal y cuadrada.

3.4.4.1) Magnitud para Transformada en Desplazamiento de Fase para Señales Sinusoidales:

Considérese una señal sinusoidal de envolvente compleja variable en el tiempo $r(t)$. En el dominio del tiempo, esta puede representarse como:

$$r(t) = R(t)\text{sen}(\omega t + \delta(t)) \quad (20)$$

5 en la que $R(t)$ representa la envolvente de la magnitud de la señal en el instante t , $\delta(t)$ representa el ángulo de desplazamiento de fase de la señal en el instante t , y ω representa la frecuencia de la señal en radianes por segundo.

Puede verificarse que, en cualquier instante de tiempo t , la señal $r(t)$ puede obtenerse mediante la suma de dos señales de envolvente igual y constante o sustancialmente igual y constante desplazadas en fase de la forma apropiada. Dicho de otra forma, puede mostrarse que:

$$R(t)\text{sen}(\omega t + \delta(t)) = A\text{sen}(\omega t) + A\text{sen}(\omega t + \phi(t)) \quad (21)$$

10 para un ángulo de desplazamiento de fase $\phi(t)$ elegido de forma apropiada entre las dos señales de envolvente constante. El ángulo de desplazamiento de fase $\phi(t)$ se calculará como una función de $R(t)$ en la descripción posterior. Esto es equivalente a la transformada de magnitud en desplazamiento de fase para las señales sinusoidales.

15 Usando una identidad trigonométrica sinusoidal, la ecuación (21) puede volver a escribirse como:

$$\begin{aligned} R(t)\text{sen}(\omega t + \delta(t)) &= A\text{sen}(\omega t) + A\text{sen}(\omega t)\cos\phi(t) + A\text{sen}(\phi(t))\cos\omega t; \\ \Rightarrow R(t)\text{sen}(\omega t + \delta(t)) &= A\text{sen}(\phi(t))\cos\omega t + A(1 + \cos\phi(t))\text{sen}\omega t. \end{aligned} \quad (22)$$

Obsérvese, a partir de la ecuación (22), que la señal $r(t)$ se escribe como una suma de una componente en fase y una componente de cuadratura. Por consiguiente, la magnitud de envolvente $R(t)$ puede escribirse como:

$$\begin{aligned} R(t) &= \sqrt{(A\text{sen}(\phi(t)))^2 + (A(1 + \cos(\phi(t))))^2}; \\ \Rightarrow R(t) &= \sqrt{2A(A + \cos(\phi(t)))}. \end{aligned} \quad (23)$$

20 La ecuación (23) relaciona la magnitud de envolvente $R(t)$ de la señal $r(t)$ con el ángulo de desplazamiento de fase $\phi(t)$ entre dos constituyentes de envolvente constante de la señal $r(t)$. Las constituyentes de envolvente constante tienen una magnitud de envolvente igual o sustancialmente igual A , que se normalizan típicamente a 1.

A la inversa, a partir de la ecuación (23), el ángulo de desplazamiento de fase $\phi(t)$ puede escribirse como una función de $R(t)$ tal como sigue:

$$\phi(t) = \arccos\left(\frac{R(t)^2}{2A^2} - 1\right). \quad (24)$$

25 La ecuación (24) representa la transformada de magnitud en desplazamiento de fase para el caso de las señales sinusoidales, y se ilustra en la figura 26.

3.4.4.2) Magnitud para Transformada en Desplazamiento de Fase para Señales de Onda Cuadrada:

30 La figura 28 ilustra una combinación de dos señales de onda cuadrada de envolvente constante de acuerdo con las realizaciones de la presente invención. En la figura 28, las señales 2810 y 2820 son unas señales de envolvente constante que tienen un período T , un coeficiente de servicio γT ($0 < \gamma < 1$), y unas magnitudes de envolvente $A1$ y $A2$, respectivamente.

35 La señal 2830 resulta de las señales de combinación 2810 y 2820. De acuerdo con las realizaciones de la presente invención, la señal 2830 tendrá una magnitud igual o sustancialmente igual al producto de las señales 2810 y 2820. Dicho de otra forma, la señal 2830 tendrá una magnitud de cero siempre que cualquiera de las señales 2810 o 2820 tenga una magnitud de cero, y una magnitud distinta de cero cuando ambas señales 2810 y 2820 tengan unas magnitudes distintas de cero.

Además, la señal 2830 representa una señal modulada por anchura de impulsos. Dicho de otra forma, la magnitud de envolvente de la señal 2830 se determina de acuerdo con la anchura de impulsos de la señal 2830 a través de un periodo de la señal. De forma más específica, la magnitud de envolvente de la señal 2830 es igual o sustancialmente igual al área por debajo de la curva de la señal 2830.

- 5 Haciendo referencia a la figura 28, las señales 2810 y 2820 se muestran desplazadas en el tiempo una en relación con otra mediante un desplazamiento de tiempo t' . De forma equivalente, las señales 2810 y 2820 se desplazan en fase una en relación con otra un ángulo de desplazamiento de fase $\phi = \left(\frac{t'}{T}\right) \times 2\pi$ radianes.

Haciendo de nuevo referencia a la figura 28, obsérvese que la magnitud de envolvente R de la señal 2830, en la figura 28, está dada por:

$$R = A_1 \times A_2 \times (\gamma T - t') \quad (25)$$

Por consiguiente, puede deducirse que ϕ está relacionado con R de acuerdo con:

$$\phi = \left[\gamma - \frac{R}{T(A_1 A_2)} \right] \times (2\pi). \quad (26)$$

- 15 Obsérvese, a partir de la ecuación (26), que R se encuentra en un máximo de $\gamma A_1 A_2$ cuando $\phi = 0$. Dicho de otra forma, la magnitud de envolvente se encuentra en un máximo cuando las dos señales de envolvente constante se encuentran en fase una con otra.

En las implementaciones típicas, las señales 2810 y 2820 se normalizan y tienen una magnitud de envolvente igual o sustancialmente igual de 1. Además, las señales 2810 y 2820 típicamente tienen un coeficiente de servicio de 0,5. Por consiguiente, la ecuación (28) se reduce a:

$$\phi = \left[0,5 - \frac{R}{T} \right] \times (2\pi). \quad (27)$$

- 20 La ecuación (27) ilustra la transformada de magnitud en desplazamiento de fase para el caso de señales de onda cuadrada de magnitud de envolvente normalizada e igual o sustancialmente igual. La ecuación (27) se ilustra en la figura 26.

3.4.5) Compensación de Distorsión de Forma de Onda

- 25 En determinadas realizaciones, las transformadas de magnitud en desplazamiento de fase pueden no implementarse exactamente tal como se calculan en la teoría o en la práctica. De hecho, pueden existir diversos factores que requieren el ajuste o la sintonización de la transformada calculada para un funcionamiento óptimo. La compensación de distorsión de forma de onda es un factor que puede requerir el ajuste o la sintonización de la transformada de magnitud en desplazamiento de fase. La compensación de distorsión de forma de onda se describe a continuación en lo sucesivo.

- 30 En la práctica, diversos factores pueden dar lugar a una distorsión de forma de onda de las constituyentes de envolvente constante de una señal de salida deseada $r(t)$. Además, se espera que una distorsión de forma de onda en las constituyentes se traduzca en una distorsión de forma de onda en la señal de salida deseada cuando las constituyentes se combinan. La figura 25 ilustra el efecto de una distorsión de forma de onda sobre una señal usando una representación de señal fasorial. En la figura 25, \vec{R} representa una representación fasorial de una señal deseada $r(t)$. En realidad, una distorsión de forma de onda puede dar lugar a que la representación fasorial real de $r(t)$ caiga en cualquier parte dentro de una magnitud de vector de error máxima con respecto a \vec{R} . En el ejemplo de la figura 25, esto se ilustra usando un círculo centrado en \vec{R} y que tiene un radio igual o sustancialmente igual a la magnitud de vector de error máxima. Los fasores \vec{R}_1 y \vec{R}_2 representan unos ejemplos de representaciones fasoriales reales de la señal deseada $r(t)$.

- 40 De acuerdo con las realizaciones de la presente invención, puede estimarse la distorsión de forma de onda esperada para una señal de salida deseada. En algunas realizaciones, la distorsión de forma de onda esperada se compensa en la fase de modulación vectorial del amplificador de potencia. En otras realizaciones, la distorsión de

forma de onda esperada se compensa en la fase de función de transferencia del amplificador de potencia.

En el enfoque anterior, la compensación se consigue mediante la aplicación de una sintonización de magnitud y de desplazamiento de fase apropiada en las salidas de fase de modulación vectorial. Por consiguiente, la distorsión de forma de onda se elimina mediante la formación de onda de las señales de constituyente de la señal de salida deseada.

En el último enfoque, la función de transferencia se diseña para tener en cuenta y cancelar, o por lo menos reducir, los efectos de la distorsión de forma de onda esperada. Tal como puede entenderse a partir de la descripción anterior de las funciones de transferencia, la compensación de distorsión de forma de onda puede introducirse en diferentes posiciones dentro de una fase de función de transferencia. En algunas realizaciones, la compensación se aplica en la fase de salida de la función de transferencia. Por ejemplo, haciendo referencia a la figura 17, las salidas de módulo de función de transferencia 1720, 1722, 1274 y 1726 pueden sintonizarse antes de introducirse en los DAC 1730, 1732, 1734 y 1736. En otras realizaciones, la compensación se aplica en la fase de transformada de magnitud en desplazamiento de fase de la función de transferencia. Haciendo referencia a la figura 24, por ejemplo, la transformada de magnitud en desplazamiento de fase $\phi = f(|R|)$ puede ajustarse de forma apropiada para compensar la distorsión de forma de onda esperada.

3.5) Fase de salida

Un aspecto de las realizaciones de la presente invención se encuentra en la suma de unas señales de constituyente en la fase de salida de un amplificador de potencia vectorial (VPA). Esto se muestra, por ejemplo, en la figura 7 en la que las salidas de los PA 770, 772, 774 y 776 se suman. Esto se muestra de forma similar en las figuras 8, 12, 13, 17 y 18, por ejemplo. Varias realizaciones para combinar las salidas de los VPA se describen en el presente documento. A pesar de que lo sucesivo se describe en el contexto de los VPA, debería entenderse que las siguientes enseñanzas se aplican, en general, al acoplamiento o la suma de las salidas de cualquier dispositivo activo en cualquier aplicación.

La figura 29 ilustra una realización de fase de salida de amplificador de potencia vectorial 2900 de acuerdo con una realización de la presente invención. La fase de salida 2900 incluye una pluralidad de señales de modulador vectorial 2910-{1, ..., n} que se introducen en una pluralidad de amplificadores de potencia (PA) 2920-{1, ..., n} correspondientes. Tal como se ha descrito en lo que antecede, las señales 2910-{1, ..., n} representan unas señales de constituyente de una señal de salida deseada del amplificador de potencia vectorial.

En el ejemplo de la figura 29, los PA 2910-{1, ..., n} amplifican por igual o amplifican sustancialmente por igual las señales de entrada 2910-{1, ..., n} para generar las señales de salida amplificadas 2930-{1, ..., n}. Las señales de salida amplificadas 2930-{1, ..., n} se acoplan entre sí directamente en el nodo de suma 2940. De acuerdo con la presente realización a modo de ejemplo de la presente invención, el nodo de suma 2940 no incluye elemento de acoplamiento o de aislamiento alguno, tal como un circuito combinador de potencia, por ejemplo. En la realización de la figura 29, el nodo de suma 2940 es un hilo conductor de impedancia cero (o de impedancia casi cero). Por consiguiente, a diferencia de los sistemas convencionales que emplean elementos de combinación, la combinación de las señales de salida de acuerdo con la presente realización de la presente invención incurre en una pérdida de potencia mínima.

En otro aspecto, las realizaciones de fase de salida de la presente invención pueden implementarse usando unos amplificadores de potencia de múltiples entradas y de una única salida (MISO).

En otro aspecto, las realizaciones de fase de salida de la presente invención pueden controlarse para aumentar la eficiencia energética del amplificador mediante el control de la intensidad de fase de salida de acuerdo con el nivel de potencia de salida deseado.

En lo que sigue, varias realizaciones de fase de salida de acuerdo con las realizaciones de VPA de la presente invención se proporcionan en la sección 3.5.1. En la sección 3.5.2, se presentan las realizaciones de funciones de conformación de intensidad de fase de salida, para aumentar la eficiencia energética de determinadas realizaciones de VPA de la presente invención. La sección 3.5.3 describe unas realizaciones de funciones de técnicas de protección de fase de salida que pueden utilizarse para determinadas realizaciones de fase de salida de la presente invención.

3.5.1) Realizaciones de fase de salida

La figura 30 es un diagrama de bloques que ilustra una realización de fase de salida de amplificador de potencia (PA) 3000 de acuerdo con una realización de la presente invención. La realización de fase de salida 3000 incluye una pluralidad de ramas de PA 3005-{1, ..., n}. Las señales 3010-{1, ..., n} que provienen de los moduladores vectoriales respectivos representan unas entradas para la fase de salida 3000. De acuerdo con la presente realización de la presente invención, las señales 3010-{1, ..., n} representan unas señales de constituyente de envolvente igual y constante o sustancialmente igual y constante de una señal de salida deseada del amplificador de potencia.

Las ramas de PA 3005-{1, ..., n} aplican una amplificación de potencia igual o sustancialmente igual a las señales 3010-{1, ..., n} respectivas. En una realización, el nivel de amplificación de potencia a través de las ramas de PA 3005-{1, ..., n} se ajusta de acuerdo con un requisito de nivel de potencia de la señal de salida deseada.

5 En la realización de la figura 30, cada una de las ramas de PA 3005-{1, ..., n} incluye un amplificador de potencia 3040-{1, ..., n}. En otras realizaciones, los circuitos de excitación 3030-{1, ..., n} y los circuitos de pre-excitación 3020-{1, ..., n}, tal como se ilustra en la figura 30, también pueden añadirse en una rama de PA antes del elemento de amplificador de potencia. En las realizaciones, los circuitos de excitación y los circuitos de pre-excitación se emplean siempre que un nivel de potencia de salida requerido no pueda conseguirse en una única fase de amplificación.

10 Para generar la señal de salida deseada, las salidas de las ramas de PA 3005-{1, ..., n} se acoplan directamente en el nodo de suma 3050. El nodo de suma 3050 proporciona poco o ningún aislamiento entre las salidas acopladas. Además, el nodo de suma 3050 representa un nodo de suma relativamente sin pérdidas. Por consiguiente, se incurre en una pérdida de potencia mínima en la suma de las salidas de los PA 3040-{1, ..., n}.

15 La señal de salida 3060 representa la señal de salida deseada de la fase de salida 3000. En la realización de la figura 30, la señal de salida 3060 se mide a través de una impedancia de carga 3070.

La figura 31 es un diagrama de bloques que ilustra otra realización de fase de salida de amplificador de potencia (PA) 3100 de acuerdo con la presente invención. De forma similar a la realización de la figura 30, la fase de salida 3100 incluye una pluralidad de ramas de PA 3105-{1, ..., n}. Cada una de las ramas de PA 3105-{1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020-{1, ..., n}, un circuito de excitación 3030-{1, ..., n} y el amplificador de potencia 3040-{1, ..., n}. La realización de fase de salida 3100 incluye además unas impedancias de polarización que están acopladas en la salida de cada fase de amplificación de potencia para proporcionar la polarización de esa fase. Por ejemplo, las impedancias de polarización 3125-{1, ..., n} y 3135-{1, ..., n}, respectivamente, acoplan las salidas de fase de circuito de pre-excitación y de circuito de excitación con el suministro de potencia o los suministros de potencia de polarización independientes. De forma similar, la impedancia de polarización 3145 acopla las salidas de fase de PA con el suministro de potencia o un suministro de potencia de polarización independiente. De acuerdo con la presente realización de la presente invención, las impedancias de polarización representan unos componentes opcionales que pueden afectar a la eficiencia pero no necesariamente al funcionamiento de la realización de fase de salida.

La figura 32 es un diagrama de bloques que ilustra otra realización de fase de salida de amplificador de potencia (PA) 3200 de acuerdo con la presente invención. De forma similar a la realización de la figura 30, la fase de salida 3200 incluye una pluralidad de ramas de PA 3205-{1, ..., n}. Cada una de las ramas de PA 3205-{1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020-{1, ..., n}, un circuito de excitación 3030-{1, ..., n} y el amplificador de potencia 3040-{1, ..., n}. La realización de fase de salida 3200 también incluye unas impedancias de polarización que están acopladas en la salida de cada fase de amplificación de potencia para conseguir una polarización apropiada de esa fase. Además, la realización de fase de salida 3200 incluye las impedancias de adaptación que están acopladas en las salidas de cada fase de amplificación de potencia para maximizar la transferencia de potencia a partir de esa fase. Por ejemplo, las impedancias de adaptación 3210-{1, ..., n} y 3220-{1, ..., n} se acoplan, respectivamente, con las salidas de fase de circuito de pre-excitación y de circuito de excitación. De forma similar, la impedancia de adaptación 3240 se acopla en la salida de fase de PA. Obsérvese que la impedancia de adaptación 3240 se acopla con la fase de salida de PA subsiguiente al nodo de suma 3250.

En las realizaciones que se han descrito en lo que antecede de las figuras 30-32, las salidas de fase de PA se combinan mediante un acoplamiento directo en un nodo de suma. Por ejemplo, en la realización de la figura 30, las salidas de las ramas de PA 3005-{1, ..., n} se acoplan entre sí en el nodo de suma 3050. El nodo de suma 3050 es un hilo conductor de impedancia casi cero que proporciona un aislamiento mínimo entre las salidas acopladas. Un acoplamiento de fase de salida similar se muestra en las figuras 31 y 32. Se hace notar que, en determinadas realizaciones de la presente invención, el acoplamiento de salida, tal como se muestra en las realizaciones de las figuras 30-32 o las realizaciones que se describen de manera subsiguiente en lo sucesivo, puede utilizar determinadas medidas de protección de fase de salida. Estas medidas de protección pueden implementarse en diferentes fases de la rama de PA. Además, el tipo de medidas de protección necesario puede ser específico de la implementación de PA. Un análisis adicional de la protección de fase de salida de acuerdo con una realización de la presente invención se proporciona en la sección 3.5.3.

La figura 33 es un diagrama de bloques que ilustra otra realización de fase de salida de amplificador de potencia (PA) 3300 de acuerdo con la presente invención. De forma similar a la realización de la figura 30, la fase de salida 3300 incluye una pluralidad de ramas de PA 3305-{1, ..., n}. Cada una de las ramas de PA 3305-{1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020-{1, ..., n}, un circuito de excitación 3030-{1, ..., n} y el amplificador de potencia 3040-{1, ..., n}. La realización de fase de salida 3300 también puede incluir las impedancias de polarización 3125-{1, ..., n}, 3135-{1, ..., n} y 3145 que están acopladas en la salida de cada fase de amplificación de potencia para conseguir una polarización apropiada de esa fase. Adicionalmente, la realización de fase de salida 3300 puede incluir las impedancias de adaptación

3210-{1, ..., n}, 3220-{1, ..., n} y 3240 que están acopladas en la salida de cada fase de amplificación de potencia para maximizar la transferencia de potencia a partir de esa fase. Además, la realización de fase de salida 3300 recibe una señal de autopolarización 3310, a partir de un módulo de autopolarización 3340, que está acoplado en la entrada de fase de PA de cada rama de PA 3305-{1, ..., n}. El módulo de autopolarización 3340 controla la polarización de los PA 3040-{1, ..., n}. En una realización, la señal de autopolarización 3340 controla la cantidad de flujo de intensidad a través de la fase de PA de acuerdo con un nivel de potencia de salida, y una envolvente de señal, deseados de la forma de onda de salida. Una descripción adicional del funcionamiento de la señal de autopolarización y el módulo de autopolarización se proporciona en lo sucesivo en la sección 3.5.2.

La figura 34 es un diagrama de bloques que ilustra otra realización de fase de salida de amplificador de potencia (PA) 3400 de acuerdo con la presente invención. De forma similar a la realización de la figura 30, la fase de salida 3400 incluye una pluralidad de ramas de PA 3405-{1, ..., n}. Cada una de las ramas de PA 3405-{1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020-{1, ..., n}, un circuito de excitación 3030-{1, ..., n} y el amplificador de potencia 3040-{1, ..., n}. La realización de fase de salida 3400 también puede incluir las impedancias de polarización 3125-{1, ..., n}, 3135-{1, ..., n} y 3145 que están acopladas en la salida de cada fase de amplificación de potencia para conseguir la polarización deseada de esa fase. Adicionalmente, la realización de fase de salida 3400 puede incluir las impedancias de adaptación 3210-{1, ..., n}, 3220-{1, ..., n} y 3240 que están acopladas en la salida de cada fase de amplificación de potencia para maximizar la transferencia de potencia a partir de esa fase. Además, la realización de fase de salida 3400 incluye una pluralidad de redes de circuito de control de armónicos 3410-{1, ..., n} que están acopladas en la entrada de fase de PA de cada rama de PA {1, ..., n}. Las redes de circuito de control de armónicos 3410-{1, ..., n} pueden incluir una pluralidad de elementos de resistencia, capacitivos y / o inductivos y / o dispositivos activos que están acopladas en serie o en paralelo. De acuerdo con una realización de la presente invención, las redes de circuito de control de armónicos 3410-{1, ..., n} proporcionan unas funciones de control de armónicos para controlar el espectro de frecuencia de salida del amplificador de potencia. En una realización, las redes de circuito de control de armónicos 3410-{1, ..., n} se seleccionan de tal modo que la transferencia de energía al armónico fundamental en el espectro de salida sumado se aumenta mientras que el contenido en armónicos de la forma de onda de salida se disminuye. Una descripción adicional del control de armónicos de acuerdo con las realizaciones de la presente invención se proporciona en lo sucesivo en la sección 3.6.

La figura 35 es un diagrama de bloques que ilustra otra realización de fase de salida de amplificador de potencia (PA) 3500 de acuerdo con la presente invención. La realización de fase de salida 3500 representa un equivalente de salida diferencial de la realización de fase de salida 3200 de la figura 32. En la realización 3500, las salidas de fase de PA 3510-{1, ..., n} se combinan de forma sucesiva para dar como resultado dos señales agregadas. Las dos señales agregadas se combinan a continuación a través de una impedancia de carga, haciendo de ese modo que la salida del amplificador de potencia represente la diferencia entre las dos señales agregadas. Haciendo referencia a la figura 35, las señales agregadas 3510 y 3520 se acoplan a través de la impedancia de carga 3530. La salida del amplificador de potencia se mide a través de la impedancia de carga 3530 como la diferencia de tensión entre los nodos 3540 y 3550. De acuerdo con la realización 3500, la máxima salida del amplificador de potencia se obtiene cuando las dos señales agregadas se encuentran desfasadas 180 grados una en relación con otra. A la inversa, la potencia de salida mínima se obtiene cuando las dos señales agregadas se encuentran en fase una en relación con otra.

La figura 36 es un diagrama de bloques que ilustra otra realización de fase de salida 3600 de acuerdo con la presente invención. De forma similar a la realización de la figura 30, la fase de salida 3600 incluye una pluralidad de ramas de PA 3605-{1, ..., n}. Cada una de las ramas de PA {1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020-{1, ..., n}, un circuito de excitación 3030-{1, ..., n}, y un amplificador de potencia (PA) 3620-{1, ..., n}.

De acuerdo con la realización 3600, los PA 3620-{1, ..., n} incluyen unos amplificadores de potencia con conmutación. En el ejemplo de la figura 36, los amplificadores de potencia 3620-{1, ..., n} incluyen los elementos de transistor de unión bipolar (BJT) npn Q1, ..., Qn. Los elementos de BJT Q1, ..., Qn tienen unos nodos de colector común. Haciendo referencia a la figura 36, los terminales de colector de los elementos de BJT Q1, ..., Qn se acoplan entre sí para proporcionar el nodo de suma 3640. Los terminales de emisor de los elementos de BJT Q1, ..., Qn se acoplan con un nodo de masa, mientras que los terminales de base de los elementos de BJT Q1, ..., Qn proporcionan unos terminales de entrada a la fase de PA.

La figura 37 es un ejemplo (en relación con la figura 36) que ilustra una señal de salida de la fase de PA de la realización 3600 en respuesta a unas señales de entrada de onda cuadrada. Para facilidad de ilustración, se considera una fase de PA de dos ramas. En el ejemplo de la figura 37, las señales de onda cuadrada 3730 y 3740 se introducen, respectivamente, en los elementos de BJT 3710 y 3720. Obsérvese que, cuando cualquiera de los elementos de BJT 3710 o 3720 pasa a estado de conducción, el nodo de suma 3750 se cortocircuita a masa. Por consiguiente, cuando cualquiera de las señales de entrada 3730 o 3740 es alta, la señal de salida 3780 será cero. Además, la señal de salida 3780 será alta solo cuando ambas señales de entrada 3730 y 3740 sean cero. De acuerdo con esta disposición, la fase de PA 3700 realiza una modulación por anchura de impulsos, mediante lo cual la magnitud de la señal de salida es una función del ángulo de desplazamiento de fase entre las señales de entrada.

Las realizaciones no se limitan a implementaciones de BJT npn tal como se describe en el presente documento. Un experto en la materia apreciará, por ejemplo, que las realizaciones de la presente invención pueden implementarse usando BJT pnp, CMOS, NMOS, PMOS, u otro tipo de transistores. Además, las realizaciones pueden implementarse usando transistores de GaAs y/o de SiGe, siendo la velocidad de conmutación de transistor un factor a tener en cuenta.

Haciendo referencia otra vez a la figura 36, se observa que mientras que cada uno de los PA 3620-{1, ..., n} se ilustra usando una única notación de BJT, cada PA 3620-{1, ..., n} puede incluir una pluralidad de transistores acoplados en serie. En las realizaciones, el número de transistores incluidos dentro de cada PA se ajusta de acuerdo con un nivel de potencia de salida máximo requerido del amplificador de potencia. En otras realizaciones, el número de transistores en el PA es tal que los números de transistores en las fases de circuito de pre-excitación, de circuito de excitación y de PA se ajustan a una progresión geométrica.

La figura 38 ilustra una realización de PA ejemplar 3800 de acuerdo con una realización de la presente invención. La realización de PA 3800 incluye un elemento de BJT 3870, una red de LC 3860 y una impedancia de polarización 3850. El elemento de BJT 3870 incluye una pluralidad de transistores BJT Q1, ..., Q8 acoplados en serie. Tal como se ilustra en la figura 38, los transistores BJT Q1, ..., Q8 se acoplan entre sí en sus terminales de base, de colector y de emisor. El terminal de colector 3880 del elemento de BJT 3870 proporciona un terminal de salida para el PA 3800. El terminal de emisor 3890 del elemento de BJT 3870 puede acoplarse con el sustrato o con un terminal de emisor de una fase de amplificador precedente. Por ejemplo, el terminal de emisor 3890 se acopla con un terminal de emisor de una fase de circuito de excitación precedente.

Haciendo referencia a la figura 38, la red de LC 3860 se acopla entre el terminal de entrada de PA 3810 y el terminal de entrada 3820 del elemento de BJT 3870. La red de LC 3860 incluye una pluralidad de elementos capacitivos e inductivos. De forma opcional, una red de Circuito de Control de Armónicos 3830 también se acopla en el terminal de entrada 3820 del elemento de BJT 3870. Tal como se ha descrito en lo que antecede, la red de HCC 3830 proporciona una función de control de armónicos para controlar el espectro de frecuencia de salida del amplificador de potencia.

Haciendo de nuevo referencia a la figura 38, la impedancia de polarización 3850 acopla la señal Iref 3840 con el terminal de entrada 3820 del elemento de BJT 3870. La señal Iref 3840 representa una señal de autopolarización que controla la polarización del elemento de BJT 3870 de acuerdo con un nivel de potencia de salida, y unas características de envolvente de señal, deseados.

Se hace notar que, en la realización de la figura 38, se ilustra que el elemento de BJT 3870 incluye 8 transistores. Un experto en la materia puede apreciar, no obstante, que el elemento de BJT 3870 puede incluir cualquier número de transistores según se requiera para conseguir el nivel de potencia de salida deseado del amplificador de potencia.

En otro aspecto, las realizaciones de fase de salida pueden implementarse usando unos amplificadores de potencia de múltiples entradas y de una única salida (MISO). La figura 51A es un diagrama de bloques que ilustra una realización de fase de salida de MISO ejemplar 5100A. La realización de fase de salida 5100A incluye una pluralidad de señales de modulador vectorial 5110-{1, ..., n} que se introducen en el amplificador de potencia (PA) de MISO 5120. Tal como se ha descrito en lo que antecede, las señales 5110-{1, ..., n} representan unas constituyentes de envolvente constante de la señal de salida 5130 del amplificador de potencia. El PA de MISO 5120 es un amplificador de potencia de múltiples entradas y de una única salida. El PA de MISO 5120 recibe y amplifica las señales 5110-{1, ..., n} proporcionando un proceso de amplificación de múltiples señales distribuido para generar la señal de salida 5130.

Se hace notar que las implementaciones de MISO, similares a aquella que se muestra en la figura 51A, pueden extenderse de forma similar a cualquiera de las realizaciones de fase de salida que se han descrito en lo que antecede. De forma más específica, cualquiera de las realizaciones de fase de salida de las figuras 29-37 puede implementarse usando un enfoque de MISO. Unas realizaciones de MISO adicionales se proporcionarán en lo sucesivo con referencia a las figuras 51B-I. Se hace notar que cualquiera de las realizaciones que se han descrito en lo que antecede puede implementarse usando cualquiera de las realizaciones de MISO que se proporcionarán en lo sucesivo.

Haciendo referencia a la figura 51A, el PA de MISO 5120 puede tener cualquier número de entradas según se requiera por la descomposición de envolvente sustancialmente constante de la señal de entrada de envolvente compleja. Por ejemplo, en una descomposición bidimensional, puede usarse un amplificador de potencia de dos entradas. De acuerdo con las realizaciones de la presente invención, se proporcionan bloques de construcción para crear los PA de MISO para cualquier número de entradas. La figura 51B ilustra diversos bloques de construcción de MISO de acuerdo con una realización de la presente invención. El PA de MISO 5110B representa un bloque de PA de dos entradas y de una única salida. En una realización, el PA de MISO 5110B incluye dos ramas de PA. Las ramas de PA del PA de MISO 5110B pueden ser equivalentes a cualquier rama de PA que se ha descrito en lo que antecede con referencia a las figuras 29-37, por ejemplo. El PA de MISO 5120B representa un bloque de PA de tres entradas y de una única salida. En una realización, el PA de MISO 5120B incluye tres ramas de PA. Las ramas de

PA del PA de MISO 5120B pueden ser equivalentes a cualquier rama de PA que se han descrito en lo que antecede con referencia a las figuras 29–37, por ejemplo.

5 Haciendo de nuevo referencia a la figura 51B, los PA de MISO 5110B y 5120B representan unos bloques de construcción básicos para cualquier amplificador de potencia de múltiples entradas y de una única salida de acuerdo con las realizaciones de la presente invención. Por ejemplo, el PA de MISO 5130B es un PA de cuatro entradas y de una única salida, que puede crearse mediante el acoplamiento entre sí de las salidas de dos bloques de PA de dos entradas y de una única salida, tal como el PA de MISO 5110B, por ejemplo. Esto se ilustra en la figura 51C. De forma similar, puede verificarse que el PA de MISO 5140B, un PA de n entradas y de una única salida, puede crearse a partir de los bloques de construcción básicos 5110B y 5120B.

10 La figura 51D ilustra varias realizaciones del bloque de construcción de PA de dos entradas y de una única salida de acuerdo con las realizaciones de la presente invención.

15 La realización 5110D representa una implementación de npn del bloque de construcción de PA de dos entradas y de una única salida. La realización 5110D incluye dos transistores npn que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Una impedancia de polarización (que no se muestra) puede acoplarse entre el nodo de colector común y un nodo de suministro (que no se muestra).

La realización 5130D representa un equivalente de pnp de la realización 5110D. La realización 5130D incluye dos transistores pnp que están acoplados en un nodo de colector común, que proporciona la salida del PA. Una impedancia de masa (que no se muestra) puede acoplarse entre el nodo de colector común y un nodo de masa (que no se muestra).

20 La realización 5140D representa una implementación de npn / pnp complementaria del bloque de construcción de PA de dos entradas y de una única salida. La realización 5140D incluye un transistor npn y un transistor pnp que están acoplados en un nodo de colector común, que proporciona la salida del PA.

25 Haciendo de nuevo referencia a la figura 51D, la realización 5120D representa una implementación de NMOS del bloque de construcción de PA de dos entradas y de una única salida. La realización 5120D incluye dos transistores NMOS que están acoplados en un nodo de drenador común, que proporciona la salida del PA.

La realización 5160D representa un equivalente de PMOS de la realización 5120D. La realización 5120D incluye dos transistores PMOS que están acoplados en un nodo de drenador común, que proporciona la salida del PA.

30 La realización 5150D representa una implementación de MOS complementaria del bloque de construcción de PA de dos entradas y de una única salida. La realización 5150D incluye un transistor PMOS y un transistor NMOS que están acoplados un nodo de drenador común, que proporciona la salida del PA.

Las realizaciones de dos entradas y de una única salida de la figura 51D pueden extenderse además para crear unas realizaciones de múltiples entradas y de una única salida. La figura 51E ilustra varias realizaciones de unos PA de múltiples entradas y de una única salida de acuerdo con las realizaciones de la presente invención.

35 La realización 5150E representa una implementación de npn de un PA de múltiples entradas y de una única salida. La realización 5150E incluye una pluralidad de transistores npn que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Una impedancia de polarización (que no se muestra) puede acoplarse entre el nodo de colector común y una tensión de suministro (que no se muestra). Obsérvese que un PA de n entradas y de una única salida de acuerdo con la realización 5150E puede obtenerse mediante el acoplamiento de unos transistores npn adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5110D.

40 La realización 5170E representa un equivalente de pnp de la realización 5150E. La realización 5170E incluye una pluralidad de transistores pnp que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Una impedancia de masa (que no se muestra) puede acoplarse entre el nodo de colector común y un nodo de masa (que no se muestra). Obsérvese que un PA de n entradas y de una única salida de acuerdo con la realización 5170E puede obtenerse mediante el acoplamiento de unos transistores pnp adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5130D.

45 Las realizaciones 5110E y 5130E representan unas implementaciones de npn / pnp complementarias de un PA de múltiples entradas y de una única salida. Las realizaciones 5110E y 5130E pueden incluir una pluralidad de transistores npn y / o pnp que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Obsérvese que un PA de n entradas y de una única salida de acuerdo con la realización 5110E puede obtenerse mediante el acoplamiento de unos transistores npn y / o pnp adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5140D. De forma similar, un PA de n entradas y de una única salida de acuerdo con la realización 5130E puede obtenerse mediante el acoplamiento de unos transistores npn y / o pnp adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5130D.

55

La realización 5180E representa una implementación de PMOS de un PA de múltiples entradas y de una única salida. La realización 5180E incluye una pluralidad de transistores PMOS que están acoplados entre sí usando un nodo de drenador común, que proporciona la salida del PA. Obsérvese que un PA de n entradas y de una única salida de acuerdo con la realización 5180E puede obtenerse mediante el acoplamiento de unos transistores NMOS adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5160D.

La realización 5160E representa una implementación de NMOS de un PA de múltiples entradas y de una única salida. La realización 5160E incluye una pluralidad de transistores NMOS que están acoplados entre sí usando un nodo de drenador común, que proporciona la salida del PA. Obsérvese que un PA de n entradas y de una única salida de acuerdo con la realización 5160E puede obtenerse mediante el acoplamiento de unos transistores PMOS adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5120D.

Las realizaciones 5120E y 5140E, implementaciones de MOS complementarias de un PA de múltiples entradas y de una única salida. Las realizaciones 5120E y 5140E incluyen una pluralidad de transistores npn y pnp que están acoplados entre sí usando un nodo de drenador común, que proporciona la salida del PA. Obsérvese que un PA de n entradas y de una única salida de acuerdo con la realización 5120E puede obtenerse mediante el acoplamiento de unos transistores NMOS y / o PMOS adicionales con el bloque de construcción de PA de dos entradas y de una única salida 5150D. De forma similar, un PA de n entradas y de una única salida de acuerdo con la realización 5140E puede obtenerse mediante el acoplamiento de unos transistores NMOS y / o PMOS adicionales con el bloque de construcción de PA de dos entradas y de una única salida 5160D.

La figura 51F ilustra unas realizaciones de múltiples entradas y de una única salida adicionales de acuerdo con las realizaciones de la presente invención. La realización 5110F representa una implementación de npn / pnp complementaria de un PA de múltiples entradas y de una única salida. La realización 5110F puede obtenerse mediante el acoplamiento entre sí, de forma iterativa, de las realizaciones del bloque de construcción de PA 5140D. De forma similar, la realización 5120F representa una implementación complementaria de NMOS / PMOS equivalente de un PA de múltiples entradas y de una única salida. La realización 5120F puede obtenerse mediante el acoplamiento entre sí, de forma iterativa, de las realizaciones del bloque de construcción de PA 5150D.

Ha de observarse que cada una de las realizaciones de múltiples entradas y de una única salida que se han descrito en lo que antecede puede corresponderse con una única o múltiples ramas de un PA. Por ejemplo, haciendo referencia a la figura 29, cualquiera de las realizaciones de múltiples entradas y de una única salida puede usarse para sustituir un único o múltiples PA 2920-{1, ..., n}. Dicho de otra forma, cada uno de los PA 2920-{1, ..., n} puede implementarse usando cualquiera de las realizaciones de múltiples entradas y de una única salida de PA que se han descrito en lo que antecede o con un PA de una única entrada y de una única salida tal como se muestra en la figura 29.

Se hace notar además que cada uno de los transistores que se muestran en las realizaciones de las figuras 51D, 51E y 51F puede implementarse usando una serie de transistores tal como se muestra en la realización ejemplar de la figura 38, por ejemplo.

La figura 51G ilustra unas realizaciones adicionales de los bloques de construcción de PA de múltiples entradas y de una única salida. La realización 5110G ilustra una realización del bloque de construcción de PA de dos entradas y de una única salida. La realización 5110G incluye dos ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y de una única salida tal como se ha descrito en lo que antecede. Además, la realización 5110G ilustra una señal de control de polarización opcional 5112G que se acopla con las dos ramas de la realización de PA. La señal de control de polarización 5112G se emplea de forma opcional en la realización 5110G en base a la implementación específica de las ramas de PA. En determinadas implementaciones, un control de polarización se requerirá para un funcionamiento apropiado del PA. En otras implementaciones, un control de polarización no se requiere para un funcionamiento apropiado del PA, pero puede proporcionar una eficiencia energética de PA mejorada, una protección de circuito de salida o una protección de corriente de encendido.

Haciendo de nuevo referencia a la figura 51G, la realización 5120G ilustra una realización del bloque de construcción de PA de tres entradas y de una única salida. La realización 5120G incluye tres ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y de una única salida tal como se ha descrito en lo que antecede. Además, la realización 5120G ilustra una señal de control de polarización opcional 5114G que se acopla con las ramas de la realización de PA. La señal de control de polarización 5114G se emplea de forma opcional en la realización 5120G en base a la implementación específica de las ramas de PA. En determinadas implementaciones, un control de polarización se requerirá para un funcionamiento apropiado del PA. En otras implementaciones, un control de polarización no se requiere para un funcionamiento apropiado del PA, pero puede proporcionar una eficiencia energética de PA mejorada.

La figura 51H ilustra una realización ejemplar adicional 5100H del bloque de construcción de PA de dos entradas y de una única salida. La realización 5100H incluye dos ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y

de una única salida tal como se ha descrito en lo que antecede. La realización 5100H incluye además unos elementos opcionales, que se ilustran usando líneas discontinuas en la figura 51H, que pueden emplearse adicionalmente en las realizaciones de la realización 5100H. En una realización, el bloque de construcción de PA 5100H puede incluir una fase de circuito de excitación y / o una fase de circuito de pre-excitación en cada una de las ramas de PA tal como se muestra en la figura 51H. Unos detectores de proceso también pueden emplearse de forma opcional para detectar las variaciones de proceso y de temperatura en las fases de circuito de excitación y / o de circuito de pre-excitación del PA. Además, un control de polarización opcional puede proporcionarse a cada una de las fases de circuito de pre-excitación, de circuito de excitación y / o de PA de cada rama de la realización de PA. Un control de polarización puede proporcionarse a una o más de las fases en base a la implementación específica de esa fase. Además, un control de polarización puede requerirse para determinadas implementaciones, mientras que este puede emplearse de forma opcional en otras.

La figura 51I ilustra una realización ejemplar adicional 5100I de un PA de múltiples entradas y de una única salida. La realización 5100I incluye por lo menos dos ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y de una única salida tal como se ha descrito en lo que antecede. La realización 5100I incluye además unos elementos opcionales que pueden emplearse adicionalmente en las realizaciones de la realización 5100I. En una realización, el PA puede incluir unas fases de circuito de excitación y / o de circuito de pre-excitación en cada una de las ramas de PA tal como se muestra en la figura 51I. Unos detectores de proceso también pueden emplearse de forma opcional para detectar las variaciones de proceso y de temperatura en las fases de circuito de excitación y / o de circuito de pre-excitación del PA. Además, un control de polarización opcional puede proporcionarse a cada una de las fases de circuito de pre-excitación, de circuito de excitación y / o de PA de cada rama de la realización de PA. Un control de polarización puede proporcionarse a una o más de las fases en base a la implementación específica de esa fase. Además, un control de polarización puede requerirse para determinadas implementaciones, mientras que este puede emplearse de forma opcional en otras.

3.5.2) Control de Intensidad de Fase de Salida – Módulo de Autopolarización

Las realizaciones de la fase de salida y las técnicas de control de intensidad y de polarización de fase de circuito de pre-excitación opcional y de circuito de excitación de acuerdo con las realizaciones de la presente invención se describen en lo sucesivo. En determinadas realizaciones, las funciones de control de intensidad de fase de salida se emplean para aumentar la eficiencia de fase de potencia de salida de una realización del amplificador de potencia vectorial (VPA). En otras realizaciones, el control de intensidad de fase de salida se usa para proporcionar una protección de fase de salida con respecto a las tensiones e intensidades excesivas que se describe adicionalmente en la sección 3.5.3. En las realizaciones, las funciones de control de intensidad de fase de salida se realizan usando el módulo de autopolarización que se ha descrito en lo que antecede con referencia a la figura 33. Una descripción del funcionamiento del módulo de autopolarización en la realización de estas funciones de control de intensidad también se presenta en lo sucesivo de acuerdo con una realización de la presente invención.

De acuerdo con las realizaciones de la presente invención, la eficiencia energética de la fase de salida de un VPA puede aumentarse mediante el control de la intensidad de fase de salida del VPA como una función de la potencia de salida y la envolvente de la forma de onda de salida.

La figura 37, ilustra un diagrama esquemático parcial de un amplificador de Múltiples Entradas y de una Única Salida que está compuesto por dos transistores NPN con unas señales de entrada S1 y S2. Cuando S1 y S2 se diseñan para ser unas señales de envolvente sustancialmente constante y formas de onda sustancialmente similares, cualquier señal de salida de envolvente compleja variable en el tiempo puede crearse en el nodo de circuito 3750 mediante el cambio de la relación de fase de S1 y S2.

La figura 39 ilustra una señal de salida de envolvente compleja variable en el tiempo a modo de ejemplo 3910 y su señal de envolvente 3920 correspondiente. Obsérvese que la señal 3910 experimenta una inversión de la fase en un instante de tiempo t_0 . De forma correspondiente, la señal de envolvente 3920 experimenta un paso por cero en el instante t_0 . La señal de salida 3910 ejemplifica las señales de salida de acuerdo con los esquemas de señalización inalámbrica típicos tal como W-CDMA, QPSK, y OFDM, por ejemplo.

La figura 40 ilustra la intensidad de fase de salida de la figura de diagrama 37 a modo de ejemplo en respuesta a la señal de salida 3910. La señal $I_{\text{salida}} 4010$ representa la intensidad de fase de salida sin un control de autopolarización y la señal $I_{\text{salida}} 4020$ representa la intensidad de fase de salida con un control de autopolarización. Sin un control de autopolarización, a medida que el desplazamiento de fase entre S 1 y S2 cambia de 0 a 180 grados, la intensidad de salida I_{salida} aumenta. Con un control de autopolarización, la intensidad de salida I_{salida} disminuye y puede minimizarse cuando se encuentra en, o cerca de, la de la figura 39.

Obsérvese que la señal $I_{\text{salida}} 4020$ varía como una función de la señal de envolvente 3920. Por consiguiente, la señal $I_{\text{salida}} 4020$ se encuentra en el máximo cuando se requiere una potencia de salida máxima, pero disminuye a medida que la potencia de salida requerida baja. En particular, la señal $I_{\text{salida}} 4020$ se aproxima a cero a medida que la potencia de salida asociada tiende a cero. Por consiguiente, un experto en la materia apreciará que el control de intensidad de fase de salida, de acuerdo con las realizaciones de la presente invención, da como resultado unos

ahorros de potencia significativos y aumenta la eficiencia energética del amplificador de potencia.

De acuerdo con las realizaciones de la presente invención, el control de intensidad de fase de salida puede implementarse de acuerdo con una diversidad de funciones. En una realización, la intensidad de fase de salida puede conformarse para corresponderse con la potencia de salida deseada del amplificador. En una realización de este tipo, la intensidad de fase de salida es una función que se calcula a partir de la envolvente de la señal de salida deseada, y la eficiencia energética aumentará.

La figura 41 ilustra unas funciones de control de intensidad de fase de salida de autopolarización 4110 y 4120 ejemplares de acuerdo con las realizaciones de la presente invención. La función 4110 puede representar una función de la potencia de salida y la envolvente de señal tal como se ha descrito en lo que antecede. Por otro lado, la función 4120 puede representar una función de conformación simple que tiende a un valor mínimo durante una cantidad predeterminada de tiempo cuando la potencia de salida se encuentra por debajo de un valor umbral. Por consiguiente, las funciones 4110 y 4120 representan dos casos de las funciones de control de intensidad de fase de salida de autopolarización con la señal de control de autopolarización 4110 que da como resultado la respuesta de I_{salida} 4130 y la señal de control de autopolarización 4120 que da como resultado la respuesta de I_{salida} 4140. La invención, no obstante, no se limita a esas dos realizaciones ejemplares. De acuerdo con las realizaciones de la presente invención, las funciones de control de intensidad de autopolarización de fase de salida pueden diseñarse e implementarse para facilitar los requisitos de eficiencia y de consumo de intensidad de un diseño de amplificador de potencia vectorial particular.

En la implementación, existen diversos enfoques para realizar el control de intensidad de fase de salida. En algunas realizaciones, la conformación de intensidad de fase de salida se realiza usando el módulo de autopolarización. El módulo de autopolarización se ilustra como la circuitería de autopolarización 714 y 716 en las realizaciones de las figuras 7 y 8. De forma similar, el módulo de autopolarización se ilustra como la circuitería de autopolarización 1218 en las realizaciones de las figuras 12 y 13, y como la circuitería de autopolarización 1718 en las realizaciones de las figuras 17 y 18.

El control de intensidad de fase de salida usando la autopolarización se representa en el diagrama de flujo de proceso 4800 de la realización de la figura 48. El procedimiento comienza en la etapa 4810, que incluye recibir una información de potencia de salida y de envolvente de señal de salida de una señal de salida deseada de un amplificador de potencia vectorial (VPA). En algunas realizaciones, implementar el control de intensidad de fase de salida usando la autopolarización requiere un conocimiento *a priori* de la potencia de salida deseada del amplificador. La información de potencia de salida puede encontrarse en forma de información de fase y de envolvente. Por ejemplo, en las realizaciones de las figuras 7, 8, 12, 13, 17 y 18, la información de potencia de salida se incluye en las componentes de datos de I y de Q que se reciben mediante la realización de VPA. En otras realizaciones, la información de potencia de salida puede recibirse o calcularse usando otros medios.

La etapa 4820 incluye el cálculo de una señal de acuerdo con la información de señal de envolvente de salida. En las realizaciones, una señal de autopolarización se calcula como una función de alguna medida de la potencia de salida deseada. Por ejemplo, la señal de autopolarización puede calcularse como una función de la magnitud de envolvente de la señal de salida deseada. Haciendo referencia a las realizaciones de las figuras 7, 8, 12, 13, 17 y 18, por ejemplo, se observa que la señal de autopolarización (las señales 715 y 717 en las figuras 7 y 8, la señal 1228 en las figuras 12 y 13, y las señales 1728 en las figuras 17 y 18) se calcula de acuerdo con las componentes de datos de I y de Q recibidas de una señal de salida deseada. En determinadas realizaciones, tal como las que se describen en las figuras 7, 8, 12, 13, 17 y 18, la señal de autopolarización se calcula mediante un módulo de autopolarización, proporcionándose una información de potencia de salida. En otras realizaciones, la señal de autopolarización puede calcularse mediante el módulo o módulos de función de transferencia de datos de I y de Q del VPA. En tales realizaciones, un módulo de autopolarización puede no requerirse en la implementación. En las realizaciones, el módulo de función de transferencia de datos de I y de Q calcula una señal, emite la señal a un DAC cuya señal de salida representa la señal de autopolarización.

La etapa 4830 incluye la aplicación de la señal calculada en una fase de salida del VPA, controlando de ese modo una intensidad de la fase de salida de acuerdo con la potencia de salida de la señal de salida deseada. En las realizaciones, la etapa 4830 incluye el acoplamiento de la señal de autopolarización en la entrada de fase de PA del VPA. Esto se ilustra, por ejemplo, en las realizaciones de las figuras 33 y 42 en las que la señal de autopolarización 3310 se acopla en la entrada de fase de PA de la realización de VPA. En estas realizaciones, la señal de autopolarización 3310 controla la polarización de los transistores de fase de PA de acuerdo con la potencia de salida de la señal de salida deseada de la realización de VPA. Por ejemplo, la señal de autopolarización 3310 puede dar lugar a que los transistores de fase de PA funcionen en estado de corte cuando la potencia de salida deseada es mínima o casi cero, extrayendo de ese modo poca o ninguna intensidad de fase de salida. De forma similar, cuando se desea una potencia de salida máxima, la señal de autopolarización 3310 puede polarizar los transistores de fase de PA para funcionar en el modo de conmutación la clase C, D, E, etc., la señal de autopolarización 3310 también puede dar lugar a que los transistores de fase de PA o los FET funcionen en los estados polarizados directo o inverso de acuerdo con la potencia de salida, y las características de envolvente de señal, deseadas.

En otras realizaciones, la etapa 4830 incluye el acoplamiento de la señal de autopolarización usando unas

impedancias de polarización en la entrada de fase de PA y, de forma opcional, las entradas de las fases de circuito de excitación y / o de circuito de pre-excitación del VPA. Las figuras 38 y 43 ilustran tales realizaciones. Por ejemplo, en la realización de la figura 38, la impedancia de polarización 3850 acopla la señal Iref de autopolarización 3840 con el terminal de entrada 3820 del elemento de BJT 3870. El elemento de BJT 3870 representa la fase de PA de una rama de PA de una realización de VPA ejemplar. De forma similar, en la realización de la figura 43, la señal de autopolarización 4310 se acopla con los transistores Q1, ..., Q8 a través de las impedancias de polarización Z1, ..., Z8 correspondientes. Los transistores Q1, ..., Q8 representan la fase de PA de una rama de una realización de VPA ejemplar.

Las realizaciones para implementar la circuitería de autopolarización que se ha descrito en lo que antecede se proporcionarán en lo sucesivo. La figura 27 ilustra tres realizaciones 2700A, 2700B y 2700C para implementar la circuitería de autopolarización. Estas realizaciones se proporcionan para fines ilustrativos, y no son limitantes. Otras realizaciones serán evidentes para los expertos en la materia o materias en base a las enseñanzas que están contenidas en el presente documento.

En la realización 2700A, la circuitería de autopolarización 2700A incluye un módulo de función de transferencia de autopolarización 2712, un DAC 2714, y un filtro de interpolación opcional 2718. La circuitería de autopolarización 2700A recibe una señal de datos de I y de Q 2710. El módulo de función de transferencia de autopolarización 2712 procesa una señal de datos de I y de Q 2710 recibida para generar una señal de polarización apropiada 2713. El módulo de función de transferencia de autopolarización 2712 emite la señal de polarización 2713 al DAC 2714. El DAC 2714 se controla por un reloj de DAC 2716 que puede generarse en el módulo de transferencia de autopolarización 2712. El DAC 2714 convierte la señal de polarización 2713 en una señal analógica, y emite la señal analógica al filtro de interpolación 2718. El filtro de interpolación 2718, que también sirve como un filtro antisolape, conforma la salida del DAC para generar la señal de autopolarización 2720, que se ilustra como la Polarización A en la realización 5112G. La señal de autopolarización 2720 puede usarse para polarizar la fase de PA y / o la fase de circuito de excitación, y / o la fase de circuito de pre-excitación del amplificador. En una realización, la señal de autopolarización 2720 puede tener diversas otras señales de autopolarización calculadas a partir de la misma para polarizar diferentes fases dentro de la fase de PA. Esto puede hacerse usando una circuitería adicional no incluida en la realización 2700A.

Como contraste, la realización 2700B ilustra una realización de la circuitería de autopolarización en la que múltiples señales de autopolarización se calculan en el interior de la circuitería de autopolarización. Tal como se muestra en la realización 2700B, las redes de circuito 2722, 2726 y 2730, que se ilustran como las redes de circuito A, B y C en la realización 2700B, se usan para obtener las señales de autopolarización 2724 y 2728 a partir de la señal de autopolarización 2720. Las señales de autopolarización 2720, 2724 y 2728 se usan para polarizar diferentes fases de amplificación.

La realización 2700C ilustra otra realización de la circuitería de autopolarización en la que múltiples señales de autopolarización se generan de forma independiente en el interior del módulo de función de transferencia de autopolarización 2712. En la realización 2700C, el módulo de función de transferencia de autopolarización 2712 genera múltiples señales de polarización de acuerdo con una señal de datos de I y de Q 2710 recibida. Las señales de polarización pueden o pueden no estar relacionadas. El módulo de función de transferencia de autopolarización 2712 emite las señales de polarización generadas a los DAC 2732, 2734 y 2736 subsiguientes. Los DAC 2732, 2734 y 2736 se controlan por las señales de reloj de DAC 2733, 2735 y 2737, respectivamente. Los DAC 2732, 2734 y 2736 convierten las señales de polarización recibidas en unas señales analógicas, y emiten las señales analógicas a los filtros de interpolación opcionales 2742, 2744 y 2746. Los filtros de interpolación 2742, 2744 y 2746, que también sirven como filtros antisolape, conforman las salidas de los DAC para generar las señales de autopolarización 2720, 2724 y 2728. De forma similar a la realización 2700B, las señales de autopolarización 2720, 2724 y 2728 se usan para polarizar diferentes fases de amplificación tal como el circuito de pre-excitación, el circuito de excitación y el PA.

Tal como se ha observado anteriormente, las realizaciones de la circuitería de autopolarización de acuerdo con la presente invención no se limitan a las que se describen en las realizaciones 2700A, 2700B y 2700C. Un experto en la materia apreciará, por ejemplo, que la circuitería de autopolarización puede ampliarse para generar cualquier número de señales de control de polarización según se requiera para controlar la polarización de varias fases de amplificación, y no solo tres tal como se muestra en las realizaciones 5200B y 5200C, por ejemplo.

3.5.3) Protección de Fase de Salida

Tal como se ha descrito en lo que antecede, las realizaciones de fase de salida de acuerdo con las realizaciones de la presente invención son de una eficiencia energética suma como resultado de ser capaz de acoplar directamente las salidas en la fase de PA sin usar elemento de combinación o de aislamiento alguno. Determinadas realizaciones de fase de salida en determinadas circunstancias y / o aplicaciones, no obstante, pueden requerir unas medidas de protección de fase de salida especiales adicionales con el fin de soportar tal enfoque de acoplamiento directo. Este puede ser el caso, por ejemplo, para las realizaciones de fase de salida tal como 5110D, 5120D, 5130D, 5160D, 5150E, 5160E, 5170E y 5180E que se ilustran en las figuras 51D y 51E. Obsérvese que, en general, las realizaciones de fase de salida complementarias, tal como las realizaciones 5140D, 5150D, 5110E, 5120E, 5130E y

5140E de las figuras 51D y 51E, no requieren (pero pueden usar, de forma opcional) las mismas medidas de protección de fase de salida que se describirán en el presente documento en esta sección. Las medidas de protección de fase de salida y las realizaciones para soportar tales medidas se proporcionan en lo sucesivo.

5 En un aspecto, los transistores de distintas ramas de una fase de PA en general no deberían encontrarse de forma simultánea en estados opuestos de funcionamiento durante unos periodos prolongados de tiempo. A continuación de un reinicio o un encendido sin que se suministre entrada alguna a las fases de PA finales, los transitorios dentro de las ramas de PA pueden dar lugar a que este modo tenga lugar dando como resultado que los transistores de fase de PA se dañen, en potencia, uno a otro, o que dañen los elementos de circuito que están conectados con la salida. Por consiguiente, las realizaciones de la presente invención restringen adicionalmente el módulo de
10 autopolarización para limitar la intensidad de salida en la fase de PA.

En otro aspecto, puede desearse garantizar que el módulo de autopolarización limite las tensiones de salida por debajo de la especificación de tensión de ruptura de los transistores de fase de PA. Por consiguiente, en las realizaciones de la presente invención, tal como aquella que se ilustra en la figura 42 por ejemplo, un elemento de realimentación 4210 se acopla entre el nodo de colector común de la fase de PA y el módulo de autopolarización. El
15 elemento de realimentación 4210 supervisa la tensión de colector a base de los transistores de fase de PA, y puede restringir la señal de autopolarización según sea necesario para proteger los transistores y / o elementos de circuito.

Un experto en la materia apreciará que también pueden implementarse otras técnicas de protección de fase de salida. Además, las técnicas de protección de fase de salida pueden ser específicas de la implementación. Por ejemplo, dependiendo del tipo de transistores de fase de PA (nnp, pnp, NMOS, PMOS, npn / pnp, NMOS / PMOS),
20 pueden requerirse diferentes funciones de protección.

3.6) Control de Armónicos

De acuerdo con las realizaciones de la presente invención, un principio subyacente para cada PA de rama es maximizar la transferencia de potencia a un armónico fundamental del espectro de salida. Típicamente, cada PA de rama puede ser de múltiples fases, dando lugar a un espectro de salida armónicamente rico. En un aspecto, la
25 transferencia de la potencia real se maximiza para el armónico fundamental. En otro aspecto, para los armónicos no fundamentales, la transferencia de potencia real se minimiza mientras que la transferencia de potencia imaginaria puede tolerarse. El control de armónicos, de acuerdo con las realizaciones de la presente invención, puede realizarse de una diversidad de formas.

En una realización, la transferencia de potencia real sobre el armónico fundamental se maximiza por medio de la formación de onda de las señales de entrada de fase de PA. En la práctica, diversos factores desempeñan un papel en la determinación de la forma de onda óptima que da como resultado una transferencia de potencia real máxima sobre el armónico fundamental. La realización 3400 de la presente invención, que se ha descrito en lo que antecede, representa una realización que emplea la formación de onda de las señales de entrada de fase de PA. En la
30 realización 3400, una pluralidad de redes de circuitería de control de armónicos (HCC) 3410-{1, ..., n} se acoplan en la entrada de fase de PA de cada rama de PA {1, ..., n}. Las redes de HCC 3410-{1, ..., n} tienen el efecto de la formación de onda de las entradas de fase de PA, y se seleccionan típicamente con el fin de maximizar la transferencia de potencia real al armónico fundamental del espectro de salida sumado. De acuerdo con las realizaciones de la presente invención, la formación de onda puede usarse para generar unas variaciones de unas formas de onda diversas en cuanto a los armónicos. En otras realizaciones, tal como puede ser evidente para un
35 experto en la materia, la formación de onda puede realizarse en la fase de circuito de pre-excitación y / o de circuito de excitación.

En otra realización, el control de armónicos se consigue por medio de la formación de onda de la salida de fase de PA. La figura 43 ilustra una realización de fase de PA ejemplar 4300 de la presente invención. En la realización 4300, la señal de autopolarización 4310 se acopla con los transistores Q1, ..., Q8 a través de las impedancias de polarización Z1, ..., Z8 correspondientes. Obsérvese que, cuando las impedancias Z1, ..., Z8 tienen diferentes valores, los transistores Q1, ..., Q8 tienen diferentes puntos de polarización y pueden pasar a estado de conducción en unos instantes diferentes. Se hace referencia a este enfoque de la polarización de los transistores Q1, ..., Q8 como una polarización escalonada. Obsérvese que, usando una polarización escalonada, la forma de onda de salida de PA puede conformarse de una diversidad de formas dependiendo de los valores asignados para polarizar las
40 impedancias Z1, ..., Z8.

El control de armónicos usando una polarización escalonada se representa en el diagrama de flujo de proceso 4900 de la realización de la figura 49. El procedimiento comienza en la etapa 4910, que incluye el acoplamiento de una señal de entrada en los primeros puertos de una pluralidad de transistores de una fase de conmutación de amplificador de potencia (PA). En la realización a modo de ejemplo de la figura 43, por ejemplo, la etapa 4910 se
45 corresponde con el acoplamiento de la señal de PA_ENTRADA 4310 en los terminales de base de la pluralidad de transistores Q1, ..., Q8.

La etapa 4920 incluye el acoplamiento de una pluralidad de impedancias entre los primeros puertos de la pluralidad de transistores y una señal de polarización. En la realización a modo de ejemplo de la figura 43, por ejemplo, la

etapa 4920 se consigue mediante el acoplamiento de las impedancias Z_1, \dots, Z_8 entre los terminales de base de los transistores Q_1, \dots, Q_8 respectivos y la señal I_{ref} . En una realización, los valores de la pluralidad de impedancias se seleccionan para dar lugar a una conmutación escalonada en el tiempo de la señal de entrada, conformando de ese modo en cuanto a los armónicos una señal de salida de la fase de PA. En las realizaciones, una salida escalonada de múltiples fases puede generarse mediante la selección de múltiples valores distintos de la pluralidad de impedancias. En otras realizaciones, la conmutación se consigue mediante la selección de la pluralidad de impedancias para que tengan un valor igual o sustancialmente igual.

La figura 44 ilustra una salida de PA con forma de onda ejemplar usando un enfoque de polarización escalonada en dos fases. En un enfoque de polarización escalonada en dos fases, un primer conjunto de los transistores de PA pasa a estado de conducción en primer lugar antes de que un segundo conjunto pase a estado de conducción. Dicho de otra forma, las impedancias de polarización adoptan dos valores diferentes. La forma de onda 4410 representa una forma de onda de entrada en la fase de PA. La forma de onda 4420 representa la salida de PA con forma de onda de acuerdo con una polarización escalonada en dos fases. Obsérvese que la forma de onda de salida 4420 se inclina dos veces a medida que esta realiza una transición de 1 a 0, lo que se corresponde con que los conjuntos primero y segundo de transistores pasen a estado de conducción de forma sucesiva.

De acuerdo con las realizaciones de la presente invención, puede diseñarse una diversidad de enfoques de polarización escalonada en múltiples fases. Los valores de impedancia de polarización pueden ser fijos o variables. Además, los valores de impedancia de polarización pueden ser iguales o sustancialmente iguales, distintos, o ajustarse de acuerdo con una diversidad de permutaciones. Por ejemplo, haciendo referencia al ejemplo de la figura 43, una permutación ejemplar podría establecer $Z_1 = Z_2 = Z_3 = Z_4$ y $Z_5 = Z_6 - Z_7 = Z_8$, lo que da como resultado una polarización escalonada en dos fases.

3.7) Control de Potencia

Las realizaciones de amplificación de potencia vectorial de la presente invención proporcionan, de forma intrínseca, un mecanismo para realizar el control de potencia de salida.

La figura 45 ilustra un enfoque para realizar el control de potencia de acuerdo con una realización de la presente invención. En la figura 45, los fasores \vec{U}_1 y \vec{L}_1 representan las constituyentes superior e inferior de un primer fasor \vec{R}_1 . \vec{U}_1 y \vec{L}_1 son de magnitud constante y se desplazan de forma simétrica en fase en relación con \vec{R}_1 un ángulo de desplazamiento de fase $\frac{\phi}{2}$. Los fasores \vec{U}_2 y \vec{L}_2 representan las constituyentes superior e inferior de un segundo fasor \vec{R}_2 . \vec{U}_2 y \vec{L}_2 son de magnitud constante y se desplazan de forma simétrica en fase en relación con \vec{R}_2 un

ángulo de desplazamiento de fases $\frac{\phi}{2} + \phi_{desf}$.

Se observa, a partir de la figura 45, que \vec{R}_1 y \vec{R}_2 se encuentran en fase una en relación con otra y solo difieren en cuanto a su magnitud. Además, \vec{U}_2 y \vec{L}_2 se desplazan en fase por igual o sustancialmente por igual en relación con \vec{U}_1 y \vec{L}_1 , respectivamente. Por consiguiente, puede deducirse que, de acuerdo con la presente invención, la magnitud de una señal puede manipularse sin variar su ángulo de desplazamiento de fase mediante el desplazamiento por igual o sustancialmente por igual de sus señales de constituyente.

De acuerdo con la observación anterior, el control de potencia de salida puede realizarse mediante la imposición de unas restricciones sobre el ángulo de desplazamiento de fase de las señales de constituyente de una señal de salida deseada. Haciendo referencia a la figura 45, por ejemplo, mediante la restricción del intervalo de valores que puede adoptar el ángulo de desplazamiento de fase $\frac{\phi}{2}$, pueden imponerse unas restricciones de magnitud sobre el fasor \vec{R}_1 .

De acuerdo con las realizaciones de la presente invención, un nivel de potencia de salida máximo puede conseguirse mediante la imposición de una condición de ángulo de desplazamiento de fase mínimo. Por ejemplo, haciendo referencia a la figura 45, mediante el ajuste de una condición tal que $\frac{\phi}{2} \geq \phi_{desf}$, la magnitud del fasor \vec{R}_1 se restringe para no superar un determinado nivel máximo. De forma similar, una condición de ángulo de desplazamiento de fase máximo impone un requisito de nivel de magnitud mínimo.

En otro aspecto del control de potencia, la resolución de potencia de salida se define en términos de un tamaño de escalón de incremento o de decremento de potencia mínimo. De acuerdo con una realización de la presente invención, la resolución de potencia de salida puede implementarse mediante la definición de un tamaño de escalón de ángulo de desplazamiento de fase mínimo. Por consiguiente, los valores de ángulo de desplazamiento de fase se ajustan de acuerdo con un intervalo de valores discretos que tiene un tamaño de escalón determinado previamente.

La figura 46 ilustra un espectro de ángulo de desplazamiento de fase ejemplar, mediante lo cual el ángulo de desplazamiento de fase $\frac{\phi}{2}$ se ajusta de acuerdo con un intervalo de valores determinado previamente que tiene un escalón mínimo $\phi_{\text{escalón}}$.

Un experto en la materia apreciará que una diversidad de esquemas de control de potencia pueden implementarse de una forma similar a la de las técnicas que se han descrito en lo que antecede. Dicho de otra forma, varios algoritmos de control de potencia pueden diseñarse, de acuerdo con la presente invención, mediante el ajuste de unas restricciones correspondientes sobre los valores de ángulo de desplazamiento de fase. También es evidente, en base a la descripción anterior de las funciones de transferencia de datos, que los esquemas de control de potencia pueden incorporarse de forma natural en una implementación de función de transferencia.

3.8) Realización de amplificador de potencia vectorial ejemplar

La figura 47 ilustra una realización ejemplar 4700 de un amplificador de potencia vectorial de acuerdo con la presente invención. La realización 4700 se implementa de acuerdo con el procedimiento de VPA de 2 Ramas Cartesiana Directa.

Haciendo referencia a la figura 47, las señales 4710 y 4712 representan las señales entrantes a partir de una fase de función de transferencia. La fase de función de transferencia no se muestra en la figura 47. El bloque 4720 representa un generador de cuadratura que, de forma opcional, puede implementarse de acuerdo con una realización de la presente invención. El generador de cuadratura 4720 genera unas señales de reloj 4730 y 4732 que van a usarse por los moduladores vectoriales 4740 y 4742, respectivamente. De forma similar, las señales 4710 y 4712 se introducen en los moduladores vectoriales 4740 y 4742. Tal como se ha descrito en lo que antecede, los moduladores vectoriales 4740 y 4742 generan unas constituyentes de envolvente constante que se procesan, de manera subsiguiente, mediante una fase de PA. En la realización 4700, la fase de PA es de múltiples fases, mediante lo cual cada rama de PA incluye una fase de circuito de pre-excitación 4750–4752, una fase de circuito de excitación 4760–4762 y una fase de amplificador de potencia 4770–4772.

En la figura 47 se ilustran adicionalmente las señales de autopolarización 4774 y 4776 y los terminales 4780 y 4782 para acoplar redes y circuitería de control de armónicos. El nodo de terminal 4780 representa el terminal de salida del amplificador de potencia vectorial, y se obtiene mediante un acoplamiento directo de las salidas de las dos ramas de PA.

4. Sumario

En el presente documento se proporciona la base matemática para un nuevo concepto en relación con el procesamiento de señales para proporcionar amplificación de potencia y conversión elevadora. Estos nuevos conceptos permiten que unas formas de onda arbitrarias se construyan a partir de unas sumas de formas de onda que son, en cuanto a su naturaleza, de envolvente sustancialmente constante. Unas formas de onda y señales de salida deseadas pueden construirse a partir de unas señales de constituyente de envolvente sustancialmente constante que pueden crearse a partir del conocimiento de la envolvente compleja de la señal de salida deseada. Las señales de constituyente se suman usando unas técnicas nuevas, únicas y novedosas que no están disponibles comercialmente, ni se enseñan o se encuentran en la bibliografía o en la técnica relacionada. Además, la combinación de varias técnicas y circuitos que se proporcionan en la divulgación proporcionan aspectos únicos de la invención que permiten una linealidad superior, una eficiencia añadida energética, una implementación monolítica y de bajo coste en comparación con las ofertas actuales. Además, las realizaciones de la invención son inherentemente menos sensibles a las variaciones de proceso y de temperatura. Determinadas realizaciones incluyen el uso de los amplificadores de múltiples entradas y de una única salida que se describen en el presente documento.

Las realizaciones de la invención pueden implementarse mediante una combinación de soporte físico, soporte lógico y soporte lógico inalterable. Pueden usarse técnicas tanto analógicas como digitales con o sin microprocesadores y DSP.

Las realizaciones de la invención pueden implementarse para sistemas de comunicaciones y electrónica en general. Además, y sin limitación, la mecánica, la electromecánica, la electro-óptica y la mecánica de fluidos pueden hacer uso de los mismos principios para la amplificación y la transducción de las señales de forma eficiente.

5. Conclusión

La presente invención se ha descrito en lo que antecede con la ayuda de unos bloques de construcción funcionales

5 que ilustran el comportamiento de las funciones especificadas y las relaciones de las mismas. Los límites de estos bloques de construcción funcionales se han definido de forma arbitraria en el presente documento para conveniencia de la descripción. Pueden definirse unos límites alternativos siempre que las funciones especificadas y las relaciones de las mismas se realicen de forma apropiada. Cualquiera de tales límites alternativos se encuentra, de este modo, dentro del ámbito y el espíritu de la invención que se reivindica. Un experto en la materia reconocerá que estos bloques de construcción funcionales pueden implementarse mediante componentes discretos, circuitos integrados específicos de aplicación, procesadores que ejecutan un soporte lógico apropiado y similares y combinaciones de los mismos.

10 A pesar de que varias realizaciones de la presente invención se han descrito en lo que antecede, deberá entenderse que las mismas se han presentado solo a modo de ejemplo, y no de limitación. Por lo tanto, la amplitud y el alcance de la presente invención no deberán estar limitados por ninguna de las realizaciones ejemplares que se han descrito en lo que antecede, sino que deberían definirse solo de acuerdo con las siguientes reivindicaciones y sus equivalentes.

REIVINDICACIONES

1. Un procedimiento que comprende:
 - 1) aceptar (620) una entrada de reloj a una frecuencia que se corresponde con una frecuencia de salida deseada;
 - 2) generar (630, 650) una información de fase y de envolvente en fase (vector I) de banda de base a la frecuencia de salida deseada;
 - 3) generar (640, 650) una información de fase y de envolvente de cuadratura (vector Q) de banda de base a la frecuencia de salida deseada; y
 - 4) combinar (650) la información de cuadratura y en fase de banda de base para producir una forma de onda deseada a la frecuencia de salida deseada, en el que la combinación comprende el acoplamiento directo de las fases de salida asociadas con las etapas 2) y 3).
2. El procedimiento de la reivindicación 1, en el que las etapas 2)–4) comprenden el uso de un dispositivo de múltiples entradas y de una única salida.
3. El procedimiento de la reivindicación 1, en el que la etapa 1) comprende recibir la entrada de reloj a partir de un divisor de fase, en el que una entrada para el divisor de fase es derivada a partir de una salida de señal de referencia de un sintetizador.
4. El procedimiento de la reivindicación 1, en el que la etapa 2) comprende multiplicar la información en fase de banda de base con una información de amplitud en fase.
5. El procedimiento de la reivindicación 1, en el que la etapa 3) comprende multiplicar la información de cuadratura con una información de amplitud de cuadratura.
6. El procedimiento de la reivindicación 1, en el que las etapas 2) y 3) comprenden aplicar una conversión reductora a la información de cuadratura y en fase a la banda de base.
7. Un aparato que comprende:
 - un modulador vectorial (760; 762; 764; 766) configurado para recibir una entrada de reloj a una frecuencia que se corresponde con una frecuencia de salida deseada;
 - un primer dispositivo (770; 772) configurado para generar una información de fase y de envolvente en fase (vector I) de banda de base a la frecuencia de salida deseada;
 - un segundo dispositivo (774; 776) configurado para generar una información de fase y de envolvente de cuadratura (vector Q) de banda de base a la frecuencia de salida deseada; y
 - un nodo de combinación (782) configurado para combinar la información de cuadratura y en fase de banda de base para producir una forma de onda deseada a la frecuencia de salida deseada, en el que el nodo de combinación está configurado para acoplar directamente las fases de salida de los dispositivos primero y segundo.
8. El aparato de la reivindicación 7, que además comprende:
 - un tercer dispositivo (770; 772) configurado para generar otra información de fase y de envolvente de vector I de banda de base a la frecuencia de salida deseada; y
 - un cuarto dispositivo (774; 776) configurado para generar otra información de fase y de envolvente de vector Q de banda de base a la frecuencia de salida deseada.
9. El aparato de la reivindicación 8, en el que el nodo de combinación está configurado para acoplar directamente las fases de salida de los dispositivos primero, segundo, tercero y cuarto.
10. El aparato de la reivindicación 8, en el que el primer dispositivo, el tercer dispositivo y el nodo de combinación son componentes de un dispositivo de múltiples entradas y de una única salida.
11. El aparato de la reivindicación 7, en el que la entrada de reloj es derivada a partir de una salida de señal de referencia de un sintetizador.
12. El aparato de la reivindicación 7, que además comprende:
 - un circuito de autopolarización configurado para controlar una o más polarizaciones de los dispositivos de potencia primero y segundo.
13. El aparato de la reivindicación 7, que además comprende:
 - uno o más detectores de proceso configurados para compensar las variaciones de proceso en los dispositivos de potencia primero y segundo.

14. Un sistema que comprende:

un reloj de canal (706) configurado para proporcionar una entrada de reloj a una frecuencia que se corresponde con una frecuencia de salida deseada;
 una pluralidad de moduladores vectoriales (760; 762; 764; 766), configurado cada uno para recibir la entrada de reloj a una frecuencia que se corresponde con una frecuencia de salida deseada;
 un primer dispositivo (770; 772) configurado para generar una información de fase y de envolvente en fase (vector I) de banda de base a la frecuencia de salida deseada;
 un segundo dispositivo (774; 776) configurado para generar una información de fase y de envolvente de cuadratura (vector Q) de banda de base a la frecuencia de salida deseada; y
 un nodo de combinación (782) configurado para combinar la información de cuadratura y en fase de banda de base para producir una forma de onda deseada a la frecuencia de salida deseada, en el que el nodo de combinación está configurado para acoplar directamente las fases de salida de los amplificadores de potencia primero y segundo.

15. El sistema de la reivindicación 14, en el que cada uno de la pluralidad de moduladores vectoriales comprende un divisor de fase de entrada para generar [[las]] componentes de cuadratura y en fase de la entrada de reloj.

16. El sistema de la reivindicación 15, en el que el primer dispositivo y el nodo de combinación son componentes de un dispositivo de múltiples entradas y de una única salida.

17. El sistema de la reivindicación 15, en el que el nodo de combinación comprende el acoplamiento directo de unas salidas asociadas con los dispositivos primero y segundo.

18. El sistema de la reivindicación 15, que además comprende:

un circuito de autopolarización configurado para controlar una o más polarizaciones de los dispositivos primero y segundo.

19. El sistema de la reivindicación 15, que además comprende:

uno o más detectores de proceso configurados para compensar las variaciones de proceso en los dispositivos primero y segundo.

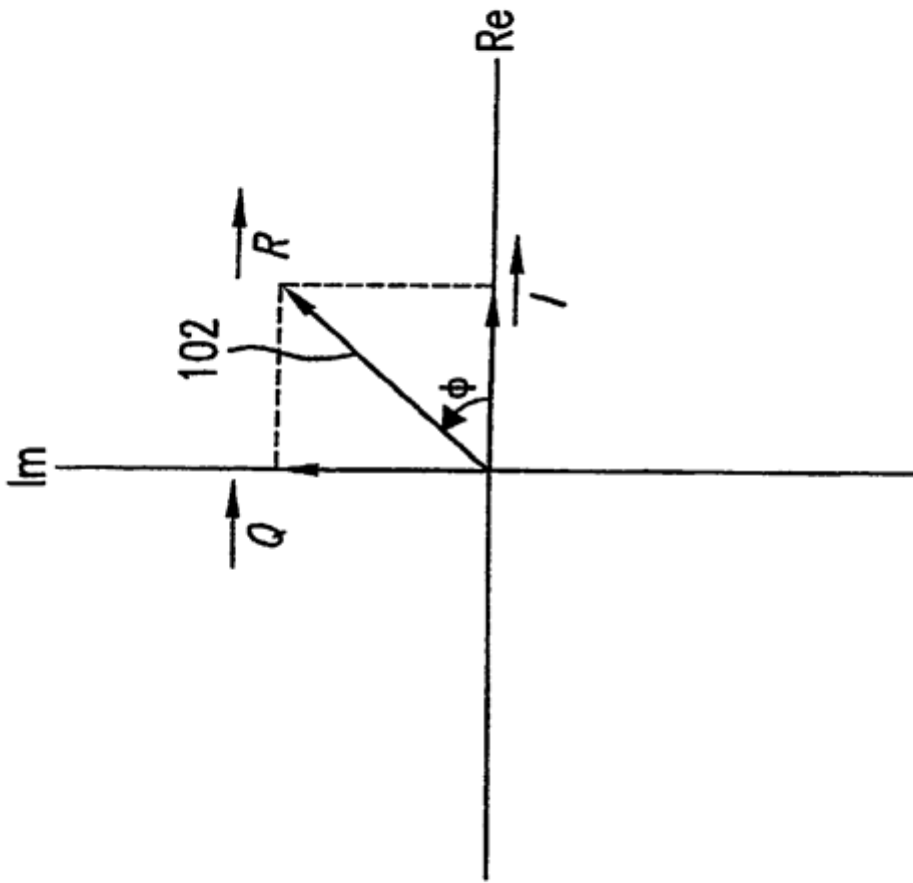


FIG.1

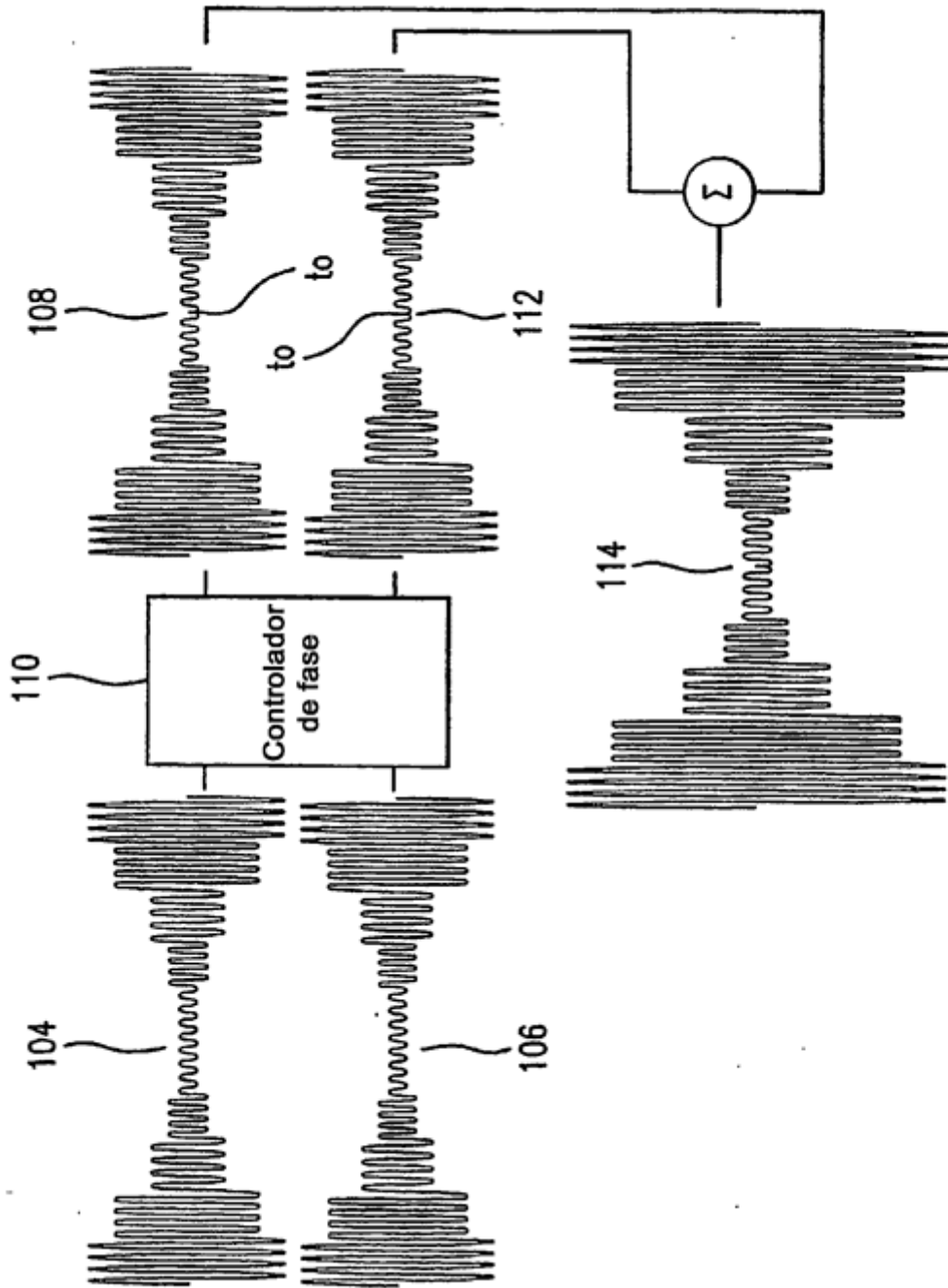


FIG.1A

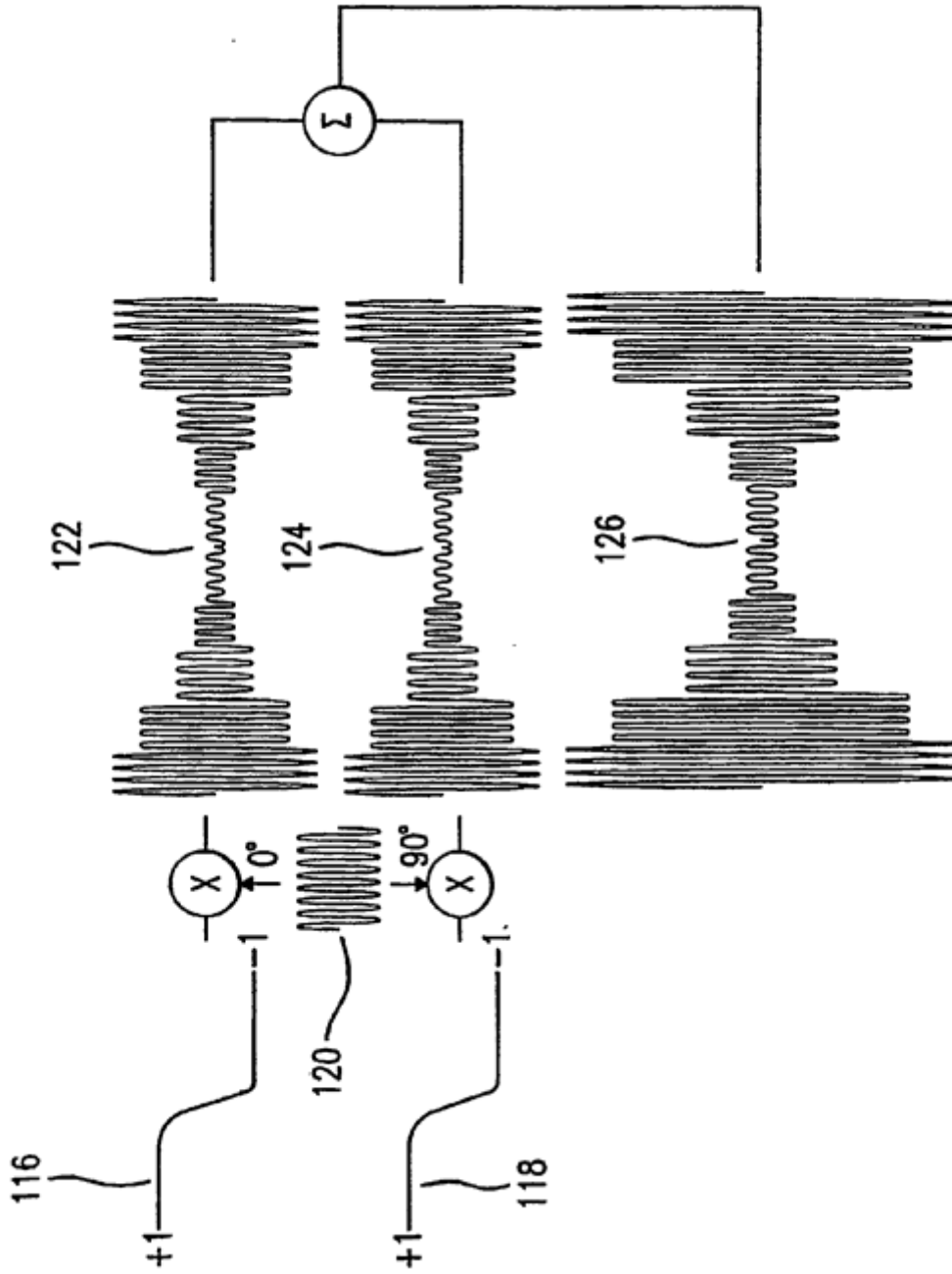


FIG.1B

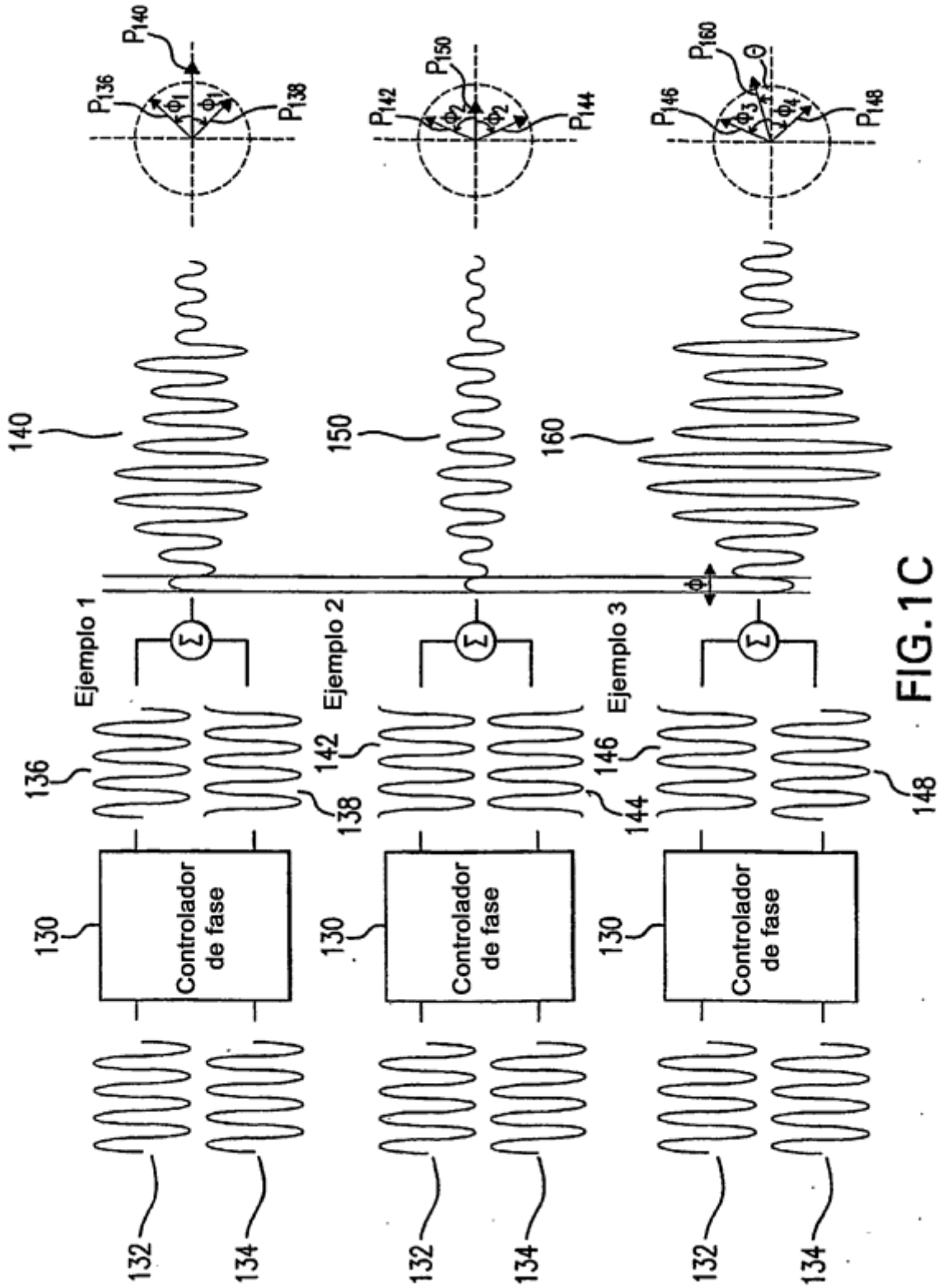


FIG.1C

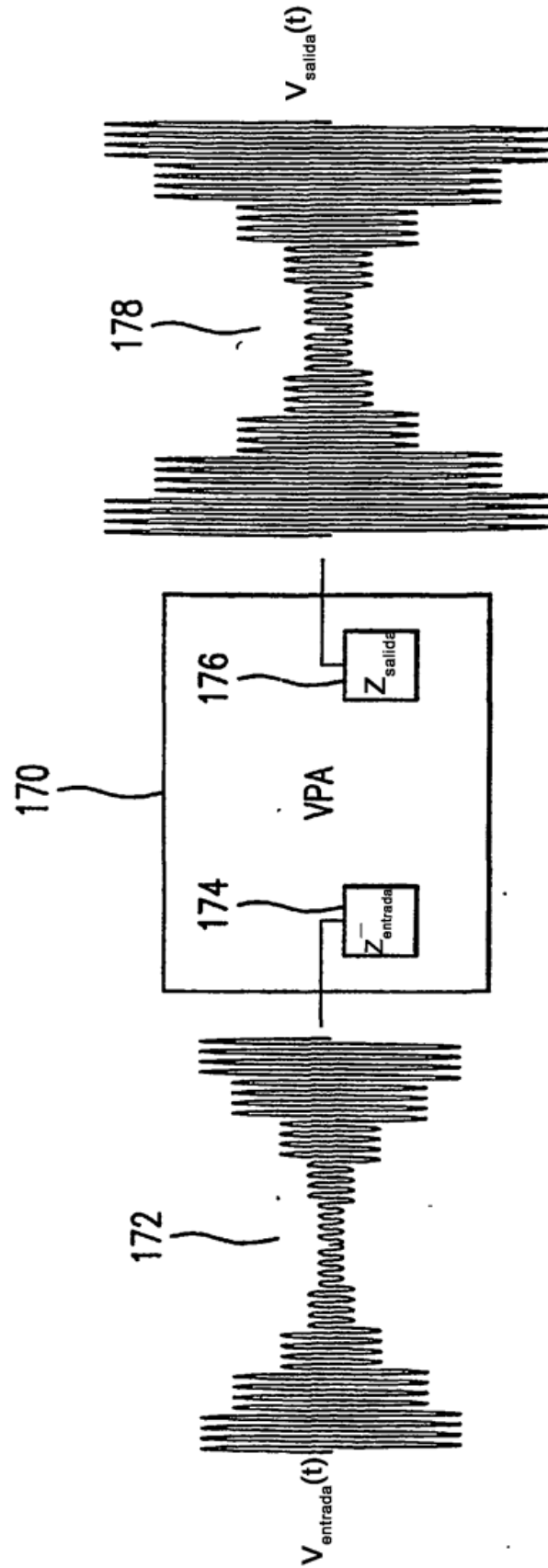


FIG.1D

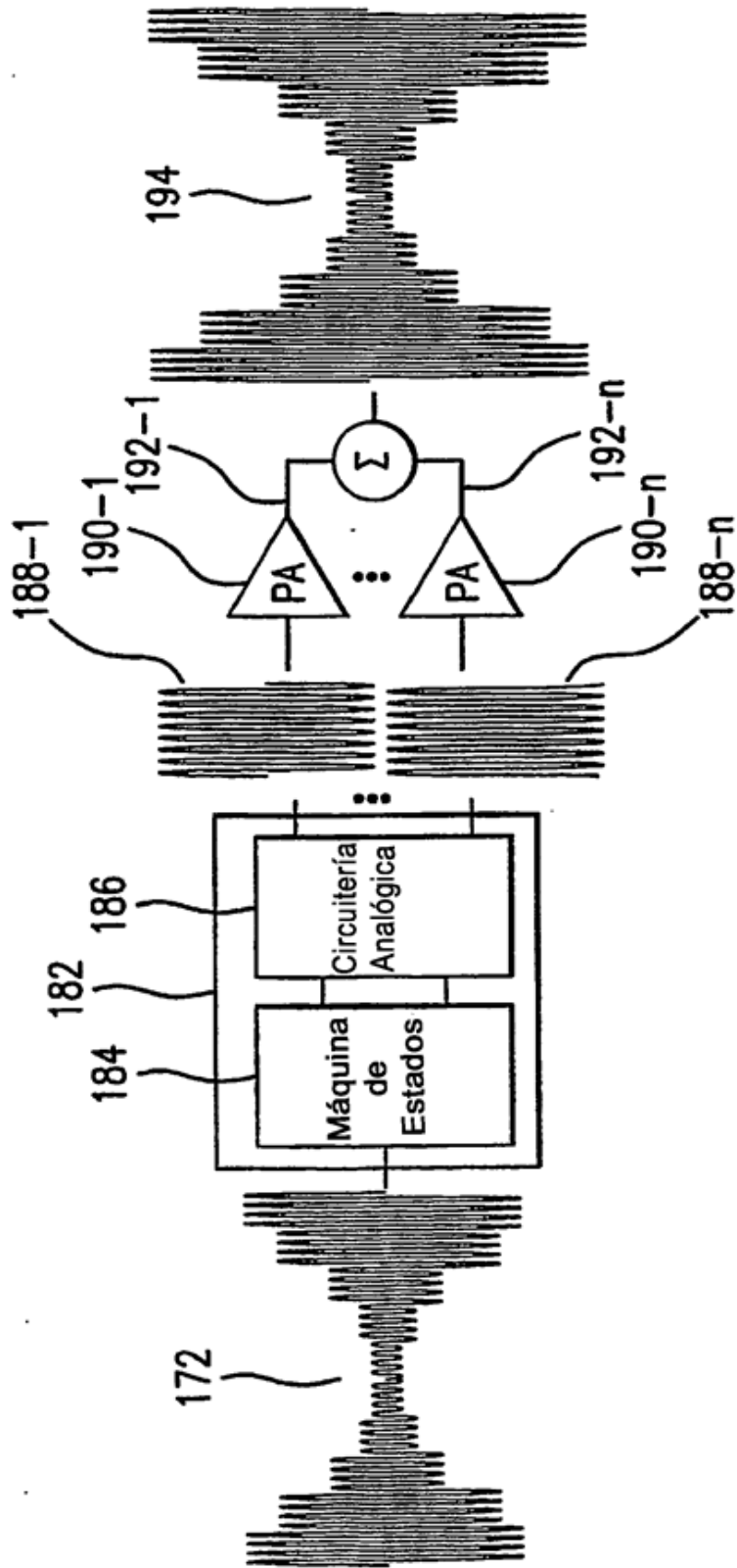


FIG.1E

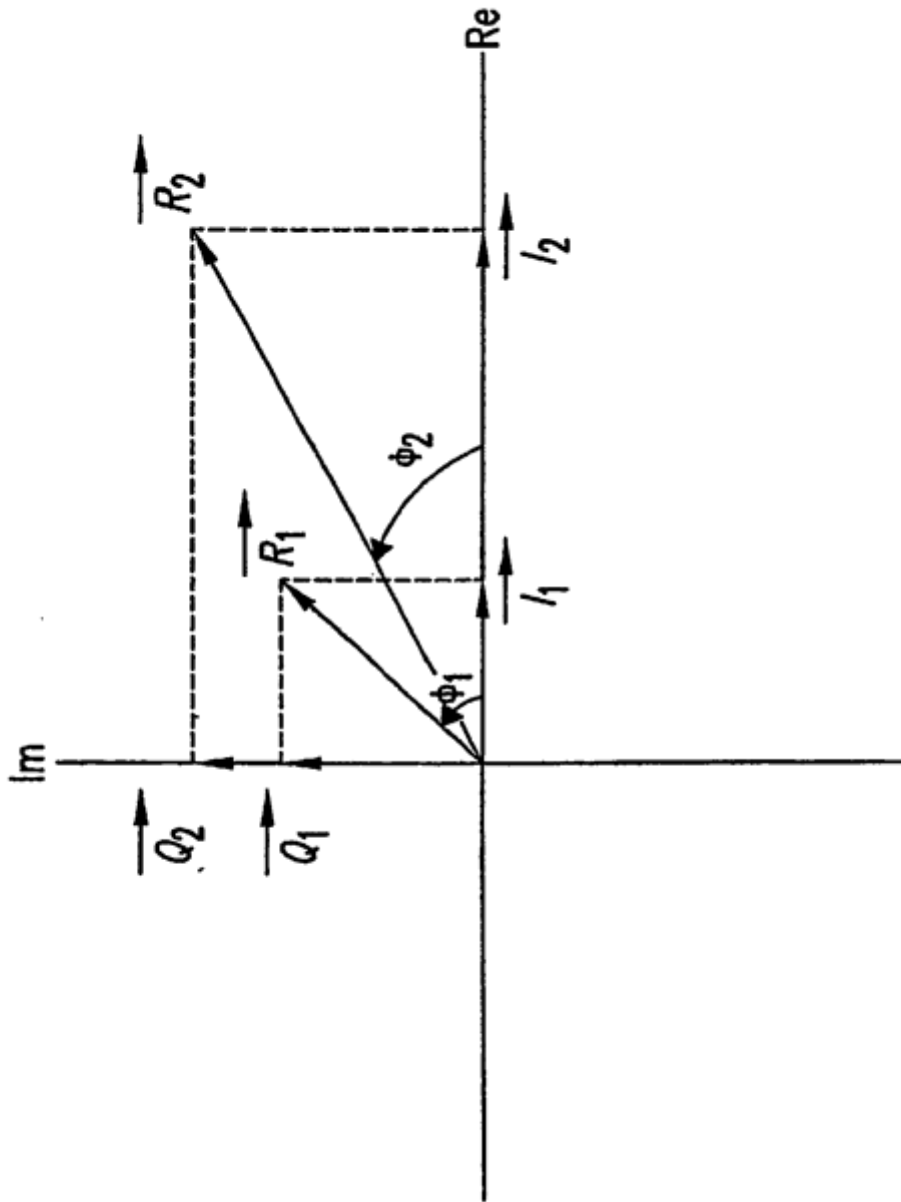


FIG.2

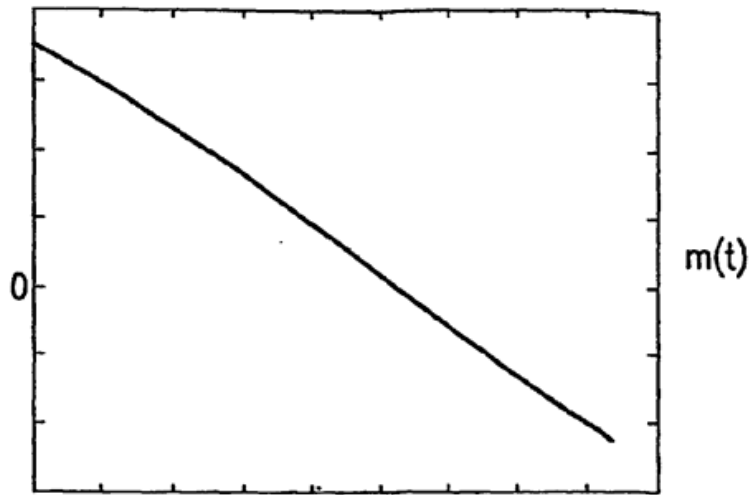


FIG.3A

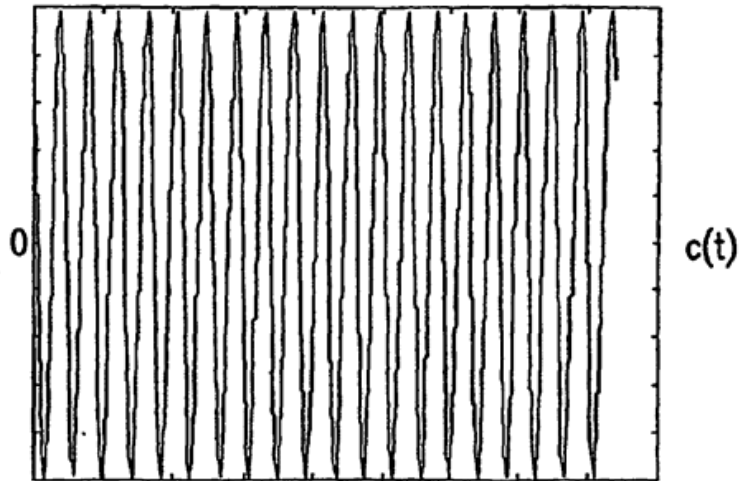


FIG.3B

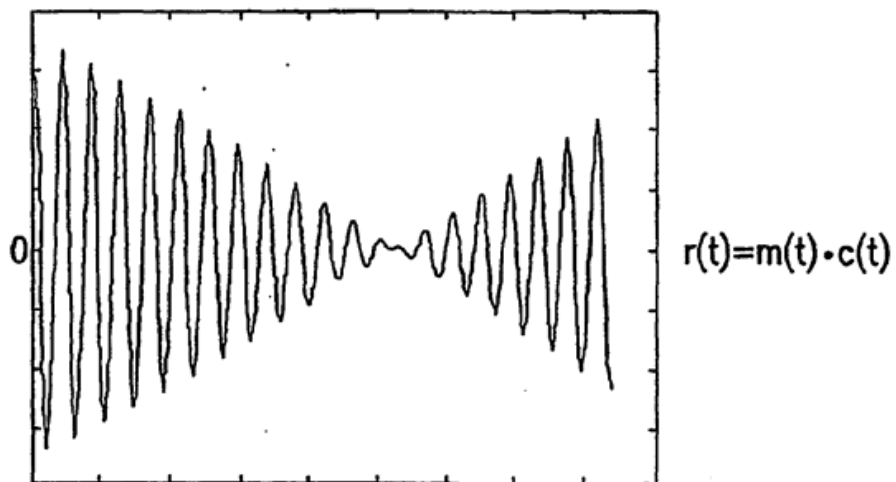


FIG.3C

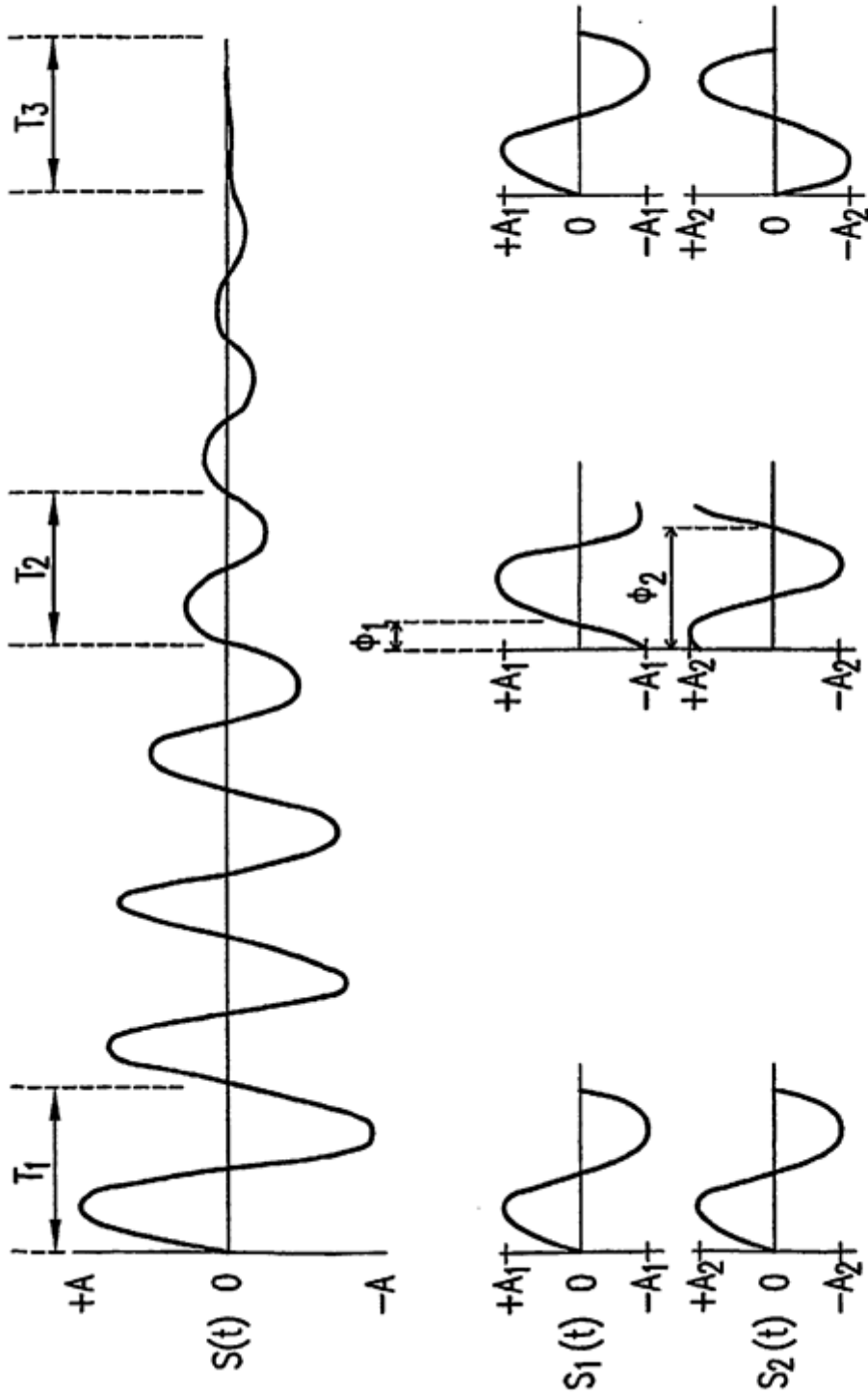


FIG.3D

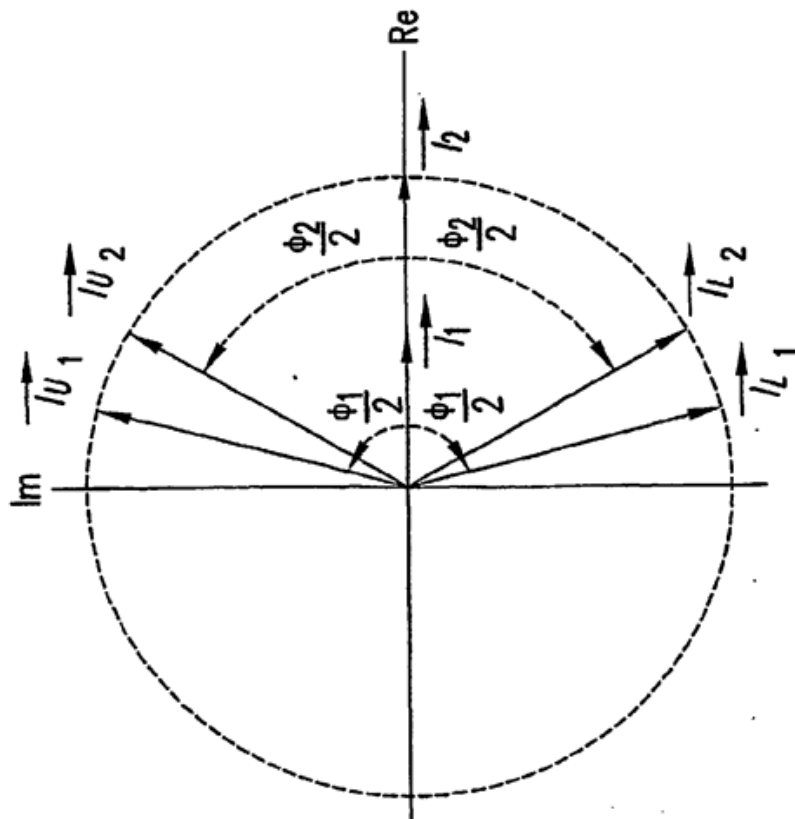
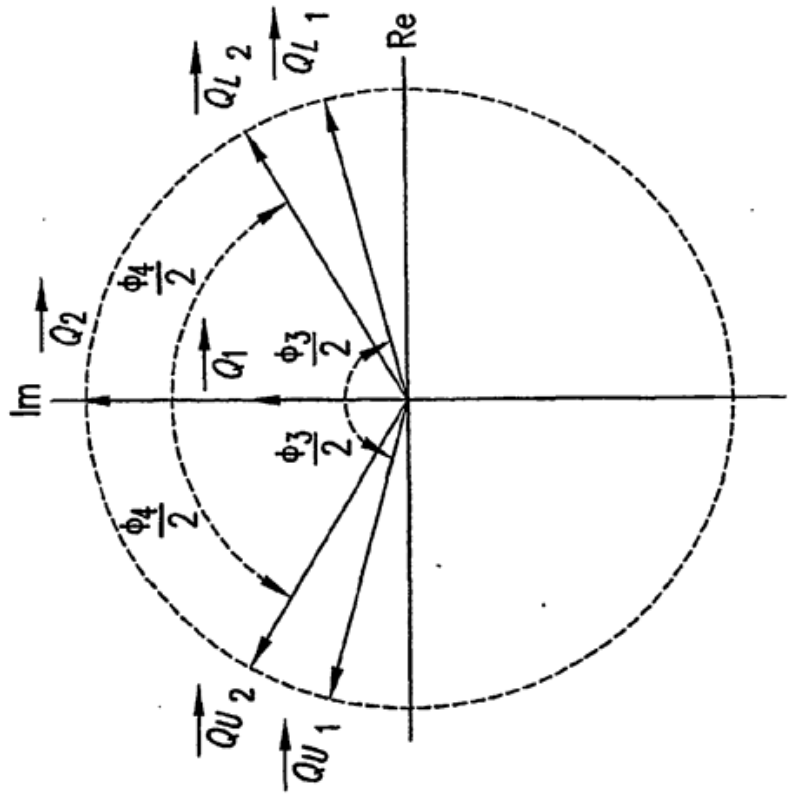


FIG.4

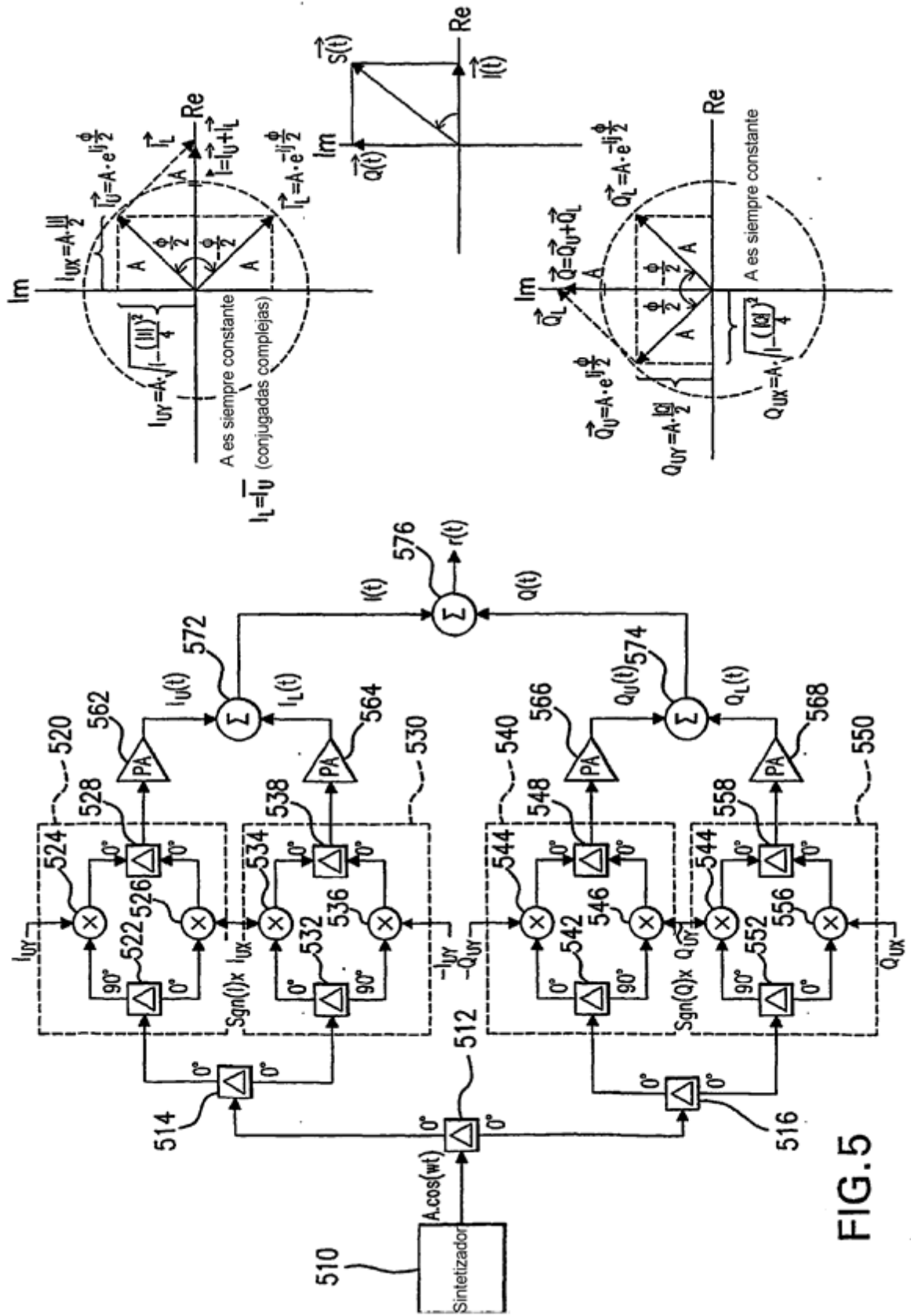


FIG. 5

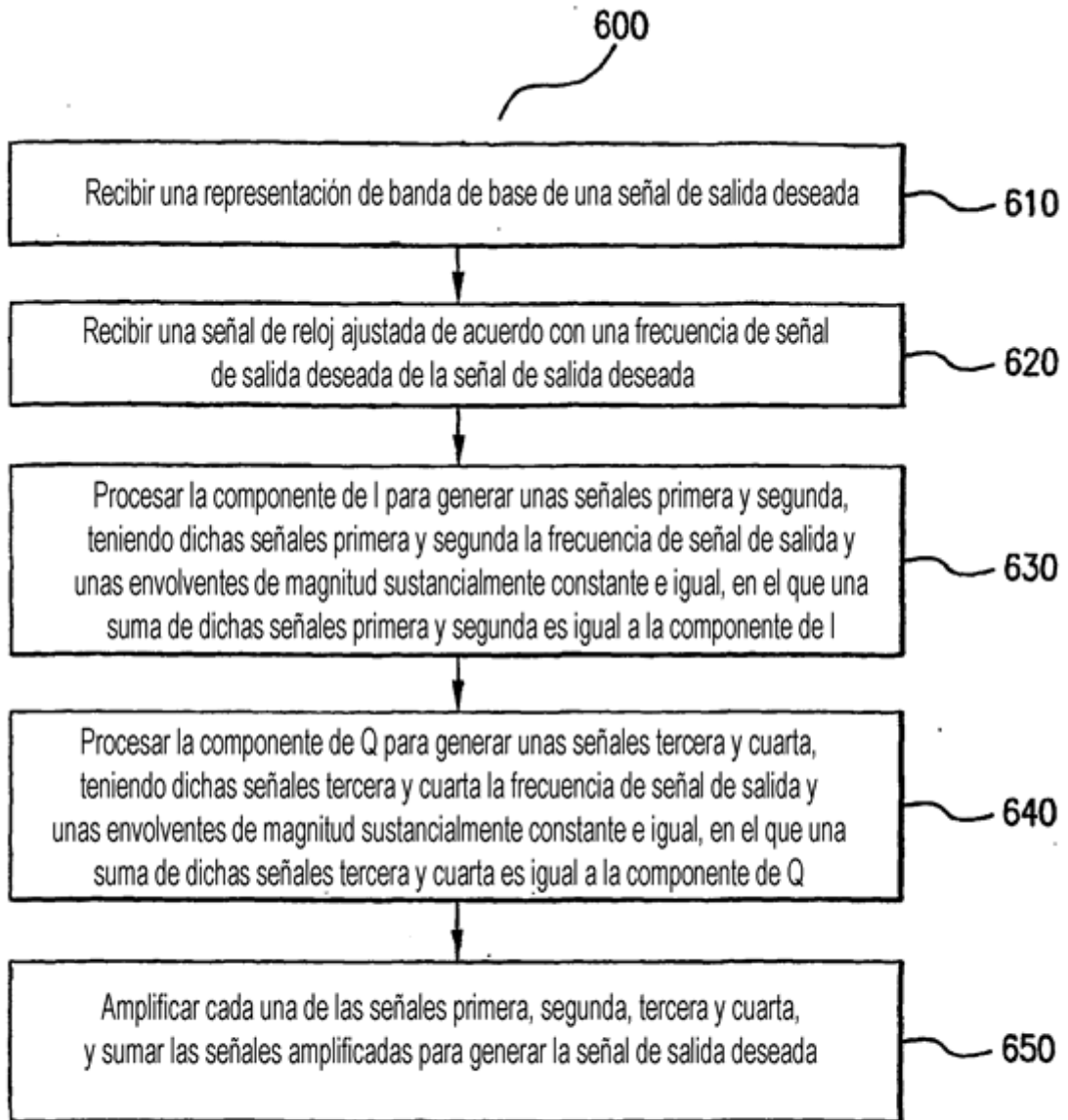


FIG.6

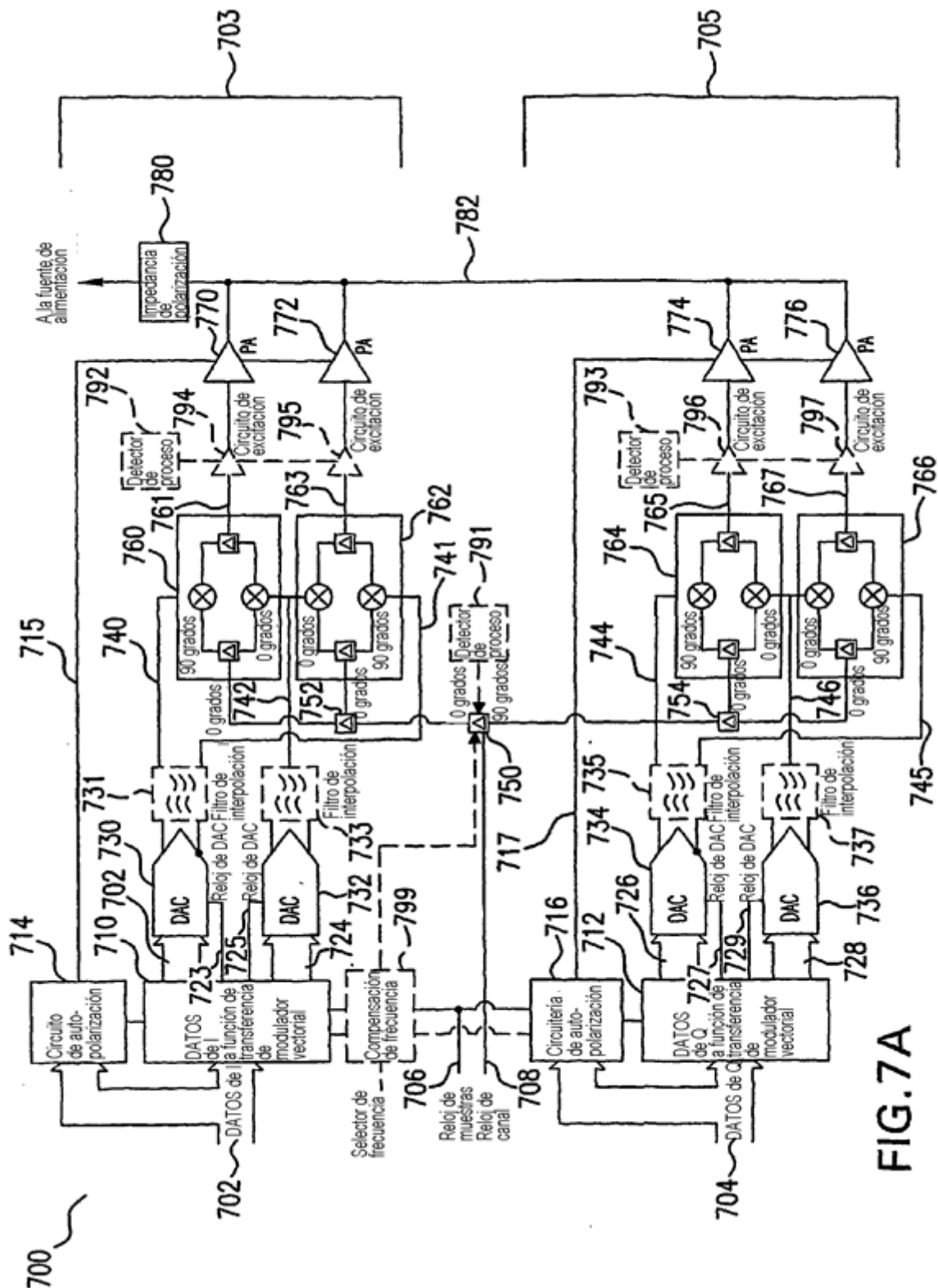


FIG. 7A

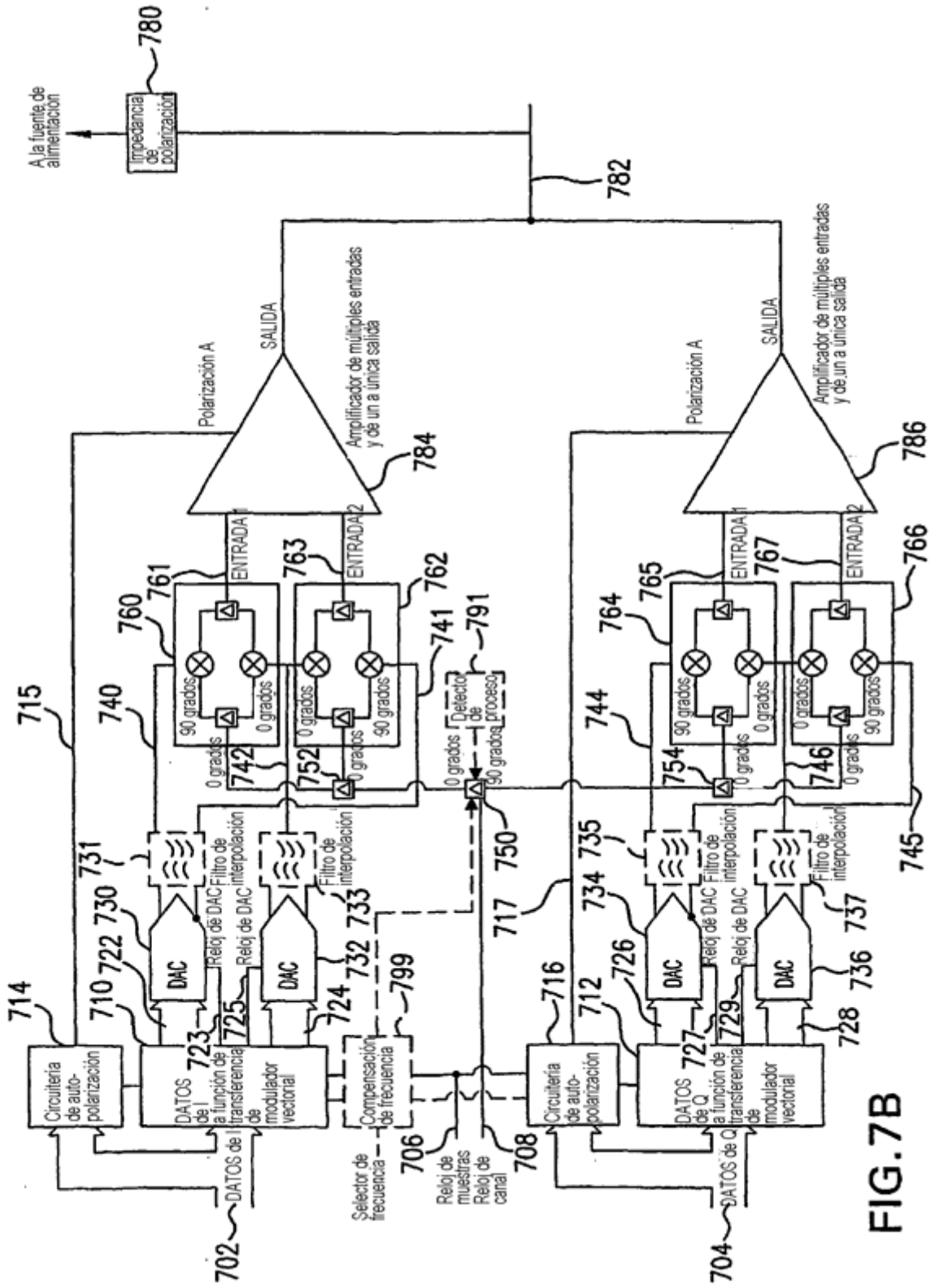


FIG. 7B

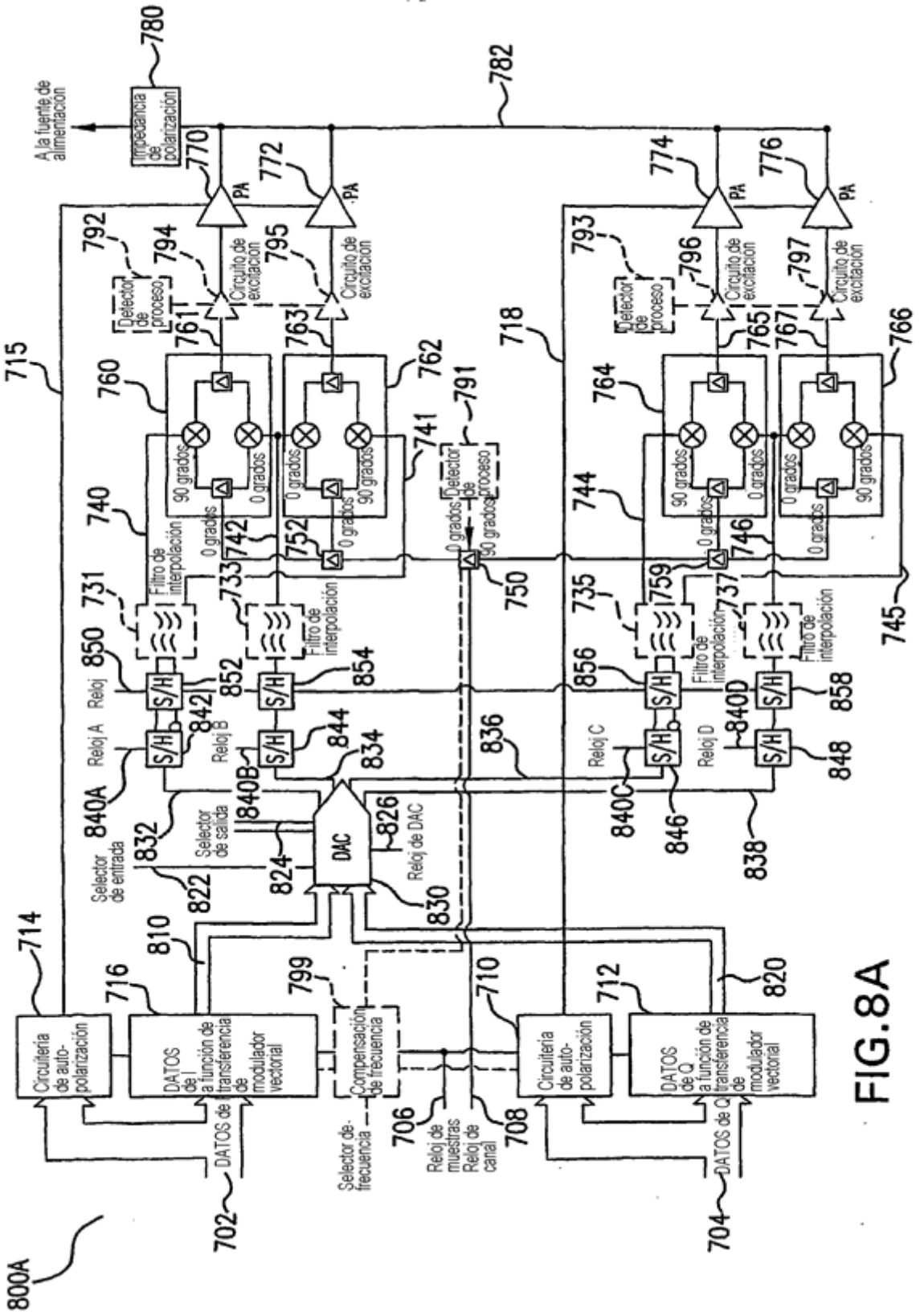


FIG. 8A

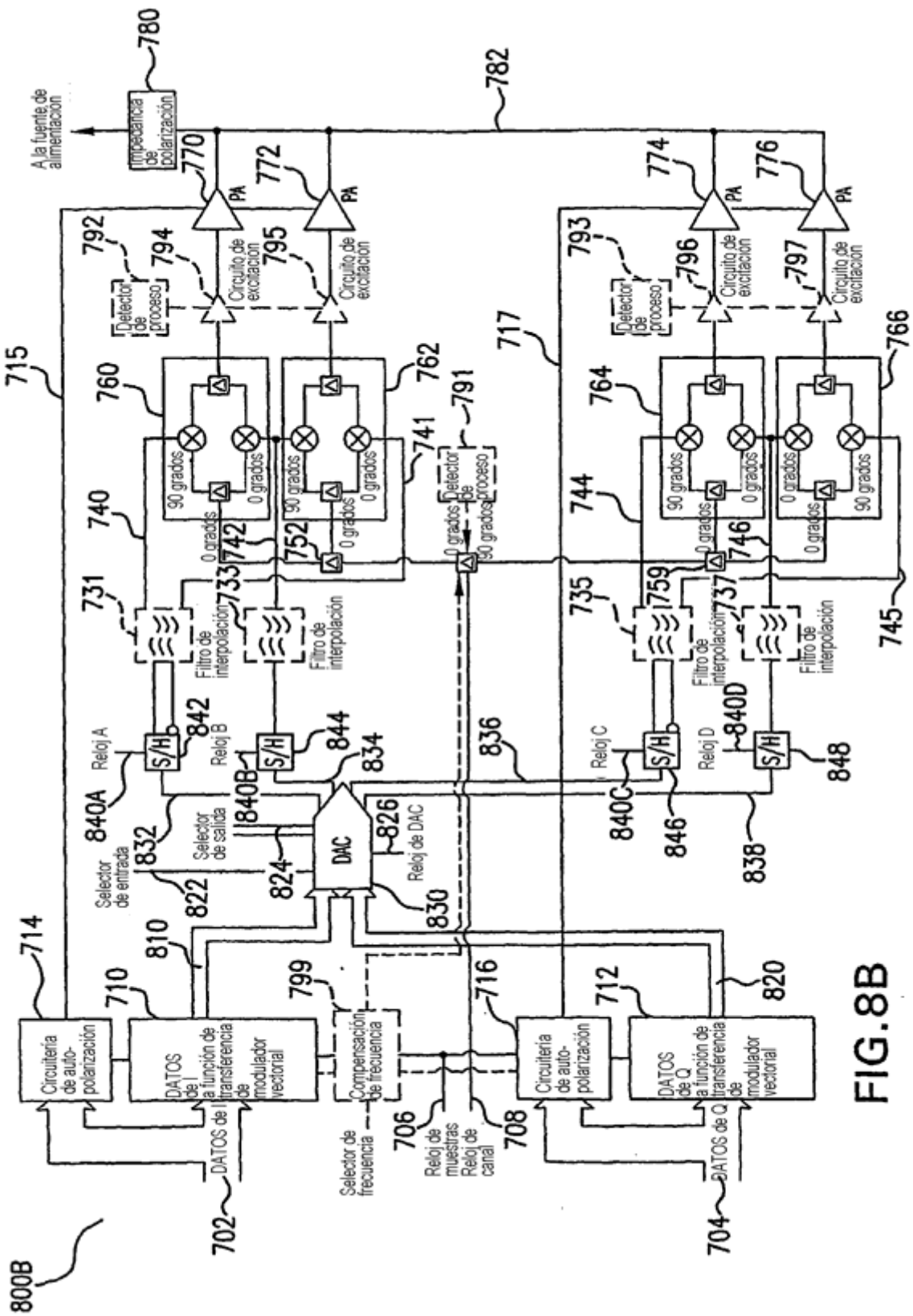


FIG. 8B

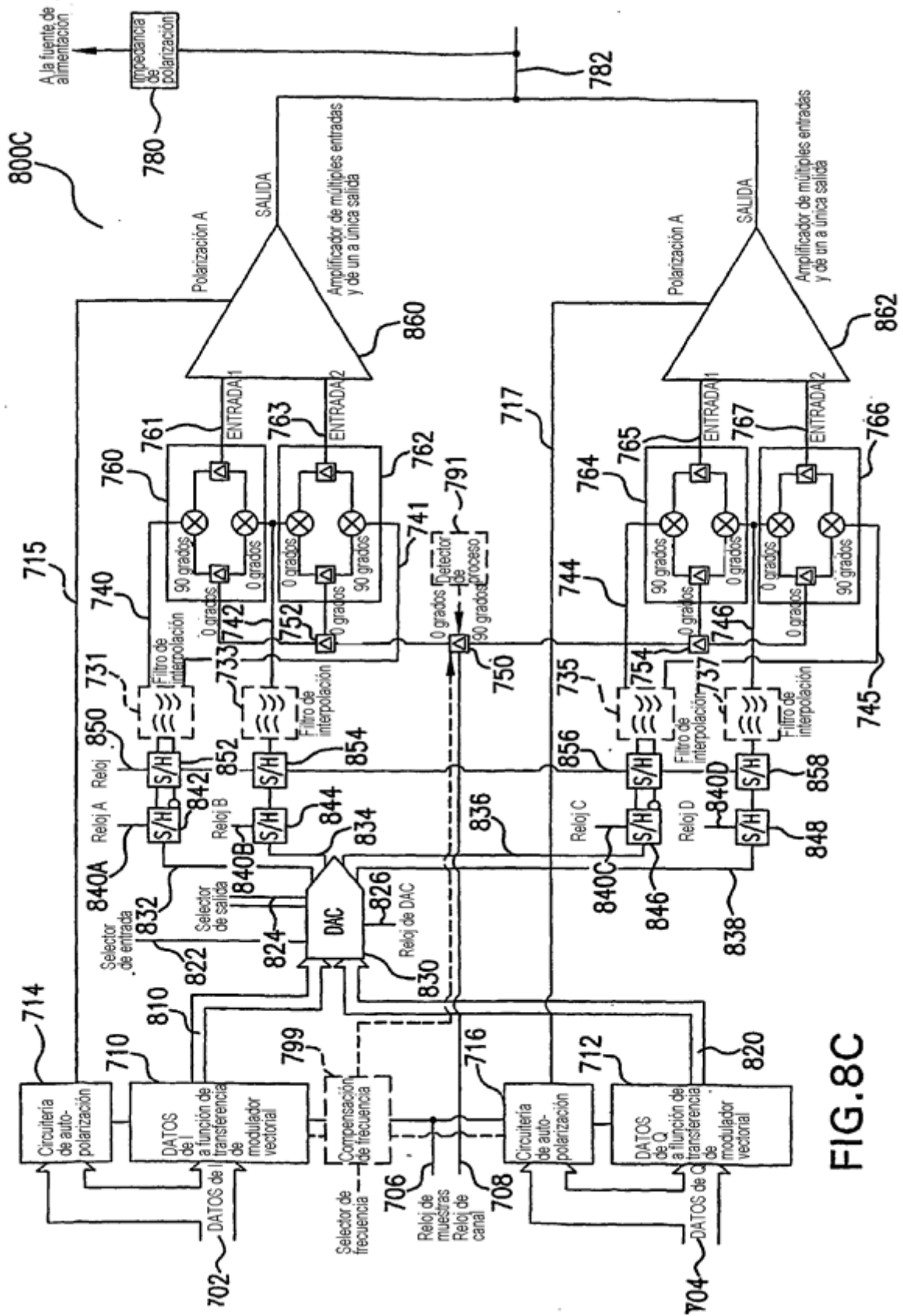


FIG. 8C

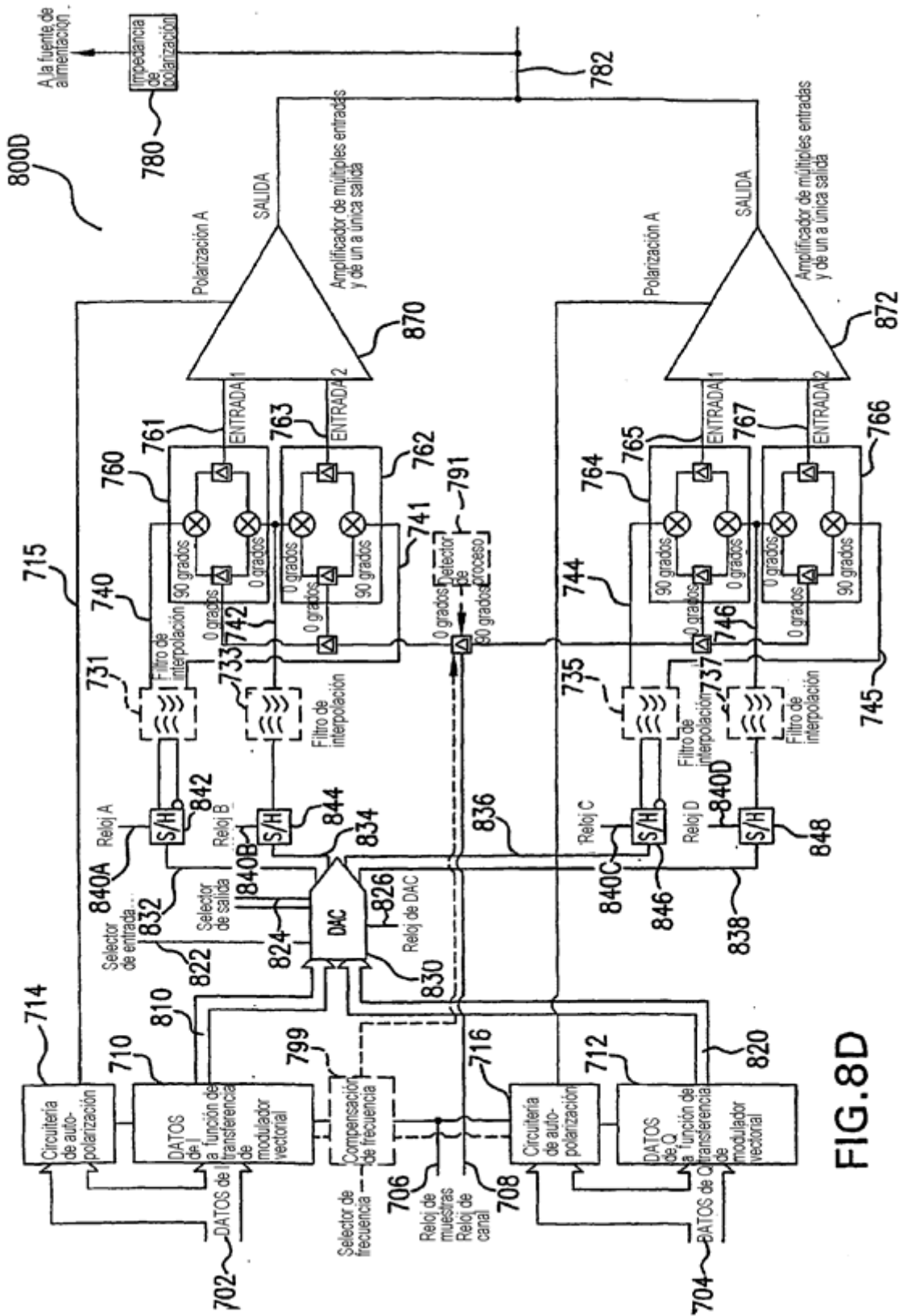


FIG.8D

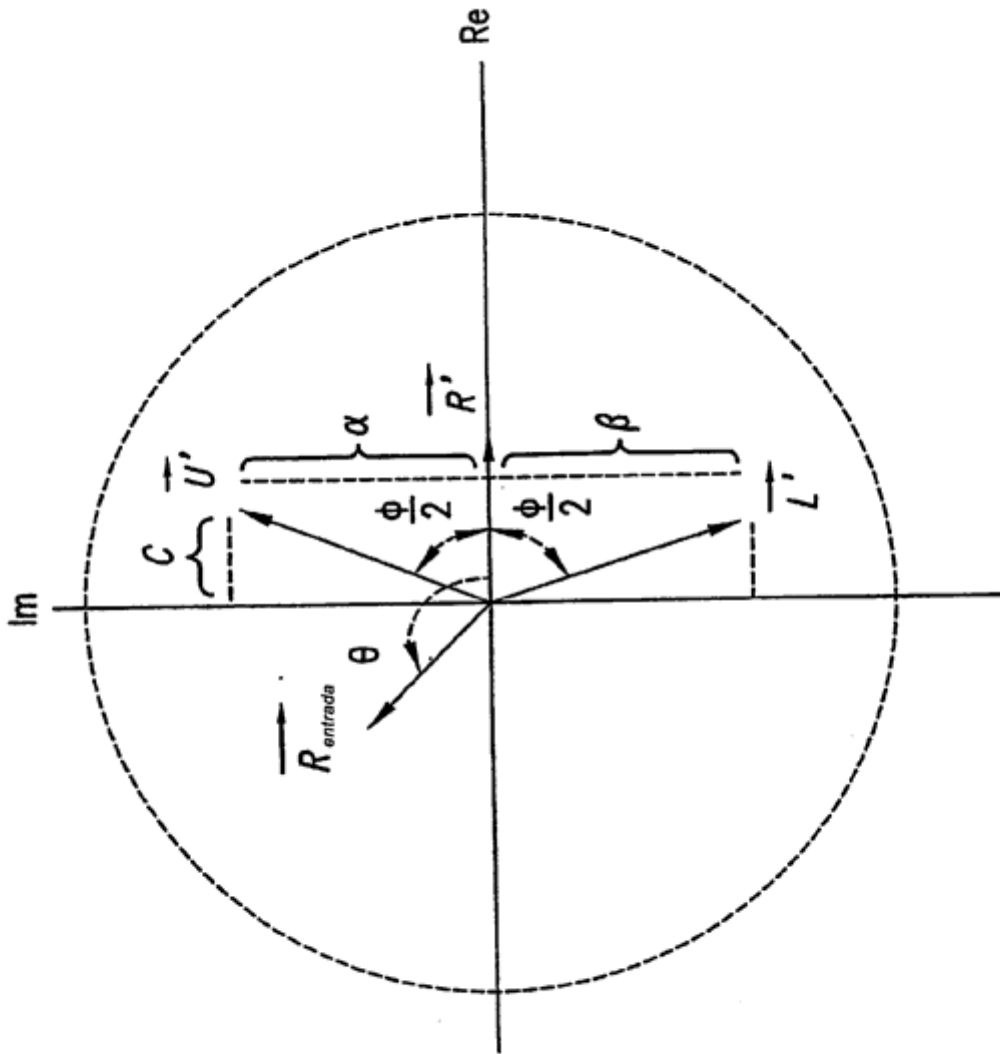


FIG.9A

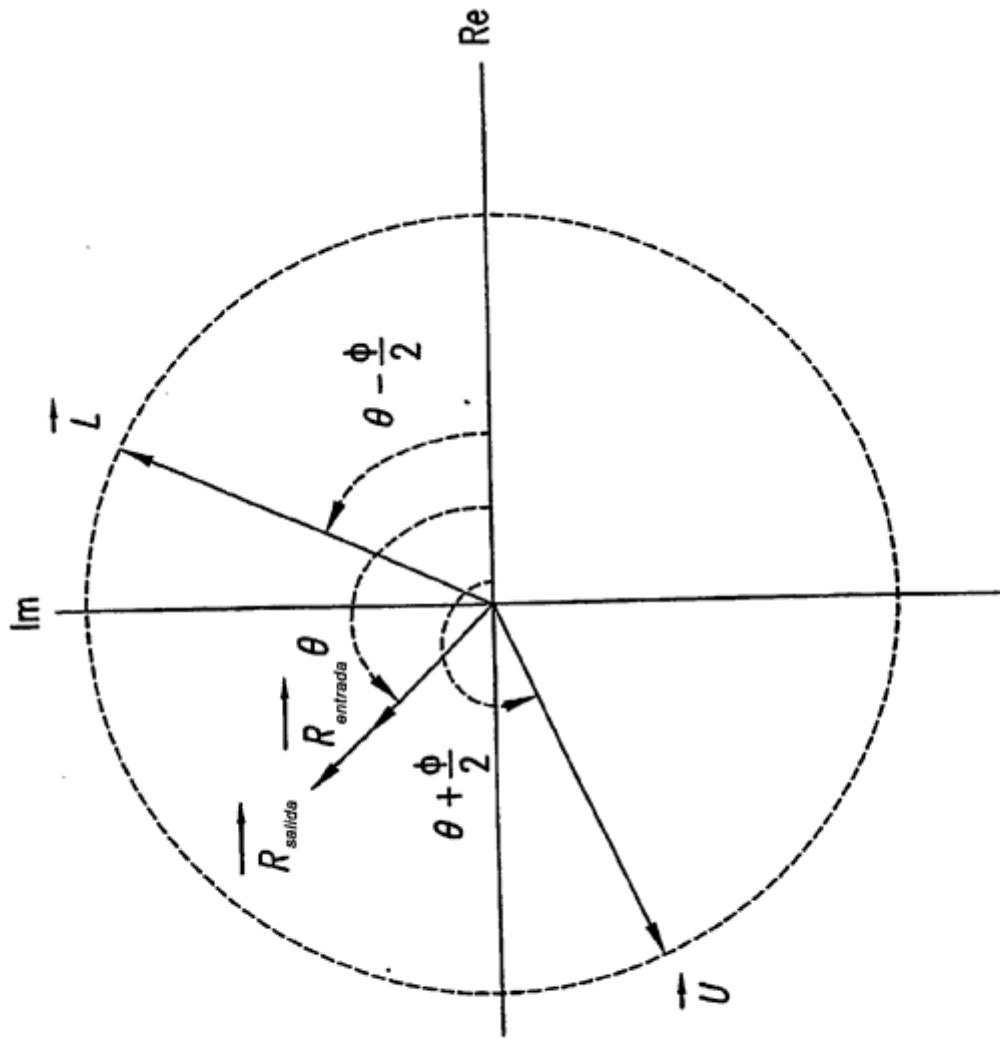


FIG.9B

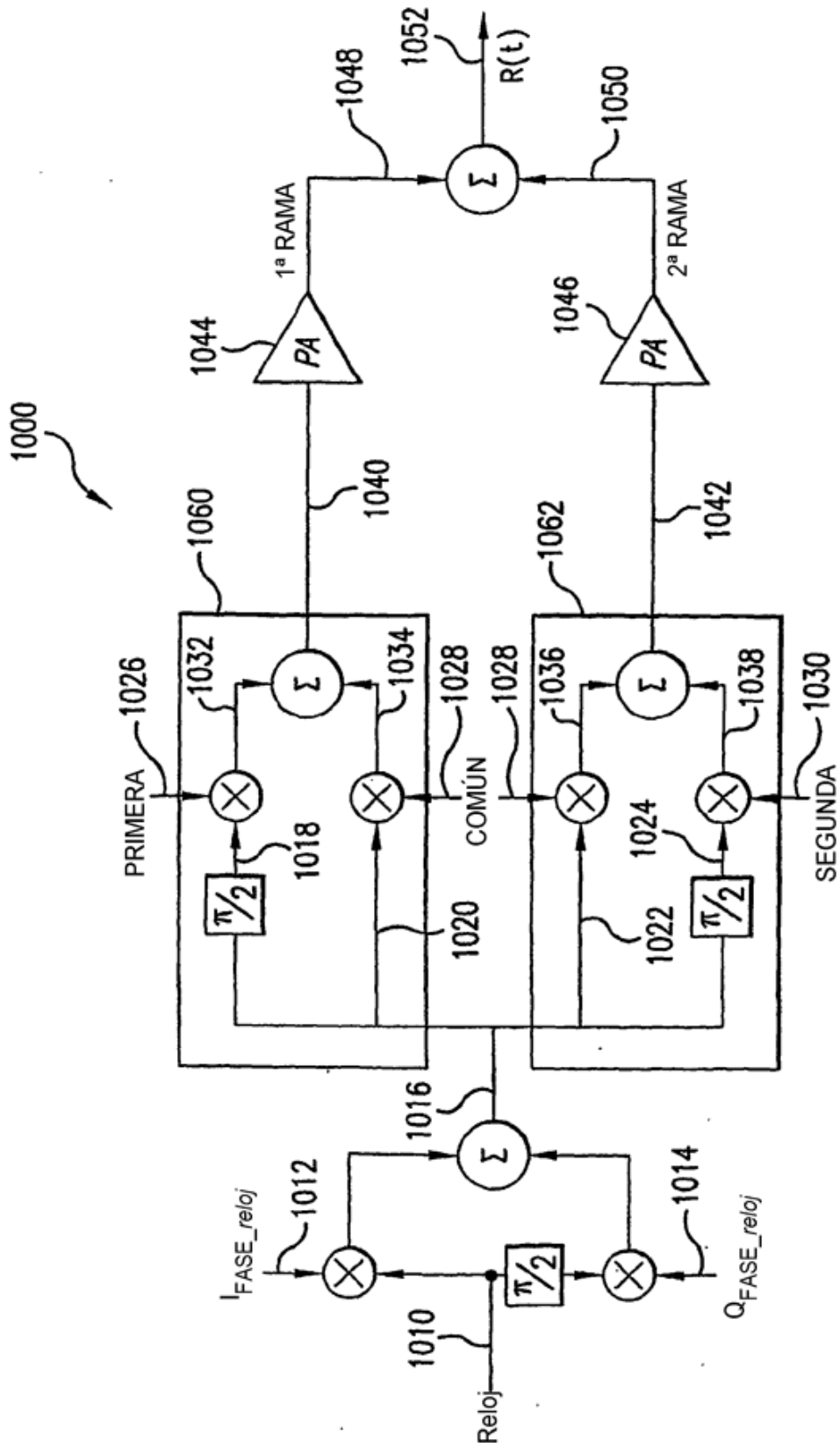


FIG.10

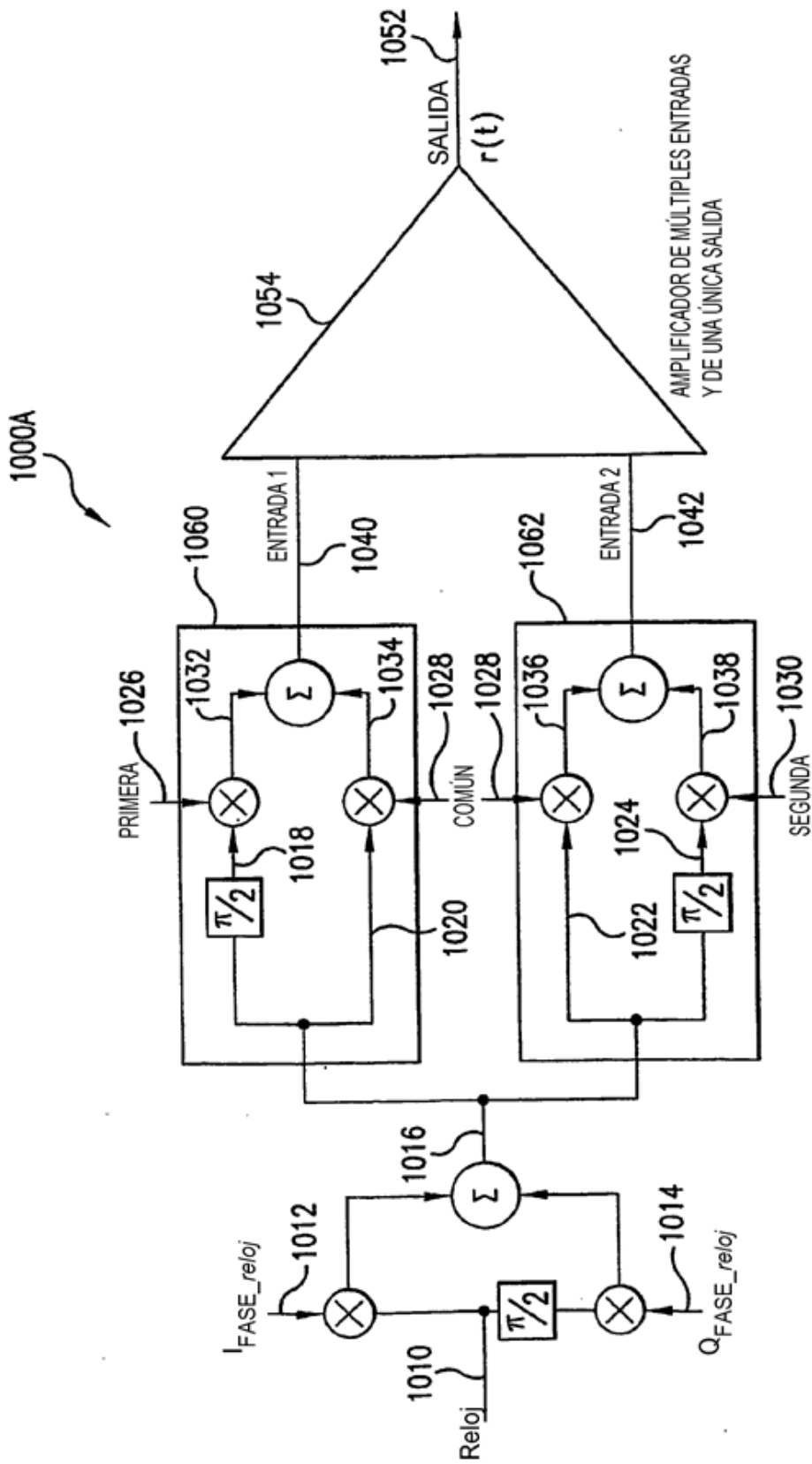


FIG.10A

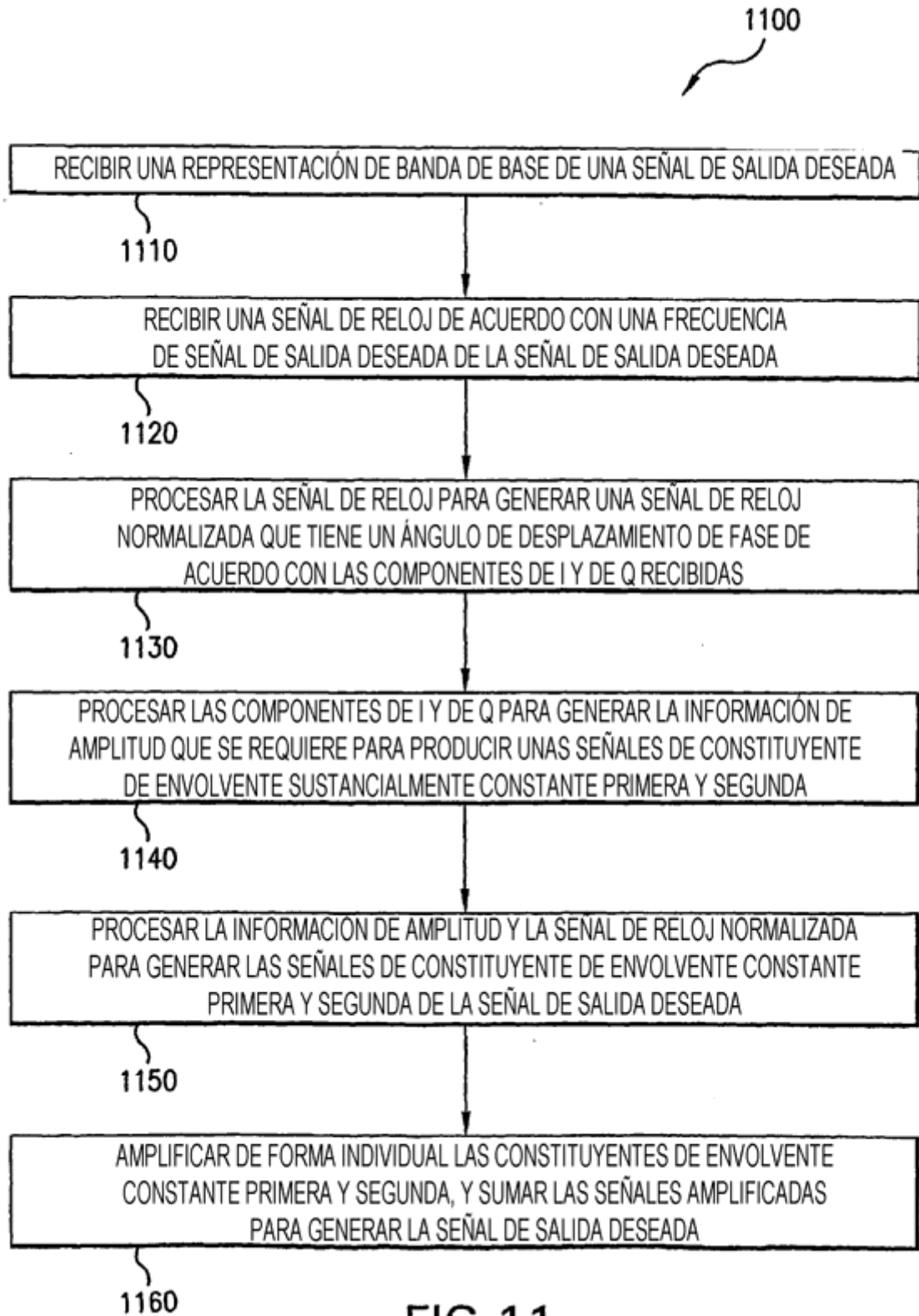


FIG. 11

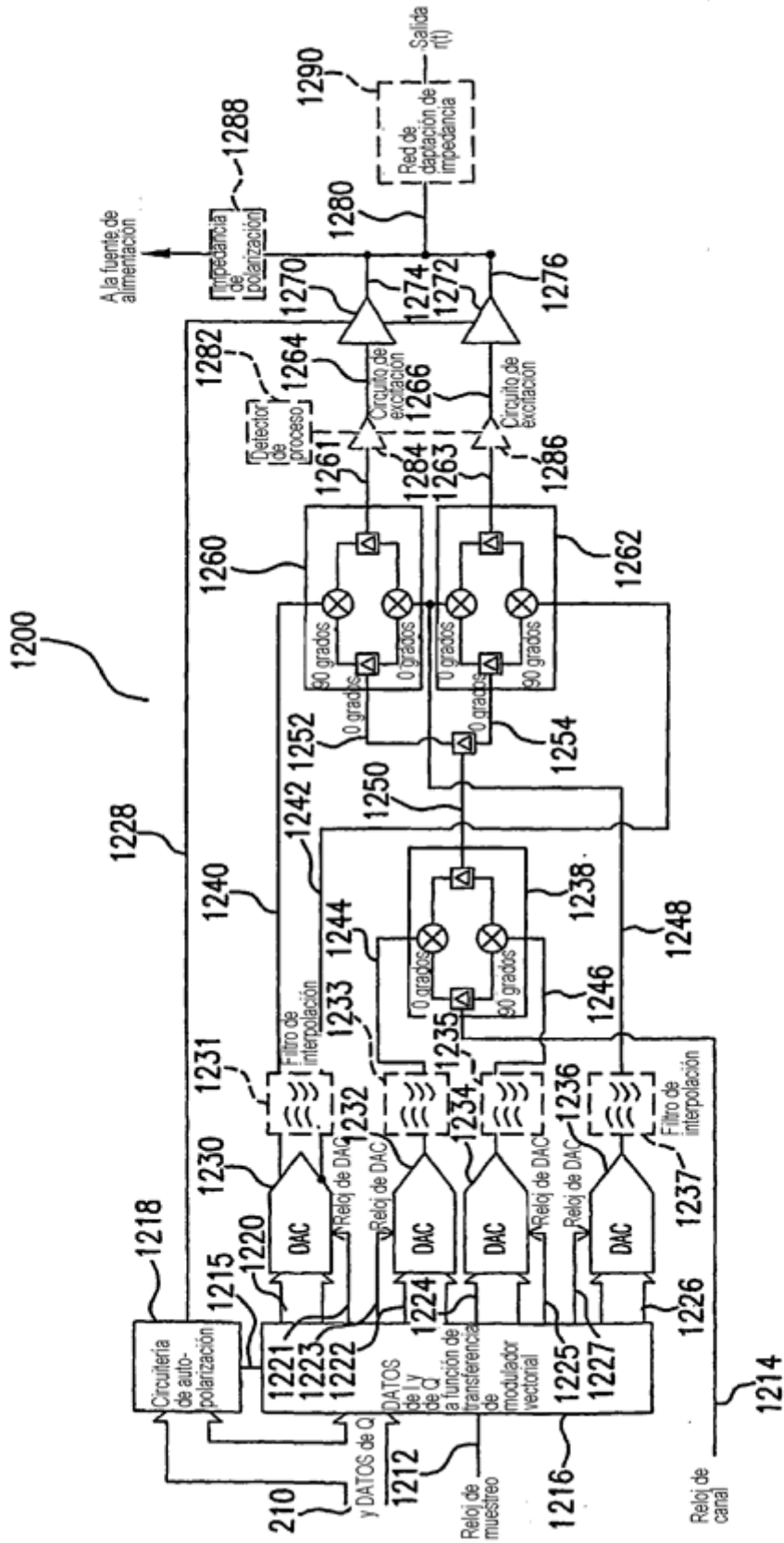


FIG. 12

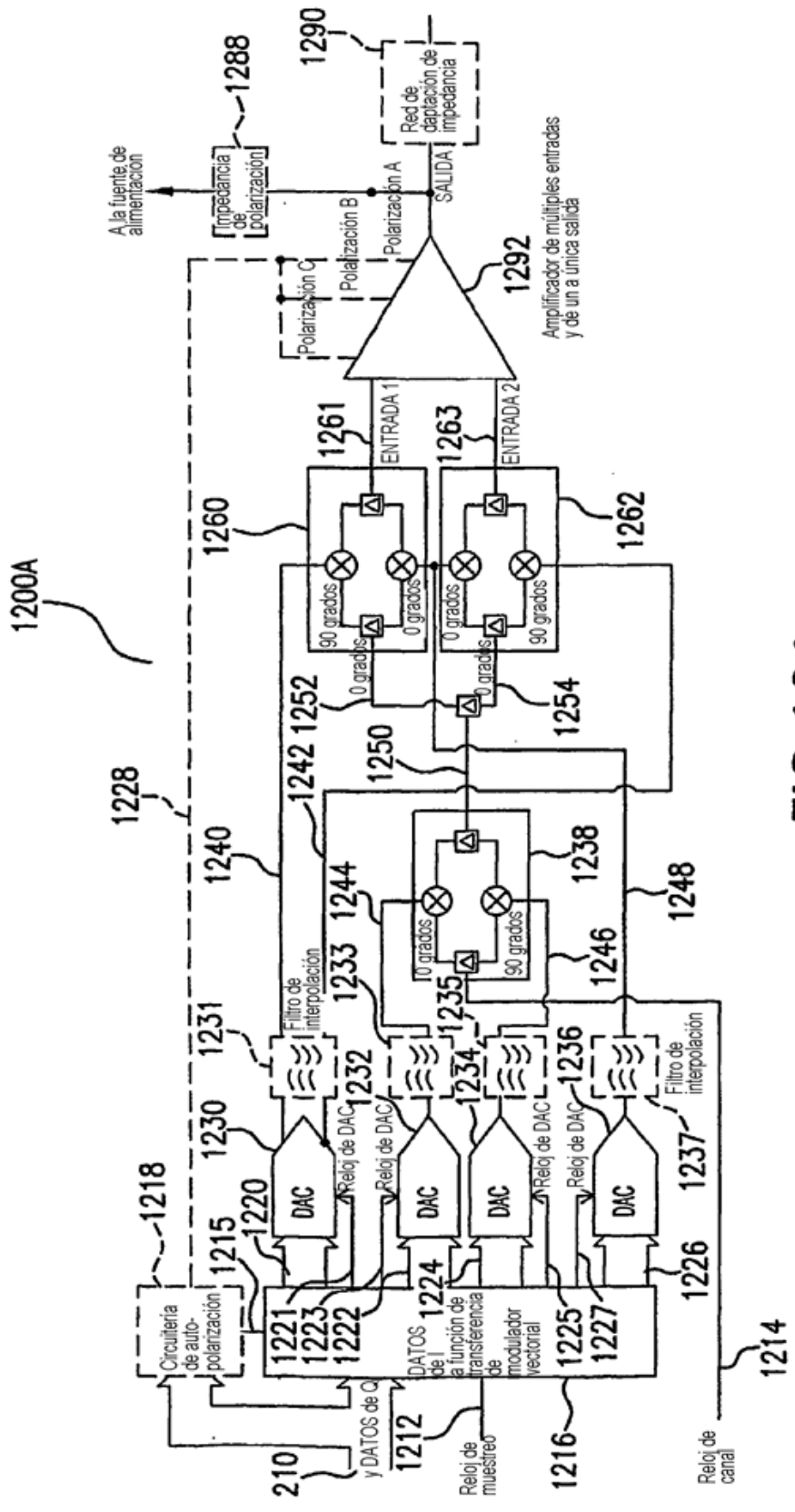


FIG. 12A

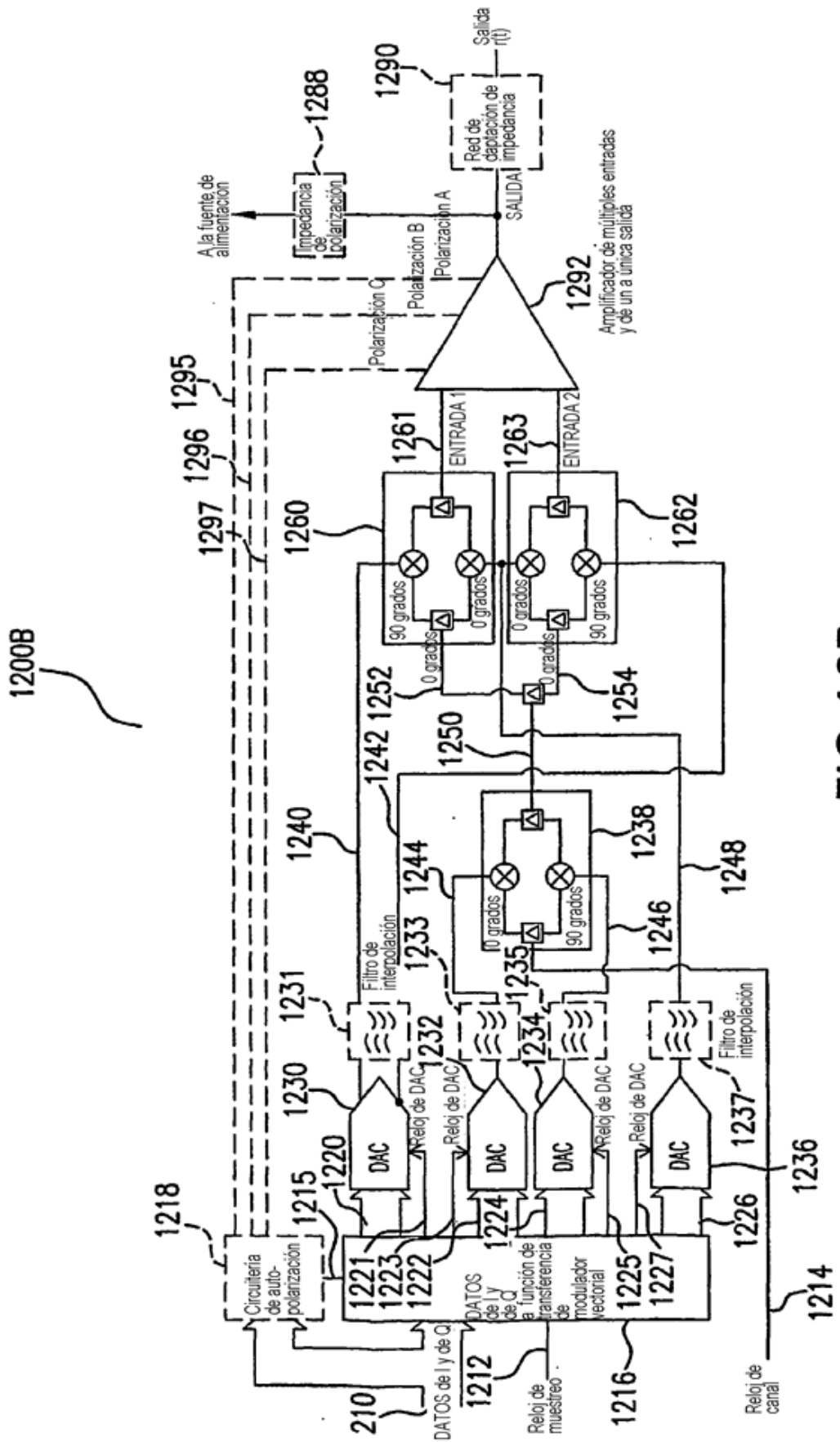


FIG.12B

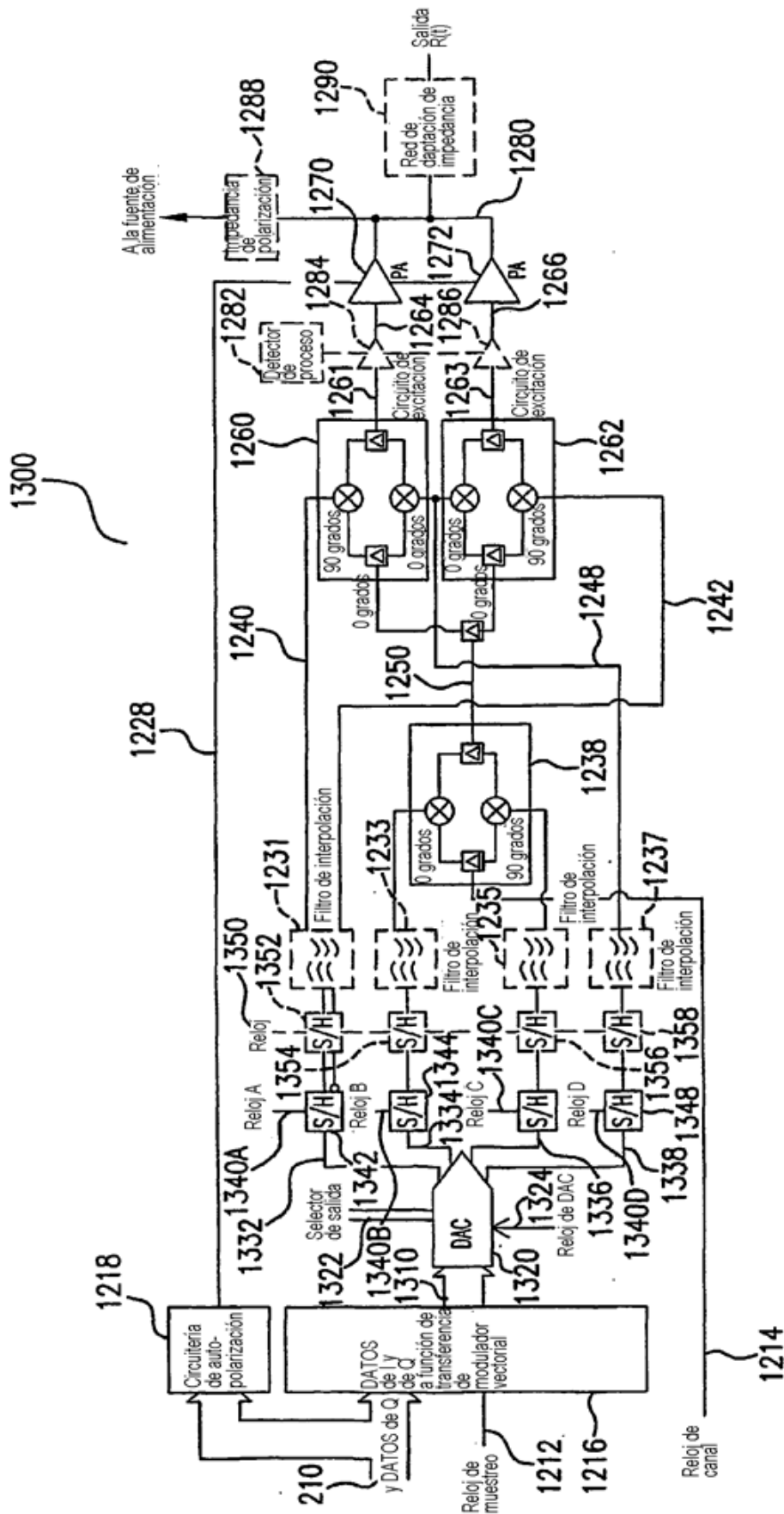


FIG. 13

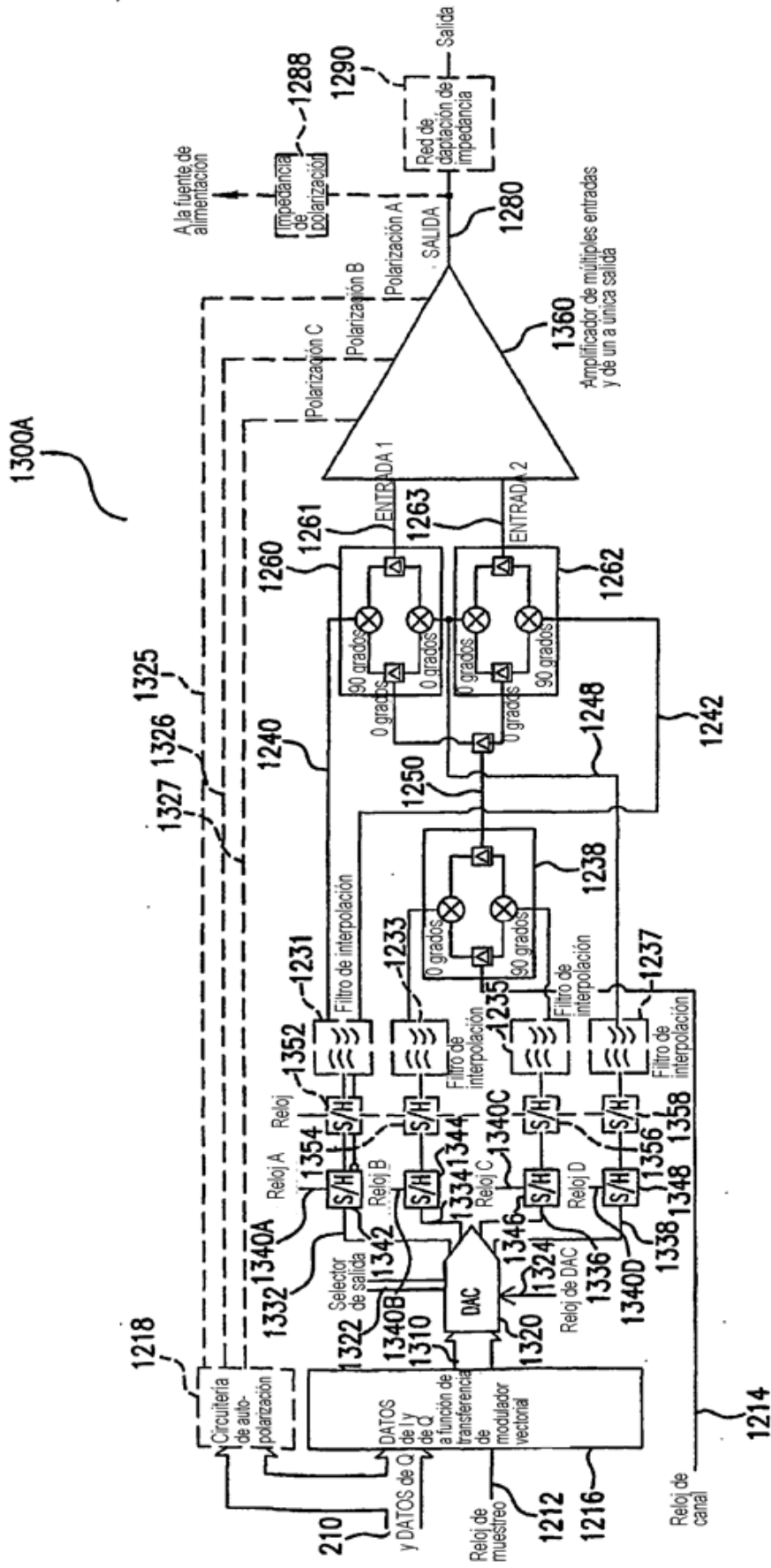


FIG. 13A

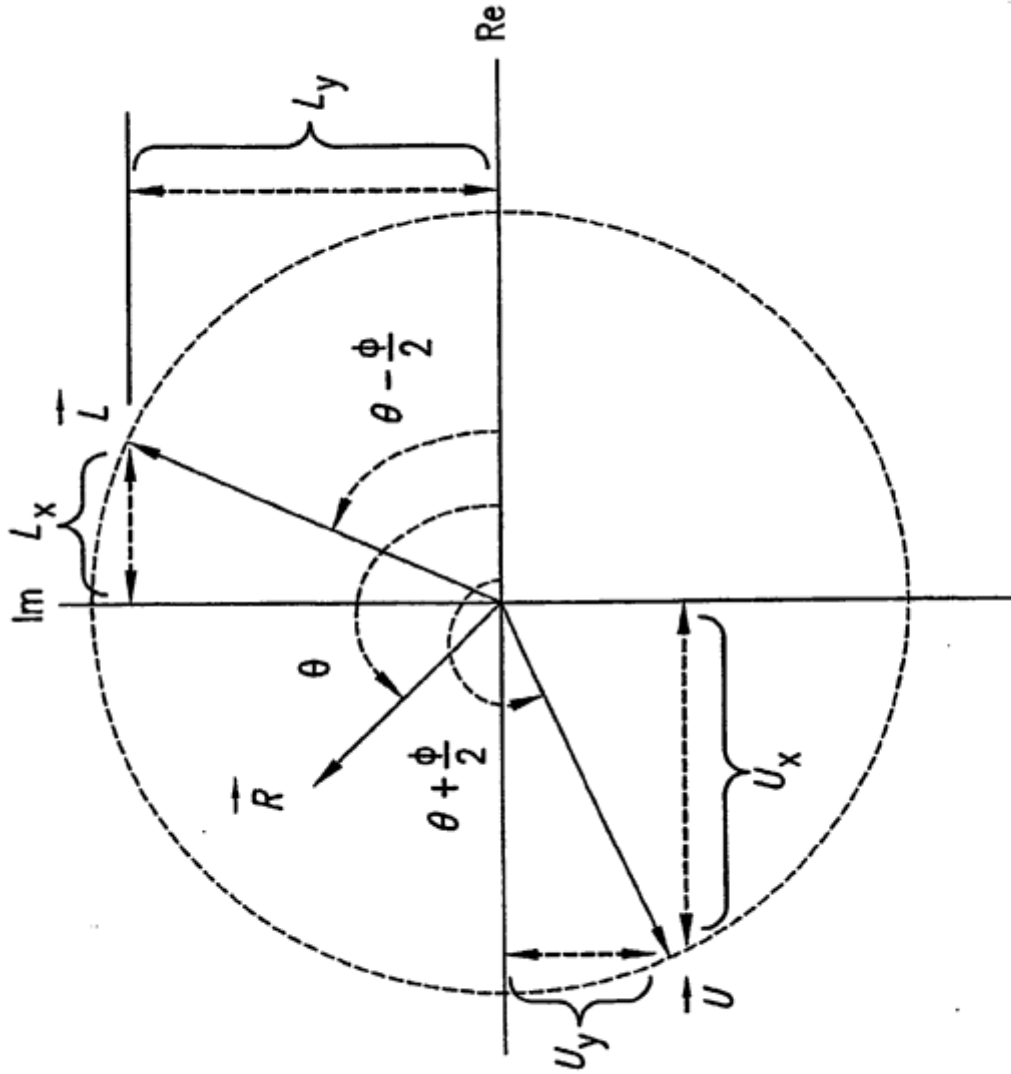


FIG.14

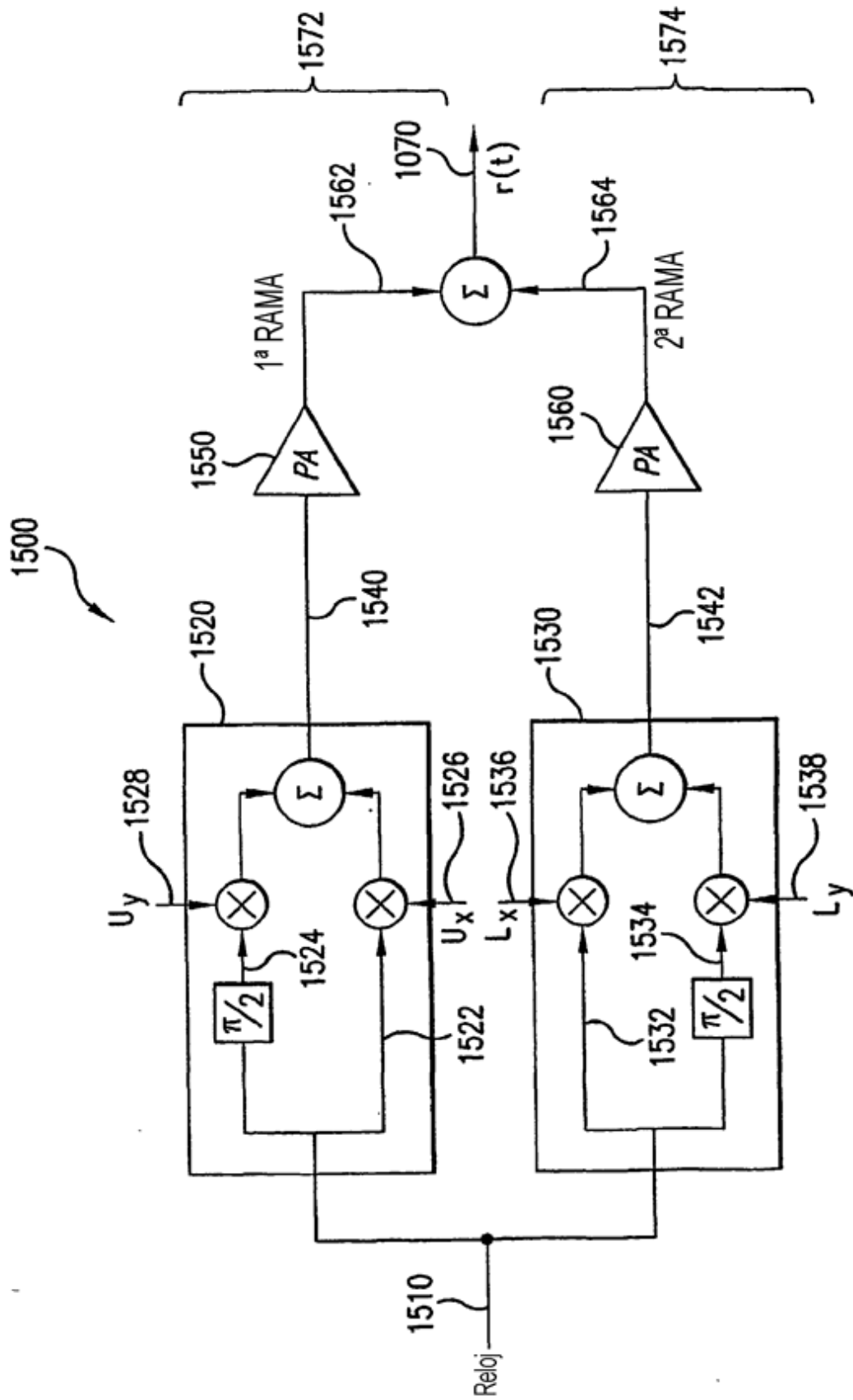


FIG.15

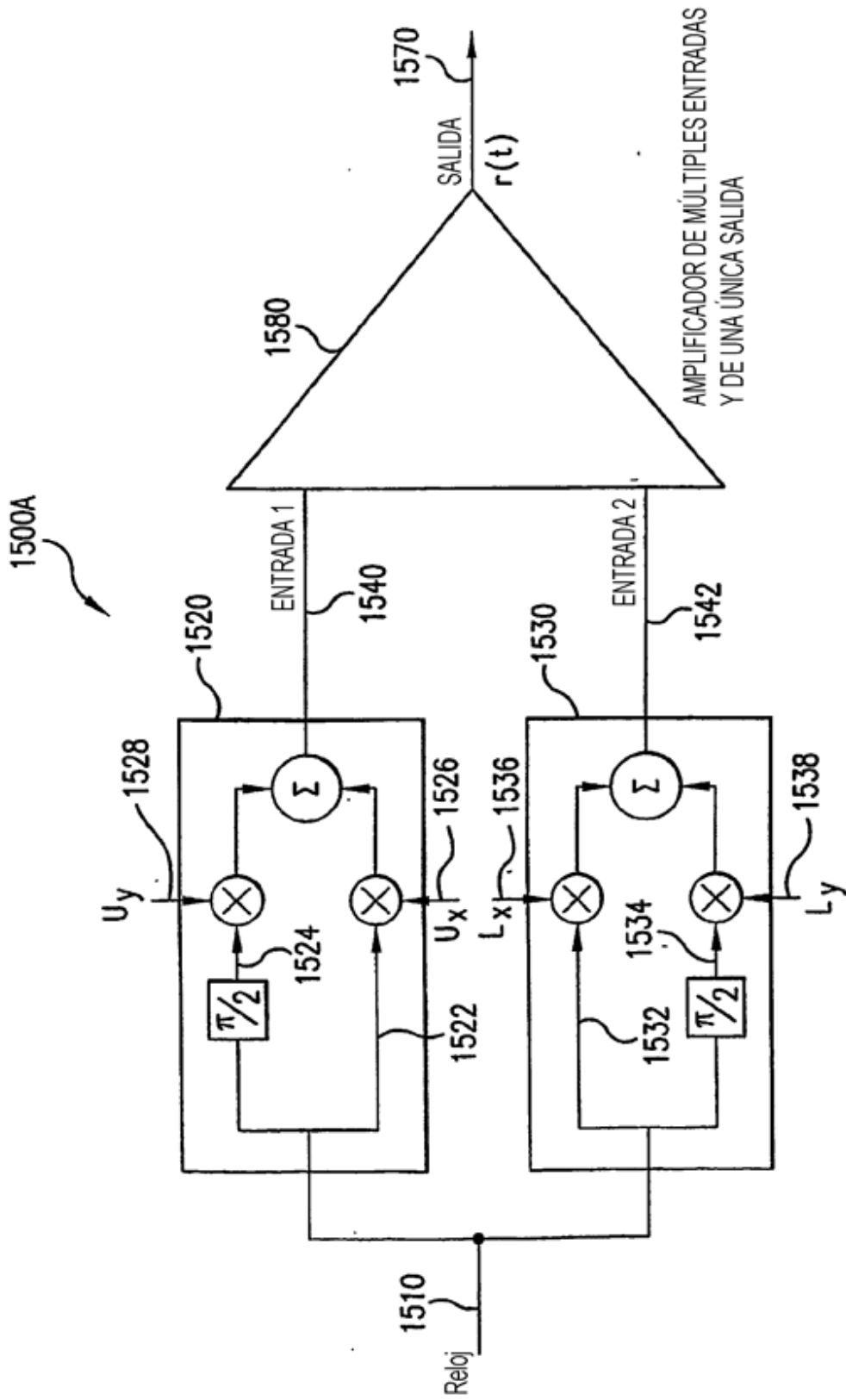


FIG.15A

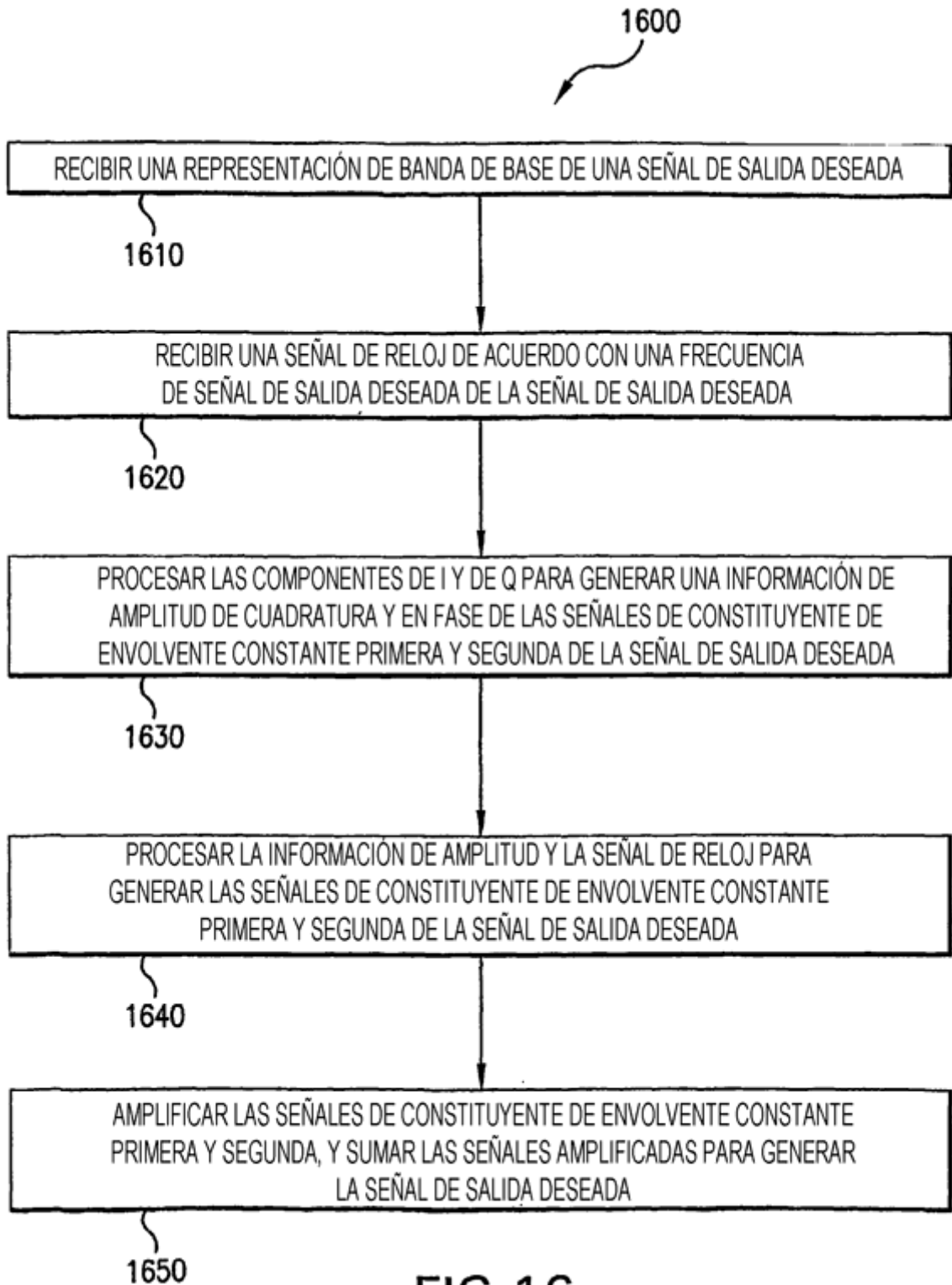


FIG.16

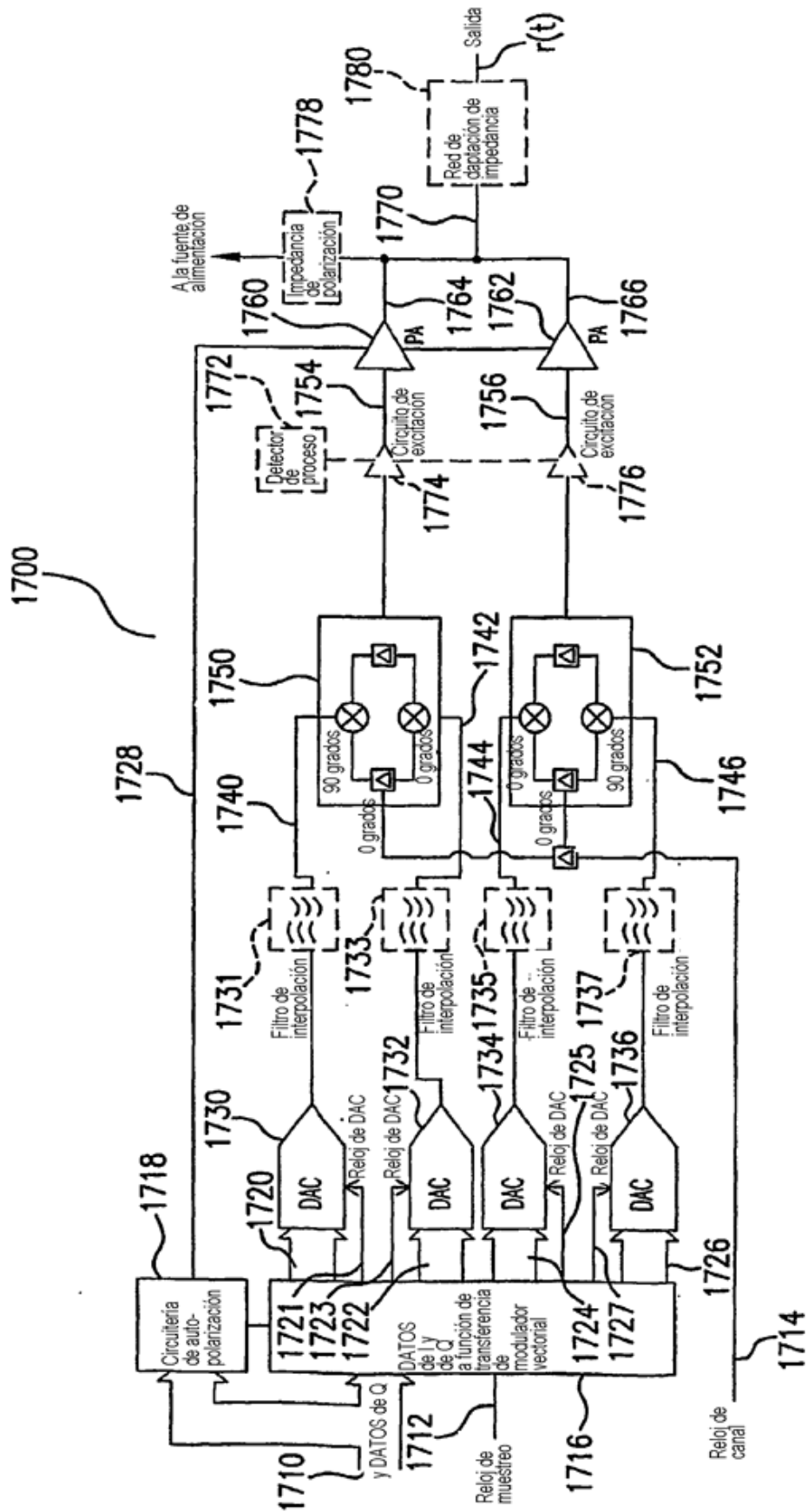


FIG.17

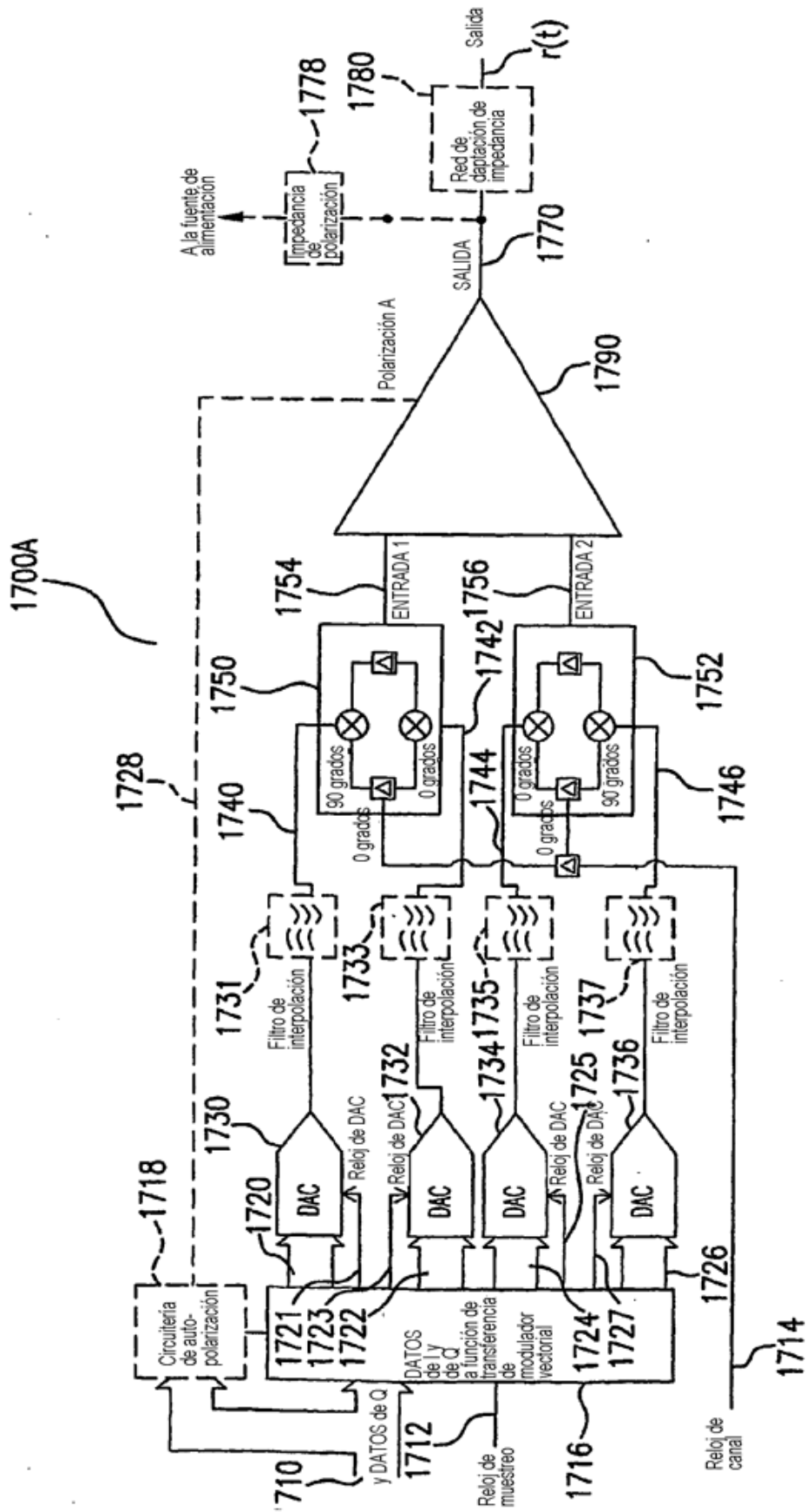


FIG.17A

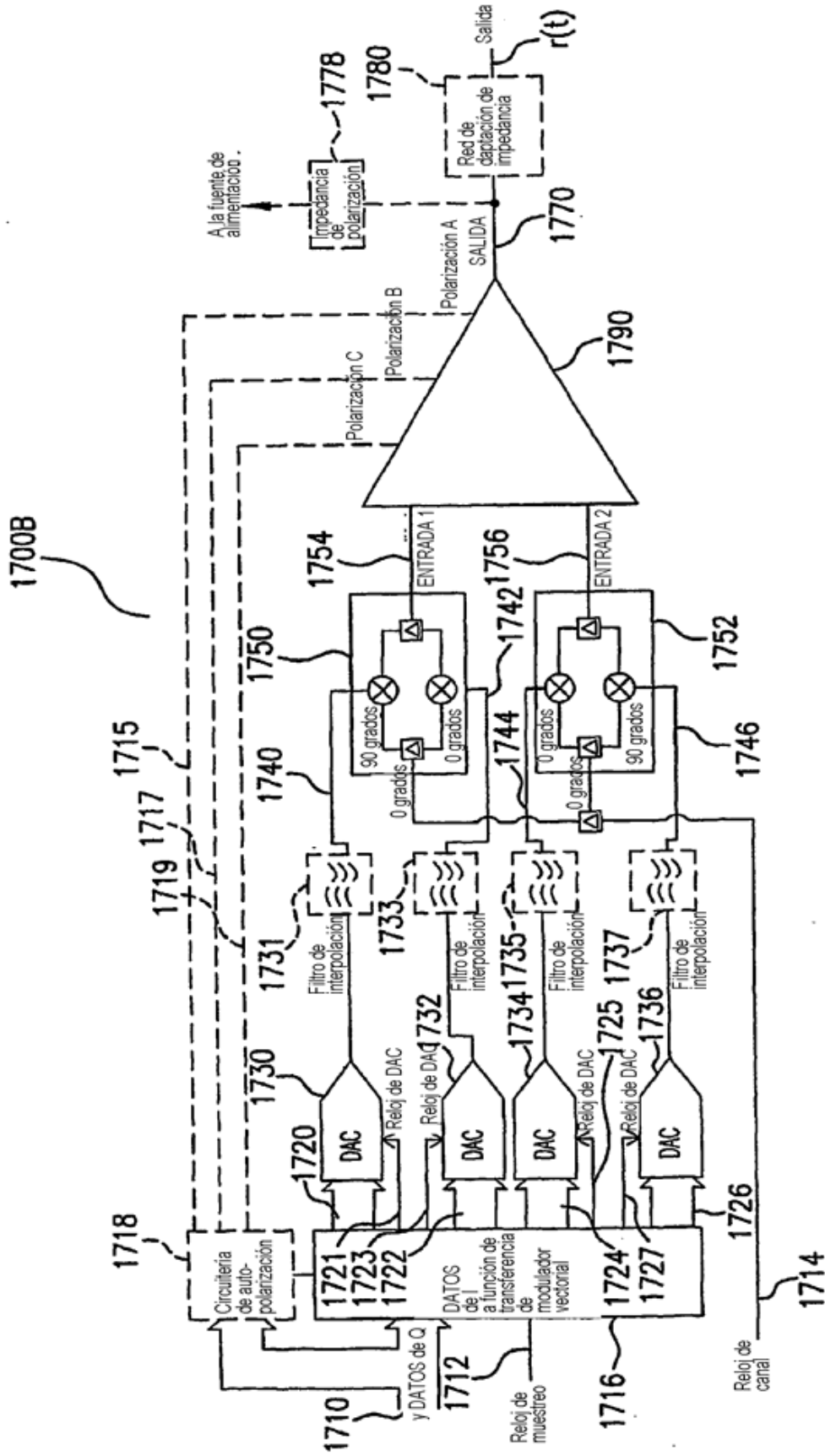


FIG. 17B

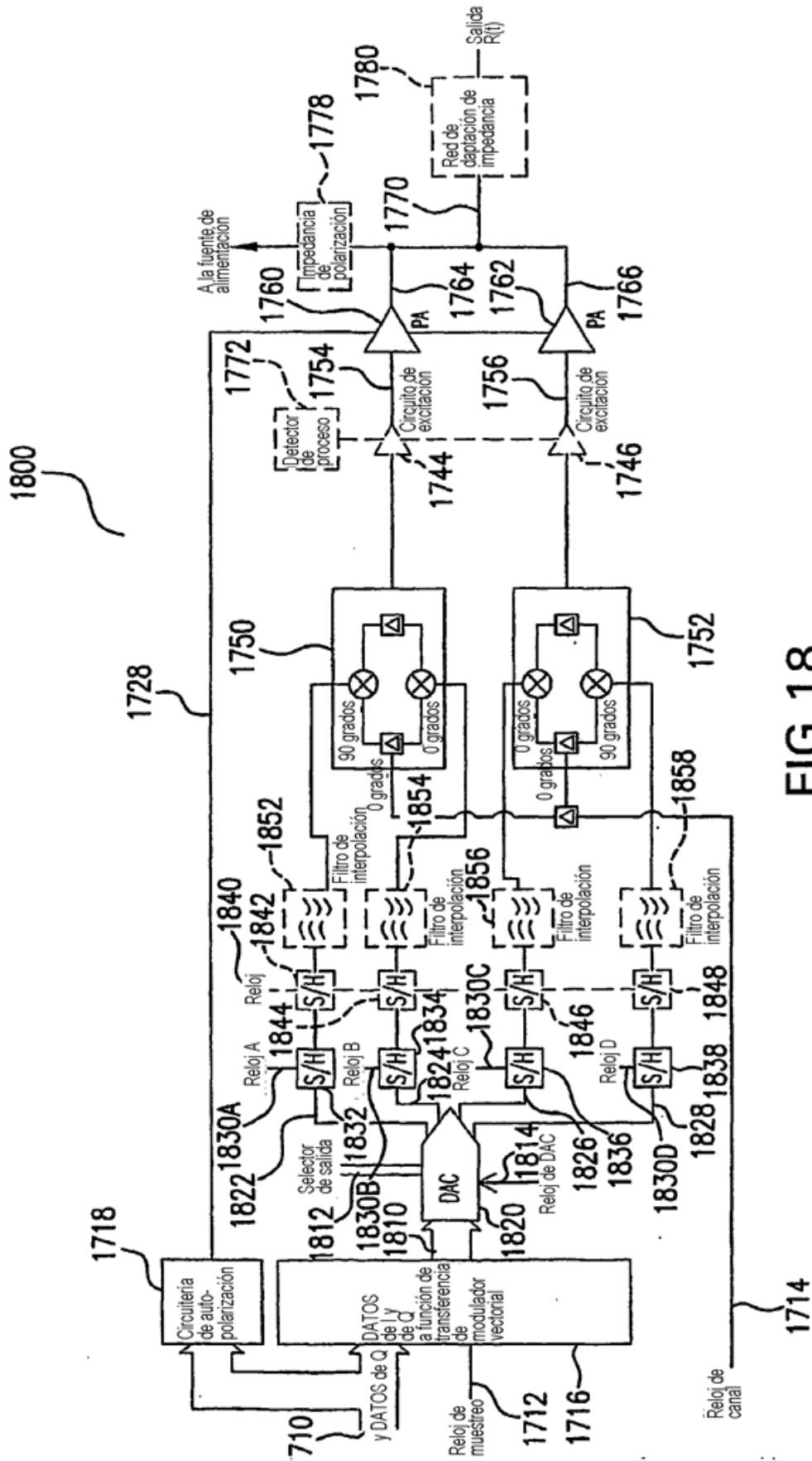


FIG.18

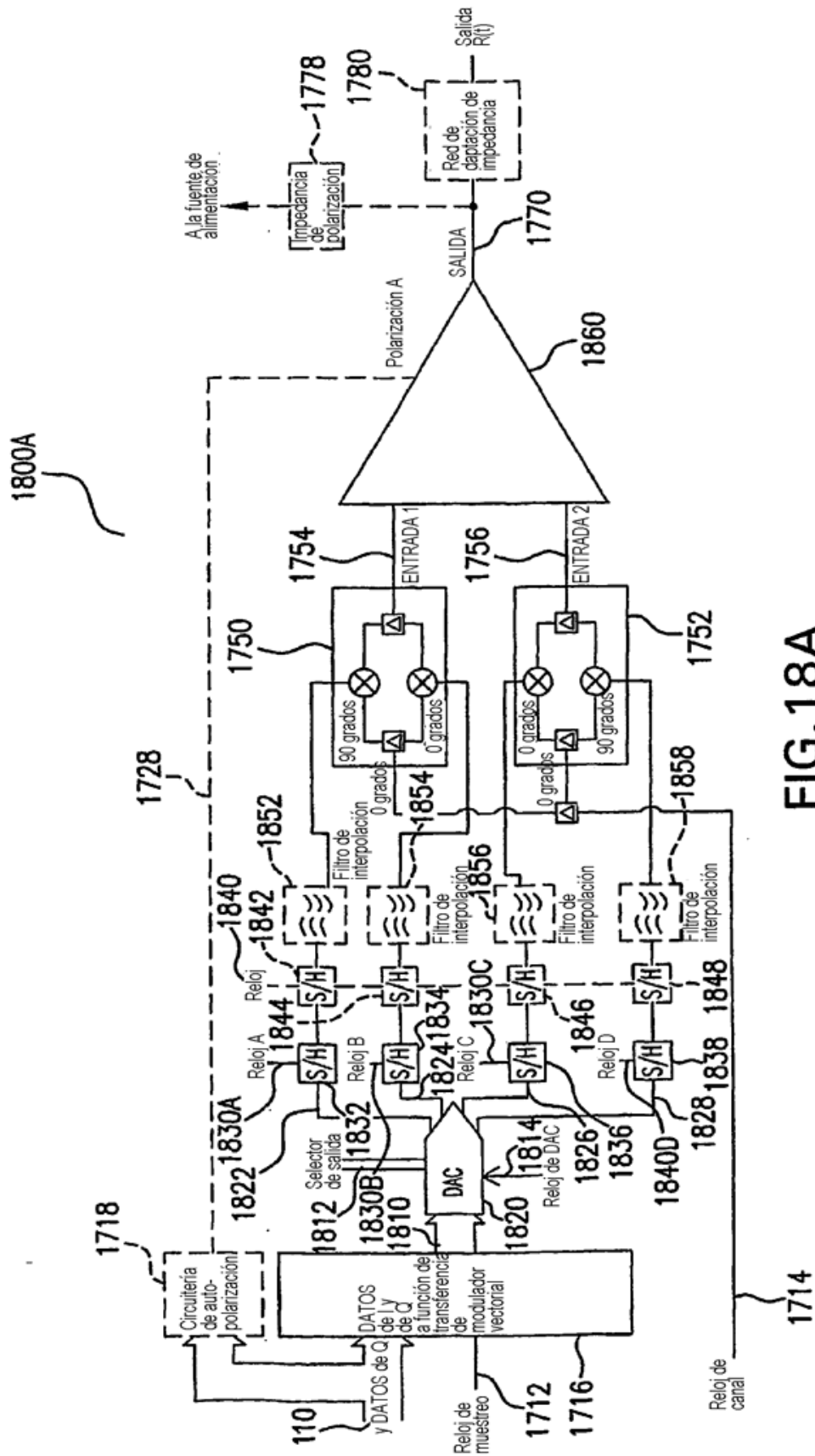


FIG. 18A

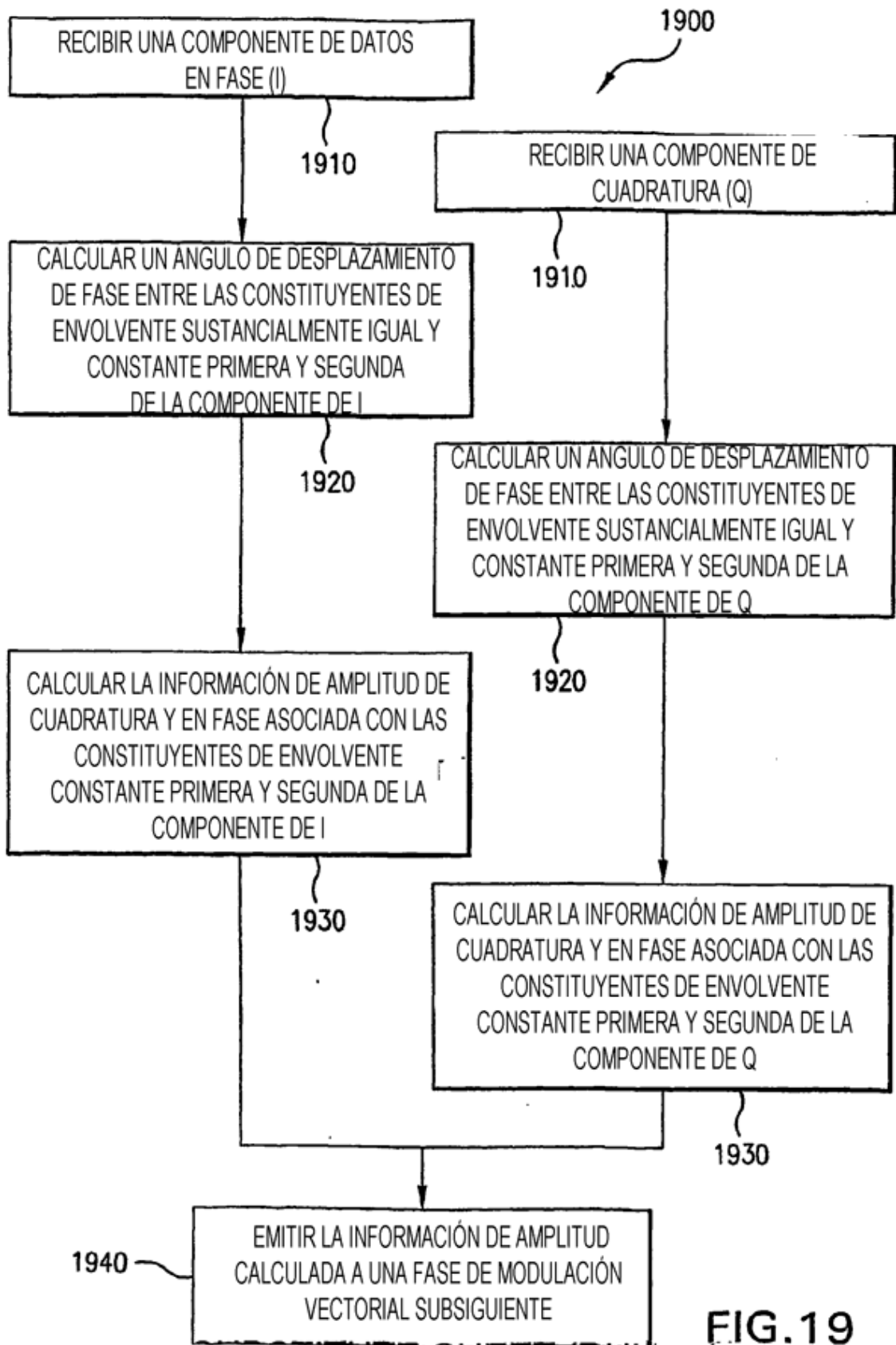


FIG.19

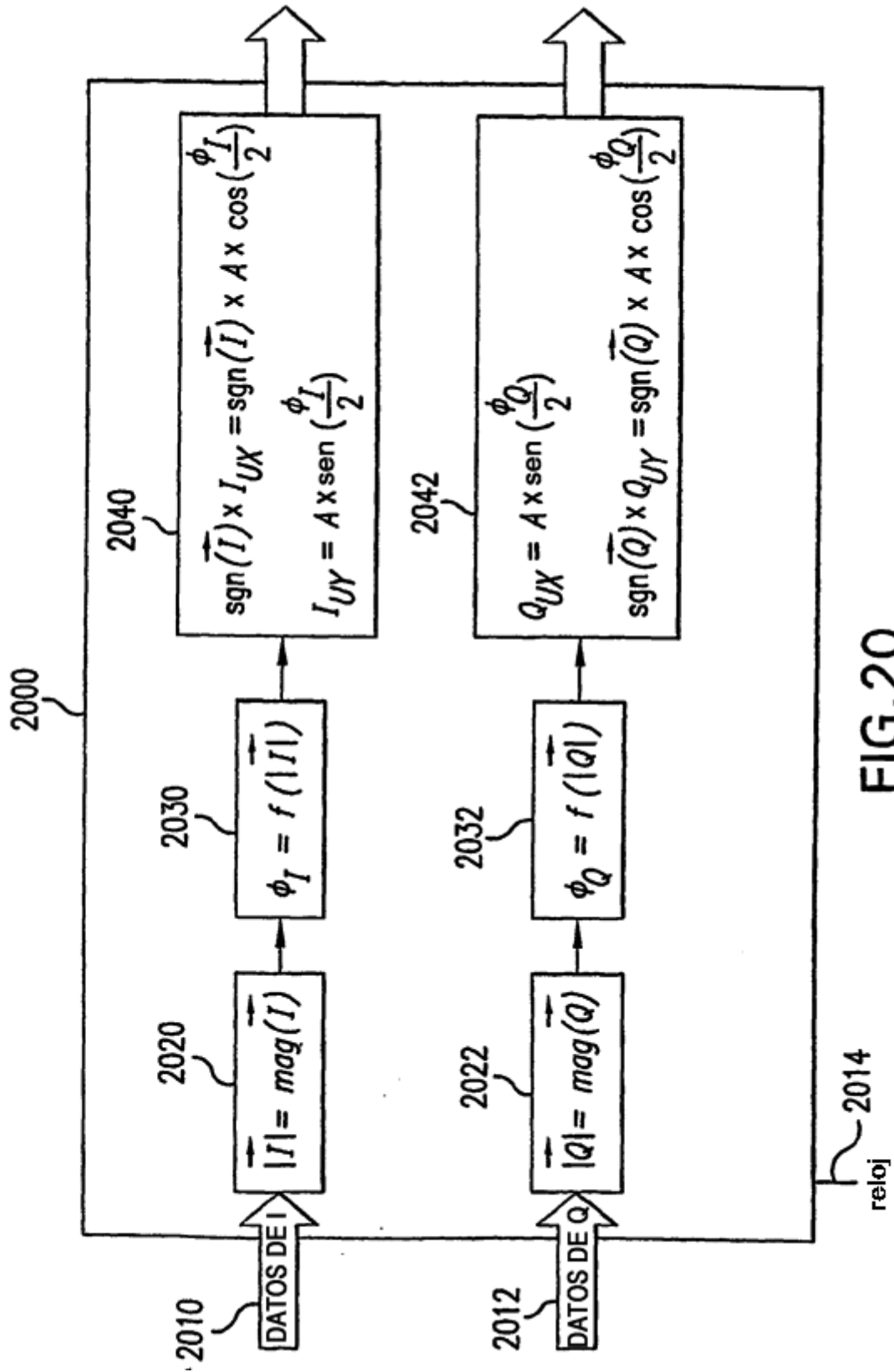
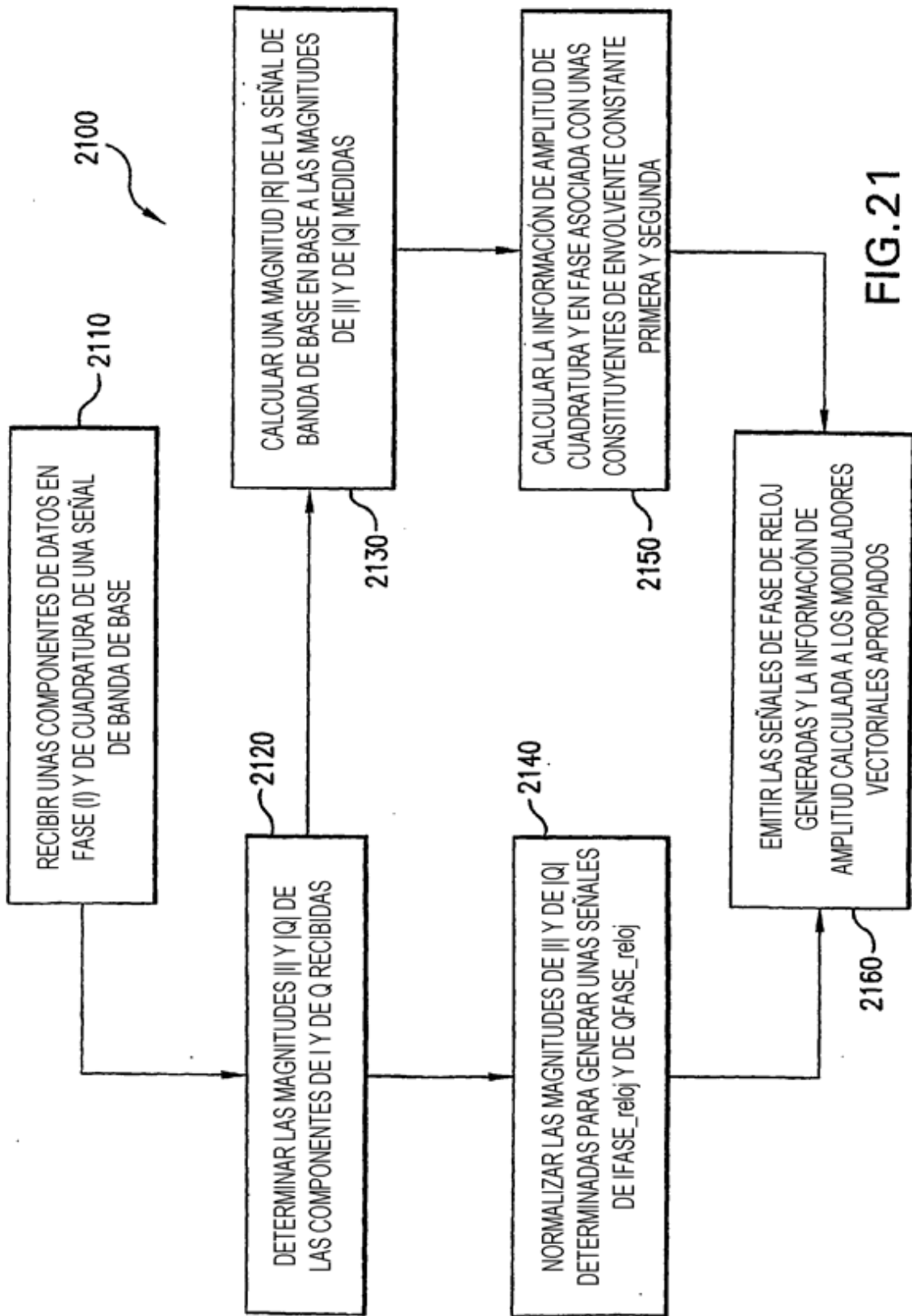


FIG.20



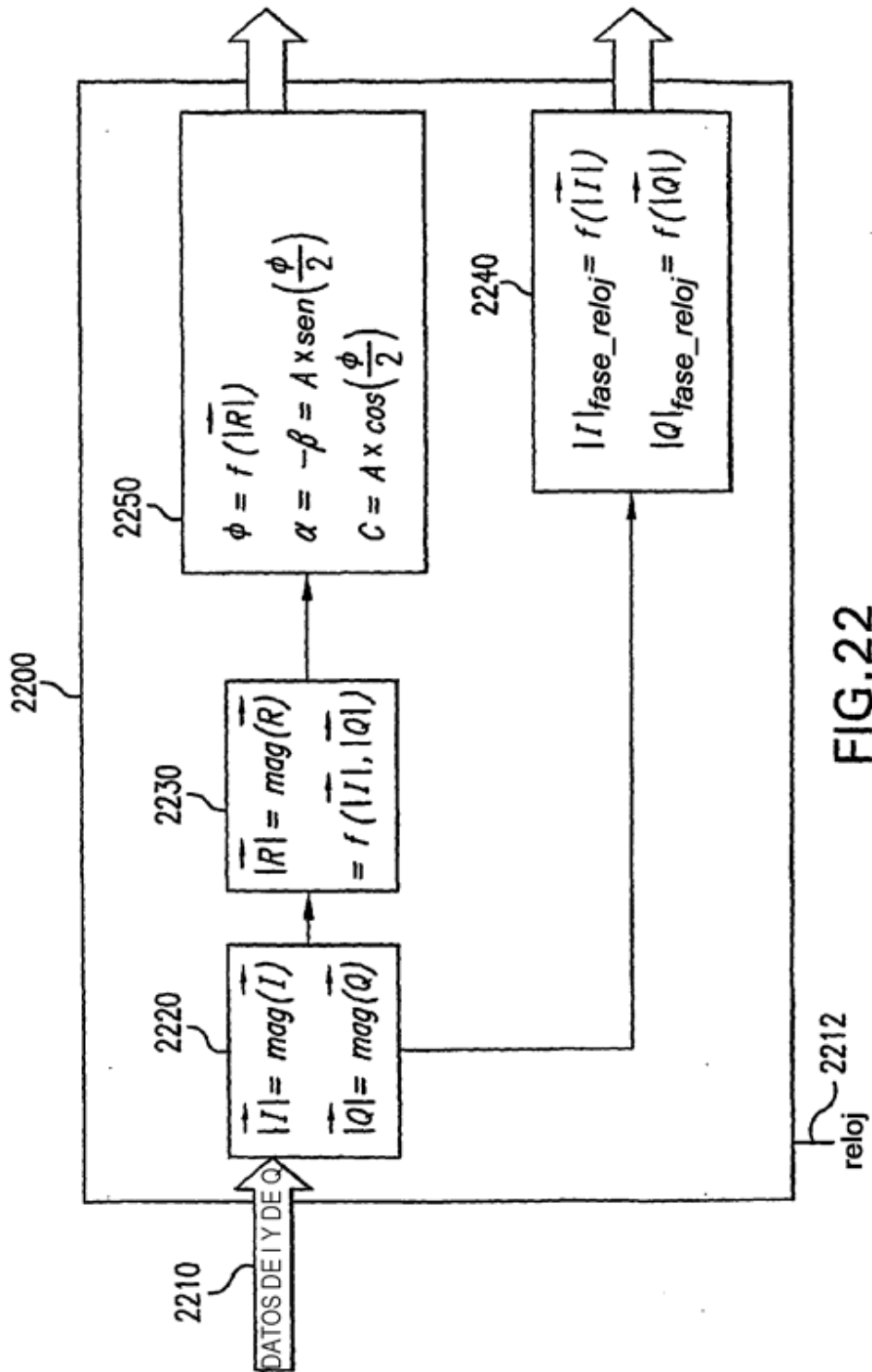
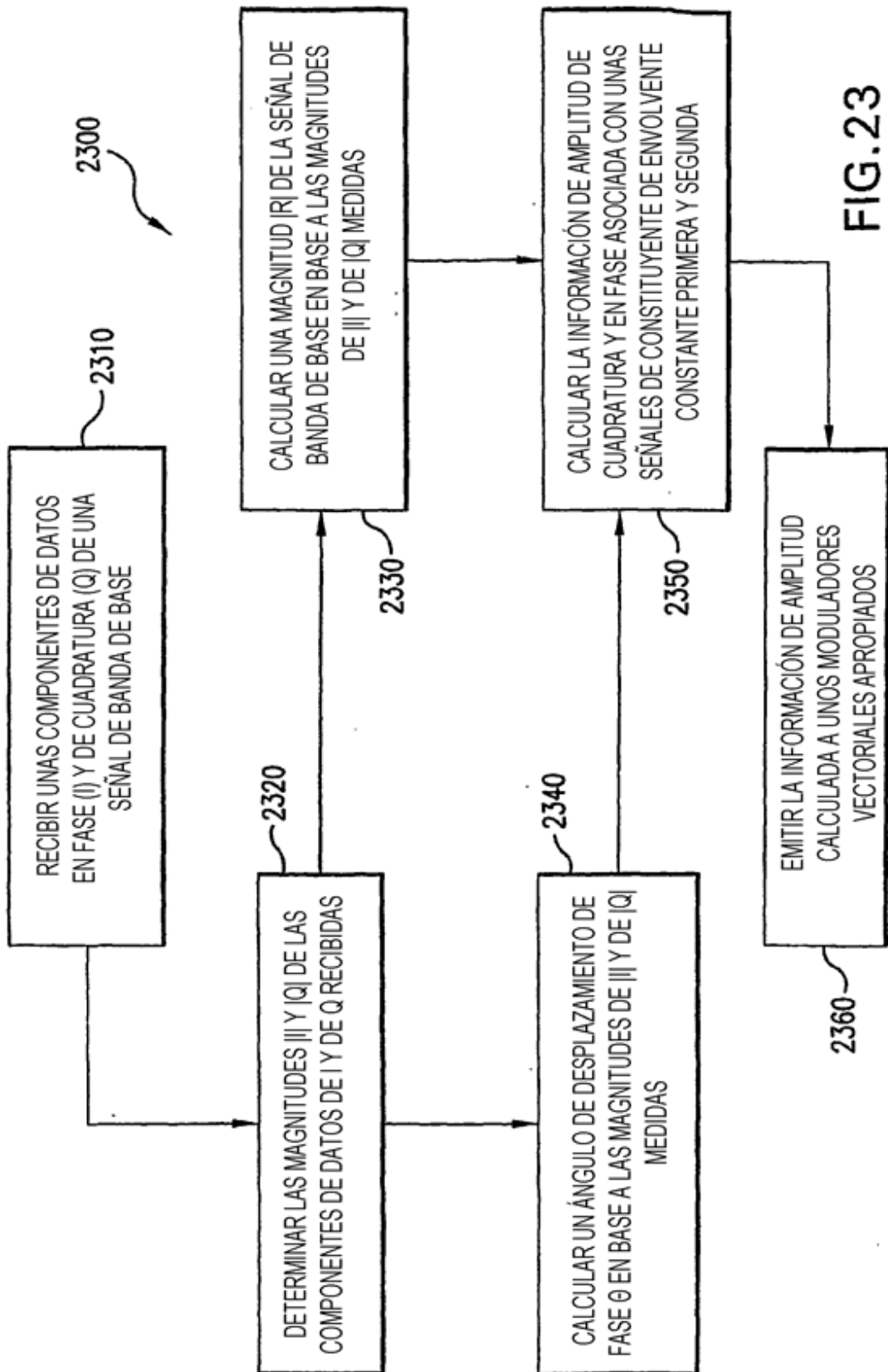


FIG.22



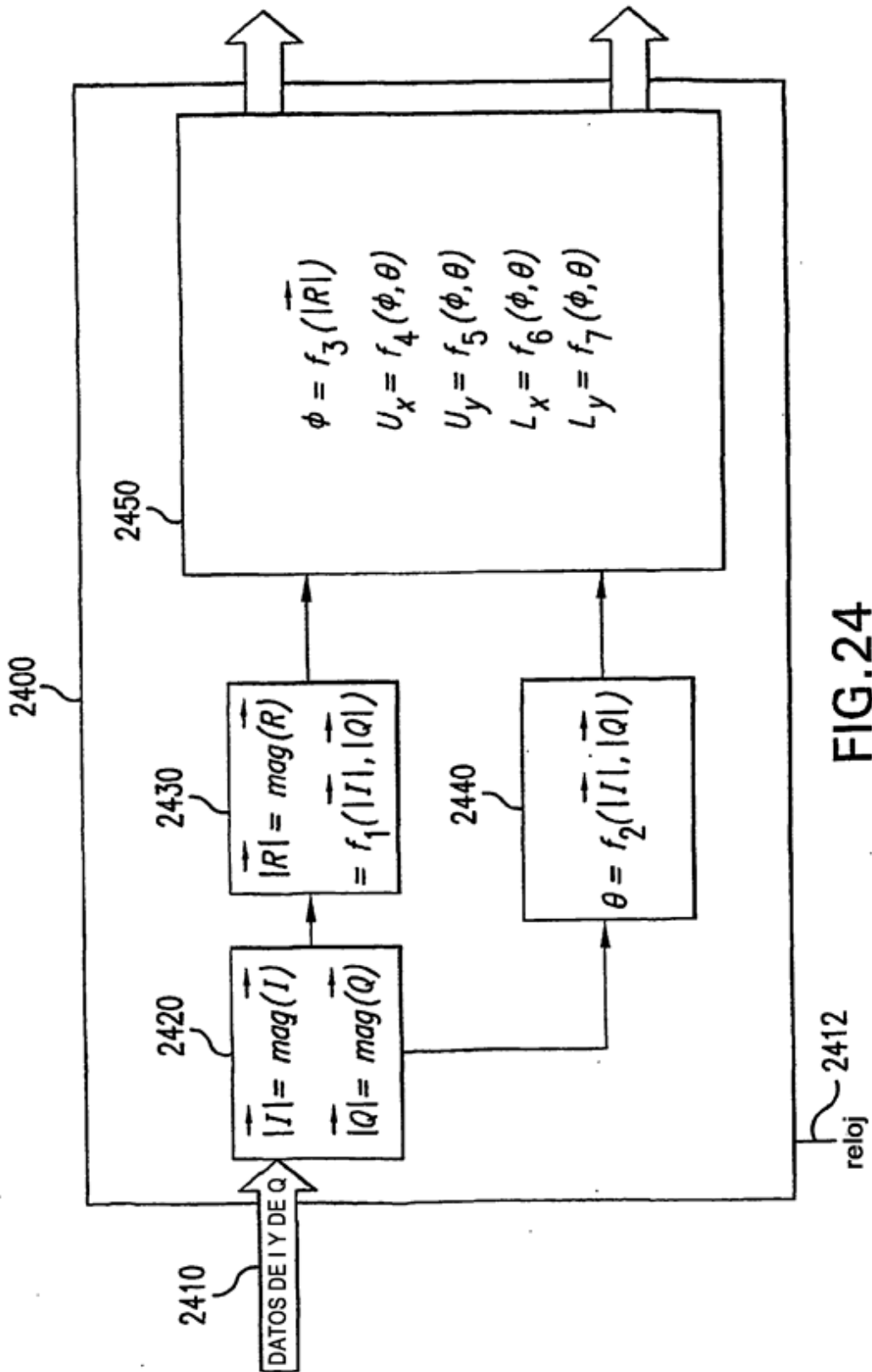


FIG. 24

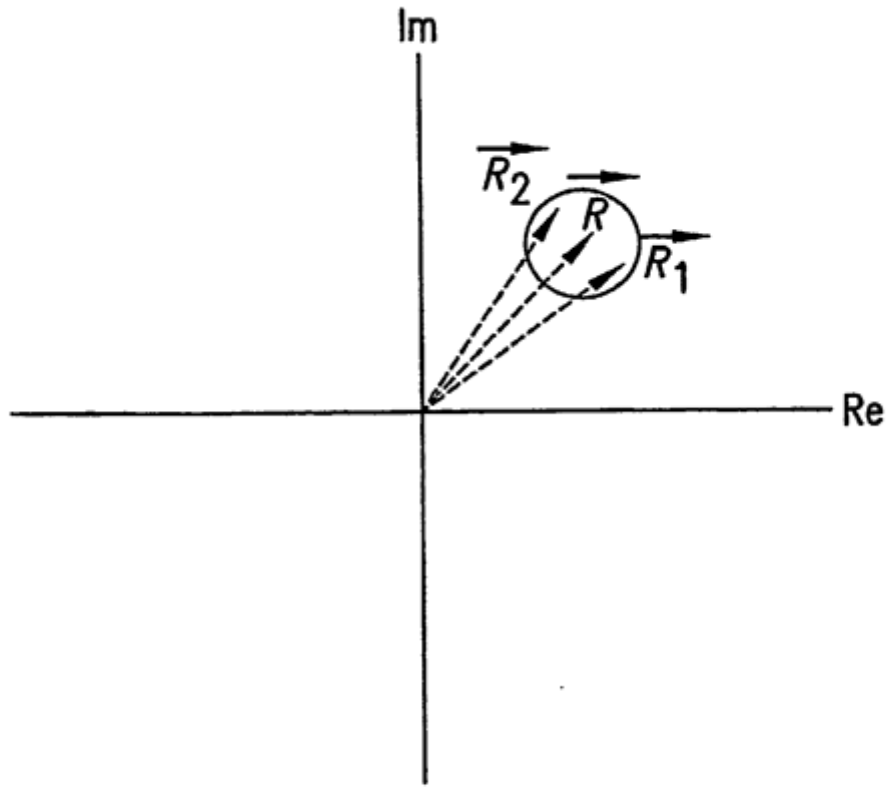


FIG.25

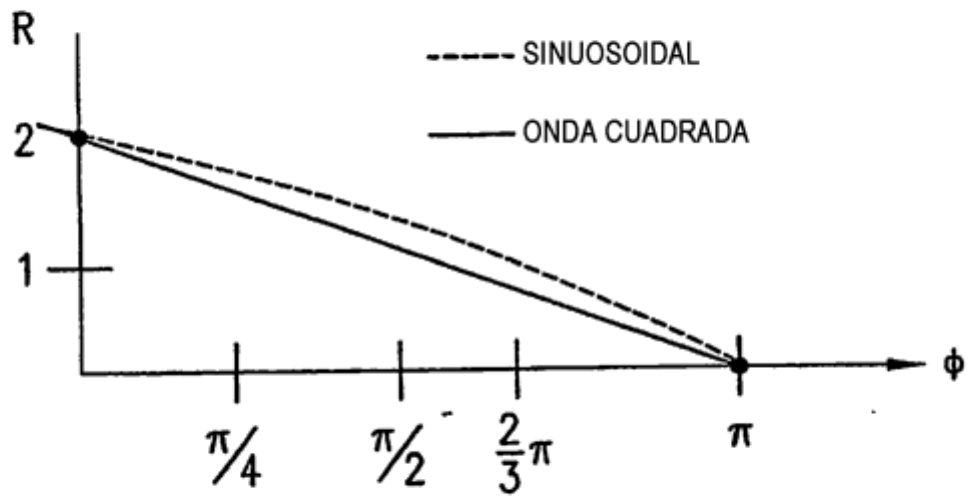


FIG.26

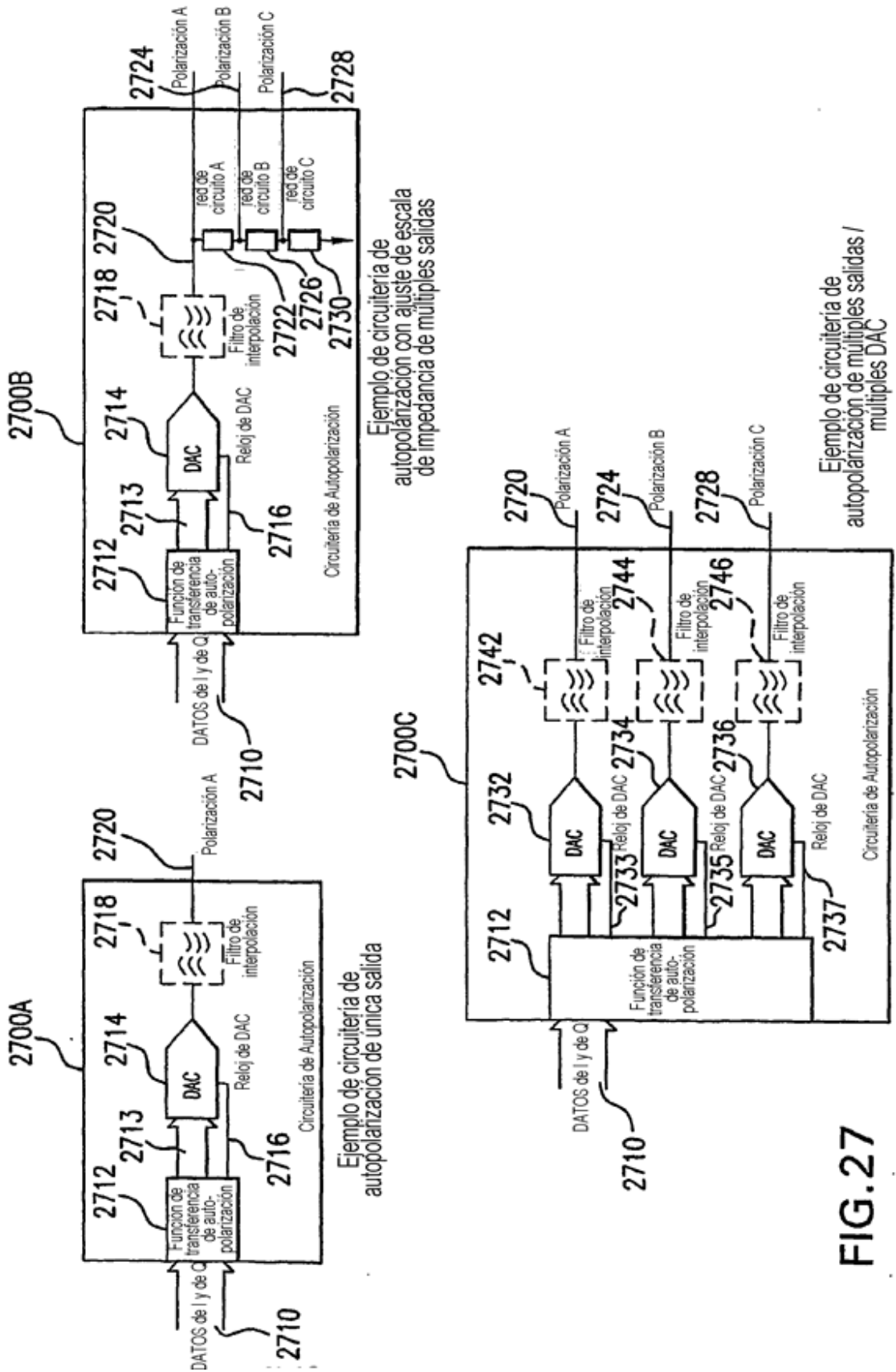


FIG. 27

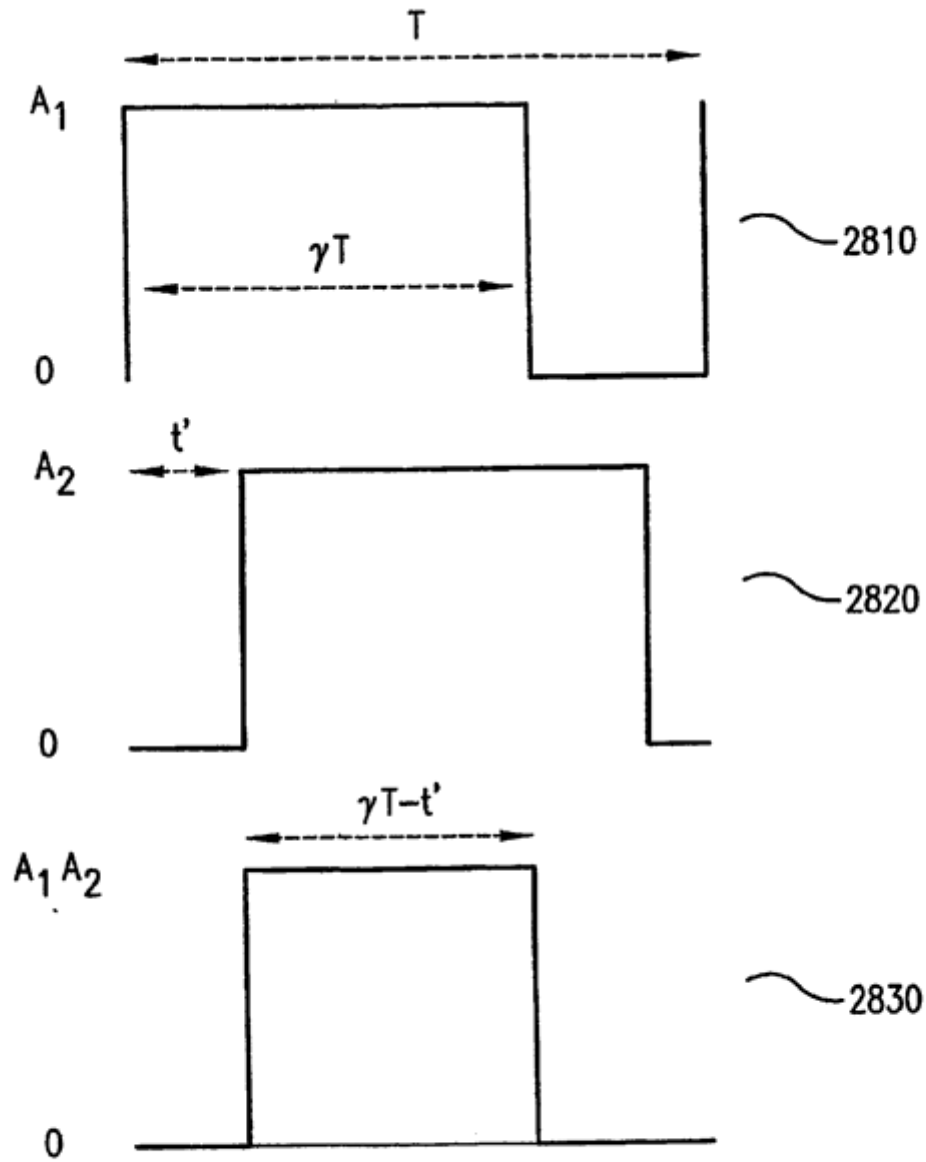


FIG.28

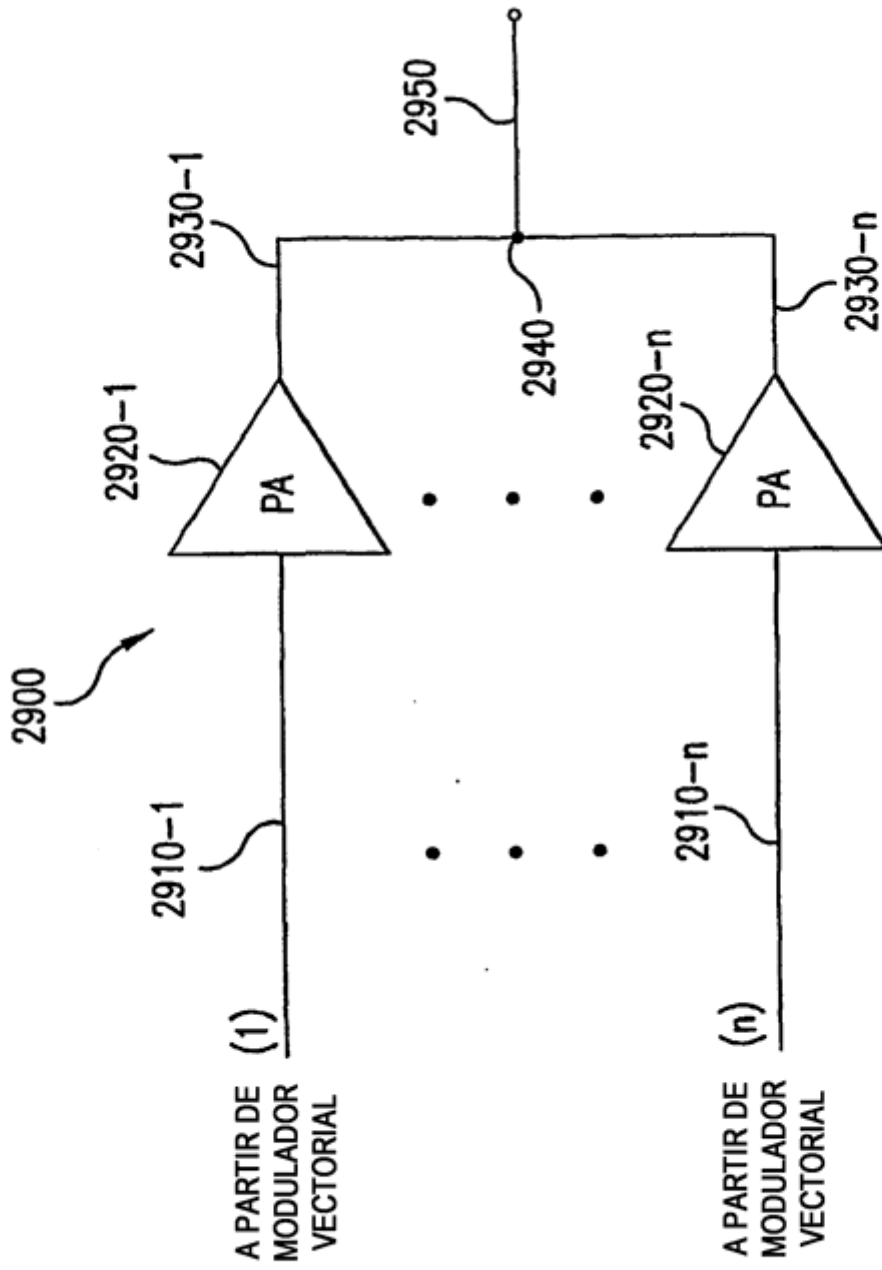


FIG.29

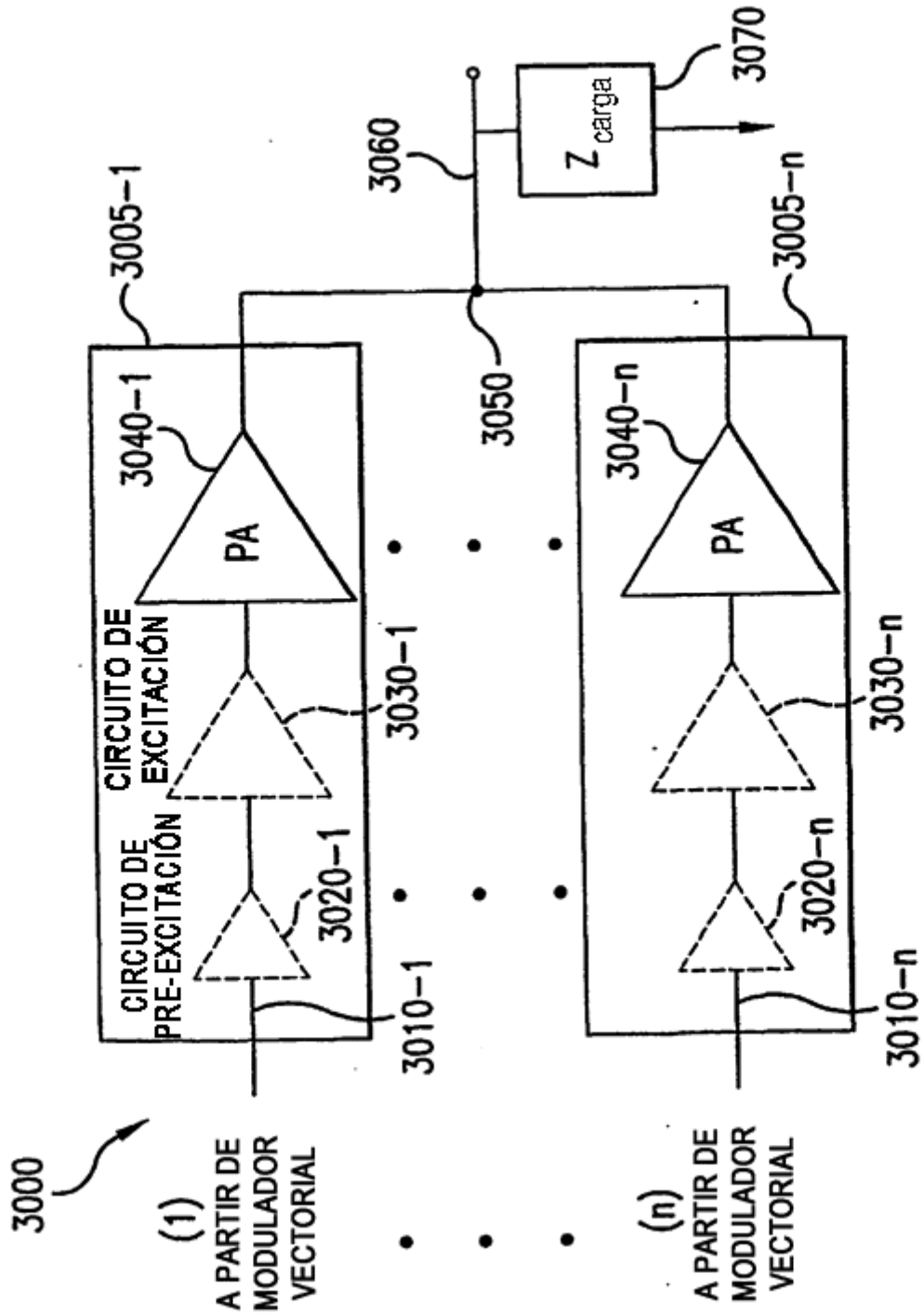
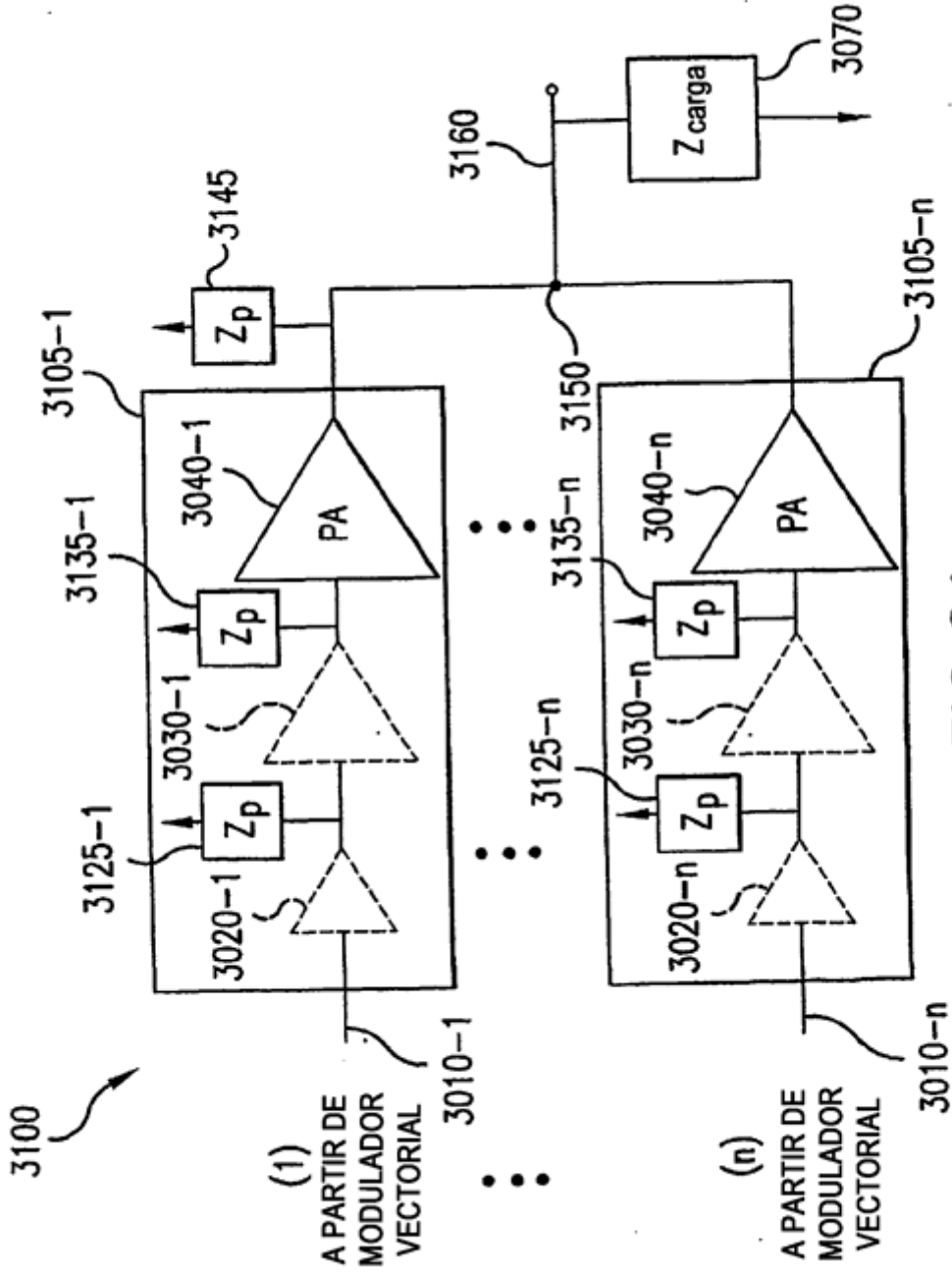


FIG.30



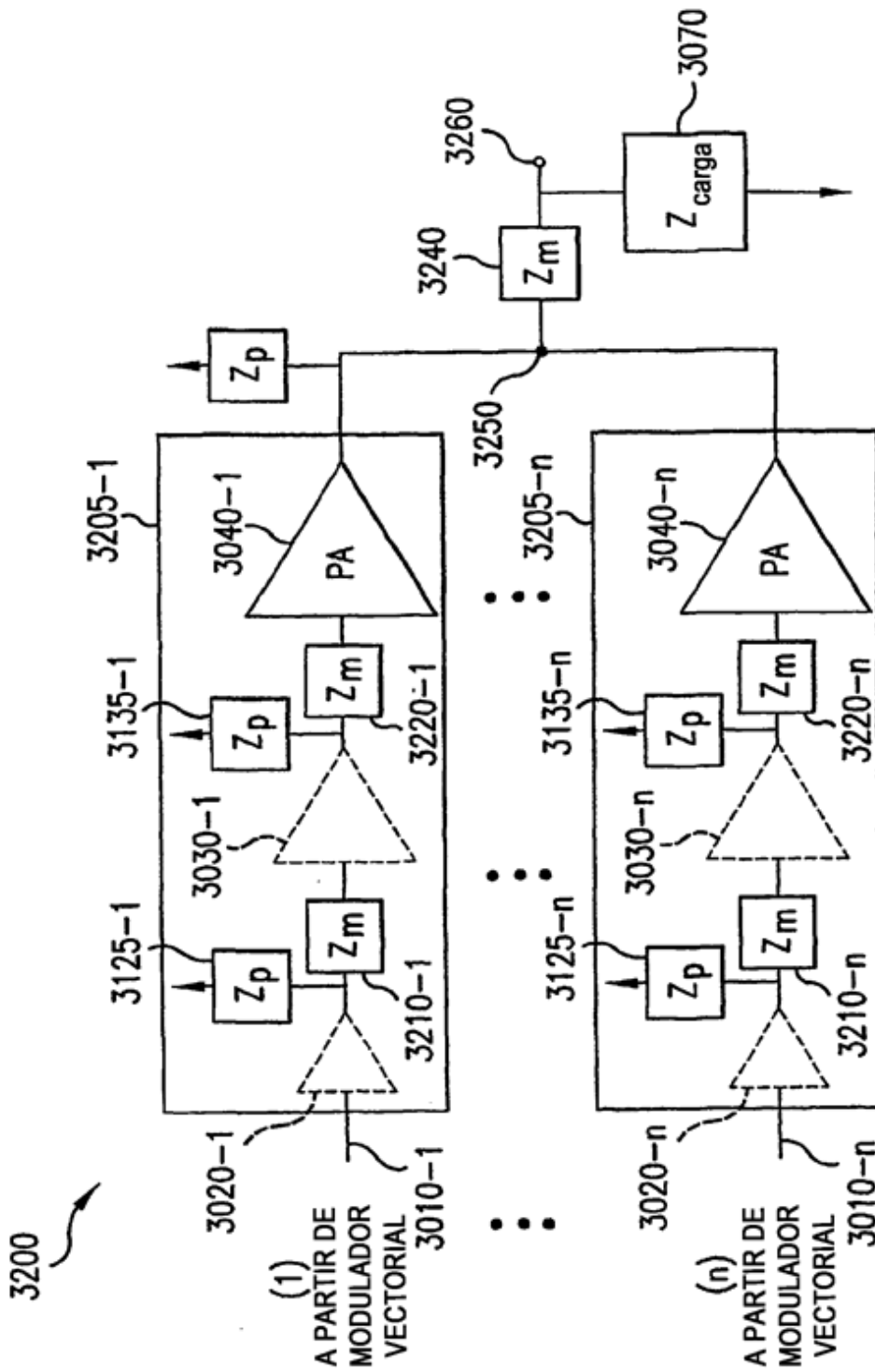


FIG.32

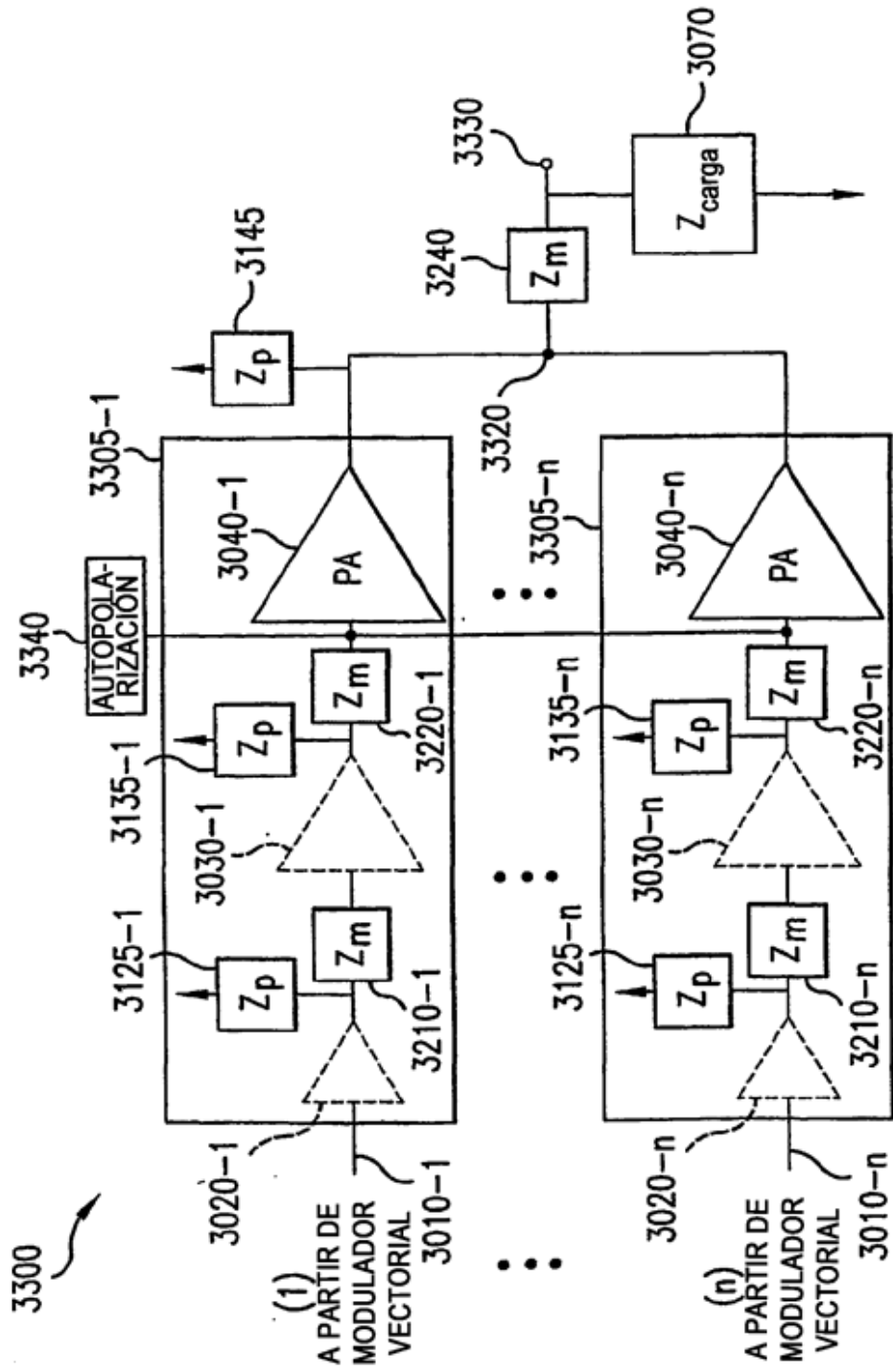


FIG.33

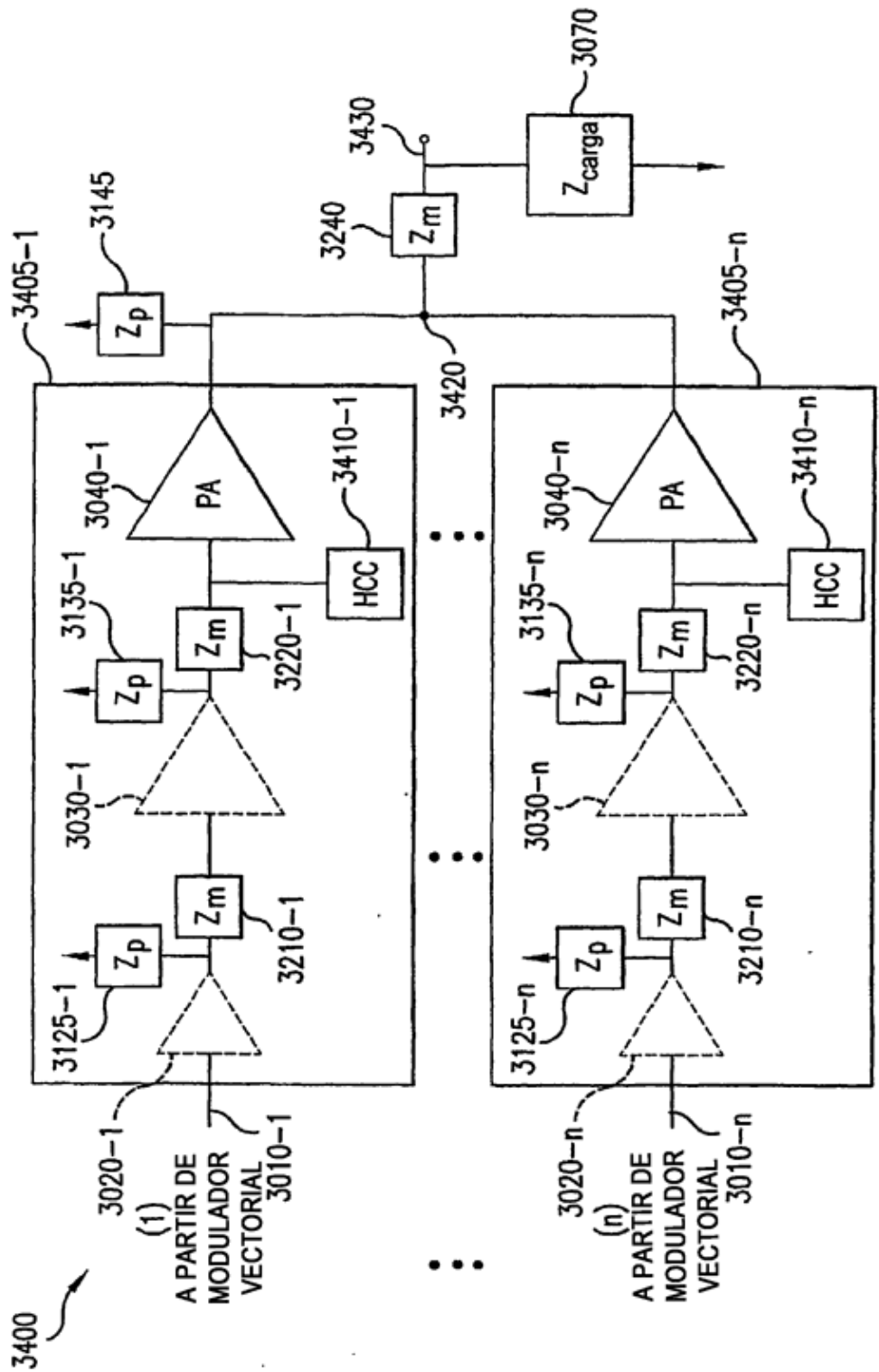


FIG.34

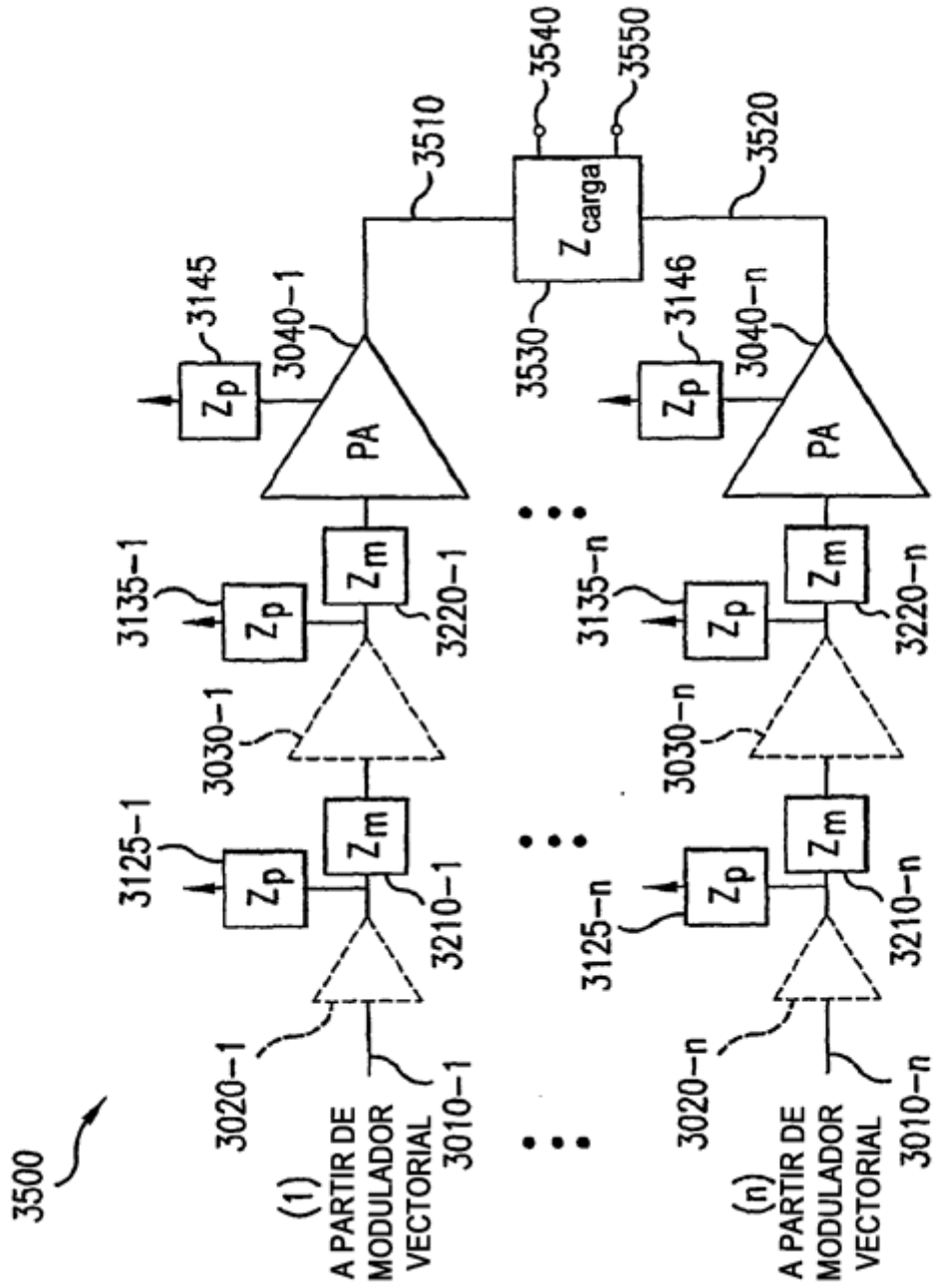


FIG.35

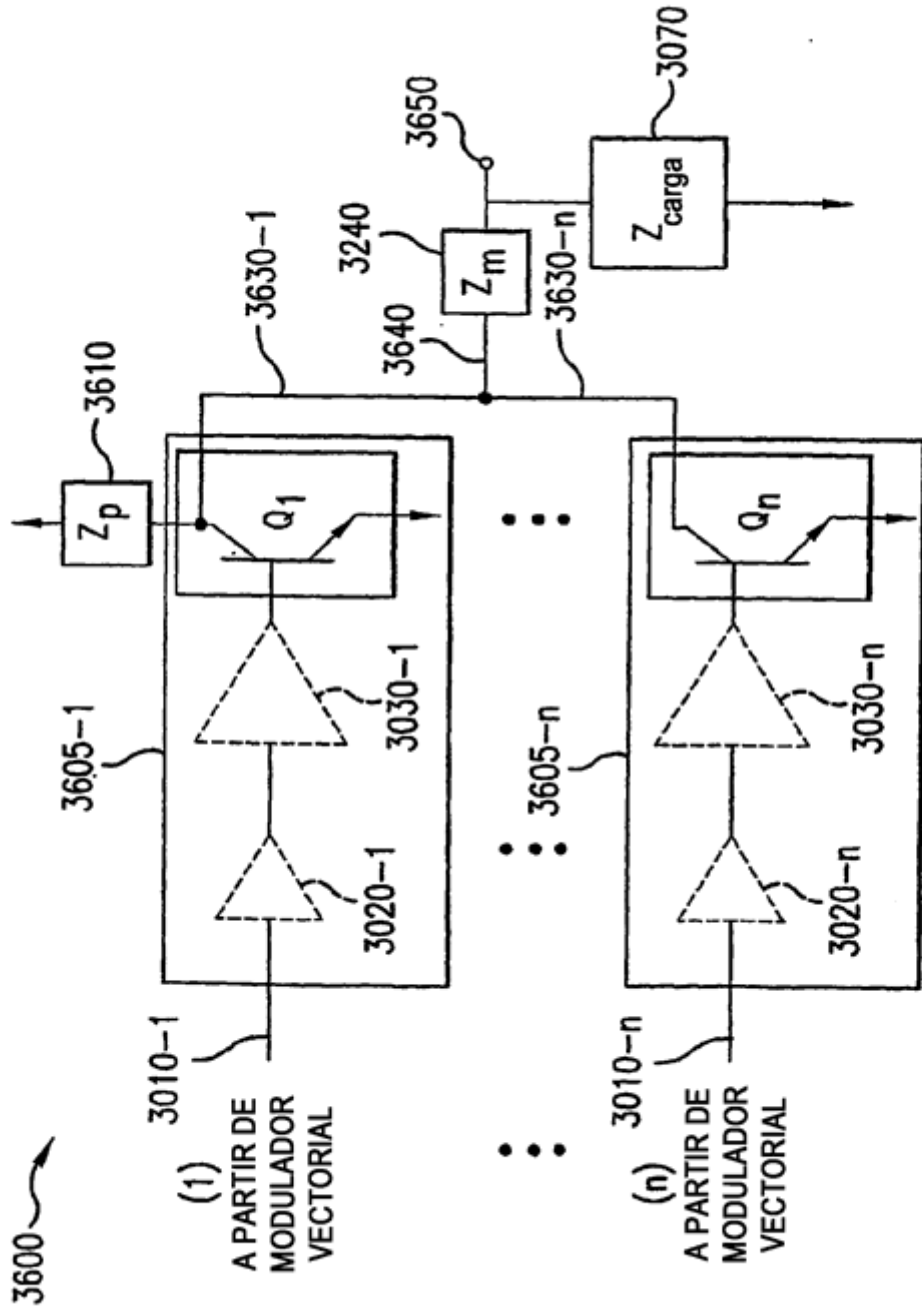


FIG.36

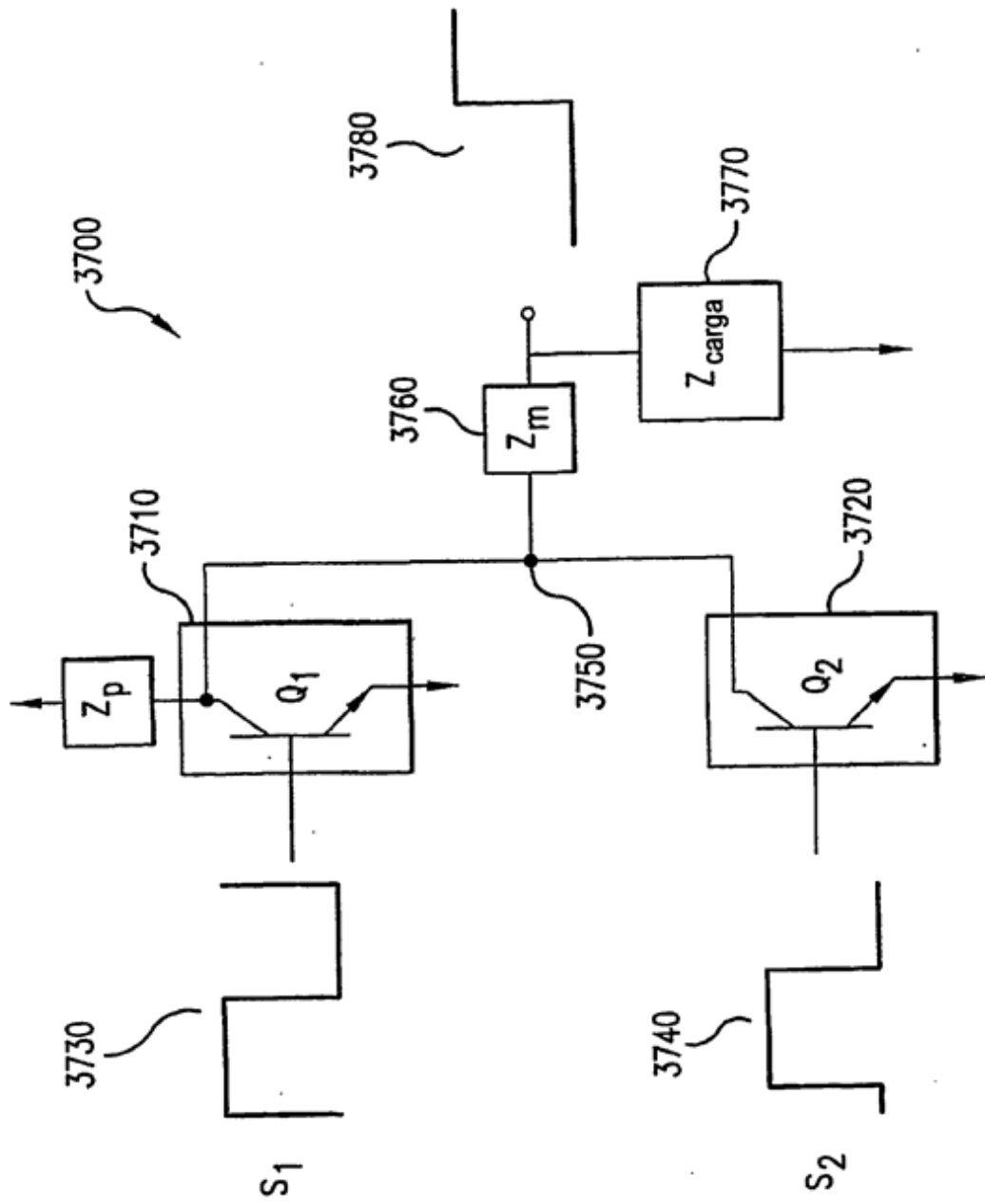


FIG.37

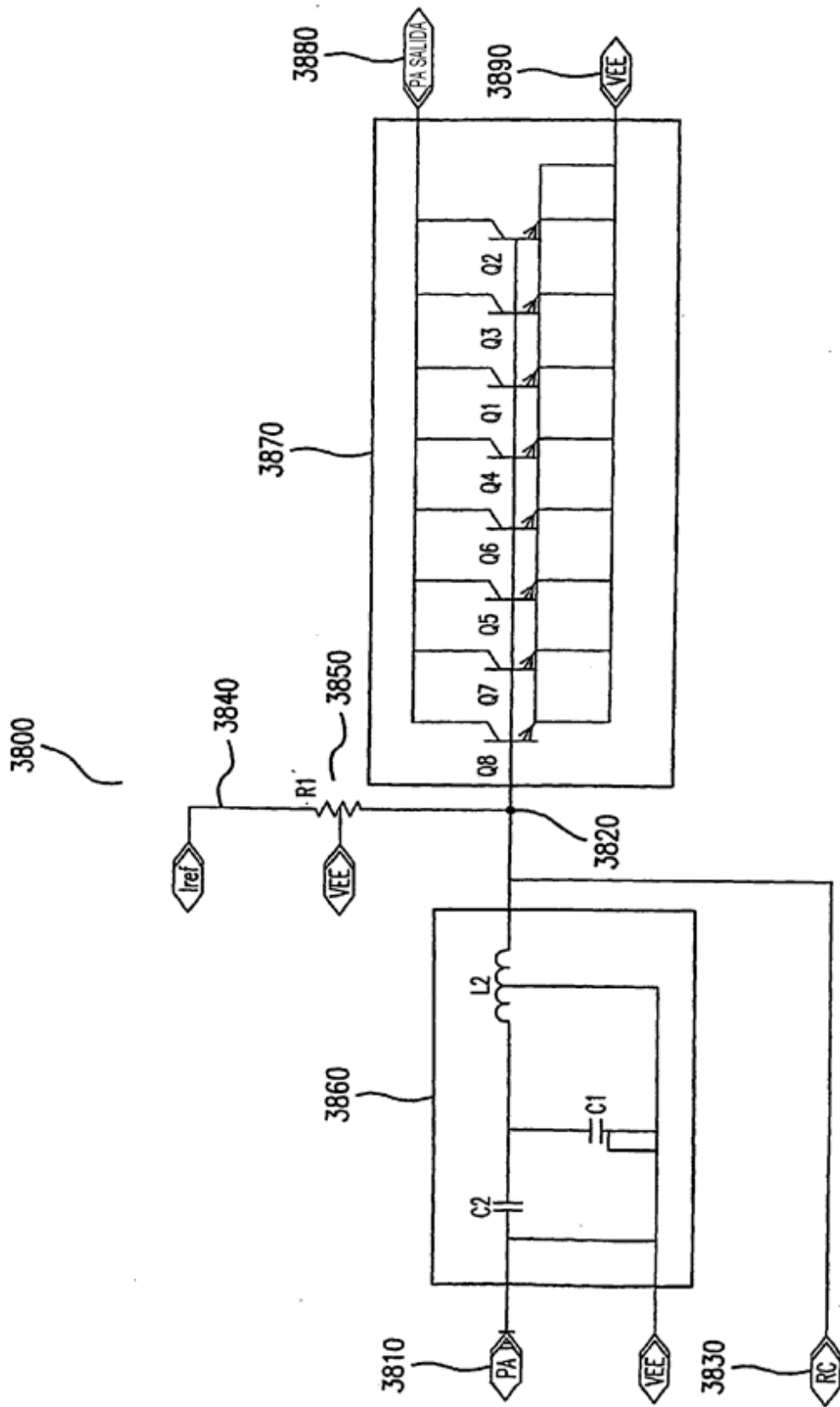


FIG. 38

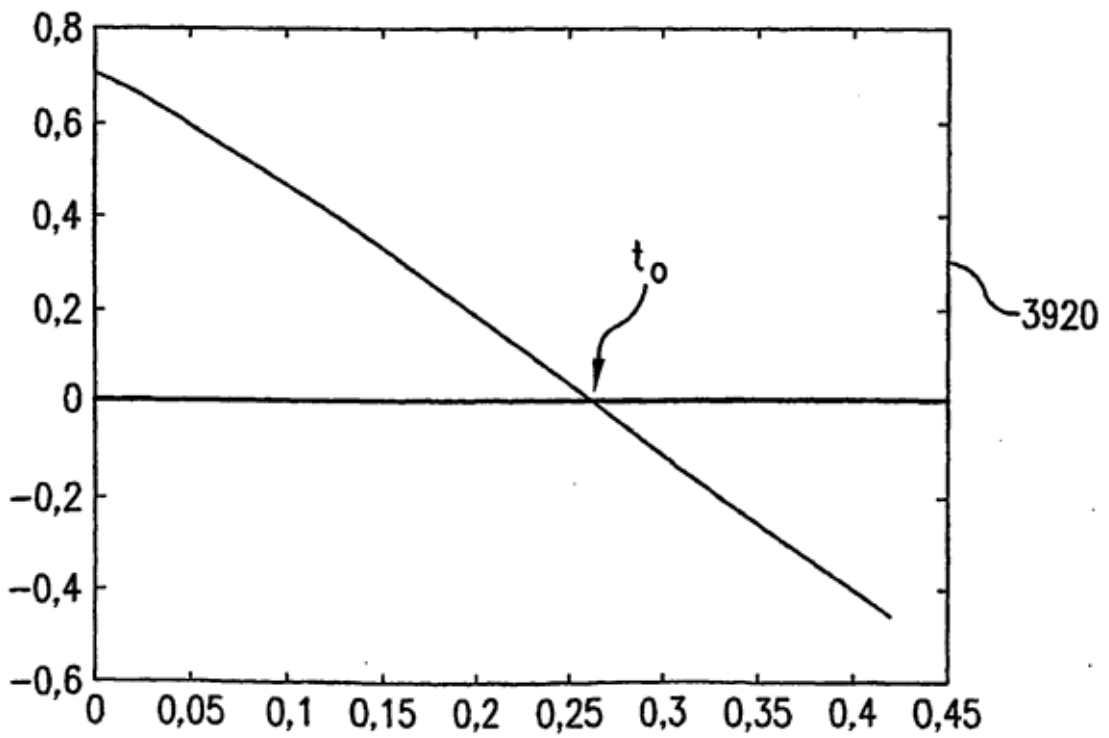
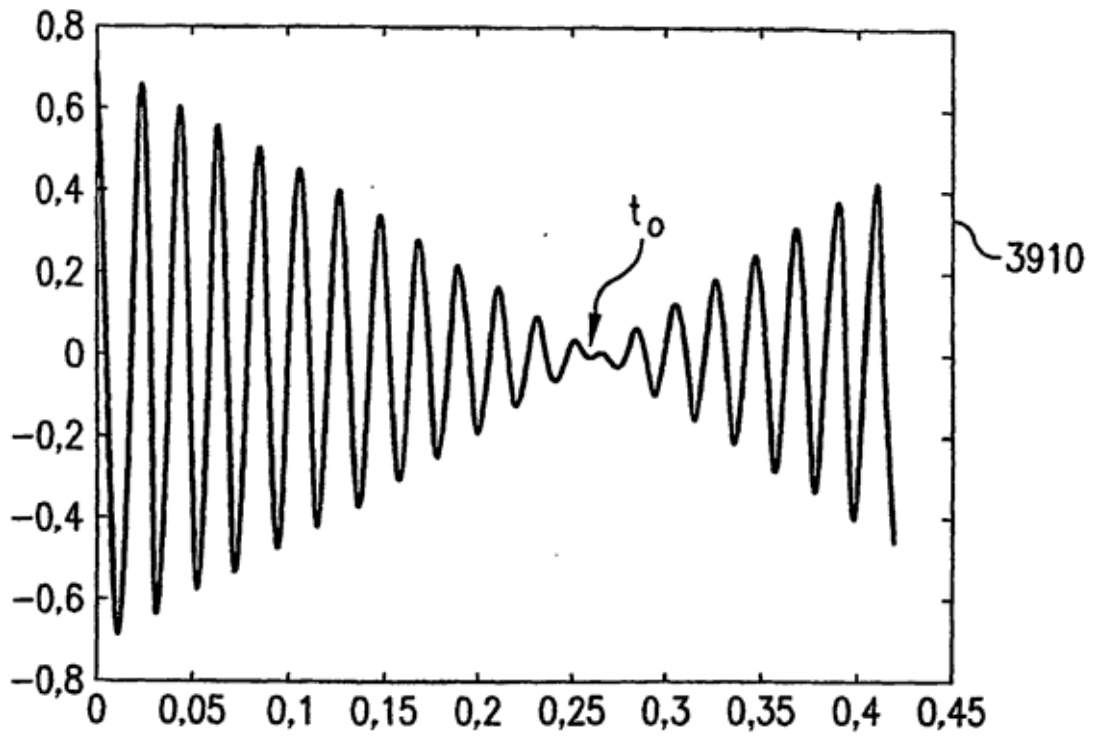


FIG.39

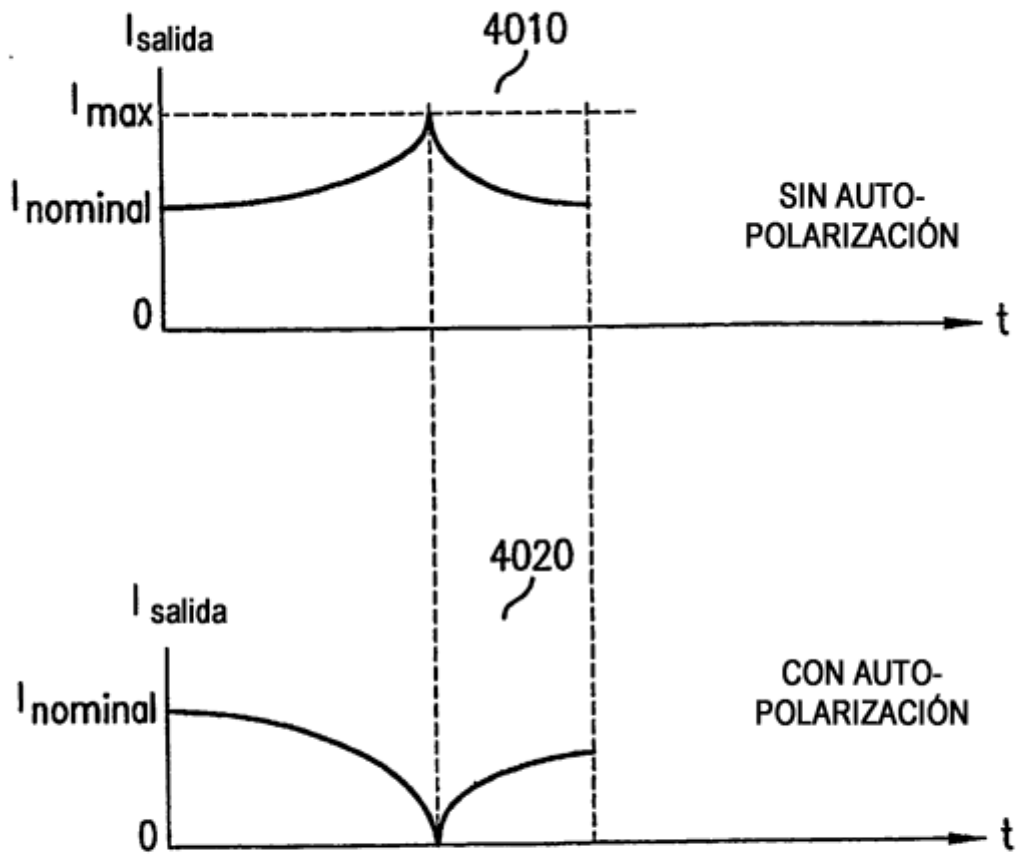


FIG.40

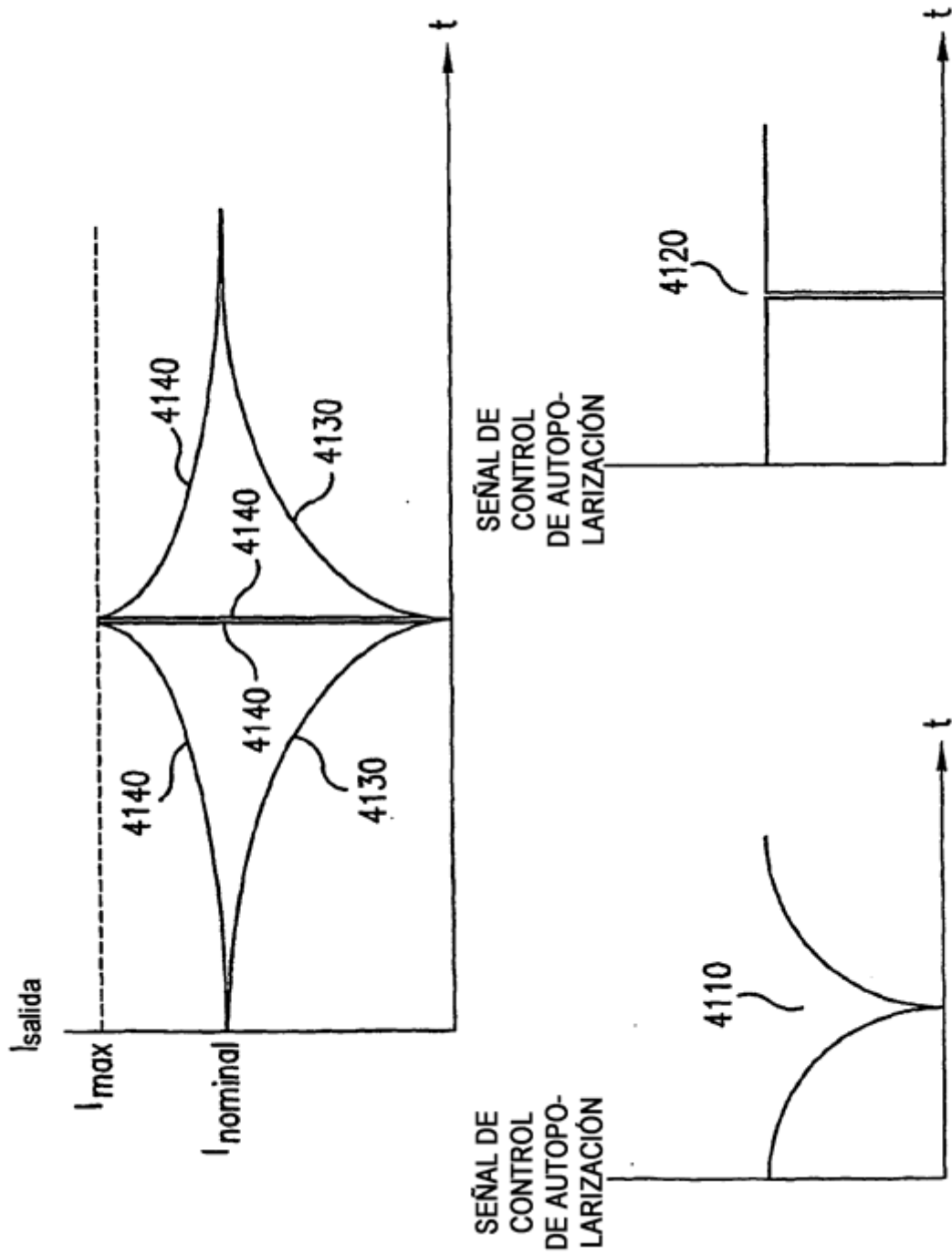


FIG.41

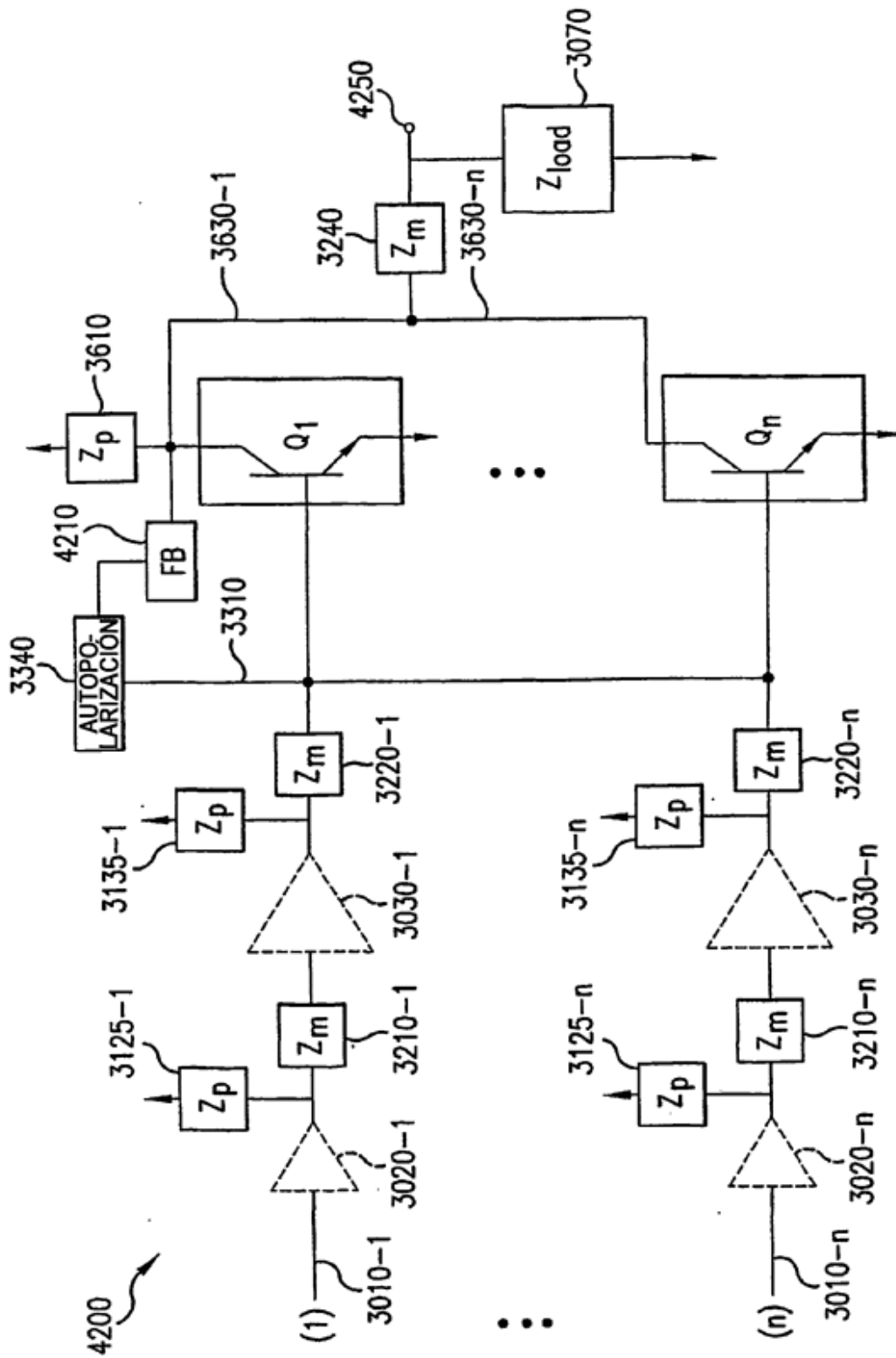


FIG.42

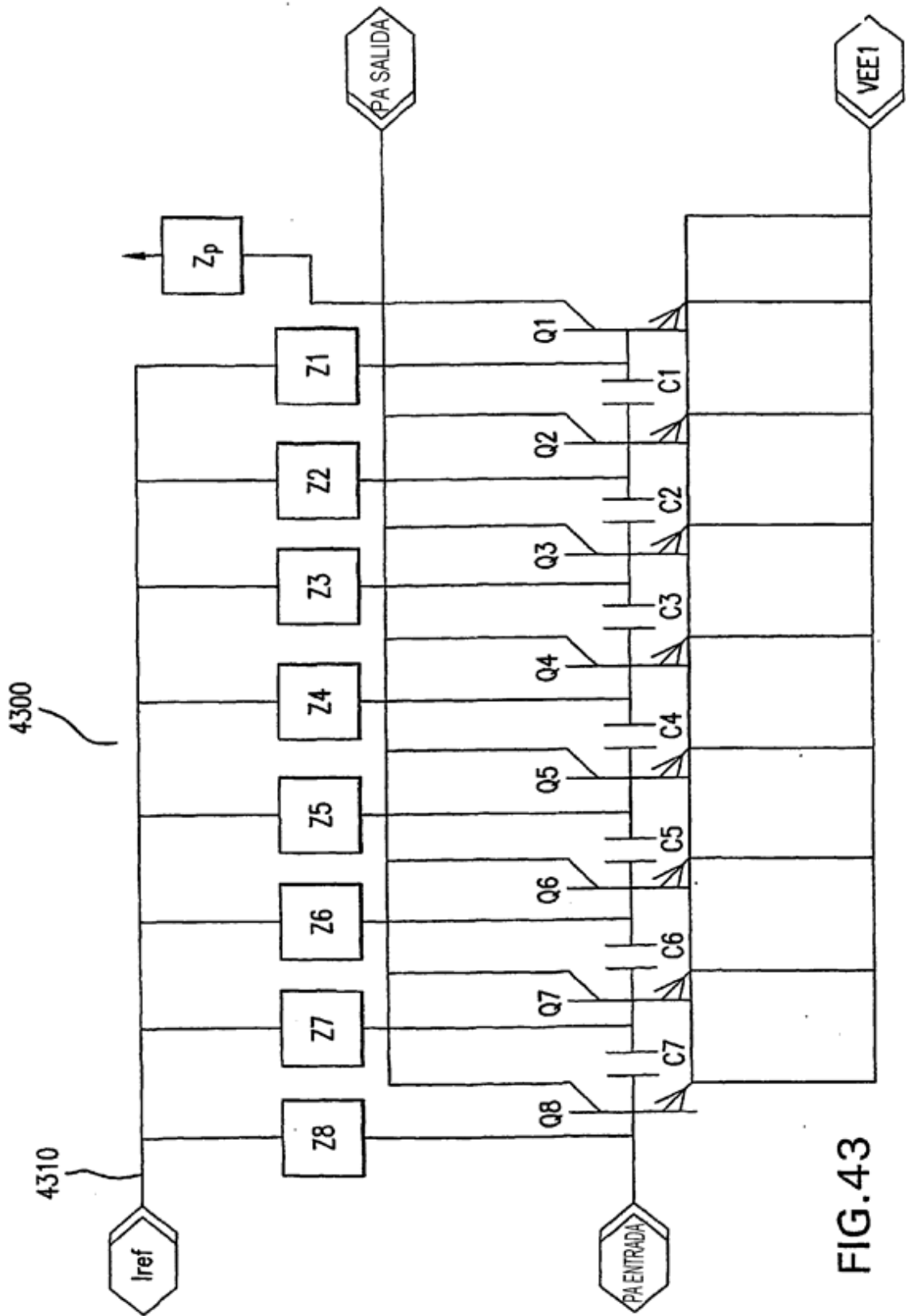


FIG.43

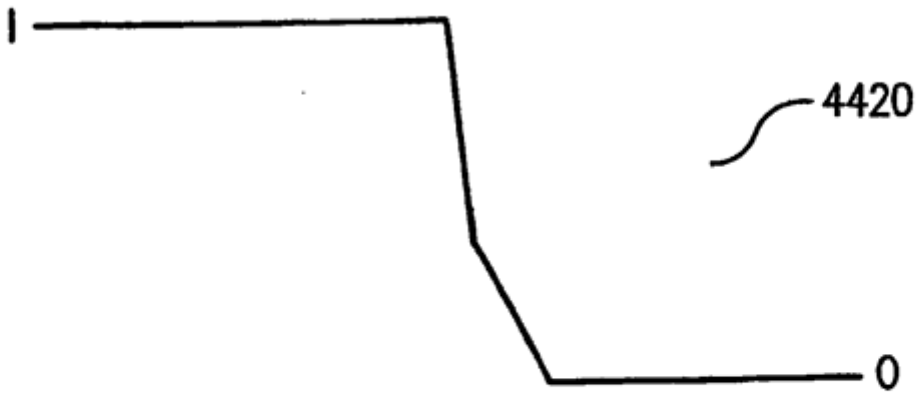
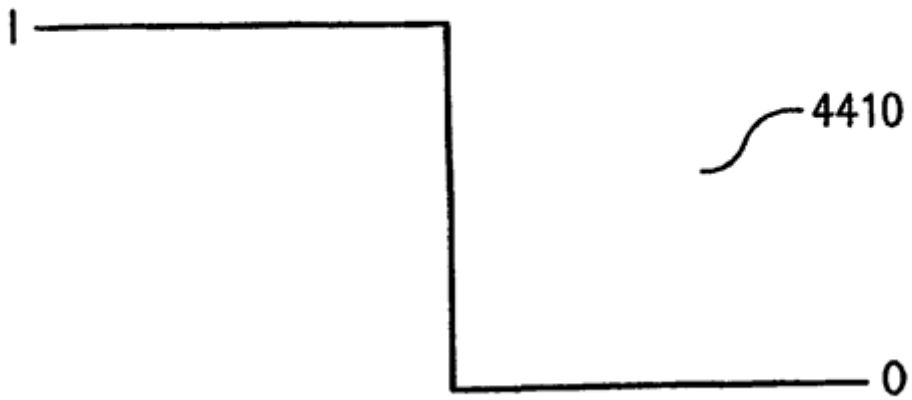


FIG.44

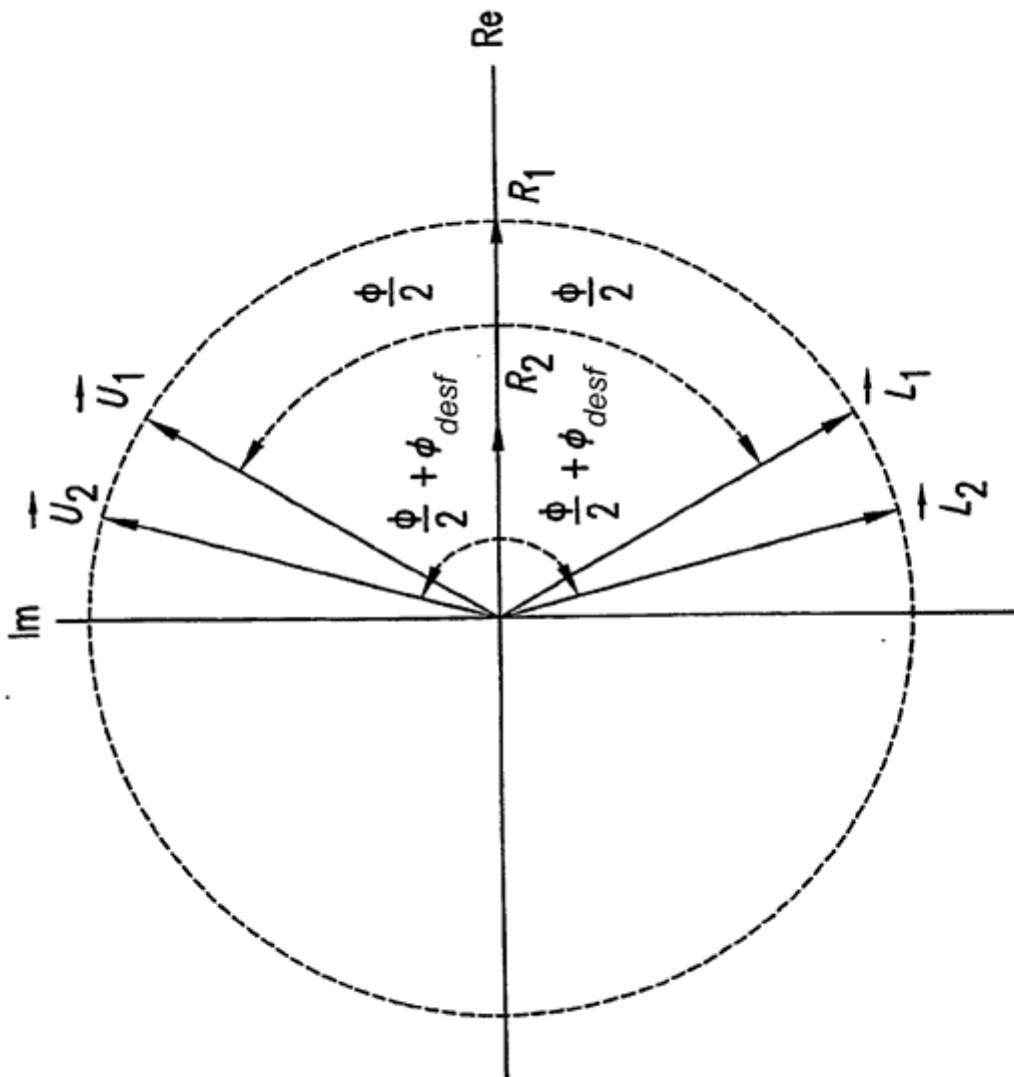


FIG.45

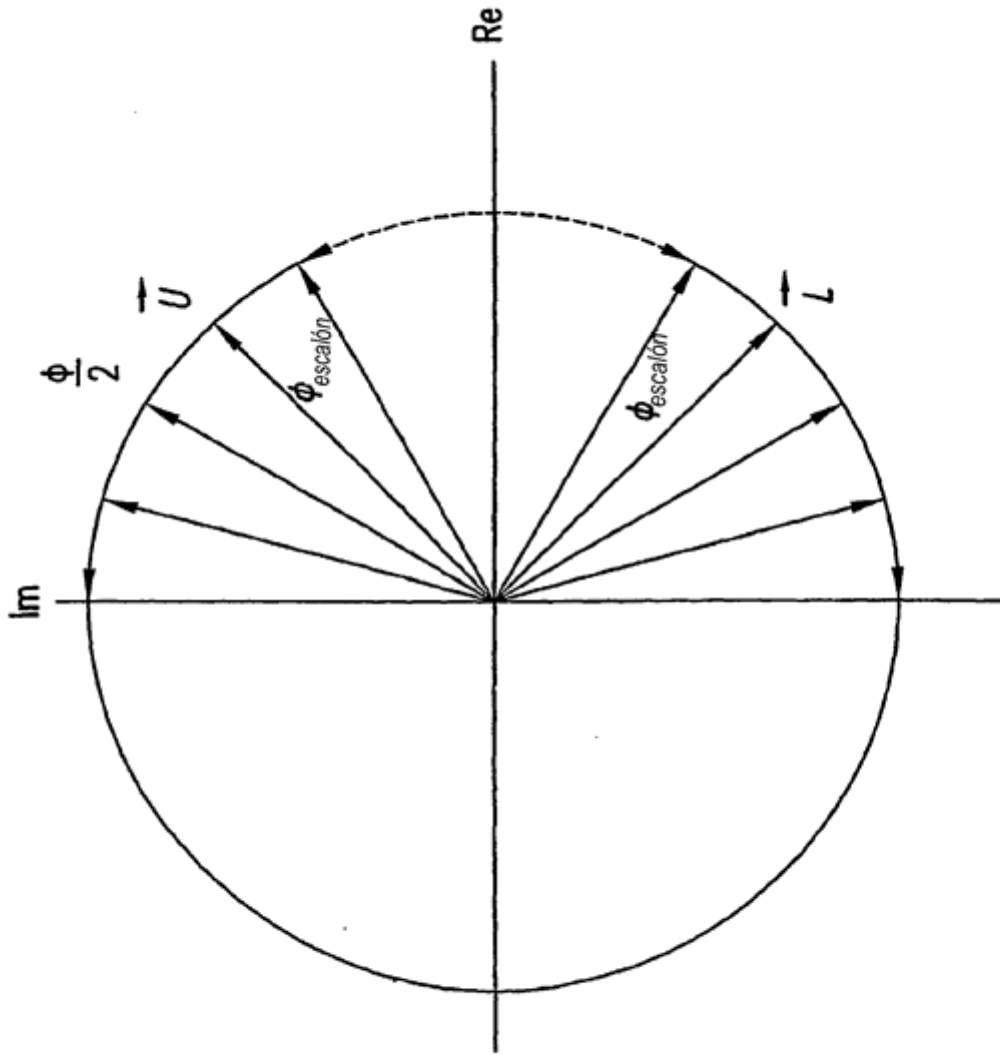


FIG.46

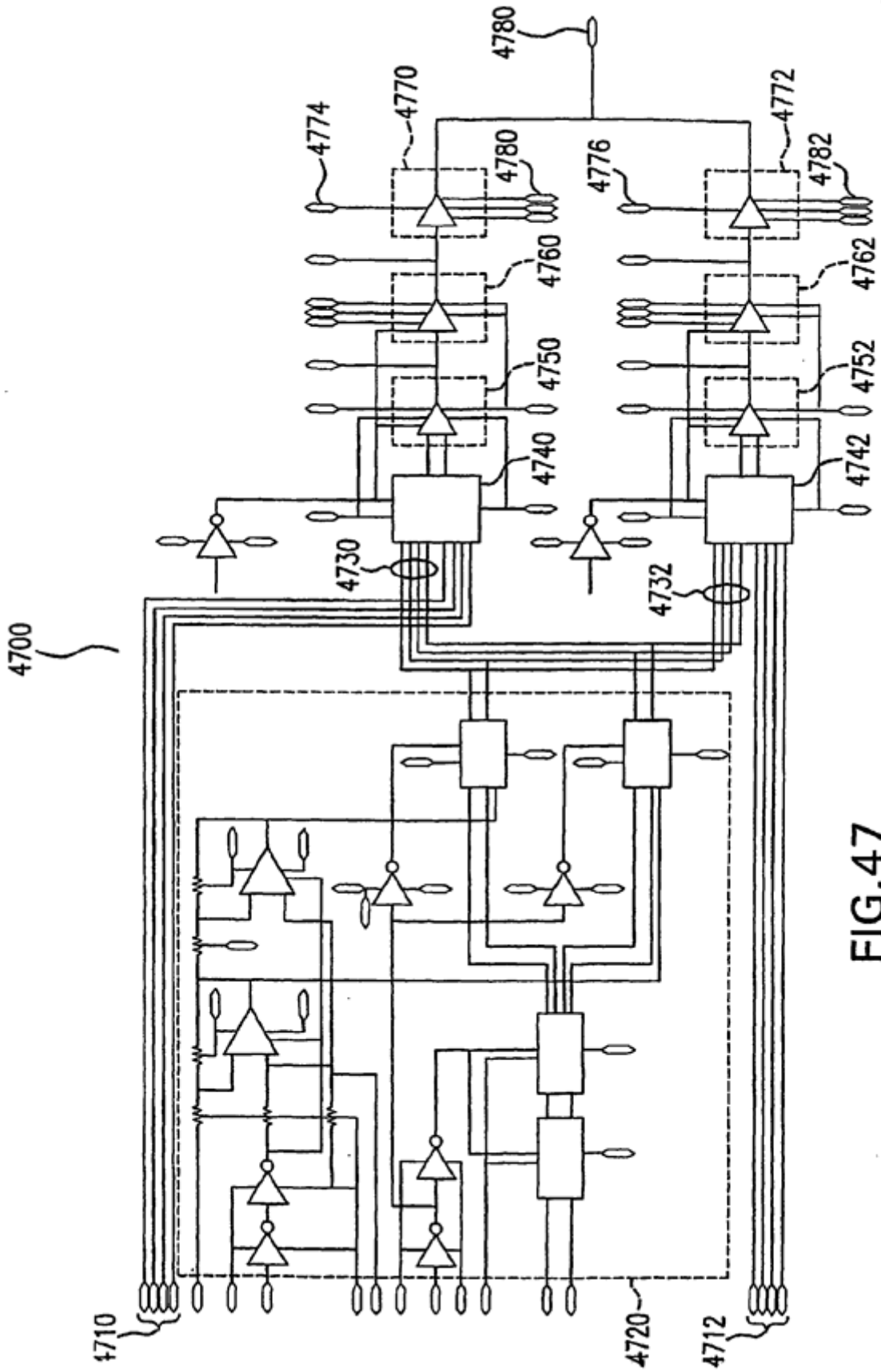


FIG. 47

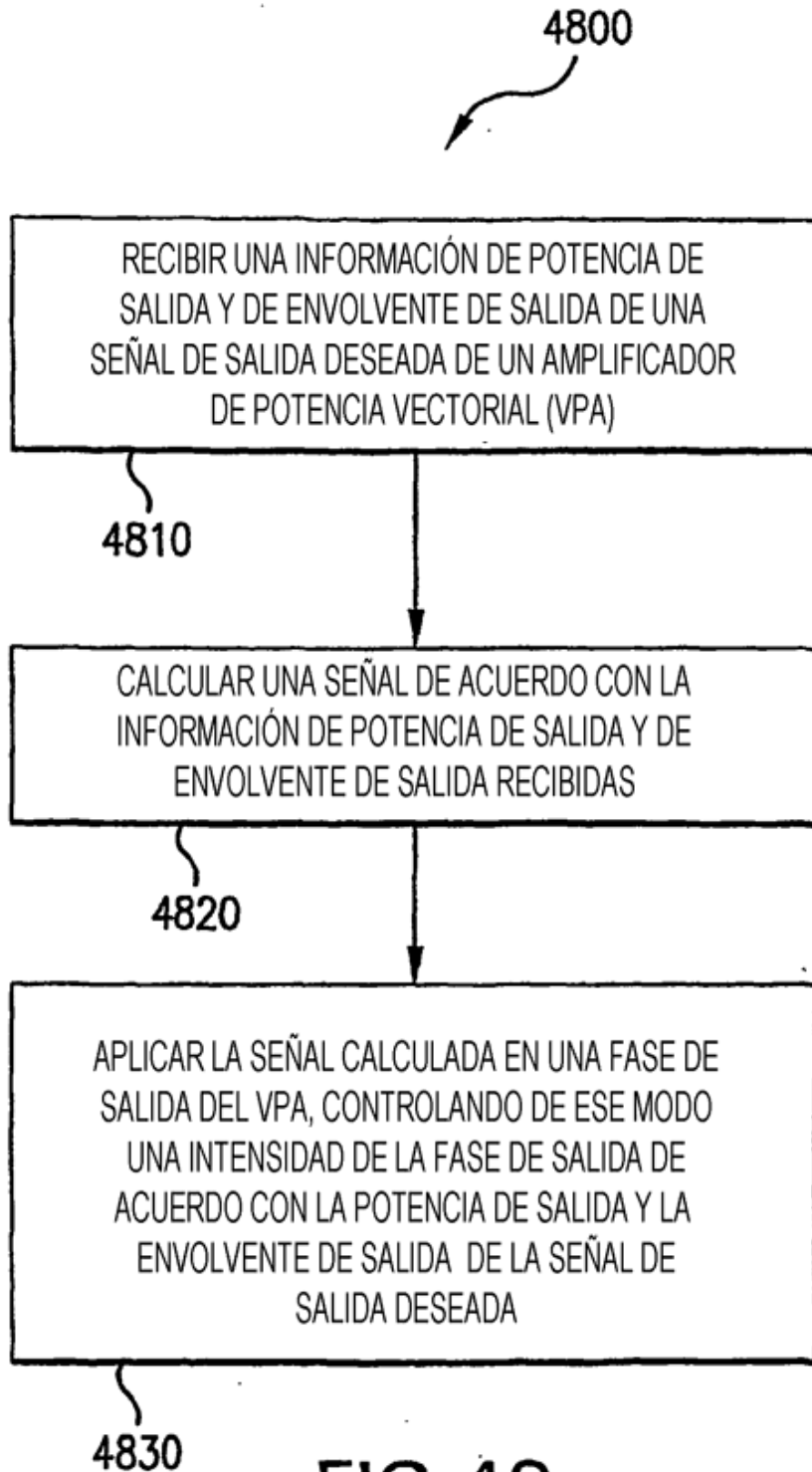


FIG.48

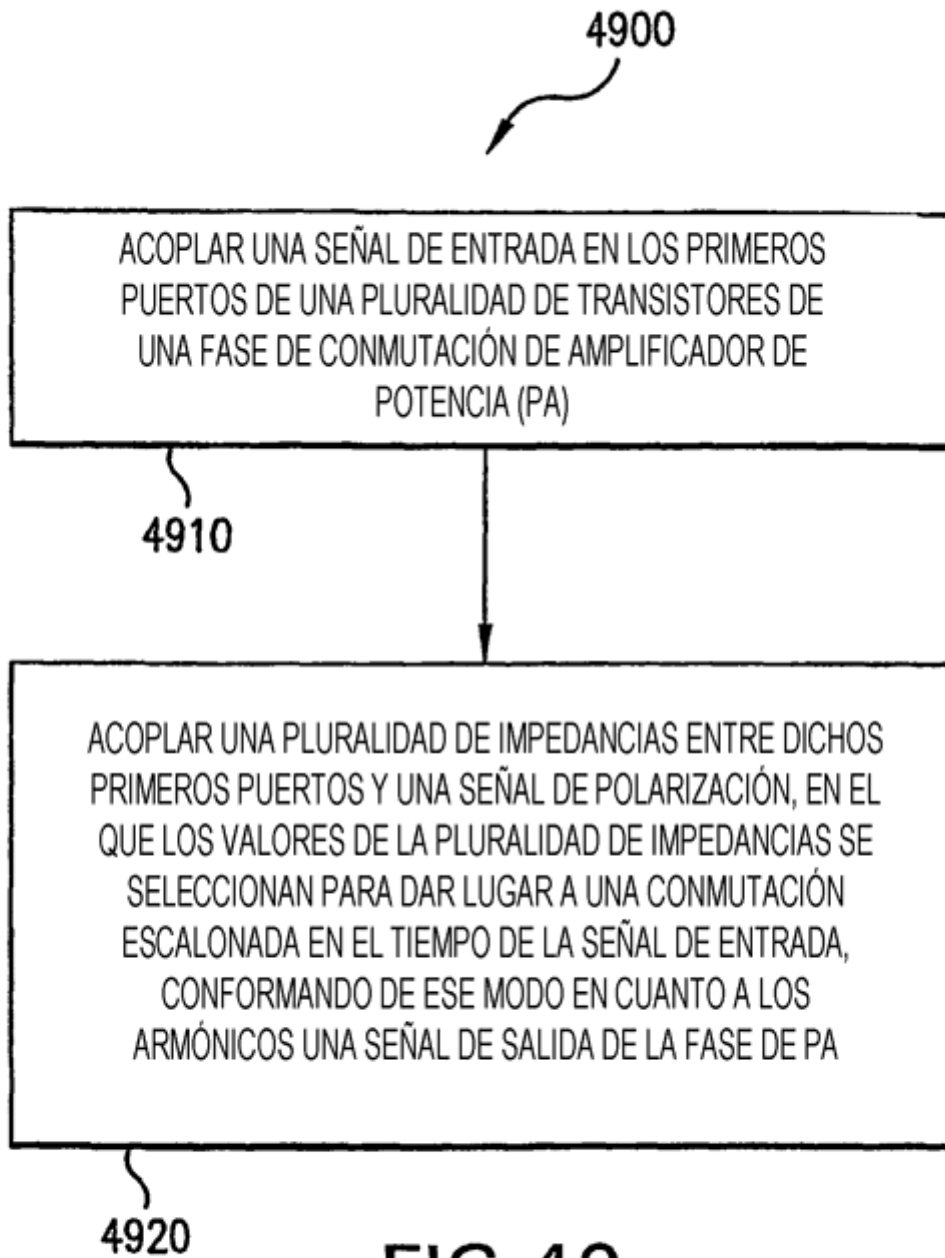


FIG.49

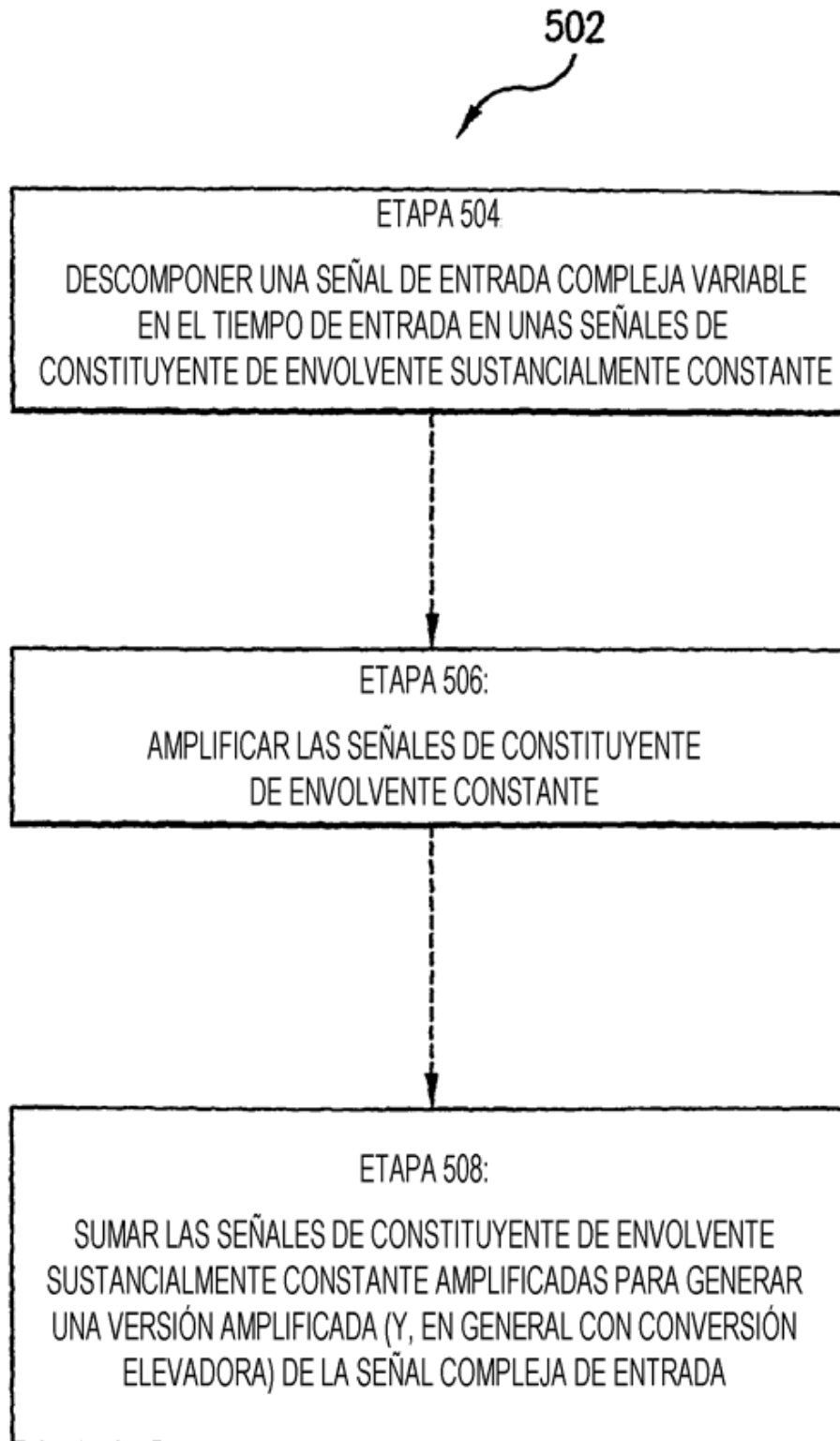


FIG.50

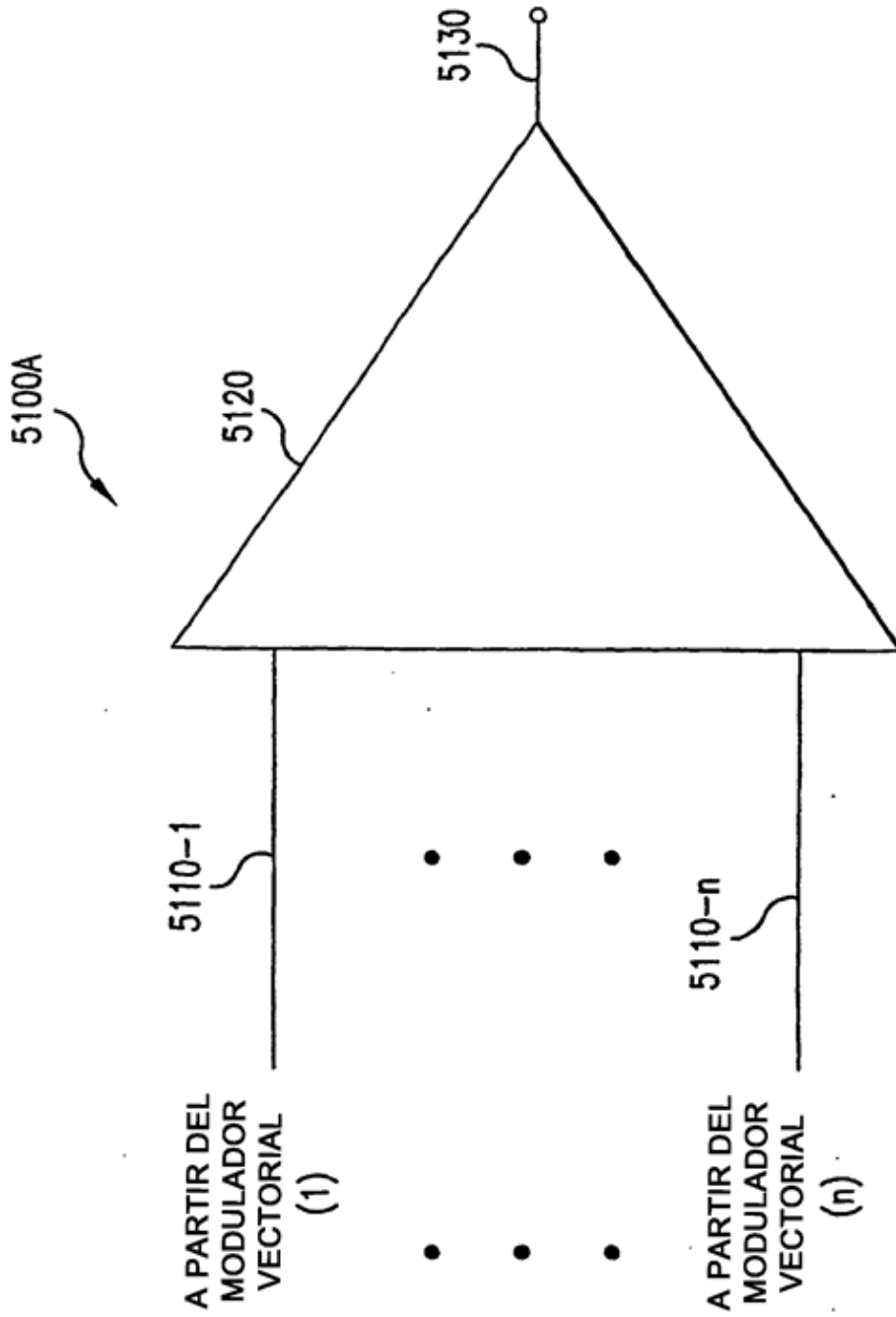


FIG.51A

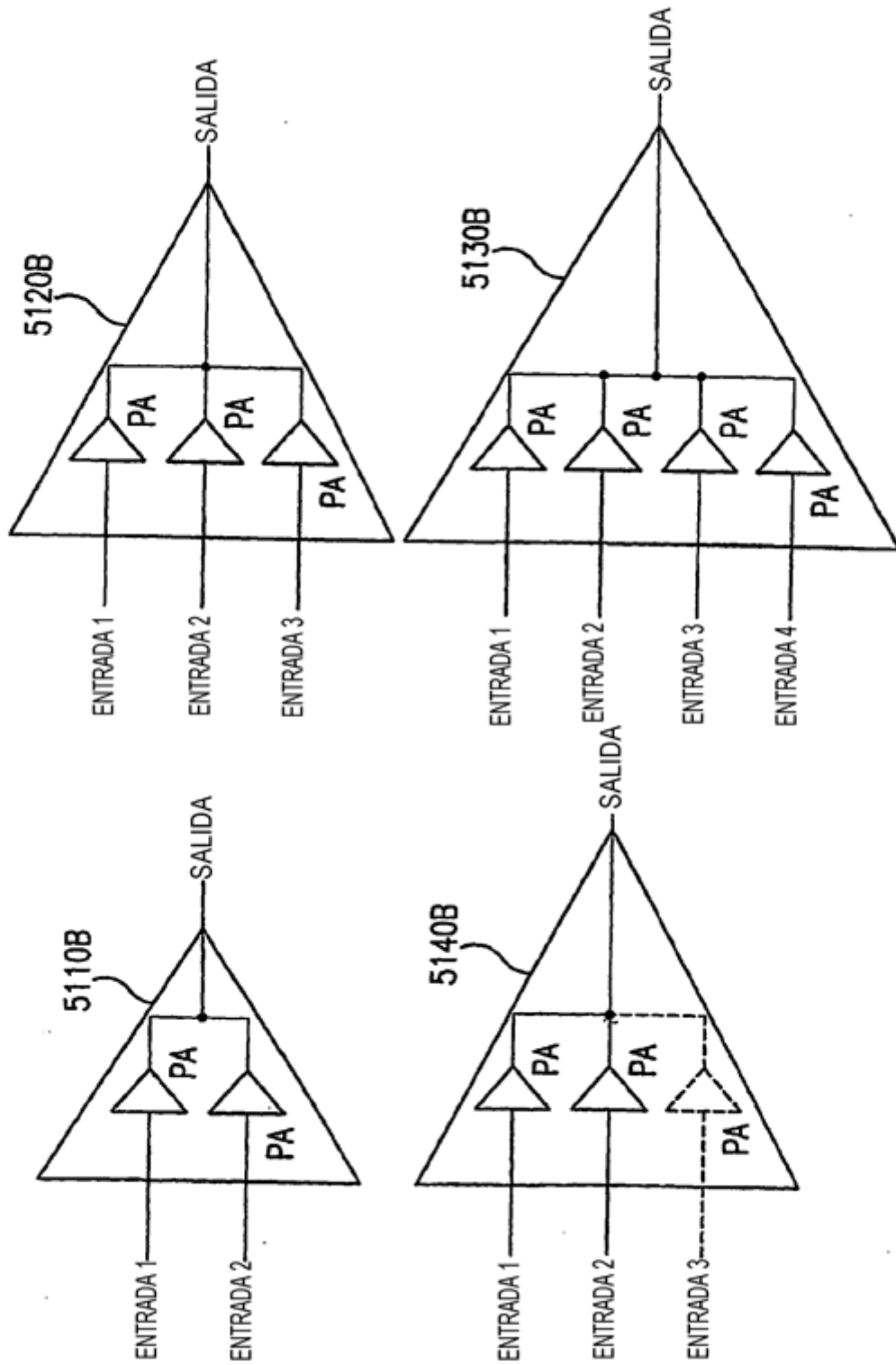


FIG.51B

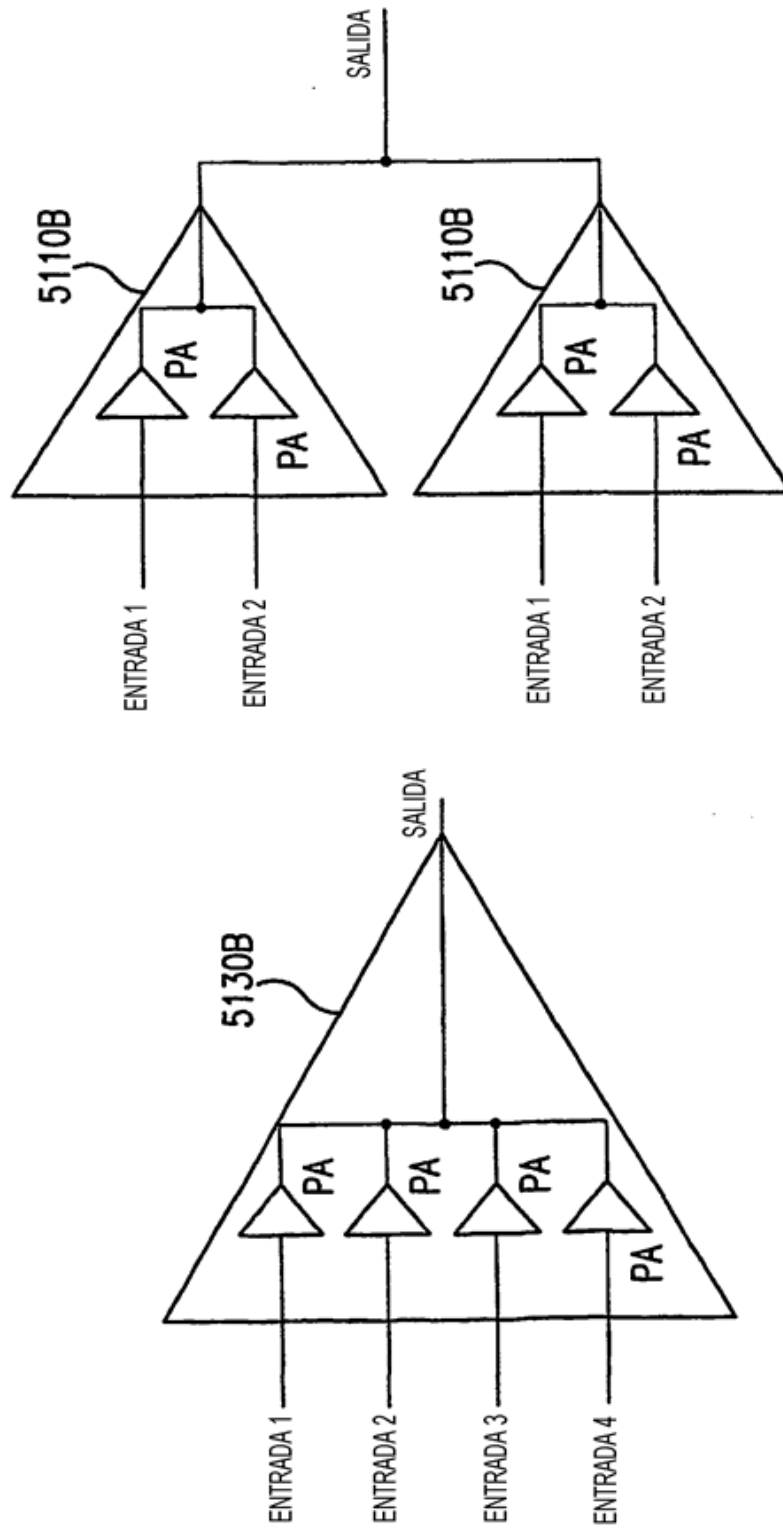


FIG. 51C

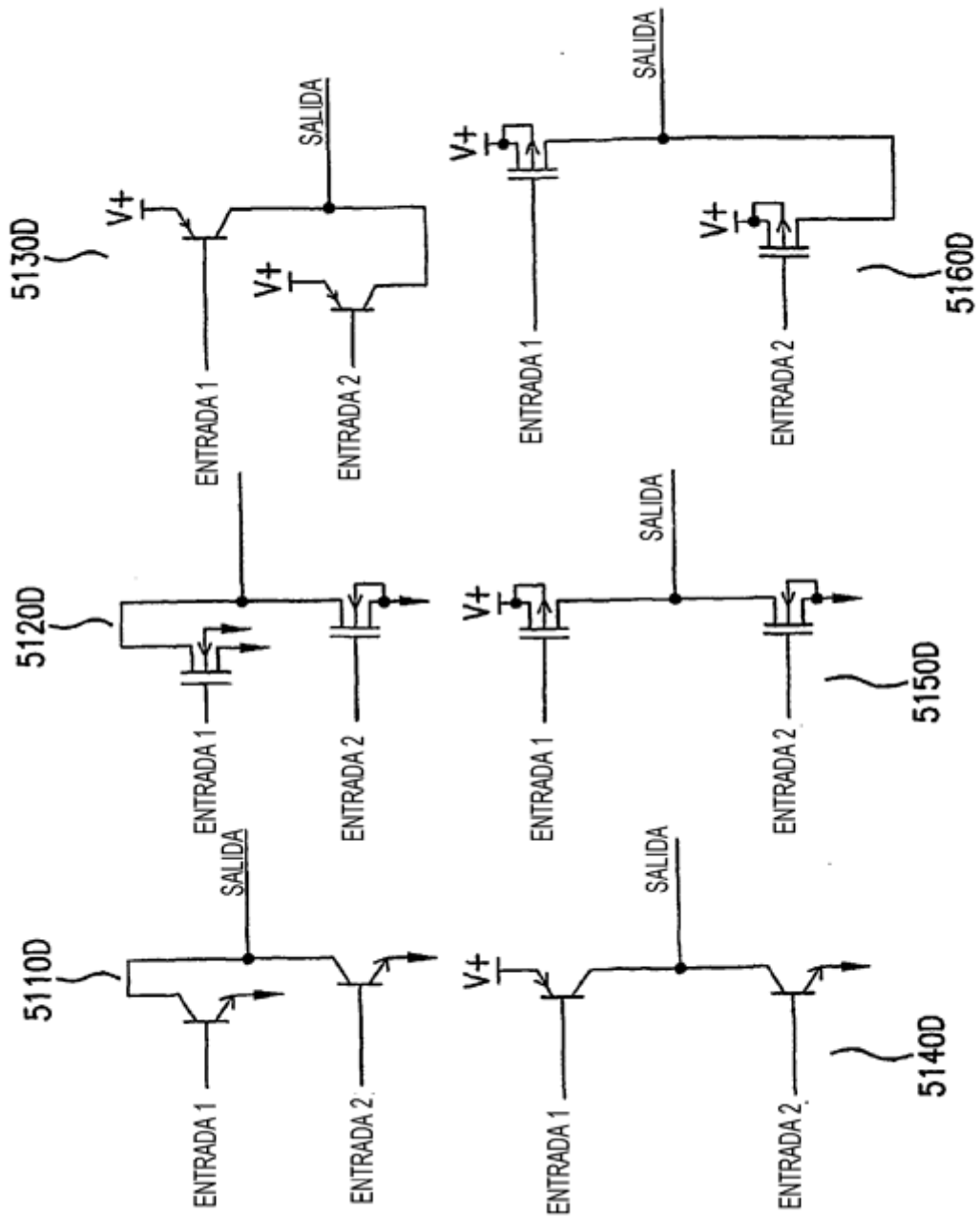


FIG. 51D

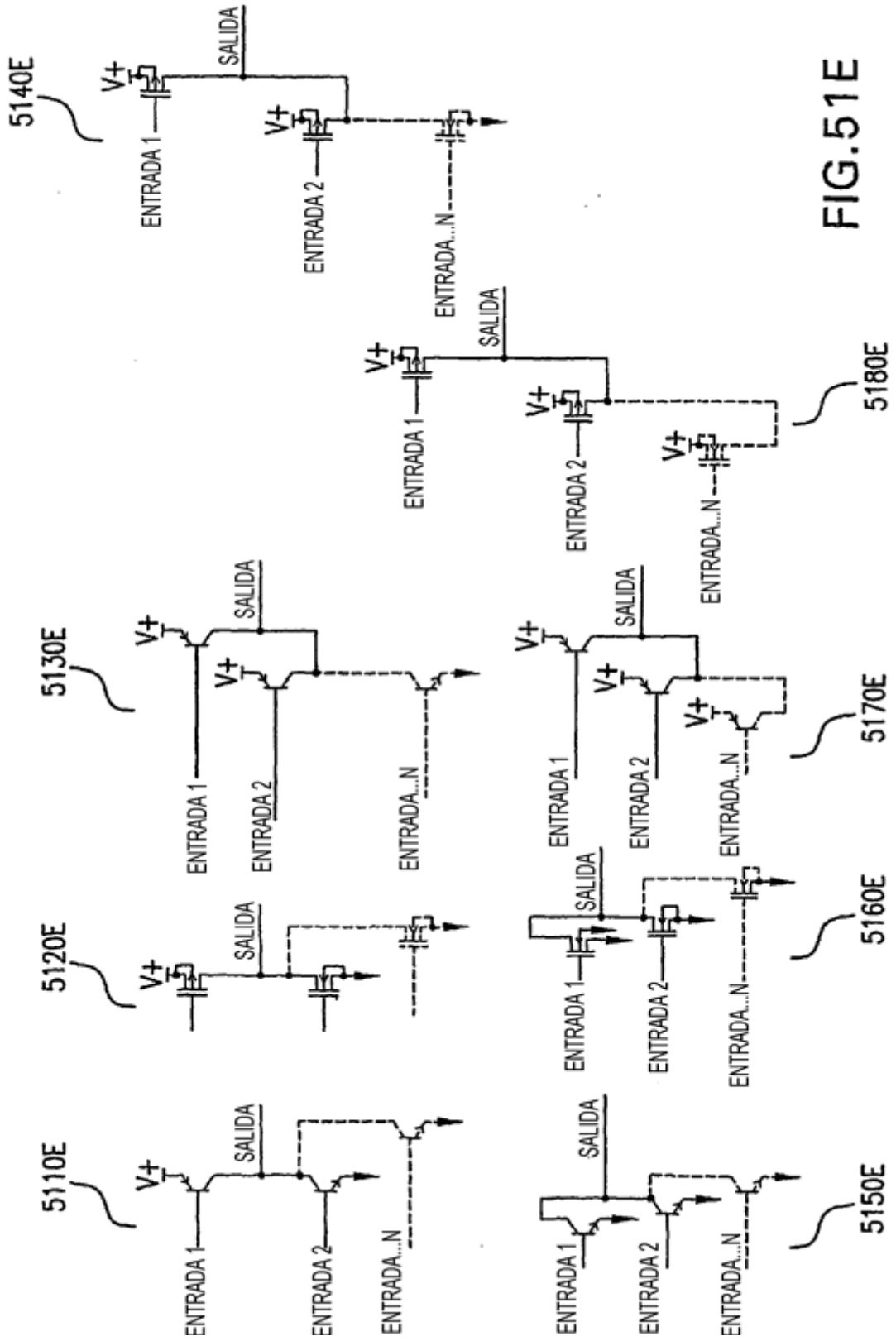


FIG.51E

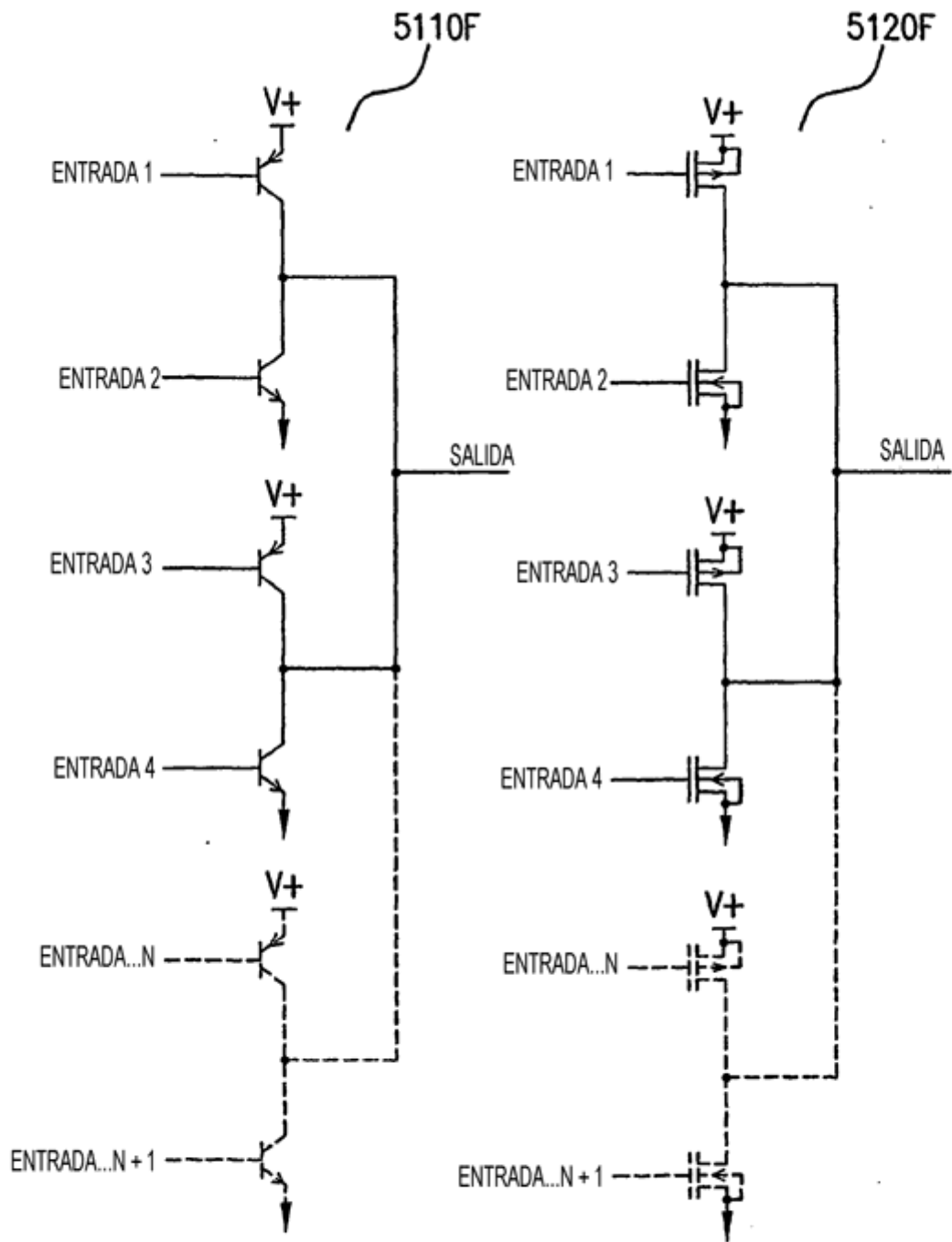


FIG.51F

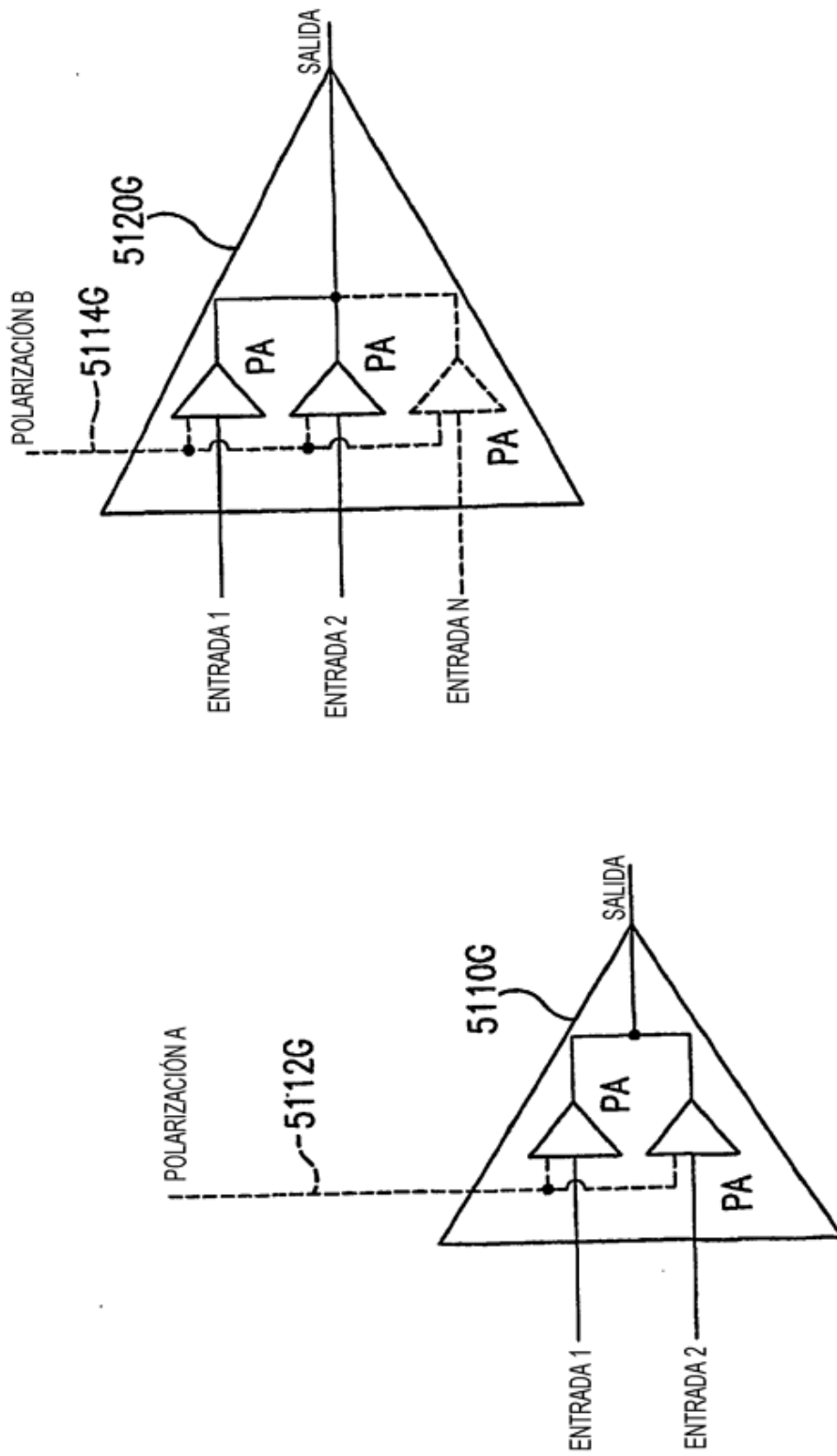
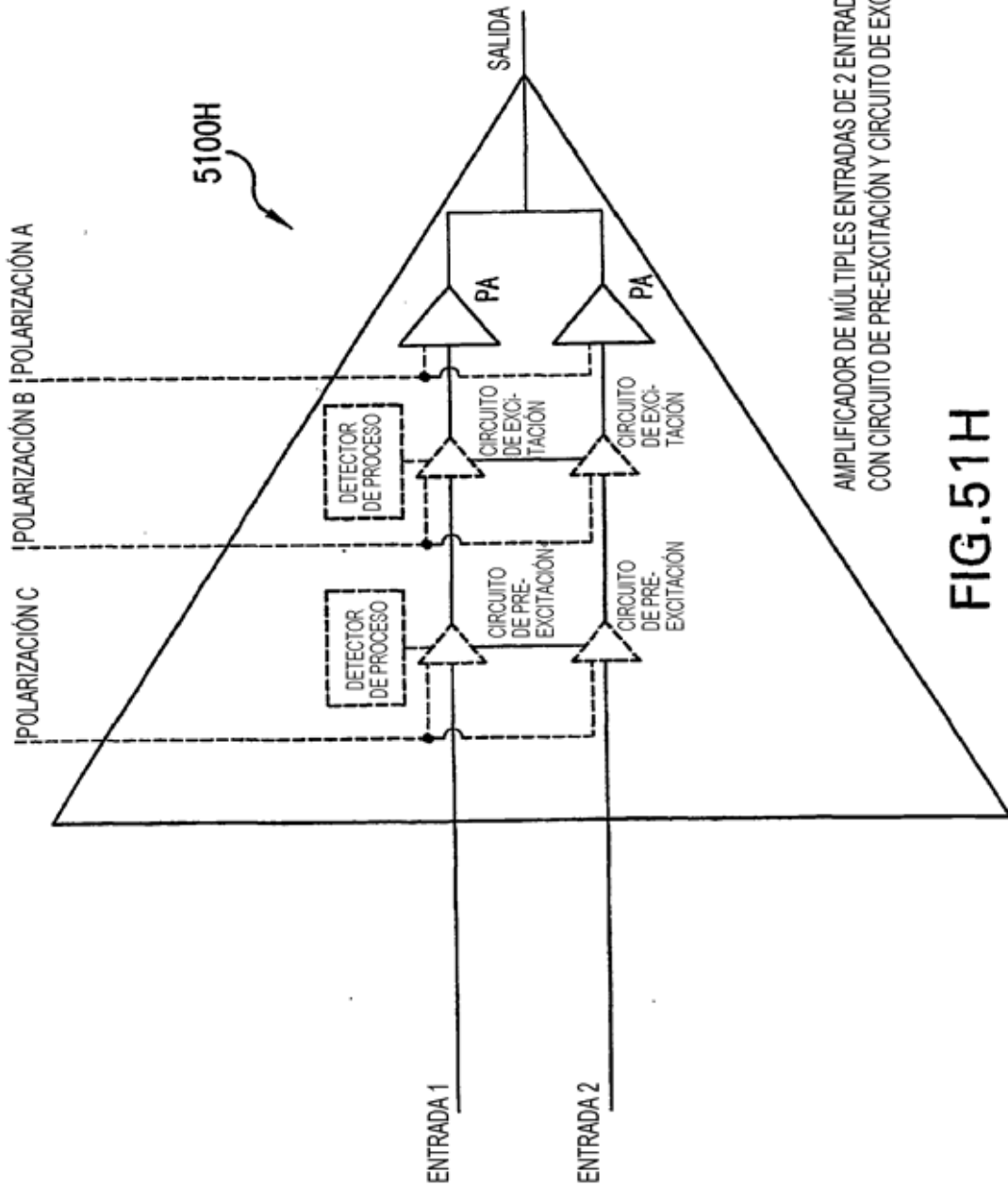
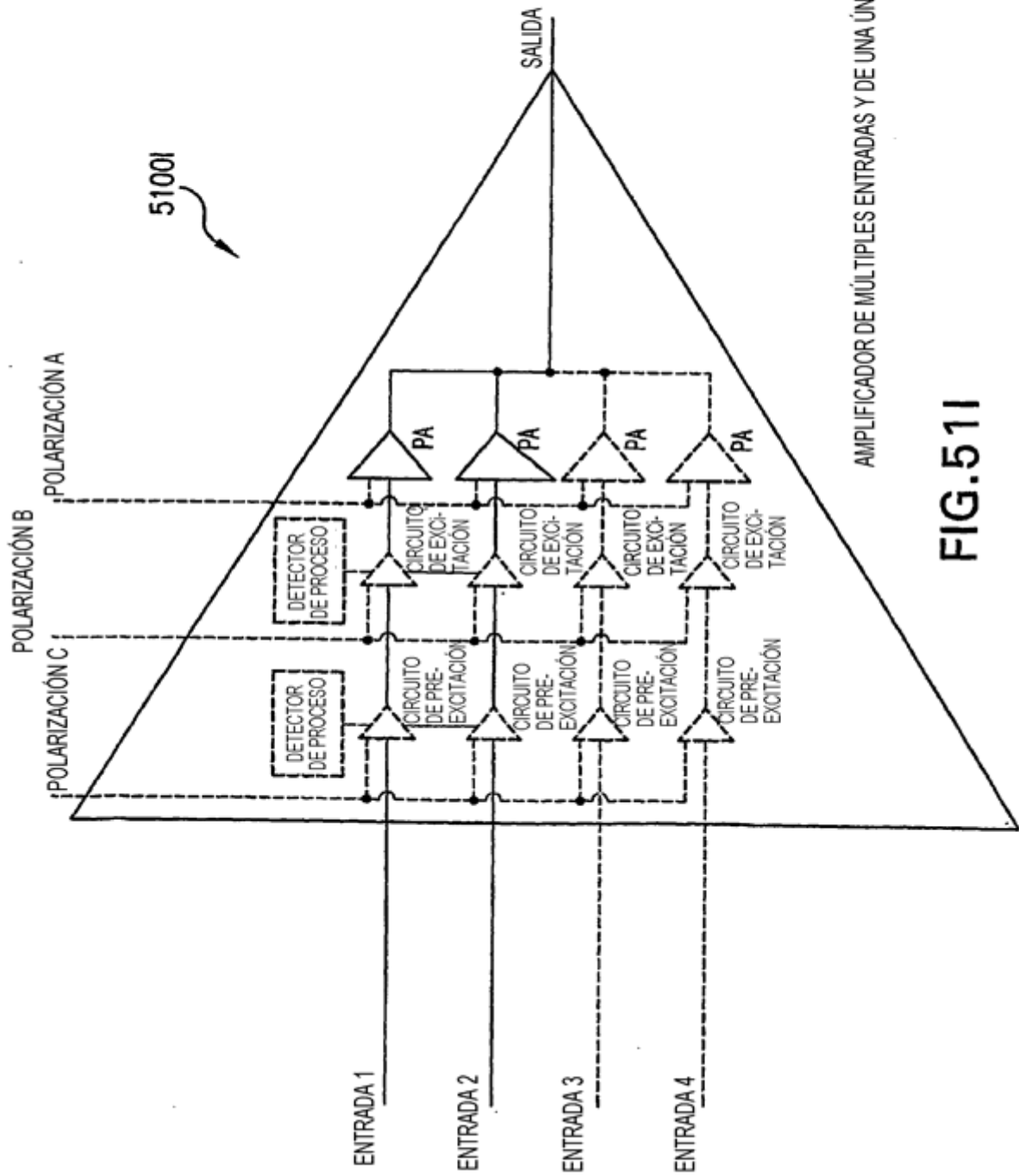


FIG.51G



AMPLIFICADOR DE MÚLTIPLES ENTRADAS DE 2 ENTRADAS Y DE UNA ÚNICA SALIDA
CON CIRCUITO DE PRE-EXCITACION Y CIRCUITO DE EXCITACION OPCIONALES

FIG.51H



AMPLIFICADOR DE MÚLTIPLES ENTRADAS Y DE UNA ÚNICA SALIDA

FIG.51I