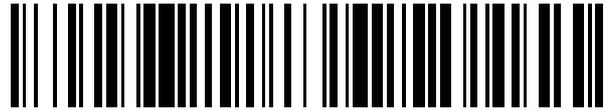


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 433 674**

51 Int. Cl.:

H04K 3/00

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **27.04.2012 E 12002958 (2)**

97 Fecha y número de publicación de la concesión europea: **28.08.2013 EP 2525519**

54 Título: **Procedimiento para sincronizar emisores de interferencia**

30 Prioridad:

17.05.2011 DE 102011101712

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

12.12.2013

73 Titular/es:

**EADS DEUTSCHLAND GMBH (100.0%)
Willy-Messerschmidt-Strasse 1
85521 Ottobrunn, DE**

72 Inventor/es:

**MIETZNER, JAN DR.;
NICKEL, PATRICK y
MEUSLING, ASKOLD, DR.**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 433 674 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento para sincronizar emisores de interferencia.

La invención se refiere a un procedimiento para la sincronización temporal de emisores de interferencia según las características de la reivindicación 1.

5 En general los emisores de interferencia para señales de radio hacen que sea difícil o imposible la recepción correcta de mensajes por radio. Los emisores de interferencia, como los emisores a ser interferidos, emiten energía en forma de ondas electromagnéticas que se superponen total o parcialmente a las ondas originales. Pueden trabajar a la misma frecuencia central que el receptor interferido o a una frecuencia central colindante. Asimismo son importantes las intensidades de campo, la modulación de la señal de interferencia, así como la del mensaje interferido.

10 Por el documento DE 10 2008 038 315 A1 es conocido un procedimiento que posibilita una interferencia eficaz y segura de una señal objetivo dentro de límites predefinidos geográficamente.

15 Por el documento US 2006/0153281 A1 son conocidos dispositivos de interferencia que comprenden un dispositivo de detección para la detección de una señal objetivo que es intercambiada entre un dispositivo emisor y un dispositivo receptor, y un dispositivo de interferencia que tras la detección de una señal objetivo a ser interferida, la interfiere. Estos sistemas se denominan también sistemas de interferencia reactivos.

20 Los emisores de interferencia de "lazo abierto" convencionales, por el contrario, emiten señales de interferencia continuamente en bandas de frecuencia predefinidas, independientemente de si allí existe o no en ese momento actividad de señal. Por tanto, los sistemas de interferencia reactivos conducen por regla general a una eficacia de interferencia notablemente mejorada en comparación con los emisores de interferencia de "lazo abierto".

25 Los sistemas de interferencia reactivos comprueban el espectro de frecuencias recibido en primer lugar en cuanto a señales potencialmente peligrosas y después emiten señales de interferencia con el objetivo de interrumpir las comunicaciones reconocidas. Asimismo los ciclos entre la observación y evaluación del espectro hasta la emisión de las señales de interferencia correspondientes son relativamente cortos. Los sistemas de interferencia reactivos se emplean entre otros casos en vehículos móviles para la protección de convoyes frente a trampas explosivas explosionadas a distancia por radio. Si varios sistemas de interferencia reactivos marchan dentro de un convoy, entonces las fases de búsqueda (LT), es decir las fases de los sistemas de interferencia individuales en las que los sistemas de interferencia exploran un espectro de frecuencias predeterminado en cuanto a señales potencialmente peligrosas, son sincronizadas temporalmente (véase por ejemplo el documento US 2009/061759 A1). Si no los sistemas de interferencia reaccionarían a las señales de interferencia emitidas por los otros sistemas de interferencia respectivos, en lugar de concentrar sus recursos en señales de amenaza reales (el llamado efecto "Ring-Around").

30 El objeto de la invención es indicar un procedimiento para la sincronización de varios sistemas de interferencia reactivos juntos en un convoy.

35 Este objeto se lleva a cabo con las características de la reivindicación principal 1. Realizaciones ventajosas de la invención son objeto de otras reivindicaciones subordinadas.

Según la invención para la sincronización temporal de varios emisores de interferencia cooperantes uno o varios emisores de interferencia son conmutados desde un modo de interferencia a un modo de sincronización, comprendiendo el modo de interferencia de un emisor de interferencia una secuencia continua de ciclos de interferencia con un patrón de tiempos predeterminado. La conmutación se realiza según las siguientes etapas:

- 40
- emisión de una primera señal de sincronización con una duración T_1 y con una frecuencia f_a predefinible,
 - los emisores de interferencia reactivos cooperantes, en caso de detección de la señal de sincronización en la fase LT, cambian a un ciclo de sincronización, comprendiendo el ciclo de sincronización una secuencia de un número predefinible de fases LT sucesivas
 - emisión de una segunda señal de sincronización con una duración T_2 y con una frecuencia f_b predefinible,
- 45
- los emisores de interferencia reactivos cooperantes estiman la posición temporal t_0 del instante de conmutación de la segunda señal de sincronización evaluando el nivel de potencia espectral de la segunda señal de sincronización medido en una o varias fases LT sucesivas,
 - los emisores de interferencia reactivos cooperantes se sincronizan, siendo usada la posición temporal t_0 como un punto de referencia común para el patrón temporal del ciclo de interferencia

50 El procedimiento según la invención sirve para la sincronización temporal de dos o más sistemas de interferencia de radio reactivos móviles para la protección de convoyes o vehículos individuales frente a bombas explosionadas a distancia por radio. Un sistema de interferencia reactivo de este tipo explora regularmente en banda ancha el espectro de frecuencias – durante las fases LT- para reconocer señales de amenaza potencial. Además durante una fase de cálculo separada, preferentemente en tiempo real, es realizado un análisis espectral de la banda de frecuencias que interese. En la fase de interferencia que le sigue, el sistema de interferencia reacciona con señales

de interferencia correspondientes para impedir la posible activación de una bomba explosionada a distancia por radio en las proximidades del convoy o vehículo individual a ser protegido.

En caso de varios de emisores de interferencia reactivos que son activos en grupo, por ejemplo un convoy, es esencial una sincronización temporal. De lo contrario se produce un efecto "Ring-Around", en el que los sistemas de interferencia individuales reaccionan a las señales de interferencia de los otros sistemas de interferencia respectivos, en lugar de concentrar sus recursos en señales de amenaza real (ya que durante sus fases LT detectan las señales de interferencia de los otros emisores de interferencia). Para evitar el efecto "Ring-Around" todos los emisores de interferencia reactivos cooperantes que participan usan la misma duración de una fase LT o la misma duración de una fase de interferencia. El escenario de uso en el que se mueven varios sistemas de interferencia móviles dentro de un convoy a ser protegido, se puede ver en la Fig. 1. El convoy está formado, por ejemplo, por una pluralidad de vehículos F, estando equipados algunos vehículos con un emisor de interferencia reactivo S. Los propios emisores de interferencia S comprenden varios dispositivos de emisión y recepción para la emisión de señales de interferencia o para la exploración del espectro de frecuencias recibido.

La invención se explicará en detalle a continuación en virtud de las figuras. Muestran:

- 15 Fig. 1, un convoy de vehículos a modo de ejemplo con varios sistemas de interferencia móviles para la protección frente a bombas explosionadas a distancia por radio,
- Fig. 2, sucesión a modo de ejemplo de fases LT-cálculo y fases de interferencia
 - a) en el modo de operación normal
 - b) con cambio de corta duración al ciclo de sincronización
- 20 Fig. 3, representación a modo de ejemplo del curso de un ciclo de sincronización,
- Fig. 4, representación a modo de ejemplo de un procesamiento de señal digital en la rama de recepción de un emisor de interferencia reactivo.

El procedimiento según la invención aprovecha las fases LT, así como el análisis espectral en las ramas de recepción de los sistemas de interferencia reactivos. La base es así una señal de sincronización que se sitúa convenientemente dentro de los anchos de banda de exploración de todos los sistemas de interferencia que intervienen. Convenientemente esta señal de sincronización es enviada por un emisor de interferencia reactivo cooperante seleccionado como emisor piloto o un emisor separado. Por emisor separado se entiende aquí un emisor que o bien se encuentre fuera del convoy o bien dentro del convoy, pero sin la misión de emitir interferencia.

Para la conmutación al modo de sincronización y para la activación de la sincronización son emitidas por el emisor piloto dos señales de sincronización. La primera activación del emisor piloto, es decir, la emisión de la primera señal de sincronización, se realiza a una frecuencia fija conocida f_a y señala, respectivamente, el inicio de un nuevo ciclo de sincronización. El modo de operación normal de los sistemas de interferencia reactivos está caracterizado por el cambio continuo entre las fases LT (más fases de cálculo) y las fases de interferencia (véase la Fig. 2a). Tan pronto como es señalizada la conmutación al modo de sincronización por la activación por primera vez del emisor piloto, los sistemas de interferencia reactivos intervinientes cambian brevemente a un ciclo de sincronización especial (véase la Fig. 2b) que contiene varias fases LT sucesivas (sin lagunas temporales, es decir las fases de cálculo deben ser procesadas en paralelo a las fases LT). El modo de interferencia normal es por tanto interrumpido únicamente de forma temporal.

En las figuras 2a y 2b las fases de interferencia se designan con "b", las fases LT con "o" y las fases de cálculo con "g".

La segunda activación del emisor piloto se realiza igualmente con una frecuencia fija conocida f_b y sirve para la sincronización temporal propiamente dicha de los sistemas de interferencia reactivos individuales. Para ello, los emisores de interferencia reactivos intervinientes examinan el nivel de potencia espectral de la portadora piloto durante las fases LT sucesivas y estiman basándose en ello la posición temporal exacta t_0 del franco de conmutación de la segunda señal de sincronización. Este sirve entonces como punto de referencia para el patrón temporal nominal de las fases LT-cálculo y fases de interferencia. Con este patrón se sincronizan finalmente todos los sistemas de interferencia reactivos, adaptando correspondientemente las longitudes de la siguiente fase de interferencia. El curso propuesto para la sincronización temporal está representado esquemáticamente en la Fig. 3.

La primera y la segunda señales de sincronización pueden ser proporcionadas procediendo de una fuente separada o desde uno de los emisores de interferencia reactivos intervinientes.

El número de fases LT dentro de un ciclo de sincronización puede ser fijo o parametrizable.

Para la realización de los ciclos de sincronización individuales puede ser empleado por ejemplo un plan de desarrollo fijo que se oriente según la deriva temporal esperada de los emisores de interferencia reactivos

intervinientes. Alternativamente los ciclos de sincronización pueden también ser iniciados según sea necesario, suponiendo que exista un mecanismo de control adecuado que supervise la sincronización temporal de todos los emisores de interferencia reactivos.

5 En una forma de realización de la invención pueden ser realizados varios ciclos de sincronización en una sucesión rápida, de manera que también se puedan sincronizar aquellos emisores de interferencia reactivos que no pudieron detectar la señal de inicio del primer ciclo de sincronización- ya sea por motivo de condiciones de propagación destructivas o por motivo de una posición desfavorable de la fase LT. El número de ciclos de sincronización en sucesión rápida puede así ser parametrizable o regulable dinámicamente.

10 La frecuencia f_b de la segunda señal de sincronización que es empleada en la segunda activación del emisor piloto puede ser igual o diferente a la frecuencia f_a de la primera señal de sincronización. La última variante posibilita a los emisores de interferencia reactivos intervinientes diferenciar la señal de inicio de un nuevo ciclo de sincronización de la señal de sincronización propiamente dicha.

15 La duración T_1 , durante la que la primera señal de sincronización es enviada a la frecuencia f_a , puede ser elegida para que los emisores de interferencia reactivos intervinientes puedan ser detectados con una posición temporal deseada de su fase LT. En este caso T_1 depende de la duración de interferencia empleada.

El retardo ΔT , con el que es enviada la segunda señal de sincronización a la frecuencia f_b tras el fin de la primera señal de sincronización, puede ser coordinado con la longitud total de las fases LT empleadas en el ciclo de sincronización. De esta forma se puede asegurar que cada uno de los emisores de interferencia reactivos intervinientes puede detectar el flanco de conmutación dentro de sus fases LT sucesivas.

20 A continuación se explicará en detalle el procedimiento según la invención en un ejemplo. En él, la primera y la segunda señales de sincronización, denominadas a continuación por el sinónimo señal piloto, son proporcionadas por uno de los emisores de interferencia reactivos intervinientes. Es decir, al principio de la misión un emisor de interferencia en el convoy es definido como un emisor de interferencia llamado "maestro". En la estimación de la posición del flanco de conmutación t_0 de la segunda señal de sincronización se elige un procedimiento que se pueda
25 implementar de forma especialmente fácil.

La señal piloto del emisor de interferencia maestro se basa en el mismo generador de señal interno que es empleado también para la generación de las señales de interferencia ("excitador"). Esto permite una implementación especialmente con poco esfuerzo del procedimiento según la invención para la conmutación del modo de interferencia a un modo de sincronización. Tan pronto como deba ser terminado un ciclo de sincronización, el emisor de interferencia maestro reserva uno de sus excitadores para la señal piloto ("excitador piloto"). Este ya no está disponible para el modo de interferencia reactivo (debido a la frecuencia fija f_a). Para iniciar el ciclo de sincronización el emisor de interferencia maestro activa la señal piloto, es decir, es enviada la primera señal de sincronización para una fase de interferencia completa (es decir T_1 corresponde en este caso a la duración de interferencia empleada, véase la Fig. 3). En la siguiente fase de interferencia es enviada la señal piloto (segunda señal de sincronización) para la sincronización propiamente dicha (es decir, ΔT corresponde a la suma de la duración de las etapas LT y cálculo).
30
35

Las determinaciones anteriores tienen las siguientes consecuencias:

- 40 – puesto que el emisor de interferencia maestro durante todo el ciclo de sincronización emplea el patrón convencional de las fases LT/cálculo y fases de interferencia, el modo de interferencia puede ser prolongado invariable en base al excitador que queda. El emisor de interferencia maestro puede, por tanto, realizar al menos una protección parcial, mientras que el resto de emisores de interferencia reactivos ("emisores de interferencia esclavos") interrumpen brevemente su modo de interferencia normal (véase la Fig. 2b ó la Fig. 3) para cambiar al modo de sincronización,
- 45 – el flanco de conmutación de la señal piloto se sitúa tanto en la primera activación como en la segunda en el patrón de tiempos nominal para las fases LT-/cálculo y fases de interferencia. Por tanto, no es necesario que los emisores de interferencia "esclavos", es decir los restantes sistemas de interferencia reactivos cooperantes en el convoy, deban poder distinguir la señal de inicio de la señal de sincronización propiamente dicha. Se puede elegir, por tanto, para la segunda activación de la señal piloto la misma frecuencia que para la primera activación ($f_a = f_b$),
- 50 – La Fig. 3 muestra un ejemplo de una sincronización grosera como puede ser realizada por ejemplo al inicio de una misión. Por el contrario, durante el curso del funcionamiento por regla general será necesaria únicamente una sincronización fina. En este caso las fases LT de los emisores de interferencia esclavos sucesivas representadas en la Fig. 3 pueden ser sustituidas parcialmente por otra fase de interferencia (inmediatamente al inicio del ciclo de sincronización). De esta forma la interrupción del funcionamiento de interferencia normal en los emisores de interferencia esclavos se acorta aún más. El número de fases LT sucesivas empleado durante la sincronización fina- denominado en lo que sigue N- se adecúa así según la deriva temporal esperada de los emisores de interferencia intervinientes. Durante un ciclo de sincronización resulta para los emisores de interferencia esclavos dependiendo del parámetro N una limitación porcentual del funcionamiento de interferencia normal de
55

$$\frac{NT_{LT}}{T_{Jam}} \cdot 100\%$$

($NT_{LT} < T_{Jam}$), donde T_{LT} designa la duración de la fase LT y T_{Jam} la duración de la fase de interferencia. Típicamente la fase de interferencia es considerablemente más larga que la fase LT, por ejemplo $T_{Jam} = 10T_{LT}$. Por tanto, resultan por ejemplo para $N=3$ valores típicos del 30%. Esta limitación del funcionamiento de interferencia se refiere solo a un único ciclo LT/interferencia de los emisores de interferencia esclavos.

- para permitir a todos los emisores de interferencia esclavos la posibilidad de sincronización (incluso a aquellos cuya fase LT coincide por ejemplo con la fase de cálculo del emisor de interferencia maestro), pueden ser realizados por sincronización varios ciclos de sincronización sucesivos, bajo ciertas circunstancias con una duración de interferencia del emisor de interferencia maestro que varíe ligeramente. Esto puede realizarse por ejemplo si el emisor de interferencia maestro constata que tras el primer ciclo de sincronización no todos los emisores de interferencia esclavos pudieron sincronizarse con suficiente exactitud.

Para la sincronización temporal propiamente dicha (en la segunda activación de la señal piloto) los emisores de interferencia esclavos emplean el mismo procesamiento de señal que es empleado también para el análisis de señales de amenaza potencial. A semejanza del emisor de interferencia maestro esto permite una implementación con bastante poco esfuerzo del mecanismo de sincronización. Una cadena de procesamiento de señal digital correspondiente está representada en la Fig. 4. Contiene típicamente en esencia los bloques “filtrado digital”, “división en ventanas” y “análisis espectral” (por ejemplo en base a una transformada rápida de Fourier (TRF)).

Para la sincronización temporal los emisores de interferencia esclavos examinan el espectro de la segunda señal piloto emitida por el emisor de interferencia maestro y estiman en base al nivel de potencia espectral (elevación al cuadrado del espectro TRF calculado) su instante inicial t_0 . Para ello determinan en primer lugar en cuál de las fases LT sucesivas se sitúa el flanco de conmutación de la señal piloto (véase la Fig. 3). Esto se puede realizar por ejemplo encontrando una secuencia de tres fases LT sucesivas en las que la señal piloto en primer lugar no esté (primera fase LT), en la segunda fase LT presente un nivel de potencia medio y en la tercera fase LT posea un nivel de potencia máximo. El flanco de conmutación se sitúa entonces en la fase LT central. En base al nivel de potencia espectral exacto en la fase LT central es estimada entonces la posición exacta del flanco de conmutación. Para ello se aprovecha el hecho de que cuanto mayor resulta el nivel de potencia espectral, más grande es la porción activa de la señal piloto durante la fase LT.

La curva característica para la relación entre el nivel de potencia espectral y la porción de tiempo de la señal piloto activa depende fuertemente de la función de ventana empleada, así como de la frecuencia piloto empleada. Esta curva característica puede ser adoptada por ejemplo en el estadio de implementación del procedimiento de sincronización según la invención. En el curso del funcionamiento la estimación del instante inicial t_0 se realiza entonces en base a una simple comparación del nivel de potencia observado sobre la curva característica, lo que implica un esfuerzo de implementación muy pequeño. Basándose en la estimación del instante inicial t_0 se realiza finalmente la sincronización temporal con el emisor de interferencia maestro, como de describió.

Los emisores de interferencia maestros (así como también los otros emisores de interferencia) disponen, respectivamente, de varios excitadores para producir interferencia en señales objetivo. El procedimiento de sincronización según la invención está adaptado a las restricciones en un grupo de emisores de interferencia reactivos.

En particular

- el emisor de interferencia maestro mantiene lo más ampliamente posible su modo de interferencia durante el ciclo de sincronización, mientras que para los emisores de interferencia esclavos la limitación de modo de interferencia normal se restringe a un mínimo,
- el procedimiento se basa en gran parte en el procesamiento de señal existente de un emisor de interferencia reactivo, lo que mantiene pequeño el esfuerzo de implementación adicional,
- se emplea para la estimación del retardo de tiempo un método muy sencillo, lo que es ventajoso en cuanto a una implementación en tiempo real,
- el emisor de interferencia maestro precisa únicamente un solo excitador para los fines de sincronización (excitador piloto), con lo que también está garantizada una alta eficacia de interferencia incluso en el modo de sincronización.

REIVINDICACIONES

- 5 1. Procedimiento para la sincronización temporal de varios emisores de interferencia reactivos cooperantes para interferir una o varias señales objetivo, caracterizado porque para la sincronización temporal uno o varios emisores de interferencia son conmutados de un modo de interferencia a un modo de sincronización, comprendiendo el modo de interferencia de un emisor de interferencia una secuencia continua de ciclos de interferencia con un patrón de tiempos predeterminado, comprendiendo cada ciclo de interferencia una fase de búsqueda (LT) para la detección de una o varias señales objetivo, una fase de cálculo para calcular las señales de interferencia correspondientes y una fase de interferencia para la emisión de señales de interferencia, en el que la conmutación al modo de sincronización se realiza por las siguientes etapas:
- 10
- emisión de una primera señal de sincronización con una duración T_1 y con una frecuencia f_a predefinible,
 - los emisores de interferencia reactivos cooperantes en caso de detección de la señal de sincronización en la fase LT cambian a un ciclo de sincronización, comprendiendo el ciclo de sincronización una secuencia de un número predefinible de fases LT sucesivas

15

 - emisión de una segunda señal de sincronización con una duración T_2 y con una frecuencia f_b predefinible,
 - los emisores de interferencia reactivos cooperantes estiman la posición temporal t_0 del instante de conmutación de la segunda señal de sincronización evaluando el nivel de potencia espectral de la segunda señal de sincronización medido en una o más fases LT sucesivas,

20

 - los emisores de interferencia reactivos cooperantes se sincronizan, siendo usada la posición temporal t_0 como un punto de referencia común para el patrón temporal del ciclo de interferencia.
2. Procedimiento según la reivindicación 1, caracterizado por que la primera y la segunda señales de sincronización son emitidas por un emisor de interferencia reactivo cooperante seleccionado como el emisor piloto o por un emisor separado.
- 25 3. Procedimiento según una de las reivindicaciones 1 ó 2, caracterizado por que la frecuencia f_a de la primera señal de sincronización es igual o diferente a la frecuencia f_b de la segunda señal de sincronización.
4. Procedimiento según una de las reivindicaciones anteriores, caracterizado por que la segunda señal de sincronización es emitida con un retardo ΔT después del instante de desconexión de la primera señal de sincronización.
- 30 5. Procedimiento según una de las reivindicaciones anteriores, caracterizado por que la duración T_1 de la primera señal de sincronización es mayor o igual a la duración temporal de un ciclo de interferencia.
6. Procedimiento según una de las reivindicaciones anteriores, caracterizado por que la duración de la fase LT y la duración de la fase de interferencia son iguales para todos los emisores de interferencia cooperantes.
- 35 7. Procedimiento según una de las reivindicaciones anteriores, caracterizado por que la primera y segunda señales de sincronización están dentro de un rango de frecuencias que puede ser detectado durante las fases de búsqueda de los sistemas de interferencia implicados.
8. Procedimiento según una de las reivindicaciones anteriores, caracterizado por que pueden ser realizados varios ciclos de sincronización en una sucesión rápida.
9. Procedimiento según una de las reivindicaciones anteriores, caracterizado por que son realizados varios ciclos de sincronización sucesivamente o por que los ciclos de sincronización son realizados según sea necesario.

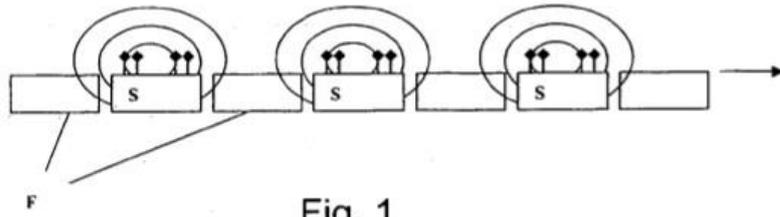


Fig. 1

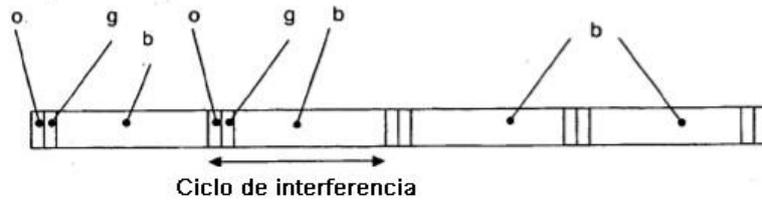


Fig. 2a

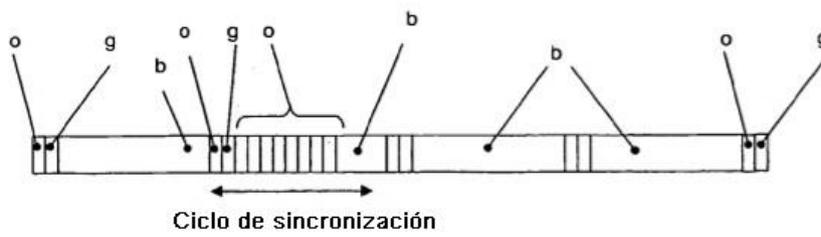


Fig. 2b

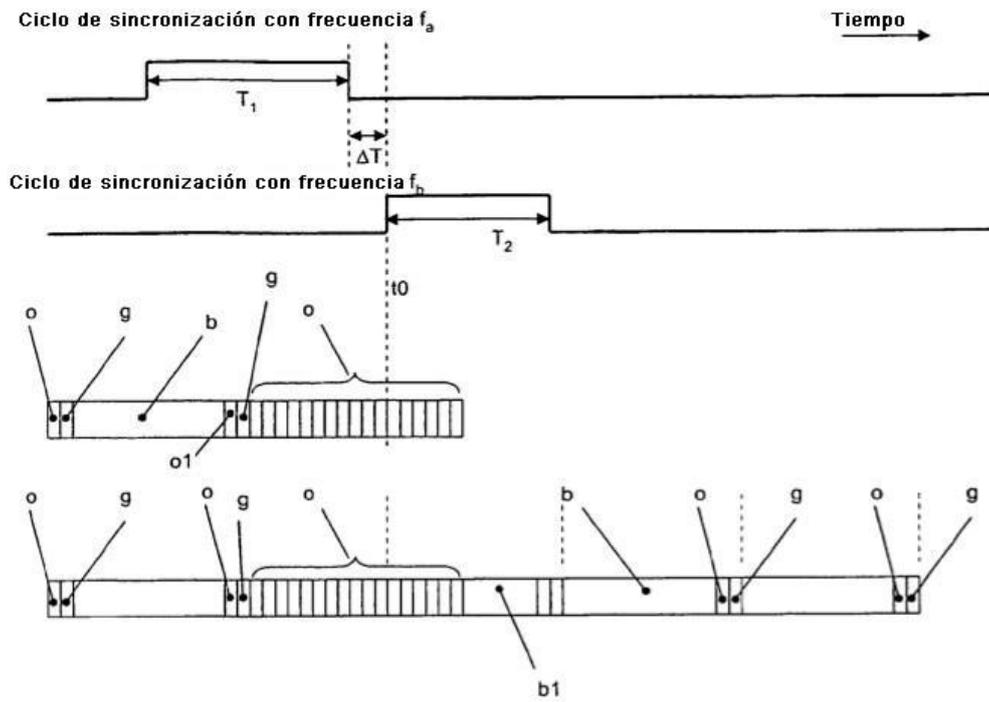


Fig. 3

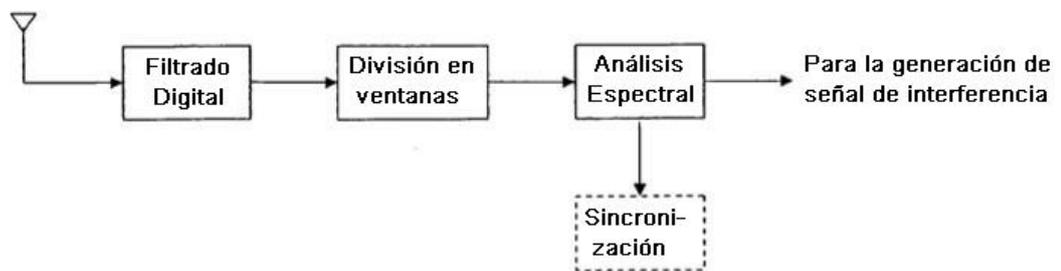


Fig. 4