

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 434 316**

51 Int. Cl.:

H03K 19/177 (2006.01)

G11C 11/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **31.03.2008** **E 12160348 (4)**

97 Fecha y número de publicación de la concesión europea: **11.09.2013** **EP 2469713**

54 Título: **Lógica programable por software utilizando dispositivos magnetorresistivos de par de transferencia de espín**

30 Prioridad:

29.03.2007 US 908767 P

26.03.2008 US 55794

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

16.12.2013

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)

5775 Morehouse Drive

San Diego, CA 92121-1714, US

72 Inventor/es:

CHUA-EOAN, LEW G.;

NORWAK, MATTHEW MICHAEL y

KANG, SEUNG H.

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 434 316 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Lógica programable por software utilizando dispositivos magnetorresistivos de par de transferencia de espín

Campo de la Divulgación

- 5 Las realizaciones de la invención están relacionadas con una formación de lógica programable (PLA) o una formación de puertas programable in-situ (FPGA). Más específicamente, las realizaciones de la invención están relacionadas con una PLA, una FPGA o una lógica programable por software que usa tecnología de memoria de acceso aleatorio magnetorresistiva de par de transferencia de espín.

Antecedentes

- 10 Una formación de puertas programable in-situ es un dispositivo semiconductor, que incluye componentes lógicos programables denominados "bloques lógicos" e interconexiones programables. Los bloques lógicos se pueden programar para llevar a cabo la función de puertas lógicas básicas, tales como AND y XOR, o funciones combinatorias más complejas, tales como descodificadores o funciones matemáticas simples. En la mayoría de las FPGA, los bloques lógicos también incluyen elementos de memoria, que pueden ser sencillos circuitos biestables o bloques más completos de memorias. Una jerarquía de interconexiones programables permite que los bloques
- 15 lógicos sean interconectados, según las necesidades, por el diseñador del sistema. Después de fabricar la FPGA, el diseñador del sistema puede usar la programación para implementar muchas funciones lógicas diferentes, haciendo de este modo que el dispositivo sea "programable in-situ".

- 20 Una PLA es similar a una FPGA, salvo que la PLA es modificada, o "programada", en la etapa de fabricación de los circuitos integrados, por cambios en una o dos máscaras. Como se describe en la patente estadounidense nº 5.959.465, una PLA que tiene elementos de memoria EPROM ultrarrápida está generalmente compuesta por dos planos lógicos, un plano de entrada y un plano de salida. Cada plano recibe entradas que se aplican a terminales de puerta de transistores dentro del plano lógico, y proporciona salidas a nodos de salida. Las entradas al plano de entrada son las entradas a la PLA. Las salidas del plano de entrada son nodos intermedios. Las entradas al plano de salida están conectadas con los nodos intermedios. Las salidas del plano de salida son las salidas de la PLA. El
- 25 plano de entrada pueden proporcionar una función AND y el plano de salida puede proporcionar una función OR. Alternativamente, ambos planos pueden proporcionar una función NOR. Estas funciones están definidas por el tipo y la conectividad de los transistores usados y las señales aplicadas a sus puertas. La configuración NOR-NOR tiene ventajas particulares en cuanto a que es la más sencilla de implementar en la lógica de CMOS. Las etapas NOR tienen un cierto número de transistores idéntico al número de entradas conectadas en paralelo. El añadido de
- 30 transistores paralelos adicionales para asimilar entradas adicionales no afecta a la velocidad operativa de la etapa.

- La patente estadounidense 6.876.228 describe una FPGA con elementos magnéticos de almacenamiento, o células de memoria, conocidos como Memorias magnetorresistivas de acceso aleatorio (MRAM). La información de conexión se escribe en los elementos magnéticos de almacenamiento. La información de conexión se introduce en serie y se almacena en registros de desplazamiento, que corresponden a los elementos magnéticos de
- 35 almacenamiento. Cuando se enciende la alimentación, la información de conexión almacenada en los elementos magnéticos de almacenamiento es bloqueada por los elementos de cierre, y es emitida a los circuitos de conmutación para interconectar los bloques lógicos de la FPGA.

- La memoria magnetorresistiva de acceso aleatorio (MRAM) es una tecnología de memoria no volátil que tiene tiempos de respuesta (lectura / escritura) comparables con la memoria volátil. Contrariamente a las tecnologías de RAM convencionales que almacenan datos como cargas eléctricas o flujos de corriente, la MRAM usa elementos magnéticos. Como se ilustra en las figuras 1A y 1B, un elemento 105 de almacenamiento de empalme de túnel magnético (MTJ) se puede formar a partir de dos capas magnéticas 10 y 30, cada una de las cuales puede contener un campo magnético, separadas por una capa aislante 20 (barrera de túnel). Una de las dos capas (por ejemplo, la
- 40 capa fija 10) está fijada en una polaridad específica. La polaridad 32 de la otra capa (p. ej., la capa libre 30) es libre de cambiar para coincidir con la de un campo externo que pueda aplicarse. Un cambio en la polaridad 32 de la capa libre 30 cambiará la resistencia del elemento 105 de almacenamiento de MTJ. Por ejemplo, cuando las polaridades están alineadas, Fig. 1A, existe un estado de baja resistencia. Cuando las polaridades no están alineadas, Fig. 1B, entonces existe un estado de alta resistencia. La ilustración del MTJ 105 se ha simplificado y los expertos en la técnica apreciarán que cada capa ilustrada puede comprender una o más capas de materiales, como es conocido en
- 50 la técnica.

- El documento "Integration of Spin-RAM technology in FPGA circuits" ["Integración de tecnología de RAM-Espín en circuitos de FPGA"] (ZHAO W et al, 1 de octubre de 2006, ISBN: 978-1-4244-0160-4) describe un circuito de FPGA no volátil basado en tecnología de RAM-Espín. En este diseño de FPGA no volátil, los Empalmes de Túnel Magnético son usados como elementos de almacenamiento, y un sencillo amplificador sensor basado en memoria
- 55 SRAM acopla dos MTJ por bit.

Resumen

Las realizaciones ejemplares de la invención están dirigidas a sistemas, circuitos y procedimientos para lógica programable por software que usen tecnología magnetorresistiva de par de transferencia de espín.

Los aspectos de la invención están expuestos en las reivindicaciones independientes adjuntas.

- 5 Un ejemplo incluye una formación lógica programable, que comprende una pluralidad de dispositivos de empalme de túnel magnético (MTJ) de par de transferencia de espín, dispuestos en una formación; y una pluralidad de fuentes programables acopladas con los correspondientes dispositivos de MTJ para cambiar la polaridad de una capa libre de cada dispositivo de MTJ; en la cual un primer grupo de los dispositivos de MTJ están dispuestos en un plano de entrada, en la cual un segundo grupo de los dispositivos de MTJ están dispuestos en un plano de salida, y en la cual
10 el plano de entrada y el plano de salida están combinados para formar una función lógica basada en las polaridades relativas de la capa libre de cada dispositivo de MTJ.

- Otro ejemplo incluye un procedimiento para implementar lógica en una formación que comprende: programar cada uno entre una pluralidad de dispositivos de empalme de túnel magnético (MTJ) de par de transferencia de espín, dispuestos en una formación en un estado de resistencia alta o baja, en el cual cada dispositivo de MTJ está
15 programado por una primera fuente programable acoplada con un sector de capa libre de un dispositivo de MTJ seleccionado y una fuente programable acoplada con una capa fija del dispositivo de MTJ seleccionado; disponer un primer grupo de los dispositivos de MTJ en columnas y filas de un plano de entrada; disponer un grupo de los dispositivos de MTJ en al menos una columna en un plano de salida, en donde las salidas de cada fila están acopladas con los dispositivos de MTJ en dicha al menos una columna; y determinar una función lógica basada en
20 las resistencias relativas de cada dispositivo de MTJ.

Breve descripción de los dibujos

Los dibujos adjuntos se presentan para ayudar en la descripción de las realizaciones de la invención y se proporcionan solamente como ilustración de las realizaciones, y no como limitación de las mismas.

- 25 Las Figs. 1A y 1B son ilustraciones de elementos de almacenamiento de empalme de túnel magnético (MTJ) y sus estados relacionados.
Las Figs. 1C y 1D son ilustraciones de células de bits de memoria de acceso aleatorio magnetorresistiva de par de transferencia de espín (STT-MRAM).
La Fig. 2 es una ilustración de una lógica programable por software que tiene un plano de entrada AND y un plano de salida OR que usa tecnología magnetorresistiva de par de transferencia de espín.
30 La Fig. 3A es una ilustración de lógica programable por software que tiene un plano de entrada NOR y un plano de salida NOR.
La Fig. 3B es una ilustración de una implementación a nivel de puerta de la lógica programable NOR – NOR.
La Fig. 4A es una ilustración esquemática de filas de la formación de la Fig. 3 que usa tecnología magnetorresistiva de par de transferencia de espín.
35 La Fig. 4B es una ilustración de un circuito equivalente del esquema de la Fig. 4A.
La Fig. 5 es una ilustración de la programación de las células individuales de memoria en una formación lógica.
La Fig. 6A ilustra un ejemplo del circuito de entrada para una formación lógica programable y reconfigurable que usa tecnología magnetorresistiva de par de transferencia de espín.
La Fig. 6B ilustra un ejemplo de una fuente de alimentación conmutable usada en el circuito de la Fig. 6A.
40 La Fig. 7 es un diagrama que ilustra varios niveles de voltaje para señales para una configuración AND.

Descripción detallada

- Aspectos de realizaciones de la invención son divulgados en la siguiente descripción y los dibujos relacionados dirigidos a realizaciones específicos de la invención. Realizaciones alternativas pueden ser ideadas sin apartarse del alcance de la invención. Asimismo, elementos bien conocidos de la invención no se describirán en detalle o serán
45 omitidos, para no ocultar detalles relevantes de las realizaciones de la invención.

- La palabra “ejemplar” se usa en el presente documento para significar “que sirve de ejemplo, caso o ilustración”. Cualquier realización descrita en el presente documento como “ejemplar” no ha de ser necesariamente interpretada como preferida o ventajosa respecto de otras realizaciones. Asimismo, el término “realizaciones de la invención” no requiere que todas las realizaciones de la invención incluyan la característica, ventaja o modalidad de operación
50 mencionados.

- Realizaciones de la invención usan elementos de memoria de acceso aleatorio magnetorresistivos de par de transferencia de espín (STT-MRAM), para formar parte de la formación lógica. La STT-MRAM usa electrones que se polarizan por espín a medida que los electrones pasan a través de una película fina (filtro de espín). La STT-MRAM también es conocida como RAM de par de transferencia de espín (STT-RAM), RAM de conmutación de magnetización de transferencia de par de torsión de espín (SPIN-RAM), y RAM de transferencia de momento de espín (SMT-RAM). Durante la operación de escritura, los electrones polarizados por espín ejercen un par de torsión sobre la capa libre, lo que puede conmutar la polaridad de la capa libre. La operación de lectura es similar a la de la

MRAM convencional en cuanto a que se usa una corriente para detectar el estado de resistencia / lógico del elemento de almacenamiento de MTJ, como se ha mencionado en lo que antecede.

Con referencia ahora a la figura 1C, un ejemplo de una célula 100 de bits de STT-MRAM se ilustra para asistir en la explicación de la programación del MTJ 105. La célula 100 de bits de STT-MRAM incluye el MTJ 105, el transistor 110, la línea 120 de bits y la línea 130 de palabras. El transistor 110 está encendido tanto para las operaciones de lectura como para las de escritura, para permitir que la corriente fluya a través del MTJ 105, de modo que el estado lógico se pueda leer o escribir. El estado lógico del MTJ 105 en la STT-MRAM está escrito eléctricamente, contrariamente a una escritura magnética en la MRAM convencional.

Con referencia a la figura 1D, se ilustra un diagrama más detallado de una célula 101 de STT-MRAM, para una exposición adicional de las operaciones de lectura / escritura. Además de los elementos previamente mencionados, tales como el MTJ 105, se ilustran el transistor 110, la línea 120 de bits y la línea 130 de palabras, una línea 140 de fuente, el amplificador sensor 150, los circuitos 160 de lectura / escritura y la referencia 170 de la línea de bits. En contraste con la MRAM, la operación de escritura en una STT-MRAM es eléctrica. Los circuitos 160 de lectura / escritura generan un voltaje de escritura entre la línea 120 de bits y la línea 140 de fuente. Según la polaridad del voltaje entre la línea 120 de bits y la línea 140 de fuente, la polaridad de la capa libre del MTJ 105 puede cambiarse y, en consecuencia, el estado lógico puede escribirse en la célula 101. Asimismo, durante una operación de lectura, se genera una corriente de lectura, que fluye entre la línea 120 de bits y la línea 140 de fuente a través del MTJ 105. Cuando se permite que la corriente fluya por el transistor 110, la resistencia (estado lógico) del MTJ 105 puede determinarse basándose en el diferencial de voltaje entre la línea 120 de bits y la línea 140 de fuente, que se compara con una referencia 170, y a continuación es amplificada mediante el amplificador sensor 150. La operación y la construcción de la célula 101 de memoria son conocidas en la técnica. Se proporcionan detalles adicionales, por ejemplo, en el documento de M. Hosomi et al., "A novel Non-volatile Memory with spin Transfer Torque Magnetoresistive Magnetization Switching: Spin-RAM" ["Una novedosa memoria no volátil con conmutación de magnetización magnetorresistiva de par de transferencia de espín: RAM-Espín"], Anales de la conferencia IEDM (2005), que está incorporado en el presente documento por referencia en su totalidad.

Entre otros aspectos, realizaciones de la invención aprovechan las características de baja potencia, memoria estática y lectura / escritura eléctrica de la tecnología de STT expuesta anteriormente. Realizaciones de la invención proporcionan muchas características, que incluyen: hardware extensible; escalabilidad a través de generaciones de procesos, reconfigurabilidad; ausencia de inicialización; fuga baja en espera y retención de estado / programa; pequeñas dimensiones; y alta velocidad.

Por ejemplo, la aplicación ilustrada en la FIG. 2 admite la realización de una función compleja obtenida de componentes individuales lógicos y de memoria. Como se ilustra en la FIG. 2, la generación de funciones programables por software se puede conseguir usando las células de STT-MRAM del MTJ (por ejemplo, 210) en tándem con puertas de CMOS y conmutando las alimentaciones para admitir planos de "AND" (220) y "OR" (240) legibles y grabables. La topología de planos AND y OR facilita una construcción lógica completa. Por ejemplo, se puede realizar la función $F0_B = X0_B + X1_B$ (donde $_B$ indica el complemento de una señal lógica dada), como se ilustra. La salida $F0_B$ (250) recibe señales procedentes de los elementos de almacenamiento individuales del MTJ 210 acoplados en el plano AND 220, que está acoplado, a través de los controladores MUX 230 y un elemento de almacenamiento del MTJ 210, con el plano OR 240. El plano AND 220 puede incluir una o más líneas 222 de bits AND acopladas con elementos 210 individuales de almacenamiento de MTJ. Una pluralidad de líneas 222 de bits AND se pueden combinar para formar palabras de tamaños arbitrarios en bits. Asimismo, el plano OR 240 puede incluir una o más líneas 242 de bits OR, acopladas con elementos 210 de almacenamiento del MTJ y una pluralidad de líneas 242 de bits OR se pueden combinar para formar palabras de tamaños arbitrarios en bits. Una descripción más detallada de la topología y las configuraciones ejemplares se proporcionará en más detalle en las siguientes secciones.

La FIG. 3A ilustra un esquema simplificado de una estructura 300A de PLA NOR-NOR. La estructura ilustrada puede

realizar la función
$$F0 = \overline{X1} + \overline{X2} + \overline{X3} + \overline{X4}$$
 Además, se proporciona en la Fig. 3B una representación equivalente de la lógica de la PLA en las puertas lógicas 300B. La configuración NOR-NOR admite que ambas operaciones AND y OR sean realizadas. Por ejemplo, la función ilustrada realiza también la función lógica de $F0 = X1 \cdot X2 + X3 \cdot X4$. En consecuencia, la lógica compleja positiva y negativa se puede realizar usando inversores básicos y puertas o planos equivalentes en la PLA, como se expone en el presente documento.

Con referencia a la Fig. 4A, la estructura lógica 300 NOR-NOR se puede implementar usando tecnología de STT para realizar la función $F0 = X1 \cdot X2 + X3 \cdot X4$. Por ejemplo, en la estructura 300 NOR-NOR, una pluralidad de STT-MTJ (por ejemplo, 301, como se ilustra en la Fig. 4A) se pueden acoplar juntas en las Filas 0 a N. Hay circuitos 302 de evaluación en las entradas a las Filas 0 a N, y un circuito de evaluación se puede situar también en la salida de la estructura lógica 300 (por ejemplo, véase la Fig. 5). Cada uno de los circuitos de evaluación incluye una fuente positiva / negativa (+/-) programable por software, que se puede ajustar al voltaje mínimo durante operaciones de lectura. La fuente (+/-) puede configurarse para cualquier estado para operaciones de escritura / programación,

según el estado a escribir en los MTJ 301. La operación de escritura / programación se describe en mayor detalle más adelante respecto de la Fig. 5.

Cada una de las columnas asociadas a los MTJ 301 incluye entradas que se aplican mediante las líneas X0, X0_B, X1, X1_B,... XN, XN_B. Hay controladores acoplados antes de las entradas de las últimas células 301 de STT-MRAM en las Filas 0 a N, y un amplificador sensor inversor 310 en su salida. La salida del amplificador sensor inversor 310 proporciona la función realizada por cada fila. En consecuencia, la salida de la fila será invertida (por ejemplo, una señal alta dará como resultado una salida baja), lo que se describirá en mayor detalle más adelante.

La Fig. 4A es un ejemplo de una ilustración funcional de filas de la estructura lógica 300 NOR-NOR para operaciones de lectura. Suponiendo que las entradas X1_B y X2_B (alternativamente indicadas como $\overline{X1}$ y $\overline{X2}$) son las entradas de interés en la Fila 0, entonces los valores de resistencia del MTJ en estas filas se pueden fijar en el estado bajo programando un "0" o fijando el MTJ en un estado de magnetización paralela. Las restantes columnas se pueden fijar en un estado de alta resistencia programando un "1" o fijando el MTJ en un estado de magnetización anti-paralela. En consecuencia, un valor lógico alto en cualquiera entre X1_B o X2_B, o en ambos, dará como resultado un estado lógico alto en la fila 0. Se apreciará que los valores usados en el presente documento lo son simplemente a título ilustrativo y que otras configuraciones pueden admitir que un "0" sea un estado resistivo alto y un "1" sea un estado de baja resistencia. En consecuencia, las realizaciones de la invención no se limitan a las configuraciones ilustradas o a los valores asociados.

Como se ilustra esquemáticamente, el MTJ 301 puede considerarse una resistencia programable. Puede considerarse que las resistencias de todos los MTJ 301 a lo largo de una fila dada producen efectivamente una resistencia equivalente R_T que, en combinación con la resistencia efectiva del circuito de evaluación (Reval), puede representarse como un divisor 401 de voltaje, en la Fig. 4B, que producirá un voltaje V_{trip} (o un voltaje de activación) en la fila para un voltaje dado de entrada en las entradas (por ejemplo, X1_B, X2_B, etc.), o a partir de la corriente equivalente de las columnas de entrada. El voltaje V_{trip} puede tener una gama para valores tanto altos como bajos, según el punto de activación del inversor 310, como se ilustra en 402. En consecuencia, las consideraciones de diseño de circuitos incluyen ajustar el punto de activación lo suficientemente bajo de modo que un estado lógico alto individual en una entrada activa (por ejemplo, X1_B o X2_B) sea detectado como alto, y que haga que la salida del amplificador sensor inversor 310 baje. Correspondientemente, el punto de activación se puede ajustar de manera que ninguna corriente de fuga de las entradas no usadas (por ejemplo X3, X4, etc.) cause un falso estado lógico positivo a activar. Puesto que las entradas complementarias de X1 y X2 se usan para determinar el estado de la Fila 0 (por ejemplo, el valor de V_{trip}) que es ingresado en el amplificador sensor inversor 310, la salida del amplificador

sensor inversor 310 es la función $\overline{X1 + X2}$ o $X1 \cdot X2$. Asimismo, otras funciones pueden ser realizadas para otras filas, y estas funciones lógicas pueden combinarse en funciones lógicas más complicadas. Cabe apreciar que, puesto que tanto las entradas, como las salidas y sus respectivos complementos (por ejemplo, X0 y $\overline{X0}$), están disponibles, las diversas funciones deseadas se pueden desMorganizar para poder ser llevadas a cabo mediante los diversos planos lógicos (por ejemplo, el plano AND, el plano OR, el plano NOR). Además, ya que los MTJ 301 pueden ser programados, bien para una resistencia baja o bien para una resistencia alta, la lógica funcional de cada plano puede ser reconfigurable.

Con referencia a la Fig. 5, se proporciona una ilustración de la programación de los MTJ individuales 210. Como se ha expuesto anteriormente, los MTJ 210 se pueden "programar", bien en un estado de resistencia relativamente alta o bien de resistencia relativamente baja, fijando respectivamente el MTJ 210 en un estado de magnetización anti-paralela o paralela. En consecuencia, con fines de ilustración, el estado de resistencia alta se representará como un estado lógico 1 y el estado de resistencia baja se representará como un estado lógico 0. La formación programable de la Fig. 5 es similar a la ilustrada en la Fig. 2, por lo tanto, se usarán números de referencia iguales y no se proporcionará una exposición detallada de los elementos. Como se ha ilustrado, cada MTJ 210 puede programarse estableciendo una trayectoria de escritura (por ejemplo, 510) entre las fuentes 512 y 514 positiva / negativa (+/-) programables por software. Específicamente, una corriente de escritura puede ser alimentada entre las alimentaciones 512 y 514 colocando el resto de las trayectorias lógicas (por ejemplo $\overline{A}$ a $\overline{B}$) en un estado de impedancia alto y fijando las alimentaciones 512 y 514 en la polaridad deseada para escribir un estado "1" o "0" en el MTJ 210 seleccionado. Cabe apreciar que este proceso de programación se puede repetir para todos los MTJ en el plano AND 220.

Asimismo, el MTJ 210, a lo largo de la trayectoria 520 de escritura, puede ser programado por las alimentaciones (+/-) 522 y 524. Específicamente, una corriente de escritura puede ser generada entre las alimentaciones 522 y 524 colocando el resto de las trayectorias lógicas en el plano OR 240 en un estado de impedancia alto y fijando las alimentaciones (+/-) 522 y 524 en la polaridad deseada para escribir un estado "1" o "0" (por ejemplo, un estado de resistencia alta o de resistencia baja) en el MTJ seleccionado. Como se ilustra, una parte (por ejemplo, (a)) del controlador MUX 230 puede habilitarse para admitir que las operaciones de escritura y la parte de lectura (por ejemplo (b)) puedan fijarse en un estado de impedancia alto durante las operaciones de escritura. Cabe apreciar que la parte (a) de escritura de 230 puede admitir un flujo de corriente bidireccional de modo que ambos estados puedan ser programados en el MTJ seleccionado. Asimismo, se apreciará que la funcionalidad del controlador MUX 230 puede ser implementada como dispositivos independientes y que las realizaciones independientes de la invención

no se limitan a los dispositivos o topología ilustrados. En consecuencia, cualquier dispositivo o combinación de dispositivo que pueda realizar la funcionalidad expuesta anteriormente se puede usar en lugar del controlador MUX 230.

La Fig. 6A ilustra un ejemplo del circuito de entrada para un circuito lógico programable STT. Como se ilustra, las entradas A y B pueden ser suministradas a las trayectorias lógicas 610, 620, 630 y 640 para proporcionar resultados, tanto para las entradas A y B como para sus complementos $\bar{A}$ y $\bar{B}$. En el ejemplo ilustrado, la entrada A es proporcionada a los transistores 614 de PMOS y es invertida por el inversor 622 y proporcionada al transistor 614 de PMOS mediante las puertas NAND 618 y 628, respectivamente. Asimismo, la entrada B es proporcionada a los transistores 634 de PMOS y es invertida por el inversor 642 y proporcionada al transistor 644 de PMOS mediante las puertas NAND 638 y 648, respectivamente.

Las puertas NAND 618, 628, 638 y 648 también reciben una entrada desde una señal de LECTURA. En consecuencia, las puertas NAND funcionan para colocar las trayectorias lógicas 610, 620, 630 y 640 de lectura en un estado de impedancia alta cuando una operación de lectura no está activa. Esto permite la programación independiente de los MTJ 611, 621, 631, 641, tal como se ha expuesto con relación a la Fig. 5. Sin embargo, se apreciará que la configuración de puertas NAND es proporcionada simplemente como un ejemplo y que se puede usar cualquier dispositivo adecuado para lograr una funcionalidad similar.

En consecuencia, cuando la entrada A tiene un alto nivel de voltaje y la señal de LECTURA está alta, se activará un transistor 614 alto de PMOS. Como se ha indicado anteriormente, la entrada A también se suministra mediante el inversor 622 al transistor 624 de PMOS que está activado en el estado lógico opuesto de la trayectoria de 610 (por ejemplo, activado en un voltaje bajo de la entrada A) a fin de proporcionar el complemento de la entrada A. De manera similar, cuando la señal de LECTURA es alta, la entrada B es proporcionada al transistor 634 de PMOS y también se proporciona, mediante el inversor 642, al transistor 644 de PMOS, para proporcionar tanto B como su complemento a las trayectorias 630 y 640, respectivamente.

Como se ha indicado anteriormente, el estado lógico "1" o "0" (por ejemplo, un estado de resistencia alta o baja) de los dispositivos magnetorresistivos de STT (STT MTJ o MTJ) se pueden programar en cada STT MTJ (por ejemplo, 611, 621, 631, 641), usando las alimentaciones 680 y 688 positiva/negativa (+/-) programables por software, como se ha expuesto anteriormente. Esta programabilidad admite una formación lógica reconfigurable respecto de las funciones lógicas de cada plano, como se expondrá en mayor detalle más adelante. Asimismo, como se ha indicado anteriormente, durante las operaciones de programación, la trayectoria de lectura se coloca en un estado de impedancia alta para permitir la selección y programación de cada MTJ. La Fig. 6B ilustra un ejemplo de alimentaciones (+/-) 680. Como se ilustra, una fuente 682 de alimentación programable puede acoplarse con un circuito Eval 684 que permite que la fuente 680 de alimentación programable sea también habilitada o inhabilitada individualmente. El circuito Eval 684 puede ser un dispositivo de CMOS tal como una puerta de transmisión o cualquier otro dispositivo que admita el acoplamiento individual de la fuente 682 de alimentación. La activación del circuito Eval 684 puede ser controlada por una señal X de ESCRITURA, donde X es la columna que se está escribiendo a medida que cada fuente programable 680 puede acoplarse con una columna de una o más células de MTJ (véase, por ejemplo, la Fig. 5). La fuente programable 688 se puede configurar de manera similar, como se ilustra en la Fig. 6B; sin embargo, el circuito Eval se activará en ambas operaciones de lectura y escritura para cada fila seleccionada. Durante la operación de lectura, la alimentación 682 será fijada en el voltaje bajo (que puede ser tierra o un voltaje negativo), de modo que el circuito resultante sea similar a la ilustración de lectura de las Figs. 4A y 4B. Alternativamente, la fuente programable 688 podría tener circuitos separados para lectura y escritura. Por ejemplo, la parte de escritura podría configurarse como se ilustra en la Fig. 6B y la parte de lectura podría tener un circuito Eval acoplado directamente a tierra y controlado por la señal de LECTURA. En consecuencia, se apreciará que los ejemplos de circuitos anteriores lo son simplemente a título ilustrativo y no están destinados a limitar el alcance de las realizaciones de la invención.

Al examinar la topología de la formación lógica programable, tal como se ilustra en la Fig. 5, se apreciará que se pueden usar configuraciones lógicas similares para el plano de salida (por ejemplo, 240), donde cada MTJ en el plano de salida puede ser programado para ser bien una resistencia baja o bien una alta, y la salida de cada fila puede ser suministrada como la entrada en cada MTJ correspondiente. Asimismo, las fuentes programables pueden ser similares para la programación de cada uno de los MTJ en el plano de salida, y la parte de escritura del MUX (por ejemplo, 230) puede ser utilizada para seleccionar cada MTJ a escribir. Alternativamente, se pueden suministrar fuentes programables individuales para cada MTJ de salida y el MUX correspondiente podría simplificarse para proporcionar solo una función de lectura. Durante la operación de lectura, el resultado de las señales de los MTJ en el plano de salida puede ser detectado por un amplificador sensor (por ejemplo, 250) y fijado, bien en un 1 o bien en un 0 lógico, basándose en un umbral, como se ha expuesto anteriormente, con relación a la operación de lectura para cada fila.

Para ayudar en la comprensión de la operación de las diversas configuraciones lógicas, se proporciona una tabla de valores lógicos a continuación para la entrada A, para un estado dado de los MTJ relacionados 611 y 621. Específicamente, como se muestra, cuando la entrada A está en un estado alto (1), los valores en ambos nodos a1 y a2 son un 0 lógico. En consecuencia, la salida F será un 0 lógico y el complemento de F será un 1 lógico. Por el

contrario, cuando la entrada A es un 0 lógico, el valor en el nodo a1 sigue siendo un 0, pero el valor en el nodo a2 es un 1 lógico, lo que dará como resultado que la salida F sea un 1 lógico y que el complemento de F sea un 0 lógico.

Tabla 1

Tabla de valores lógicos de STT				
Entrada A	Estado de MTJ	Nodo (a1, a2)	Salida (F)	Salida (F_B)
1	1	0 (a1)	0	1
	0	0 (a2)		
0	1	0 (a1)	1	0
	0	1 (a2)		

5 Como se ilustra, se proporciona F amortiguando el voltaje en Sig con el amplificador sensor 650, que funciona para conmutar de alto a bajo una vez alcanzado un umbral dado o un nivel de salto / activación (por ejemplo V_{trip}). Asimismo, el complemento de F está provisto a partir de la salida del inversor 652. Sin embargo, se apreciará que las realizaciones de la invención no se limitan a esta configuración. Por ejemplo, el amplificador sensor podría tener una salida invertida y a continuación acoplarse en serie con otro inversor que podría usarse para proporcionar una

10 lógica invertida respecto del voltaje en Sig y del complemento de la lógica invertida. Se apreciará también que el uso de valores lógicos tales como 0 no implica que haya un voltaje cero en el nodo a1 o a2, sino que significa simplemente que el nivel de voltaje en Sig no es suficiente para activar un 1 lógico según lo detectado en la salida F. A título explicativo, se supone que las trayectorias 630 y 640 están en un estado de impedancia alta y no contribuyen al voltaje en Sig. El impacto de los diversos niveles lógicos es expuesto en mayor detalle más adelante, con relación a la Fig. 7.

La Fig. 7 ilustra simulaciones para una configuración lógica tal como se ilustra en la Fig. 6. Los diagramas muestran los respectivos niveles de voltaje para las entradas A y B y se puede considerar que tienen cuatro cuadrantes que se correlacionan con las cuatro combinaciones de estados binarios de las entradas (por ejemplo, 10, 11, 01, 00). Además, se puede establecer un valor 732 de punto de activación / salto para determinar el definitivo estado de

20 salida de la fila de la formación (véase, por ejemplo, la Fig. 4B) en base al voltaje Sig 730 de la fila que alimenta el amplificador sensor. Se representa gráficamente el voltaje 740 de salida para mostrar el funcionamiento lógico para diversas condiciones de entrada. Cabe señalar que se supone que el amplificador sensor para el voltaje 740 de salida ha de ser la salida invertida para el gráfico ilustrado. Por ejemplo, si el voltaje Sig 730 está por debajo del voltaje 732 del punto de activación, entonces el voltaje 740 de salida es alto. Asimismo, si el voltaje Sig 730 está por encima del voltaje 732 del punto de activación, entonces el voltaje 740 de salida es bajo.

Cuando la entrada A es alta y la entrada B es baja, seguirá habiendo una trayectoria de fuga a través de los dispositivos STT MTJ y el voltaje en Sig 730 subirá hasta un cierto nivel, como se indica en el primer cuadrante del diagrama de la Fig. 7. Este valor de Sig se repite esencialmente en el tercer cuadrante, donde la entrada A es baja y la entrada B es alta. El nivel de voltaje más bajo para Sig 730 se da en el segundo cuadrante, cuando ambas

30 entradas A y B son altas. Debido a la configuración de la formación lógica, tal como se ilustra en la Fig. 6A, cuando ambas entradas A y B son altas, están acopladas con trayectorias de resistencia alta a través de los dispositivos STT 611 y 613, respectivamente. Por el contrario, cuando ambas entradas A y B son bajas en el cuarto cuadrante, se da el nivel de voltaje más alto para Sig 730, debido a que ambas trayectorias 620 y 640 estarán activas, y que tienen los MTJ 621 y 641 fijados en un estado resistivo bajo. En consecuencia, Sig 730 es mayor que el punto 732 de activación y la salida 740 es baja para esta condición. Cabe apreciar que el gráfico para la salida no invertida daría como resultado un gráfico de salida que tiene el estado opuesto. Una representación de tabla de valores lógicos se proporciona en la siguiente Tabla 2 para el gráfico de la Fig. 7.

Tabla 2

Entrada A	Entrada B	Salida
1	0	0
1	1	1
0	1	0
0	0	0

Como se ha expuesto anteriormente, se apreciará también que los planos lógicos pueden ser reconfigurables reprogramando los valores de los MTJ. Por ejemplo, si los valores de los MTJ 611, 621, 631 y 641 se invierten, entonces la lógica realizada por la fila ilustrada en la figura 6A se puede cambiar por una función OR. Por ejemplo, si los MTJ 611 y 631 se programan en el estado '0', o estado de resistencia baja, entonces el voltaje en Sig estará en un estado elevado cuando bien la entrada A o bien la entrada B sea alta, y estará en su estado más alto cuando ambas entradas A y B sean altas. El voltaje estará en su estado más bajo cuando ambas entradas A y B sean bajas. En consecuencia, la salida de la fila puede realizar una función OR como se ilustra en la tabla de valores lógicos representada en la siguiente Tabla 3.

Tabla 3

Entrada A	Entrada B	Salida
1	0	1
1	1	1
0	1	1
0	0	0

En consecuencia, se apreciará que las realizaciones de la invención incluyen tanto aspectos programables como reconfigurables usando los dispositivos STT MTJ en la formación lógica. Además, se apreciará que las realizaciones de la invención no se limitan a las configuraciones ilustradas. Las realizaciones de la invención pueden ser programables por software mediante topología y disposiciones, e incluyen funciones de descodificación programables, conjuntos de instrucciones extensibles y la adición / manipulación de lógica de hardware sobre la marcha, por programación de software. Además, las realizaciones de la invención pueden incluir diseños que se pueden ejecutar en paralelo sin la necesidad de un reloj para sincronizar la transferencia de datos. En consecuencia, usando los dispositivos STT MTJ, los planos de entrada y los planos de salida, y los controladores asociados como bloques de construcción, las realizaciones de la invención se pueden configurar para lograr funcionalidades complejas.

Si bien la divulgación anterior muestra realizaciones ilustrativas de la invención, ha de observarse que se podrían realizar diversos cambios y modificaciones en el presente documento sin apartarse del alcance de las realizaciones de la invención, según lo definido por las reivindicaciones adjuntas. Las funciones, etapas y / o acciones de los procedimientos según las realizaciones de la invención descritas en el presente documento no necesitan ser realizadas en ningún orden particular. Asimismo, aunque los elementos de la invención pueden describirse o reivindicarse en singular, se contempla el plural a menos que se establezca explícitamente la limitación al singular.

REIVINDICACIONES

1.- Una formación lógica programable, que comprende

una pluralidad de dispositivos (210) de empalme de túnel magnético, MTJ, de par de transferencia de espín, dispuestos en una formación; y
una pluralidad de fuentes programables (512, 514) acopladas con los correspondientes dispositivos MTJ (210) para cambiar la polaridad de una capa libre de cada dispositivo MTJ (210),

caracterizada porque:

un primer grupo de los dispositivos MTJ (210) están dispuestos en columnas y filas de un plano (220) de entrada,

un segundo grupo de los dispositivos MTJ (210) están dispuestos en al menos una columna de un plano (240) de salida, y el plano (220) de entrada y el plano (240) de salida están combinados para formar una función lógica basada en las polaridades relativas de las capas libres de los dispositivos MTJ (210) en el plano (220) de entrada y los dispositivos MTJ (210) en el plano (240) de salida.

2.- La formación lógica programable de la reivindicación 1, que comprende adicionalmente:

un amplificador sensor (250, 310) de salida acoplado con el plano (240) de salida, y configurado para detectar un nivel de voltaje en una columna del plano (240) de salida, y para generar una salida binaria en base a una comparación del nivel de voltaje en la columna del plano (240) de salida con un nivel de voltaje de umbral.

3. La formación lógica programable de la reivindicación 1, en la cual cada dispositivo MTJ (210) contiene un elemento de almacenamiento de MTJ que puede ser programado eléctricamente para un estado de baja resistencia o un estado de alta resistencia, y cada fila en la formación está acoplada con columnas de entrada mediante uno entre la pluralidad de dispositivos MTJ (210).

4.- La formación lógica programable de la reivindicación 3, en la cual una primera columna de entrada es seleccionada en una primera fila, fijando un primer dispositivo MTJ (210), que acopla la primera fila a la primera columna, en un estado de baja resistencia, y una segunda columna de entrada no es seleccionada en una primera fila, fijando un segundo dispositivo MTJ, que acopla la primera fila a la segunda columna, en un estado de alta resistencia.

5.- La formación lógica programable de la reivindicación 4, en la cual una primera fuente programable entre la pluralidad de fuentes programables (512, 514) está acoplada con una columna acoplada con el primer dispositivo MTJ, y una segunda fuente programable entre la pluralidad de fuentes programables está acoplada con una fila acoplada con el primer dispositivo MTJ.

6.- La formación lógica programable de la reivindicación 5, en la cual la primera fuente programable y la segunda fuente programable están configuradas para proporcionar una corriente de programación para el primer dispositivo MTJ durante una operación de escritura.

7.- La formación lógica programable de la reivindicación 6, en la cual la segunda fuente programable está configurada para proporcionar un sumidero de voltaje durante una operación de lectura.

8.- La formación lógica programable de la reivindicación 1, que comprende además,

un controlador MUX (230) acoplado entre el plano (220) de entrada y el plano (240) de salida, en la cual el controlador MUX (230) está configurado para proporcionar una señal de lectura desde una primera fila del plano (220) de entrada a un MTJ del plano (240) de salida.

9.- La formación lógica programable de la reivindicación 8, en la cual el controlador MUX (230) comprende:

un amplificador sensor (250, 310) configurado para detectar un nivel de voltaje sobre la primera fila y para generar un voltaje de salida binaria, en base a una comparación del nivel de voltaje en la primera fila con un voltaje de umbral; o

una parte de escritura configurada para acoplar el MTJ en el plano (240) de salida con una entre la pluralidad de fuentes programables (512, 514) asociadas al plano (240) de salida.

10.- La formación lógica programable de la reivindicación 9, en la cual una entre la pluralidad de fuentes programables (512, 514) está acoplada con una columna acoplada con el MTJ en el plano (230) de salida.

11.- Un procedimiento para implementar una lógica en una formación, que comprende:

programar cada uno entre una pluralidad de dispositivos (210) de empalme de túnel magnético, MTJ, de par de transferencia de espín, dispuestos en una formación en un estado de resistencia, bien alta o bien baja, en el cual cada dispositivo MTJ está programado por una primera fuente programable (514) acoplada

con un sector de capa libre de un dispositivo MTJ (210) seleccionado y una fuente programable (512) acoplada con un sector de capa fija del dispositivo MTJ (210) seleccionado;

estando el procedimiento **caracterizado por:**

- 5 disponer un primer grupo de los dispositivos MTJ (210) en columnas y filas de un plano (220) de entrada;
 disponer un segundo grupo de los dispositivos MTJ (210) en al menos una columna en un plano (240) de salida, en el que las salidas de cada fila están acopladas con los dispositivos MTJ (210) en dicha al menos una columna; y
 determinar una función lógica en base a las resistencias relativas del dispositivo MTJ (210) en el plano (220) de entrada y los dispositivos MTJ (210) en el plano (240) de salida.

- 10 12.- El procedimiento de la reivindicación 11, que comprende, además:

detectar un nivel de voltaje en una columna del plano (240) de salida usando un amplificador (250, 310) sensor de salida acoplado con el plano (240) de entrada y generar una salida binaria en base a una comparación del nivel de voltaje en la columna del plano (240) de salida con un nivel de voltaje de umbral.

- 13.- El procedimiento de la reivindicación 11, que comprende, además:

- 15 acoplar una pluralidad de entradas (X1 a X4), estando cada entrada acoplada con al menos un dispositivo MTJ (210) en columnas de entrada correspondientes en el plano (220) de entrada;
 acoplar una pluralidad de dispositivos MTJ (210) de diferentes columnas de entrada con una primera fila en el plano (220) de entrada, en el cual una primera fuente programable de las fuentes programables (512, 524) está acoplada con la fila;
 20 generar un voltaje en la primera fila, habilitando la pluralidad de entradas y fijando la primera fuente programable en un estado de voltaje bajo; y
 generar un voltaje de salida binaria en base a una comparación del voltaje en la primera fila con un voltaje de umbral.

- 14.- El procedimiento de la reivindicación 11, que comprende, además:

- 25 acoplar voltajes de salida de filas en el plano (220) de entrada a los correspondientes dispositivos MTJ (210) en una primera columna en el plano (240) de salida;
 fijar una fuente programable, acoplada con la primera columna en el plano (240) de salida, en un estado de voltaje bajo para establecer un voltaje en la primera columna de salida; y
 30 generar un voltaje de salida binaria para el plano de salida en base a una comparación del voltaje en la primera columna en el plano (240) de salida con un voltaje de umbral.

- 15.- El procedimiento de la reivindicación 11, que comprende, además:

reconfigurar una función lógica realizada por al menos uno entre el plano (220) de entrada y el plano (240) de salida, reprogramando cada uno entre la pluralidad de dispositivos MTJ (210) de par de transferencia de espín, en uno entre el plano (220) de entrada y el plano (240) de salida.

- 35 16. El procedimiento de la reivindicación 11, en el cual el primer grupo y el segundo grupo de los dispositivos MTJ (210) están dispuestos de modo que las salidas de cada fila en el plano (220) de entrada estén acoplados con los dispositivos MTJ (210) en dicha al menos una columna en el plano (240) de salida mediante un controlador (230) de MUX, en donde el controlador (230) de MUX está configurado para proporcionar una señal de lectura desde una primera fila del plano (220) de entrada a un MTJ de dicha al menos una fila del plano (240) de salida.

40

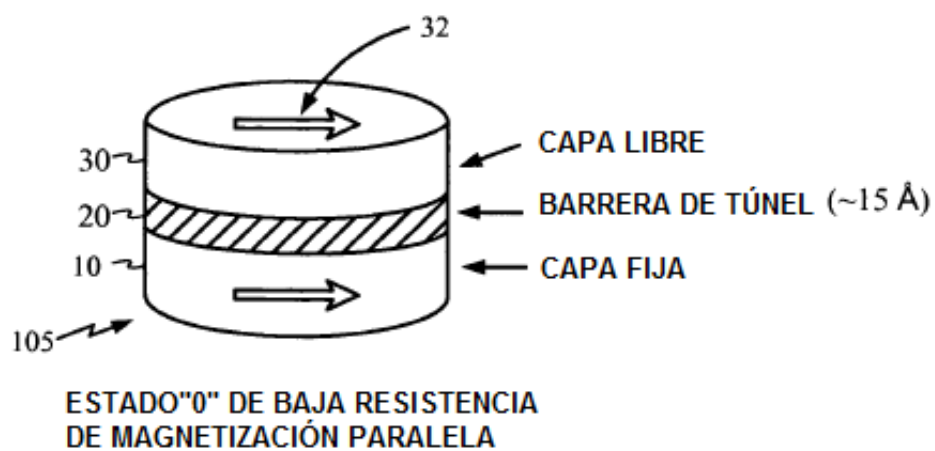


FIG. 1A

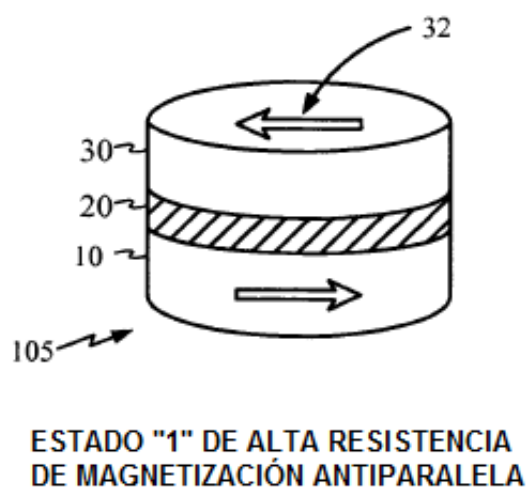


FIG. 1B

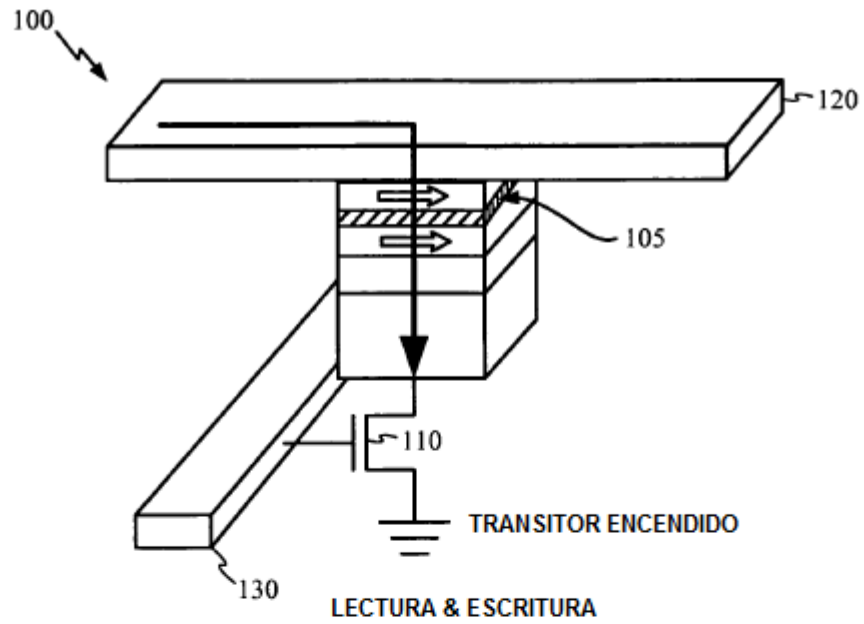


FIG. 1C

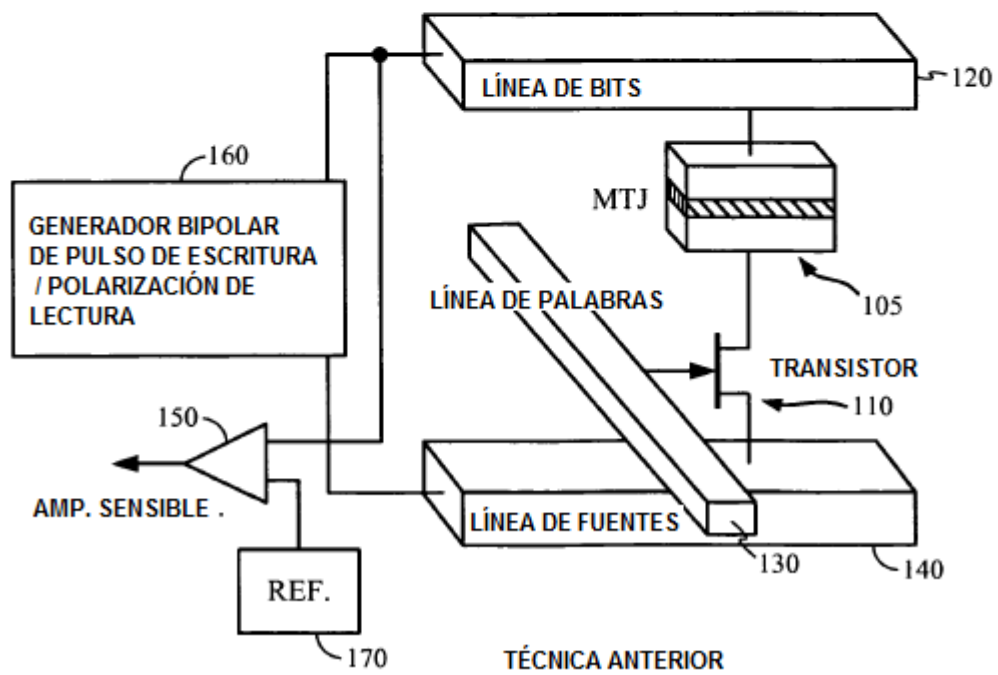


FIG. 1D

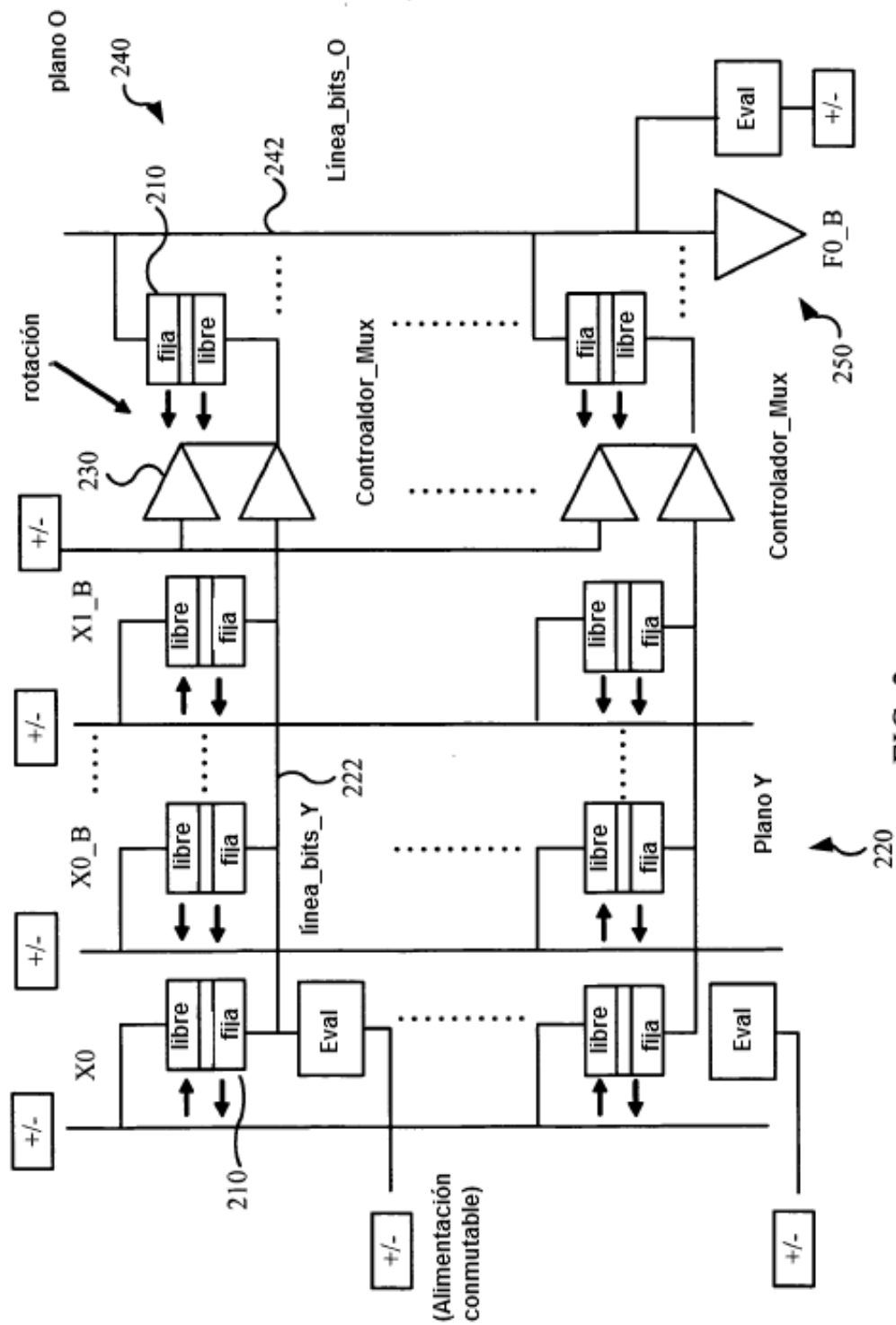
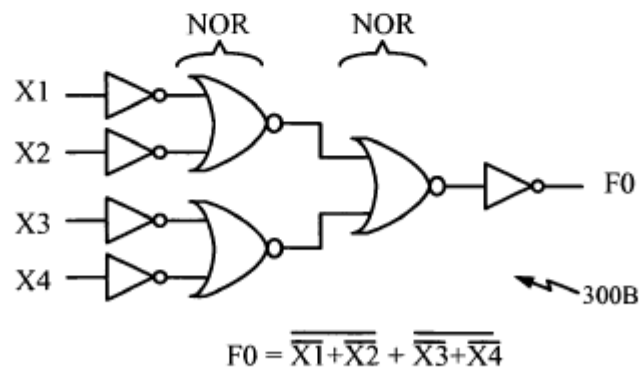
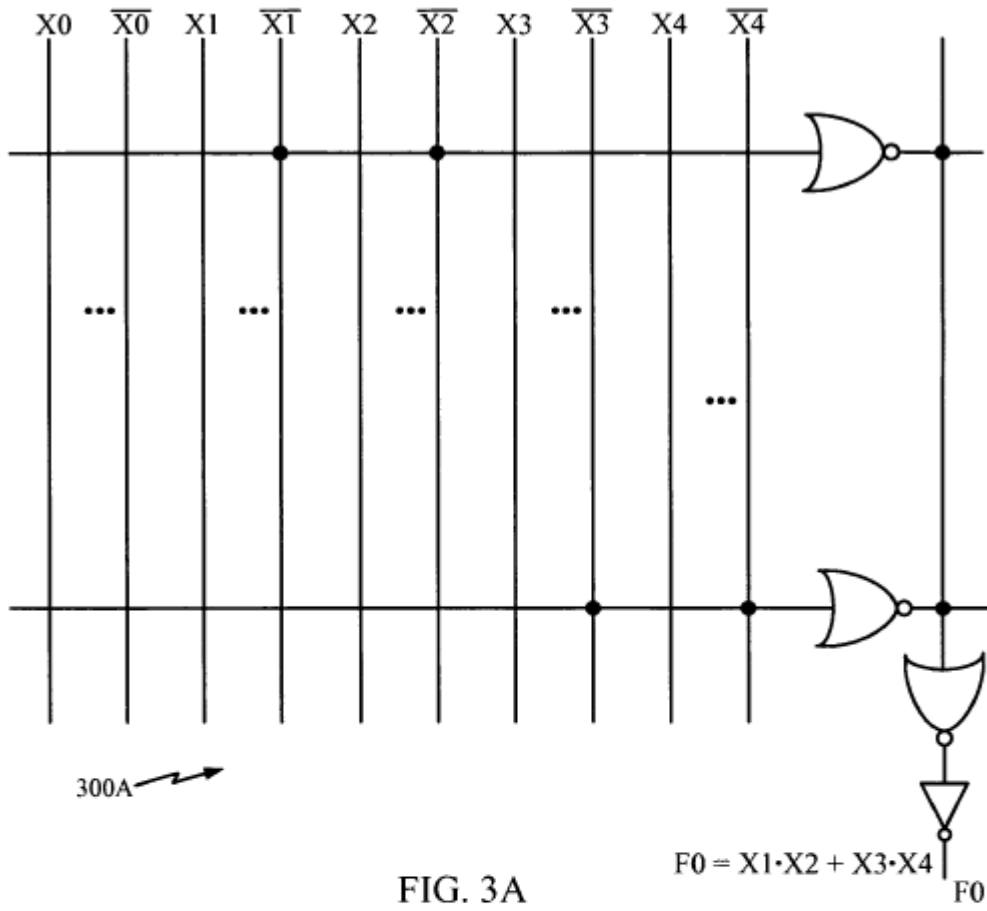
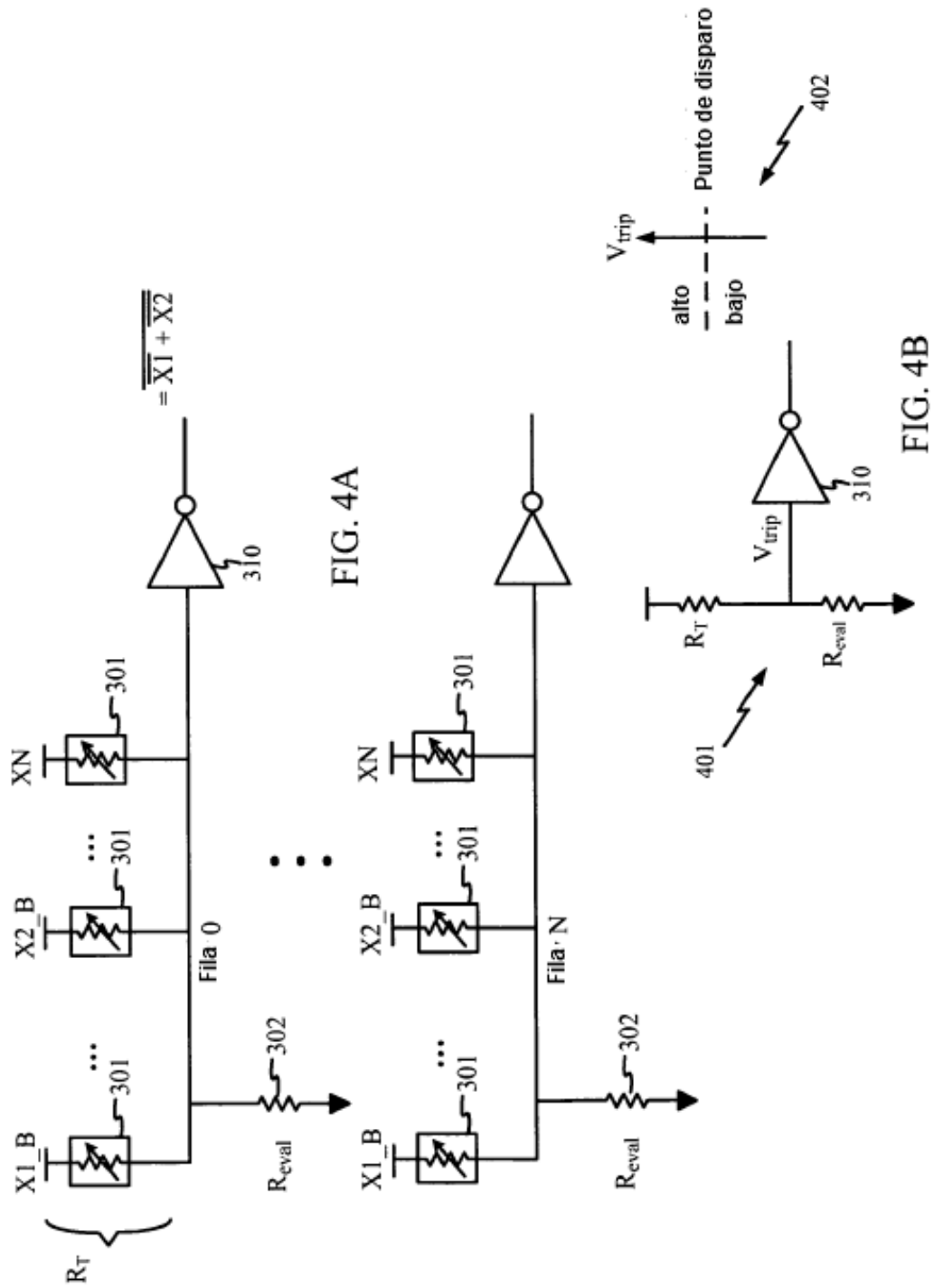


FIG. 2





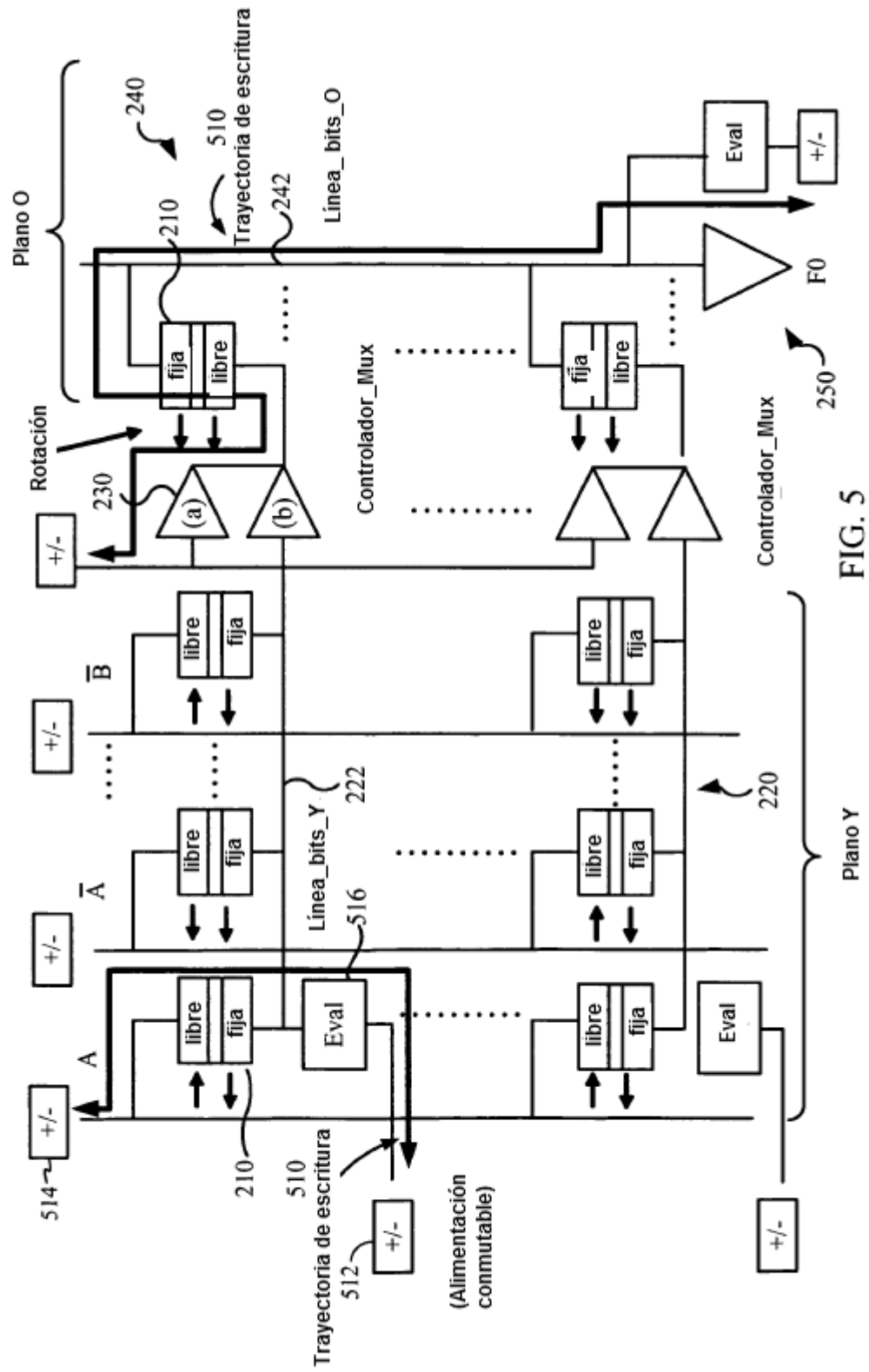


FIG. 5

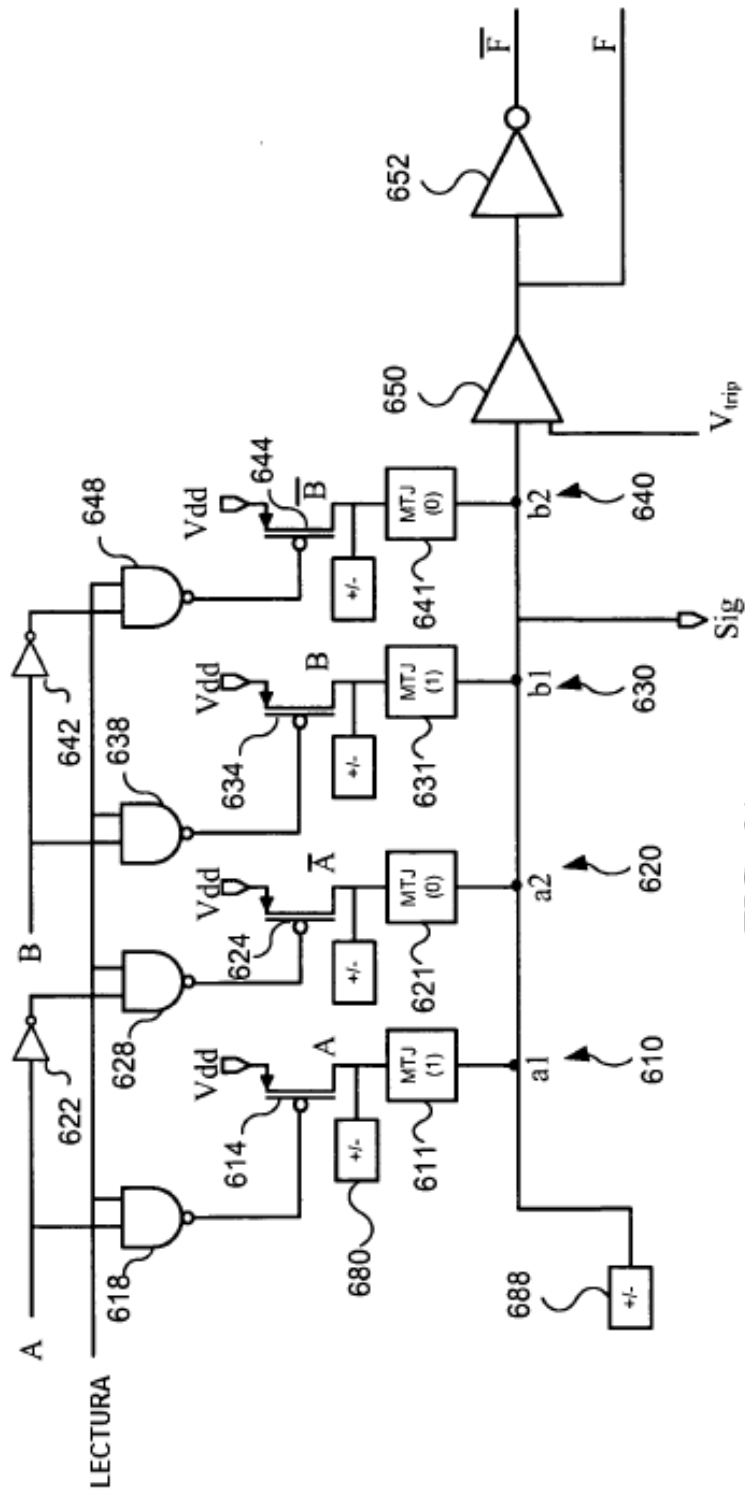


FIG. 6A

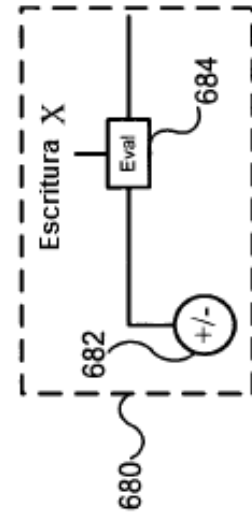


FIG. 6B

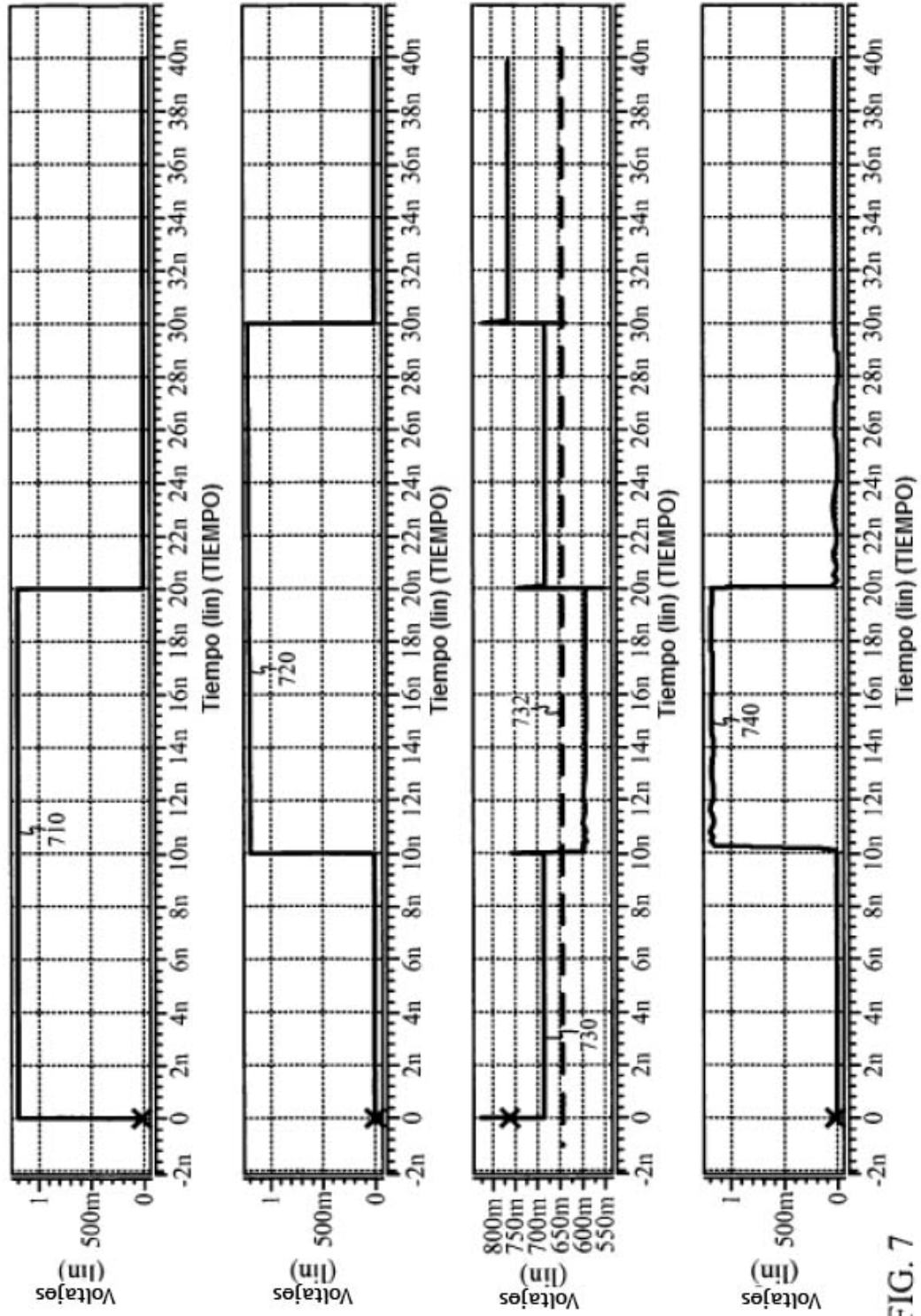


FIG. 7