

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 434 340**

51 Int. Cl.:

H04L 25/02 (2006.01)

H02J 13/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.01.2010 E 10708889 (0)**

97 Fecha y número de publicación de la concesión europea: **09.10.2013 EP 2529521**

54 Título: **Etapa de emisión en un nodo de bus de una red en bus para generar una señal de bit correspondiente a una señal de emisión y procedimiento para generar una señal de bit a partir de una señal de emisión**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
16.12.2013

73 Titular/es:

**GIRA GIERSIEPEN GMBH & CO. KG (50.0%)
Dahlienstrasse 12
42477 Radevormwald, DE y
TAPKO TECHNOLOGIES GMBH (50.0%)**

72 Inventor/es:

**TOMIC, PETAR;
ADLER, KLAUS;
SEIFERT, ROLAND;
KEMMANN, HARALD y
LASKIWITZ, INGO**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 434 340 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Etapa de emisión en un nodo de bus de una red en bus para generar una señal de bit correspondiente a una señal de emisión y procedimiento para generar una señal de bit a partir de una señal de emisión.

5 La invención concierne a una etapa de emisión en un nodo de bus de una red en bus, especialmente en un nodo de bus de una red EIB, que está acoplado a una línea de bus, para generar una señal de bit correspondiente a una señal de emisión, así como a un procedimiento para generar una señal de bit a partir de una señal de emisión, consistiendo la señal de emisión en una secuencia de impulsos de emisión.

10 Los nodos de bus deberán garantizar, por un lado, una combinación entre las unidades de control contenidas en ellos, casi siempre microprocesadores, y, por otro lado, deberán asegurar también a través del bus el suministro de tensión de esta unidad de control y, además, de circuitos de aplicación conectados, tales como relés, sensores, pulsadores, indicadores y similares. Por tanto, un nodo de bus en este sentido es un emisor, un receptor y un suministro de tensión para el circuito interno y eventualmente también para los circuitos de aplicación.

15 La figura 1 muestra la configuración de un bus con varios nodos de bus. Para el suministro de tensión están contenidas una o varias fuentes de alimentación, si bien la impedancia de salida de éstas no tiene que ser elevada, para impedir que, en el peor de los casos, las frecuencias de transmisión de la comunicación por el bus sean atenuadas por las fuentes de alimentación hasta la anulación de tales frecuencias. Sirven para esto unos convertidores de impedancia intercalados que, preferiblemente, están configurados como módulos de reactancia.

20 Los requisitos impuestos a una etapa de emisión, cuando ésta se utiliza en una red EIB, están establecidos en el Manual Konnex, Versión 2.0. En base a estos requisitos se efectúa una certificación de los aparatos de bus terminados. En la figura 2 se representa en la imagen parcial (a) una secuencia de bits de un telegrama EIB tomado como ejemplo que se genera de manera correspondiente a una secuencia de impulsos de una señal de emisión, y en la imagen parcial (b) se representan los detalles de un impulso de bit individual. Bus+ es la tensión de bus nominal y Bus- representa para las consideraciones adicionales el potencial común, es decir, el potencial de masa. La señal EIB de un impulso de emisión individual se define a partir de la tensión de bus nominal Bus+ por medio de una irrupción de tensión U_a , en lo que sigue denominada impulso de activación, temporalmente limitada y sincronizada en duración con el impulso de emisión. Con miras a minimizar la energía al emitir un mensaje sigue a continuación una sobreelevación de tensión definida U_e hasta más allá de la tensión de bus nominal Bus+, que inicia el llamado impulso de compensación. En cooperación con un módulo de reactancia actuante como convertidor de impedancia de las fuentes de alimentación del bus, que representa aquí al mismo tiempo un acumulador de energía, se efectúa después de cada señal activa (impulso de emisión) una realimentación de energía a la línea de bus. Seguidamente, se atenúa el impulso de compensación como una función exponencial hasta que, después de transcurrido el período de bit T, aparece el siguiente bit de un telegrama. El impulso de compensación tiene que estar entonces completamente atenuado para que se aseguren unas condiciones de tensión definidas para el siguiente bit.

35 Los nodos de bus en su función como emisor generan estas señales de manera correspondiente. Idealmente, durante el impulso de compensación se deberá alimentar nuevamente la misma cantidad de energía que un impulso de emisión sustrae al bus con el impulso activo.

40 Para generar una señal de bit que satisfaga los requisitos anteriormente descritos se necesitan generalmente dos partes de circuito, a saber, un circuito para generar el impulso activo y un circuito para generar el impulso de compensación adyacente al impulso activo, aunque existen también soluciones que prescinden del último circuito. A este fin, está previsto al menos un circuito de control que entrega la señal de emisión a al menos el circuito para generar el impulso activo.

45 En el documento DE 10 2006 011 595 B4 se describe una etapa de emisión de esta clase. La simulación de un impulso activo se efectúa allí en concordancia con la respectiva tensión continua de bus actualmente aplicada, siendo prefijada la amplitud del impulso activo por la amplitud de una tensión de señal de emisión generada en la etapa de emisión. Para recuperar la energía se almacena en un elemento acumulador capacitivo la pérdida de energía provocada por el impulso activo. Se establece de este modo en el elemento acumulador una tensión que es más alta que la tensión continua del bus. En el circuito para generar el impulso activo están previstos sendos circuitos de control, comunicándose los circuitos de control entre ellos para retransmitir la señal de emisión.

50 El documento EP 0 909 497 B1 revela un acoplador de bus con circuito de emisión controlado en amplitud, en el que la excursión de amplitud del impulso activo es regulada por medio de la tensión en el nodo de un circuito divisor de tensión.

El documento WO 96/31012 A1 revela una etapa de emisión en la que se emplea una tensión +V para regular la excursión de amplitud del impulso activo con independencia de la porción de tensión continua de la señal del bus.

55 El documento WO 98/04027 A1 describe una etapa de emisión según el preámbulo de la reivindicación 1, en la que

están previstos un circuito para generar el impulso activo y un circuito para generar el impulso de compensación, así como un circuito de control que entrega la señal de emisión a al menos el circuito para generar el impulso activo. En este caso, una pequeña capacidad en un circuito de Miller, que consiste en esta capacidad pequeña, así como en un transistor y una resistencia de activación, y con dos circuitos amplificadores de corriente es transformada en una capacidad suficientemente grande, de modo que, considerado a corto plazo con respecto a la constante de tiempo, se proporciona una unión de bajo ohmio con el conductor del bus. Esta unión presenta una caída de tensión fija que es el resultado de la tensión del bus menos una fuente de tensión fija y menos una tensión base-emisor del transistor del último circuito amplificador de corriente. Dado que el emisor es atraído hacia masa con el transistor de emisión mientras dura el impulso activo, está presente en el bus, independientemente de la tensión del bus, un impulso activo que presenta siempre amplitudes de la misma magnitud.

La etapa de emisión conocida emplea, especialmente en el circuito para generar el impulso activo, numerosos componentes activos que contribuyen en medida no despreciable a los costes de la etapa de emisión.

El problema de la invención consiste en simplificar aún más el circuito de la etapa de emisión del género citado y hacerlo así más barato, a cuyo fin se prescinde ampliamente de elementos electrónicos activos y se recurre a elementos electrónicos pasivos que en general son netamente más baratos.

En este caso, hay que procurar siempre mediante una conformación optimizada de la señal que la energía substraída pueda ser realimentada nuevamente en el mayor grado posible al bus.

Este problema se resuelve con una etapa de emisión según la reivindicación 1. Ejecuciones ventajosas son objeto de las reivindicaciones subordinadas. En las reivindicación 6 se indica un uso de la etapa de emisión según la invención.

La invención evita el circuito de Miller del estado de la técnica con circuitos amplificadores de corriente propuestos que son fuertemente gravosos en materia de transistores. Este complejo completo es sustituido por un circuito con componentes pasivos, de modo que los elementos activos están presentes únicamente en el circuito de control o en el transistor de emisión. El empleo de solamente elementos pasivos requiere un compromiso para la sintonización de la capacidad del condensador C1 y la resistencia es R1, R2 y R3, como se explica todavía más adelante.

Según la invención, en una etapa de emisión la profundidad del impulso activo viene establecida por una tensión de referencia prefijada que es independiente de la magnitud de la porción de tensión continua de la señal de bit o de la señal de bus. Se logra con ello adquirir, por así decirlo previamente, un conocimiento relativo a la cantidad de energía que extraerá el impulso activo, con lo que el comportamiento de atenuación del impulso de compensación puede ser definido por el dimensionamiento adaptado de un miembro temporizador (por ejemplo, un circuito diferenciador). Se mantiene constante la profundidad del impulso activo por reacoplamiento negativo de la porción de tensión alterna de la señal de bit, lo que contribuye también a poder determinar exactamente la energía extraída en el impulso activo. Asimismo, se ha previsto según la invención que un condensador esté colocado entre la parte portadora de tensión de la línea de bus y un nodo de tensión, formando el nodo de tensión la toma de tensión de un circuito divisor de tensión alimentado por la tensión de referencia, el cual se aplica, a través de una resistencia, a la base de un transistor que es parte de un circuito de activación de un transistor de emisión, fijando las resistencias del circuito divisor de tensión la profundidad del impulso y sintonizándose la capacidad del condensador y las magnitudes de las resistencias de modo que su constante de tiempo garantice la transmisión de la señal de emisión mientras dure el impulso activo.

En este caso, la tensión de referencia puede ser una tensión de suministro proporcionada por un suministro de tensión del nodo del bus o bien una tensión intermedia que se genera en un suministro de tensión del nodo del bus.

Se ha previsto aún más ventajosamente que, cuando esté presente un circuito para generar el impulso de compensación, éste presente al menos dos acumuladores de energía que estén conectados en paralelo al comienzo del impulso de emisión y que se recarguen durante el período del impulso de emisión hasta la tensión de bus momentáneamente presente y se conecten en serie al final del impulso de emisión, pudiendo conectarse la tensión total al bus a través del acumulador de energía conectado en serie. Se consigue así de manera fiable que esté presente una tensión que esté disponible directa o indirectamente, es decir, preparada, como la sobreelevación de tensión necesaria, cuya atenuación se puede optimizar de manera sencilla.

Se ha previsto preferiblemente un único circuito de control que activa el circuito para generar el impulso activo y el circuito para generar el impulso de compensación. Esto simplifica la estructura real del circuito y se hace posible debido a que se sincroniza el impulso de compensación directamente con el impulso de emisión.

Por último, la invención describe el uso de una etapa de emisión según cualquiera de las reivindicaciones 1 a 5 en un circuito integrado para aplicaciones específicas (ASIC - Application Specific Integrated Circuit) que podría comprender entonces también otras partes de circuito, por ejemplo un receptor, un suministro de tensión y similares.

En lo que sigue se explicará la invención con más detalle ayudándose del dibujo adjunto.

La figura 1 muestra un ejemplo de una configuración de un bus.

La figura 2 muestra en la imagen parcial (a) una secuencia de bits de un telegrama EIB tomado como ejemplo y en la imagen parcial (b) los detalles de un impulso de bit de la secuencia de bits.

5 La figura 3 muestra un diagrama de bloques de una etapa de emisión según un ejemplo de realización de la presente invención.

La figura 4 muestra un ejemplo de realización de un circuito para generar el impulso activo que puede utilizarse en una etapa de emisión según la presente invención.

10 La figura 5 muestra un circuito para generar el impulso de compensación que puede utilizarse en una etapa de emisión según la presente invención.

La figura 6 muestra un ejemplo de una etapa de emisión completa según la presente invención junto con el circuito de control.

15 En la descripción siguiente y en los dibujos se exponen numerosos detalles determinados. Sin embargo, se entiende que pueden implementarse en la práctica formas de realización de la presente invención sin estos detalles determinados. En otros casos, se han suprimido circuitos, estructuras y técnicas bien conocidos para no dificultar la comprensión de la invención. Se entiende que en las formas de realización representadas se pueden efectuar numerosas modificaciones y variantes sin apartarse del alcance de la invención. Por tanto, los ejemplos de realización representados deberán considerarse como descriptivos y no como limitativos. En particular, es imaginable que, aunque los ejemplos de realización se han construido con transistores bipolares, se puedan utilizar otras tecnologías, de modo que los circuitos se podrían materializar, por ejemplo, con transistores de efecto de campo.

20 La figura 3 muestra un diagrama de bloques de una etapa de emisión en un nodo de bus según un ejemplo de realización de la presente invención. En este caso, un circuito A para generar el impulso activo y un circuito B para generar el impulso de compensación adyacente al impulso activo son activados por un circuito de control único C que entrega una señal de emisión, representada por motivos de sencillez en forma de un impulso de emisión individual U_{emi} , tanto al circuito A para generar el impulso activo como al circuito B para generar el impulso de compensación. La unidad de control que entrega la señal U_{emi} no está representada en la figura del dibujo. Como alternativa, la etapa de emisión puede materializarse también sin el circuito B para generar el impulso de compensación.

25 La figura 4 muestra un ejemplo de un circuito para generar el impulso activo para una etapa de emisión según la presente invención.

30 El transistor Q3 representa un transistor de emisión actuante como seguidor de emisor que se conecta por medio de un circuito de activación que está formado por transistores Q1 y Q2. La señal de emisión U_{emi} se aplica a la base del transistor Q2. En el estado de reposo, es decir, sin ningún impulso de emisión presente, el transistor Q2 está bloqueado y así no puede circular ninguna corriente por la resistencia R5 ni, en consecuencia, tampoco por el transistor Q3. Dado que el transistor Q2 está bloqueado, no puede circular ninguna corriente en el circuito de corriente base-emisor del transistor Q1 y, por tanto, éste está también bloqueado, aunque se aplica una tensión de control U_b , a través de la resistencia de protección R3, a la base del divisor de resistencia formado por las resistencias R1 y R2. El transistor Q1 está así preparado para abrirse. Cuando se entrega un impulso U_{emi} con la duración en tiempo $\Delta t = t_1 - t_0$ desde la unidad de control (no representada), se abre el transistor Q2. Dado que ahora puede circular una corriente en el circuito de corriente base-emisor del transistor Q1, se abre también el transistor Q1. A través de la resistencia R5 circula ahora una corriente, se abre el transistor de emisión Q3 y la tensión de bus Bus+ tiende hacia abajo con una corriente predefinida por la resistencia R6. Se produce un impulso activo en el bus.

35 El condensador C1 sirve para el reacoplamiento negativo de la porción de tensión alterna de la señal de bus. El condensador transmite el flanco descendente en t_0 como una tensión negativa al divisor de resistencia R1, R2. Cuando esta tensión alcanza el valor de $-U_b$ más las caídas de tensión sumandos en el trayecto base-emisor del transistor Q1, así como la tensión de saturación emisor-colector del transistor Q2, se bloquea entonces el transistor Q1 y, como consecuencia, se bloquea también el transistor Q3, con lo que no puede seguir cayendo la tensión de bus Bus+. Mediante una regulación adicional continua por medio del reacoplamiento negativo a través del condensador C1 se mantiene constante la tensión U_a durante el período completo del impulso $\Delta t = t_1 - t_0$. Con un dimensionamiento correspondiente, se sobreescribe, por así decirlo, la tensión U_b en el nodo C1, R1, R2 por medio de la tensión de señal descendente en el bus.

40 En este caso, los valores de las resistencias R1, R2 y R3 tienen, por un lado, que ser lo más altos posible para no cargar demasiado la línea de bus, pero, por otro lado, tienen que ser también lo bastante bajos como para garantizar

5 todavía en el momento de un impulso de emisión U_{emi} una apertura segura del transistor Q1. Asimismo, la constante de tiempo total de la rama de reacoplamiento puede dimensionarse de tal manera que la señal de tensión alterna se transmita bien desde el bus durante $\Delta t = t_1 - t_0$. Esta constante de tiempo es establecida por la capacidad del condensador C1 y los valores de las resistencias R1, R2 y R3 puestas en paralelo. Estos requisitos en parte contrarios pueden cumplirse solamente con un compromiso. En este caso, se establece la profundidad del impulso activo por medio de U_{ref} y el divisor de tensión R1, R2, adicionalmente a las caídas de tensión en los transistores ahora activos Q1 y Q2. Si no se elige demasiado alto el valor de la resistencia R3, se puede hacer despreciable la caída de tensión a causa de la corriente de base muy baja del transistor Q1.

10 U_{ref} puede ser la tensión de suministro para aplicaciones conectadas o bien la tensión intermedia que se genera con un suministro de tensión para nodos de bus, tal como se ha descrito, por ejemplo, en el documento WO 2011/085703. La tensión de referencia U_{ref} puede emplearse directamente cuando tenga el valor necesario para alcanzar la profundidad de impulso deseada. Puede ser preparada también por un diodo Zener o un regulador de tensión. Se puede suprimir la resistencia R2 para estas formas de realización.

15 La figura 5 muestra un circuito para generar el impulso de compensación. En el estado de reposo, es decir, sin un impulso de emisión U_{emi} que actúe en la base del transistor Q6, el circuito está sin corriente debido al transistor bloqueado Q6 y, como consecuencia, debido también al transistor bloqueado Q5. Cuando se entrega un impulso U_{emi} con la duración en tiempo $\Delta t = t_1 - t_0$ por parte de la unidad de control (no representada), se abre el transistor Q6. El condensador C2 se recarga a través de la resistencia R7 y el diodo D2 hasta la tensión de bus Bus+ existente en ese momento, la cual reina durante el impulso activo. Al mismo tiempo, circula por la resistencia R11 y por el diodo D6 una corriente de base para el transistor Q5, que se abre ahora también. A través del diodo D5 y la resistencia R9 se recarga también el condensador C4 hasta la tensión de bus existente en ese momento. Los condensadores C2 y C4 están conectados al principio en paralelo durante el impulso activo. Circula también una corriente por el diodo D4 y por la resistencia R5, pero cuando la resistencia R8 se elige con un ohmioje relativamente alto, esta corriente es despreciable y carga al bus solamente en una pequeña medida. El transistor Q4 está bloqueado y, dado que los cátodos de los dos diodos D4 y D5 tienen aproximadamente el mismo potencial, el condensador C3 está prácticamente descargado.

25 En el instante t_1 termina la señal de emisión U_{emi} y se bloquea el transistor Q6, de modo que ya no circula ninguna corriente por la resistencia R7 y el diodo D2. Como consecuencia, se bloquea también el transistor Q5. Los diodos D4 y D5 están dispuestos con polaridad contraria, de modo que este trayecto no conduce tampoco ninguna corriente. Circula ahora una corriente proveniente del condensador cargado C4 a través del trayecto colector-base del transistor Q4, el condensador descargado C3 y la resistencia R8. Se abre el transistor Q4. Los dos condensadores C4 y C2 están ahora conectados en serie. Su tensión total es más alta que la tensión de bus Bus+, de modo que ahora circula hacia el bus una corriente relativamente alta que es limitada por la resistencia R9. El condensador C3 se sigue cargando ahora continuamente a través de la resistencia R8 hasta que se bloquee nuevamente el transistor Q4. Mediante un dimensionamiento correspondiente del condensador C3 y de la resistencia R8 y gracias a la constante de tiempo así generada se obtiene, en cooperación con el convertidor de impedancia de la fuente de alimentación del bus, el impulso de compensación definidamente atenuado para el comportamiento requerido según la figura 2.

30 La figura 6 muestra la combinación de los circuitos según la figura 4 y la figura 5. El transistor Q2 asume aquí también la función del transistor Q6 del circuito según la figura 5, de modo que el impulso de emisión U_{emi} es proporcionado tanto al circuito para generar el impulso activo como al circuito para generar el impulso de compensación. Está previsto un diodo de desacoplamiento D1 que separa funcionalmente los dos circuitos uno de otro.

45 Las características de la invención reveladas en la descripción anterior, en el dibujo y en las reivindicaciones pueden ser esenciales para la materialización de la invención tanto tomadas individualmente como en cualquier combinación.

REIVINDICACIONES

1. Etapa de emisión en un nodo de bus de una red en bus, especialmente en un nodo de bus de una red EIB, que está acoplado a una línea de bus (Bus+, Bus-) para generar una señal de bit que corresponde a una señal de emisión que presenta una secuencia de impulsos de emisión y que consiste para cada impulso de emisión en
- 5 un impulso activo que tiene una duración $\Delta t = t_1 - t_0$, indicando t_0 el principio del impulso activo e indicando t_1 el final del impulso activo, y teniendo una profundidad de impulso U_a , y
- un impulso de compensación adyacente al impulso activo, cuya etapa de emisión comprende
- un circuito (A) para generar el impulso activo;
 - un circuito (B) para generar el impulso de compensación; y
- 10 - al menos un circuito de control (C) para entregar la señal de emisión (U_{emi}) a al menos el circuito (A) para generar el impulso activo;
- en donde la profundidad (U_a) del impulso activo es establecida por una tensión de referencia prefijada (U_{ref}) que es independiente de la magnitud de la porción de tensión continua de la señal de bit, y en donde el circuito (A) para generar el impulso activo está configurado de tal manera que mantiene constante la profundidad (U_a) del impulso
- 15 activo por reacoplamiento negativo de la porción de tensión alterna de la señal de bit, **caracterizada** por que un condensador (C1) está colocado entre la parte portadora de tensión de la línea de bus (Bus+) y un nodo de tensión (U_b), en donde el nodo de tensión (U_b) forma la toma de tensión de un circuito divisor de tensión (U_{ref} , R1, R2) alimentado por la tensión de referencia (U_{ref}), cuya toma está aplicada, a través de una resistencia de protección (R3), a la base de un transistor (Q1) que es parte de un circuito de activación (Q1, Q2) de un transistor de emisión (Q3), en donde las resistencias (R1, R2) del circuito divisor de tensión establecen la profundidad de impulso (U_a) y
- 20 en donde la capacidad del condensador (C1) y las magnitudes de las resistencias (R1, R2) del circuito divisor de tensión y de la resistencia de protección (R3) están sintonizadas de modo que su constante de tiempo garantiza la transmisión de la señal de emisión durante la duración (Δt) del impulso activo.
2. Etapa de emisión según la reivindicación 1, **caracterizada** por que la tensión de referencia (U_{ref}) es una tensión de suministro proporcionada por un suministro de tensión del nodo de bus.
- 25 3. Etapa de emisión según la reivindicación 1, **caracterizada** por que la tensión de referencia (U_{ref}) es una tensión intermedia generada en un suministro de tensión del nodo de bus.
4. Etapa de emisión según la reivindicación 1, **caracterizada** por que el circuito (B) para generar el impulso de compensación presenta al menos dos acumuladores de energía (C2, C4) y está configurado de tal manera que
- 30 - al principio (t_0) del impulso activo dicho circuito conecta en paralelo los dos acumuladores de energía, de modo que estos se cargan durante la duración (Δt) del impulso activo a la tensión de bus momentáneamente existente; y
- al final (t_1) del impulso activo dicho circuito conecta los dos acumuladores de energía en serie y carga la tensión total en el bus a través de los acumuladores de energía (C2, C4) conectados en serie.
- 35 5. Etapa de emisión según la reivindicación 1, **caracterizada** por que está previsto un único circuito de control (C) para activar tanto el circuito (A) para generar el impulso activo como el circuito (B) para generar el impulso de compensación.
6. Uso de una etapa de emisión según cualquiera de las reivindicaciones 1 a 5 en un circuito eléctrico para aplicaciones específicas.

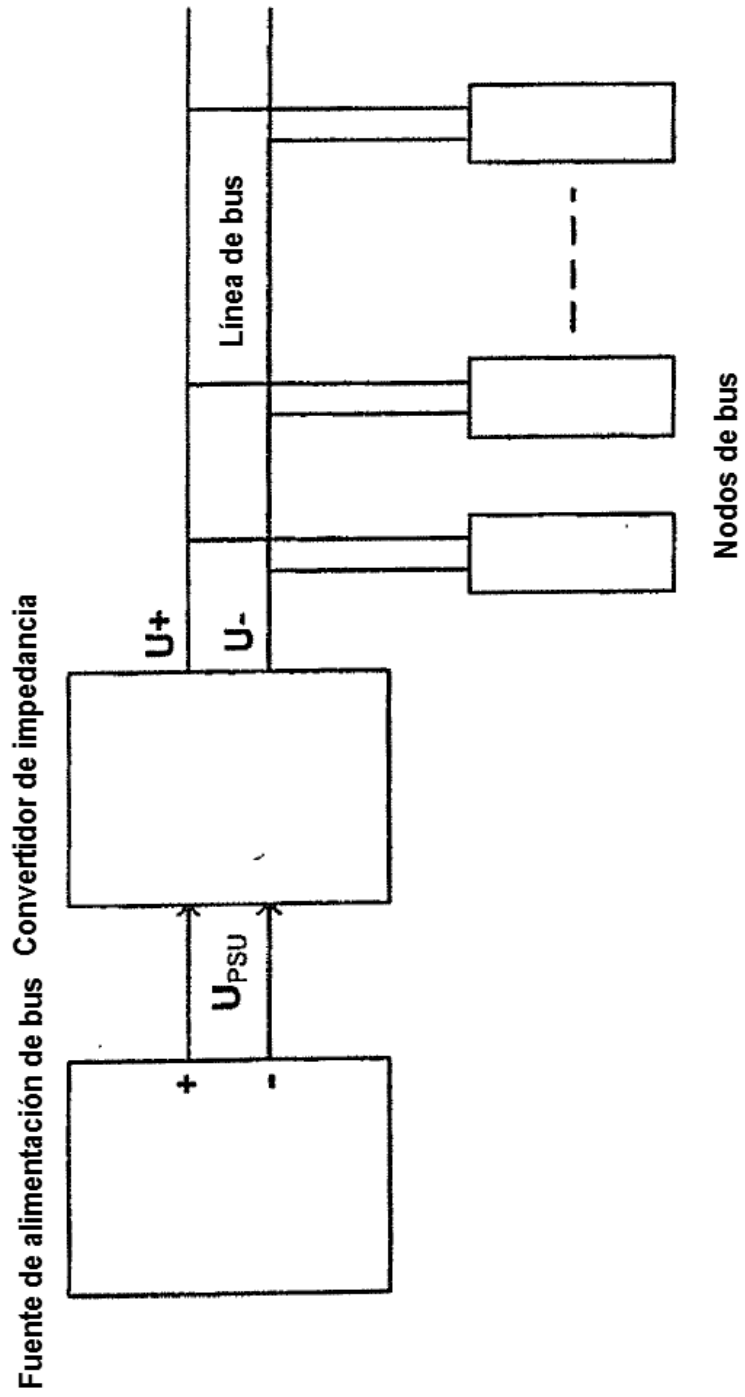


Fig. 1

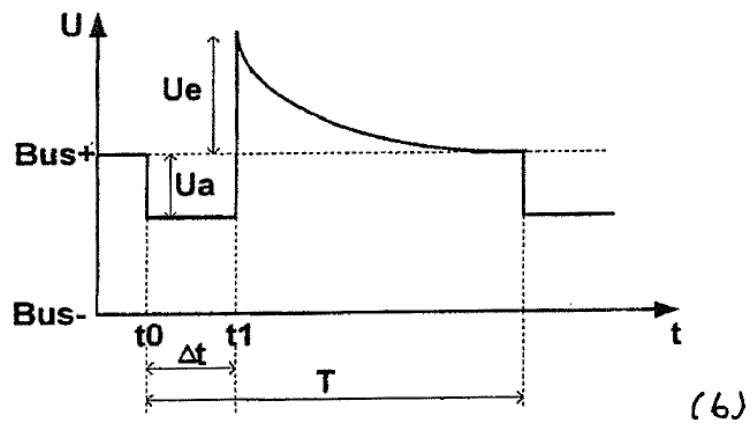
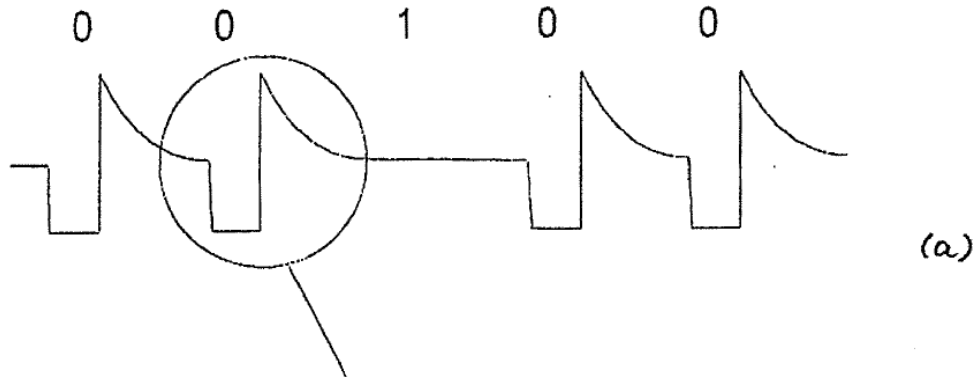


Fig.2

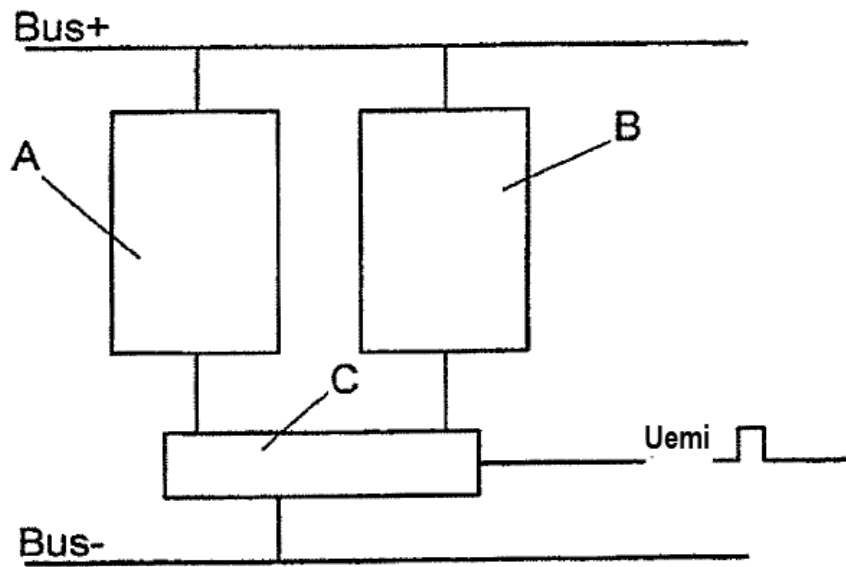


Fig.3

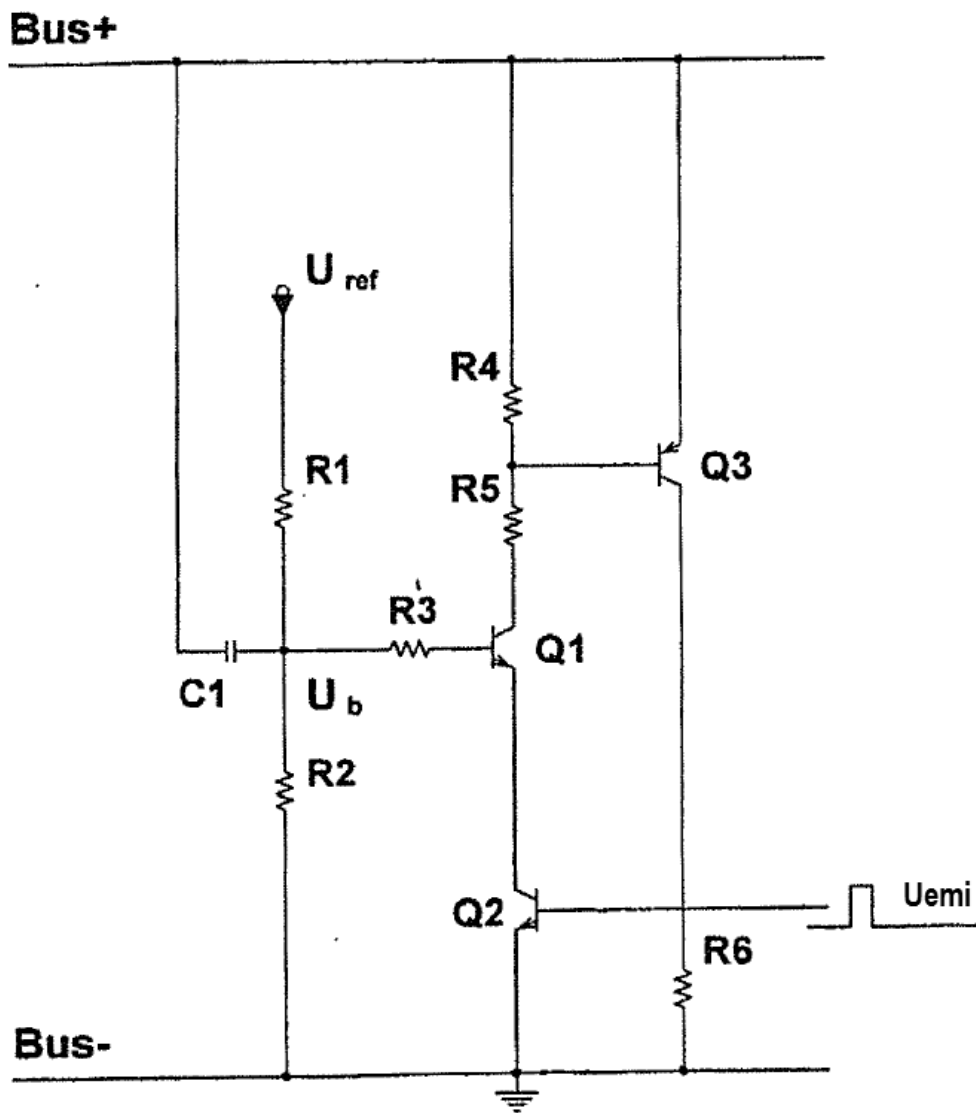


Fig. 4

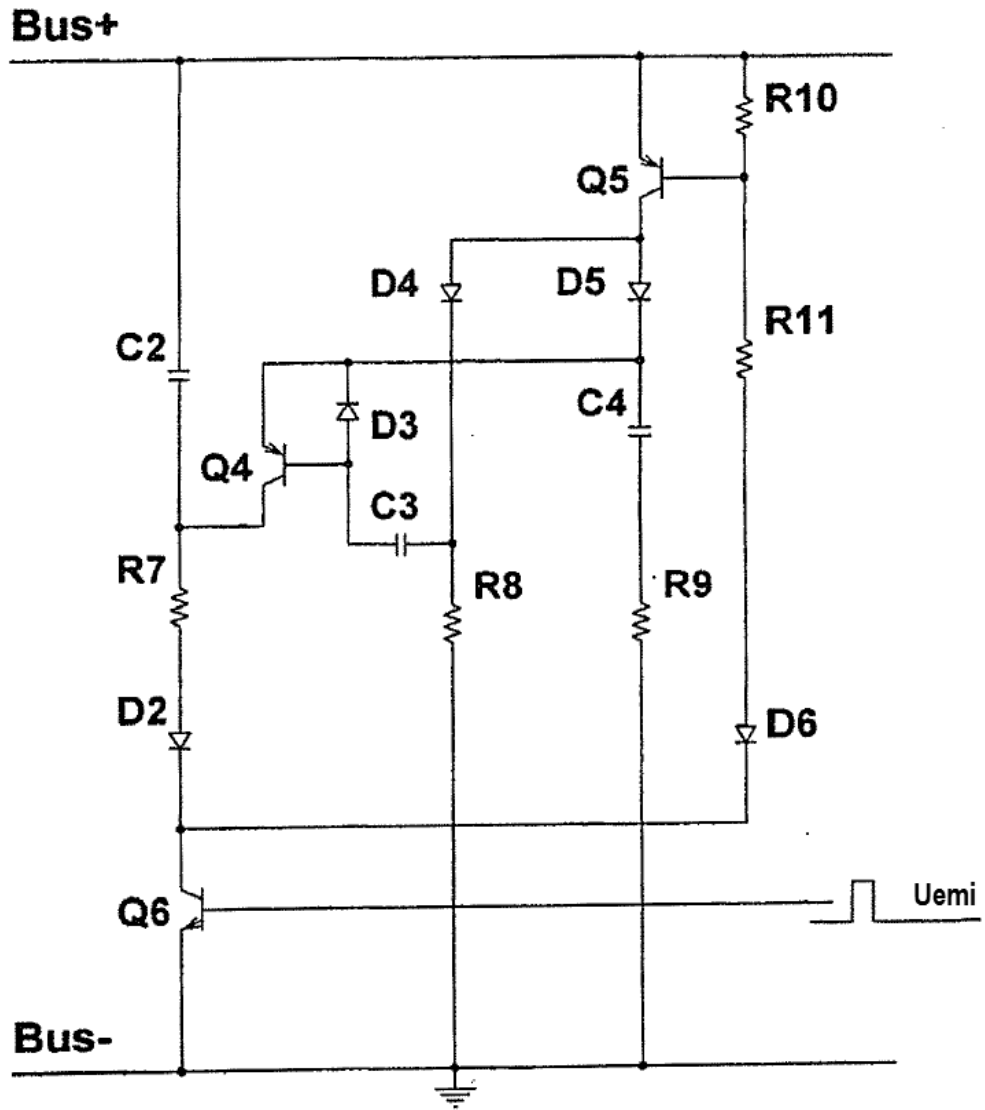


Fig.5

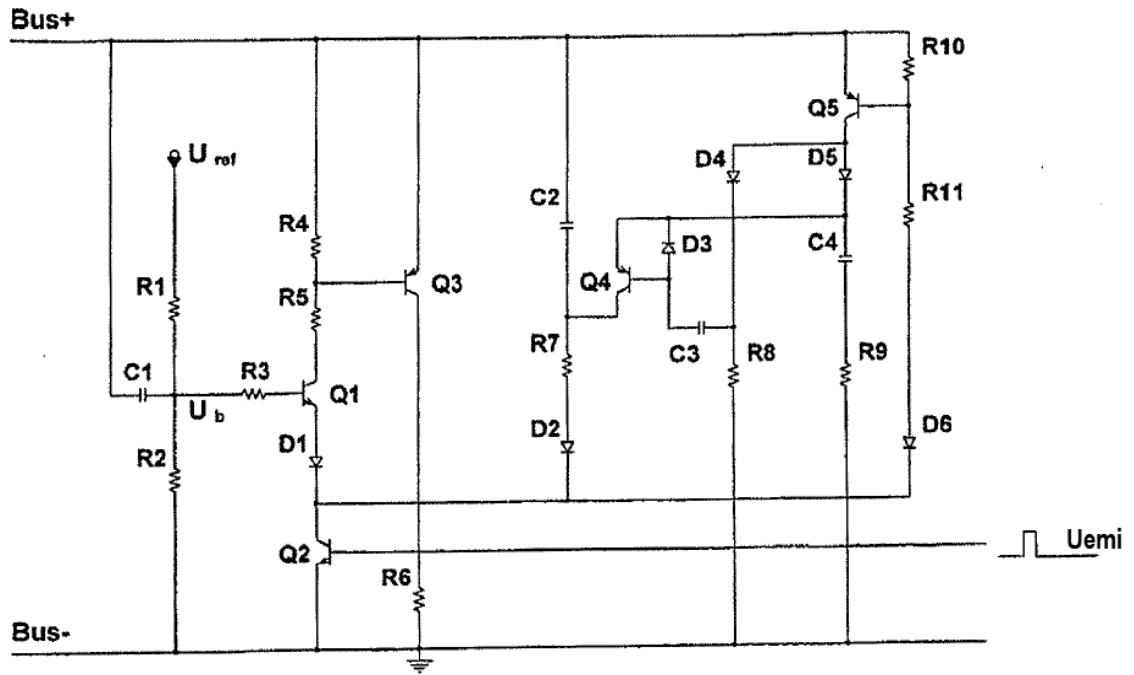


Fig. 6