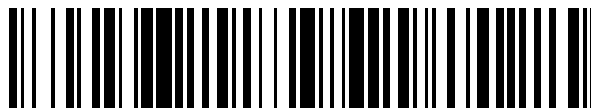


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 435 866**

21 Número de solicitud: 201200664

51 Int. Cl.:

**H01L 21/8232** (2006.01)

**H01L 21/335** (2006.01)

**C23C 14/35** (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

**22.06.2012**

43 Fecha de publicación de la solicitud:

**23.12.2013**

71 Solicitantes:

**UNIVERSIDAD COMPLUTENSE DE MADRID  
(100.0%)**

**Avda. Séneca, 2  
28040 Madrid ES**

72 Inventor/es:

**PAMPILLÓN ARCE, María Ángela;**

**CAÑADILLA SOTO, Carmina;**

**FEIJOO GUERRO, Pedro;**

**SAN ANDRÉS, Enrique;**

**DEL PRADO MILLÁN, Álvaro y**

**LUCÍA MULAS, María Luisa**

74 Agente/Representante:

**PLUMET ORTEGA, Joaquín**

54 Título: **Método de fabricación de estructuras de puerta de transistores MOSFET sobre semiconductores III-V**

57 Resumen:

Fabricación de estructuras de puerta de transistores MOSFET sobre semiconductores III-V.

Esta invención propone aplicar la pulverización de alta presión de nanoláminas metálicas de escandio y un lantánido y su posterior oxidación por plasma temperatura ambiente sobre sustratos semiconductores III-V, de interés para dispositivos MOSFET, tanto planares como FinFETs. La ventaja de estos semiconductores es que tienen mayor movilidad de portadores en el canal que el Si, mayor transconductancia y menor retardo de conmutación con respecto a la tecnología actual.

Se obtienen estructuras MOS funcionales sobre semiconductores alternativos al Si con un óptimo recubrimiento de escalones. Solamente se necesitan tecnologías de vacío alto-medio y que tienen un menor impacto medioambiental que sus alternativas. Supone una simplificación del proceso de fabricación al no tener que realizarse ningún proceso de depuración-filtrado-limpieza de residuos muy dañinos para el medio ambiente y reducción de los tiempos de vacío previo al depósito.

ES 2 435 866 A1

## DESCRIPCIÓN

Método de fabricación de estructuras de puerta de transistores MOSFET sobre semiconductores III-V

### 5 Sector técnico

Esta invención se encuadra de la fabricación de dispositivos semiconductores, dentro del sector de la microelectrónica.

### Estado de la técnica

Los transistores de efecto campo metal-óxido-semiconductor  
10 (MOSFET) tanto de tipo n-MOS como de tipo p-MOS son la pieza básica de la tecnología microelectrónica actual y los responsables de la cada vez mayor funcionalidad y velocidad de proceso de la electrónica de consumo (ordenadores, móviles, tabletas, etc.).

En su carrera por conseguir mejores rendimientos están compitiendo  
15 dos microarquitecturas de dispositivos: la continuación con la tecnología planar convencional sobre sustratos SOI (*silicon-on-insulator*), y la fabricación de estructuras en 3D en la arquitectura FinFET. En ambos casos se hace necesario sustituir el material dieléctrico o aislante de puerta (habitualmente oxinitruro de silicio) por otros materiales con mayor permitividad. En la  
20 actualidad para dispositivos de altas prestaciones la elección habitual de dieléctrico de alta permitividad para la puerta del transistor es una bicapa de SiO<sub>2</sub>/HfO<sub>2</sub>.

Un transistor MOSFET planar convencional (Figura 1) está compuesto esencialmente por un sustrato (1), que puede ser una oblea de Si o silicio  
25 crecido sobre un aislante (*Silicon On Insulator* o SOI), con dos zonas dopadas con el tipo opuesto al sustrato que se denominan Drenador (2) y Fuente (3) y una estructura de Puerta (4) que está en un plano superpuesto y paralelo al del sustrato y que se extiende entre los dos electrodos anteriores. La estructura de puerta está formada por el dieléctrico de puerta (5), en íntimo  
30 contacto con el sustrato y el electrodo de puerta (6), depositado encima del dieléctrico y constituido por un material metálico o semiconductor de alta conductividad.

Un FinFET es un dispositivo conceptualmente idéntico a un transistor planar. Una sección perpendicular al flujo de los portadores se muestra en la Figura 2. En estos transistores la estructura de puerta, dieléctrico (11) y electrodo (12), se deposita sobre una "aleta" (*fin*) de semiconductor (13),  
5 construida sobre el sustrato (14). La aleta une drenador y fuente. De esta manera, se aprovecha además del canal horizontal (15), los canales que se forman en las paredes verticales (16) y (17) de la aleta. Por lo tanto, la anchura efectiva del canal se puede aumentar manteniendo la superficie que ocupa el dispositivo en la oblea, sin más que aumentar la altura de la aleta.  
10 Además, esta arquitectura tiene un mejor control de la tensión umbral, por lo que necesita un menor dopado de la aleta semiconductor. Esta serie de ventajas supone, junto con la reducción de tamaño de los dispositivos, una corriente de drenador mayor y menor corriente de fuga cuando el transistor está en modo apagado, lo que lleva a que la electrónica sea más rápida y  
15 consuma menos potencia.

En ambas arquitecturas la estructura de puerta es la zona fundamental en el funcionamiento del dispositivo. Dicha zona tiene que reunir unos requisitos, tanto eléctricos como geométricos, muy estrictos para garantizar el correcto funcionamiento del transistor. Desde el punto de vista eléctrico, la  
20 intercara entre el sustrato semiconductor y el aislante de puerta debe ser lo menos defectuosa posible para maximizar la movilidad superficial, y por tanto garantizar la máxima corriente entre el Drenador y la Fuente en la situación de inversión. Por otra parte, las prestaciones del MOSFET son tanto mejores cuanto mayor es la capacidad por unidad de área del aislante de puerta. En  
25 concreto, esto implica un espesor físico del aislante de unos 2-4 nm. En la actualidad, la industria microelectrónica está instalando en las cadenas de producción dieléctricos de alta permitividad basados en óxido de hafnio, lo que permite que el espesor del dieléctrico no sea excesivamente delgado sin comprometer las características eléctricas del mismo.

30 Independientemente de la arquitectura de dispositivo, en el futuro cercano, el Si dejará de ser suficiente como sustrato semiconductor debido a su moderada movilidad, y la zona del canal deberá sustituirse por un

semiconductor de mayor movilidad, un material III-V para n-MOS y Ge o  $\text{Si}_x\text{Ge}_{1-x}$  para p-MOS. La mayor movilidad del sustrato conduce a un incremento del parámetro de transconductancia del transistor, con la consiguiente reducción de los retardos de conmutación y, en definitiva, una mayor velocidad de procesamiento. Sin embargo, la fabricación de dieléctricos de alta- $k$  sobre sustratos III-V ó  $\text{Si}_x\text{Ge}_{1-x}$  es mucho más compleja que sobre Si, dado que su tecnología aún no está tan desarrollada y están mucho más limitados en cuanto a su máxima temperatura de proceso.

En la industria el aislante de la puerta de alta permitividad, en esta invención que se propone: óxidos de tierras raras puros o escandatos de tierras raras, se fabrica mediante *Atomic Layer Deposition* (ALD), como se describe en la patente US 7326656-B2, o mediante *Metal-Organic Chemical Vapour Deposition* (MOCVD), como lo plantean H. H. Oh et al. (2009), y siempre sobre sustratos de Si.

En estas técnicas el dieléctrico se obtiene mediante descomposición química de gases precursores. Por ejemplo, en el caso del los escandatos de gadolinio, se emplean gases tales como  $\text{Sc}(\text{THD})_3$  (THD = 2,2,6,6-tetrametil-3,5-heptanodionato),  $(\text{C}_5\text{H}_5)_3\text{Sc}$ ,  $\text{Gd}(\text{THD})_3$  o  $\text{M}(\text{EDMDD})_3$  (M=Sc o Gd; EDMDD=6-etil-2,2-dimetil -3,5-decanodionato), etc. según. H. Oh et al. (2009).

Estos gases en general son muy tóxicos y contaminantes, por lo que tanto su fabricación como su procesado posterior son procesos muy costosos y delicados, a fin de asegurar un proceso de fabricación respetuoso para el medio ambiente. Además, al contener elementos diferentes de los deseados en la película, la contaminación de las láminas es relativamente alta.

Por otro lado, además del ALD, otra técnica habitual para depositar dieléctricos sobre aislantes III-V es *Molecular Beam Epitaxy* (MBE) descrita por M.Hong et al. (1999). Esta técnica aún está lejos de la fase industrial, y permite fabricar láminas delgadas amorfas o epitaxiales con muy baja contaminación ya que trabaja en ultra-alto vacío. Sin embargo, esta técnica no es prometedora para FinFETs, ya que recubre mal los escalones, el depósito es poco uniforme cuando se emplean obleas de gran diámetro, y

además adolece de un bajo rendimiento en obleas/hora debido a la necesidad de condiciones de ultra-alto vacío.

Hasta el momento no se ha demostrado la viabilidad de depositar dieléctricos de alta permitividad funcionales sobre materiales III-V mediante pulverización, ya que los sistemas de pulverización estándar producen un  
5 excesivo dañado del sustrato, así como un recrecimiento de la intercara aislante/III-V. Esto conlleva estructuras MOS no funcionales, esto es, que no son capaces de invertir la superficie, con lo que no se pueden emplear en transistores de efecto campo.

10 En esta patente se plantea aplicar una técnica alternativa de obtención del aislante de la puerta. Un proceso similar a éste, salvo que no emplea nano-laminados sino que deposita  $Gd_2O_3$ , ha demostrado su funcionalidad sobre Si como lo cuentan M. Pampillon et al. (2011) y sobre InP, como se quiere proteger en esta patente.

15 Esta técnica no necesita recurrir al uso de gases contaminantes ni a técnicas de ultra-alto vacío, y además no emplea elementos químicos distintos a los de la película objetivo, salvo argón, que al ser un gas noble, no se incorpora a la película. Dicha técnica se conoce como pulverización de alta presión (*High Pressure Sputtering*, HPS), como se recoge en la patente  
20 P200902006, y tiene como fundamento el crecimiento de una capa delgada de un cierto material a partir de la extracción de átomos de una pastilla de este mismo material por bombardeo de iones de un gas noble, en este caso, argón.

Esto es posible ya que el gas noble se ioniza formando un plasma de  
25 iones positivos que son acelerados hacia la pastilla que se encuentra a potencial eléctrico negativo. Por lo que dicha pastilla se denomina "cátodo", debido a su polarización, o "blanco", ya que es objeto de bombardeo iónico. Los átomos arrancados del blanco se incorporan a un sustrato, formando la película delgada.

30 En la bibliografía científica sobre dieléctricos de alta permitividad depositados sobre semiconductores III-V solamente se han publicado curvas capacidad-voltaje típicas de la estructura MOS, esto es, que muestren

inversión, vaciamiento e inversión, empleando ALD, descrito en la patente US 2008/0048216, o MBE, como lo emplean Hong et al. (1999). El método que se propone aplicar en esta patente consigue fabricar estructuras MOS funcionales sobre materiales III-V mediante pulverización de alta presión (HPS).

La ventaja principal de esta metodología frente al estado del arte es que el proceso de pulverización evita la necesidad de usar gases tóxicos y/o contaminantes durante todos los pasos necesarios para obtener la puerta, hace innecesario el ultra-alto vacío, no somete al sustrato a temperaturas por encima de 300°C, puede recubrir escalones, no hay incorporación de especies ajenas a la película, consigue fabricar dispositivos MOS funcionales que barren de acumulación a inversión sin necesidad de tratamientos especiales de la superficie, para fabricar la puerta completa no necesita romper vacío para extraer la muestra de la cámara de depósito, y además es directamente trasladable a la mayoría de semiconductores III-V y  $\text{Si}_x\text{Ge}_{1-x}$ .

### **Descripción de la invención**

La particularidad del sistema de pulverización de alta presión (HPS) que se quiere proteger en esta patente es que los procesos de bombardeo, extracción de especies del blanco y crecimiento de la película se realizan a altas presiones de gas. Además, se emplea un sistema de blancos móviles, que permite cambiar de blanco durante el proceso y por lo tanto fabricar nano-laminados con grosor sub-nanométrico.

Se trabaja típicamente entre 0,5 y 3 mbar, en torno a dos o tres órdenes de magnitud en presión por encima de las presiones de trabajo en los sistemas de pulverización convencionales y/o industriales, por lo que el plasma queda muy confinado en una estrecha zona próxima a los blancos. Además, al ser el recorrido libre medio de las especies muy pequeño, los elementos que dan lugar al crecimiento llegan al sustrato sin direccionalidad preferente, por lo que el recubrimiento de escalones es óptimo. Esto es decisivo para la fabricación de FinFETs.

El punto crítico de la fabricación de una puerta con calidad de dispositivo es el control de la intercara con el semiconductor. Esto es aún más

importante cuando se trabaja con materiales III-V, ya que al estar compuestos por elementos con diferente volatilidad, en superficie puede perderse el elemento más ligero, incluso a temperaturas moderadas. Esta pérdida daría lugar a un aumento considerable de los defectos de intercara, lo que dificulta  
5 obtener inversión en el canal.

El método que se propone aplicar en esta patente consigue fabricar estructuras MOS funcionales sobre materiales III-V mediante pulverización de alta presión. El punto clave está en el control de la intercara del dieléctrico, lo que se consigue mediante la pulverización en dos pasos, sin sacar la muestra  
10 del sistema y sólo ajustando la composición del gas y los parámetros del plasma: partiendo de uno o dos blancos metálicos de tierras raras, primero se deposita en atmósfera inerte una capa delgada metálica o bien un nano-laminado que crece a alta velocidad, que posteriormente se oxidan por plasma *in situ* en la cámara de depósito sin calentar el sustrato. En el caso  
15 del nano-laminado la oxidación hace que las películas metálicas de espesor nanométrico se entremezclen y den lugar a un óxido ternario. Es muy importante la optimización del proceso de oxidación en cuanto a potencia y duración del proceso, ya que una oxidación demasiado agresiva podría dañar el sustrato, mientras que si ésta es demasiado suave no conseguiría fabricar  
20 un buen dieléctrico de alta permitividad.

En esta patente, el dieléctrico que se ha empleado como prototipo es el  $GdScO_3$  obtenido mediante la formación de un nano-laminado obtenido mediante pulverización de Gd metálico y Sc metálico, y su consecutiva oxidación por plasma *in situ*. El sustrato empleado en el prototipo es el fosfuro  
25 de indio (InP).

En otra realización preferente la metodología propuesta es directamente aplicable a otras composiciones de  $Sc_xGd_{1-x}O_3$  sin más que modificar los grosores relativos de las capas de Sc y Gd.

En otra realización preferente distinta se usan otros ternarios de escandio y tierras raras, como el  $Sc_{0,5}Dy_{0,5}O_3$ , sin más que sustituir el blanco  
30 metálico de Gd por uno de Dy.

En otra realización preferente más, dada la baja temperatura de procesado, también es aplicable a otros semiconductores III-V, como GaAs, o  $\text{In}_x\text{Ga}_{1-x}\text{As}$ , así como a Ge ó  $\text{Si}_x\text{Ge}_{1-x}$ .

El paso final de fabricación de la estructura MOS es el depósito del electrodo metálico superior de la estructura de puerta. En esta propuesta se  
5 obtiene con la misma técnica HPS bombardeando en atmósfera mixta de  $\text{N}_2$  y Ar un blanco de titanio, para obtener TiN. En el siguiente paso se pulveriza Ta en atmósfera mixta de  $\text{N}_2$  y Ar para obtener TaN.

### Un modo de realización

10 Una realización práctica y funcional de la invención es la siguiente:

1.- Limpieza del sustrato de InP mediante un ataque químico en ácido iódico diluido en agua desionizada al 10% en peso. El ataque se realiza a temperatura ambiente durante 1 min.

15 2.- Eliminación del óxido superficial del InP mediante HF de pureza microelectrónica diluido en agua desionizada en proporción 1:50 en volumen. El ataque se realiza a temperatura ambiente durante 30 s en un recipiente de teflón. Este proceso se realiza antes de introducir la muestra en la cámara HPS, en una campana de manipulación hermética en la que se ha eliminado el agua residual de la atmósfera mediante un flujo continuo de  $\text{N}_2$ .

20 3.- Depósito por HPS a temperatura ambiente de una lámina metálica de 0,25 nm de grosor nanométrico de Gd en atmósfera de Ar de pureza 5.0 con una presión de 0,5 mbar (el proceso tarda 5s). El blanco es de Gd de la máxima pureza disponible. La potencia del plasma es de  $1,5 \text{ W/cm}^2$  y se emplea una fuente de *rf* del modelo Huttinger 300. Al finalizar el proceso el  
25 blanco cambia automáticamente de posición para depositar Sc mediante un brazo robotizado de la casa alemana Isel Automation.

30 4.- Depósito por HPS a temperatura ambiente de una lámina metálica de 0.25 nm de grosor nanométrico de Sc en atmósfera de Ar con una presión de 0,5 mbar (el proceso tarda 12s). El blanco es de Sc de máxima pureza. La potencia del plasma es de  $1,5 \text{ W/cm}^2$ . Al finalizar el proceso el blanco cambia automáticamente de posición para depositar Gd.



5.- Se repiten los pasos 3-4 hasta conseguir un nano-laminado metálico con 3 nm de grosor.

6.- Oxidación por plasma *in situ* de la lámina metálica a temperatura ambiente mediante una atmósfera mixta de Ar (95%) y O<sub>2</sub> (5%) ambos de pureza 5.0 y con una presión total de 0,5 mbar. El blanco de Sc se mantiene sobre la muestra. La introducción de O<sub>2</sub> detiene la pulverización, y solamente se produce la oxidación por plasma del nano-laminado. La potencia del plasma es de 1 W/cm<sup>2</sup>. La oxidación dura 100 s.

7.- Depósito por HPS del Electrodo metálico (TiN 5 nm / TaN 50 nm) sin romper el vacío.

8.- Aleación de los dispositivos en horno RTA convencional modelo ADDAX RM a 300°C durante 20 min en atmósfera de *Forming Gas* y pureza 5.0.

### Figuras

15 La figura 1 representa la estructura de una puerta de un transistor MOSFET donde sobre un sustrato (1) se sitúan dos zonas dopadas con el tipo opuesto al sustrato que se denominan Drenador (2) y Fuente (3) y una estructura de Puerta (4) que está en un plano superpuesto y paralelo al del sustrato y que se extiende entre los dos electrodos anteriores. La estructura de puerta está formada por el dieléctrico de puerta (5), en íntimo contacto con el sustrato y el electrodo de puerta (6), depositado encima del dieléctrico (5).

20 La figura 2 representa una sección perpendicular al flujo de electrones dentro de un dispositivo FinFET donde la estructura de puerta, formada por un dieléctrico (11) y un electrodo (12), se deposita sobre una "aleta" (*fin*) del semiconductor (13), construida sobre el sustrato (14). La aleta une el drenador y la fuente y tiene como canales de transmisión, además del canal horizontal (15), los canales que se forman en las paredes verticales (16) y (17) de la aleta.

**Reivindicaciones:**

1. Método de fabricación de estructuras de puerta de transistores MOSFET caracterizado porque comprende las fases:
  - 5       - depósito por pulverización de alta presión o *High Pressure Sputtering (HPS)* de al menos un material metálico de tierras raras sobre la superficie de un semiconductor del grupo III-V, mediante la utilización de un sistema de blancos móviles que permite cambiar de blanco durante el proceso sin sacar la muestra del sistema, en atmósfera de Ar;
  - 10       - oxidación por plasma del conjunto semiconductor-metal;
  - depósito de una primera capa del electrodo metálico superior de la estructura de puerta por bombardeo de un blanco de Ti mediante la técnica de *High Pressure Sputtering (HPS)* en atmósfera mixta de N<sub>2</sub> y Ar para obtener TiN;
  - 15       - depósito de una segunda capa sobre la primera del electrodo metálico superior de la estructura de puerta por bombardeo de un blanco de Ta mediante la técnica de *High Pressure Sputtering (HPS)* en atmósfera mixta de N<sub>2</sub> y Ar para obtener TaN.
2. Método de fabricación de estructuras de puerta de transistores MOSFET según la reivindicación 1 caracterizado porque el material metálico de tierras raras tiene por composición Sc<sub>x</sub>Gd<sub>1-x</sub>O<sub>3</sub> donde 0<x<1.
- 20 3. Método de fabricación de estructuras de puerta de transistores MOSFET según la reivindicación 1 y 2 caracterizado porque el Sc<sub>x</sub>Gd<sub>1-x</sub>O<sub>3</sub> se sustituye por ScGdO<sub>3</sub>.
4. Método de fabricación de estructuras de puerta de transistores MOSFET según la reivindicación 1 y 2 caracterizado porque el Gd se sustituye por Dy.
- 25 5. Método de fabricación de estructuras de puerta de transistores MOSFET según las reivindicaciones 1 a 4 caracterizado porque el semiconductor III-V es InP.
6. Método de fabricación de estructuras de puerta de transistores MOSFET según las reivindicaciones 1 a 4 caracterizado porque el semiconductor III-V es GaAs.
- 30

7. Método de fabricación de estructuras de puerta de transistores MOSFET según las reivindicaciones 1 a 4 caracterizado porque el semiconductor III-V es  $\text{In}_x\text{Ga}_{1-x}\text{As}$ , donde  $0 < x < 1$ .
8. Método de fabricación de estructuras de puerta de transistores MOSFET según las reivindicaciones 1 a 4 caracterizado porque el semiconductor III-V se sustituye por  $\text{Si}_x\text{Ge}_{1-x}$ , donde  $0 < x < 1$ .
9. Método de fabricación de estructuras de puerta de transistores MOSFET según la reivindicación 1 caracterizado porque la arquitectura del transistor MOSFET en lugar de planar es del tipo FinFET.
10. Método de fabricación de estructuras de puerta de transistores MOSFET según la reivindicación 1 caracterizado porque la presión de trabajo en la pulverización varía entre 0,5 y 3 mbar.
11. Método de fabricación de estructuras de puerta de transistores MOSFET según las reivindicaciones 1 y 10 caracterizado porque la presión de trabajo en la pulverización es de 0,5 mbar.
12. Método de fabricación de estructuras de puerta de transistores MOSFET según la reivindicación 1 caracterizado porque la pulverización de alta presión HPS y la oxidación se realizan a temperatura ambiente.

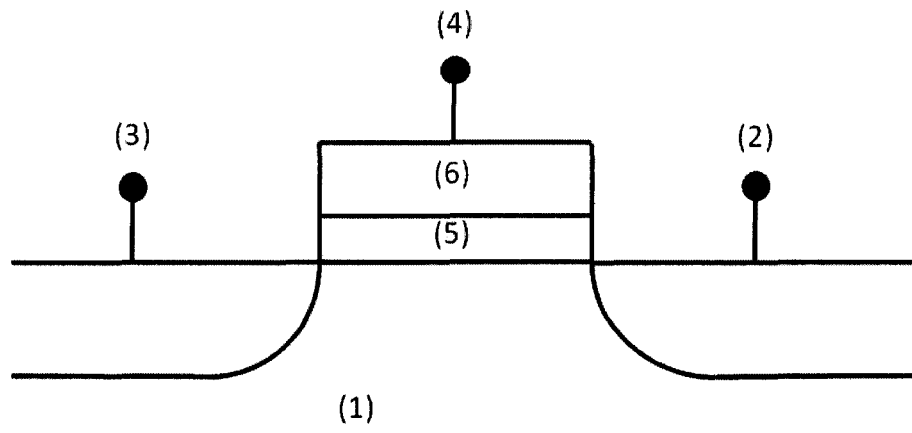


Figura 1

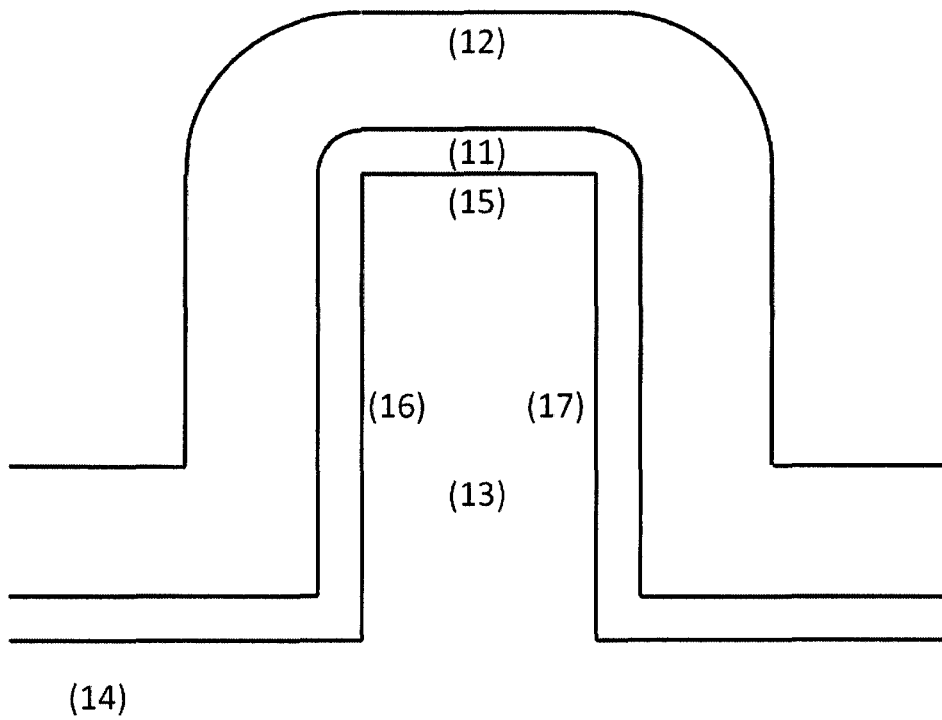


Figura 2.



②① N.º solicitud: 201200664

②② Fecha de presentación de la solicitud: 22.06.2012

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: Ver Hoja Adicional

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	DAS, P.S., et al. Investigation of charge trapping and breakdown characteristics of sputtered-Y2O3 on n-GaAs substrates, Thin Solid Films, 2011, Vol. 520, págs. 47-52.	1-12
A	PAMPILLON, M.A., et al., Anomalous thermal oxidation of gadolinium thin films deposited on silicon by high pressure sputtering, Microelectronic Engineering, 2011, Vol. 88, págs. 2991-2996.	1-12
A	YUE, S., et al., Phase control of magnetron sputtering deposited Gd2O3 thin films as high-k gate dielectrics. Journal of Rare Earths, 2008, Vol. 26, págs. 371-374.	1-12
A	GOTTLOB, H.D.B., et al., Gate-first integration of Gd-based high-k dielectrics with metal gate electrodes, Signals, Circuits and Systems (SCS), 2009, 3rd International Conference, págs.1-4.	1-12

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

**El presente informe ha sido realizado**

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe  
01.08.2013

Examinador  
M. M. García Poza

Página  
1/4

CLASIFICACIÓN OBJETO DE LA SOLICITUD

**H01L21/8232** (2006.01)

**H01L21/335** (2006.01)

**C23C14/35** (2006.01)

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

C23C

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC

Fecha de Realización de la Opinión Escrita: 01.08.2013

**Declaración**

<b>Novedad (Art. 6.1 LP 11/1986)</b>	Reivindicaciones 1-12	<b>SI</b>
	Reivindicaciones	<b>NO</b>
<b>Actividad inventiva (Art. 8.1 LP11/1986)</b>	Reivindicaciones 1-12	<b>SI</b>
	Reivindicaciones	<b>NO</b>

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

**Base de la Opinión.-**

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

**1. Documentos considerados.-**

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	DAS, P.S., et al. Investigation of charge trapping and breakdown characteristics of sputtered-Y2O3 on n-GaAs substrates, Thin Solid Films, 2011, Vol. 520, págs. 47-52.	
D02	PAMPILLON, M.A., et al., Anomalous thermal oxidation of gadolinium thin films deposited on silicon by high pressure sputtering, Microelectronic Engineering, 2011, Vol. 88, págs. 2991-2996.	
D03	YUE, S., et al., Phase control of magnetron sputtering deposited Gd2O3 thin films as high-k gate dielectrics. Journal of Rare Earths, 2008, Vol. 26, págs. 371-374.	
D04	GOTTLLOB, H.D.B., et al., Gate-first integration of Gd-based high-k dielectrics with metal gate electrodes, Signals, Circuits and Systems (SCS), 2009, 3rd International Conference, págs. 1-4.	

**2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración**

El objeto de la invención es un procedimiento de fabricación de estructuras de puerta de transistores MOSFET, que comprende el depósito por pulverización de alta presión de un material metálico de tierras raras, sobre un semiconductor del grupo III-V, y su posterior oxidación.

El documento D01, considerado el estado de la técnica más cercano, divulga un procedimiento de fabricación de estructuras metal-óxido-semiconductor, que comprende el depósito por pulverización de óxido de itrio ( $Y_2O_3$ ), utilizando un sistema de pulverización, asistido por radiofrecuencia, con un blanco cerámico, sobre unos sustratos de GaAs tipo n. Así pues, a la vista de la información divulgada en D01, se considera que el objeto de la invención, según se recoge en las reivindicaciones 1 a 12, presenta novedad (Art.6.1 LP).

La principal diferencia entre el procedimiento aquí divulgado y el recogido en la reivindicación 1 es que en el primer caso la deposición se lleva a cabo en único paso, esto es, se deposita directamente el óxido de itrio a partir de un blanco cerámico, y el procedimiento se lleva a cabo a baja presión, con el objeto de que el sustrato de GaAs se modifique lo menos posible. En el procedimiento de la invención se utiliza una presión de trabajo mayor y, para evitar el deterioro del sustrato, se deposita primero una capa del metal de tierra rara y después se oxida el conjunto metal-sustrato. No sería obvio para el experto en la materia, pasar de pulverizar el material cerámico directamente, como se divulga en D01, a pulverizar el metal y luego oxidar, como en el procedimiento de la invención. Por lo tanto, se considera que el objeto de la invención, según se recoge en las reivindicaciones 1 a 12 presenta actividad inventiva (Art.8.1 LP).

El documento D02 divulga un procedimiento de deposición de óxido de gadolinio ( $Gd_2O_3$ ) sobre sustratos de silicio, mediante pulverización de alta presión de un blanco de gadolinio. Posteriormente, al igual que el procedimiento de la invención, se oxida el conjunto metal-sustrato. A la vista de la información divulgada en D02, se considera que el objeto de la invención, según se recoge en las reivindicaciones 1 a 12, presenta novedad (Art.6.1 LP).

La diferencia entre el procedimiento aquí divulgado y el procedimiento de la invención se basa en la utilización de sustratos distintos. Los sustratos de silicio son muy estables y, además, ampliamente utilizados y conocidos, lo que no se puede extender a los sustratos de semiconductores del grupo III-V. Por ello, no se puede considerar, sin el ejercicio de la actividad inventiva, que un procedimiento válido para un sustrato de silicio sea válido para los sustratos semiconductores del grupo III-V. Por lo tanto, se considera que el objeto de la invención, según se recoge en las reivindicaciones 1 a 12 presenta actividad inventiva (Art.8.1 LP).

Los documentos D03 y D04 muestran el estado general de la técnica para alguna de las etapas del procedimiento de la invención, que pudieran no estar contempladas en los documentos D01 y D02. Así:

El documento D03 divulga un procedimiento de deposición de óxido de gadolinio ( $Gd_2O_3$ ) sobre sustratos de silicio, utilizando un sistema de pulverización, asistido por radiofrecuencia, con un blanco cerámico.

El documento D04 divulga un procedimiento de fabricación de un MOSFET, utilizando óxido de gadolinio, crecido epitaxialmente sobre sustratos de semiconductores III-V.

A la vista de la información divulgada en estos documentos, se considera que el procedimiento de la invención, según se recoge en las reivindicaciones 1 a 12 presenta novedad y actividad inventiva (Arts. 6.1 y 8.1 LP).