

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 437 586**

51 Int. Cl.:

H03K 23/40 (2006.01)

H03K 23/42 (2006.01)

H03K 21/38 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **06.07.2007 E 07763856 (7)**

97 Fecha y número de publicación de la concesión europea: **11.09.2013 EP 2050191**

54 Título: **Contador de pulsos con recuperación por flanco de reloj**

30 Prioridad:

31.07.2006 US 495609

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

13.01.2014

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED
(100.0%)
11 HINES ROAD, SUITE 203
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:

PYEON, HONG BEOM

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 437 586 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Contador de pulsos con recuperación por flanco de reloj

Campo de la invención

5 La presente invención se refiere, en general, a un aparato para contar pulsos de entrada y, en particular, a un contador de pulsos con una función de recuperación por flanco de reloj.

Antecedentes de la invención

10 En los sistemas digitales, los contadores de ondulación se usan ampliamente, por ejemplo, para el reconocimiento de datos y el control de flujo de datos bit. Los contadores de ondulación usados en la mayoría de los sistemas digitales contienen un número de flip-flops tipo D (DFF) para contar relojes durante un intervalo de tiempo específico. Con el recuento de relojes, el sistema digital reconoce el número de bits que se reciben como entrada o se emiten como salida a través del pin correspondiente. Por ejemplo, la patente de Estados Unidos 6.853.698 concedida a Nguyen el 8 de febrero 2005 desvela un circuito contador de ondulación que incluye unos DFF conectados en serie para contar pulsos de reloj de entrada.

15 Los contadores de ondulación convencionales tienen tiempos de establecimiento y de retención. En un caso en el que los anchos de pulso de los relojes de entrada son más estrechos que el período de tiempo crítico especificado por sus tiempos de establecimiento y de retención, los contadores de ondulación pueden funcionar incorrectamente.

El documento GB 2 109 651 desvela un ejemplo de disposición de activación para un contador de frecuencia, y el documento JP 04 302 527 desvela un circuito contador con cuatro flip-flops en cascada.

Sumario de la invención

20 De acuerdo con un aspecto de la presente invención, se proporciona un aparato para contar pulsos de entrada durante un intervalo de tiempo específico. El aparato comprende un circuito de activación de entrada para activar una entrada y producir una señal de salida de recuperación por flanco de reloj, y un circuito contador para contar los pulsos contenidos en la señal de salida de recuperación por flanco de reloj. El circuito de activación de entrada produce la señal de salida de recuperación por flanco de reloj en respuesta a una señal de reloj y una señal de activación de entrada. La señal de reloj contiene los pulsos de entrada que tienen flancos de direcciones primera y segunda. La segunda dirección de los flancos es una opuesta a la primera dirección. El aparato se caracteriza por que la señal de salida de recuperación por flanco de reloj contiene un pulso de reloj completo respectivo para cada uno de los flancos de la primera o segunda dirección de la señal de reloj que se produce mientras que la señal de activación de entrada está en un estado de habilitación y cuando la señal de activación de entrada pasa del estado de habilitación a un estado de deshabilitación.

Por ejemplo, el circuito de activación de entrada comprende un circuito de activación de reloj para activar la señal de reloj usando la señal de activación de entrada para producir una señal de reloj activada. La señal de reloj activada incluye un pulso de reloj corto cuando la señal de activación de entrada pasa a un estado de deshabilitación durante un pulso de reloj de la señal de reloj.

35 El circuito de activación de entrada puede comprender además un circuito lógico combinacional para producir un flanco de primera dirección en la señal de salida de recuperación por flanco de reloj para cada transición en la señal de reloj activada que se corresponde con el flanco de primera dirección de la señal de reloj, y para producir un flanco de segunda dirección en la señal de salida de recuperación por flanco de reloj para cada flanco de segunda dirección de la señal de reloj.

40 Por ejemplo, el circuito de activación de reloj incluye un circuito de almacenamiento y un circuito lógico de activación. El circuito de activación de reloj almacena el estado lógico de la señal de activación de entrada en respuesta a la señal de reloj. Mediante el circuito de almacenamiento, se produce la señal de salida de almacenamiento. En respuesta a la señal de salida de almacenamiento, la señal de activación de entrada y la señal de reloj, el circuito lógico de activación produce la señal de reloj activada.

45 El circuito lógico combinacional puede incluir un biestable que tiene entradas de grabado y de borrado. La entrada de grabado recibe la señal de reloj y la entrada de borrado recibe la señal de reloj activada. La señal de salida de recuperación por flanco de reloj producida por el biestable contiene el pulso completo de la señal de reloj, aun cuando la señal de activación pase del estado de habilitación a un estado de deshabilitación.

50 Otros aspectos y características de la presente invención serán evidentes para los expertos en la materia tras la revisión de la siguiente descripción de realizaciones específicas de la invención junto con las figuras adjuntas.

Breve descripción de los dibujos

A continuación, se describirán las realizaciones de la presente invención, solo a modo de ejemplo, con referencia a las figuras adjuntas, en las que:

La figura 1A ilustra un contador de ondulación simplificado usado en un sistema digital;

5 La figura 1B ilustra señales de reloj encontradas en el contador de ondulación mostrado en la figura 1A;

La figura 2A ilustra un ejemplo de señales de reloj deseadas;

La figura 2B ilustra otro ejemplo de señales de reloj deseadas;

La figura 3 es un diagrama de bloques de un contador de pulsos de acuerdo con una realización de la presente invención;

10 La figura 4A muestra una implementación ejemplar de un circuito lógico de recuperación por flanco de reloj mostrado en la figura 3;

La figura 4B es un diagrama de temporización de señales para el circuito lógico de recuperación por flanco de reloj mostrado en la figura 4A;

La figura 5A es una implementación ejemplar de un contador de ondulación mostrado en la figura 3;

15 La figura 5B es un diagrama de temporización de señales para el contador de ondulación mostrado en la figura 5A;

La figura 6A es una implementación ejemplar de un generador de señalización mostrado en la figura 3;

La figura 6B es un diagrama de temporización de señales para el generador de señalización mostrado en la figura 6A;

La figura 7A es una implementación ejemplar de un circuito lógico de control de borrado mostrado en la figura 3; y

20 La figura 7B es un diagrama de temporización de señales para el circuito lógico de control de borrado mostrado en la figura 7A.

Descripción detallada

25 En la descripción detallada siguiente de las realizaciones ejemplares de la presente invención, se hace referencia a los dibujos adjuntos, que forman parte de la misma, y en los que se muestra a modo de ilustración las realizaciones ejemplares específicas en las que puede practicarse la presente invención. Estas realizaciones se describen con suficiente detalle para permitir que los expertos en la materia practiquen la presente invención, y debe entenderse que pueden utilizarse otras realizaciones y que pueden hacerse cambios lógicos, eléctricos, y de otro tipo sin alejarse del alcance de la presente invención. La descripción detallada siguiente, por lo tanto, no debe tomarse en un sentido limitante, y el alcance de la presente invención se define por las reivindicaciones adjuntas.

30 A continuación se presenta una descripción simplificada de un contador de ondulación con referencia a las figuras 1A y 1B. La figura 1A muestra un contador de ondulación para contar pulsos de reloj durante un intervalo de tiempo específico. La figura 1B muestra las señales a las que se hace referencia en la figura 1A.

35 Haciendo referencia a las figuras 1A y 1B, una señal 111 de activación de entrada que representa un intervalo T_c de tiempo (es decir, el intervalo de tiempo específico) y una señal 113 de reloj que tiene pulsos de reloj se alimentan a una puerta 115 de control de entrada que a su vez proporciona una señal 117 de reloj activada a un contador 119 de ondulación. Por lo tanto, mientras que la señal 111 de activación de entrada es "alta" durante el intervalo T_c de tiempo, el contador 119 de ondulación cuenta los pulsos de la señal 117 de reloj activada. El recuento en el contador 119 de ondulación se realiza en base a transiciones de reloj. En función de la temporización de la señal 111 de activación de entrada y la señal 113 de reloj, puede haber un pulso de reloj corto al final de la señal 117 de reloj activada. Este se muestra que es el caso para el sexto pulso de la señal 117 de reloj activada. El contador 119 de ondulación puede funcionar correctamente o no en función del ancho del pulso del reloj.

40

El contador de ondulación usado en la mayoría de los sistemas digitales contiene elementos secuenciales tales como flip-flops tipo D (DFF). Los elementos secuenciales, tales como los DFF, tienen restricciones de temporización de grabado que deben observarse para que puedan funcionar correctamente. Dos de estas son los tiempos de

- establecimiento y de retención que especifican la cantidad de tiempo durante el que la entrada de datos no debe cambiar antes y después del flanco de reloj ascendente, respectivamente. Un fallo al observar estas restricciones puede dar como resultado un comportamiento inesperado del elemento. El solapamiento 120 entre el reloj 113 y la señal 111 de activación de entrada, es menor que el tiempo de retención mínimo definido en una especificación del sistema. En algunas implementaciones, el solapamiento 120 fluctúa en función de las variaciones de PVT (procesamiento/tensión/temperatura). Idealmente, el último pulso de reloj de la señal de reloj activada (el sexto pulso de reloj para la señal 117 de reloj activada de la figura 1B) debería tener el mismo ancho de pulso que cualquier otro. En el ejemplo de las figuras 1A y 1B, solo hay un pequeño margen de temporización entre la señal 111 de activación de entrada y el reloj 113 para evitar que se produzcan tales errores.
- Los contadores conocidos no proporcionan una solución clara para el desajuste entre el reloj y la entrada de datos. Debido a este problema, la señal de activación de entrada y el reloj deben tener un margen de temporización suficiente para cubrir completamente cada una de las transiciones de reloj que se quiere incluir para evitar cualquier problema técnico del reloj provocado por las transiciones de la señal de activación de entrada.
- Las figuras 2A y 2B muestran señales de reloj deseadas para su procesamiento por contadores de ondulación. En la figura 2A, el flanco 211 trasero de la señal 202 de activación de entrada se solapa con el sexto pulso de reloj de la señal 200 de reloj después de que la señal 202 de activación de entrada pase al estado de habilitación (es decir, lógica "alta"). La señal 204 de reloj activada tiene el pulso de reloj completo del sexto pulso. En la figura 2B, el flanco 221 trasero de la señal 208 de activación de entrada se solapa con el quinto pulso de reloj de la señal 206 de reloj después de que la señal 208 de activación de entrada pase al estado de habilitación. La señal 210 de reloj activada tiene el pulso de reloj completo del quinto pulso. Puede ser un caso en el que el flanco 223 delantero de la señal 208 de activación de entrada se solapa con un pulso de la señal 206 de reloj. Sin embargo, se evita que el circuito produzca un pulso a partir de tal solapamiento.
- Se desea que el estado alto completo de cada pulso de reloj en el lado de flanco trasero del reloj se recupere y se proporcione al contador de ondulación usado en el sistema lógico digital, de manera que los contadores de ondulación funcionen correctamente.
- La figura 3 muestra un contador de pulsos de acuerdo con una realización de la presente invención, que tiene una función de recuperación por flanco de reloj. Se incluyen otras circuiterías lógicas para obtener el punto de inicio del contador de ondulación como un ajuste inicial en el contador de ondulación.
- Haciendo referencia a la figura 3, una señal 311 de activación de entrada, una señal 313 de reloj y una señal 315 de borrado de entrada se alimentan a un circuito 320 lógico de recuperación por flanco de reloj que realiza la función de activación de entrada. El circuito 320 lógico de recuperación por flanco de reloj produce una señal 317 de salida de recuperación por flanco que se retarda mediante un elemento 340 de retardo. La señal 311 de reloj contiene una pluralidad de pulsos. Cada pulso tiene un ancho representado por una primera dirección o flanco ascendente y una segunda dirección o flanco descendente. El elemento 340 de retardo proporciona una señal 321 de reloj retardada a un contador 310 de ondulación y un generador 330 de señalización. El contador 310 de ondulación proporciona N señales 323 de salida de recuento al generador 330 de señalización. N es un número entero mayor que 1. En la presente realización, N es 3, y un grupo de señales 324-0, 324-1 y 324-2 de salida están comprendidas en las señales 323 de salida de recuento. Aunque la figura 3 muestra un contador 310 de ondulación, la señal 321 de reloj retardada puede proporcionarse, más en general, a cualquier circuito de recuento de pulsos. En el ejemplo ilustrado, el generador 330 de señalización funciona para producir una señal 341 de indicación de estado de recuento que se usa para los circuitos posteriores (no mostrados) para buscar su punto de lógica. Más en general, se contempla que cualquier circuito de búsqueda de operación lógica funciona para procesar las salidas de contador para generar una o más señales que definen un punto de lógica.
- La señal 311 de activación de entrada, la señal 313 de reloj y la señal 315 de borrado de entrada, así como una señal 331 de señalización de cambio de orden se alimentan a un circuito 350 lógico de control de borrado que, a su vez, proporciona una señal 333 de control de borrado a un circuito 370 lógico de borrado. En respuesta a la señal 333 de control de borrado y la señal 315 de borrado de entrada, el circuito 370 lógico de borrado proporciona una señal 335 de borrado controlada al contador 310 de ondulación. En respuesta a la señal 321 de reloj retardada y al grupo 324-0, 324-1 y 324-2 de señales de salida, el generador 330 de señalización proporciona la señal 341 de indicación de estado de recuento. En el ejemplo ilustrado, se supone que la entrada 315 de borrado es un borrado completo, por ejemplo en un pin de borrado específico, mientras que la señal 331 de señalización de cambio de orden contiene un borrado generado internamente cada vez que se recibe una nueva orden. Uno o ambos borrados pueden incluirse en una implementación determinada.
- En funcionamiento, el circuito 320 lógico de recuperación por flanco de reloj produce la señal 317 de salida de recuperación por flanco que contiene un pulso de reloj completo para cada flanco ascendente del reloj 313 que se produce mientras que la señal 311 de activación de entrada está en un estado de habilitación. El contador 310 de ondulación está conectado para contar los pulsos contenidos en la señal 321 de reloj retardada del elemento 340 de retardo. El elemento 340 de retardo se inserta para ajustar las temporizaciones de señal entre la señal 317 de salida

de recuperación por flanco y la señal 335 de borrado controlada. En la realización ilustrada, el contador 310 de ondulación funciona para contar pulsos en la señal 321 de reloj retardada. Cuenta ocho pulsos (contando de cero a siete) y a continuación comienza de nuevo desde cero. Lo hace continuamente hasta que se borra mediante la señal 335 de borrado controlada.

5 El circuito 350 lógico de control de borrado controla la operación de borrado del circuito. En una implementación específica, el circuito 350 lógico de control de borrado funciona para generar la señal 333 de control de borrado, en respuesta a la señal 315 de borrado de entrada, la señal 311 de activación de entrada, la señal 313 de reloj y la señal 331 de señalización de cambio de orden. A continuación, se describirá un circuito específico del circuito 350 lógico de control de borrado con referencia a las figuras 7A y 7B.

10 El circuito 370 lógico de borrado genera la señal 335 de borrado controlada de la señal 333 de control de borrado, de tal manera que la señal 335 de borrado controlada solo se genera si la señal 315 de borrado de entrada está en un estado de habilitación.

El circuito 330 generador de señalización funciona para generar la señal 341 de indicación de estado de recuento cada vez el contador 310 de ondulación cuenta hasta ocho.

15 La figura 4A muestra un circuito detallado de una implementación ejemplar del circuito 320 lógico de recuperación por flanco de reloj para la recuperación por flanco de reloj. El reloj solapado parcialmente en el último flanco (o el flanco trasero) de la señal 311 de activación de entrada se recupera a través del circuito 320 lógico de recuperación por flanco de reloj. Sin embargo, se ignora un pulso de reloj que se solapa parcialmente con el flanco ascendente (o el flanco delantero) de la señal 311 de activación de entrada, ya que no debe incluirse en los números de recuento.

20 El circuito 320 lógico de recuperación por flanco tiene un circuito 488 de activación de reloj para activar la señal 313 de reloj usando la señal 311 de activación de entrada para producir una señal 417 de reloj activada, incluyendo la señal activada un pulso incompleto cuando la señal de activación de entrada pasa a un estado de deshabilitación durante un pulso de reloj. También se muestra un circuito 489 lógico combinacional que produce un flanco ascendente en la señal de reloj interna para cada transición en la señal de reloj activada que se corresponde con un

25 flanco ascendente de la señal de reloj, y produce un flanco descendente en la señal de reloj interna para cada flanco descendente del reloj. A continuación, se describirán implementaciones específicas del circuito 488 de activación de reloj y el circuito 489 lógico combinacional con referencia adicional a los ejemplos detallados de la figura 4A. Más en general, debe entenderse que puede emplearse cualquier circuito que logre la funcionalidad descrita anteriormente.

30 En el ejemplo específico ilustrado, el circuito 488 de activación de reloj tiene un DFF 411 que recibe la señal 311 de activación de entrada en su entrada D, recibe la señal 313 de reloj en su entrada CK de reloj, y recibe la señal 315 de borrado de entrada en su entrada R. El DFF 411 se borra cuando la señal 315 de borrado de entrada está en un estado "bajo". El DFF 411 produce una señal 413 de salida Q desde su salida Q. La señal 413 de salida Q, la señal 311 de activación de entrada y la señal 313 de reloj se alimentan a las entradas respectivas de una puerta 415 NAND que, a su vez, proporciona una señal de salida como la señal 417 de reloj activada. El DFF 411 funciona

35 como un biestable que mantiene el estado lógico alto hasta que el pulso de reloj se alimenta a su entrada CK de reloj.

El circuito 489 lógico combinacional incluye dos puertas NAND que se conectan para formar una configuración de biestable de grabado-borrado (\overline{SR}). La señal 417 de reloj activada se alimenta a una entrada de una puerta 419 NAND que forma parte del circuito 489 lógico combinacional. La puerta 419 NAND produce una señal lógica de salida como la señal 317 de salida de recuperación por flanco que funciona como una salida de recuperación por flanco. La señal 317 de salida, la señal 313 de reloj y la señal 315 de borrado de entrada se alimentan a una puerta 423 NAND que, a su vez, proporciona una señal 425 lógica combinada a una segunda entrada de la puerta 419 NAND. La señal 317 de salida de recuperación por flanco de la puerta 419 NAND se retarda mediante el elemento

40 340 de retardo y se proporciona la señal 321 de reloj retardada.

45 A continuación, se describirá el funcionamiento del circuito de la figura 4A, a modo de ejemplo, con referencia a la figura 4B, que muestra un conjunto de señales ejemplares en el circuito 320 lógico de recuperación por flanco de reloj. Más específicamente, la figura 4B muestra una señal ejemplar para cada señal 315 de borrado de entrada, señal 313 de reloj, señal 311 de activación de entrada, señal 413 de salida Q del DFF 411, señal 417 de reloj activada, señal 425 lógica combinada, señal 317 de salida de recuperación por flanco y señal 321 de reloj retardada.

50 Para el ejemplo específico ilustrado, puede observarse que durante el período que la señal 311 de activación de entrada es alta, se solapa parcialmente con un pulso de reloj al inicio del período, se solapa completamente con dos pulsos completos y se solapa parcialmente con un pulso de reloj al final del período.

Para empezar, la señal 315 de borrado de entrada funciona para habilitar todo el circuito. La señal 315 de borrado de entrada pasa a alta en 448. Después de que la señal 311 de activación de entrada pasa a "alta" en 450 (es decir, el flanco delantero del pulso de señal de activación), la señal 413 de salida Q del DFF 411 pasa a "alta" en 452 con el siguiente flanco 460 ascendente del reloj 313. Después que la señal 311 de activación de entrada pasa a baja en

55

454 (el flanco trasero del pulso de señal de activación), la señal 413 de salida Q del DFF 411 pasa a baja en 456 con el siguiente flanco 492 ascendente del reloj 313. Mientras la señal 311 de activación de entrada y la señal 413 de salida Q son altas, la señal 417 de reloj activada de la puerta 415 NAND sigue la inversa del reloj 313. Por lo tanto, la señal 417 de reloj activada tiene un flanco descendente en 458 que se corresponde con el flanco 460 ascendente del reloj 313, y los flancos 462, 464 ascendentes del reloj 313 dan como resultado los flancos 466, 468 descendentes de la señal 417 de reloj activada.

La puerta 419 NAND y la puerta 423 NAND están conectadas en la forma de un biestable \overline{SR} con la señal 417 de reloj activada como la entrada (/S) de grabado, y la señal 315 de borrado de entrada como la entrada (/R) de borrado, y con la señal 313 de reloj funcionando como una entrada /R adicional. Mientras que la señal 315 de borrado de entrada es alta, la señal 313 de reloj funciona como la entrada /R para el biestable \overline{SR} .

Cuando la señal 313 de reloj pasa a baja, el biestable \overline{SR} se borra, y la señal 317 de salida de recuperación por flanco pasa a baja. En otras palabras, la señal 317 de salida de recuperación por flanco tiene flancos descendentes que siguen a la señal 313 de reloj real. Específicamente, la señal 317 de salida de recuperación por flanco tiene los flancos 470, 472, 474 descendentes que siguen a los flancos 476, 478, 480 descendentes de la señal 313 de entrada de reloj.

De forma similar la señal 417 de reloj activada de la puerta 415 NAND funciona como la entrada /S para el biestable \overline{SR} . Por lo tanto, cuando la señal 417 de reloj activada pasa a baja en 458, 466, 468, se graba el biestable \overline{SR} , y la señal 317 de salida de recuperación por flanco pasa a alta en 482, 484, 486, respectivamente. En otras palabras, la señal 317 de salida de recuperación por flanco tiene flancos ascendentes que siguen a los flancos descendentes de la señal 417 de reloj activada, que, a su vez, se corresponden con los flancos ascendentes del reloj 313 real.

Específicamente, cuando, después de que la señal 313 de reloj pasa a alta en 464, la señal 311 de activación de entrada pasa a baja en el flanco 454 trasero, es necesaria la recuperación por flanco de reloj. En respuesta a la transición a alta de la señal 313 de reloj en 464, la señal 417 de reloj activada pasa a baja en 468. La señal 317 de salida de recuperación por flanco pasa a alta en 486, con el resultado de que la señal 425 lógica combinada pasa a baja en 494. A continuación, la señal 311 de activación de entrada pasa a baja en 454 y la señal 417 de reloj activada pasa a alta en 496. Sin embargo, puesto que la señal 425 lógica combinada ya es baja, la señal 317 de salida de recuperación por flanco mantiene su estado alto. A continuación de lo anterior, la señal 313 de reloj pasa a baja en 480 y la señal 425 lógica combinada pasa a alta en 498. Puesto que la señal 417 de reloj activada ya es alta, la señal 317 de recuperación por flanco pasa a baja en 474. Por lo tanto, mientras que dura el pulso de reloj, la señal de activación de entrada pasa al estado de deshabilitación, teniendo el pulso el ancho de pulso de reloj completo que aparece en la señal 317 de salida de recuperación por flanco. Puede observarse que la señal 317 de salida de recuperación por flanco ahora contiene tres pulsos completos, uno correspondiente a cada flanco ascendente de la señal 313 de reloj durante el período que la señal 311 de activación de entrada es alta. A continuación, la señal 317 de salida de recuperación por flanco de la puerta 419 NAND se alimenta al elemento 340 de retardo y la señal 321 de reloj retardada se proporciona desde el mismo. Usando la señal 321 de reloj retardada, puede lograrse un recuento de reloj perfecto sin ningún problema técnico.

La figura 5A muestra un circuito detallado del contador 310 de ondulación. En el ejemplo ilustrado, el contador 310 de ondulación es un contador de ondulación tradicional que incluye N DFF, siendo N un número entero mayor que 1. En el ejemplo específico, N es 3, y el contador 310 de ondulación tiene tres DFF 511-1, 511-2 y 511-3. Cada uno de los tres DFF 511-1, 511-2 y 511-3 tiene un inversor 513-1, 513-2 o 513-3 de retroalimentación respectivo desde su salida Q a la entrada D. La señal 321 de reloj retardada producida por el circuito de recuperación por flanco está conectada a la entrada CK de reloj del primer DFF 511-1. Las salidas Q de los DFF 511-1 y 511-2 están conectadas para proporcionar las señales 517-1 y 517-2 de entrada de reloj a las entradas CK de los siguientes DFF 511-2 y 511-3, respectivamente, a través de los inversores 515-1 y 515-2, respectivamente, de tal manera que cada uno de los DFF 511-2 y 511-3 toma su fuente de reloj del DFF anterior. La señal 315 de borrado de entrada y la señal 333 de control de borrado se alimentan a un circuito 370 lógico de borrado que incluye una puerta 352 NAND y un inversor 354 que forman un circuito lógico AND. La señal 333 de control de borrado se genera internamente mediante el circuito lógico de control de borrado que se describe a continuación. La señal 335 de borrado controlada del circuito 370 lógico de borrado se proporciona a las entradas R de borrado de los DFF 511-1, 511-2 y 511-3 del contador 310 de ondulación. Cada uno de los DFF 511-1, 511-2 y 511-3 se borra cuando la señal 335 de borrado controlada está en estado "bajo". Usando el contador 310 de ondulación, se realiza una operación de recuento hasta 8. La salida del contador para este caso se indica en 323, e incluye las señales 324-0, 324-1 y 324-2 de salida como se ha identificado anteriormente en la descripción de la figura 3. Más en general, para una implementación de N DFF, la operación de recuento se realiza hasta 2^N .

La figura 5B muestra las señales en el contador 310 de ondulación. Estas incluyen la señal 321 de reloj retardada y las señales 324-0, 324-1 y 324-2 de salida de contador. En 520 también se muestra la representación decimal del

estado de las señales 324-0, 324-1 y 324-2 de salida de contador. En el ejemplo ilustrado, la señal 321 de reloj retardada tiene pulsos de reloj consecutivos que se cuentan. Más en general, la señal 321 de reloj retardada puede tener ráfagas de pulsos de reloj (de acuerdo con la longitud de la señal de activación de entrada, como se ha descrito anteriormente). El contador 310 de ondulación aumenta para cada uno de dichos pulsos de reloj, y el tiempo que se toma para contar hasta ocho variará en función del tiempo que se toma para que se reciban ocho de dichos pulsos de reloj.

La figura 6A muestra un ejemplo de un circuito detallado del generador 330 de señalización de la figura 3. El objetivo del generador 330 de señalización es generar una salida después de ocho ciclos de reloj del reloj activado (más en general después de 2^N ciclos de reloj del reloj activado). Haciendo referencia a la figura 6A, la señal 321 de reloj retardada se retarda aún más mediante un elemento 611 de retardo, y la señal retardada adicional se invierte mediante un inversor 613. La señal 615 invertida se alimenta a una entrada de una puerta 619 NOR de dos entradas. El grupo de señales 324-0, 324-1 y 324-2 de salida incluidas en las señales 323 de salida de recuento se alimentan a una puerta 621 NAND, y su señal 623 lógica de salida se alimenta a la otra entrada de la puerta 619 NOR que proporciona la señal 341 de indicación de estado de recuento.

La figura 6B muestra las señales en el generador 330 de señalización incluyendo la señal 321 de reloj retardada, las señales 324-0, 324-1 y 324-2 de recuento, la señal 623 lógica de salida, la señal 615 de reloj inversa retardada, y la señal 341 de indicación de estado de recuento. Haciendo referencia a las figuras 6A y 6B, cuando las tres señales 324-0, 324-1 y 324-2 de recuento son altas, significa que se han contado 8 ciclos, la señal 623 lógica de salida de la puerta 621 NAND pasa a baja por la duración del último ciclo. En el ejemplo ilustrado, esto se combina con la señal 615 de reloj inversa retardada en la puerta 619 NOR, con el resultado de que la señal 341 de indicación de estado de recuento pasa a alta solo durante la segunda mitad del último ciclo de reloj de la señal 321 de reloj retardada, como se muestra. La señal 341 de indicación de estado de recuento se emite como señalización para operaciones lógicas posteriores para saber cuándo se han producido ocho ciclos. Por ejemplo, si la lógica posterior opera sobre una base de un byte cada vez, esta señalización puede usarse para indicar cuándo operar la siguiente. Usando esta señalización, la lógica posterior inicia operaciones relacionadas con los biestables y el control de temporización en un sistema lógico digital (no mostrado). La puerta 619 NOR se conecta para evitar cualquier problema técnico debido al recorrido de la señal, después del elemento 611 de retardo y el inversor 613. La cantidad de retardo en el elemento 611 de retardo se determina en función de la frecuencia máxima y el rendimiento del dispositivo de cada puerta lógica.

La figura 7A muestra un ejemplo de un circuito detallado del circuito 350 lógico de control de borrado. El circuito lógico de control de borrado para esta implementación incluye un circuito 702 de habilitación de borrado que produce una señal 743 de habilitación de borrado que habilita el borrado para un período siguiente a un orden en la señal 331 de cambio de orden y para un período siguiente a un borrado en la señal 315 de borrado de entrada. También se muestra un circuito 704 de generación de borrado interno que funciona cuando se ha habilitado mediante la señal 743 de habilitación de borrado para generar un pulso de borrado interno en la señal 333 de control de borrado siguiente a una transición positiva en la señal 311 de activación de entrada y una transición positiva posterior del reloj 313.

A continuación, se describirán implementaciones detalladas específicas para el circuito 702 de habilitación de borrado y el circuito 704 de generación de borrado interno. Haciendo referencia de nuevo a la figura 7A, la señal 311 de activación de entrada, la señal 313 de reloj y la señal 315 de borrado de entrada se alimentan a la entrada D, la entrada CK de reloj y la entrada R de borrado de un DFF 711, respectivamente. La señal 712 de salida Q del DFF 711 se alimenta a una puerta 713 NAND. La señal 712 de salida Q se invierte mediante un inversor 715 y la señal 716 invertida se alimenta a la puerta 713 NAND con un retardo de tiempo del inversor 715. La señal 331 de señalización de cambio de orden se invierte mediante un inversor 721, y la señal invertida se alimenta a una puerta 723 NAND. La señal 315 de borrado de entrada se alimenta a un elemento 731 de retardo que retarda la señal por un tiempo t_1 . Una señal retardada en t_1 se alimenta a un generador 733 de pulsos. En respuesta a la señal retardada, el generador 733 de pulsos genera una señal 734 de pulso que tiene un ancho de pulso t_2 . La señal de pulso se invierte mediante un inversor 735 y la señal 737 invertida (señal de pulso de borrado) se alimenta a la puerta 723 NAND. La señal 315 de borrado de entrada también se alimenta a otra puerta 725 NAND que tiene una señal 741 de salida que se alimenta a la puerta 723 NAND. Una señal de salida (la señal 743 de habilitación de borrado) de la puerta 723 NAND se alimenta a las puertas 725 y 713 NAND. La señal 745 de salida de la puerta 713 NAND se alimenta a una puerta 751 NAND. La señal 752 de salida de la puerta 751 NAND, la señal 313 de reloj y la señal 315 de borrado de entrada se alimentan a una puerta 753 NAND que, a su vez, proporciona una señal 755 de salida a la puerta 751 NAND. La puerta 751 NAND emite como salida una señal 752 de borrado lógica, que se invierte mediante un inversor 757, y la señal invertida se proporciona como la señal 333 de control de borrado. La señal 333 de control de borrado se alimenta a un generador 761 de pulsos, cuya señal de salida generada se invierte mediante un inversor 763 para proporcionar una señal 765 de pulso invertida (señal de pulso de borrado) a la puerta 725 NAND. Las puertas 723 y 725 NAND se conectan para formar un biestable \overline{SR} con salida (la señal 743 de habilitación de borrado). De manera similar, las puertas 751 y 753 NAND están conectadas en una configuración de biestable \overline{SR} con la señal 752 de borrado lógica.

5 La figura 7B muestra las señales en el circuito 350 lógico de control de borrado. Estas incluyen la señal 313 de reloj, la señal 311 de activación de entrada, la señal 315 de borrado de entrada, la señal 331 de señalización de cambio de orden, la señal 712 de salida Q del DFF 711, la señal 716 invertida, la señal 737 invertida (señal de pulso de borrado), la señal 743 de habilitación de borrado, la señal 745 de salida de la puerta 713 NAND, la señal 755 de salida de la puerta 753 NAND, la señal 333 de control de borrado, la señal 765 de pulso invertida (señal de pulso de borrado) del inversor 763 y la señal 741 de salida de la puerta 725 NAND.

10 Haciendo referencia a las figuras 7A y 7B, en función de la transición a alta de la “entrada”, que significa el inicio de una nueva operación, y de la señalización que indica un cambio de orden, se afirma una nueva orden. Solo la nueva afirmación de orden puede borrar el contador de ondulación que repite 8 ciclos. La señal 311 de activación de entrada solo controla el recuento de reloj hasta que se emite una nueva orden del sistema lógico anterior que genera la señal 311 de activación de entrada. La señal 743 de habilitación de borrado puede habilitarse mediante una operación de “borrado” inicial y la señal 331 de cambio de orden que indica el inicio de una nueva orden que se genera desde el sistema lógico anterior. Durante el estado alto de la señal 743 de habilitación de borrado, el estado alto de la señal 311 de activación de entrada se convierte en válido.

15 Cuando la señal 315 de borrado de entrada pasa a alta, se genera un pulso en la señal 737 invertida mediante la operación del elemento 731 de retardo, el generador 733 de pulsos, y el inversor 735. Un ejemplo de un pulso de este tipo se indica en 780 a continuación del flanco 781 ascendente en la señal 315 de borrado de entrada. La señal 743 de habilitación de borrado de la puerta 723 NAND pasa a alta a continuación de tal pulso en la señal 737 invertida, como se indica en 782.

20 Además, un flanco ascendente en la señal 743 de habilitación de borrado también sigue a un flanco ascendente en la señal 331 de señalización de cambio de orden. Un ejemplo de esto se muestra con el flanco 784 ascendente que sigue al pulso 786 de señalización de cambio de orden.

25 La señal 712 de salida Q del DFF 711 y su señal 716 invertida (ligeramente retardada en comparación con la señal 712) alimentada a la puerta 713 NAND se combinan para producir un pulso en la señal 745 de salida. El pulso dura la duración del retardo entre el pulso de la señal 712 y el pulso de la señal 716 invertida, siempre que la señal 712 pase a alta, y solo si la señal 743 de habilitación de borrado también es alta al mismo tiempo. La cantidad de retardo mediante el inversor 715 puede ajustarse con precisión empleando un número impar variable de inversores para generar pulsos de la señal 716”. En la figura 7B, se muestra el pulso 787 en la señal 745 durante el período en que la señal 743 de habilitación de borrado está activa a continuación del flanco 781 ascendente de la señal 315 de borrado de entrada, mientras que el pulso 788 se muestra en la señal 745 durante el período en que la señal 743 de habilitación de borrado está activa a continuación del pulso 786 de entrada de la señal 331 de señalización de cambio de orden.

35 La transición hacia abajo de cada pulso que aparece en la señal 745 de salida de la puerta 713 NAND funciona como una entrada de grabado al biestable \overline{SR} , y da como resultado un flanco ascendente en la señal 752 de borrado lógica y un flanco descendente correspondiente en la señal 333 de control de borrado. Específicamente, los flancos 790, 792 descendentes se corresponden con los pulsos 787, 788. El siguiente flanco descendente de la señal 313 de reloj que sigue cada vez que se graba el biestable \overline{SR} funciona como una entrada de borrado al biestable \overline{SR} , y da como resultado un flanco descendente en la señal 752 de borrado lógica y un flanco ascendente correspondiente en la señal 333 de control de borrado. Específicamente, los flancos 794, 796 ascendentes de la señal 333 de control de borrado se corresponden con los flancos 798, 800 descendentes de la señal 313 de reloj. La señal 333 de control de borrado funciona como el borrado principal del contador de ondulación.

45 Cada flanco ascendente de la señal 333 de control de borrado da como resultado un pulso correspondiente en la señal 752 de borrado lógica y un pulso negativo correspondiente en la señal 765 de pulso invertida (señal de pulso de borrado) como resultado del generador 761 de pulso y el inversor 763. Se muestra cómo los pulsos 802, 804 negativos en la señal 765 de pulso invertida siguen a los flancos 794, 796 ascendentes de la señal 333 de control de borrado.

50 La señal 765 de pulso invertida funciona como una entrada de borrado al biestable \overline{SR} compuesto de las puertas 723, 725 NAND. Como resultado, cada pulso en la señal 765 de pulso invertida borra el biestable, y hace que la señal 743 de habilitación de borrado pase a baja. Puede observarse que los flancos 806, 808 descendentes de la señal 743 de habilitación de borrado se corresponden con los pulsos 802, 804 en la señal 765 de pulso invertida. El resultado es que después de grabarse, la señal 743 de habilitación de borrado del biestable \overline{SR} compuesto de las puertas 723, 725 NAND no se borra hasta después de que se haya completado el pulso en la señal 333 de control de borrado. Por lo tanto, un solo pulso en la señal 333 de control de borrado es para iniciar el contador de

ondulación que debe borrarse. Mientras que se borra la señal 743 de habilitación de borrado, la señal 333 de control de borrado se mantiene alta a pesar de las transiciones adicionales en la señal 712 de salida Q del DFF 711 y su señal 716 invertida.

5 Con la funcionalidad anterior, el contador de ondulación se borra en respuesta a la señal 315 de borrado de entrada y la señal 333 de control de borrado.

10 Con la realización ilustrada, se realiza una operación de borrado selectiva. Pueden producirse diversas condiciones de entrada en los sistemas lógicos digitales. Usando la lógica 350 de control de borrado, solo las condiciones especificadas generan la señal de borrado para el contador de ondulación. La operación de ondulación de retroalimentación asegura que no haya una violación del solapamiento o la temporización con el reloj secuencial y la generación de pulsos mediante el generador de pulsos de detección de flancos. Aunque se ha proporcionado un circuito específico que consigue este resultado, debe entenderse que la lógica de control de borrado puede realizarse de una manera similar usando una lógica diferente.

15 En las realizaciones descritas anteriormente, las señales son señales lógicas "altas" activas. Los estados "alto" y "bajo" lógicos de las señales pueden representarse mediante las tensiones VDD y VSS de alimentación alta y baja, respectivamente. Las señales pueden, sin embargo, ser señales "bajas" activas, de acuerdo con las preferencias de diseño. Los estados "alto" y "bajo" lógicos de las señales pueden representarse mediante las tensiones VSS y VDD de alimentación baja y alta, respectivamente. Además, las tensiones con la operación del dispositivo pueden ser tensiones derivadas de las tensiones VDD y VSS de alimentación alta y baja.

20 Por ejemplo, en referencia a la figura 4B, la señal 311 de activación de entrada puede ser una señal lógica baja activa. El flanco delantero en 450 y el flanco trasero en 454 que define el intervalo de activación específico pueden ser flancos descendentes y ascendentes, respectivamente. En una configuración de circuito de este tipo, el pulso solapado de la señal de reloj se recuperará completamente con el flanco trasero y ascendente.

25 En las realizaciones descritas anteriormente, los elementos y circuitos del dispositivo están conectados entre sí como se muestra en las figuras, en aras de la simplicidad. En las aplicaciones prácticas de la presente invención para aparatos contadores de pulsos, circuitos, elementos, dispositivos, etc., pueden conectarse directamente entre sí. Además, los circuitos, elementos, dispositivos, etc., pueden conectarse indirectamente entre sí a través de otros circuitos, elementos, dispositivos, etc., necesarios para el funcionamiento del contador de pulsos. Por lo tanto, en la configuración real del aparato contador de pulsos, el circuito, los elementos, los dispositivos, etc., están acoplados entre sí (conectados directa o indirectamente).

30 Se pretende que las realizaciones de la presente invención descritas anteriormente sean solamente ejemplos. Pueden efectuarse alteraciones, modificaciones y variaciones de las realizaciones específicas por los expertos en la materia sin alejarse del alcance de la invención, que se define únicamente mediante las reivindicaciones adjuntas a la misma.

REIVINDICACIONES

1. Un aparato para contar pulsos de entrada durante un intervalo de tiempo específico, que comprende:

5 circuitería (320) de activación de entrada que realiza una activación de entrada y produce una señal (317, 321) de salida de recuperación por flanco de reloj en respuesta a una señal (313) de reloj y una señal (311) de activación de entrada, conteniendo la señal de reloj los pulsos de entrada que tienen flancos de direcciones primera y segunda, siendo la segunda dirección de los flancos una dirección opuesta a la primera dirección; y

un contador (310) que cuenta los pulsos contenidos en la señal de salida de recuperación por flanco de reloj, y

10 **caracterizado por que** la señal de salida de recuperación por flanco de reloj contiene un pulso de reloj completo respectivo para cada uno de los flancos de la primera o de la segunda dirección de la señal de reloj que se produce mientras la señal de activación de entrada está en un estado de habilitación y cuando la señal de activación de entrada pasa del estado de habilitación a un estado de deshabilitación.

2. El aparato de la reivindicación 1 en el que la circuitería (320) de activación de entrada comprende:

15 circuitería (488) de activación de reloj que activa la señal de reloj usando la señal de activación de entrada, para producir una señal (417) de reloj activada, incluyendo la señal de reloj activada un pulso de reloj corto cuando la señal de activación de entrada pasa a un estado de deshabilitación durante un pulso de reloj de la señal de reloj, y la circuitería (488) de activación de reloj que comprende:

circuitería (411) de almacenamiento que almacena el estado lógico de la señal (311) de activación de entrada en respuesta a la señal (313) de reloj, produciendo de este modo una señal (413) de salida de almacenamiento; y

20 circuitería (415) lógica de activación que produce la señal (417) de reloj activada en respuesta a la señal de salida de almacenamiento, la señal de activación de entrada y la señal de reloj.

3. El aparato de la reivindicación 2 en el que la circuitería (320) de activación de entrada comprende además:

25 circuitería (489) lógica combinacional que produce un flanco de primera dirección en la señal de salida de recuperación por flanco de reloj para cada transición en la señal de reloj activada que se corresponde con el flanco de primera dirección de la señal de reloj, y que produce un flanco de segunda dirección en la señal de salida de recuperación por flanco de reloj para cada flanco de segunda dirección de la señal de reloj, y la circuitería lógica combinacional que comprende un biestable que tiene una entrada de borrado para recibir la señal de reloj y una entrada de grabado para recibir la señal de reloj activada.

4. El aparato de la reivindicación 1 que comprende además:

circuitería (350) lógica de control de borrado para controlar una operación de borrado del contador.

30 5. El aparato de la reivindicación 4 en el que la circuitería (350) lógica de control de borrado comprende:

35 un generador (704) de borrado para producir una señal (333) de control de borrado en respuesta a la señal (311) de activación de entrada, la señal (313) de reloj, una señal (315) de borrado y una señal (331) de cambio de orden; y circuitería (702) de habilitación de borrado que produce un señal (743) de habilitación de borrado que habilita el borrado durante un período que sigue a una orden en la señal de cambio de orden y durante un período que sigue a una transición a un estado de habilitación en la señal de borrado.

6. El aparato de la reivindicación 5 en el que el generador (704) de borrado comprende:

un generador (723, 725) de borrado interno que genera un pulso de borrado interno que sigue a una transición positiva en la señal de activación de entrada y una transición positiva posterior del reloj, cuando se ha habilitado mediante la señal de habilitación de borrado.

40 7. El aparato de la reivindicación 6 en el que el generador (704) de borrado interno comprende:

circuitería (711) de retardo de señal de activación de entrada que retarda la señal de activación de entrada para proporcionar una señal (712) de activación de entrada retardada; y

circuitería (713, 751, 755) lógica que combina de manera lógica la señal de habilitación de borrado y la señal de activación de entrada retardada para proporcionar la señal de control de borrado, y

la circuitería de retardo de señal de activación de entrada que comprende:

un flip-flop (711) tipo D que recibe la señal de activación de entrada como entrada D y la señal de reloj como entrada de reloj y para producir una salida Q; y

un inversor (715) que produce una inversa retardada de la salida Q después de un retardo del procesamiento,

5 la salida Q y la inversa retardada de la salida Q se reciben juntas como entrada en la circuitería lógica para combinar de manera lógica la señal de habilitación de borrado y la señal de activación de entrada retardada para proporcionar la señal de control de borrado.

8. El aparato de la reivindicación 7 en el que el inversor comprende:

10 un número impar de inversores que produce la inversa retardada de la salida Q, proporcionando cada uno de los inversores un retardo de señal.

9. El aparato de la reivindicación 8, en el que la circuitería (702) de habilitación de borrado comprende:

circuitería (703) de retardo que retarda la señal (315) de borrado para proporcionar una señal de borrado retardada; y

15 un generador (733) de pulsos que genera una señal de pulso en respuesta a la señal de borrado retardada, para proporcionar una señal (737) de pulso de borrado, y

la circuitería de habilitación de borrado que comprende además:

un segundo generador (761) de pulsos que genera una segunda señal (765) de pulso en respuesta a la señal (333) de control de borrado, estando la segunda señal de pulso prevista para autogenerar la señal de control de borrado.

10. El aparato de la reivindicación 9 en el que la circuitería (702) de habilitación de borrado comprende además:

20 circuitería (725, 723) lógica que combina de manera lógica la segunda señal (765) de pulso con la señal (737) de pulso de borrado.

11. El aparato de la reivindicación 1 en el que el contador (310) comprende:

25 una pluralidad de flip-flops que están conectados en serie para contar los pulsos contenidos en la señal de salida de recuperación por flanco de reloj, teniendo el contador bucles de retroalimentación, incluyendo la pluralidad de flip-flops un primer flip-flop para recibir la señal de salida de recuperación por flanco de reloj como fuente de reloj, tomando cada uno de los restantes flip-flops la fuente de reloj a partir de una salida del flip-flop anterior, proporcionando cada uno de los flip-flops una señal (324) de salida.

12. El aparato de la reivindicación 11, que comprende además:

30 circuitería de búsqueda de operación lógica para buscar un punto de la operación lógica del contador (310) en respuesta a la señal de salida de recuperación por flanco de reloj y las señales (317, 321) de salida de los flip-flops.

13. El aparato de la reivindicación 12, en el que la circuitería de búsqueda de operación lógica comprende:

35 un generador (330) de señalización que emite una señalización en respuesta a la señal (321) de salida de recuperación por flanco de reloj y las señales (324) de salida de los flip-flops, siendo la señalización para un sistema lógico siguiente para iniciar una operación relacionada con el almacenamiento y el control de temporización en el mismo.

14. El aparato de la reivindicación 1 en el que la circuitería (320) de activación de entrada comprende:

circuitería (488) de activación de reloj que activa la señal de reloj usando la señal de activación de entrada para producir una señal de reloj activada; y

40 un biestable (489) de grabado-borrado que emite como salida la señal de salida de recuperación por flanco de reloj, teniendo el biestable (489) de grabado-borrado una entrada de grabado para recibir la señal de reloj activada y una entrada de borrado para recibir la señal de reloj.

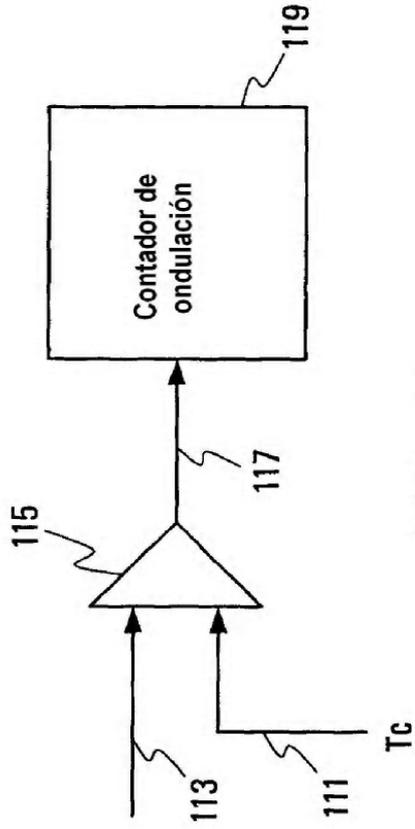


FIG. 1A

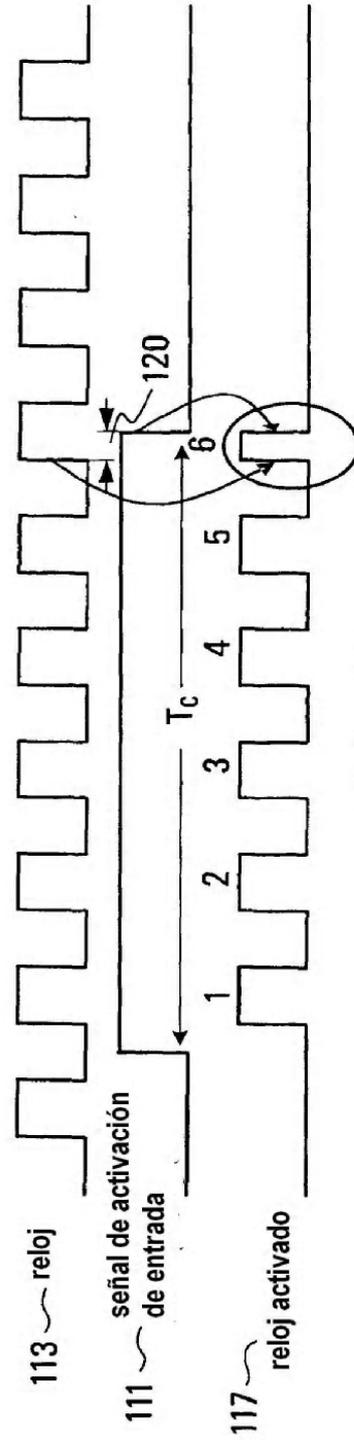


FIG. 1B

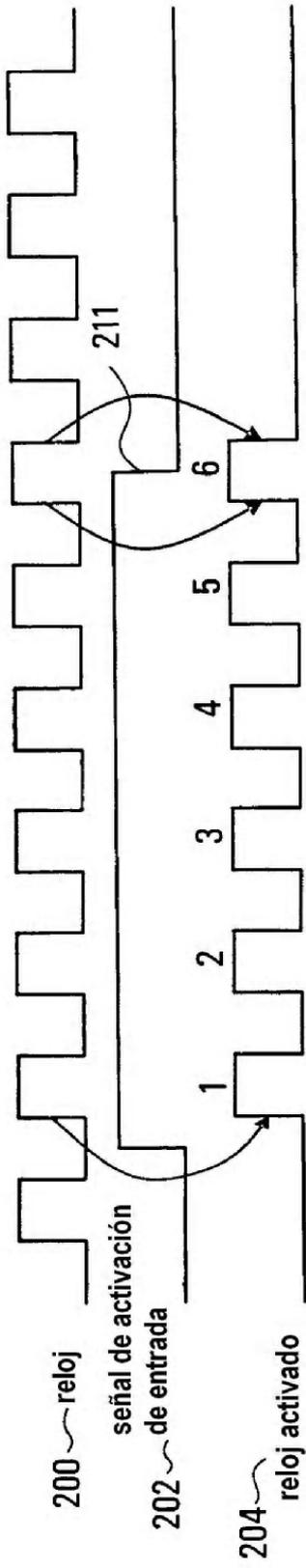


FIG. 2A

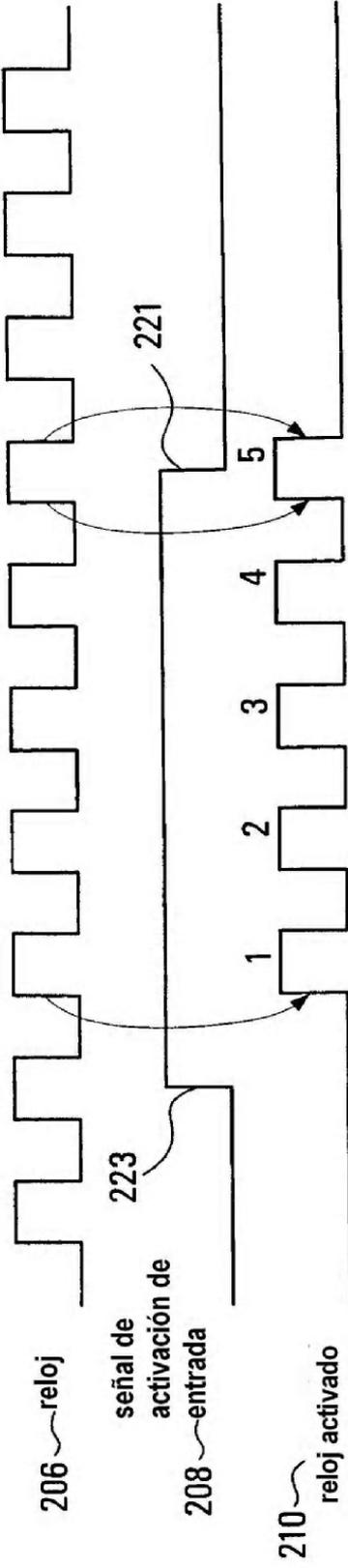


FIG. 2B

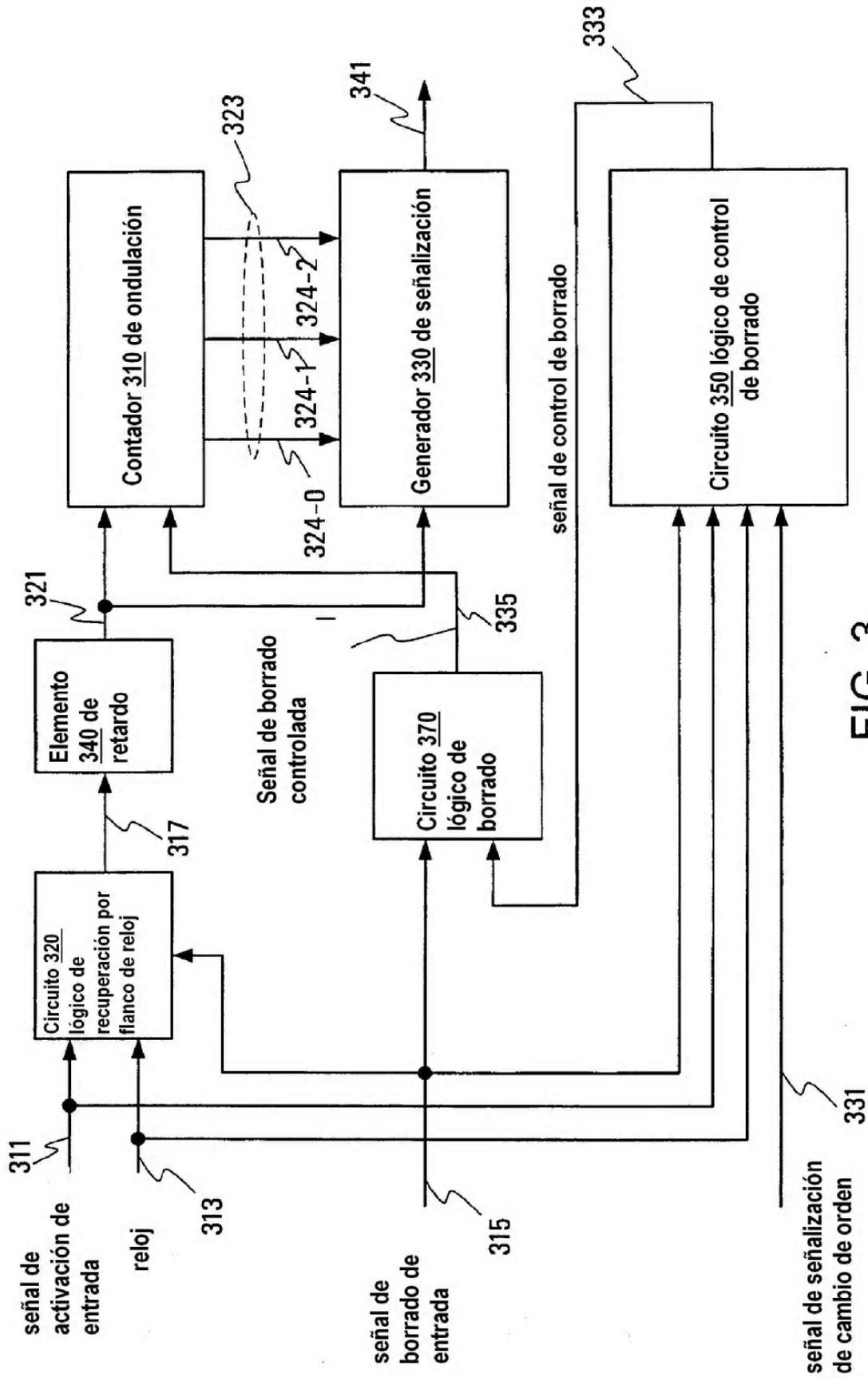
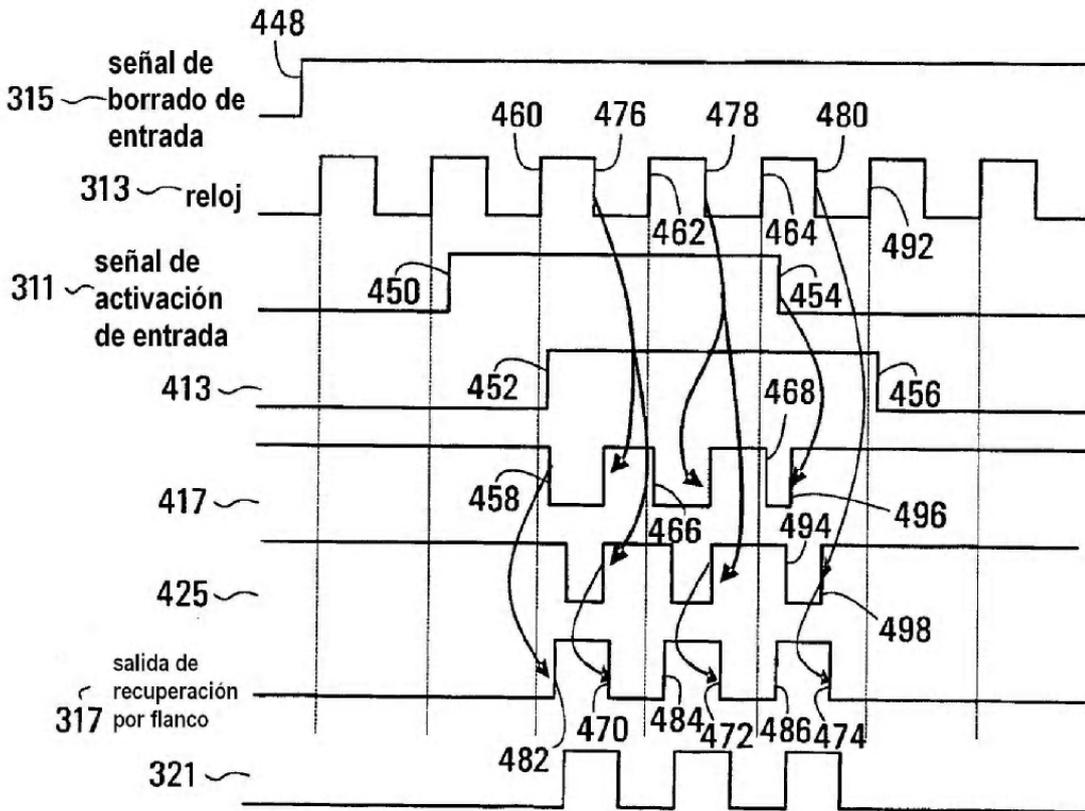
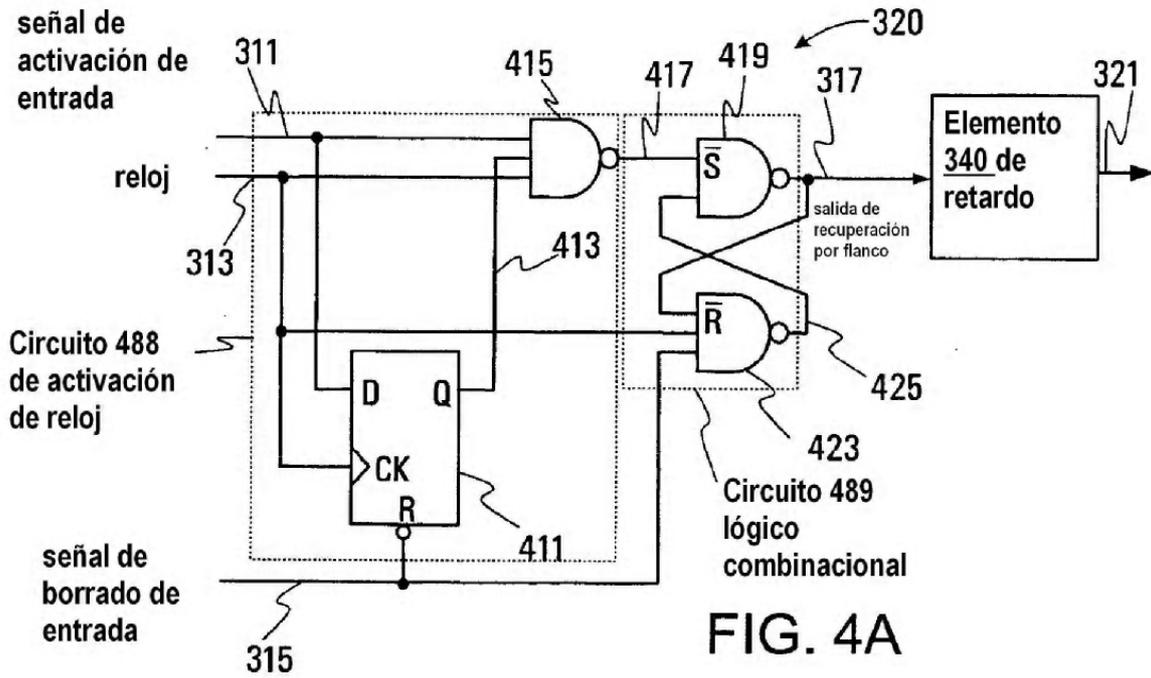


FIG. 3



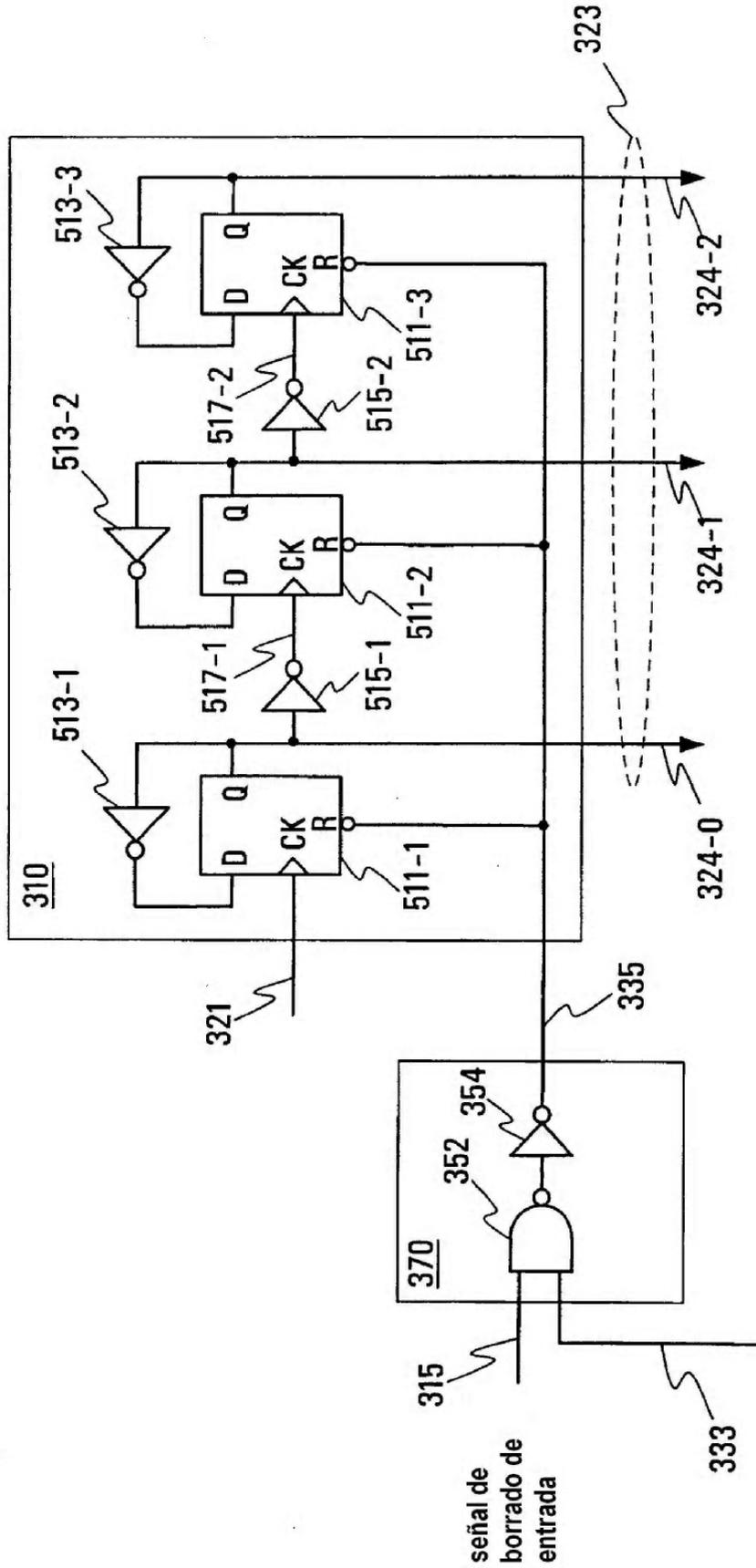


FIG. 5A

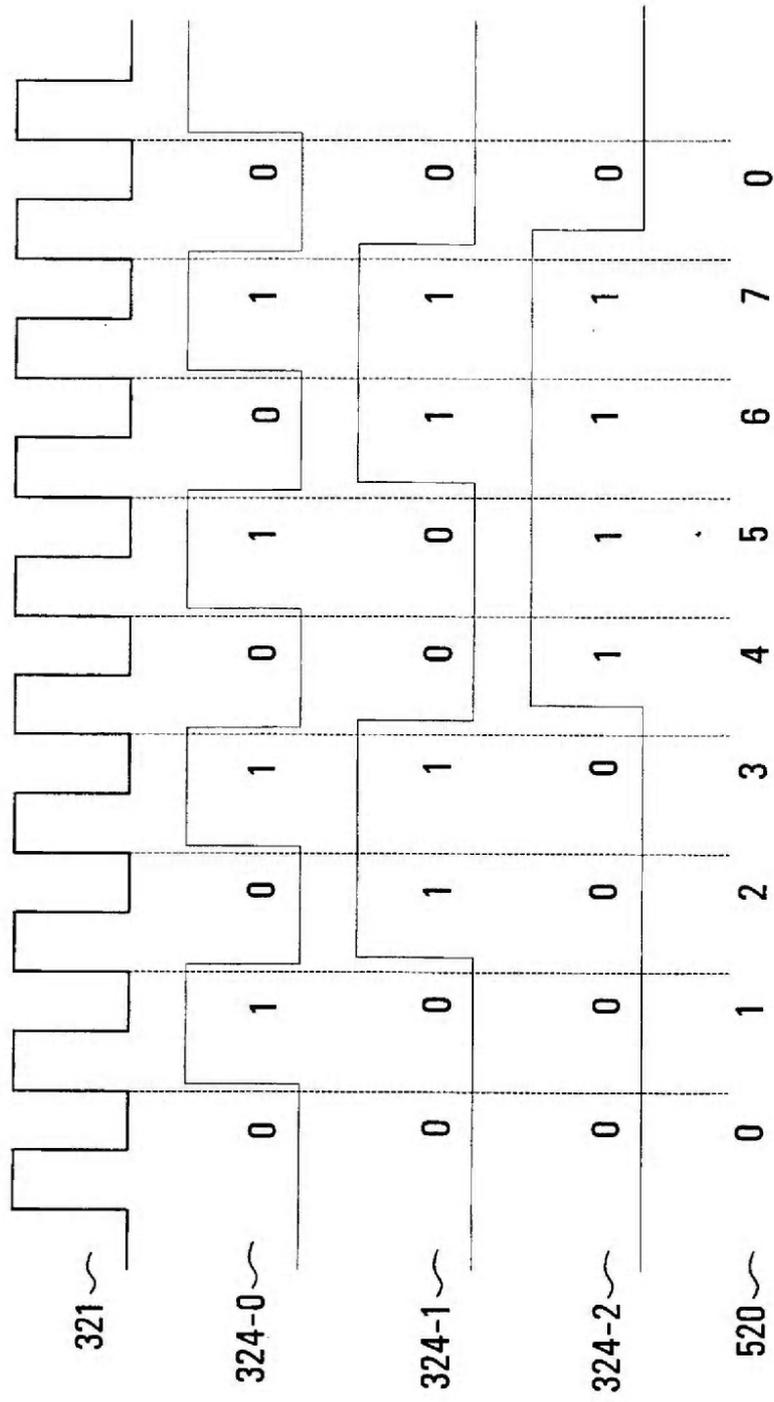


FIG. 5B

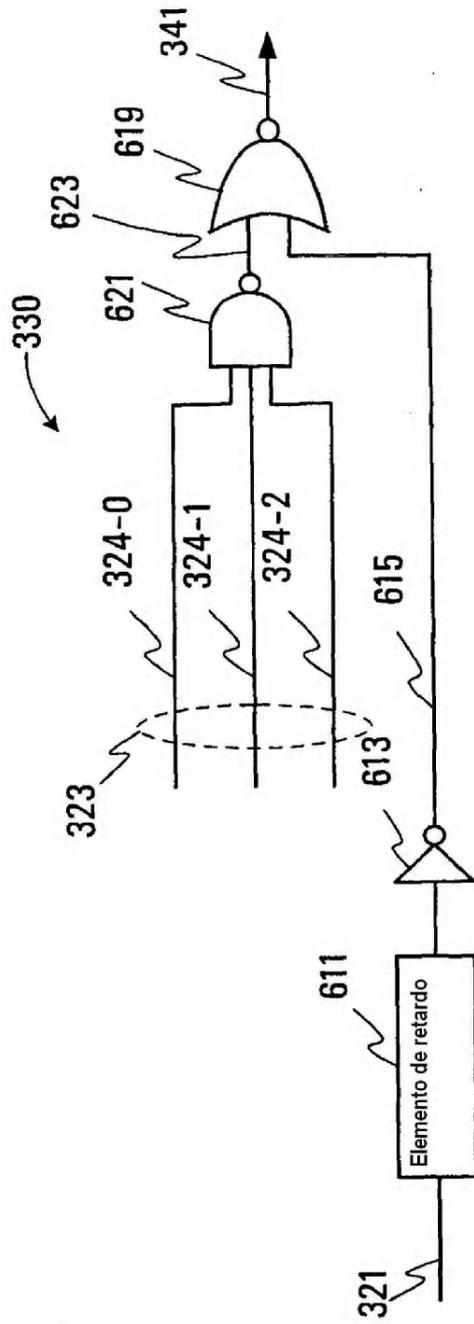


FIG. 6A

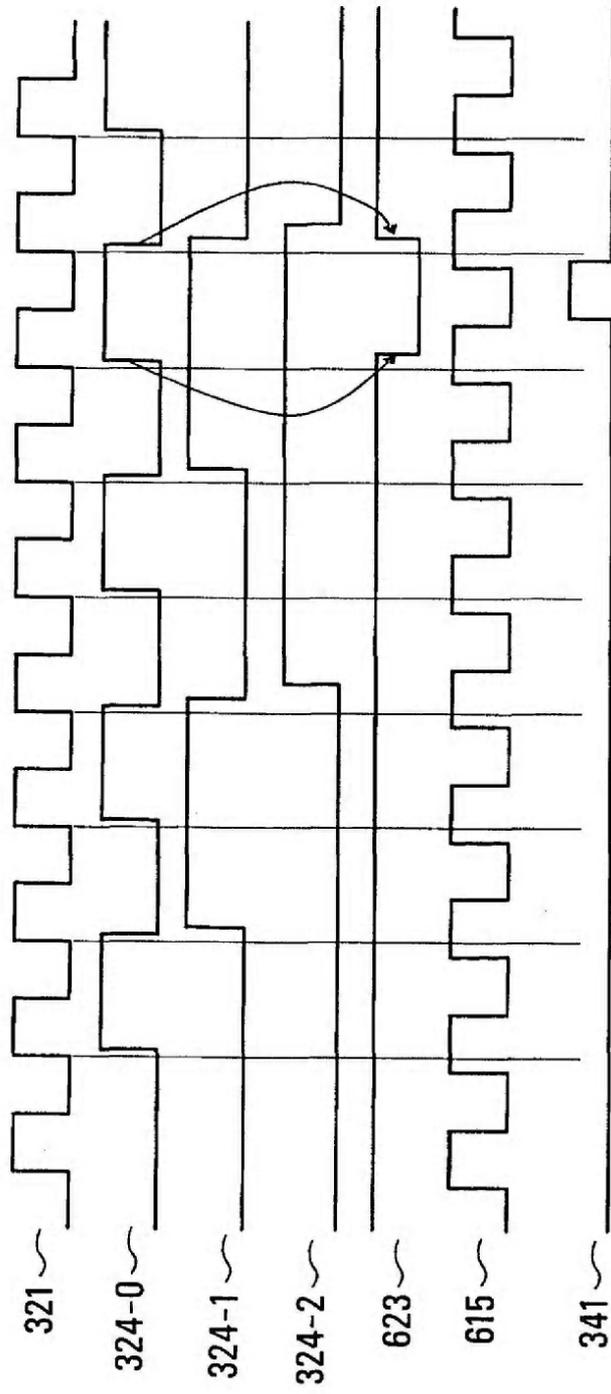


FIG. 6B

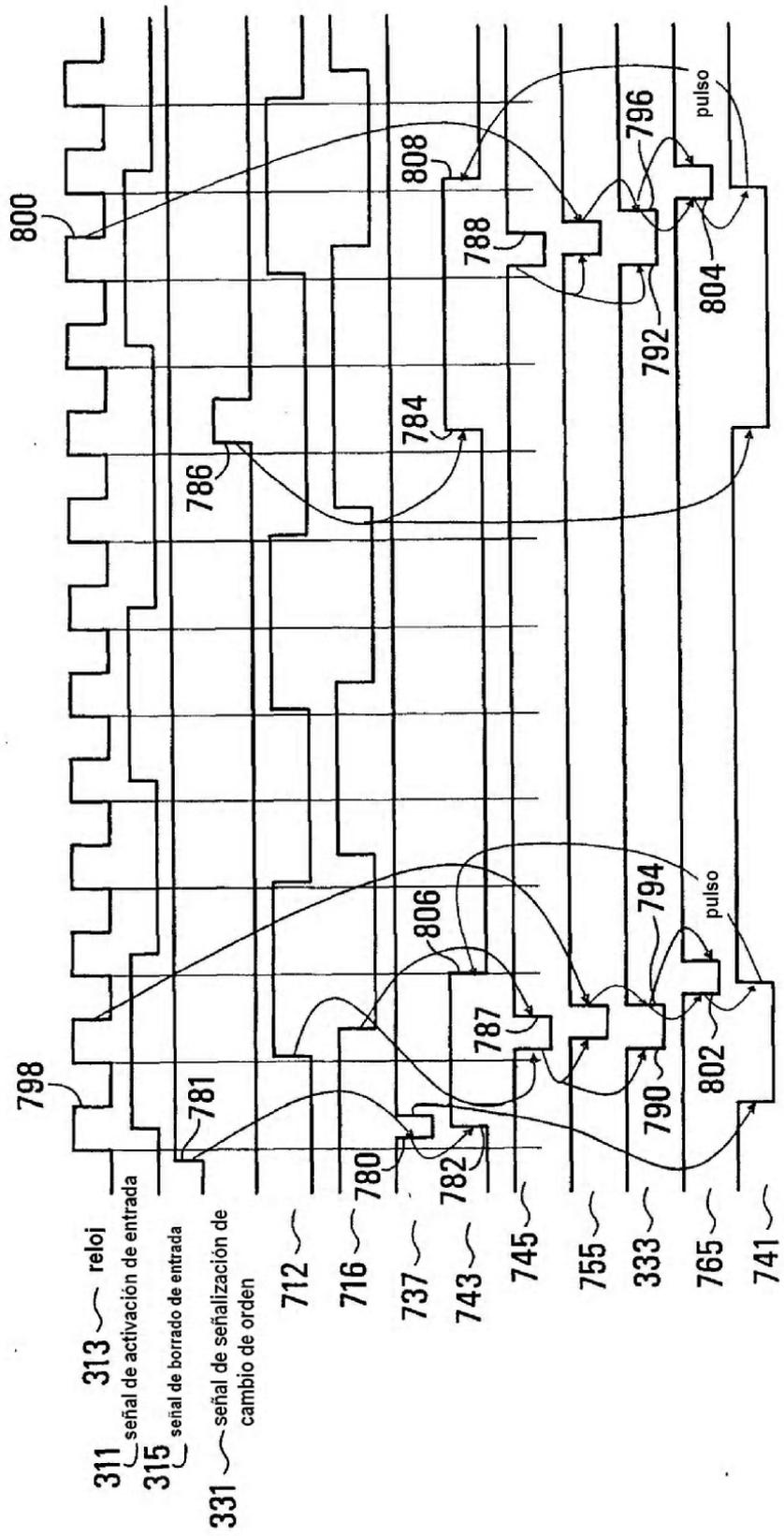


FIG. 7B