(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 438 781**

(51) Int. Cl.:
H03K 17/0814 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **19.01.2010** **E 10151113 (7)**

(97) Fecha y número de publicación de la concesión europea: **16.10.2013** **EP 2348636**

(54) Título: **Dispositivo interruptor de potencia controlado por semiconductores y sistema interruptor asociado**

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
20.01.2014

(73) Titular/es:

THALES (100.0%)
45, rue de Villiers
92200 Neuilly Sur Seine, FR

(72) Inventor/es:

LAMBERT, MARC;
SAUSSEZ, YVES y
MICHEL, RAYMOND

(74) Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 438 781 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo interruptor de potencia controlado por semiconductores y sistema interruptor asociado

La presente invención se refiere a una pluralidad N de dispositivos de interruptor de potencia controlado, a semiconductores y sistema asociado de limitación de tensión eléctrica.

Un interruptor es un dispositivo que permite interrumpir o restablecer el paso de corriente en un circuito eléctrico mediante la apertura o cierre de este circuito.

Un interruptor de potencia controlado por semiconductores elemental puede comprender un MOSFET, acrónimo de "Metal-Oxide Semiconductor Field Effect Transistor", un IGBT, acrónimo de "Isolated Gate Bipolar Transistors", unos transistores bipolares o cualquier otro componente que module la corriente que lo atraviesa según una señal aplicada a su electrodo de control. En el caso de los MOSFET y de los IGBT, este electrodo se denomina comúnmente la "rejilla".

La invención se puede utilizar para constituir un interruptor de potencia. En lo que sigue en la descripción, de manera no limitativa, la invención se describirá mediante unos modos de realización que comprenden unos MOSFET.

Un MOSFET posee tres electrodos: una fuente que permite emitir unos electrodos en un canal, un drenaje que recoge los electrodos en el otro extremo del canal y una rejilla cuya tensión fuente-rejilla controla el paso de electrones.

La tensión eléctrica de umbral intrínseca $V_{GS\ THRESHOLD}$ ("threshold" significa umbral en lengua anglosajona) se define como la tensión eléctrica entre la rejilla y la fuente para la que aparece la zona de inversión, es decir la creación del canal de conducción entre el drenaje y la fuente. Cuanto más se incrementa esta tensión eléctrica más allá del umbral $V_{GS\ THRESHOLD}$, más dejará pasar la corriente el componente. Si se aplica una tensión eléctrica rejilla-fuente V_{GS} inferior a este umbral, el componente no deja pasar corriente entre el drenaje y la fuente. Esto es verdad mientras que la tensión eléctrica drenaje-fuente V_{ds} permanezca inferior a la tensión eléctrica drenaje-fuente máxima V_{dss} que puede soportar el MOSFET cuando está bloqueado. El valor de esta tensión eléctrica se especifica por el fabricante. El valor proporcionado corresponde a esta tensión eléctrica máxima V_{dss}, en ausencia de tensión eléctrica rejilla-fuente (cortocircuito). Su sigla normal es V_{dss} (por V_{ds} "shorted" en lengua anglosajona). Si se sobrepasa esta tensión eléctrica máxima V_{dss}, el MOSFET deja pasar corriente eléctrica, pero puede destruirse durante este paso.

Aunque ciertos componentes se conciban para soportar una puesta en conducción fugaz por sobrepaso de la tensión eléctrica máxima V_{dss}, es preferible no aplicar esta tensión eléctrica al componente porque, a un paso de corriente eléctrica con la tensión eléctrica importante, corresponde una potencia importante disipada en el componente. Esto puede comunicar al componente una energía que sobrepase la energía máxima que puede almacenar y por tanto destruirlo.

Por otro lado, en ciertos campos de aplicación, tal como el campo espacial, las reglas de diseño imponen permanecer netamente por debajo de esta tensión máxima, generalmente por debajo del 80% de esta tensión máxima.

Finalmente, los componentes de semiconductor son sensibles a las partículas energizadas, tales como los iones pesados. Estos iones pesados están presentes en el entorno espacial. El diseño de los equipos destinados a los lanzamientos astronáuticos o en cohetes, en los satélites, en las estaciones orbitales, en las sondas y otros vehículos espaciales, deben imperativamente tener en cuenta estas radiaciones.

Para los MOSFET, esta sensibilidad surge cuando la tensión eléctrica V_{ds} aplicada entre el drenaje y la fuente sobrepasa un umbral propio de cada modelo de componente. El impacto de una partícula energizada sobre un MOSFET sometido a una tensión eléctrica drenaje-fuente V_{ds} superior al umbral de sensibilidad puede provocar su destrucción. Existen unos MOSFET cualificados como "endurecidos", o "radiation hardened" o "RadHard" en lengua anglosajona, resistentes a las partículas energizadas. Su precio de coste es de quinientas a mil veces superior al de los componentes ordinarios.

Como se ha indicado anteriormente, la vulnerabilidad de los componentes surge cuando la tensión eléctrica a la que están sometidos sobrepasa una tensión eléctrica de umbral. Así, a título de ejemplo, un MOSFET ordinario, no endurecido, especificado para una diferencia de tensión eléctrica V_{ds} entre el drenaje y la fuente máxima V_{dss} de 100 V, es insensible a las partículas energizadas cuando la tensión eléctrica Vds entre el drenaje y la fuente permanece inferior a 50 V.

Para unos componentes ordinarios, la relación entre la tensión eléctrica máxima admisible y la tensión eléctrica máxima para la que son insensibles a las partículas energizadas, disminuye con la tensión máxima permitida: del 50 al 65% para un MOSFET de V_{dss} de 100 V, contra el 45% para un MOSFET de V_{dss} de 400 V. Por el contrario, la resistencia eléctrica intrínseca R_{dson} del MOSFET crece con la tensión V_{dss} máxima admisible.

Los documentos “Paralleling Of Power MOSFETs For Higher Power Output” de James B. Forsythe, “Application Note AN-941 Paralleling HEXFET Power MOSFETs”, “Parallel Connection of IGBT and MOSFET Power Modules” de Serge Bontemps, y “Analysis of Avalanche Behaviour for Paralleled MOSFETs” de Jingdong Chen, Scott Downer, Anthony Murray y David Divins, divulgan unas conexiones en paralelo de interruptores elementales, tales como unos MOSFET, o IGBT.

La tesis “Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée.” de Pierre-Olivier JEANNIN defendida en el Institut National Polytechnique de Grenoble presenta el estado de la técnica para las colocaciones en serie o paralelo de componentes interruptores. No presenta combinaciones en serie y paralelo simultáneas.

Los documentos siguientes dan el estado de la técnica para la colocación en serie de componentes interruptores: “Suitability and Optimization of High-Voltage IGBTs for Series Connection With Active Voltage Clamping” Friedhelm Bauer, Member, IEEE, Luc Meysenc, Member, IEEE y Alice Piazzesi, Member, IEEE en IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 20, Nº 6, noviembre de 2005, “Active Voltage Control of IGBTs for High Power Applications” Patrick R. Palmer, Member, IEEE y Haile S. Rajamani en IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 19, Nº 4, julio de 2004, “Optimisation and integration of an active clamping circuit for IGBT series association.” J. Saiz, M. Mermet D. Frey, P.O. Jeannin, JL. Schanen Member IEEE, P. Muszicki en IEEE Volumen 2, Edición 30 Sep-4 Oct 2001 página(s):1046 - 1051 vol.2.

Estos documentos divulgan siempre unos dispositivos de limitación de tensión eléctrica que no generan más que un componente y explotan éste mediante una acción sobre su electrodo de control. Este tipo de solución no se puede utilizar para unos componentes montados en paralelo, porque el componente que tenga el umbral de limitación más bajo será el único en efectuar esta limitación lo que implica un desequilibrio de las disipaciones entre los elementos montados en paralelo.

Estos documentos no divulgan interruptores elementales montados en paralelo para los que se pueda garantizar que su tensión eléctrica permanece inferior a un valor inferior a su tensión eléctrica máxima entre el drenaje y la fuente V_{dss}.

Un objetivo de la invención es proponer un dispositivo interruptor de potencia controlado por semiconductores, que soporte el caso de avería simple de cortocircuito y que tenga una duración de funcionamiento mejorada (por disminución de las cargas en tensión, corriente y potencia, impuestas a los componentes), que utilizan una colocación en serie y en paralelo de interruptores elementales, para los que se puede garantizar que la tensión eléctrica V_{ds} permanece inferior a un valor inferior a una tensión eléctrica elegida, con el fin adecuado para unas aplicaciones que requieran esta condición.

También, según la invención, se propone un sistema interruptor que comprende una pluralidad N de dispositivos interruptores de potencia controlados por semiconductores dispuestos en serie, que comprende un dispositivo interruptor de potencia controlado por semiconductores:

- un circuito de control capaz de efectuar un desfase de la tensión eléctrica y una adaptación de la señal de tensión y de corriente;
- una pluralidad de interruptores elementales de semiconductores montados en paralelo; y
- un circuito común de limitación de tensión eléctrica para mantener la tensión eléctrica en los bornes de dichos interruptores elementales, inferior a una tensión eléctrica de umbral inferior a la tensión eléctrica máxima intrínseca de un interruptor elemental, estando dispuesto dicho circuito común de limitación en paralelo con dichos interruptores elementales caracterizado por que N respeta la relación:

$$(N - 1) \times S > V$$

en la que:

S representa una tensión eléctrica de umbral de un dispositivo interruptor de potencia controlado por semiconductor (Di); y
V representa una tensión eléctrica máxima admisible en los bornes del sistema interruptor (Si)

implementando un dispositivo adicional que no es necesario para soportar la tensión máxima en los bornes del sistema interruptor permitiendo al sistema interruptor permanecer operativo en caso de avería o cortocircuito de no importa cuál de los dispositivos interruptores de potencia controlado por semiconductores (Di) de la pluralidad que componen el sistema interruptor (Si).

De ese modo, es posible garantizar que la tensión eléctrica en los bornes de un interruptor elemental no sobrepasa jamás una tensión eléctrica de umbral, fijada durante el diseño, lo que garantiza, a coste reducido, una gran fiabilidad del dispositivo interruptor para las aplicaciones que necesitan una limitación de ese tipo, tales como unos convertidores de tensión, unos sistemas de control de motor, unos accionadores eléctricos, fiables en los campos espacial, aeronáutico, nuclear, militar, naval y submarino.

En el modo de realización, un interruptor elemental comprende un transistor de efecto de campo de rejilla metal-óxido.

Tomar unos transistores de efecto de campo de rejilla metal-óxido como interruptores elementales permite proponer un dispositivo interruptor de potencia controlado por semiconductores, adaptado para ser utilizado en un lanzador y resistente a las partículas energizadas.

Según un modo de realización, dicho circuito común de limitación comprende un circuito derivador de corriente eléctrica y un generador de señal de control de dicho circuito derivador.

De ese modo, es fácil de realizar un circuito común de limitación, de coste reducido.

En el modo de realización, dicho circuito derivador de corriente eléctrica comprende un transistor de efecto de campo de rejilla metal-óxido, y dicho generador de señal de control de dicho circuito derivador comprende un módulo para asegurar una referencia constante de tensión eléctrica y un amplificador de la diferencia entre la tensión eléctrica aplicada a los bornes del dispositivo interruptor y dicha tensión eléctrica de referencia.

Por ejemplo, el módulo para asegurar una referencia constante de tensión eléctrica puede comprender un diodo Zener, y el amplificador puede comprender un transistor.

Dichos circuitos derivador y generador, al limitar la tensión con precisión, permiten reducir los márgenes de diseño; permiten también mejorar la gestión de los flujos térmicos repartiendo las pérdidas: las vinculadas a la conmutación están bien repartidas sobre cada interruptor elemental y las vinculadas a la limitación de tensión se disipan mediante el circuito derivador.

El sistema interruptor comprende, además, un circuito de amortiguación de oscilaciones, por ejemplo, que comprende una resistencia y un condensador montados en serie.

Un circuito de ese tipo de amortiguación de las oscilaciones permite limitar la velocidad de variación de la tensión aplicada y ofrece un segundo lugar para disipar la energía almacenada en las inductancias parásitas y esto, de manera eficaz, a un coste reducido.

Según la invención, se propone un sistema de interruptor que comprende una pluralidad N de dispositivos interruptores de potencia controlados por semiconductores, tales como los descritos anteriormente, dispuestos en serie.

De ese modo, ninguna tensión eléctrica en los bornes el dispositivo interruptor del sistema de interruptores sobrepasa una tensión máxima.

Esta disposición permite incrementar la tensión máxima que puede soportar el sistema de interruptores.

En el modo de realización, N respeta la relación:

$$(N - 1) \times S > V$$

en la que:

S representa una tensión eléctrica de umbral de un dispositivo interruptor de potencia controlado por semiconductor (DI); y
V representa una tensión eléctrica máxima admisible en los bornes del sistema interruptor (SI).

Así, se prevé un dispositivo interruptor adicional que no es necesario para soportar la tensión máxima en los bornes del sistema interruptor, lo que hace al sistema interruptor resistente a una avería en cortocircuito de uno de sus dispositivos interruptores. Incluso si se produjera una avería de ese tipo, el dispositivo permanece con capacidad de interrumpir la corriente que lo atraviesa y soportar la tensión máxima que le es aplicada. Siendo el coste relativo de esta unión inversamente proporcional a N, es particularmente interesante para N > 2.

Además, el sistema de interruptor comprende un circuito de recuperación de energía, por ejemplo, que comprende un conjunto de cuatro diodos montados en el mismo sentido, dispuestos en paralelo a dicha pluralidad de dispositivos interruptores de potencia controlados por semiconductores, comprendiendo dicho conjunto de cuatro diodos dos subconjuntos de dos diodos montados en paralelo, montados en serie.

Ese circuito de recuperación es particularmente interesante cuando dos sistemas interruptores, tales como los descritos anteriormente, se montan en serie con el fin de constituir una rama de ondulador o de recortador en puente.

De ese modo, durante los periodos de recuperación o de “rueda libre”, la corriente recorre estos diodos y no unos diodos situados sobre los dispositivos interruptores o los diodos intrínsecos de estos dispositivos. De ese modo, por un lado, las pérdidas energéticas son más reducidas puesto que la caída de tensión se limita a la de dos diodos en

serie, contrariamente al caso de una utilización de varios diodos superpuestos, y son disipados en estos cuatro diodos en lugar de en los dispositivos interruptores, lo que facilita la gestión de los flujos térmicos; por otro lado, la presencia de estos cuatro diodos permite, llegado el caso, evitar la puesta en conducción de los diodos intrínsecos de los interruptores elementales tales como los MOSFET, lo que reduce las pérdidas debidas al recubrimiento de los diodos intrínsecos y disminuye la sensibilidad del componente a las variaciones bruscas de tensión eléctrica presentes durante la conmutación.

Según el modo de realización, dicho circuito de recuperación de energía comprende un conjunto de cuatro diodos montados en el mismo sentido, dispuesto en paralelo a dicha pluralidad de dispositivos interruptores de potencia controlados por semiconductores, comprendiendo dicho conjunto de cuatro diodos, dos subconjuntos de dos diodos montados en paralelo, montados en serie.

Esta disposición está destinada a permanecer operativa en caso de avería de uno de los diodos, tanto si se trata de una avería en cortocircuito como en circuito abierto.

Según la invención, se propone igualmente un ondulador de control de un motor síncrono polifásico que comprende, por fase, dos sistemas interruptores tales como los descritos anteriormente.

Un ondulador de ese tipo está particularmente adaptado para un lanzador.

El documento EP 0 967 721 A2 describe un circuito de protección para un sistema interruptor que comprende una pluralidad N de dispositivos interruptores utilizados en una aplicación de conversión de energía.

La invención se comprenderá mejor con el estudio de algunos modos de realización, descritos a título de ejemplo en ningún caso limitativo, ilustrados por unos dibujos adjuntos, en los que:

- la figura 1 ilustra esquemáticamente un dispositivo interruptor de potencia controlado por semiconductores, según un aspecto de la invención;
- la figura 2 ilustra esquemáticamente un ejemplo de realización de un dispositivo interruptor de la figura 1, según un aspecto de la invención;
- la figura 3 ilustra esquemáticamente un sistema de interruptor que comprende una pluralidad de dispositivos interruptores de la figura 1 o 2, según un aspecto de la invención;
- la figura 4 ilustra esquemáticamente un ejemplo de realización de un sistema interruptor de la figura 3, según un aspecto de la invención;
- la figura 5 ilustra un ondulador que comprende una pluralidad de sistemas interruptores de la figura 3 o 4, según un aspecto de la invención.

En las diferentes figuras, los elementos que tienen unas referencias idénticas son idénticos.

En la figura 1 se representa un dispositivo interruptor de potencia DI controlado por semiconductores que comprende un circuito de control CC capaz de efectuar un desfase de la tensión eléctrica y una adaptación en corriente eléctrica y tensión eléctrica, con el fin de corresponder a las características requeridas para el control del elemento de potencia en corriente eléctrica y tensión eléctrica. Este circuito se caracteriza por su capacidad para suministrar, al dispositivo interruptor, una señal de control, aceptando una tensión eléctrica de modo común elevada, positiva o negativa, por ejemplo de -100 V o de +400 V. La tensión eléctrica de modo común de un elemento que suministra la tensión diferencial entre dos puntos, se define clásicamente como la tensión eléctrica común a estos dos puntos que no contiene información. El dispositivo interruptor de potencia DI comprende igualmente una pluralidad de interruptores elementales de semiconductores montados en paralelo, en este caso cuatro interruptores elementales IEa, IEb, IEc e IEd.

El dispositivo interruptor de potencia DI comprende igualmente un circuito común de limitación CCL para mantener la tensión eléctrica, en los bornes de los interruptores elementales IEa, IEb, IEc e IEd, inferior a una tensión eléctrica de umbral S inferior a la tensión eléctrica máxima intrínseca de un interruptor elemental, estando dispuesto el circuito común de limitación CCL en paralelo con dichos interruptores elementales IEa, IEb, IEc e IEd.

Por ejemplo, el circuito común de limitación CCL comprende un circuito derivador de corriente eléctrica CD y un generador de señal de control GSC de dicho circuito derivador CD.

Además, se representa un circuito opcional de amortiguación de oscilaciones CAO que permite absorber la energía presente en las inductancias parásitas y, al hacer esto, limitar la velocidad de variación de la tensión eléctrica en el dispositivo interruptor DI.

Un dispositivo interruptor de ese tipo permite disponer de un interruptor de potencia, capaz de funcionar a unas tensiones elevadas con relación a su tensión de control, que preserva sus interruptores elementales asegurando el respeto de la tensión máxima elegida durante el diseño y que reparte el flujo térmico entre sus componentes. La limitación de la tensión máxima permite preservar los componentes y permite obtener una mayor longevidad.

La figura 2 representa un modo de realización de un dispositivo interruptor DI de la figura 1, en el que un interruptor elemental IEa, IEb, IEc e IEd comprende un transistor de efecto de campo de rejilla metal-óxido o MOSFET ordinario M1a, M1b, M1c y M1d.

El circuito derivador de corriente eléctrica CD comprende como elemento de potencia un transistor de efecto de campo de rejilla metal-óxido o MOSFET M2, y el generador de señal de control GSC del circuito derivador CD comprende un módulo para asegurar una referencia constante de tensión eléctrica, por ejemplo un diodo Zener y un amplificador que convierte la diferencia entre la tensión eléctrica aplicada a los bornes del dispositivo interruptor DI y la tensión eléctrica de referencia, en una tensión de control del elemento de potencia del circuito derivador CD.

El MOSFET M2 del circuito derivador CD está normalmente bloqueado u OFF. Cuando el generador de señal de control GSC detecta una tensión eléctrica en los bornes de los MOSFET ordinarios M1a, M1b, M1c y M1d, que se acerca a la tensión de umbral S, pone al MOSFET M2 en conducción controlada, que no corresponde a una puesta en conducción franca u ON, sino a un funcionamiento como fuente de corriente. Esta fuente de corriente combinada con las impedancias presentes en el drenaje del MOSFET M2 permite regular la tensión eléctrica en los bornes del dispositivo interruptor DI. Una vez que la tensión eléctrica vuelve a descender por debajo de la tensión eléctrica de umbral S, el generador de señal de control GSC vuelve a bloquear el MOSFET M2.

El circuito común de limitación CCL asegura una limitación de la tensión eléctrica en los bornes de los MOSFET ordinarios M1a, M1b, M1c y M1d durante los estados OFF del dispositivo interruptor DI, manteniendo ésta debajo del valor de la tensión eléctrica de umbral S. La presencia de una sobretensión fugaz durante la conmutación del dispositivo interruptor DI no reduce casi la inmunidad a las partículas energizadas, porque la duración de los momentos de vulnerabilidad es reducida en relación a la duración total de los ciclos de funcionamiento.

Además, el circuito de amortiguación de oscilaciones CAO comprende una resistencia R y un condensador C montados en serie.

Este modo de realización es particularmente ventajoso para la utilización en un lanzador astronáutico, porque permite reducir drásticamente el coste del dispositivo interruptor, comparado con un dispositivo que utilice unos MOSFET endurecidos, de un coste de compra y de montaje de 500 a 1000 veces superior al coste de compra y de montaje de un MOSFET ordinario.

La figura 3 representa un sistema interruptor SI que comprende una pluralidad de dispositivos interruptores DI de potencia controlados por semiconductores, en este caso cinco DI_1, DI_2, DI_3, DI_4 y DI_5.

Se representa un circuito opcional de recuperación de energía CRE y puede, en un modo de realización preferido, ilustrado en la figura 4, comprender un conjunto de cuatro diodos montados en el mismo sentido, dispuesto en paralelo a dicha pluralidad de dispositivos interruptores de potencia controlados por semiconductores. El conjunto de cuatro diodos comprende dos subconjuntos de dos diodos montados en paralelo, estando los dos subconjuntos montados en serie.

En el marco de una utilización para unos lanzadores, es indispensable que cada dispositivo interruptor no sobrepase una tensión eléctrica superior a una tensión elegida en este caso la tensión eléctrica de umbral S.

En el ejemplo presente, los componentes que constituyen los dispositivos interruptores DI de un sistema interruptor SI pueden soportar una tensión de 50 V permaneciendo insensibles al entorno de radiación.

Es igualmente deseable que una avería de cortocircuito de uno de los dispositivos interruptores DI no perturbe el funcionamiento del sistema interruptor SI al cual pertenece. Los cuatro dispositivos interruptores permanecen operativos pudiendo, en el presente ejemplo particularmente adaptado a un lanzador, soportar cada uno 50 V, la tensión máxima admisible para el sistema interruptor es de 200 V.

Prácticamente la tensión eléctrica máxima será inferior a 200 V porque es necesario tener en cuenta un margen de error en el valor de la limitación de tensión eléctrica que protege los dispositivos interruptores DI. De ese modo, una tolerancia de ±5% sobre una limitación a 47,5 V (de 45 V a 50 V) limitará la tensión eléctrica total aplicable a 4 * 45 V = 180 V.

Tómese nota de que cuando los cinco dispositivos interruptores DI_1, DI_2, DI_3, DI_4 y DI_5 están operativos, la división de la tensión eléctrica no está forzosamente igualada y no debe estarlo. Si cuatro dispositivos interruptores soportan 45 V y el último 20 V, se respeta la condición de tensión inferior a 50 V por dispositivo interruptor.

De manera más general, para un sistema interruptor SI según la invención, que comprende una pluralidad N de dispositivos interruptores de potencia controlados por semiconductores DI tal como los descritos anteriormente, para resistir a una avería en cortocircuito de uno de los dispositivos interruptores DI, el sistema interruptor SI debe respetar la relación siguiente:

$$(N - 1) \times S > V$$

en la que:

S representa una tensión eléctrica de umbral de un dispositivo interruptor de potencia controlado por semiconductor (DI); y
V representa una tensión eléctrica máxima admisible en los bornes del sistema interruptor (SI).

Tómese nota igualmente del montaje del circuito de recuperación de energía CRE, dispuesto en paralelo con el montaje en serie de la pluralidad de dispositivos interruptores DI_1, DI_2, DI_3, DI_4 y DI_5. En el modo de realización de la figura 4, el circuito de recuperación de energía CRE se realiza con un conjunto de cuatro diodos tal como se ha descrito anteriormente, o “quad” de diodos montados en paralelo sobre el conjunto del interruptor. Por el contrario esto es fundamental para un sistema de interruptor SI de ondulador, tal como el ilustrado en la figura 5.

Hay dos objetivos en esta disposición de los cuatro diodos:

- reducir las pérdidas cuando este “quad” de diodos es conductor. En efecto, la tensión eléctrica de conducción del sistema interruptor SI es la de dos diodos montados en serie y no la de los cinco diodos intrínsecos de los dispositivos interruptores DI, particularmente cuando comprenden unos MOSFET. La caída de tensión es por lo tanto más reducida.
- evitar que los diodos intrínsecos, o “body diode” en lengua anglosajona, de los MOSFET que constituyen los dispositivos interruptores DI se conviertan en conductores. Esto permite evitar el tener que respetar los tiempos de recuperación de estos diodos y permite someter, sin riesgo, al MOSFET a unas dV_{ds}/dt importantes.

Un ejemplo de utilización de dichos sistemas interruptores SI, se ilustra en un ondulador en la figura 5, que representa un ondulador adaptado para un lanzador astronáutico, que comprende un módulo de control MC, un motor trifásico MT de tres fases φA, φB y φC.

La fase φA está controlada por medio de dos sistemas de interruptores SI_{1a} y SI_{2a} de las figuras 3 o 4, la fase φB está controlada por medio de dos sistemas de interruptores SI_{1b} y SI_{2b} de las figuras 3 o 4, y la fase φC está controlada por medio de dos sistemas de interruptores SI_{1c} y SI_{2c} de las figuras 3 o 4,

REIVINDICACIONES

1. Sistema interruptor (SI) que comprende una pluralidad N de dispositivos interruptores de potencia controlados por semiconductores (DI) dispuestos en serie, comprendiendo un dispositivo interruptor de potencia controlado por semiconductores (DI):

- un circuito de control (CC) capaz de efectuar un desfase de la tensión eléctrica y una adaptación en corriente eléctrica y tensión eléctrica;
- una pluralidad de interruptores elementales de semiconductores (IEa, IEb, IEc e IEd) montados en paralelo; y
- un circuito común de limitación de tensión eléctrica (CCL) para mantener la tensión eléctrica en los bornes de dichos interruptores elementales (IEa, IEb, IEc e IEd) inferior a una tensión eléctrica de umbral (S) inferior a la tensión eléctrica máxima intrínseca de un interruptor elemental (IEa, IEb, IEc e IEd), estando dispuesto dicho circuito común de limitación (CCL) en paralelo con dichos interruptores elementales (IEa, IEb, IEc e IEd);

caracterizado porque N respeta la relación:

$$(N - 1) \times S > V$$

en la que:

S representa una tensión eléctrica de umbral de un dispositivo interruptor de potencia controlado por semiconductor (DI); y
V representa una tensión eléctrica máxima admisible en los bornes del sistema interruptor (SI)

implementando un dispositivo adicional que no es necesario para soportar la tensión máxima en los bornes del sistema interruptor permitiendo al sistema interruptor permanecer operativo en caso de avería de cortocircuito de no importa cuál de los dispositivos interruptores de potencia controlado por semiconductores (DI) de la pluralidad que componen el sistema interruptor (SI).

2. Sistema interruptor (SI) según la reivindicación 1, en el que un interruptor elemental (IEa, IEb, IEc e IEd) comprende un transistor de efecto de campo de rejilla metal-óxido (M1a, M1b, M1c, M1d).

3. Sistema interruptor (SI) según la reivindicación 1 o 2, en el que dicho circuito común de limitación (CCL) comprende un circuito derivador de corriente eléctrica (CD) y un generador de señal de control (GSC) de dicho circuito derivador (CD).

4. Sistema interruptor (SI) según la reivindicación 3, en el que dicho circuito derivador de corriente eléctrica (CD) comprende un transistor de efecto de campo de rejilla metal-óxido (M2), y dicho generador de señal de control (GSC) de dicho circuito derivador (CD) comprende unos medios para asegurar una referencia constante de tensión eléctrica y un amplificador de la diferencia entre la tensión eléctrica aplicada a los bornes del dispositivo interruptor (DI) y dicha tensión eléctrica de referencia.

5. Sistema interruptor (SI) según una de las reivindicaciones precedentes, que comprende, además, un circuito de amortiguación de oscilaciones (CAO).

6. Sistema interruptor (SI) según la reivindicación 5, en el que dicho circuito de amortiguación de oscilaciones comprende una resistencia (R) y un condensador (C) montados en serie.

7. Sistema interruptor según una de las reivindicaciones precedentes, que comprende, además, un circuito de recuperación de energía (CRE).

8. Sistema interruptor según la reivindicación 7, en el que dicho circuito de recuperación de energía (CRE) comprende un conjunto de cuatro diodos montados en el mismo sentido, dispuestos en paralelo a dicha pluralidad de dispositivos interruptores de potencia controlados por semiconductores (DI1, DI2, DI3, DI4, DI5), comprendiendo dicho conjunto de cuatro diodos dos subconjuntos de dos diodos montados en paralelo, montados en serie.

9. Ondulador de control (OND) de un motor síncrono polifásico **caracterizado porque** comprende, por fase, dos sistemas de interruptores según una de las reivindicaciones precedentes.

FIG.1

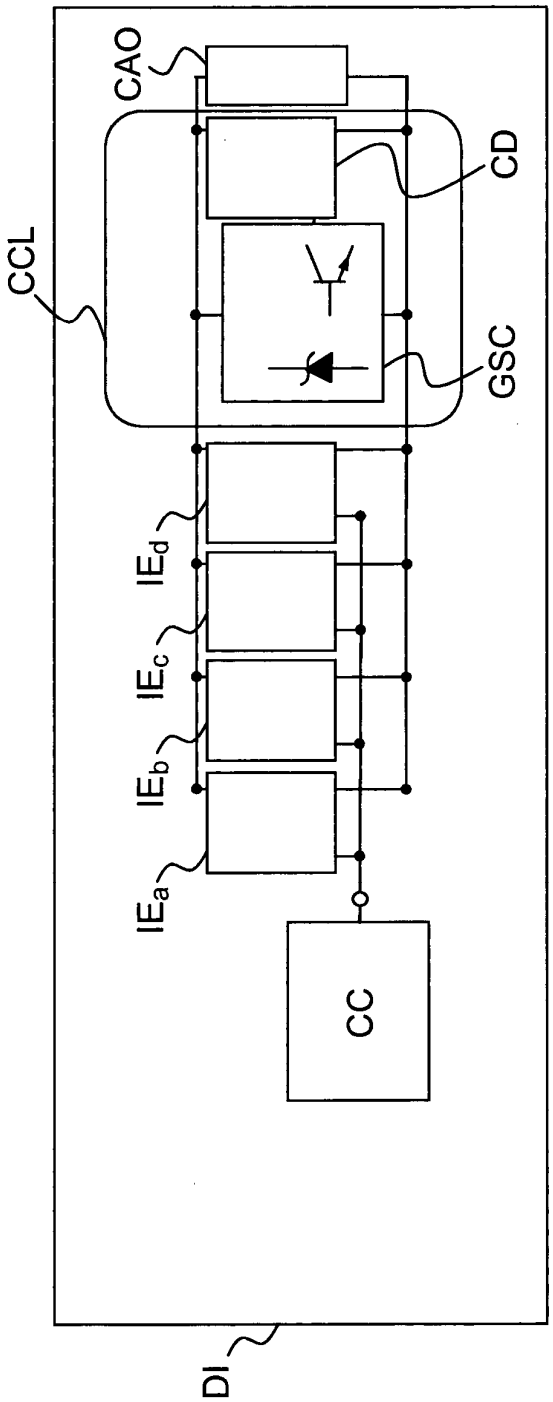
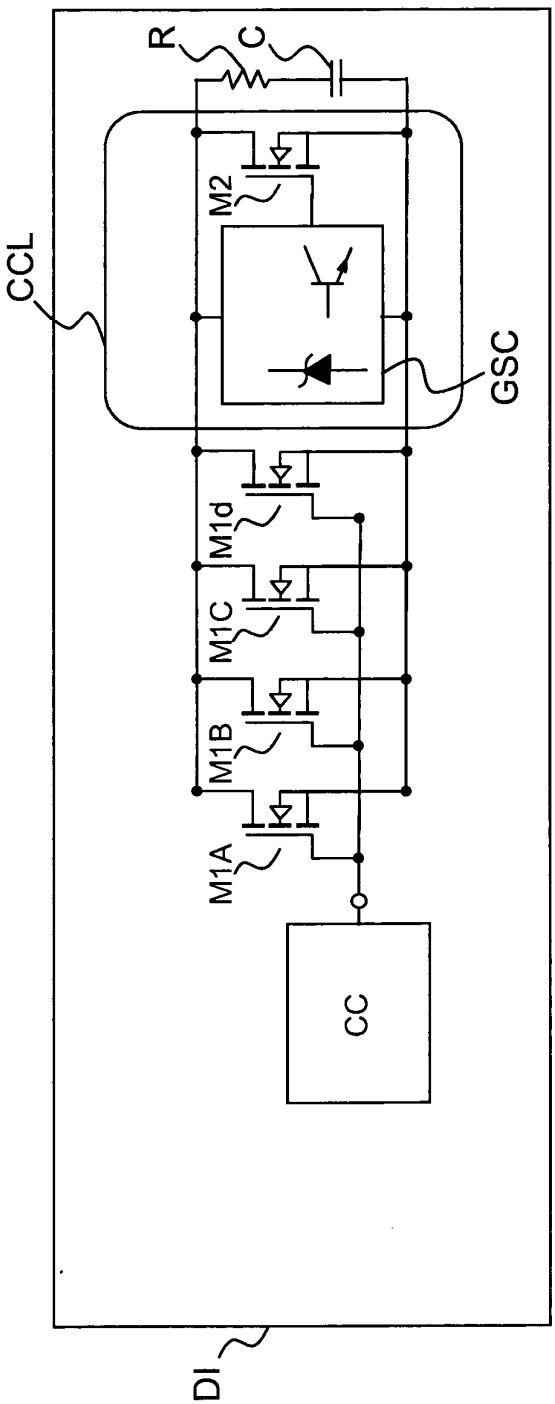

CCL
CAO
CD
GSC
IEd
IEc
IEb
IEa
CC
DI

FIG.2


R
C
CCL
M2
GSC
M1d
M1C
M1B
M1A
CC
DI

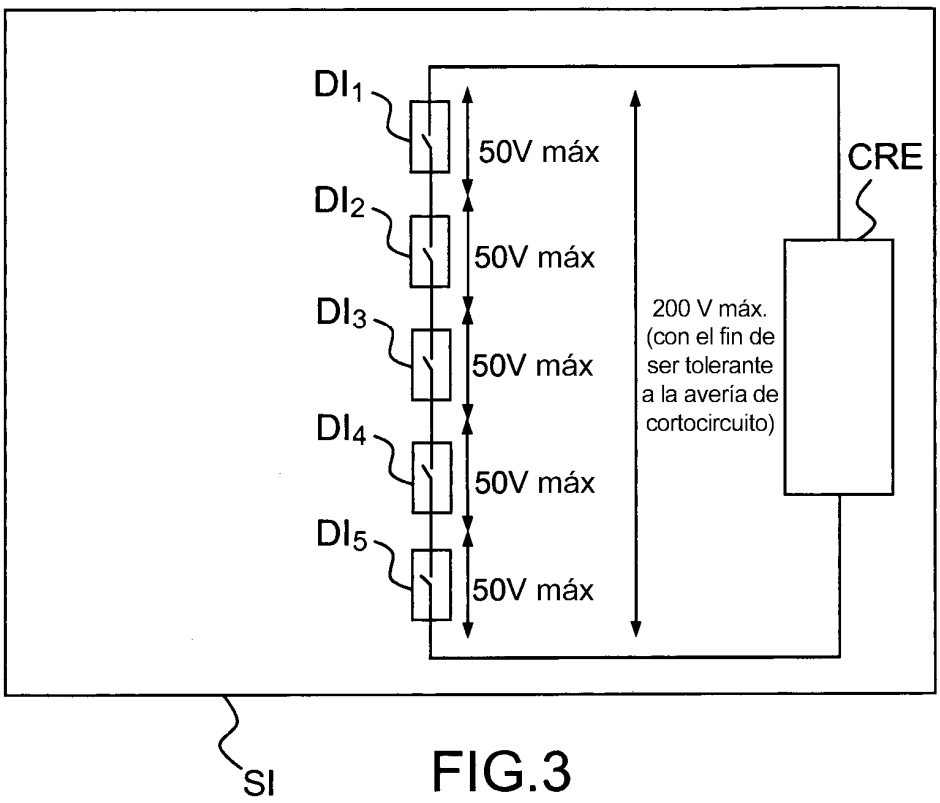

DI1
DI2
DI3
DI4
DI5
50V máx
50V máx
50V máx
50V máx
50V máx
200 V máx.
(con el fin de
ser tolerante
a la avería de
cortocircuito)
CRE
SI

FIG.3

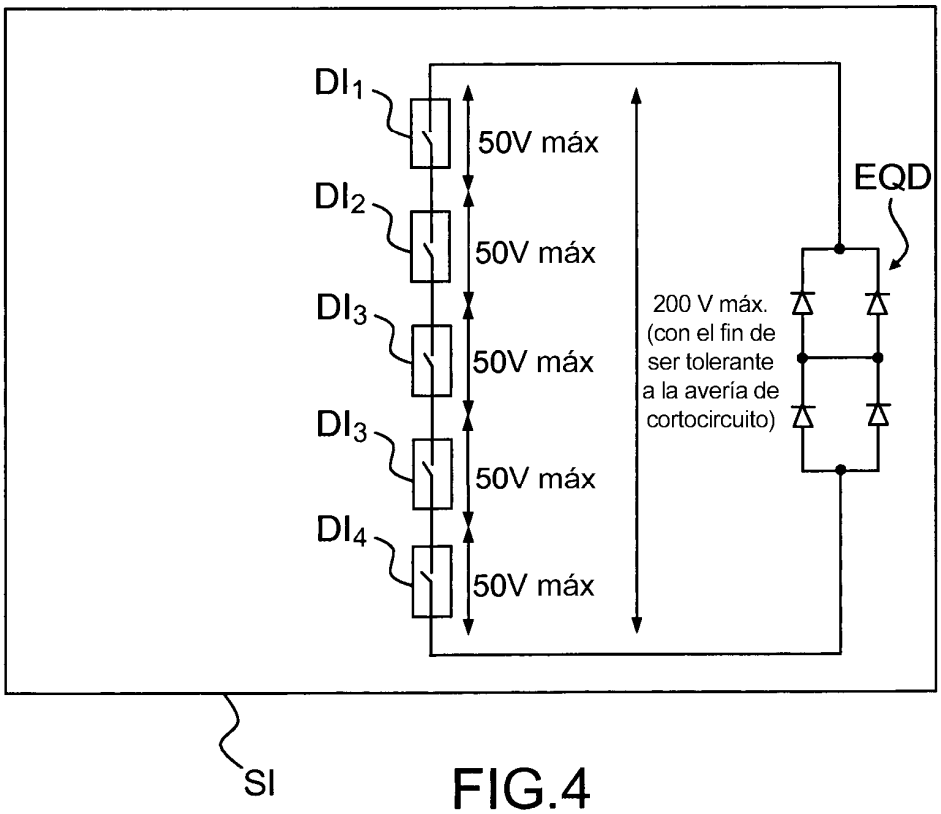

DI1
DI2
DI3
DI3
DI4
50V máx
50V máx
50V máx
50V máx
50V máx
200 V máx.
(con el fin de
ser tolerante
a la avería de
cortocircuito)
EQD
SI

FIG.4

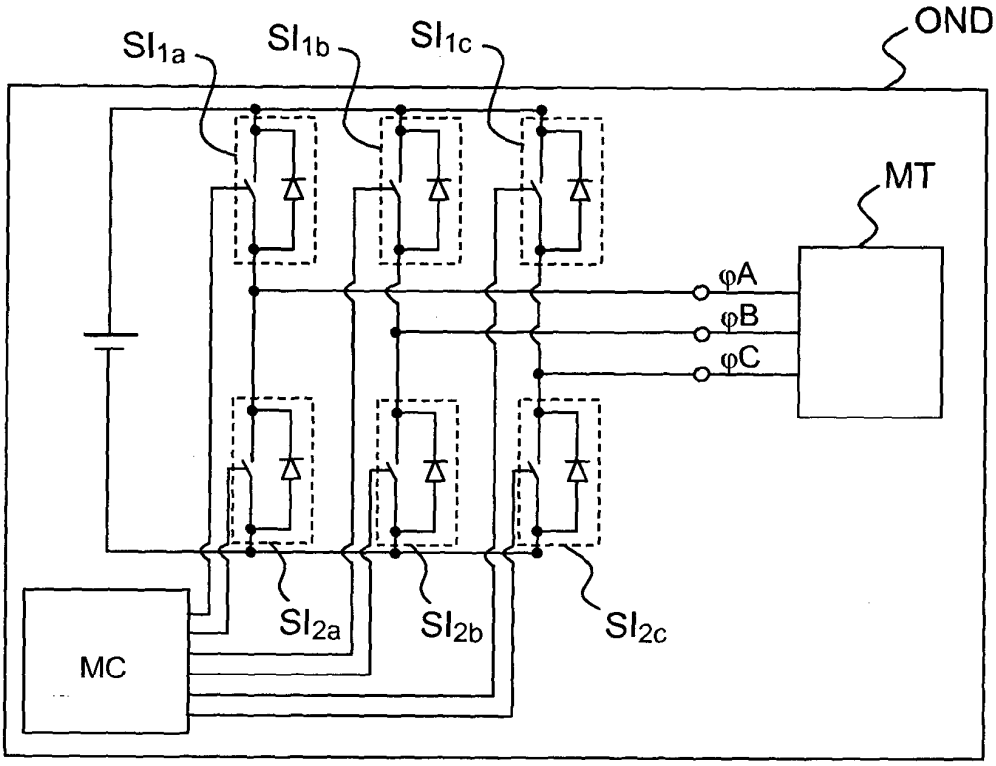


FIG.5